



**INAOE**

# **Diseño de Amplificadores de Instrumentación CMOS en Modo Corriente**

Por:

**Juan David Salazar Cardona**

Tesis sometida como requisito  
para obtener el grado de:

**MAESTRO EN CIENCIAS EN LA ESPECIALIDAD DE  
ELECTRÓNICA**

en el

**Instituto Nacional de Astrofísica,**

**Óptica y Electrónica**

Noviembre, 2023

Tonantzintla, Puebla

Dirigida por:

**Dra. María Teresa Sanz Pascual**

©INAOE 2023

Derechos Reservados

El autor otorga al INAOE el permiso de reproducir  
y distribuir copia de esta tesis en su totalidad o en  
partes mencionando la fuente



*A mis padres*

# Resumen

En la actualidad se tiene vasto interés en el procesamiento preciso de señales eléctricas en diversos campos, encontrando aplicaciones industriales, como control de potencia, o biomédicas, como monitoreo de bio-potencial. A menudo, estas cantidades eléctricas provienen de transductores, las cuales tienen niveles relativamente débiles y están sumergidas en componentes indeseadas, como ruido e interferencia. De modo que se requieren dispositivos con la capacidad de procesar este tipo de señales, como lo pueden realizar los amplificadores de instrumentación (*IAs*).

En esta Tesis se aborda el diseño de diversas topologías de amplificadores de instrumentación en modo corriente en la tecnología CMOS 0.18  $\mu\text{m}$ . En particular, se diseñaron dos *IAs* compactos, basados en transconductores, que realizan la conversión a voltaje mediante resistencias de carga conectadas sin el uso de ramas adicionales de salida. Estos *IAs* presentan ganancias de 20 dB, un ancho de banda en el orden de MHz y un *slew rate* simétrico alrededor de  $21 \text{ V}/\mu\text{s}$ , como principales características. Aunado a esto, una de las estructuras de *IA* alcanza un elevado factor de rechazo al modo común (*CMRR*), de 90 dB a 10 kHz, así como un factor de eficiencia de ruido (*NEF*) de 4.6 y un rango dinámico (*DR*) de 42 dB, con un consumo de potencia de  $45 \mu\text{W}$ .

Se diseñó además un *IA* basado en una etapa transconductora y una etapa de transimpedancia, tanto en inversión fuerte como en inversión débil para su comparación. A partir de esta topología, se propuso una configuración de *IA* en inversión débil con salida en clase AB, de ganancia programable de 25 a 46 dB, cuya ganancia nominal es de 40 dB, un ancho de banda de 560 kHz, un *CMRR* de 67 dB en DC, un *NEF* de 7 y un *DR* de 44 dB, con un consumo de  $11.5 \mu\text{W}$ . Por último, se diseñó un circuito de control de la ganancia del *IA*, que permite un ajuste de la misma de 27 a 43 dB.

# Abstract

Currently, there is significant interest in the precise processing of electrical signals in various fields, including industrial applications such as power control and biomedical applications like bio-potential monitoring. Often, these electrical quantities come from transducers, which have relatively weak levels and are immersed in unwanted components such as noise and interference. Therefore, devices with the capability to process such signals are required, as can be achieved by instrumentation amplifiers (IAs).

This thesis addresses the design of various current-mode instrumentation amplifier topologies in  $0.18 \mu\text{m}$  CMOS technology. In particular, two compact IAs based on transconductors were designed to perform voltage conversion using load resistors connected without the use of additional output branches. These IAs feature gains of 20 dB, a bandwidth in the MHz range, and a symmetrical slew rate of around  $21 \text{ V}/\mu\text{s}$  as main characteristics. Additionally, one of the IA structures achieves a high Common-Mode Rejection Ratio (CMRR) of 90 dB at 10 kHz, as well as a Noise Efficiency Factor (NEF) of 4.6 and a Dynamic Range (DR) of 42 dB, with a power consumption of  $45 \mu\text{W}$ .

Additionally, an IA was designed based on a transconductor stage and a transimpedance stage, both in strong inversion and weak inversion for comparison. From this topology, an IA configuration in weak inversion with a class AB output was proposed, with a programmable gain ranging from 25 to 46 dB. The nominal gain is 40 dB, with a bandwidth of 560 kHz, a DC CMRR of 67 dB, an NEF of 7, and a DR of 44 dB, consuming  $11.5 \mu\text{W}$ . Finally, a gain control circuit for the IA was designed, allowing for gain adjustment from 27 to 43 dB.

# Agradecimientos

Quiero expresar mi más sincero agradecimiento al Consejo Nacional de Humanidades Ciencias y Tecnologías (CONAHCYT) y al Instituto Nacional de Astrofísica, Óptica y Electrónica (INAOE) por su invaluable apoyo.

A la Dra. María Teresa Sanz Pascual por su excepcional guía, apoyo y dedicación como directora de mi tesis. La experiencia de trabajar bajo su dirección ha sido verdaderamente enriquecedora y formativa.

A mi familia, gracias por su amor incondicional, su apoyo constante y por ser mi fuente de fortaleza en cada paso que he dado. A mis amigos del INAOE por estar a mi lado en los momentos de alegría y desafío.

# Índice general

<b>Resumen</b>	<b>II</b>
<b>Abstract</b>	<b>III</b>
<b>Agradecimientos</b>	<b>IV</b>
<b>1. Introducción</b>	<b>1</b>
<b>Introducción</b>	<b>1</b>
1.1. <i>IA</i> en modo voltaje . . . . .	2
1.2. <i>IA</i> en modo corriente . . . . .	4
1.3. Objetivos de la Tesis . . . . .	6
1.4. Organización de la tesis . . . . .	7
<b>2. Amplificadores de Instrumentación Compactos</b>	<b>8</b>
2.1. <i>IA</i> compacto basado en el super seguidor de fuente ( <i>SSF-IA</i> ) . . . . .	8
2.2. <i>IA</i> compacto basado en el flipped voltage follower ( <i>FVF-IA</i> ) . . . . .	15

2.3. Comparación . . . . .	21
2.4. Conclusiones . . . . .	22
<b>3. Amplificadores de Instrumentación de 2 etapas</b>	<b>23</b>
3.1. <i>IA</i> con salida en clase A . . . . .	23
3.2. Propuesta de <i>IA</i> con salida en clase AB . . . . .	30
3.3. Comparación . . . . .	35
3.4. Conclusiones . . . . .	37
<b>4. Control de Ganancia de Amplificadores de Instrumentación</b>	<b>38</b>
4.1. Ajuste de ganancia . . . . .	39
4.2. <i>IA</i> en clase A con ajuste de ganancia . . . . .	40
4.3. <i>IA</i> propuesto con ajuste de ganancia . . . . .	43
4.4. Circuito de control de ganancia . . . . .	47
4.5. Conclusiones . . . . .	52
<b>5. Conclusiones</b>	<b>53</b>
<b>Índice de figuras</b>	<b>55</b>
<b>Índice de tablas</b>	<b>57</b>

# Capítulo 1

## Introducción

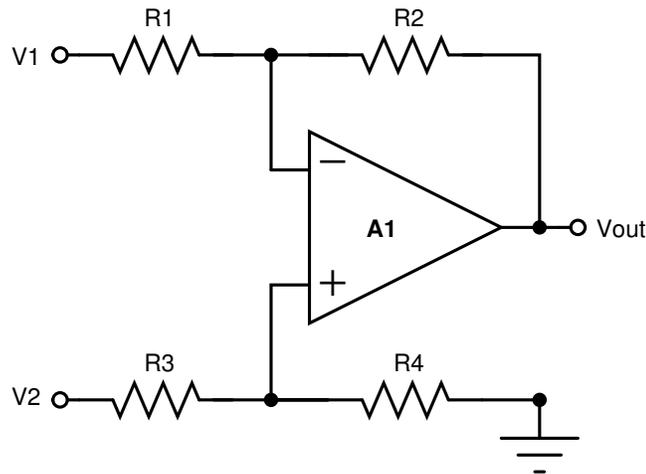
Los amplificadores de instrumentación (*IAs*) son amplificadores de voltaje que se caracterizan principalmente por tener una impedancia de entrada elevada, una impedancia de salida reducida, un factor de rechazo al modo común (*CMRR*) y un factor de rechazo a la fuente de alimentación (*PSRR*) elevados, un nivel bajo de ruido referido a la entrada, un ancho de banda adecuado según la aplicación, así como una ganancia precisa, establecida por la razón entre los valores de determinadas resistencias. Se trata de bloques necesarios para amplificar señales eléctricas relativamente débiles, a menudo provenientes de transductores, en presencia de alta interferencia de modo común. Los *IAs* son usados comúnmente en adquisición de datos, instrumentación médica, acondicionamiento de señal, aplicaciones de audio, video y control de potencia [1–5].

Los *IAs* se pueden clasificar de manera general según el tipo de configuración en *IAs* en modo voltaje e *IAs* en modo corriente. El *IA* en modo voltaje clásico está conformado por tres amplificadores operacionales y un conjunto de resistencias que se utilizan para establecer la ganancia. En cambio, el *IA* modo corriente se basa en convertir la entrada diferencial de voltaje en una corriente mediante una etapa de transconductancia, y copiar mediante espejos dicha corriente para convertirla nuevamente en voltaje a través de un amplificador de transimpedancia. De este modo, la ganancia queda de-

terminada por la relación entre la resistencia de carga y la inversa de  $G_m$  del bloque transconductor.

## 1.1. IA en modo voltaje

El IA en modo voltaje se basa en el amplificador restador, mostrado en la figura 1.1. Esta configuración amplifica la entrada diferencial y rechaza las componentes de modo común. Sin embargo, su principal limitación está asociada a la impedancia de entrada, debido a que las resistencias de las entradas inversora y no inversora son reducidas y desiguales. En concreto, la resistencia asociada a la entrada inversora es  $R_1$ , mientras que la resistencia asociada a la entrada no inversora es  $R_3 + R_4$ . Además, se requiere un buen *matching* entre los pares de resistencias para obtener un *CMRR* elevado.

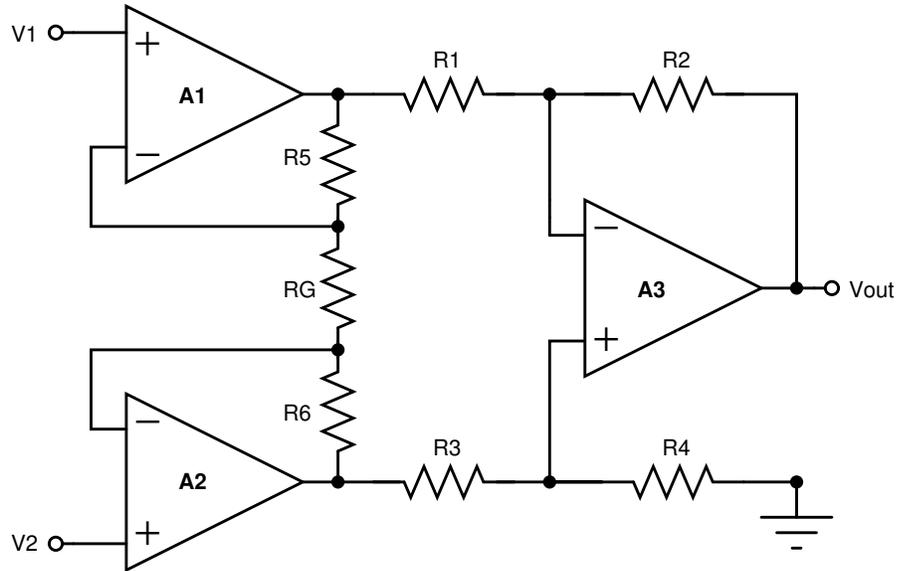


**Fig. 1.1:** Configuración restadora

Si se cumple la condición  $R_1 = R_3$  y  $R_2 = R_4$ , el voltaje de salida del restador está dado por:

$$V_{out} = \frac{R_2}{R_1} \cdot (V_2 - V_1) \quad (1.1)$$

Con el fin de evitar estas limitaciones se propuso el amplificador de instrumentación mostrado en la figura 1.2, que es considerado el IA en modo voltaje clásico. Los amplificadores operacionales de entrada actúan como *buffers*, incrementando considerablemente la impedancia de entrada. El voltaje diferencial de entrada aparece a través de la resistencia  $R_G$ .



**Fig. 1.2:** IA en modo voltaje clásico

Si se cumplen las condiciones  $R_1 = R_3$ ,  $R_2 = R_4$  y  $R_5 = R_6 = R_F$ , entonces el voltaje de salida está dado por:

$$V_{out} = \left( \frac{R_2}{R_1} \right) \left( \frac{2R_F}{R_G} + 1 \right) \cdot (V_2 - V_1) \quad (1.2)$$

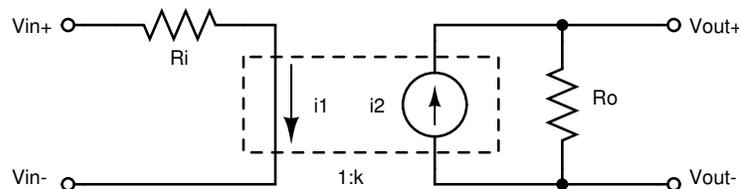
Por simplicidad, se puede hacer  $R_1 = R_2 = R_3 = R_4$ , para que la etapa de salida actúe como un amplificador de ganancia unitaria, permitiendo reducir la ec. (1.2) a:

$$V_{out} = \left( \frac{2R_F}{R_G} + 1 \right) \cdot (V_2 - V_1) \quad (1.3)$$

Por consiguiente, la ganancia del *IA* se puede modificar ajustando simplemente el valor de la resistencia  $R_G$ . Cabe resaltar, que los operacionales de entrada amplifican la señal diferencial por un factor  $(1 + 2R_F/R_G)$ , pero para entradas de modo común actúan como amplificadores de ganancia unidad y, por lo tanto, la configuración restadora de salida suprimirá dichas componentes de modo común. Sin embargo, como ya se indicó con respecto al restador, este *IA* requiere un buen *matching* entre los resistores para alcanzar un *CMRR* elevado. Además, el ancho de banda depende de la ganancia, debido al producto ganancia-ancho de banda constante de los amplificadores operacionales en lazo cerrado.

## 1.2. *IA* en modo corriente

El *IA* en modo corriente se presenta como una alternativa atractiva frente al *IA* en modo voltaje, ya que reduce la circuitería necesaria y el consumo de potencia [2], [3], [6], siendo apropiado para aplicaciones portátiles alimentadas por baterías. El *IA* modo corriente procesa señales en corriente, que facilita ciertas operaciones, comparado con procesar señales en voltaje, como puede ser la sustracción, que se puede efectuar restando corrientes en un solo nodo. El principio de funcionamiento del *IA* modo corriente se muestra en la figura 1.3.



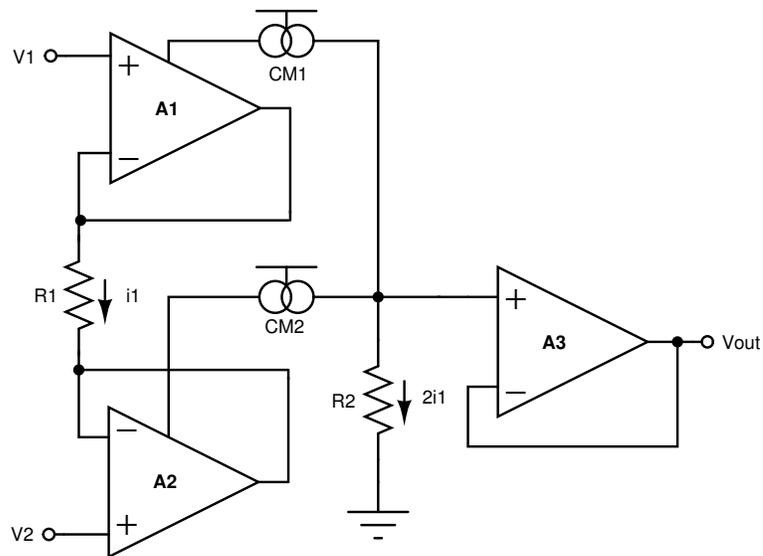
**Fig. 1.3:** Principio de operación del *IA* modo corriente

Los circuitos de entrada y salida se comportan como amplificadores de transconductancia y de transresistencia, respectivamente. De este modo, el circuito de entrada, caracterizado por la transconductancia  $G_m = 1/R_i$ , produce la corriente  $i_1$  proporcio-

nal a la entrada diferencial. La corriente del transconductor se copia al transresistor con una relación  $1 : k$ , para generar la corriente  $i_2$ , que al pasar por la resistencia de carga  $R_o$  genera la salida diferencial. De este modo, la ganancia del IA en modo corriente está dada por:

$$A_V = k \cdot \frac{R_o}{R_i} \quad (1.4)$$

Las implementaciones iniciales del IA en modo corriente surgen de la estructura de tres amplificadores operacionales del IA en modo voltaje. En la figura 1.4 se muestra un esquemático ilustrativo del IA en modo corriente basado en el enfoque clásico [6]. Implementaciones similares se presentan en [7–9]. Los amplificadores operacionales de entrada actúan como *buffers*, de modo que entre los terminales de la resistencia  $R_1$  aparece el voltaje diferencial de entrada  $V_1 - V_2$ , generando la corriente  $i_1$ . La ganancia de la etapa de entrada está dada por  $G_m = 1/R_1$ . La corriente  $i_1$  se copia por medio de los espejos de corriente *CM1* y *CM2*, en este caso de ganancia unidad, y la suma de ambas corrientes, es decir,  $2i_1$ , se convierte en un voltaje de salida al pasar por la resistencia de carga  $R_2$ . Por último, el *buffer* proporciona una baja impedancia de salida.



**Fig. 1.4:** IA en modo corriente basado en el IA en modo voltaje clásico

La ganancia del *IA* de la figura 1.4 está dada por lo tanto por:

$$A_V = 2 \cdot \frac{R_2}{R_1} \quad (1.5)$$

Este *IA* no requiere un buen *matching* entre varias resistencias, como ocurre en el *IA* en modo voltaje. Sin embargo, para obtener un *CMRR* elevado sí es necesario un buen *matching* entre los amplificadores de entrada, así como en los espejos de corriente. Además, el consumo de área y potencia sigue siendo elevado, ya que se requieren tres amplificadores operacionales. Por ello, se han propuesto en la literatura diversos *IAs* en modo corriente basados en pares diferenciales con degeneración de fuente para la etapa de transconductancia, por ofrecer estructuras más compactas que permiten reducir área y potencia y que son, por lo tanto, más adecuadas para aplicaciones portátiles. Esta tesis se enfocará en el análisis y diseño de algunas topologías de esta última categoría de amplificadores de instrumentación en modo corriente.

### 1.3. Objetivos de la Tesis

El objetivo de esta Tesis es analizar, diseñar y comparar diversos amplificadores de instrumentación en modo corriente, añadir circuitos que permitan un ajuste fino de su ganancia, e implementar un circuito de control para llevar a cabo dicho ajuste.

#### **Objetivos Específicos**

- Analizar, diseñar en tecnología CMOS 0.18  $\mu\text{m}$  y comparar amplificadores de instrumentación compactos, basados en transconductores con seguidores de fuente mejorados como par de entrada, y con conversión a voltaje embebida en la propia topología del transconductor.

- Diseñar en tecnología CMOS 0.18  $\mu\text{m}$ , tanto en inversión fuerte como en inversión débil, un amplificador de instrumentación de dos etapas: transconductor de entrada y conversión a voltaje de salida. Comparar sus características.
- Proponer y diseñar en tecnología CMOS 0.18  $\mu\text{m}$  un amplificador de instrumentación con salida en clase AB, con mejora del *slew rate* y del rango dinámico.
- Incluir en los diseños de *IAs* de dos etapas circuitos de sintonización para permitir un ajuste continuo de la ganancia.
- Implementar un lazo de control que permita automatizar el ajuste de la ganancia en amplificadores de instrumentación sintonizables.

## 1.4. Organización de la tesis

La Tesis está dividida en cinco capítulos: el primer capítulo muestra el trasfondo de los amplificadores de instrumentación; el segundo, aborda el diseño de amplificadores de instrumentación compactos basados en transconductores, sin ramas adicionales de salida para la conversión a voltaje; el tercero, presenta el diseño de amplificadores de instrumentación de dos etapas, en particular un amplificador de instrumentación con salida en clase A y la propuesta de un amplificador de instrumentación con salida en clase AB; en el cuarto, se incluyen circuitos de sintonización de la ganancia para los amplificadores de instrumentación de dos etapas y se propone un sistema que permite un control automático de la ganancia en un amplificador de instrumentación sintonizable. Finalmente, se exponen las conclusiones.

## Capítulo 2

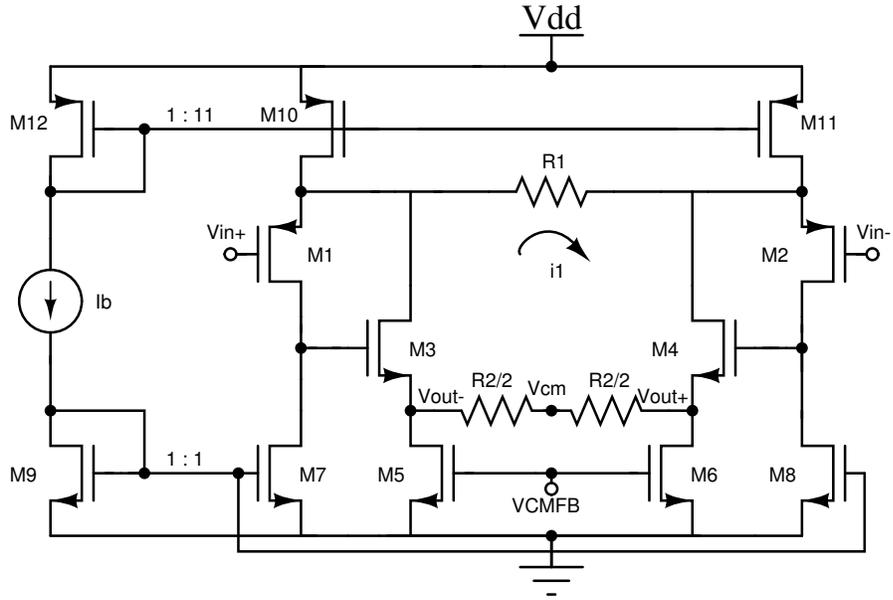
# Amplificadores de Instrumentación Compactos

En este capítulo se aborda el diseño de dos topologías de amplificadores de instrumentación en las que se evita la copia de la corriente generada por el transconductor de entrada hacia ramas adicionales de salida. Se trata por lo tanto de configuraciones compactas y de bajo consumo. Los *IAs* fueron diseñados en la tecnología CMOS 0.18  $\mu\text{m}$  de UMC.

### 2.1. *IA* compacto basado en el super seguidor de fuente (*SSF-IA*)

En la figura 2.1 se muestra el *IA* diseñado, de bajo consumo de potencia y área, propuesto en [10]. El *IA* está conformado por un transconductor con degeneración de fuente [11], cuyo par de entrada son dos super-seguidores de fuente (*SSF*, por sus siglas en inglés)  $M_1 - M_3$  y  $M_2 - M_4$ . El voltaje de compuerta a fuente de los transistores de entrada  $M_1$  y  $M_2$  permanece constante, debido a que la corriente que fluye por

ellos está establecida mediante el espejo de corriente  $M_{7,8} - M_9$ . De esta manera, el voltaje de entrada se ve directamente reflejado entre los terminales de la resistencia de degeneración  $R_1$ , generando una corriente  $i_1 = V_{in,d}/R_1$  que circula por  $M_3$  y  $M_4$ , siendo  $V_{in,d} = V_{in+} - V_{in-}$  el voltaje de entrada diferencial. Así, la ganancia del transconductor de entrada es prácticamente  $G_m = 1/R_1$ . La salida en voltaje se obtiene al pasar la corriente  $i_1$  por una resistencia de carga  $R_2$  conectada entre los terminales de fuente de  $M_3$  y  $M_4$ , es decir, sin necesidad de ramas adicionales.



**Fig. 2.1:** IA compacto basado en el super seguidor de fuente (SSF-IA)

Teniendo en cuenta el efecto de modulación de canal de los transistores, la ganancia del IA está dada por [10]:

$$A_V = -\frac{R_2}{R_1} \cdot \beta \quad (2.1)$$

$\beta$  es un factor de error con respecto a la ganancia ideal ( $R_2/R_1$ ), y está dado por:

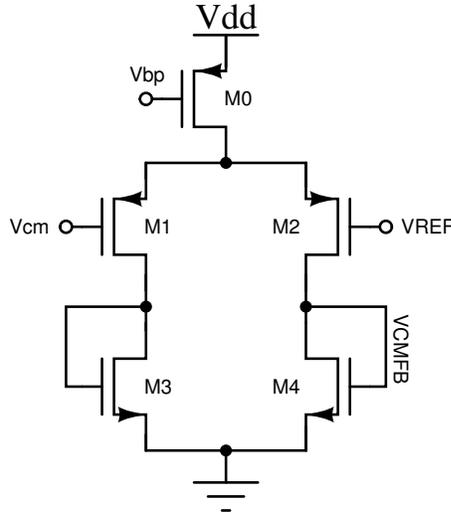
$$\beta = 1/[1 + (\alpha R_2/R_{eq})] \quad (2.2)$$

Donde:

$$\alpha = (1 + 1/(gm_{1,2}R_1)) (1 + 1/(gm_{3,4}R_2)) \quad (2.3)$$

$$R_{eq} = r_{o1,2}/r_{o7,8} \quad (2.4)$$

Al tratarse de una configuración completamente diferencial, se requiere un circuito de control de modo común (circuito *CMFB*, por sus siglas en inglés). El circuito *CMFB* utilizado para el *SSF-IA* es un par diferencial con entrada tipo p con carga activa, visto en la figura 2.2.



**Fig. 2.2:** Circuito de control de modo común

El diseño del *SSF-IA* se llevó a cabo en la tecnología CMOS 0.18  $\mu m$  de UMC, con un voltaje de alimentación de 1.8 V. La corriente de polarización  $I_b$  se estableció en 5  $\mu A$  con el fin de mantener el consumo de potencia relativamente bajo. Los transistores se polarizaron en inversión fuerte y en saturación, por lo que se aseguró  $V_{GS} > V_{TH}$  y  $V_{DS} > V_{GS} - V_{TH}$ . La estructura del *IA* presenta una limitante en el nivel DC a la salida, debido a que este último debe ser menor al nivel DC a la entrada, por la disposición de los transistores. La salida DC en función de la entrada DC está dada por:

$$V_{out,DC} < V_{in,DC} - V_{GS3,4} + |V_{TH1,2}| \quad (2.5)$$

De este modo, se estableció en DC una entrada de 300 mV y una salida de 200 mV. Por otro lado, rangos de entrada y salida están dados por:

$$V_{GS_{3,4}} + V_{ov_{5,6}} - |V_{TH_{1,2}}| < V_{in} < V_{DD} - (V_{SG_{1,2}} + V_{ov_{10,11}}) \quad (2.6)$$

$$V_{ov_{5,6}} < V_{out} < V_{DD} - (V_{GS_{3,4}} + V_{ov_{1,2}} + V_{ov_{10,11}}) \quad (2.7)$$

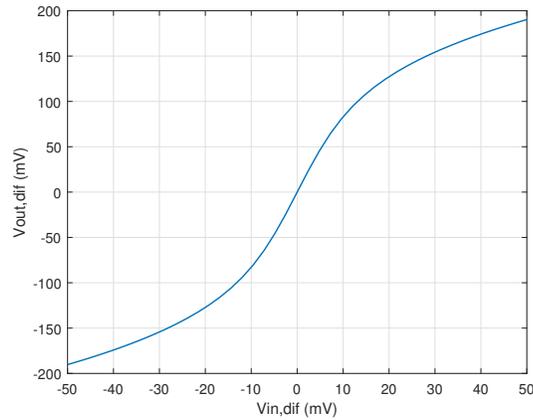
Se observa que esta configuración presenta rangos de señal reducidos, además de la relación entre los niveles DC de entrada y salida de acuerdo a la ec. (2.5), necesaria para una correcta polarización del circuito. Por ello, y con el fin de incrementar el rango dinámico, se decidió diseñar el IA con una ganancia de 20 dB. Cabe señalar, sin embargo, que esta ganancia es relativamente baja si se utiliza el IA como etapa de preamplificación.

Por otra parte, al realizar el diseño se trató de reducir el factor de error  $\beta$  en la ec. (2.1), a fin que la ganancia dependa en menor medida de los efectos de segundo orden. Así, para reducir el impacto de  $\beta$  se debe cumplir que  $R_{eq} \gg \alpha R_2$ . Atendiendo a esta condición, se dimensionaron los transistores de manera que  $R_{eq}$  fuera del orden de  $M\Omega$ . Teniendo en cuenta que la corriente que circula por los transistores  $M_{1,2}$  y  $M_{7,8}$  es de  $5\mu A$ , se seleccionaron longitudes de canal  $L = 720nm$ , es decir, 4 veces la longitud mínima, con el fin de incrementar sus resistencias de salida. Adicionalmente, para reducir  $\alpha$  se aumentó la transconductancia de los transistores  $M_{3,4}$  con el aumento de sus corrientes. Así, para la ganancia de 20 dB, los valores de las resistencias fueron  $R_1 = 500\Omega$  y  $R_2 = 25k\Omega$ . Las dimensiones de los transistores se encuentran en la Tabla 2.1. El consumo total del IA, incluyendo la red de polarización y el circuito *CMFB*, es de  $225 \mu W$ .

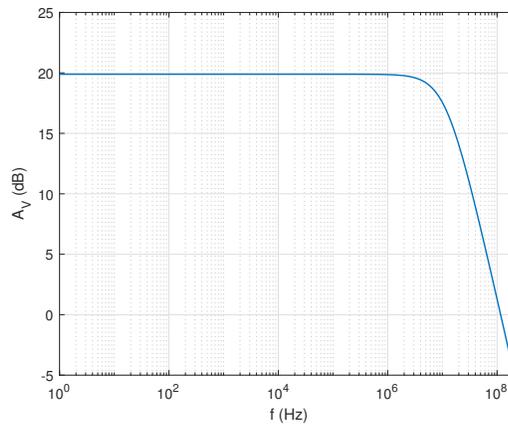
Dimensiones	NMOS				PMOS		
	$M_{3,4}$	$M_{5,6}$	$M_{7,8}$	$M_9$	$M_{1,2}$	$M_{10,11}$	$M_{12}$
W ( $\mu m$ )	22.6	7.2	2.2	4.2	4.6	28.8	5.4
L (nm)	720	720	720	720	720	720	720

**Tabla 2.1:** Dimensiones de los transistores del *SSF-IA*

En la figura 2.3 se presenta la curva característica del *SSF-IA*, donde se observa que el rango de señal para el cual la respuesta es lineal es relativamente pequeño, como se comprobará más adelante. Con respecto a la respuesta en frecuencia proporcionada en la figura 2.4, se observa una ganancia de 20 dB con un ancho de banda de 11.5 MHz.

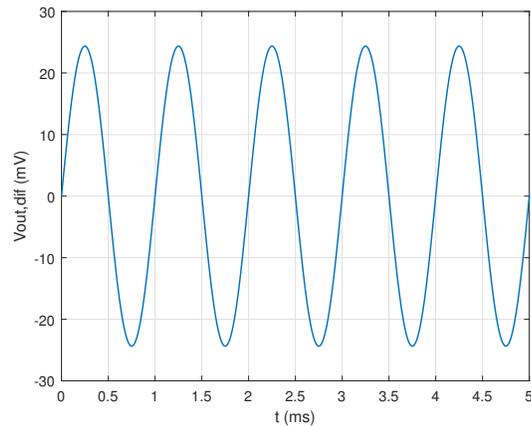


**Fig. 2.3:** Curva característica del *SSF-IA*



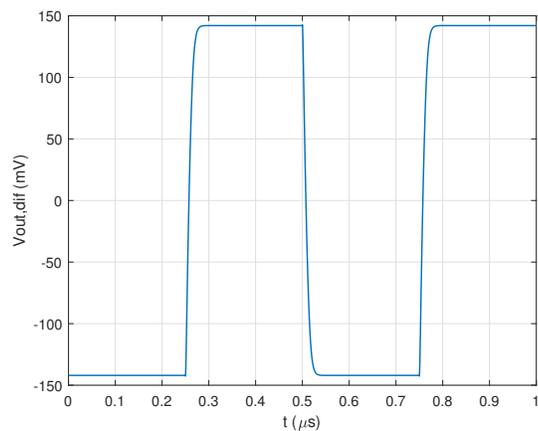
**Fig. 2.4:** Respuesta en frecuencia del *SSF-IA*

En la figura 2.5 se muestra la respuesta en el tiempo del IA para una señal de salida de 25 mV de amplitud a 1kHz. Medida en estas condiciones, la distorsión armónica total de la señal de salida es  $THD = -50$  dB.



**Fig. 2.5:** Respuesta en el tiempo del SSF-IA

La figura 2.6 muestra la respuesta en el tiempo para una entrada escalón de -25 a 25 mV, con una carga capacitiva  $C_L = 0.5$  pF. Se obtiene un *slew rate* simétrico  $SR = 21.8$  V/ $\mu$ s. Por otra parte, el tiempo de establecimiento para alcanzar el 99 % del valor final del voltaje de salida es de 30 ns.



**Fig. 2.6:** Respuesta transitoria del SSF-IA ( $C_L = 0.5$  pF)

El voltaje de ruido referido a la entrada, integrando la densidad espectral de ruido desde 1 Hz hasta el ancho de banda (11.5 MHz), es  $V_{n,rms,in} = 140 \mu V$ . El rango dinámico se define como la relación entre la máxima entrada que puede tolerar el amplificador con una *THD* máxima (en este caso -50 dB a 1kHz) y la contribución de ruido en la entrada:

$$DR = 20 \log \left( \frac{V_{s,rms,in}}{V_{n,rms,in}} \right) \quad (2.8)$$

El factor de eficiencia de ruido (*NEF*) es una figura de mérito utilizada para evaluar el desempeño de un amplificador en términos de ruido, consumo de potencia y ancho de banda:

$$NEF = V_{n,rms,in} \sqrt{\frac{2I_{tot}}{\pi \cdot U_T \cdot 4kT \cdot BW}} \quad (2.9)$$

A partir de estas definiciones, se obtiene un rango dinámico  $DR = 22$  dB, y un factor de eficiencia de ruido  $NEF = 18$ . Las principales características del *SSF-IA* se resumen en la Tabla 2.2.

Parameter	SSF-IA
<i>CMOS technology</i> ( $\mu m$ )	0.18
<i>Supply voltage</i> (V)	1.8
<i>Gain</i> (dB)	20
<i>BW</i> (MHz)	11.5
<i>THD @ 1 kHz</i> (dB)	-50 @ $25 mV_{p,out}$
<i>Settling time</i> <sup>1</sup> @ 99 % ( <i>ns</i> )	30
<i>SR</i> <sup>1</sup> (V/ $\mu s$ )	21.8
<i>Offset</i> (mV)	2.2
<i>CMRR @ 10 kHz</i> (dB)	57.5
<i>PSRR+</i> @ 10 kHz (dB)	72.5
<i>PSRR-</i> @ 10 kHz (dB)	73.5
$V_{n,rms,in}$ ( $\mu V$ )	140
<i>DR</i> (dB)	22
<i>NEF</i>	18.0
<i>Power consumption</i> ( $\mu W$ )	225
$A_{R_1+R_2}$ ( $\mu m^2$ )	5.0

<sup>1</sup> $C_L = 0.5$  pF

**Tabla 2.2:** Principales características del *SSF-IA*

Una de las especificaciones que se muestra en la Tabla 2.2 es el área de las resistencias  $R_1$  y  $R_2$ . En la tecnología utilizada es posible implementar las resistencias con polisilicio de alta resistividad (*HRP*), polisilicio  $N_+$  y polisilicio  $P_+$ . El polisilicio de alta resistividad reduce el área requerida, ya que presenta una resistencia por cuadro de  $1039 \Omega/\square$ , frente a  $113 \Omega/\square$  del polisilicio  $N_+$  y  $352 \Omega/\square$  del polisilicio  $P_+$ . Su coeficiente de temperatura y de voltaje, en cambio, es mayor. En la Tabla 2.3 se resumen estos datos.

<b>Coefficiente</b>	<b>N+</b>	<b>P+</b>	<b>HR</b>
Temperatura ( $^{\circ}\text{C}^{-1}$ )	$-1.6 \times 10^{-4}$	$-2.8 \times 10^{-4}$	$-8.3 \times 10^{-4}$
Voltaje ( $\text{V}^{-1}$ )	$-0.003 \times 10^{-6}$	$-0.01 \times 10^{-6}$	$-0.03 \times 10^{-6}$

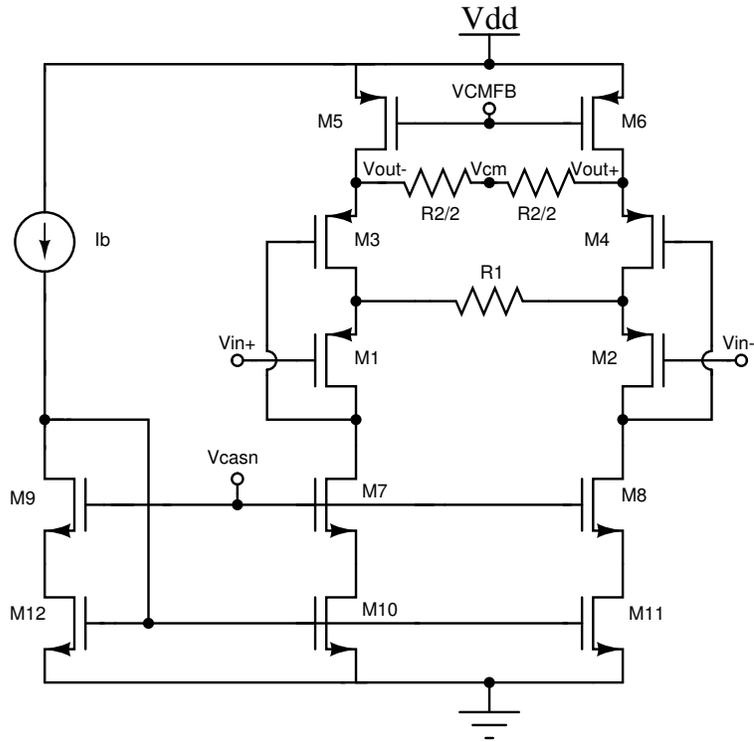
**Tabla 2.3:** Coeficiente de temperatura y voltaje de las resistencias de polisilicio

Sin embargo, dado que la ganancia del *IA* depende de la relación entre dos resistencias del mismo tipo, a las que afectarían de la misma manera los cambios en temperatura y en voltaje, estas variaciones no tienen un gran impacto en la configuración. Por ello, las resistencias  $R_1$  y  $R_2$  se realizarían en polisilicio *HR* para todos los *IAs* presentados en esta Tesis. La decisión de utilizar resistencias integradas en lugar de transistores operando en triodo profundo ( $V_{GS} > V_{TH}$  y  $V_{DS} < V_{GS} - V_{TH}$  para un NMOS) se debe a priorizar la linealidad de los *IAs*, a expensas de tener un consumo de área mayor.

## **2.2. *IA* compacto basado en el flipped voltage follower (*FVF-IA*)**

En esta sección se presenta el diseño de otra alternativa compacta de *IA*, basada en la celda *flipped voltage follower* (*FVF*), como se muestra en la figura 2.7. El *FVF* es un seguidor de tensión mejorado, es decir, con baja resistencia de salida, utilizado especialmente en aplicaciones que requieren bajo consumo de potencia y/u operación

con voltaje reducido [12]. El *FVF* es equivalente al *SSF*, con la diferencia de que el seguidor de fuente  $M_{1,2}$  y el transistor que cierra el lazo de retroalimentación  $M_{3,4}$ , son para el *FVF* del mismo tipo, es decir, ambos son NMOS o PMOS. De esta manera se evita la necesidad de polarizar ramas adicionales en la configuración.



**Fig. 2.7:** IA compacto basado en el *flipped voltage follower* (*FVF-IA*)

Al igual que para el IA anterior, se realizó el diseño en inversión fuerte. En este caso, la condición que debe cumplir el voltaje en DC a la salida con respecto a la entrada, teniendo en cuenta que todos los transistores deben quedar polarizados en saturación, es:

$$V_{out,DC} < V_{in,DC} + V_{SG3,4} + |V_{TH1,2}| \quad (2.10)$$

Se observa que, a diferencia del caso anterior, el voltaje  $V_{out,DC}$  sí puede ser mayor a  $V_{in,DC}$ . En particular, se diseñó el *FVF-IA* con  $V_{in,DC} = 300$  mV y  $V_{out,DC} = 950$  mV. Los rangos del *FVF-IA* son mayores que para el *SSF-IA*, y están dados por:

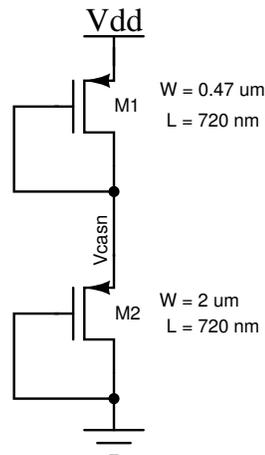
$$V_{ov7,8} + V_{ov10,11} - |V_{TH1,2}| < V_{in} < V_{DD} - (V_{SG3,4} + V_{SG5,6}) \quad (2.11)$$

$$V_{SG3,4} + V_{ov7,8} + V_{ov10,11} < V_{out} < V_{DD} - V_{ov5,6} \quad (2.12)$$

Al ser  $V_{out,DC}$  mayor que en el *SSF-IA*, se observa que el rango de señal también será mayor.

Con el fin de realizar una comparación justa con el *IA* anterior, se estableció de nuevo en el diseño una ganancia de 20 dB. El circuito *CMFB* es como el empleado en la sección anterior (ver fig.2.2), pero en su versión con entrada tipo n. Para la polarización se utilizó un espejo de corriente cascode NMOS, con el fin de incrementar la resistencia equivalente vista desde la fuente de los transistores  $M_1$  y  $M_2$ , y así asegurar que casi toda la corriente que pasa por  $R_1$  circule hacia la resistencia de carga  $R_2$ . Esto eleva la precisión del *IA*, lo que a su vez conlleva a una reducción del valor necesario de la relación  $R_2/R_1$ .

El diseño del *FVF-IA* se llevó a cabo en la tecnología CMOS 0.18  $\mu m$  de UMC con un voltaje de alimentación de 1.8 V. Se empleó una corriente de polarización por cada rama del *FVF-IA* de 5  $\mu A$ , con el fin de mantener el consumo de potencia reducido. La red de polarización para generar el voltaje  $V_{casn} = 750$  mV se muestra en la figura 2.8.



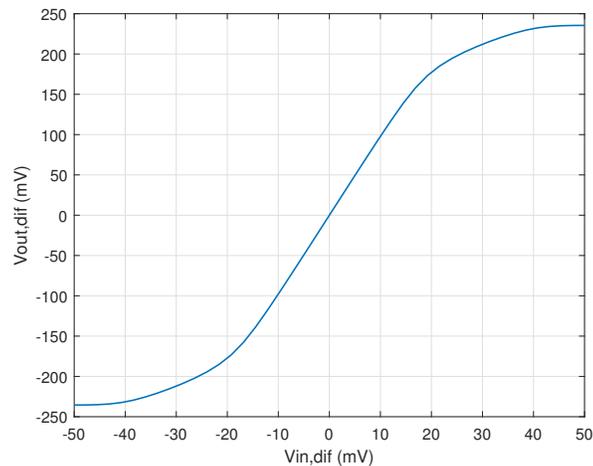
**Fig. 2.8:** Red de polarización del espejo de corriente cascode NMOS

Todos los transistores del amplificador se dimensionaron con una longitud de canal  $L = 720nm$ , a fin de elevar la resistencia equivalente vista desde los nodos de fuente del par de entrada  $M_1 - M_2$ . Por último, los valores de las resistencias de degeneración y carga fueron  $R_1 = 5k\Omega$  y  $R_2 = 55k\Omega$ . Las dimensiones de los transistores se muestran en la Tabla 2.4. El consumo total del amplificador fue de  $45 \mu W$ .

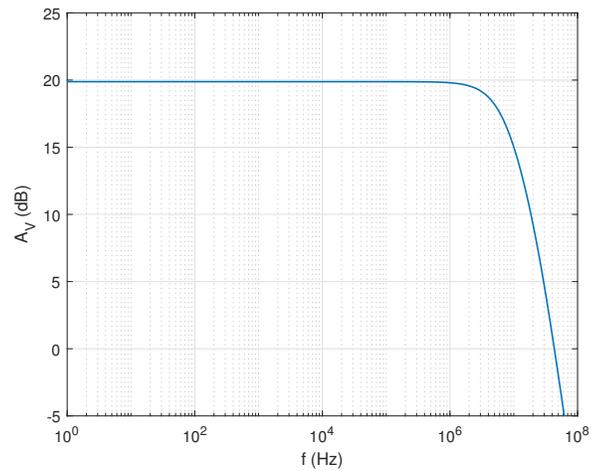
Dimensiones	NMOS		PMOS		
	$M_{7,8,9}$	$M_{10,11,12}$	$M_{1,2}$	$M_{3,4}$	$M_{5,6}$
W ( $\mu m$ )	2.0	0.83	25.0	26.4	7.52
L (nm)	720	720	720	720	720

**Tabla 2.4:** Dimensiones de los transistores del *FVF-IA*

La curva característica del *FVF-IA* se muestra en la figura 2.9. Comparando esta respuesta con la curva característica del *SSF-IA* (fig. 2.3), se observa que el rango de señal se ha incrementado. En cuanto a la respuesta en frecuencia, que se muestra en la figura 2.10, se obtiene la ganancia de 20 dB esperada, con un ancho de banda de 7 MHz.

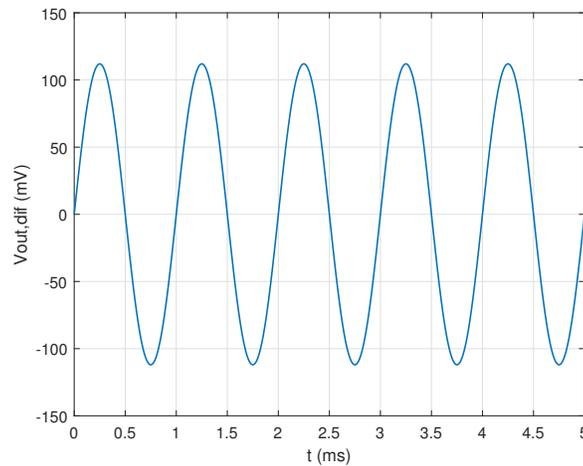


**Fig. 2.9:** Curva característica del *FVF-IA*



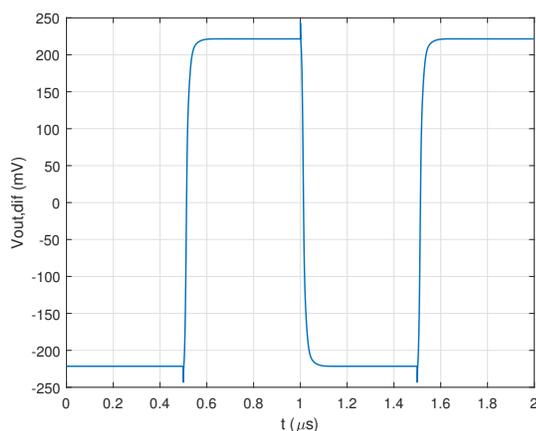
**Fig. 2.10:** Respuesta en frecuencia del *FVF-IA*

En la figura 2.11 se muestra la respuesta en el tiempo para una entrada de  $11.5\text{ mV}$  de amplitud a una frecuencia de  $1\text{ kHz}$ . La salida de  $115\text{ mV}$  de amplitud, presenta una distorsión armónica total de  $-50\text{ dB}$ .



**Fig. 2.11:** Respuesta en el tiempo del *FVF-IA*

En la figura 6 se muestra la respuesta transitoria ante una entrada escalón de  $-115$  a  $115\text{ mV}$ . El *slew rate* es simétrico y de valor  $21.4\text{ V}/\mu\text{s}$ . El tiempo de establecimiento al  $99\%$  del valor final de salida es de  $75\text{ ns}$ .



**Fig. 2.12:** Respuesta transitoria del *FVF-IA* ( $C_L = 0.5$  pF)

El voltaje de ruido referido a la entrada es de  $64 \mu\text{V}$ . Así, se logra un rango dinámico de 42 dB y un factor de eficiencia de ruido de 4.6, superando con creces al *SFF-IA* en estas características asociadas con el ruido. En la Tabla 2.5 se muestra un resumen de las principales características del *FVF-IA*.

Parameter	FVF-IA
<i>CMOS technology</i> ( $\mu\text{m}$ )	0.18
<i>Supply voltage</i> (V)	1.8
<i>Gain</i> (dB)	20
<i>BW</i> (MHz)	7
<i>THD @ 1 kHz</i> (dB)	-50 @ $115 mV_{p,out}$
<i>Settling time</i> <sup>1</sup> @ 99 % ( <i>ns</i> )	75
<i>SR</i> <sup>1</sup> (V/ $\mu\text{s}$ )	21.4
<i>Offset</i> (mV)	1.7
<i>CMRR @ 10 kHz</i> (dB)	90.0
<i>PSRR+</i> @ 10 kHz (dB)	58.5
<i>PSRR-</i> @ 10 kHz (dB)	59.0
$V_{n,rms,in}$ ( $\mu\text{V}$ )	64
<i>DR</i> (dB)	42
<i>NEF</i>	4.6
<i>Power consumption</i> ( $\mu\text{W}$ )	45
$A_{R_1+R_2}$ ( $\mu\text{m}^2$ )	6.7

<sup>1</sup> $C_L = 0.5$  pF

**Tabla 2.5:** Principales características del *FVF-IA*

## 2.3. Comparación

A continuación, se llevará a cabo la comparativa entre las topologías compactas presentadas en este capítulo, a fin de establecer sus ventajas e inconvenientes. En la Tabla 2.6 se muestran las características de ambos *IAs*, diseñados con la misma ganancia de 20 dB. El *FVF-IA* presenta un rango de señal más de 4 veces mayor que el *SSF-IA*, para la misma *THD* de -50 dB. Esto, unido a una reducción del ruido referido a la entrada, resulta en un incremento de 20 dB en el rango dinámico, con un consumo de potencia 5 veces menor. Cabe destacar además que el *FVF-IA* presenta un *CMRR* elevado, de 90 dB a una frecuencia de 10 kHz. Se observa por lo tanto un mejor desempeño del *FVF-IA* en términos generales.

Parameter	SSF-IA	FVF-IA
<i>CMOS technology</i> ( $\mu m$ )	0.18	0.18
<i>Supply voltage</i> (V)	1.8	1.8
<i>Gain</i> (dB)	20	20
<i>BW</i> (MHz)	11.5	7
<i>THD @ 1 kHz</i> (dB)	-50 @ 25 $mV_{p,out}$	-50 @ 115 $mV_{p,out}$
<i>Settling time</i> <sup>1</sup> @ 99 % ( <i>ns</i> )	30	75
<i>SR</i> <sup>1</sup> (V/ $\mu s$ )	21.8	21.4
<i>Offset</i> (mV)	2.2	1.7
<i>CMRR @ 10 kHz</i> (dB)	57.5	90.0
<i>PSRR+ @ 10 kHz</i> (dB)	72.5	58.5
<i>PSRR- @ 10 kHz</i> (dB)	73.5	59.0
$V_{n,rms,in}$ ( $\mu V$ )	140	64
<i>DR</i> (dB)	22	42
<i>NEF</i>	18.0	4.6
<i>Power consumption</i> ( $\mu W$ )	225	45
$A_{R_1+R_2}$ ( $\mu m^2$ )	5.0	6.7

<sup>1</sup> $C_L = 0.5$  pF

**Tabla 2.6:** Comparativa entre el *SSF-IA* y el *FVF-IA*

## 2.4. Conclusiones

En este capítulo se presentó el diseño de dos *IAs* compactos en la tecnología CMOS 0.18  $\mu\text{m}$  de UMC. Ambos se basan en sustituir el par de entrada por seguidores de fuente mejorados, en particular en el primer caso por el super-seguidor de fuente (*SSF*) y en el segundo caso por el *flipped voltage follower (FVF)*. Los *IAs* fueron diseñados con una ganancia de 20 dB. Aunque presentan limitaciones en los rangos de señal, se trata de estructuras simples que permiten tener un consumo de potencia y área reducido, características valiosas para aplicaciones portátiles. En particular el *FVF-IA* destaca por presentar un rango dinámico de 42 dB, con un consumo de potencia de 45  $\mu\text{W}$ , y es capaz de manejar señales de salida de hasta 115 mV de amplitud, con una distorsión armónica total medida a 1 kHz de -50 dB.

## Capítulo 3

# Amplificadores de Instrumentación de 2 etapas

Este capítulo aborda el diseño de un amplificador de instrumentación basado en una etapa de transconductancia y una etapa de transimpedancia, en salida clase A, tanto en inversión fuerte como en inversión débil. A partir de este diseño, se propone una configuración de IA en inversión débil con salida en clase AB, que mejora el *slew rate* y el rango dinámico. Los IAs fueron diseñados en la tecnología CMOS 0.18  $\mu\text{m}$  de UMC.

### 3.1. IA con salida en clase A

En la figura 3.1 se muestra el IA en modo corriente diseñado, cuyo núcleo es un transistor con resistencia de degeneración de fuente como el presentado en el Capítulo 2. En este caso, sin embargo, la corriente diferencial  $i_1$  se copia a dos ramas adicionales de salida con una relación  $1 : K$  mediante los espejos de corriente  $M_{3,4} - M_{5,6}$ , lo que permite aumentar los rangos de señal [13].

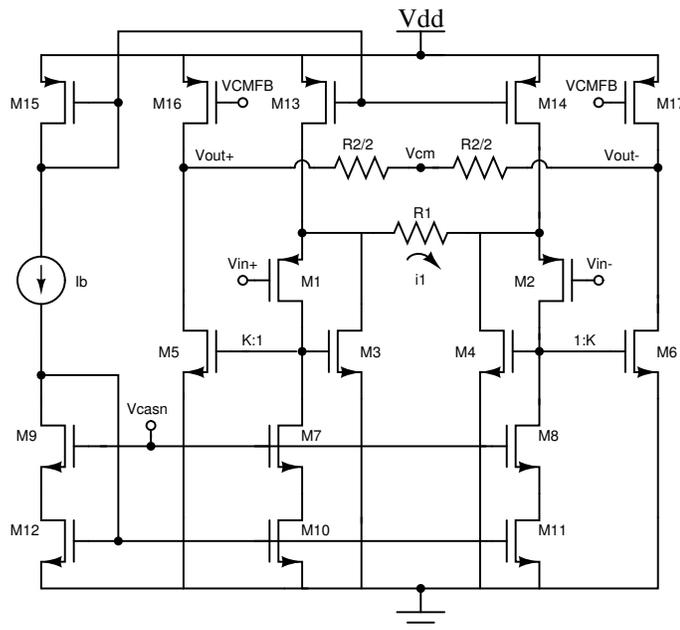
Para este  $IA$ , el rango de la señal de salida está dado por:

$$V_{ov5,6} < V_{out} < V_{DD} - V_{ov16,17} \quad (3.1)$$

La salida en corriente se convierte en voltaje a través de la resistencia de carga  $R_2$  de modo que, en primer orden, la ganancia del  $IA$  está dada por:

$$A_V = K \cdot \frac{R_2}{R_1} \quad (3.2)$$

La precisión de la ganancia se ve afectada en gran medida por la resistencia de salida de los transistores conectados en los nodos de fuente del par de entrada y, principalmente, por la resistencia asociada a los nodos de salida, por lo que los transistores se dimensionan con una longitud de canal 4 veces mayor que la longitud mínima, es decir,  $L=4L_{min}=720\text{nm}$ . Adicionalmente, se puede incrementar la resistencia vista desde la fuente del par de entrada utilizando espejos de corriente cascode NMOS para la polarización del par, tal y como se muestra en la Fig. 3.1.



**Fig. 3.1:**  $IA$  con etapa de salida clase A

Si se sustituyen tanto los transistores de las ramas de salida como los transistores de retroalimentación  $M_3$  y  $M_4$  por etapas cascode [13], se puede incrementar la precisión de la ganancia, pero se limitan los rangos de señal. Aunque esto se podría compensar disminuyendo la ganancia, se debe garantizar que ésta sea lo suficientemente elevada, de al menos 40 dB, para que el IA sea el bloque de preamplificación que determine el ruido total de un sistema de acondicionamiento de señales. Asimismo, se debe garantizar una buena linealidad, por lo que se consideró una  $THD$  máxima de -50 dB, para procesar un mayor rango de señales de entrada e incrementar así el rango dinámico.

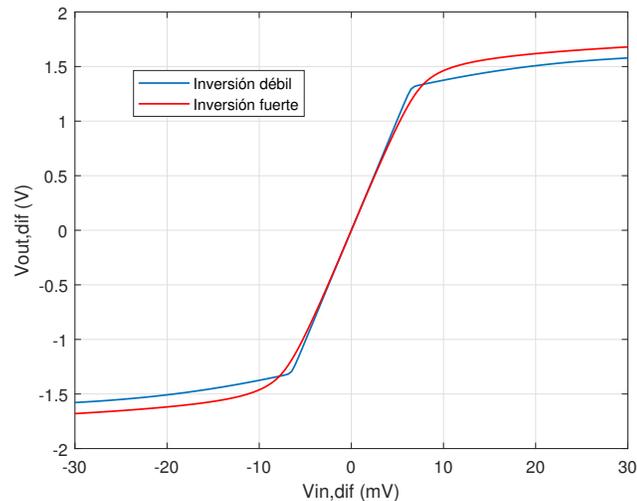
A continuación se presenta el diseño del IA en la tecnología CMOS 0.18  $\mu\text{m}$  de UMC, con un voltaje de alimentación de 1.8 V. El diseño se realizó tanto en inversión fuerte como en inversión débil con el fin de comparar ambos modos de operación, y en ambos casos se establecieron los niveles de DC de entrada y salida en  $V_{DD}/2=900$  mV. Dado que todos los transistores deben trabajar en saturación, para inversión fuerte se debe garantizar  $V_{GS} > V_{TH}$  y  $V_{DS} > V_{GS} - V_{TH}$ , mientras que para inversión débil se debe cumplir  $V_{GS} < V_{TH}$  y  $V_{DS} > 4V_t$ , donde  $V_t$  es el voltaje térmico, cuyo valor es aproximadamente 25 mV a temperatura ambiente. La corriente de polarización  $I_b$  se estableció en 30  $\mu\text{A}$  para inversión fuerte y en 100 nA para inversión débil. En cuanto al voltaje de polarización  $V_{casn}$ , se seleccionó de 900 mV para inversión fuerte y 600 mV para inversión débil, generado mediante una red de polarización de transistores PMOS conectados como diodos.

De esta manera, utilizando  $R_1 = 5k\Omega$  y  $R_2 = 700k\Omega$  para inversión fuerte,  $R_1 = 50k\Omega$  y  $R_2 = 3.35M\Omega$  para inversión débil, y un factor de escalado de corriente  $K = 2$  desde el núcleo hacia las ramas de salida, se alcanzó una ganancia de 40 dB. Dado que en inversión débil fue necesario utilizar una resistencia  $R_1$  diez veces mayor que en inversión fuerte para evitar la degradación de la linealidad, fue necesario también incrementar el valor de  $R_2$  hasta los  $M\Omega$ , lo que implica un incremento en un factor 4 del área requerida por estos resistores. Las dimensiones de los transistores se muestran en la Tabla 3.1.

Dimensiones		NMOS						PMOS			
		$M_{3,4}$	$M_{5,6}$	$M_{7,8}$	$M_9$	$M_{10,11}$	$M_{12}$	$M_{1,2}$	$M_{13,14}$	$M_{15}$	$M_{16,17}$
Inv. fuerte	W ( $\mu m$ )	1.9	3.8	4.0	6.2	2.2	4.2	22.2	46.4	45.0	44.4
	L (nm)	720	720	720	720	720	720	720	720	720	720
Inv. débil	W ( $\mu m$ )	0.76	1.42	2.0	0.98	0.97	0.42	17.6	36.4	7.5	35.2
	L (nm)	720	720	720	720	720	720	720	720	720	720

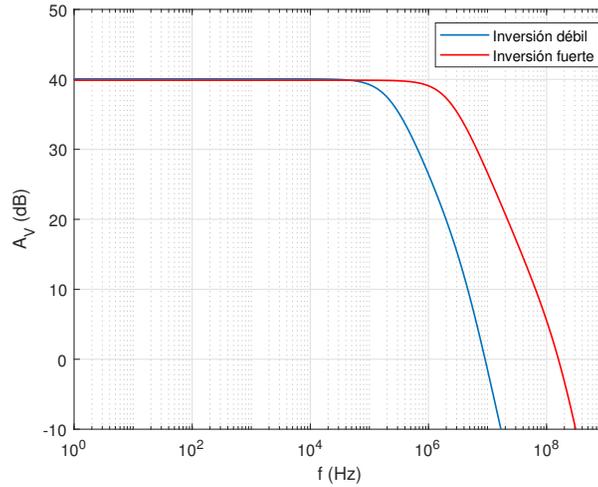
**Tabla 3.1:** Dimensiones de los transistores del IA en inversión fuerte y en inversión débil

El comportamiento DC se muestra en la figura 3.2. Se observa que en inversión débil la linealidad es mayor, como se constatará más adelante con la respuesta temporal.



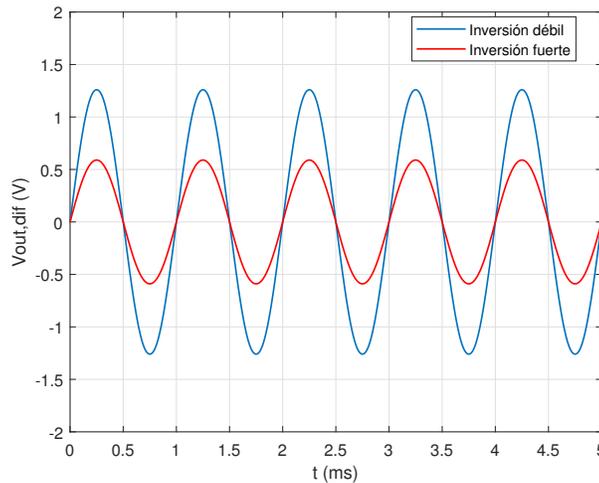
**Fig. 3.2:** Curva característica del IA en inversión fuerte y en inversión débil

En la figura 3.3 se presenta la respuesta en frecuencia de los IAs, ambos diseñados con una ganancia de 40 dB. La reducción del ancho de banda en inversión débil se debe a la disminución de la corriente, que ocasiona que la resistencia asociada al nodo de salida incremente, generando una resistencia de salida  $R_{out}$  de 1.3 M $\Omega$ , frente a  $R_{out} = 125$  k $\Omega$  para inversión fuerte, acercando así el polo dominante al origen.



**Fig. 3.3:** Respuesta en frecuencia del IA en inversión fuerte y en inversión débil

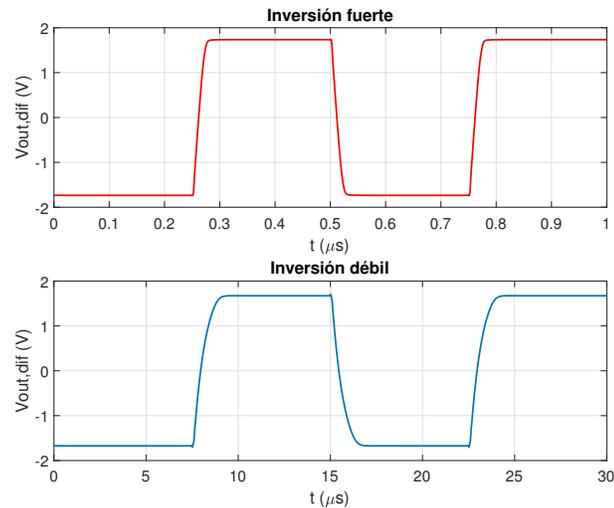
En la figura 3.4 se muestra la respuesta en el tiempo para la máxima salida diferencial para la que la *THD* a 1kHz no supera los -50 dB. En el caso del IA en inversión fuerte la máxima amplitud de salida es de 0.6 V, y en el caso de inversión débil es de 1.25 V.



**Fig. 3.4:** Respuesta en el tiempo del IA en inversión fuerte y en inversión débil

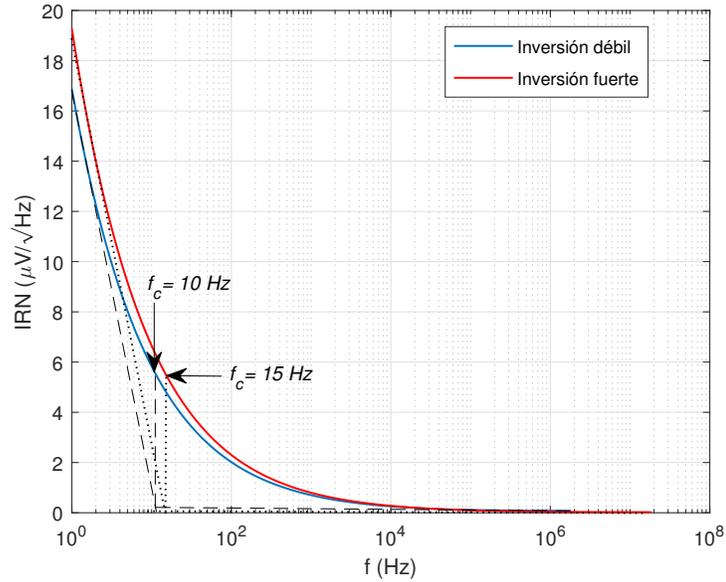
En la figura 3.5 se muestra la respuesta transitoria ante una entrada escalón, desde -0.6 V hasta 0.6 V para inversión fuerte y entre -1.25 V y 1.25 V para inversión débil.

Se obtiene un *slew rate* simétrico de  $173 \text{ V}/\mu\text{s}$  en inversión fuerte y de  $4.4 \text{ V}/\mu\text{s}$  en inversión débil, debido a la menor capacidad de manejar corriente en las ramas de salida en este último caso. El tiempo de establecimiento al 99 % del valor final es de  $30 \text{ ns}$  en inversión fuerte y  $1.7 \mu\text{s}$  en inversión débil.



**Fig. 3.5:** Respuesta transitoria del IA en inversión fuerte y en inversión débil ( $C_L = 0.5 \text{ pF}$ )

La densidad espectral de ruido referido a la entrada se muestra en la figura 3.6. En las curvas se indica además la frecuencia de esquina  $f_c$ , que es la frecuencia por debajo de la cual domina el ruido de baja frecuencia o ruido flicker y por encima de la cual domina el ruido térmico. Dicha frecuencia es algo mayor en inversión fuerte ( $f_c=15 \text{ Hz}$ ) que en inversión débil ( $f_c=10 \text{ Hz}$ ). Al integrar desde  $1 \text{ Hz}$  hasta el ancho de banda de cada IA, se obtiene un valor cuadrático medio de ruido referido a la entrada de  $105 \mu\text{V}_{rms}$  para inversión fuerte y  $85 \mu\text{V}_{rms}$  para inversión débil. Para el rango dinámico, se considera la máxima amplitud de entrada que puede tolerar el amplificador:  $6 \text{ mV}$  para inversión fuerte y  $12.5 \text{ mV}$  para inversión débil. De modo que se obtiene un *DR* de  $32 \text{ dB}$  para inversión fuerte y  $40 \text{ dB}$  para inversión débil. El factor de eficiencia de ruido *NEF* resulta en  $34.5$  para inversión fuerte y  $10.4$  para inversión débil. En la Tabla 3.2 se resumen las características del IA tanto en inversión fuerte como en inversión débil.



**Fig. 3.6:** Densidad espectral de ruido referido a la entrada del IA en inversión fuerte y en inversión débil

Parameter	Strong Inv	Weak Inv
<i>CMOS technology</i> ( $\mu m$ )	0.18	0.18
<i>Supply voltage</i> (V)	1.8	1.8
<i>Gain</i> (dB)	40	40
<i>BW</i> (MHz)	2.2	0.22
<i>THD @ 1 kHz</i> (dB)	-50 @ $0.6 V_{p,out}$	-50 @ $1.25 V_{p,out}$
<i>Settling time</i> <sup>1</sup> @ 99 % ( $\mu s$ )	0.03	1.7
<i>SR</i> <sup>1</sup> ( $V/\mu s$ )	172.8	4.4
<i>Offset</i> (mV)	1.2	0.4
<i>CMRR @ 10 kHz</i> (dB)	68.5	69.5
<i>PSRR+ @ 10 kHz</i> (dB)	75.5	80.5
<i>PSRR- @ 10 kHz</i> (dB)	78.0	78.0
$V_{n,rms,in}$ ( $\mu V$ )	105	85
<i>DR</i> (dB)	32	40
<i>NEF</i>	34.5	10.4
<i>Power consumption</i> ( $\mu W$ )	289.5	4.0
$A_{R_1+R_2}$ ( $\mu m^2$ )	88.5	373.5

<sup>1</sup> $C_L = 0.5$  pF

**Tabla 3.2:** Principales características del IA con etapa de salida clase A

Como se puede observar, en inversión fuerte el ancho de banda es un orden de magnitud mayor que en inversión débil. Adicionalmente, el tiempo de establecimiento es casi 2 órdenes de magnitud menor y el  $SR$  es unas 40 veces mayor. Sin embargo, en el diseño en inversión débil se duplicó el rango de la señal de salida para la misma distorsión armónica  $THD = -50$  dB. Aunado a esto, el  $IA$  en inversión débil es más eficiente en términos de ruido, dado que la  $NEF$  disminuyó alrededor de tres veces, y en consecuencia el  $DR$  incrementó 8 dB, con un consumo de potencia 70 veces menor que el del  $IA$  en inversión fuerte.

### 3.2. Propuesta de $IA$ con salida en clase AB

Dadas las diversas ventajas que ofrece el  $IA$  con salida en clase A en inversión débil, se propone en esta sección un  $IA$  también en inversión débil pero con salida clase AB para incrementar el  $SR$ , como se muestra en la figura 3.7. En esta configuración se utilizan dos núcleos transconductores complementarios, es decir, un transconductor con entrada tipo n y otro con entrada tipo p, en paralelo. Las salidas complementarias se copian mediante los espejos de corriente  $M_{3,4} - M_{5,6}$  y  $M_{C3,4} - M_{C5,6}$  a las ramas de salida, obteniendo así una salida en clase AB. La ganancia de este  $IA$  está dada, en primer orden, por:

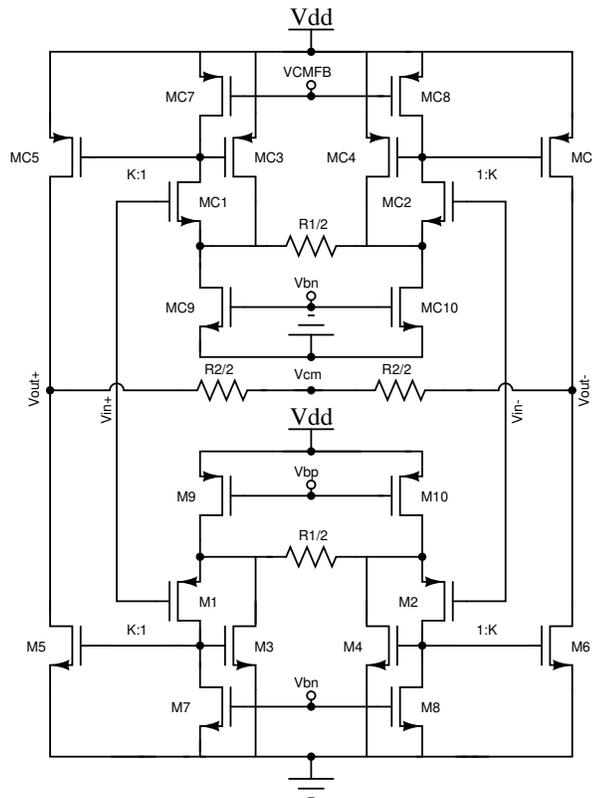
$$A_V = 2K \cdot \frac{R_2}{R_1} \quad (3.3)$$

Dado que tanto  $M_{5,6}$  como  $M_{C5,6}$  contribuyen a generar la corriente de salida, es posible además, para la misma ganancia de 40 dB, reducir el valor de la resistencia de carga  $R_2$  a la mitad, de 3.35 M $\Omega$  para el  $IA$  con salida en clase A a 1.74 M $\Omega$  para este caso. Esto implica una reducción en el mismo factor 2 del área de la resistencia integrada. El circuito de control de modo común es un par diferencial con entrada tipo n.

Durante el diseño se consideró también la reducción del ruido intrínseco del  $IA$ , en particular el ruido de baja frecuencia o ruido flicker ( $1/f$ ), con el fin de incrementar el rango dinámico y reducir la  $NEF$ . El ruido  $1/f$  se caracteriza por tener una densidad espectral que tiene una dependencia inversa con la frecuencia, y se puede modelar como una fuente de voltaje en serie con la compuerta:

$$\overline{V_n^2} = \frac{K}{WLC_{ox}} \cdot \frac{1}{f} \quad (3.4)$$

Donde  $K$  es un parámetro dependiente del proceso y  $C_{ox}$  es la capacitancia de compuerta por unidad de área. Dado que el ruido  $1/f$  es inversamente proporcional al área de los transistores, se incrementaron las dimensiones de los transistores que, de acuerdo a las simulaciones, tienen una mayor contribución de ruido. Estos transistores son:  $M_{1,2}$ ,  $M_{7,8}$ ,  $M_{C1,2}$  y  $M_{C7,8}$ .



**Fig. 3.7:**  $IA$  propuesto con salida en clase AB

A pesar de ser posible reducir el valor de  $R_2$  a la mitad con respecto al  $IA$  con salida en clase A, el valor de dicho resistor sigue siendo relativamente elevado. Dado que, como se indicó en el Capítulo 2, la resistencia por cuadro del polisilicio de alta resistividad es de  $1039 \Omega/\square$ , el área requerida para implementar una resistencia de  $1.74 M\Omega$  es  $200 \mu m^2$ . Con el fin de reducir dicha área, se consideraron en este diseño las siguientes alternativas:

a) Reducir  $R_1$  para obtener la misma ganancia con un resistencia  $R_2$  menor. Sin embargo, se observó que al reducir  $R_1$ , es necesario incrementar las corrientes de los transistores  $M_{3,4}$  y  $M_{C3,4}$  para mantener el rango de entrada de aproximadamente  $10 mV$  de amplitud.

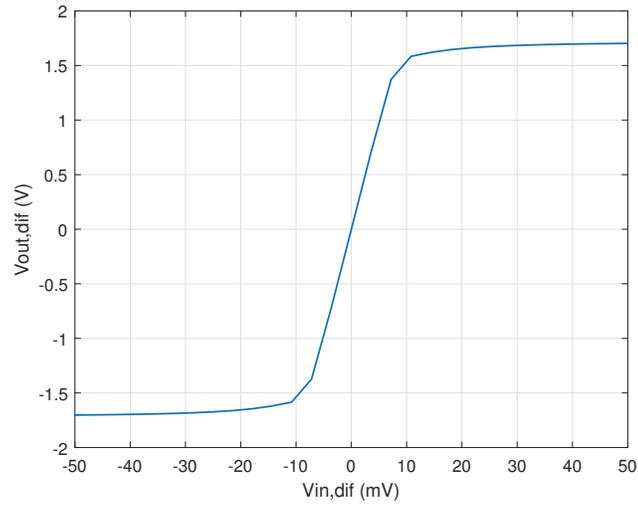
b) Incrementar la razón de escalado de corrientes  $K$  con el fin de reducir el valor necesario de  $R_2$  para la misma ganancia. Cabe recordar que en el diseño del  $IA$  en clase A de la Sección 3.1 este factor era  $K = 2$ .

Dado que la segunda alternativa permite disminuir en mayor medida el valor de  $R_2$ , se optó por esta opción. En concreto, se utilizó un factor de copia de corriente  $K = 6$ , con el fin de reducir  $R_2$  en un factor tres. A pesar de que ambas alternativas implicaban un incremento del consumo de potencia, fue posible mantener el consumo en este diseño por debajo de  $10 \mu W$ . Los valores finales de  $R_1$  y  $R_2$  fueron:  $R_1 = 100k\Omega$  y  $R_2 = 580k\Omega$ . Las dimensiones de los transistores se presentan en la Tabla 3.3.

Dimensiones	NMOS					PMOS				
	$M_{3,4}$	$M_{5,6}$	$M_{7,8}$	$M_{C1,2}$	$M_{C9,10}$	$M_{1,2}$	$M_{9,10}$	$M_{C3,4}$	$M_{C5,6}$	$M_{C7,8}$
W ( $\mu m$ )	1.2	6.2	6.4	7.4	14.0	22.8	56.0	12.0	74.0	23.2
L (nm)	720	720	720	720	720	720	720	720	720	720

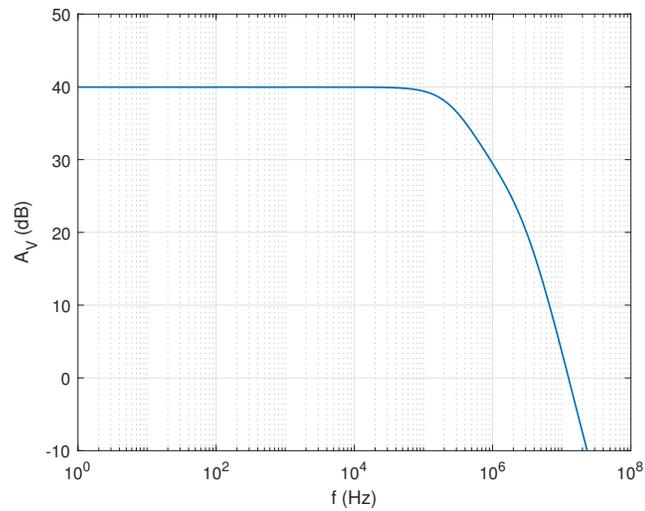
**Tabla 3.3:** Dimensiones de los transistores del  $IA$  con etapa de salida clase AB

La curva característica del  $IA$  con salida clase AB propuesto se muestra en la figura 3.8.



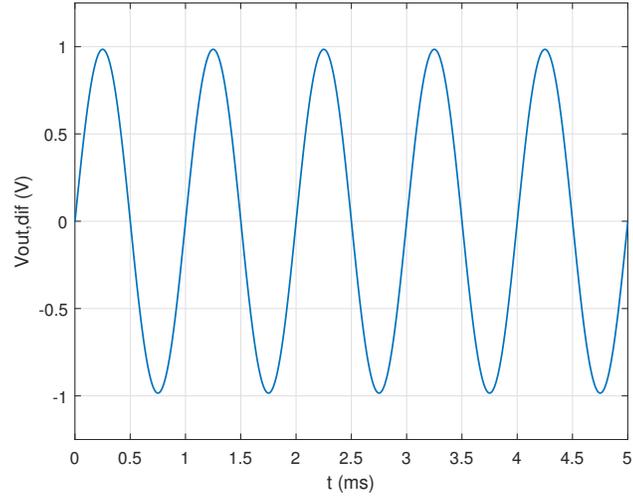
**Fig. 3.8:** Curva característica del IA con salida en clase AB

La respuesta en frecuencia se muestra en la figura 3.9. El IA presenta una ganancia de 40 dB con un ancho de banda de 275 kHz.



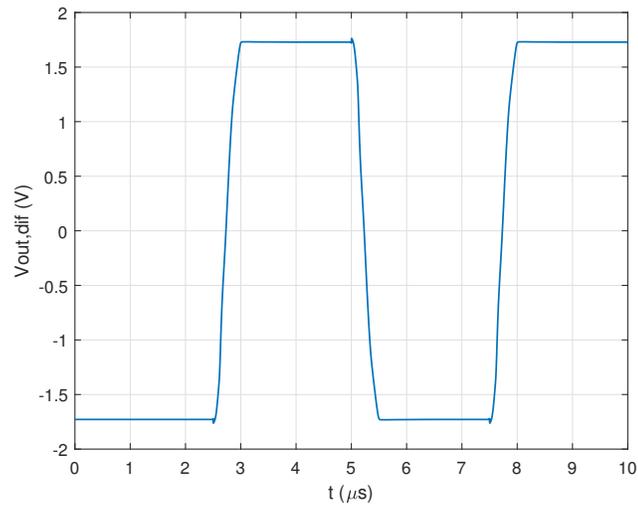
**Fig. 3.9:** Respuesta en frecuencia del IA con salida en clase AB

La respuesta en el tiempo para una señal de entrada de 10 mV de amplitud a 1 kHz de frecuencia se muestra en la figura 3.10. La THD de la señal de salida en estas condiciones, de 1 V de amplitud es de -50 dB.



**Fig. 3.10:** Respuesta en el tiempo del IA con salida en clase AB

En la figura 3.11 se muestra la respuesta transitoria ante una entrada escalón de -1 V a 1 V. El *slew rate* medido es  $SR_+ = 12.4 V/\mu s$  y  $SR_- = 12.0 V/\mu s$ . El tiempo de establecimiento, medido para el 99 % del valor final, es  $t_s = 0.5 \mu s$ .



**Fig. 3.11:** Respuesta transitoria del IA con salida en clase AB ( $C_L = 0.5$  pF)

Por último, las características del IA propuesto se resumen en la Tabla 3.4.

Parameter	IA
<i>CMOS technology</i> ( $\mu\text{m}$ )	0.18
<i>Supply voltage</i> (V)	1.8
<i>Gain</i> (dB)	40
<i>BW</i> (kHz)	275
<i>THD @ 1 kHz</i> (dB)	-50 @ 1 $V_{p,out}$
<i>Settling time</i> <sup>1</sup> @ 99 % ( $\mu\text{s}$ )	0.5
<i>SR</i> <sup>1</sup> (V/ $\mu\text{s}$ )	12.0
<i>Offset</i> (mV)	0.2
<i>CMRR @ 10 kHz</i> (dB)	74.0
<i>PSRR+</i> @ 10 kHz (dB)	86.0
<i>PSRR-</i> @ 10 kHz (dB)	89.5
$V_{n,rms,in}$ ( $\mu\text{V}$ )	35
<i>DR</i> (dB)	46
<i>NEF</i>	6.0
<i>Power consumption</i> ( $\mu\text{W}$ )	9.5
$A_{R_1+R_2}$ ( $\mu\text{m}^2$ )	75

<sup>1</sup> $C_L = 0.5$  pF

**Tabla 3.4:** Principales características del IA con salida en clase AB

El IA presenta un *CMRR* de 74 dB a 10 kHz y un *PSRR* superior a 86 dB a 10 kHz, características deseables para amplificar señales relativamente débiles inmersas en ruido y/o interferencia. Aunado a esto, exhibe un *NEF* de 6 y un *DR* de 46 dB, con un consumo de potencia, como ya se mencionó, inferior a 10  $\mu\text{W}$ .

### 3.3. Comparación

En la Tabla 3.5 se muestra la comparación entre el IA con salida clase A en inversión débil y el IA propuesto con salida clase AB, que también fue diseñado en inversión débil. El IA propuesto presenta un *SR* 3 veces mayor, debido a su mayor capacidad de proporcionar corriente a la salida. Adicionalmente, se incrementó el *DR*, a costa de un incremento en el consumo de potencia. El área requerida para integrar las resistencias de degeneración y de carga se redujo prácticamente en un factor 5, y se observa también un incremento tanto del *CMRR* como del *PSRR* del amplificador.

Parameter	IA class A output	IA class AB output
<i>CMOS technology</i> ( $\mu\text{m}$ )	0.18	0.18
<i>Supply voltage</i> (V)	1.8	1.8
<i>Gain</i> (dB)	40	40
<i>BW</i> (kHz)	220	275
<i>THD @ 1 kHz</i> (dB)	-50 @ $1.25 V_{p,out}$	-50 @ $1 V_{p,out}$
<i>Settling time</i> <sup>1</sup> @ 99 % ( $\mu\text{s}$ )	1.7	0.5
<i>SR</i> <sup>1</sup> ( $\text{V}/\mu\text{s}$ )	4.4	12.0
<i>Offset</i> (mV)	0.4	0.2
<i>CMRR @ 10 kHz</i> (dB)	69.5	74.0
<i>PSRR+</i> @ 10 kHz (dB)	80.5	86.0
<i>PSRR-</i> @ 10 kHz (dB)	78.0	89.5
$V_{n,rms,in}$ ( $\mu\text{V}$ )	85	35
<i>DR</i> (dB)	40	46
<i>NEF</i>	10.4	6.0
<i>Power consumption</i> ( $\mu\text{W}$ )	4.0	9.5
$A_{R_1+R_2}$ ( $\mu\text{m}^2$ )	373.5	75

<sup>1</sup> $C_L = 0.5$  pF

**Tabla 3.5:** Comparativa entre el IA con salida clase A en inversión débil y el IA con salida clase AB

Finalmente, en la Tabla 3.6 se realiza una comparación entre el IA propuesto y otras topologías recientes de IAs en modo corriente de la literatura. El IA propuesto presenta la máxima ganancia (junto con [16]), de 40 dB, con el máximo rango de señal para una THD de -40 dB, y el mínimo consumo de potencia. Además, el IA propuesto también presenta un buen factor de eficiencia de ruido y un elevado PSRR, sólo superado por [15].

Parameter	Carrillo'20 [14]	Sanjay'21 [15]	Hoseini'21 [16]	Corbacho'23 [17]	This work
<i>CMOS technology</i> ( $\mu\text{m}$ )	0.35	0.35	0.18	0.18	0.18
<i>Supply voltage</i> (V)	3.0	3.0	1.8	1.8	1.8
<i>Gain</i> (dB)	34	34	40	12	40
<i>BW</i> (Hz)	7.6 M	8.0 k	170	10.2 M	275 k
$V_{pp,out}$ ( <i>THD</i> = -40 dB) (V)	0.8 @ 100 kHz	0.8 @ -	0.6 @ -	0.42 @ 1kHz	2.7 @ 1kHz
<i>SR</i> ( $\text{V}/\mu\text{s}$ )	9.2 @ 1.5 pF	-	-	10.4 @ 1.33 pF	12.0 @ 0.5 pF
<i>Offset</i> (mV)	1.4	0.3	-	5.1	0.2
<i>CMRR @ DC</i> (dB)	99.5	118	95	95.1	74
<i>PSRR @ DC</i> (dB)	67.7/79.6	119	75	-	86/89.5
$V_{n,rms,in}$ ( $\mu\text{V}$ )	32.4	3.0	3.8	74.7	35
<i>DR</i> (dB)	45	65.5	55	57	46
<i>NEF</i>	7.2	3.8	39	14.6	6.0
<i>Power consumption</i> ( $\mu\text{W}$ )	751.8	28.8	12.7	358.4	9.5

**Tabla 3.6:** Comparativa entre el IA propuesto con IAs recientes

### 3.4. Conclusiones

En este capítulo se presentó un *IA* basado en una etapa de entrada de transconductancia y una etapa de salida de transimpedancia, en clase A, diseñado tanto en inversión fuerte como en inversión débil en la tecnología CMOS 0.18  $\mu\text{m}$  de UMC. El *IA* en inversión fuerte sobresale por el ancho de banda, el tiempo de establecimiento y el *slew rate*, frente a su similar en inversión débil, a causa de una mayor conducción de corriente. Mientras que el *IA* en inversión débil destaca por los rangos, el factor de eficiencia de ruido y el rango dinámico, con un consumo de potencia 70 veces menor que en inversión fuerte. A partir de esta topología, se propuso un *IA* con salida en clase AB en inversión débil, basado en 2 núcleos transconductores en paralelo, que ofrece un *slew rate* superior al proporcionado por el *IA* con salida en clase A, y permite además reducir el área de la resistencia de carga a la mitad. El *IA* propuesto destaca por su capacidad contra el ruido, por tener un factor de eficiencia de ruido de 6 y un rango dinámico de 46 dB, esto con un consumo de potencia menor a 10  $\mu\text{W}$ .

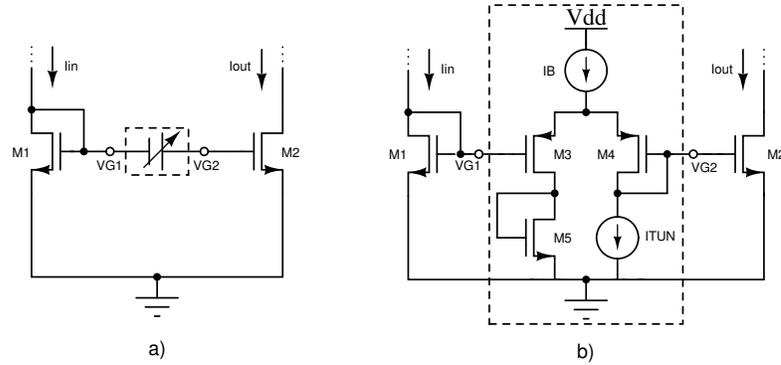
# Capítulo 4

## Control de Ganancia de Amplificadores de Instrumentación

Una característica común en los *IAs* es la posibilidad de ajustar su ganancia. De manera clásica, este ajuste se realiza modificando el valor de al menos una de las resistencias que forman parte del amplificador. Sin embargo, existen otras técnicas que se pueden aplicar en los *IAs* en modo corriente, basadas en el ajuste de ganancia de los espejos de corriente que copian la señal a las ramas de salida [18]. En este capítulo se aplica una de estas técnicas con el fin de proporcionar un ajuste fino de la ganancia del *IA* con salida en clase A en inversión débil, y del *IA* con salida en clase AB propuesto, ambos presentados en el Capítulo 3. Se propone además un lazo de retroalimentación para efectuar un control automático de la ganancia que se aplica, en particular, al *IA* con salida en clase A. Todos los circuitos fueron diseñados en la tecnología CMOS 0.18  $\mu\text{m}$  de UMC.

## 4.1. Ajuste de ganancia

Una manera de conseguir un ajuste fino de la ganancia del  $IA$  es sustituir los espejos de corriente de las ramas de salida por espejos sintonizables, como se muestra en la figura 4.1a.



**Fig. 4.1:** a) Principio de operación b) Implementación del circuito de sintonización

La variación de la razón de corriente  $I_{out}/I_{in}$  se debe a la fuente de voltaje flotante ubicada entre los transistores  $M_1$  y  $M_2$ , que permite ajustar el voltaje de compuerta a fuente de  $M_2$ ,  $V_{GS2}$ , a un valor diferente al voltaje de compuerta a fuente de  $M_1$ ,  $V_{GS1}$ , y por lo tanto permite ajustar la ganancia de corriente. La fuente de voltaje flotante entre  $V_{G1}$  y  $V_{G2}$  se puede implementar mediante un par diferencial con entrada PMOS, como se muestra en la figura 4.1b [18], de modo que la diferencia de voltaje entre los terminales de compuerta de  $M_1$  y  $M_2$  dependa de la distribución de la corriente de cola  $I_B$  entre las ramas del par diferencial. La corriente de sintonización  $I_{TUN}$  establece la división de  $I_B$  por las ramas, lo que a su vez determina  $I_{out}/I_{in}$ . En la Tabla 4.1 se indican los distintos casos de variación de corriente.

Condiciones Operación		
<b>Nominal</b>	$I_{TUN} = I_B/2$	$V_{G1} = V_{G2} \rightarrow I_{out} = I_{in}$
<b>Amp. Corriente</b>	$I_{TUN} < I_B/2$	$V_{G2} > V_{G1} \rightarrow I_{out} > I_{in}$
<b>Aten. Corriente</b>	$I_{TUN} > I_B/2$	$V_{G2} < V_{G1} \rightarrow I_{out} < I_{in}$

**Tabla 4.1:** Condiciones de operación del circuito de control de ganancia

## 4.2. IA en clase A con ajuste de ganancia

En la figura 4.2 se muestra el IA en clase A con espejos de corriente sintonizables. Se estableció una corriente de polarización de los pares diferenciales que constituyen el circuito de sintonización  $I_B = 200$  nA, para que el impacto en el consumo de potencia del IA sea el menor posible. El valor nominal de la corriente de sintonización  $I_{TUN}$  es por lo tanto de 100 nA, que corresponde al caso en que la copia de corriente del núcleo transconductor a las ramas de salida es  $K = 2$ , dado por la relación de dimensiones entre  $M_{5,6}$  y  $M_{3,4}$ . El consumo total del IA es de  $5 \mu\text{W}$ . Las dimensiones de los transistores del circuito de sintonización se muestran en la Tabla 4.2.

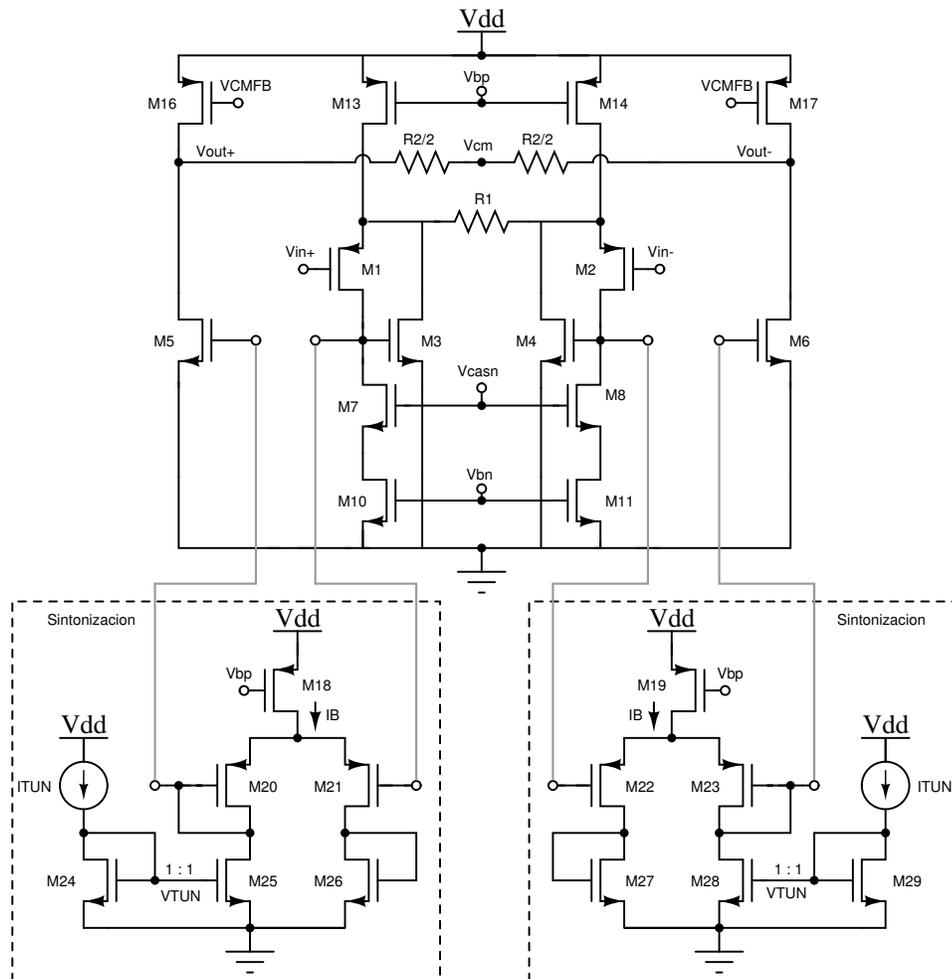
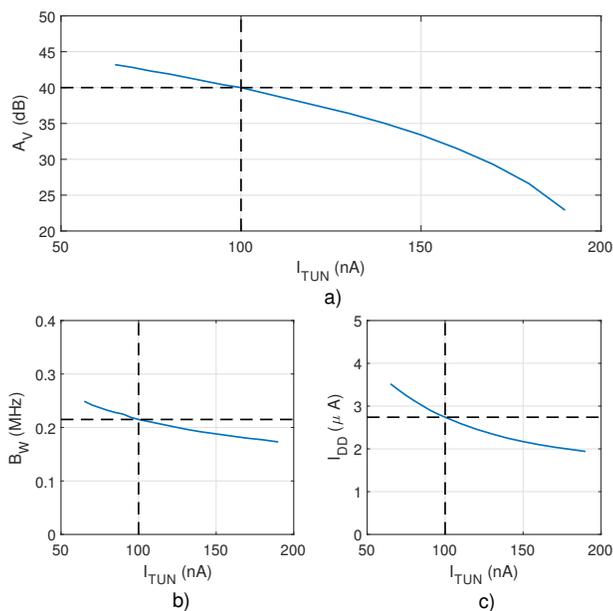


Fig. 4.2: IA con etapa de salida clase A con control de ganancia

Dimensiones	NMOS	PMOS	
	$M_{24-28}$	$M_{18,19}$	$M_{20-23}$
W ( $\mu m$ )	0.47	14.0	8.0
L (nm)	540	720	720

**Tabla 4.2:** Dimensiones de los transistores del circuito de control

Al incluir el circuito de control de ganancia en la estructura del IA, la ganancia se atenuó en torno a 0.5 dB, por lo que se incrementó  $R_2$  de  $3.35M\Omega$  a  $3.45M\Omega$  para conseguir la ganancia nominal de 40 dB. Se caracterizó la ganancia, el ancho de banda y el consumo de corriente frente a variaciones de  $I_{TUN}$  de 65 a 190 nA. Se observa que el rango de variación de la ganancia va desde 23 hasta 43.2 dB, con un ancho de banda de 174 a 249 kHz. Además, el consumo de potencia depende de la corriente de sintonización y, por lo tanto, de la ganancia establecida. En el peor de los casos, para la máxima ganancia, el consumo en corriente es de  $6.3 \mu A$ . En la Tabla 4.3 se muestran las principales características del IA con ganancia constante, y del IA con el circuito de sintonización.



**Fig. 4.3:** Características en función de  $I_{TUN}$ : a) ganancia, b) ancho de banda y c) corriente total

Parameter	IA constant gain	IA tuneable
CMOS technology ( $\mu\text{m}$ )	0.18	0.18
Supply voltage (V)	1.8	1.8
Gain (dB)	40	23 - 43.2
BW (kHz)	220	174 - 249
THD @ 1 kHz (dB)	-50 @ 1.25 $V_{p,out}$	-50 @ 1 $V_{p,out}$
Settling time <sup>1</sup> @ 99 % (ns)	1.7	1.9
SR <sup>1</sup> (V/ $\mu\text{s}$ )	4.4	3.8
Offset (mV)	0.4	0.1
CMRR @ 10 kHz (dB)	69.5	66.5
PSRR+ @ 10 kHz (dB)	80.5	69.0
PSRR- @ 10 kHz (dB)	78.0	64.0
$V_{n,rms,in}$ ( $\mu\text{V}$ )	85	92
DR (dB)	40	38
NEF	10.4	12.5
Power consumption ( $\mu\text{W}$ )	4.0	3.5 - 6.3
$A_{R_1+R_2}$ ( $\mu\text{m}^2$ )	373.5	384.5

<sup>1</sup> $C_L = 0.5$  pF

**Tabla 4.3:** Principales características del IA con salida en clase A de ganancia constante y con ajuste de ganancia

Por último, se realizaron simulaciones Monte Carlo para las esquinas de proceso típico-típico (TT), lento-lento (SS), rápido-rápido (FF), lento-rápido (SNFP) y rápido-lento (FNFP), considerando 100 muestras. Los resultados se muestran en la Tabla 4.4. En el peor de los casos (FF) el valor medio de la ganancia se redujo a 37.5 dB. Al aplicar el circuito de sintonización de ganancia con  $I_{TUN}=75$  nA, dicho valor incrementó a 38.7 dB. Se observa que sería necesario un rediseño en el que se incrementará el valor nominal de ganancia con el fin de asegurar que es posible alcanzar los 40 dB en todos los casos tras la sintonización.

Process	$I_{TUN} = 100\text{nA}$		$I_{TUN} = 75\text{nA}$	
	$\mu$ (dB)	$\sigma$ (dB)	$\mu$ (dB)	$\sigma$ (dB)
TT	38.3	5.0	39.8	5.8
SS	37.9	7.5	39.8	9.4
FF	37.5	4.0	38.7	5.8
SNFP	38.1	6.5	39.7	7.7
FNFP	38.1	3.9	39.5	5.0

**Tabla 4.4:** Ganancia del IA clase A con ajuste de ganancia, considerando *mismatch* para esquinas de proceso (simulación Monte Carlo)

### 4.3. IA propuesto con ajuste de ganancia

En la figura 4.4 se presenta el IA propuesto con los bloques de control de ganancia, representados mediante fuentes de voltaje flotantes. La implementación de los bloques a nivel transistor se muestra en la figura 4.5.

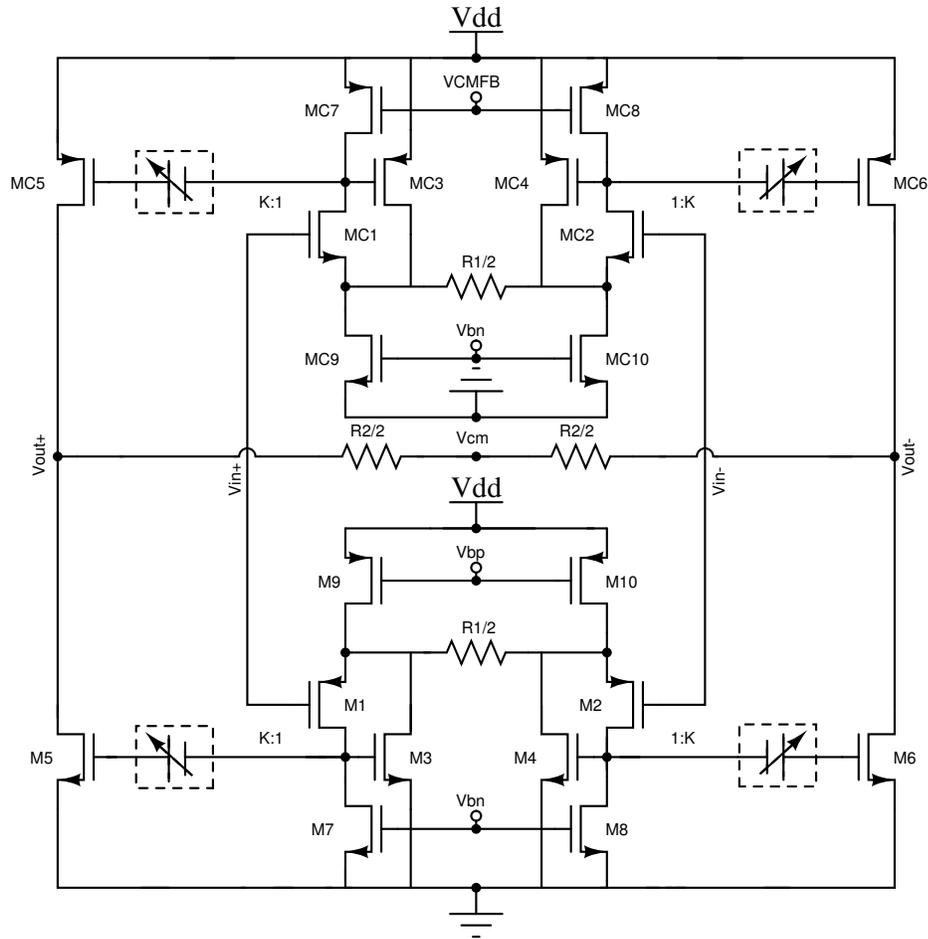
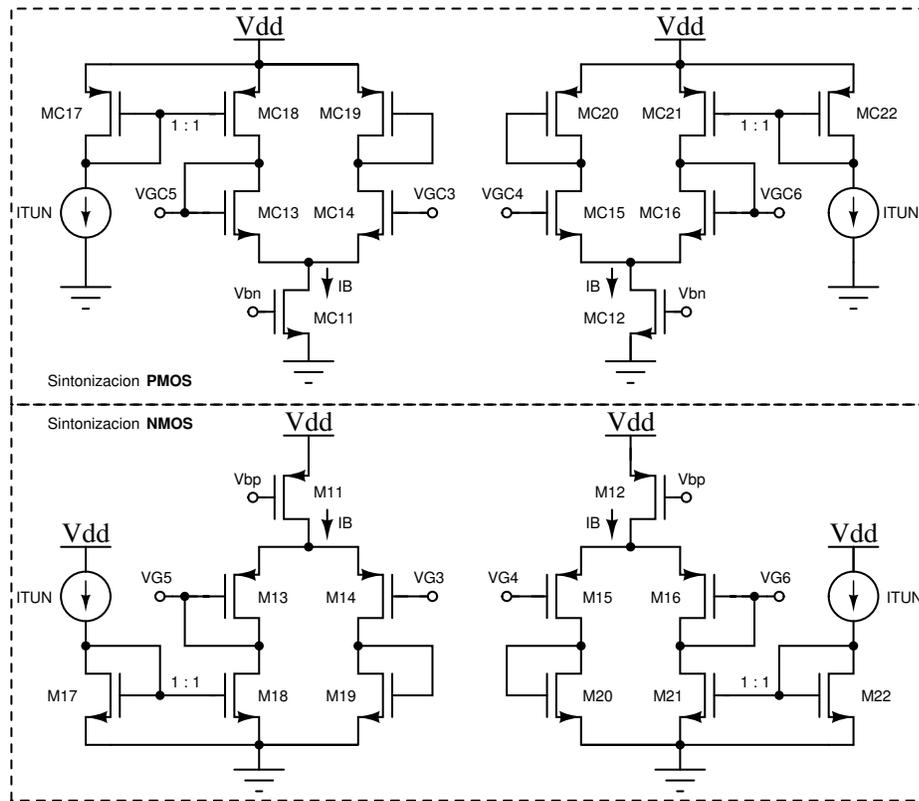


Fig. 4.4: IA propuesto con ajuste de ganancia

Los circuitos de sintonización para los espejos NMOS consisten, como se mostró en la Sección 4.2, de pares diferenciales tipo p, mientras que los circuitos de sintonización de los espejos PMOS consisten en pares diferenciales tipo n. En ambos casos la corriente de sintonización  $I_{TUN}$  controla el desbalance de corriente entre las ramas del

par diferencial, generando así una diferencia de voltaje entre las compuertas de los transistores del espejo de corriente ( $M_{3,4} - M_{5,6}$  y  $M_{C3,4} - M_{C5,6}$ ). Aunque en la figura 4.5 se muestran cuatro fuentes de corriente ideales, solo se requiere una, ya que se utiliza la misma corriente de sintonización  $I_{TUN}=100nA$  (valor nominal), y la misma corriente de polarización  $I_B=200nA$ , para los 4 bloques. Las dimensiones de los transistores se muestran en la Tabla 4.5. El IA con el circuito de ajuste de ganancia tiene un consumo de potencia de  $11.5 \mu W$ .

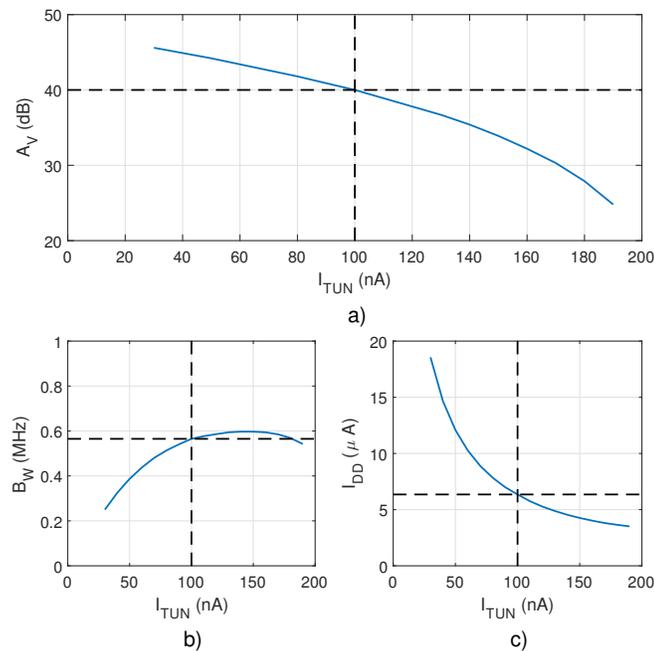


**Fig. 4.5:** Circuitos de ajuste de ganancia

Dimensiones	NMOS			PMOS		
	$M_{17-21}$	$M_{C11,12}$	$M_{C13-16}$	$M_{11,12}$	$M_{13-16}$	$M_{C17-21}$
W ( $\mu m$ )	0.98	9.6	18.0	10.8	6.8	3.2
L (nm)	360	360	360	360	360	360

**Tabla 4.5:** Dimensiones de los transistores de los circuitos de ajuste de ganancia

Al incluir el control de ganancia de la figura 4.5 sobre la estructura del IA con salida en clase AB, se evidenció un comportamiento anómalo en el *slew rate*, debido a que la respuesta en el tiempo los transistores PMOS en las ramas de salida era más lenta que la de por los transistores NMOS. Por ello, se incrementó el  $V_{GS}$  de los transistores PMOS, y se redujeron además sus dimensiones con el fin de reducir capacitancias parásitas. La longitud de canal se estableció en 360nm, lo que por otra parte conllevó una reducción de la resistencia de salida, por lo que para alcanzar la ganancia nominal de 40 dB fue necesario incrementar el valor de  $R_2$  a 720 k $\Omega$ . El IA se recharacterizó con este nuevo diseño. En la figura 4.6 muestra la dependencia de la ganancia, el ancho de banda y la corriente consumida con la corriente de sintonización  $I_{TUN}$ . En concreto, si  $I_{TUN}$  varía de 30 a 190 nA, la ganancia varía de 24.8 a 45.6 dB y el ancho de banda de 250 a 542 kHz. El consumo en el peor de los casos, es decir, para la máxima ganancia, es 33.4  $\mu$ A. En la Tabla 4.6 se muestran las características del IA propuesto con ganancia constante y con ajuste de ganancia.



**Fig. 4.6:** Características en función de  $I_{TUN}$ : a) ganancia, b) ancho de banda y c) corriente total

Parameter	IA constant gain	IA tuneable
<i>CMOS technology</i> ( $\mu m$ )	0.18	0.18
<i>Supply voltage</i> (V)	1.8	1.8
<i>Gain</i> (dB)	40	24.8 - 45.6
<i>BW</i> (kHz)	275	250 - 542
<i>THD @ 1 kHz</i> (dB)	-50 @ 1 $V_{p,out}$	-50 @ 1.25 $V_{p,out}$
<i>Settling time</i> <sup>1</sup> @ 99 % ( <i>ns</i> )	0.5	1.8
<i>SR</i> <sup>1</sup> (V/ $\mu s$ )	12.0	6.5
<i>Offset</i> (mV)	0.2	0.8
<i>CMRR @ 10 kHz</i> (dB)	74.0	67.0
<i>PSRR+ @ 10 kHz</i> (dB)	86.0	67.0
<i>PSRR- @ 10 kHz</i> (dB)	89.5	67.5
$V_{n,rms,in}$ ( $\mu V$ )	35	55
<i>DR</i> (dB)	46	44
<i>NEF</i>	6.0	7.0
<i>Power consumption</i> ( $\mu W$ )	9.5	6.3 - 33.4
$A_{R_1+R_2}$ ( $\mu m^2$ )	75	80

<sup>1</sup> $C_L = 0.5$  pF

**Tabla 4.6:** Principales características del IA propuesto de ganancia constante y con ajuste de ganancia

Por último, se realizaron simulaciones Monte Carlo en las esquinas de proceso TT, SS, FF, SNFP y FNFP, considerando 100 iteraciones. En la Tabla 4.7 se muestran los resultados. En el peor de los casos (FF) el valor medio de la ganancia se reduce a 38.7 dB. Reduciendo el valor de  $I_{TUN}$  a 90 nA, el valor medio de la ganancia es prácticamente 40 dB en todos los casos. Cabe señalar que la ganancia se puede incrementar por encima de estos valores, al reducir  $I_{TUN}$ . Comparando estos resultados con los de la Tabla 4.4 para el caso del IA clase A, se observa además que la propuesta es más robusta a variaciones de proceso y *mismatch*, ya que la reducción de la ganancia debido a variaciones de proceso es menor, y la desviación estándar se mantiene por debajo de 2 dB en todos los casos.

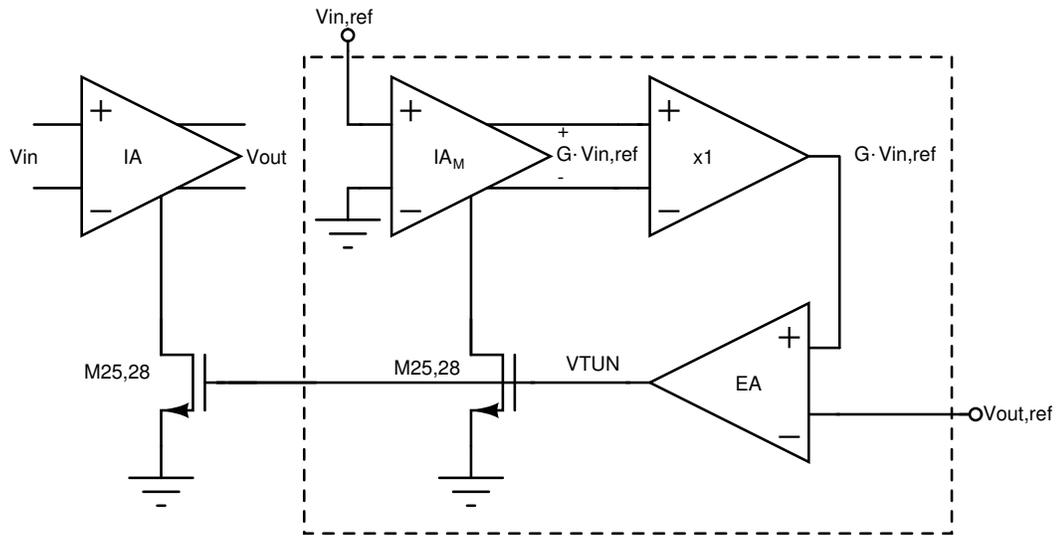
Process	$I_{TUN} = 100nA$		$I_{TUN} = 90nA$	
	$\mu$ (dB)	$\sigma$ (dB)	$\mu$ (dB)	$\sigma$ (dB)
TT	39.2	1.7	40.1	1.6
SS	39.6	1.6	40.6	1.5
FF	38.7	1.7	39.7	1.6
SNFP	39.5	1.6	40.4	1.5
FNSP	38.8	1.8	39.8	1.8

**Tabla 4.7:** Ganancia del  $IA$  propuesto con ajuste de ganancia, considerando *mismatch* para esquinas de proceso (simulación Monte Carlo)

## 4.4. Circuito de control de ganancia

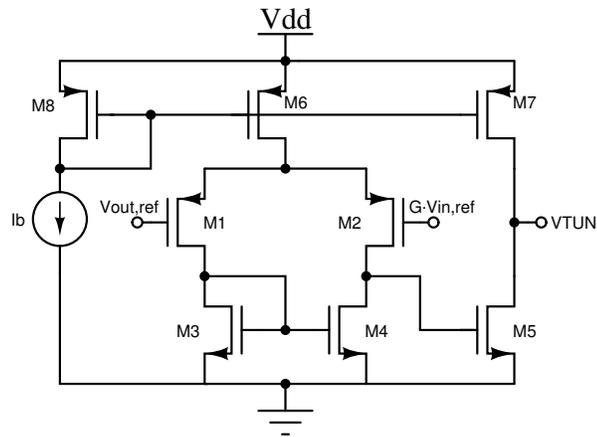
En esta sección se presenta el circuito de control que se encarga de establecer la ganancia del  $IA$  en función de los niveles de referencia  $V_{in,ref}$  y  $V_{out,ref}$  aplicados. Este bloque se diseñó para el  $IA$  en clase A, de modo que su función es generar el voltaje de control  $V_{TUN}$  de las compuertas  $M_{25}$  y  $M_{28}$  de los circuitos de sintonización (ver fig.4.2). Este bloque de control sustituye por lo tanto a la rama a partir de la cual se copiaba la corriente de sintonización  $I_{TUN}$ . En la figura 4.7 se muestra el circuito de control propuesto, que se basa en un esquema maestro-esclavo, es decir, se requiere una réplica del  $IA$  a sintonizar ( $IA_M$ ). Para establecer la ganancia requerida, se cierra un lazo de retroalimentación en torno al  $IA_M$ , utilizándose un *buffer* para transformar la salida diferencial en salida única, y un amplificador de error ( $EA$ ) que se encarga de comparar la salida del  $IA_M$  con un voltaje de referencia  $V_{out,ref}$ . De esta manera, la ganancia del  $IA_M$ , y por lo tanto del  $IA$  principal, queda dada por:

$$G = \frac{V_{out,ref}}{V_{in,ref}} \quad (4.1)$$



**Fig. 4.7:** IA con lazo de control

Como amplificador de error se utilizó un amplificador de dos etapas como el que se muestra en la figura 4.8, diseñado en inversión fuerte.



**Fig. 4.8:** Amplificador de error (EA)

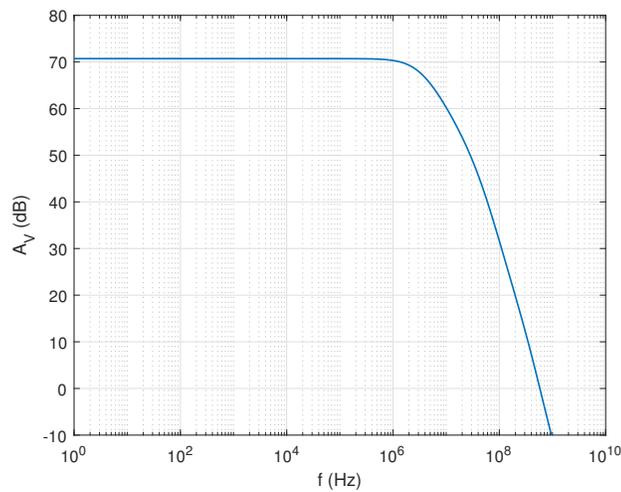
La ganancia del EA está dada por:

$$A_V = gm_{1,2}(ro_{1,2}/ro_{3,4}) \cdot gm_5(ro_5/ro_7) \quad (4.2)$$

Las dimensiones de los transistores que lo conforman se muestran en la Tabla 4.2. En la figura 4.9 se muestra la respuesta en frecuencia. La ganancia obtenida es de 70 dB, con un ancho de banda de 3.2 MHz. El consumo de este bloque es de  $110 \mu\text{W}$ .

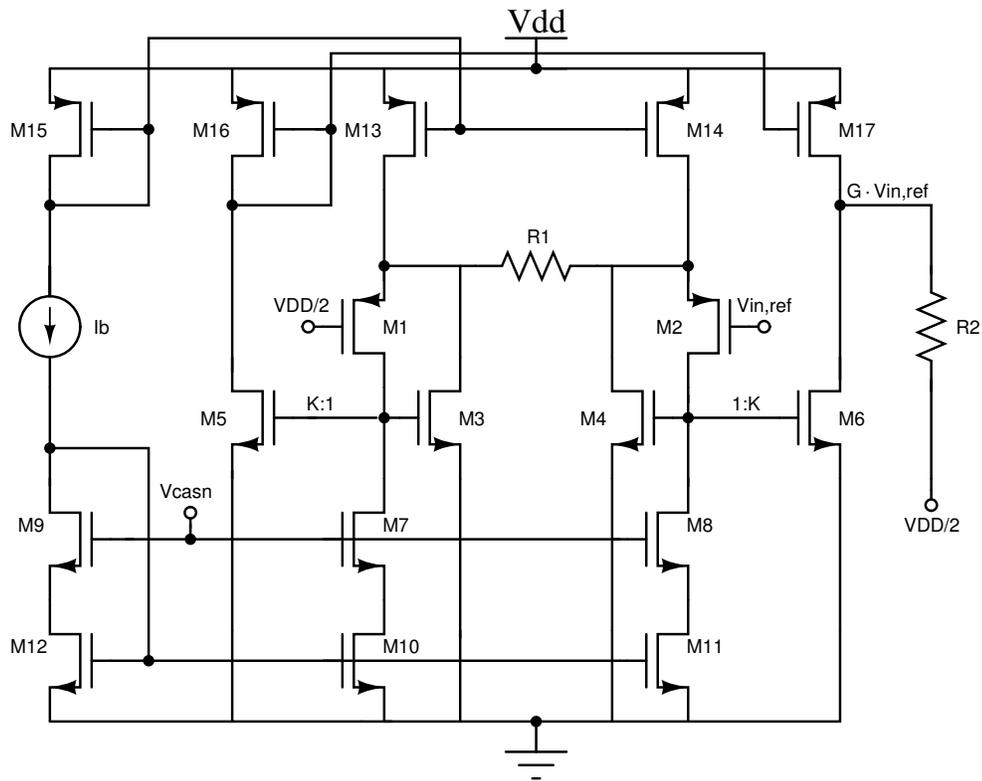
Dimensiones	NMOS		PMOS		
	$M_{3,4}$	$M_5$	$M_{1,2}$	$M_6$	$M_{7,8}$
W ( $\mu\text{m}$ )	1.4	2.6	14.8	31.0	30.2
L (nm)	720	720	720	720	720

**Tabla 4.8:** Dimensiones de los transistores del EA



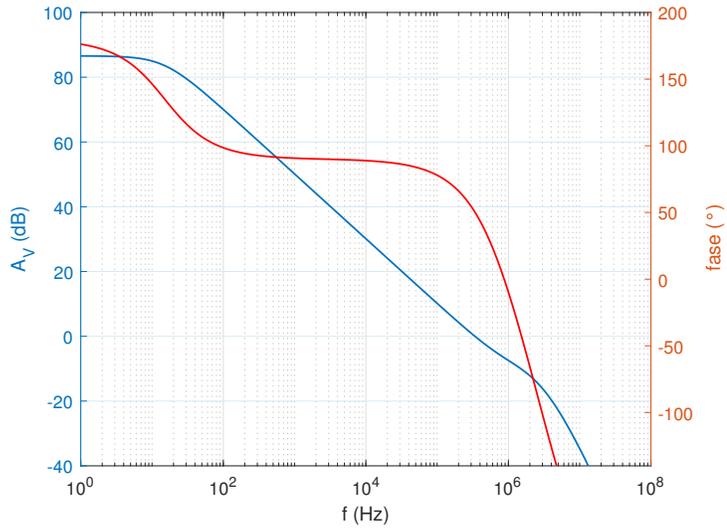
**Fig. 4.9:** Respuesta en frecuencia del EA

Dado que la salida del IA cuya ganancia se quiere controlar es diferencial, se requiere convertir la salida diferencial del maestro ( $IA_M$ ) en salida única mediante un *buffer*, como se mostró en la figura 4.7. Sin embargo, en este caso se optó por modificar la configuración del  $IA_M$  para convertir la salida diferencial en salida única sin ese bloque adicional. El  $IA_M$  modificado se muestra en la figura 4.10. La conversión a salida única se consigue sustituyendo la carga activa de las ramas de salida por un espejo de corriente  $M_{16} - M_{17}$  y, con el fin de mantener el valor nominal de ganancia en 40 dB, como en el IA que se desea controlar, el valor de la resistencia de carga  $R_2$  se redujo a  $1.7 \text{ M}\Omega$ . El consumo total de este  $IA_M$  con salida única es de  $4 \mu\text{W}$ .



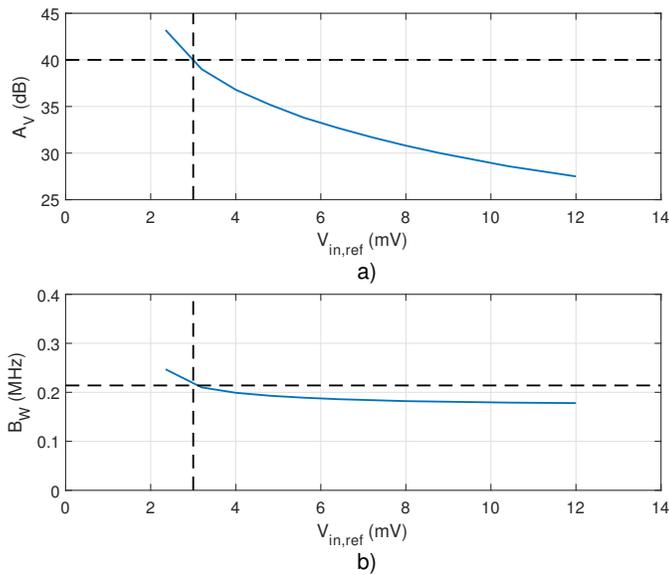
**Fig. 4.10:**  $IA_M$  con salida única

Con el  $EA$  y el  $IA_M$  de salida única se implementó el lazo de control. Para garantizar su correcta operación la ganancia de lazo debe ser  $\beta A \gg 1$ , y el lazo debe tener un margen de fase adecuado. En la figura 4.11 se presenta la ganancia de lazo y el margen de fase, medidos al abrir el lazo. La ganancia es elevada, alrededor de 90 dB y el margen de fase es de casi  $50^\circ$ . El margen de fase se consiguió aplicando compensación por polo dominante a la salida del  $IA_M$  con salida única, debido a que es el nodo que aporta el polo más cercano al origen. Se utilizó una capacitancia de 7.5 nF para alcanzar el margen de fase de  $50^\circ$ . Es una capacitancia considerable y no es integrable y, por ende, debe ser externa al circuito.



**Fig. 4.11:** Ganancia y fase de lazo

Finalmente, en la figura 4.12 se muestra la variación de la ganancia DC y el ancho de banda, en función de  $V_{in,ref}$ , para  $V_{out,ref}=300\text{mV}$ . De este modo, la ganancia nominal de 40 dB se alcanza cuando  $V_{in,ref}=3\text{ mV}$ . El rango de ajuste de la ganancia va desde 27.5 dB hasta 43.2 dB. El ancho de banda tiende a permanecer constante.



**Fig. 4.12:** Características en función de  $V_{in,ref}$ , con  $V_{out,ref}=300\text{mV}$ : a) Ganancia y b) ancho de banda

## 4.5. Conclusiones

En este capítulo se modificaron el *IA* con salida en clase A en inversión débil y el *IA* propuesto con salida en clase AB, con el fin de permitir el ajuste de la ganancia mediante circuitos de sintonización. De esta manera, para el *IA* en clase A se obtuvo una ganancia sintonizable en un rango de 23 a 43 dB con un ancho de banda de 174 a 249 kHz y un consumo de potencia de  $5 \mu\text{W}$  para la ganancia nominal. En cuanto al *IA* con salida en clase AB, se logró una ganancia ajustable en un rango de 25 a 46 dB, un ancho de banda de 250 a 542 kHz y un consumo de  $11.5 \mu\text{W}$ . En ambos casos se realizaron simulaciones Monte Carlo y se observó una mayor robustez del *IA* propuesto, con una variación máxima del valor de la ganancia de 1.3 dB, y una desviación estándar inferior a 2 dB en todas las esquinas. Por último, se presentó un circuito de control para ajustar automáticamente la ganancia del *IA* con salida en clase A, basado en un esquema maestro-esclavo. El circuito permite controlar la ganancia en un rango de 27 a 43 dB.

# Capítulo 5

## Conclusiones

En esta Tesis se presentó el análisis, diseño y comparación entre distintas topologías de amplificadores de instrumentación en modo corriente en la tecnología CMOS 0.18  $\mu\text{m}$  de UMC. El estudio de los amplificadores de instrumentación *IAs* partió de las estructuras compactas basadas en transconductores, sin ramas adicionales de salida para realizar la conversión a voltaje (conversión embebida). Estas configuraciones se basan en los seguidores de fuente mejorados: super seguidor de fuente (*SSF-IA*) y *flipped voltage follower* (*FVF-IA*). Se trata de *IAs* con consumo de área y potencia reducido, adecuados para aplicaciones portátiles. Sin embargo, se determinó que la limitación en los niveles de DC y en los rangos de señal del *SSF-IA* limita el valor de la ganancia, si se desea obtener un rango dinámico de al menos 20 dB. Por ello, se eligió una ganancia de 20 dB para ambos *IAs*. Cabe señalar que en el caso del *FVF-IA* la limitación es menor, pero se estableció la misma ganancia para realizar la comparación de ambos *IAs* en las mismas condiciones. El *FVF-IA* destacó no sólo en términos de los rangos de señal, con un rango de salida 4 veces mayor ( $230\text{ mV}_{pp}$ ) para una  $THD = -50$  dB, sino que además su factor de eficiencia de ruido fue casi 4 veces menor ( $NEF=4.6$ ), incrementando por lo tanto su rango dinámico hasta 42 dB, 20 dB por encima del *DR* del *SSF-IA*. Todo esto se logró además con un consumo de potencia de  $45\ \mu\text{W}$ , 5 veces

menor que el del *SSF-IA*.

Por la fuerte limitación en los rangos de las estructuras compactas, se diseñó un *IA* de dos etapas: transconductor y amplificador de transimpedancia. Este *IA* se diseñó en inversión fuerte y en inversión débil, con el fin de comparar las características en ambas zonas de operación. La ganancia se estableció en 40 dB. El diseño en inversión débil presentó un rango de salida de  $2.5 V_{pp}$ , para una  $THD = -50$  dB, un  $NEF = 10.4$  y un  $DR = 40$  dB, con un consumo de  $4 \mu W$ . Comparado con el diseño en inversión fuerte, el rango dinámico se incrementó en 8 dB, con un consumo de potencia 70 veces menor. Sin embargo, como era de esperar, el *slew rate* se redujo, y se incrementó el tiempo de establecimiento de la señal. A partir de este diseño se propuso un amplificador de instrumentación constituido por dos núcleos transconductores complementarios y ramas de salida clase AB. El diseño se realizó en inversión débil y muestra un incremento del *slew rate* y del rango dinámico frente a la configuración con salida en clase A. En particular, se obtuvo un  $SR$  de  $12 V/\mu s$  y un  $DR$  de 46 dB. Se obtuvo además un incremento del  $CMRR$  (74 dB @ 10 kHz) y del  $PSRR$  (86 dB @ 10 kHz).

Adicionalmente, se emplearon circuitos de sintonización basados en espejos de corriente no convencionales para un ajuste fino de la ganancia del *IA* clase A que fue diseñado en inversión débil, y del *IA* con salida clase AB propuesto. En el primer caso, el circuito de sintonización permite ajustar la ganancia en un rango de 23 a 43 dB, con una variación del ancho de banda de 174 a 249 kHz, mientras que en el segundo se obtuvo un rango de ajuste mayor, de 25 a 46 dB, con una variación del ancho de banda de 250 a 542 kHz. Al realizar simulaciones Monte Carlo considerando 100 muestras, se observó una mayor robustez del *IA* propuesto, que presenta una desviación estándar inferior a 2 dB de ganancia en todas las esquinas de proceso. Finalmente, se diseñó un circuito de control basado en un sistema maestro-esclavo para efectuar un ajuste automático de la ganancia del *IA* con salida en clase A en inversión débil. El circuito permite controlar la ganancia en un rango de 27 a 43 dB con un ancho de banda prácticamente constante.

# Índice de figuras

1.1. Configuración restadora . . . . .	2
1.2. <i>IA</i> en modo voltaje clásico . . . . .	3
1.3. Principio de operación del <i>IA</i> modo corriente . . . . .	4
1.4. <i>IA</i> en modo corriente basado en el <i>IA</i> en modo voltaje clásico . . . . .	5
2.1. <i>IA</i> compacto basado en el super seguidor de fuente ( <i>SSF-IA</i> ) . . . . .	9
2.2. Circuito de control de modo común . . . . .	10
2.3. Curva característica del <i>SSF-IA</i> . . . . .	12
2.4. Respuesta en frecuencia del <i>SSF-IA</i> . . . . .	12
2.5. Respuesta en el tiempo del <i>SSF-IA</i> . . . . .	13
2.6. Respuesta transitoria del <i>SSF-IA</i> ( $C_L = 0.5$ pF) . . . . .	13
2.7. <i>IA</i> compacto basado en el <i>flipped voltage follower</i> ( <i>FVF-IA</i> ) . . . . .	16
2.8. Red de polarización del espejo de corriente cascode NMOS . . . . .	17
2.9. Curva característica del <i>FVF-IA</i> . . . . .	18
2.10. Respuesta en frecuencia del <i>FVF-IA</i> . . . . .	19

2.11. Respuesta en el tiempo del <i>FVF-IA</i> . . . . .	19
2.12. Respuesta transitoria del <i>FVF-IA</i> ( $C_L = 0.5$ pF) . . . . .	20
3.1. <i>IA</i> con etapa de salida clase A . . . . .	24
3.2. Curva característica del <i>IA</i> en inversión fuerte y en inversión débil . . . . .	26
3.3. Respuesta en frecuencia del <i>IA</i> en inversión fuerte y en inversión débil . . . . .	27
3.4. Respuesta en el tiempo del <i>IA</i> en inversión fuerte y en inversión débil . . . . .	27
3.5. Respuesta transitoria del <i>IA</i> en inversión fuerte y en inversión débil ( $C_L = 0.5$ pF) . . . . .	28
3.6. Densidad espectral de ruido referido a la entrada del <i>IA</i> en inversión fuerte y en inversión débil . . . . .	29
3.7. <i>IA</i> propuesto con salida en clase AB . . . . .	31
3.8. Curva característica del <i>IA</i> con salida en clase AB . . . . .	33
3.9. Respuesta en frecuencia del <i>IA</i> con salida en clase AB . . . . .	33
3.10. Respuesta en el tiempo del <i>IA</i> con salida en clase AB . . . . .	34
3.11. Respuesta transitoria del <i>IA</i> con salida en clase AB ( $C_L = 0.5$ pF) . . . . .	34
4.1. a) Principio de operación b) Implementación del circuito de sintonización . . . . .	39
4.2. <i>IA</i> con etapa de salida clase A con control de ganancia . . . . .	40
4.3. Características en función de $I_{TUN}$ : a) ganancia, b) ancho de banda y c) corriente total . . . . .	41
4.4. <i>IA</i> propuesto con ajuste de ganancia . . . . .	43

4.5. Circuitos de ajuste de ganancia . . . . .	44
4.6. Características en función de $I_{TUN}$ : a) ganancia, b) ancho de banda y c) corriente total . . . . .	45
4.7. $IA$ con lazo de control . . . . .	48
4.8. Amplificador de error ( $EA$ ) . . . . .	48
4.9. Respuesta en frecuencia del $EA$ . . . . .	49
4.10. $IA_M$ con salida única . . . . .	50
4.11. Ganancia y fase de lazo . . . . .	51
4.12. Características en función de $V_{in,ref}$ , con $V_{out,ref}=300mV$ : a) Ganancia y b) ancho de banda . . . . .	51

# Índice de tablas

2.1. Dimensiones de los transistores del <i>SSF-IA</i> . . . . .	12
2.2. Principales características del <i>SSF-IA</i> . . . . .	14
2.3. Coeficiente de temperatura y voltaje de las resistencias de polisilicio . . .	15
2.4. Dimensiones de los transistores del <i>FVF-IA</i> . . . . .	18
2.5. Principales características del <i>FVF-IA</i> . . . . .	20
2.6. Comparativa entre el <i>SSF-IA</i> y el <i>FVF-IA</i> . . . . .	21
3.1. Dimensiones de los transistores del <i>IA</i> en inversión fuerte y en inversión débil . . . . .	26
3.2. Principales características del <i>IA</i> con etapa de salida clase A . . . . .	29
3.3. Dimensiones de los transistores del <i>IA</i> con etapa de salida clase AB . . .	32
3.4. Principales características del <i>IA</i> con salida en clase AB . . . . .	35
3.5. Comparativa entre el <i>IA</i> con salida clase A en inversión débil y el <i>IA</i> con salida clase AB . . . . .	36
3.6. Comparativa entre el <i>IA</i> propuesto con <i>IAs</i> recientes . . . . .	36

4.1.	Condiciones de operación del circuito de control de ganancia . . . . .	39
4.2.	Dimensiones de los transistores del circuito de control . . . . .	41
4.3.	Principales características del <i>IA</i> con salida en clase A de ganancia constante y con ajuste de ganancia . . . . .	42
4.4.	Ganancia del <i>IA</i> clase A con ajuste de ganancia, considerando <i>mismatch</i> para esquinas de proceso (simulación Monte Carlo) . . . . .	42
4.5.	Dimensiones de los transistores de los circuitos de ajuste de ganancia . .	44
4.6.	Principales características del <i>IA</i> propuesto de ganancia constante y con ajuste de ganancia . . . . .	46
4.7.	Ganancia del <i>IA</i> propuesto con ajuste de ganancia, considerando <i>mis-</i> <i>match</i> para esquinas de proceso (simulación Monte Carlo) . . . . .	47
4.8.	Dimensiones de los transistores del EA . . . . .	49

# Bibliografía

- [1] *A Designer's Guide to Instrumentation Amplifiers*, 3rd ed. Analog Devices, Inc., USA, 2006.
- [2] L. Safari, G. Ferri, S. Minaei and V. Stornelli, *Current-Mode Instrumentation Amplifiers*. Springer, 2019.
- [3] B. Chaturvedi and A. Kumar, *Electronically tunable current-mode instrumentation amplifier with high CMRR and wide bandwidth*. AEU-International Journal of Electronics and Communications, vol. 92, pp.116–123, 2018.
- [4] D. Agrawal and S. Maheshwari, *Cascadable current mode instrumentation amplifier*. AEU -International Journal of Electronics and Communications, vol. 94, pp. 91–101, 2018.
- [5] L. Safari, S. Minaei, G. Ferri and V. Stornelli, *Analysis and design of a new COA-based current-mode instrumentation amplifier with robust performance against mismatches*. AEU -International Journal of Electronics and Communications, vol. 89, pp. 105–109, 2018.
- [6] A. Harb and M. Sawan, *New Low-Power Low-Voltage High-CMRR CMOS Instrumentation Amplifier*. International Symposium On Circuits and Systems (ISCAS), vol. VI, pp. 97-100, 1999.
- [7] *Precision, Rail-to-Rail I/O INSTRUMENTATION AMPLIFIER*. Texas Instruments, USA, 2004.

- [8] F. Costa, C. Ramos and J. Baptista, *Current mode instrumentation amplifier with rail-to-rail input and output*. Analog Integrated Circuits Signal Processing, vol. 57, pp. 29-37, 2008.
- [9] J. Tao, S. Hang, M. Vai, P.U. Mak, P.I. Mak and F. Wan, *Design of Current Mode Instrumentation Amplifier for Portable Biosignal Acquisition System*. Biomedical Circuits and Systems Conference (BIOCAS), 2009.
- [10] R. Yazicioglu, P. Merken, R. Puers and C. Hoof. *A 60  $\mu$ W 60nV/ $\sqrt{Hz}$  Readout Front-End for Portable Biopotential Acquisition Systems*. IEEE Journal of Solid-State Circuits, vol. 42, no. 5, pp. 1100-1110, 2007.
- [11] T. Kwan and K. Martin, *An adaptive analog continuous-time CMOS biquadratic filter*. IEEE Journal of Solid-State Circuits, vol. 26, no. 6, pp. 859-867, 1991.
- [12] R. Carvajal et al., *The Flipped Voltage Follower: A Useful Cell for Low-Voltage Low-Power Circuit Design*. IEEE Transactions on Circuits and Systems I: Regular Papers, vol.52, no.7, pp. 1276-1291, 2005.
- [13] C. Yang and A. Mason, *Process/Temperature Variation Tolerant Precision Signal Strength Indicator*. IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 55, no. 3, pp. 722-729, 2008.
- [14] J.M. Carrillo, M.A. Domínguez, R. Pérez-Aloe, C.A. de la Cruz Blas and J.F. Duque-Carrillo , *Low-power wide-bandwidth CMOS indirect current feedback instrumentation amplifier*. AEU-International Journal of Electronics and Communications, vol. 123, 2020.
- [15] R. Sanjay, B. Venkataramani, S. Kumaravel, V.S Rajan and K.H Kishore, *A Low-Noise Area-Efficient Current Feedback Instrumentation Amplifier*. Circuits, Systems, and Signal Processing, vol. 40, pp. 1496–1510, 2021.
- [16] Z. Hoseini, M. Nazari, K. Lee and H. Chung, *Current Feedback Instrumentation Amplifier With Built-In Differential Electrode Offset Cancellation Loop for*

*ECG/EEG Sensing Frontend*. IEEE Transactions on Instrumentation and Measurement, vol. 70, 2021.

- [17] I. Corbacho, J.M. Carrillo, J.L. Ausín, M.A. Domínguez, R. Pérez-Aloe and J.F. Duque-Carrillo, *A Fully-Differential CMOS Instrumentation Amplifier for Bioimpedance-Based IoT Medical Devices*. Journal of Low Power Electronics and Applications, vol. 13, no. 1, 2023.
- [18] I. Corbacho, J.M. Carrillo, J.L. Ausín, M.A. Domínguez, R. Pérez-Aloe and J.F. Duque-Carrillo, *Wide-Bandwidth Electronically Programmable CMOS Instrumentation Amplifier for Bioimpedance Spectroscopy*. IEEE Access, vol. 10, pp. 95604 - 95612, 2022.