Diseño de un Amplificador Lock-In en tecnología CMOS de 0.18μm

por

Ing. Paulina Mariana Maya Hernández

Tesis sometida como requisito parcial
para obtener el grado de

MAESTRA EN CIENCIAS EN LA ESPECIALIDAD DE ELECTRÓNICA

en el

Instituto Nacional de Astrofísica, Óptica y Electrónica

Febrero 2012
Tonantzintla, Puebla

Supervisada por:

Dra. María Teresa Sanz Pascual y
Dra. Belén Calvo López

©INAOE 2012
El autor otorga al INAOE el permiso de reproducir
y distribuir copias en su totalidad o en
partes de esta tesis

Resumen

El desarrollo de mecanismos de sensado ha facilitado la interacción entre los seres vivos y el medio ambiente. Con el objetivo de impulsar una gran diversidad de aplicaciones de redes portátiles en diferentes ramas como ciencia, medicina, sistemas de monitoreo ambiental, industria aeroespacial y de manufactura, así como de seguridad personal y dispositivos de entretenimiento, se han desarrollado "sensores inteligentes", los cuales integran de manera conjunta sensores y circuitos electrónicos que permiten llevar a cabo funciones de toma de decisiones, de control y que ejecuten acciones.

Sin embargo, cualquier tipo de mecanismo de sensado tiene sus límites, siendo uno en particular el bajo nivel de la señal de salida en comparación con el nivel de ruido. Esto implica que se tiene la necesidad de técnicas de acondicionamiento de señal para aumentar la relación señal a ruido.

Una técnica que permite medir la amplitud de una señal incluso si la potencia del ruido e interferencias superpuestas son mayores que la potencia de la señal de interés, es la técnica de detección sensible a fase, en la cual basan su funcionamiento los amplificadores *lock-in*.

La necesidad de amplificadores *lock-in* para su uso en las aplicaciones portátiles actuales, así como las pocas implementaciones encontradas en la literatura y sus limitaciones, motivan el desarrollo de acondicionadores de señal integrados portátiles que permitan recuperar señales inmersas en ruido y que presenten un bajo consumo de potencia.

Este trabajo presenta el diseño de dos prototipos integrados de amplificador *lock-in* con tecnología CMOS de $0.18\mu m$ y voltaje de alimentación única de $1.8V$. Ambas propuestas presentan ganancia programable y reducción del ancho de banda mediante un par de capacitores externos.

Los dos prototipos que se desarrollaron permitieron recuperar una señal de interés de ambientes ruidosos con un error inferior al $6\,\%$ para señales sumergidas en ruido blanco con un $SNR = -20dB$, área de integración de $0.012 - 0.013mm^2$, y consumo de potencia de $0.35mW$.

Agradecimientos

A mis asesoras: Dra. María Teresa Sanz Pascual y Dra. Belén Calvo López.

Por brindarme la oportunidad de trabajar con ustedes, por sus valiosos consejos y por todo su apoyo para el desarrollo de este trabajo.

Al Consejo Nacional de Ciencia y Tecnología (CONACYT)

Por el apoyo económico otorgado a través de la beca para estudios de maestría No. de Registro: 235415, así como el apoyo brindado mediante el Proyecto de Investigación CONACYT CB-SEP-2008-01-99901.

Al Instituto Nacional de Astrofísica, Óptica y Electrónica (INAOE) y la Universidad de Zaragoza en España

Por darme la oportunidad de realizar los estudios de posgrado y brindarme las herramientas para el desarrollo de la tesis.

A mi familia y amigos

Por apoyarme siempre en los momentos difíciles y creer siempre en mi.

A los doctores y compañeros del INAOE

Por la ayuda, los buenos consejos, las risas, los días de desvelo y aprendizaje.

A Dios

Por llenarme de experiencia, luz y fuerza.

Dedicatorias

A lo largo de mis estudios de maestría, siempre tuve conmigo el apoyo y el amor incondicional de mi familia para levantarme en aquellos momentos difíciles así como para impulsarme para seguir creciendo en cada proyecto de mi vida, todo mi esfuerzo y dedicación que puse en la realización de este trabajo se lo debo a ellos.

Este trabajo lo dedico a mis padres Guillermo Francisco Maya Álvarez y Martha Patricia Hernández Franco quienes han dado su esfuerzo y amor para construir un calido hogar para mi y mis hermanos; a mis hermanos Helen, Angie y Memo con quienes he crecido y aprendido día con día, así como a mis sobrinos Toño y Saúl que me llenaron de ternura, alegría y ánimos para salir adelante.

Dedico también este trabajo a la persona con quien llegué al inaoe, estudiamos juntos, aprendimos juntos, sufrimos y crecimos, pero también vivimos momentos de mucha dicha, gracias por estár siempre ahí, para mi, gracias por tu amor, gracias por estár a mi lado Javi.

Finalmente incluyo a mi amigo perruno, el örejitas", quien me cuidó por las noches en mis trayectos a casa y me brindó su sincero cariño, lo extraño.

Índice general

Resumen I

Agradecimientos III

Dedicatorias V

1. Introducción 1

1.1. Ruido 5

1.1.1. Ruido Térmico 5

1.1.2. Ruido *Flicker* 7

1.2. Interferencias 8

1.3. Sistemas de Acondicionamiento para mejorar la Relación Señal/Ruido 9

1.4. Justificación 11

1.5. Objetivo de la Tesis 12

1.6. Organización de la Tesis 13

2. Amplificador *Lock-In* 15

2.1. Introducción 15

2.2. Amplificadores *Lock-In* 16

2.3. Amplificadores de Instrumentación 23

2.3.1. Modo Voltaje 24

2.3.2. Modo Corriente 26

2.3.3. Amplificadores *Lock-In* Integrados 28
2.4. Conclusiones 32

3. Diseño de Bloques Constitutivos 33
3.1. Introducción 33
3.2. Diseño del Transconductor 34
3.2.1. Transconductor con G_m-Boosting 35
3.2.2. Transconductor Programable con G_m-Boosting 39
3.3. Diseño de Divisor de Corriente 45
3.4. Diseño de Amplificador de Transimpedancia 52
3.5. Diseño de *Mixer* 55
3.6. Conclusiones 58

4. Amplificador *Lock-In* Integrado 61
4.1. Introducción 61
4.2. Amplificador *Lock-In* 1 62
4.3. Amplificador *Lock-In* 2 71
4.4. Comparación de Resultados 80
4.5. Conclusiones 82

5. Conclusiones 85
5.1. Trabajo a Futuro 86

Índice de figuras 87

Índice de tablas 91

Bibliografía 93

Capítulo 1

Introducción

Un sensor es un dispositivo que recibe y transforma señales o estímulos en diferentes dominios de la energía y responde con una señal eléctrica [1, 2]. Por una parte, los sensores pueden clasificarse según el dominio de la energía que reciben, con lo que se tienen: Magnético (intensidad de campo, densidad de flujo, permeabilidad), Químico (concentración, porcentaje de reacción), de Radiación (longitud de onda, intensidad), Mecánico (fuerza, torque, presión, posición), Térmico (temperatura, flujo de calor) y Eléctrico (voltaje, corriente, carga, resistencia, etc).

Por otra parte, los sensores pueden ser divididos dependiendo de la naturaleza de la señal generada en pasivos o activos. Los sensores pasivos son aquellos que generan señales representativas de las magnitudes a medir por medio de una fuente auxiliar (resistencia, inductancia, capacitancia variables). Los activos generan señales representativas de las magnitudes a medir de forma autónoma, sin requerir de alguna fuente de alimentación (piezoeléctricos, electroquímicos, magnetoeléctricos) [1].

La interacción entre los seres vivos y el medio ambiente requiere de mecanismos de sensado, de toma de decisiones y que ejecuten acciones [3], lo cual llevó al desarrollo de sensores inteligentes, que permiten mejorar la calidad de vida, seguridad y salud de los seres humanos, como se muestra en la Figura 1.1.

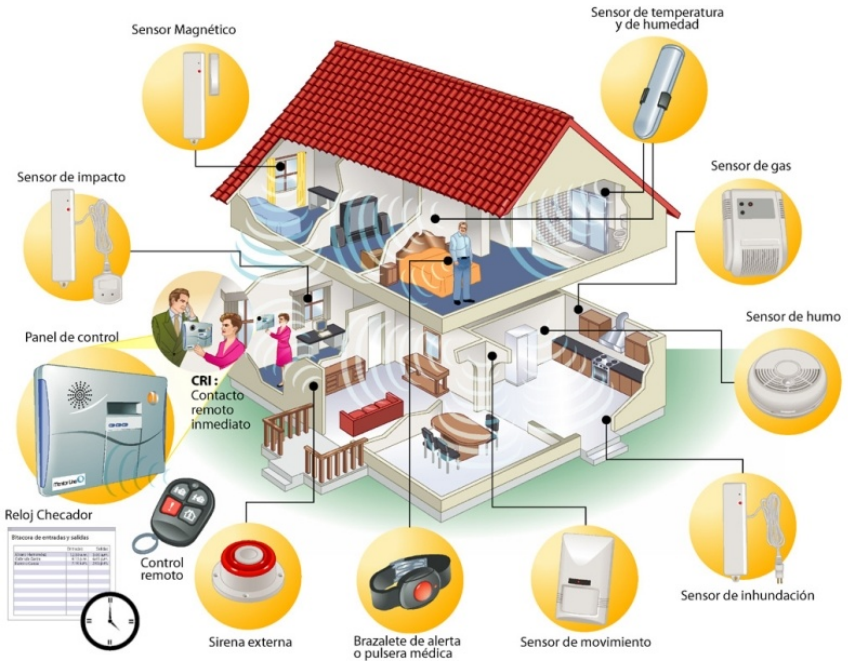

Figura 1.1: Sensores Inteligentes

Los sensores inteligentes son sistemas donde los sensores y la electrónica asociada están integrados juntos [3]. Este tipo de sensores está cimentando el camino para una amplia gama de aplicaciones de redes portátiles, incluyendo: ciencia e ingeniería, laboratorios *on-chip* (analizadores de ADN, micro-bombas), medicina (monitoreo de pacientes, marcapasos), sistemas de monitoreo ambiental (medidores de calidad de agua o analizadores de contaminación atmosférica), procesos químicos (monitoreo de la combustión de motores, testing farmacéutico), biología, industria aeroespacial y de manufactura, militar, navegación, seguridad personal y dispositivos de entretenimiento [4], lo que está llevando a la evolución de microsistemas o micromódulos ensamblados.

En la aproximación de microsistemas, el sensor y la circuitería de interface electrónica se encuentran integrados sobre el mismo chip, es decir, el sistema completo es obtenido usando un proceso de CI standard como se muestra en la Figura 1.2. Sin embargo, esto reduce los grados de libertad para el diseño del sensor, y cualquier defecto en el sensor podría resultar en una falla del microsistema completo a pesar de que los demás circuitos funcionen apropiadamente [3].

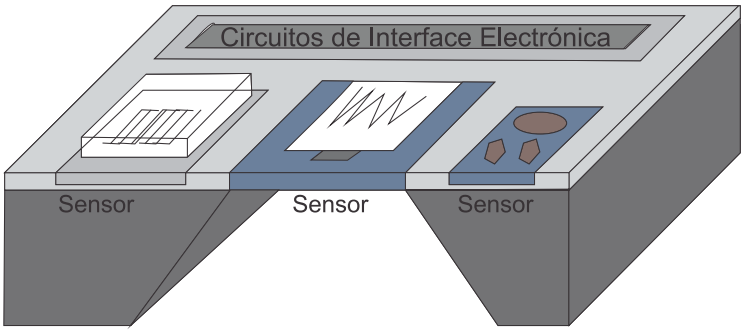

Figura 1.2: Sistema de Sensores Inteligentes (Microsistema)

También se tienen otras ventajas como que los elementos parásitos debidos a interconexiones entre sensores y los circuitos electrónicos son minimizados, además de que el uso de la misma tecnología permite obtener un mejor *matching* entre elementos del sensor y los circuitos eléctricos permitiendo una compensación más precisa de los efectos parásitos [3].

En la aproximación de micromódulo, los sensores y los circuitos de interface electrónica se realizan en diferentes chips, pero se incluyen en el mismo empaquetado o son montados en el mismo sustrato como se muestra en la Figura 1.3, con lo que los dos chips pueden ser implementados con diferentes tecnologías, optimizando el desempeño para los sensores y los circuitos electrónicos, ya que las propiedades de los materiales de la tecnología pueden ser ajustadas para optimizar el funcionamiento de los dispositivos [3].

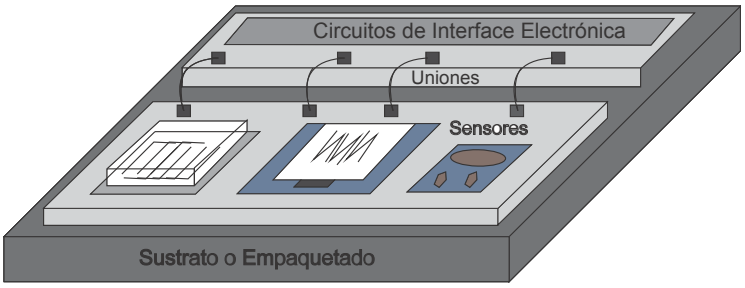

Figura 1.3: Sistema de Sensores Inteligentes (Micromódulo)

Por otro lado, algunos de sus inconvenientes son que el montaje puede ser costoso y poco confiable, permitiendo solo un número limitado de interconexiones entre el sensor

y los circuitos de interface electrónica, así como que los elementos parásitos de dichas interconexiones son de varios órdenes de magnitud mayores, impredecibles y menos repetibles que en los microsistemas. Además, no se tiene *matching* garantizado entre el sensor y los circuitos electrónicos [3].

A pesar de la evolución y desarrollo de los sistemas de sensores, cualquier tipo de mecanismo de sensado tiene sus límites, es por ello de la necesidad de abordar técnicas de acondicionamiento de señal, que son los elementos del sistema de medida que ofrecen, a partir de la señal de salida de un sensor electrónico, una señal apta para ser presentada, registrada o procesada para la siguiente etapa de la operación [3, 5, 6].

Consisten principalmente en circuitos que ofrecen, entre otras funciones, las siguientes: amplificación, filtrado, adaptación de impedancias y modulación o demodulación [5].

El diseño de acondicionadores de señales, dependiendo de la aplicación, puede requerir especificaciones estrictas sobre ruido, voltaje de polarización, consumo de potencia, velocidad, rechazo a interferencias, bajo costo, fiabilidad, etc [3].

Las siguientes son algunas de las técnicas que se pueden presentar en el acondicionamiento de señales:

- Realimentación.
- Compensación de las no idealidades de amplificadores (circuitos de autozero, chopper, circuitos que usan *matching* de elementos dinámicos).
- Mejora de la relación señal-ruido (filtros, amplificadores *lock-in*, promediando la forma de onda, auto-correlación y correlación cruzada).
- Medición de bajas y altas impedancias.
- Técnicas de protección o blindaje.
- Calibración.

Uno de los problemas encontrados en algunos sensores es el bajo nivel de la señal de salida en comparación con el nivel de ruido, que puede incluso superar la amplitud de la señal de interés, lo que implica la necesidad de técnicas de amplificación especiales para aumentar la relación señal a ruido [7].

Las señales analógicas que son procesadas por circuitos integrados son corrompidas por dos diferentes tipos de ruido: ruido intrínseco de dispositivo electrónico y ruido en el ambiente o interferencia, los cuales limitan el nivel de señal mínimo que un circuito puede procesar con calidad aceptable. Es por ello que a continuación se presenta una explicación sobre las fuentes de ruido e interferencia.

1.1. Ruido

El ruido inherente se refiere a señales de ruido aleatorias que pueden ser reducidas mediante estrategias adecuadas de diseño pero no eliminadas, ya que se deben a las propiedades fundamentales de los circuitos. Se tienen dos tipos de ruidos inherentes o intrínsecos en los dispositivos: ruido térmico y ruido *flicker*, que son explicados a continuación.

1.1.1. Ruido Térmico

El ruido térmico se debe a la excitación térmica de los portadores de carga en un conductor. El movimiento aleatorio de los electrones en un conductor introduce fluctuaciones en la medición de voltaje a través del conductor incluso si la corriente promedio es cero. No depende de las condiciones de polarización y ocurre en todos los resistores. Como se representa en la Figura 1.4, así como en las ecuaciones (1.1) y (1.2), el ruido térmico de un resistor puede ser modelado por una fuente de voltaje en serie, o por una fuente de corriente en paralelo con el resistor R, y es proporcional a la temperatura absoluta [8].

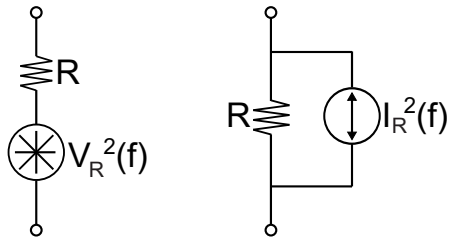

Figura 1.4: Modelo de ruido térmico de resistor

$$V_R^2(f) = 4KTR \tag{1.1}$$

$$I_R^2(f) = \frac{4KT}{R} \tag{1.2}$$

Los transistores MOS también exhiben ruido térmico. La fuente más significativa es el ruido generado en el canal. Puede ser modelado por una fuente de corriente conectada entre las terminales de drenaje y fuente, o una fuente de voltaje en la terminal de compuerta como se observa en la Figura 1.5, así como en las ecuaciones (1.3) y (1.4).

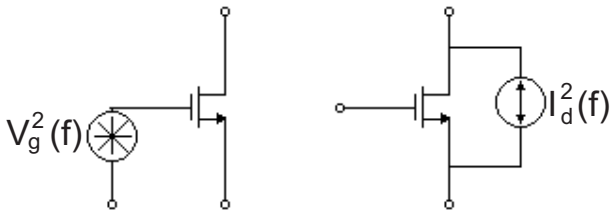

Figura 1.5: Modelo de ruido térmico de transistor MOS

$$V_g^2(f) = \frac{4KT\gamma}{g_m} \tag{1.3}$$

$$I_d^2(f) = 4KT\gamma g_m \tag{1.4}$$

Observándose en la ecuación (1.4) que la corriente de ruido de un transistor MOS decrece si la transconductancia disminuye [8].

Una señal de ruido es blanca si su densidad espectral es constante sobre una frecuencia dada como se muestra en a Figura 1.6. Se observa por lo tanto de las expresiones (1.3) y (1.4) que el ruido térmico es ruido blanco.

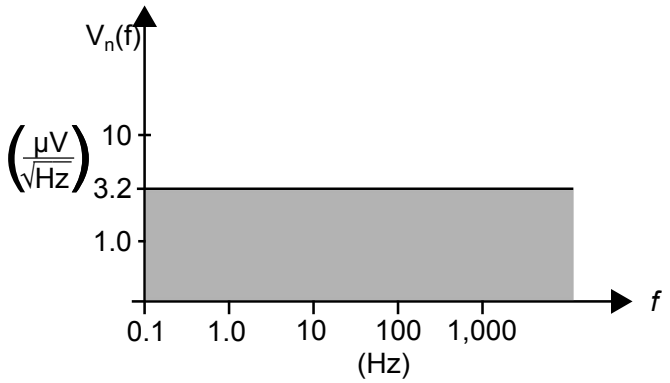

Figura 1.6: Ejemplo de Ruido Blanco

1.1.2. Ruido *Flicker*

Se encuentra en todos los dispositivos activos, así como en los resistores, pero ocurre solo cuando la corriente en DC está fluyendo. Se genera debido a trampas en el semiconductor al final de su interface, en las cuales los portadores son aleatoriamente atrapados y mantenidos por un periodo de tiempo formándose enlaces con lo que se tiene un aumento de estado de energía y siendo liberados luego, introduciendo el ruido *flicker* en la corriente de drenaje [8, 9].

Se modela como muestra la ecuación (1.5), de donde se observa que la densidad espectral es inversamente proporcional a la frecuencia [9] como se muestra en la Figura 1.7.

$$V_n^2 = \frac{K}{C_{ox}WL}\frac{1}{f} \tag{1.5}$$

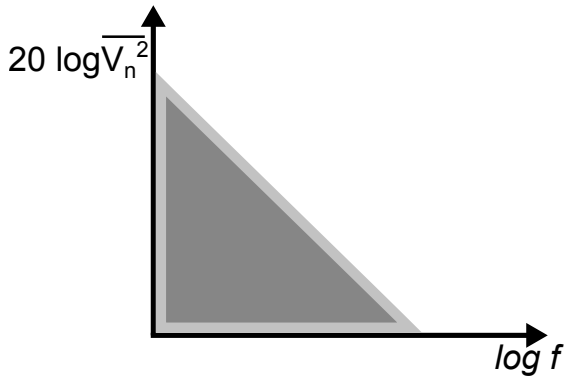

Figura 1.7: Densidad espectral de ruido *flicker*

1.2. Interferencias

En la práctica, la versión eléctrica de las señales naturales se encuentra acompañada por interferencias indeseadas y fuera de la banda [8], como se muestra en la Figura 1.8. El ruido de interferencias es resultado de interacciones indeseadas entre el circuito y el mundo externo, o entre diferentes partes del mismo circuito, pudiendo ser periódicas, intermitentes o aleatorias.

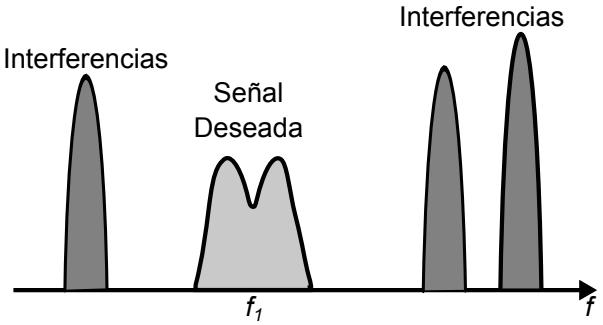

Figura 1.8: Señal deseada acompañada de interferencias fuera de la banda

Las interferencias están compuestas de varias formas de ruido que surgen de los alrededores. Se genera porque cada conductor es potencialmente una antena capaz de captar radiación electromagnética y convertirla en una señal eléctrica. Hay numerosas fuentes de radiación electromagnética en el ambiente, incluso las líneas de energía eléctrica AC, estaciones de radio y TV, sistemas de ignición de motores a gasolina,

interruptores de arco, escobillas en motores eléctricos, la iluminación y perturbaciones ionosféricas. Algunas de esas fuentes, causan ruido con anchos de banda de frecuencia relativamente estrechos [10].

Las interferencias también pueden generarse por perturbaciones producidas por las no linealidades y parámetros dependientes de la frecuencia de caminos de transmisión de un sistema deseado. Es posible que la potencia de la interferencia total que recibe el sistema sea mucho mayor que la potencia de ruido en el sistema [11].

1.3. Sistemas de Acondicionamiento para mejorar la Relación Señal/Ruido

Para la mejora de la relación señal-ruido (SNR) se tienen distintas técnicas de acondicionamiento de señal específicas, que se presentan a continuación:

- **Filtros.** Permiten pasar señales eléctricas de tiempo continuo a una cierta frecuencia o rangos de frecuencia mientras bloquea el paso de otras.

  La razón de esta aplicación tan extendida es que muchas señales de instrumentos son de baja frecuencia con anchos de banda que se extienden en intervalos de unos pocos hertz. Por consiguiente, un filtro pasa bajas bien caracterizado eliminará de manera efectiva muchos de los componentes de alta frecuencia de la señal, sin olvidar el ruido térmico. Mientras que un filtro pasa altas permite reducir los efectos de deriva y de otros ruidos fluctuantes de baja frecuencia. Los filtros pasa banda permiten atenuar el ruido fuera de una banda esperada de frecuencias de la señal [10].

  Sin embargo tienen el inconveniente de que para su implementación es difícil obtener un factor de calidad (Q) elevado, además de que puede presentarse un corrimiento en la frecuencia característica, por lo que su implementación puede resultar compleja.

- **Método de correlación.** Los circuitos de auto-correlación y correlación cruzada consisten en la búsqueda de patrones repetitivos; de esta manera, una señal de interés periódica sumergida en niveles de ruido, puede ser identificada. Su propósito es permitir hacer una predicción sobre una variable basada en algo que conocemos sobre otra variable.

  Con frecuencia, los métodos de correlación se aplican para procesar datos provenientes de instrumentos analíticos. Estos procedimientos representan herramientas potentes para desarrollar tareas como extraer señales que parecen perdidas en el ruido, suavizar datos ruidosos, comparar un espectro de un análisis con espectros almacenados de compuestos puros y resolver picos traslapados o no resueltos en la espectroscopía y en la cromatografía.

  Los métodos de correlación se basan en la manipulación de datos matemáticos complejos que se puede efectuar de manera apropiada solo mediante una computadora o mediante instrumentación analógica muy compleja [10].

- **Amplificadores *lock-in*.** Una posibilidad es el uso de amplificadores *lock-in* (LIAs), los cuales están basados en una técnica conocida como detección sensible a fase. Esta técnica permite detectar y medir la amplitud y fase de las señales muy pequeñas a una frecuencia de referencia f_0, incluso si hay fuentes de ruido de varios órdenes de magnitud mayores que la señal que se mide en sí. El funcionamiento de esta técnica se explicará de manera más detallada en el siguiente capítulo.

  Los LIAs son ampliamente utilizados en el área de instrumentación, sin embargo su comercialización actualmente se desarrolla principalmente como equipos de laboratorio no portátiles como el mostrado en la Figura 1.9. Las características de estos instrumentos los hacen apropiados para numerosas aplicaciones de procesado de señales de muy bajo nivel y elevado ruido, siempre que tamaño, precio o consumo no sean requisitos fundamentales; en esos casos, el instrumento deja de ser apropiado.

Figura 1.9: *Lock-in Amplifier* Comercial

Una revisión en la literatura permitió encontrar de manera integrada únicamente pocas implementaciones, encontrándose algunos operando con polarización dual como es el caso de [12], así como algunas implementaciones complejas como la de [13], que utiliza un multiplicador compuesto por un generador de código de termómetro, interruptores de control y sumador analógico, o como [14] que emplea varios filtros pasa banda para activar el que más convenga mientras los demás son desactivados, con lo que se tiene un gran consumo de área. Ninguna de estas implementaciones es adecuada para la implementación portátil de un circuito de acondicionamiento de señal para mejorar la relación señal-ruido que tenga un bajo consumo de potencia y de área.

1.4. Justificación

Muchas aplicaciones de la electrónica en nuestra vida cotidiana no serían posibles sin los sensores, ya que su implementación es indispensable para el desarrollo de muchos sectores (industriales, de control ambiental, entre otros) [5].

Los sensores de semiconductores proveen una interface sencilla y de bajo costo, además de que son los elementos primarios y más básicos de todos los instrumentos. En este respecto, hay un considerable esfuerzo para integrar varios sensores sobre la misma oblea de Silicio junto con circuitos de acondicionamiento de señales con tecnología

CMOS, lo cual, aunque no se lleve a cabo en el desarrollo de este trabajo, es una motivación para futuras implementaciones en las que se integren ambas tecnologías de manera conjunta ya sea mediante un enfoque de microsistema o de micromódulo. Es necesario poder alcanzar un buen compromiso entre costo, funcionamiento, dimensiones, peso, consumo de potencia y robustez. Además, es deseable la habilidad para operar en diversos rangos de ambientes [4].

La necesidad de amplificadores *lock-in* para su uso en las aplicaciones portátiles actuales, así como las pocas implementaciones de amplificadores encontrados en la literatura y sus limitaciones motivan al desarrollo de acondicionadores de señal integrados portátiles que permitan recuperar señales inmersas en ruido y que presenten un bajo consumo de potencia.

1.5. Objetivo de la Tesis

Los objetivos principales de la tesis se presentan a continuación:

- El objetivo de la tesis consiste en explorar una nueva implementación de un LIA analógico mediante la revisión bibliográfica, familiarización con el entorno de diseño, estudio y análisis de amplificadores *lock-in* y cada uno de sus componentes: amplificador de instrumentación, *mixer* y filtro pasa-bajas.

- Realizar el proceso completo de diseño de una propuesta de LIA empleando una tecnología CMOS de $0.18\mu m$: diseño esquemático, integración en ASIC *full custom* y caracterización *post-layout*, para su integración.

- Se tiene el propósito de que el circuito esté diseñado para ser utilizado en aplicaciones portátiles, por esta razón se alimenta por una única fuente, compatible con sistemas que operan con baterías, se busca que tenga un consumo de potencia y un área de integración mínimas.

- Evaluación final de las topologías de LIA y propuesta de nuevas líneas de actuación.

1.6. Organización de la Tesis

La organización de la tesis se desarrolla de la siguiente manera.

El Capítulo 1 brinda una introducción a los sensores así como una breve explicación del ruido que limita el funcionamiento de los mismos y los circuitos de acondicionamiento que permiten mejorar su relación señal-ruido.

El Capítulo 2 presenta una descripción del principio de detección sensible a fase bajo el cual funcionan los amplificadores *lock-in*, así como de los bloques que lo conforman. Se realiza una exploración en la literatura sobre amplificadores *lock-in* integrados previamente, para finalmente presentar el amplificador *lock-in* que se propone en este trabajo de tesis, con el que se desarrollaron dos versiones.

En el Capítulo 3 se realiza el diseño de los bloques que constituyen las dos versiones del amplificador *lock-in* propuesto, así como también se muestra su implementación en *layout* y su caracterización *post-layout*.

El Capítulo 4 muestra el diseño de los amplificadores *lock-in* y su caracterización *post-layout*, y se realiza un análisis de su funcionamiento frente a diversas condiciones de ruido. Finalmente se realiza un comparativo de los amplificadores *lock-in* desarrollados con otras implementaciones encontradas en la literatura.

Finalmente, en el Capítulo 5 se dan a conocer las conclusiones de la tesis, así como el trabajo a futuro.

Capítulo 2

Amplificador *Lock-In*

En este capítulo se describe el funcionamiento de los amplificadores *lock-in*, así como los bloques básicos que lo componen. Parte fundamental en el funcionamiento de los amplificadores *lock-in* son los amplificadores de instrumentación, que amplifican la señal de entrada para poder resolverla mediante un mecanismo de detección sensible a fase; es por ello que se realiza en primer lugar un estudio sobre los amplificadores de instrumentación en modo voltaje y en modo corriente. A continuación se realiza una revisión sobre los amplificadores *lock-in* que han sido implementados previamente en la literatura y, finalmente se presenta el amplificador *lock-in* propuesto.

2.1. Introducción

En algunos casos los niveles de voltaje de una señal que se va a medir son extremadamente pequeños; debido a interferencias externas, ruido térmico, por mencionar algunas fuentes de ruido, la señal de interés puede ser contaminada por perturbaciones sumadas a la banda [7].

Estas dificultades pueden ser superadas por medio de amplificadores *lock-in* (LIAs), los cuales son medidores de voltaje AC capaces de medir la amplitud de una señal incluso si la potencia del ruido e interferencias superpuestas son mayores que la potencia

de la propia señal de interés.

2.2. Amplificadores *Lock-In*

Los LIAs hacen uso de una señal de referencia a la misma frecuencia que la señal de interés para implementar una demodulación síncrona de la señal de entrada [3, 7]. Esta técnica también se conoce como detección sensible a fase (PSD).

Existen dos tipos de LIAs: de una fase y de doble fase. En el primer caso, como se muestra en la Figura 2.1, el amplificador *lock-in* recibe una señal de entrada de una frecuencia f_0, y precisa una señal de referencia de esta misma frecuencia; se multiplican ambas señales pudiéndose expresar el producto como una serie de armónicos. Como se verá a continuación, la contribución en DC es proporcional a la señal de interés. Dicha componente puede extraerse mediante un filtro pasa bajas (LPF). La salida del sistema es, por lo tanto, una señal de continua proporcional a la amplitud de la señal de interés [3, 7].

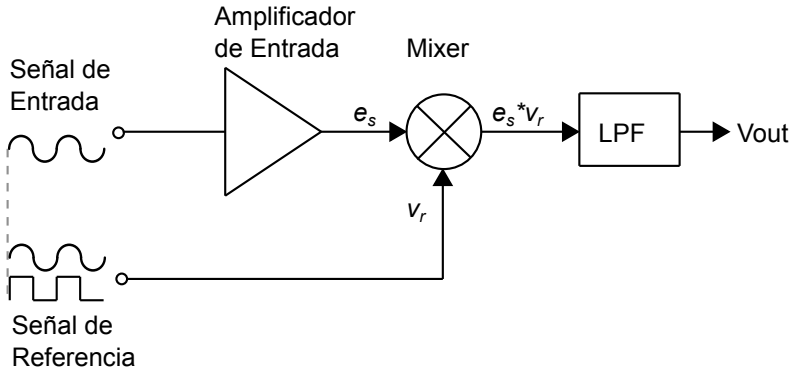

Figura 2.1: Lock-in de una fase

La detección sensible a fase es una herramienta básica en el compendio de instrumentos científicos. Existen dos formas de realizar la modulación que proveen resultados fácilmente interpretables con: a) una señal senoidal o b) una señal cuadrada.

Comenzaremos considerando que la señal de referencia y la señal a medir tienen forma de onda senoidal con la misma frecuencia [15]. Si la señal de interés, e_s, viene

dada por:

$$e_s = E_s \sin(\omega t + \phi) \tag{2.1}$$

donde ω es la frecuencia de modulación, t es el tiempo, ϕ es el ángulo de la fase, y la señal de referencia v_r está dada por:

$$v_r = V_r \sin \omega t \tag{2.2}$$

El producto de ambas señales es:

$$e_s v_r = \frac{E_s V_r}{2}[-\cos(2\omega t + \phi) + \cos \phi] \tag{2.3}$$

El primer término es una señal cosenoidal de frecuencia el doble de la frecuencia de modulación, y el segundo es un término en DC. Un filtro pasa bajas (LPF) es usado para eliminar todas las señales que no se encuentran dentro del ancho de banda del filtro, eliminando el primer término de la ecuación (2.3) y proporcionando por lo tanto un voltaje de salida:

$$V_{out} = \frac{E_s V_r}{2} \cos \phi \tag{2.4}$$

Suponiendo que la amplitud V_r de la señal de referencia se mantiene constante y si el desfase entre las señales $\phi = 0$, entonces el detector produce una salida en DC directamente proporcional a la amplitud E_s de la medición [15]. Por otra parte, si $\phi = 90^o$ o 270°, la componente en DC se anulará resultando el promedio de la señal igual a $V_{DD}/2$.

Si la señal de interés es la misma senoidal e_s, y la señal de referencia v_r es ahora una señal cuadrada que va de cero a V_r, entonces la salida del multiplicador será una suma de los términos de varios componentes de Fourier [15].

La salida después de la multiplicación de la señal de interés por la señal de referen-

cia y antes del filtrado será:

$$v_r e_s = \frac{2E_s V_r}{\pi}\Bigg\{ \cos[\omega_s + \omega_r)t + \phi] + \cos[(\omega_s - \omega_r)t + \phi] - \frac{1}{3}\cos[(\omega_s + 3\omega_r)t + \phi]$$

$$-\frac{1}{3}\cos[(\omega_s - 3\omega_r)t + \phi] + \frac{1}{5}\Bigg\} \tag{2.5}$$

Dado que $\omega_s = \omega_r$, el único término restante después del filtro pasa bajas, es un término en DC dado por:

$$V_{out} = \frac{2E_s V_r}{\pi}\cos\phi \tag{2.6}$$

Por lo tanto la excitación con onda cuadrada provee la misma forma de la salida que una señal senoidal, pero es $27\,\%$ mayor [15]. En este caso, al producto de la multiplicación entre la señal de interés y la señal de referencia, también se le conoce como rectificación sensible a fase debido a que mediante la inversión de los semiciclos negativos para igualarlos con los semiciclos positivos se produce una forma de onda parcialmente positiva.

En la modulación con una señal cuadrada ya no hay una única componente en frecuencia, ya que una señal de referencia cuadrada contiene armónicos impares de la fundamental que causan que el ruido de esas frecuencias armónicas sea detectado [14]. Esto puede verse como una ventana de aceptación de ruido, por lo que esas componentes en frecuencias impares deberán ser filtradas por el LPF. Sin embargo, es más fácil usar la forma de onda cuadrada para la multiplicación de las señales, ya que la amplitud V_r (amplitud máxima de una señal cuadrada de referencia) puede mantenerse más estable y el cruce en cero está mejor definido [15], además de que la multiplicación por la señal cuadrada es equivalente a tener 2 fases de operación, una en la que se deja pasar la señal y otra en la que no; lo cual se puede implementar mediante interruptores. Idealmente, una señal de referencia senoidal resultará en una detección de solo la componente fundamental, pero su generación requiere de circuitos más complejos como PLL, osciladores, o generadores de señal externos.

Con esta información, se puede realizar una estimación de la amplitud de la señal de interés a partir del voltaje de salida del LIA y con esto extraer la información del sensor que se encontraba sumergida en ruido. Para ello normalmente se exige que señal de entrada y señal de referencia estén en fase, de modo que $\phi = 0$ y por lo tanto $V_{out} = \frac{E_s V_r}{2}$ o $V_{out} = \frac{2E_s V_r}{\pi}$; sin embargo, esta condición es difícil de asegurar y necesita circuitería adicional. Como solución insensible a la fase entre señal de entrada y señal de referencia surge el *lock-in* de doble fase.

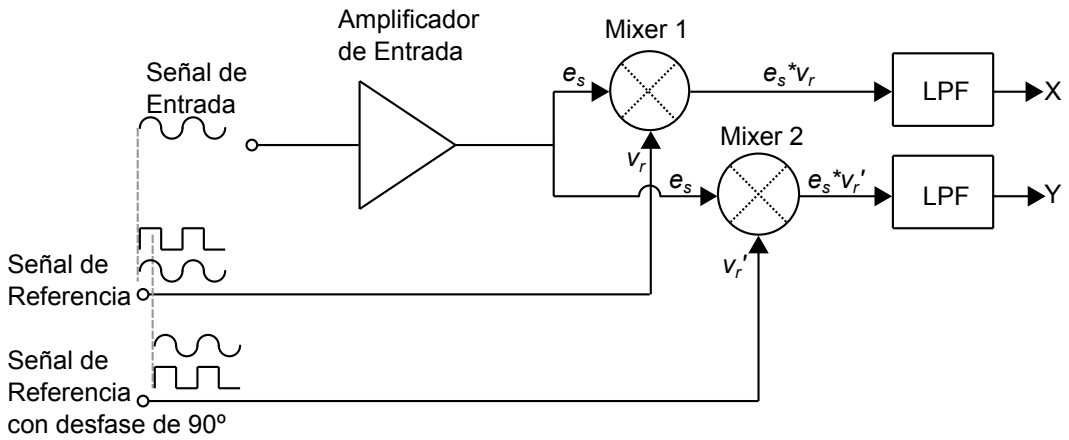

Figura 2.2: Lock-in de fase dual

El desarrollo del amplificador *lock-in* de doble fase se puede observar en la Figura 2.2, en donde la primera señal de referencia está en fase con la señal de interés, y se incorpora un segundo detector sensible a la fase, que se alimenta con la misma señal de referencia que el primer detector pero con un desfase de 90 grados.

Se multiplica la señal de entrada con las señales de referencia con distinta fase para producir dos señales a la salida [16]; al igual que el primer detector, el segundo detector es seguido por un LPF de salida. En este caso llamaremos a la señal de salida del primer detector canal “X”, mientras que la señal de salida del segundo detector se nombrará canal de salida “Y”.

Para el caso en que la señal de entrada y la señal de referencia tienen forma senoidal,

tenemos que la salida del canal X es la siguiente:

$$X = \frac{E_s V_r}{2} \cos \phi \tag{2.7}$$

Dado que la segunda señal de referencia está desfasada 90° con respecto a la primera, la salida del canal Y es la siguiente:

$$Y = \frac{E_s V_r}{2} \sin \phi \tag{2.8}$$

Para el caso en que la señal de referencia es cuadrada, la salida de los canales X y Y es la siguiente:

$$X = \frac{2E_s V_r}{\pi} \cos \phi \tag{2.9}$$

$$Y = \frac{2E_s V_r}{\pi} \sin \phi \tag{2.10}$$

Una ventaja del amplificador de doble fase es que si la diferencia de fase ϕ cambia (pero no la amplitud de la señal de interés) entonces, a pesar de que la salida de un detector disminuirá, la salida del segundo aumentará, por lo que la magnitud de la amplitud $R = \sqrt{X^2 + Y^2}$ se mantiene constante. Por lo tanto, si el amplificador *lock-in* está configurado para mostrar R, los cambios en la fase de la señal no afectarán a la lectura [16].

Por otra parte, un LIA de doble fase también permite extraer información sobre el desfase entre la señal de interés y la señal de referencia, lo que permite realizar mediciones de la parte real y la parte imaginaria de impedancias resistivas y/o capacitivas en canales separados como se observa en los trabajos realizados por [13, 17].

El objetivo de esta tesis es implementar un circuito *lock-in* de bajo consumo y área mínimo, que permita extraer la amplitud de una señal de interés en ambientes ruidosos, por lo que se determinó realizar el diseño del amplificador *lock-in* de una fase; a partir de éste, la obtención de un *lock-in* de fase dual es inmediata replicando bloques, tal

como muestra la Figura 2.2. Este enfoque es similar al de [12, 14, 18], que realizaron la adquisición de datos de sensores con amplificadores *lock-in* de una fase en sus trabajos, teniendo como requisito que la salida de la señal del bloque de sensado (como un puente de *Wheatstone*) sea un voltaje diferencial que se conecte directamente a la entrada del amplificador *lock-in*.

El diagrama a bloques típico de un LIA con una sola señal de referencia se muestra en la Figura 2.3. El primer bloque activo es un amplificador de bajo ruido que proporciona una alta ganancia. Puede ser seguido por un filtro pasa-banda (BPF), el cual permite eliminar o atenuar la contribución de ruido en todas las frecuencias excepto la frecuencia de modulación (f_0) y de esta manera hacer más selectivo al sistema. El siguiente bloque, es un rectificador que funge como detector sensible a fase (PSD) ya que, como se mencionó anteriormente, recupera la componente de la señal de interés mediante una frecuencia y fase específicas, sincronizando los datos de la señal con la señal de control. El componente de DC puede ser fácilmente extraído por medio de un filtro pasa bajas, con una frecuencia de corte lo suficientemente baja, eliminando las componentes armónicas de alto orden y representando el bloque final del sistema completo [14].

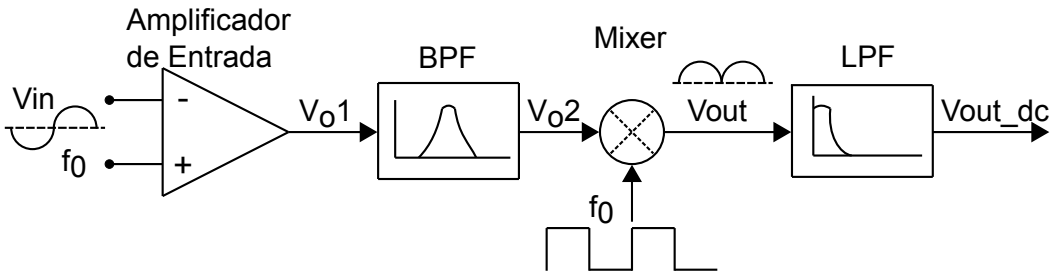

Figura 2.3: Diagrama a Bloques de un amplificador *lock-in* típico

Para estudiar el funcionamiento del sistema, se realizaron simulaciones del LIA con bloques ideales en base al diagrama de bloques mostrado en la Figura 2.3, con un voltaje de alimentación de $1.8V$ y un modo común $V_{CM} = V_{DD}/2 = 0.9V$. Los resultados se observan en la Figura 2.4, en la que una señal de entrada V_{in} representa la señal de salida de un sensor de amplitud de $10mV$ y frecuencia $f_0 = 1kHz$. Al

ser introducida por el amplificador de entrada con ganancia en este caso de $40dB$, se genera una señal senoidal, V_{01} con amplitud de $1V$. Al pasar por el filtro pasa-banda con frecuencia central de $1kHz$, se permite el paso de la señal de interés, pero se invierte obteniéndose el voltaje V_{o2}, que es rectificado por el mixer, que proporciona una salida V_{out}. Finalmente, se muestra la señal de salida de un filtro pasa bajas pasivo de segundo orden que extrae la componente de DC(V_{out_dc}).

Las simulaciones se realizaron para los casos en que la señal de referencia (V_{ref}) se encuentra en fase con la señal de interés (a), así como con un desfase de 90° (b), 180° (c) y 270° (d). Se observa que para los casos en que la señal de referencia se encuentra en fase o con un desfase de 180°, la componente en DC es proporcional a la amplitud de la señal de interés como era de esperar. Para los casos en que la señal de referencia tiene un desfase de 90° y 270° la componente en DC resulta igual a $V_{DD}/2$. Para desfases intermedios se obtendrá una componente en DC con valores intermedios respecto a los casos anteriores.

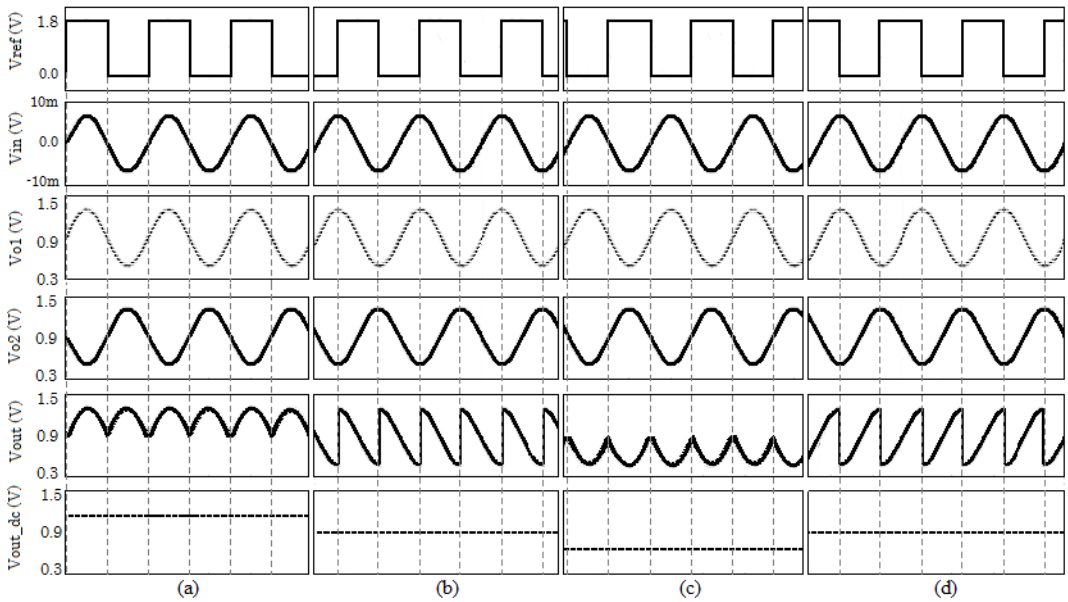

Figura 2.4: Funcionamiento a bloques ideales de Amplificador *Lock-In*: (a) en fase, (b) con desfase de 90°, (c) con desfase de 180°, (d) con desfase de 270°

Debido a que el ruido presente en el circuito se encuentra a diferentes frecuencias

y desfases respecto a la señal de interés, su contribución a la componente en DC resultará en promedio nula. La atenuación del ruido presente en frecuencias cercanas a la frecuencia de referencia (f_0) dependerá del ancho de banda del filtro pasa bajas. Un ancho de banda muy estrecho elimina señales de ruido muy cercanas a la frecuencia de referencia y un ancho de banda amplio permite el paso a algunas señales indeseables.

Los amplificadores *lock-in* pueden ser vistos como filtros BPF con frecuencia central f_0 y un factor de calidad Q muy elevada, el factor de calidad se expresa como $Q = (f_0/\Delta f)$ donde Δf es el ancho de banda del filtro. Entre más pequeño sea el ancho de banda del filtro pasa bajas de salida del LIA, mayores serán el factor Q y el rechazo al ruido; por otro lado, el sistema completo no será más rápido que lo que permita el LPF, por lo que existe un compromiso entre el factor de calidad Q (que está ligado al rechazo al ruido) y la velocidad del amplificador *lock-in* o tiempo de medición) [7].

Un filtro BPF con las mismas características resultaría poco viable de implementar, ya que para mejorar de manera significativa la relación señal a ruido, la Q de un BPF equivalente debe ser muy alta, del orden de decenas o centenas (lo cual no es fácil de conseguir), y el ajuste a la frecuencia central sería extremadamente difícil y crítico ya que una pequeña diferencia entre esa frecuencia y f_0 resultaría en un error muy grande en la recuperación de la señal de interés, ya que se permitiría el paso a señales indeseables, mientras que la se nal de interés sería atenuada [7].

2.3. Amplificadores de Instrumentación

El primer bloque del LIA es un amplificador de instrumentación (AI), el cual es un bloque de ganancia a lazo cerrado con entrada diferencial y salida única con respecto a una terminal de referencia [2], que cuenta con alta impedancia de entrada, alto rechazo del modo común (CMRR), alta ganancia (precisa y variable, generalmente con una única resistencia y sin que se contrapongan directamente ganancia-ancho de banda), bajo nivel de ruido en voltaje referido a la entrada, baja impedancia de salida y bajo

nivel de *offset*. Además, son deseables un bajo voltaje de polarización y baja potencia de operación en la mayoría de los circuitos, especialmente en sistemas electrónicos portátiles. Los amplificadores de instrumentación son ampliamente usados en un gran número de circuitos de procesamiento de señales, y se pueden implementar en modo voltaje o modo corriente como veremos a continuación.

2.3.1. Modo Voltaje

La estructura de amplificador de instrumentación en modo voltaje más comúnmente empleada es el amplificador de *3-opamps*, es por ello que se realiza una revisión de esta topología, así como del circuito con *2-opamps* del cual surge.

El amplificador de instrumentación con *2-opamps* se muestra en la Figura 2.5. Consta de dos amplificadores en cascada, $A1$ y $A2$, en configuración inversora.

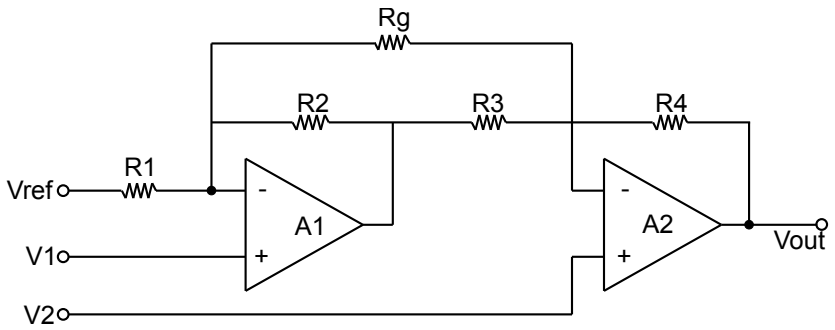

Figura 2.5: Amplificador de Instrumentación de *2-opamps*

Si tenemos que $R_1 = R_4$ y $R_2 = R_3$, entonces la ganancia está dada por:

$$V_{out} = (V_2 - V_1)\left(1 + \frac{R_4}{R_3} + \frac{2R_4}{R_g}\right) + V_{ref} \tag{2.11}$$

Como se observa en la condición para desarrollar la ecuación 2.11, es necesario un buen *matching* entre las cuatro resistencias R_1, R_2, R_3 y R_4. La ganancia del AI se puede variar modificando el valor de una única resistencia, R_g, y sin afectar el *matching* de las demás resistencias. Nótese que no se puede tener ganancia unitaria en esta configuración. Una desventaja de este circuito es que el amplificador $A1$ debe amplificar la

señal por $1+R_3/R_4$ por lo que, si $R_3 >> R_4$, A1 se va a saturar y no podrá amplificar la señal deseada, esto sucede también para ganancias pequeñas, cuando la señal de modo común es elevada [5], por lo que el rango del voltaje de entrada en modo común debe compensarse estableciendo una ganancia pequeña. El CMRR de esta configuración es generalmente pobre porque la señal de V_1 a V_{out} tiene un desplazamiento de fase adicional al pasar por $A1$ [2], además de que el ajuste del CMRR a bajas frecuencias es difícil porque los dos caminos de la señal son asimétricos.

Para obtener una configuración mejor balanceada pueden conectarse tres *opamps* para formar el amplificador de instrumentación de *3-opamps* [2], como se muestra en la Figura 2.6. Los amplificadores $A1$ y $A2$ reciben la señal de entrada a través de sus terminales positivas. En esta configuración, un resistor (R_g) es conectado entre las terminales negativas de los dos amplificadores de entrada, por lo que el voltaje de entrada diferencial aparecerá en R_g, permitiendo variar la ganancia diferencial cambiando el valor de R_g y manteniendo fijo el valor de los otros resistores.

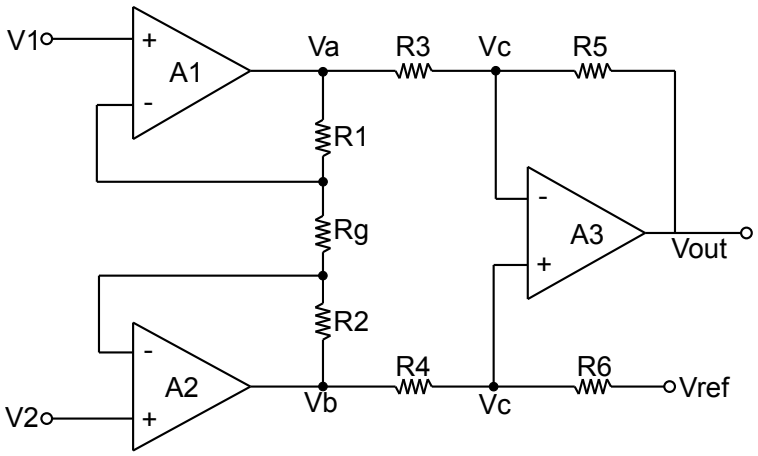

Figura 2.6: Amplificador de Instrumentación de *3-opamps*

Si tenemos que $R_1 = R_2, R_3 = R_4, R_5 = R_6$, entonces la ganancia está dada por:

$$V_{out} = (V_2 - V_1)\frac{R_5}{R_3}\left(1 + \frac{2R_1}{R_g}\right) + V_{ref} \tag{2.12}$$

Para que se cumpla la ecuación (2.12) la condición es que las resistencias R_1 y R_2,

R_3 y R_4,R_5 y R_6 sean iguales entre sí, con lo que se tiene que en esta configuración también se requiere *matching* entre resistencias al igual que la configuración anterior, pero los amplificadores $A1$ y $A2$ operan con ganancia y amplifican la señal de entrada de forma simétrica. Sin embargo, si un voltaje en modo común es aplicado a las entradas del amplificador, el voltaje en cada lado de R_g será igual, y no fluirá corriente por el resistor, y $A1$ y $A2$ operarán como seguidores de ganancia unitaria, mientras que el amplificador $A3$ con configuración restadora cancelará ese modo común, si se cumplen las condiciones necesarias de los valores de las resistencias. Por lo que, en teoría, se puede incrementar la ganancia, sin incrementar la ganancia en modo común, siempre y cuando V_a y V_b se mantengan inferiores a la tensión de saturación del *opamp*. Por lo tanto, el CMRR se incrementa en una proporción directa a la ganancia [5, 19].

En la práctica, ni el *matching* de las resistencias será perfecto, ni los *opamps* ideales. Esto apenas repercute en la impedancia de entrada, que mantiene un valor alto tanto en modo diferencial como en modo común. En cambio el CMRR viene afectado por el *matching* de los *opamps* de entrada, el *matching* de las resistencias de la etapa diferencial (R_3, R_4, R_5 y R_6) y el CMRR del *opamp* que figura en modo diferencial. Para no tener que emplear resistencias de muy baja tolerancia, si se desea obtener un CMRR elevado, una de las cuatro resistencias de la etapa diferencial, en general R_6, suele ser ajustable [5], además de que mediante este mismo resistor también se puede controlar el *offset* del sistema.

La ganancia se fija con R_g, el cual puede ser interno o externo, fijo o programable. Finalmente, por la simetría de esta configuración, si avanzan errores del modo común en los amplificadores de entrada tienden a ser cancelados por la etapa de salida. Estas características explican la popularidad de la configuración de *3-opamps* [2].

2.3.2. Modo Corriente

El amplificador de instrumentación en modo corriente (CMIA, por sus iniciales en inglés) es una técnica alternativa. La técnica de copiado de corriente mediante espe-

jos de corriente, empleada en el CMIA, tiene un producto ganancia ancho de banda (GBW) independiente de la ganancia en voltaje y un elevado CMRR independiente de la ganancia diferencial [20, 21] al igual que las configuraciones anteriores, pero además tiene algunas ventajas principales sobre el diseño estándar de *3-opamps*: no requiere *matching* entre resistores para alcanzar un buen CMRR y tampoco requiere *opamps* "ideales". Sin embargo, requiere un buen *matching* entre los *opamps*, así como entre las fuentes de corriente.

El diseño, como se muestra en la Figura 2.7, consiste en dos etapas distintas: una etapa de entrada diferencial y una etapa de ganancia. La etapa de entrada consiste en dos *opamps* idénticos conectados como *buffers* de ganancia unitaria. Las salidas de estos *opamps* se conectan al resistor R_x.

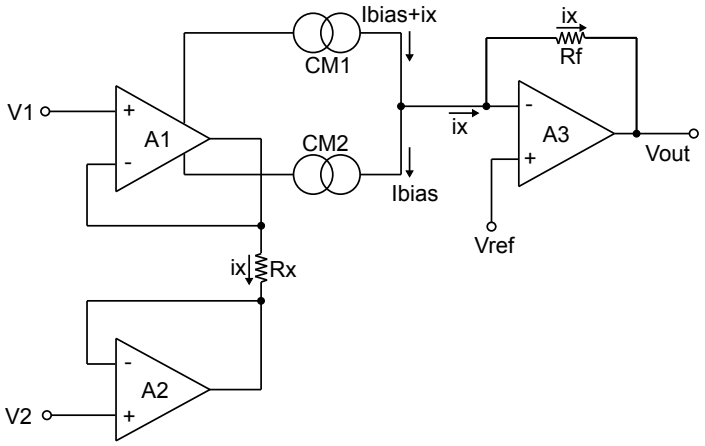

Figura 2.7: Amplificador de Instrumentación en modo corriente

Cualquier señal diferencial aplicada a la entrada inducirá que fluya a través de R_x una corriente:

$$i_x = (V1 - V2)/R_x \tag{2.13}$$

Con la finalidad de copiar de una manera precisa la corriente i_x, dos espejos de corriente se añaden a las terminales de alimentación positiva y negativa de $A1$. El primer espejo detecta la corriente entrando en la terminal positiva de un *opamp*. El segundo espejo sensa la corriente saliendo del *opamp* a través de la terminal negativa.

Si los espejos de corriente son diseñados cuidadosamente, solo la corriente de salida i_x será forzada a través del resistor R_f. El *opamp* $A3$ es conectado como amplificador de transresistencia para crear una tierra virtual a la salida de los espejos de corriente y convertir i_x en voltaje por medio de R_f.

Una vez que la corriente diferencial i_x fluye a través del resistor R_f, un voltaje de salida $V_{out} = i_x R_f$ es inducido a la salida de $A3$. Idealmente, un voltaje de entrada en modo común induce una corriente diferencial cero, por lo que se obtiene un CMRR infinito [20, 21]. La ganancia diferencial total es simplemente:

$$A = R_f / R_x \tag{2.14}$$

Cabe mencionar que en el diseño de CMIA la elección de espejos de corriente adecuados es un punto clave. Su topología y el dimensionamiento de los dispositivos afecta directamente el funcionamiento del amplificador de instrumentación, por lo que los requisitos principales para elegir una topología para el espejo de corriente del CMIA son: baja impedancia de entrada, alta impedancia de salida y caída mínima de voltaje en la entrada del espejo de corriente [22].

2.3.3. Amplificadores *Lock-In* Integrados

Como se mencionó anteriormente, en ciertas aplicaciones del área de instrumentación electrónica, como radio-astronomía o resonancia magnética nuclear, se utilizan habitualmente amplificadores *lock-in* ya que permiten realizar la medición de una señal de interés que se encuentra sumergida en niveles de ruido. Sin embargo, en la literatura se encuentran sólo unos pocos ejemplos de circuitos integrados, empleándose generalmente esta técnica por medio de dispositivos y equipos de laboratorio como el LIM-100 de Becker & Hickl [23], SPLIA1-A de TeachSpin [24] o el HF2LI de Zurich Instruments [25], por mencionar algunos.

En la mayoría de amplificadores *lock-in* integrados encontrados en la literatura, el amplificador de entrada se implementa con la topología clásica del amplificador de

instrumentación de *3-opamps* como se muestra en la Figura 2.8. Esto se debe a que, como se explicó, presenta una alta impedancia de entrada, así, como un buen rechazo a las fuentes de alimentación (PSRR) y al modo común (CMRR), además de que permite tener una ganancia variable, que puede controlarse normalmente por medio de una resistencia externa R_{gain} como en [12, 14], aunque también se encontraron implementaciones internas de R_{gain}, de valor fijo en [18, 26] y variable en [27]. En este último caso, mediante dos bits de control por medio de interruptores se selecciona un arreglo de resistores pasivos. Sin embargo, como ya se mencionó, este diseño clásico para obtener un alto CMRR es altamente dependiente del *matching* entre resistores [21]. En cuanto al circuito *mixer*, se suele basar en una etapa de amplificador de voltaje con una ganancia ± 1, controlada por dos interruptores, como se muestra en la Figura 2.8 [12, 14].

También existen implementaciones más complejas como la de [13], que utiliza un multiplicador compuesto por un generador de código de termómetro, interruptores de control y sumador analógico. El filtro pasa bajas se implementa normalmente, ya sea mediante filtros activos [13, 14, 26] o pasivos [18], de forma externa.

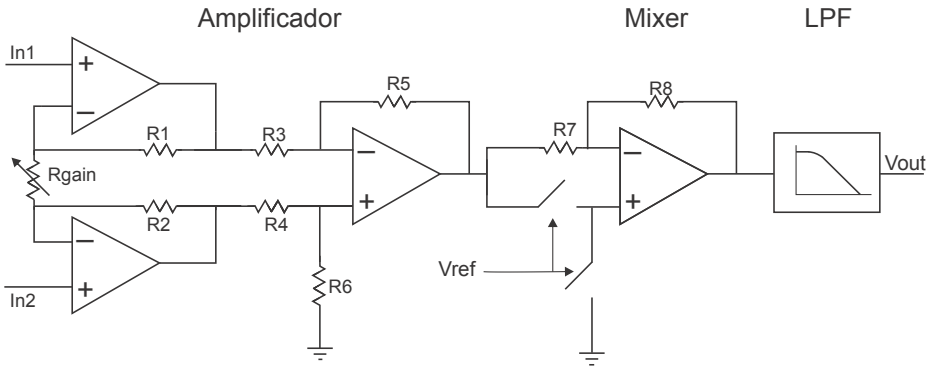

Figura 2.8: Implementaciones previas de amplificadores *lock-in*

En el caso de incluir filtro pasa banda éste suele ser un filtro activo de segundo orden como en [13, 14]; sin embargo, al incluir este bloque el circuito podría quedar fijo a operar con una sola frecuencia f_0 determinada por la frecuencia central del filtro pasa banda. Para solucionar este problema, se ha encontrado en la literatura que se diseñan

varios filtros pasa banda para un mismo sistema y se activan de manera separada de acuerdo a la frecuencia f_0 que más convenga [14], lo que resulta en un gran consumo de área.

Con el objetivo de extraer señales pequeñas de baja frecuencia es esencial un amplificador bien diseñado. Como se mencionó anteriormente, el amplificador de instrumentación debe ser de bajo ruido referido a la entrada, baja distorsión armónica, ganancia en voltaje programable y alto rechazo a modo común (CMRR). Por otra parte, para aplicaciones portátiles y de larga duración, el amplificador también requiere tener un bajo consumo de potencia y el menor tamaño posible [20]. Con la continua reducción de los voltajes de alimentación, la excursión de la señal de las etapas de salida y entrada deben ser maximizadas. En *opamps*, una amplia excursión de la señal puede ser alcanzada usando etapas de salida de clase AB. Por otra parte, el voltaje de entrada puede ser incrementado usando algunas técnicas de g_m-constante sobre etapas de entrada [22].

El LIA que se propone en este trabajo es totalmente diferente del enfoque del amplificador *lock-in* clásico, con el fin de reducir el consumo de potencia. Está basado en un amplificador de instrumentación en modo corriente, que convierte el voltaje de entrada diferencial en corriente, y dicha corriente en voltaje mediante un amplificador de transimpedancia. A diferencia de las implementaciones anteriores, el *mixer* está incluido dentro del propio amplificador de instrumentación, realizando la rectificación en el dominio de la corriente mediante espejos de corriente. El filtro pasa bajas es el bloque final, como se muestra en la Figura 2.9, implementándose de manera externa y con elementos pasivos ideales. La configuración propuesta reduce el número de amplificadores, reduciendo así el consumo, y el número de resistencias, que consumen de otro modo la mayor parte del área y añaden ruido al circuito.

Para brindar programabilidad al circuito, se desarrollaron dos propuestas. La primera consiste en añadir un bloque divisor de corriente, entre los circuitos *mixer* y el amplificador de transimpedancia, controlado digitalmente por una palabra de 3 bits. La segunda propuesta consiste en sustituir el resistor de degeneración pasivo del convertidor

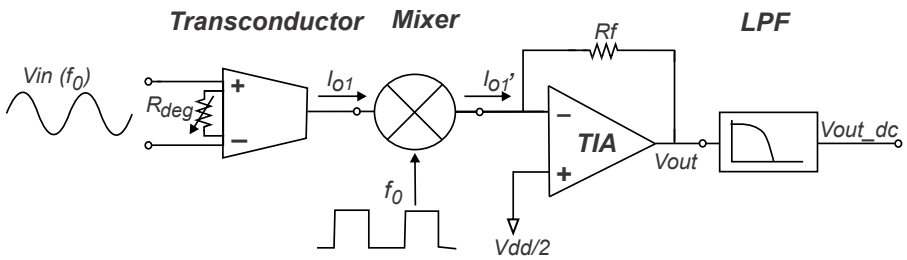

Figura 2.9: Esquemático de Propuesta de Amplificador *Lock-in*

de voltaje-corriente, por un arreglo de resistores activos controlados digitalmente por la misma palabra digital de 3 bits; con ello se reduce el área que consume la primera propuesta, a costa de degradar la linealidad del sistema. El voltaje en DC de los dos circuitos que se implementaron viene dado por la ecuación (2.15), cuyo desarrollo se muestra en el siguiente capítulo.

$$V_{out_dc} = \frac{2V_{in}}{\pi}\frac{R_f}{R_{deg}}\left(\frac{1}{2^n}\left[1+\sum_{j=0}^{n-1}(2^j - a_j 2^j)\right]\right)\text{con n=3} \tag{2.15}$$

Este diseño tiene dos ventajas principales sobre los diseños de amplificadores *lock-in* realizados de manera integrada previamente: no requiere un *matching* entre resistores para alcanzar un buen CMRR ni el uso de *opamp*s “ideales” [21] y se reduce el consumo de área y potencia, debido al reducido número de amplificadores operacionales y resistencias.

Para verificar el funcionamiento del sistema propuesto, se realizaron simulaciones para una señal de entrada V_{in} de $10mV$ con forma de onda senoidal y frecuencia de $1kHz$. El voltaje V_{in} es convertido en la corriente I_{o1} por medio del circuito transconductor, en este caso de ganancia $G_m = 1mA/V$. El circuito *mixer* en modo corriente multiplica la corriente $Io1$ por una señal de referencia V_{ref} cuadrada con la misma frecuencia y un cierto desfase. Finalmente, el amplificador de transimpedancia convierte la señal en voltaje (V_{out}) y la entrega al filtro pasa bajas, el cual proporciona un voltaje V_{out_dc}. Se observa en la Figura 2.10 la respuesta del sistema en función del desfase entre la señal de referencia y la señal de interés. Como ya se explicó, para el caso (a) la señal I'_{o1} es rectificada en semiciclos positivos y se obtiene una componente en DC

proporcional a la señal de entrada; lo mismo ocurre para el caso (c) en donde la rectificación resulta en una señal con semiciclos negativos y se obtiene la componente en DC por debajo del nivel $V_{DD}/2$; para los casos (b) y (d) en función del desfase entre las señales genera una componente en DC igual a $V_{DD}/2$.

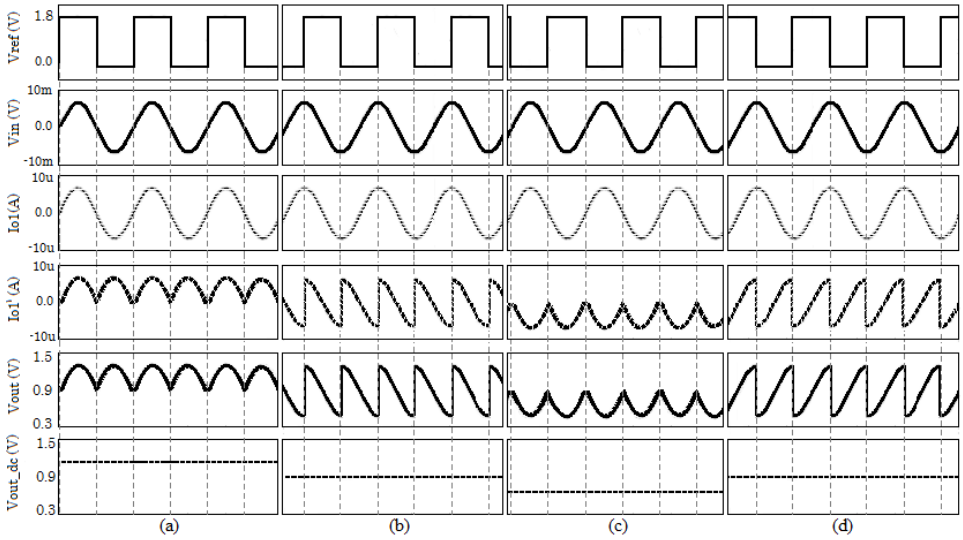

Figura 2.10: Funcionamiento a bloques ideales de Amplificador *Lock-In* propuesto: (a) en fase, (b) con desfase de 90°, (c) con desfase de 180°, (d) con desfase de 270°

2.4. Conclusiones

En este capítulo, se presentó una explicación de la técnica de detección sensible a fase, utilizada por los amplificadores *lock-in* que permite recuperar señales de interés sumergidas en ruido provenientes de alguna etapa de sensado, así como una explicación teórica de amplificador *lock-in* y de los bloques que lo conforman mostrándose el comportamiento del sistema de acuerdo a la fase de la señal de referencia. Se realizó una revisión sobre soluciones realizadas previamente, destacándose que los amplificadores *lock-in* pueden implementarse de manera versátil dependiendo de las necesidades que se quieran solventar. Finalmente la implementación del dispositivos *lock-in* que se propone fue presentada, diseñada con el objetivo de que el sistema permita reducir el consumo de área y potencia, además de brindar programabilidad a la ganancia.

Capítulo 3

Diseño de Bloques Constitutivos

3.1. Introducción

Dependiendo de la aplicación, las interfaces electrónicas deben tener especificaciones rigurosas para ruido, voltaje de alimentación, consumo de potencia, velocidad, rechazo a interferencias y confiabilidad, entre otras [3]; es por ello que en el diseño de circuitos integrados analógicos, es responsabilidad del diseñador buscar que se cumplan no solo las especificaciones del circuito, sino también apoyarse de criterios y técnicas de diseño que permitan realizar un circuito de calidad y con el que se logre reducir efectos indeseables. Estas técnicas pueden consistir en una alteración del diseño, añadir nuevos componentes al sistema, técnicas de *layout*, por mencionar algunos.

Los objetivos principales para la implementación de los bloques que conforman al amplificador *lock-in* que se propone son:

- Bajo Ruido a la Entrada.
- Linealidad.
- Programabilidad de la Ganancia.
- Ajuste de Ancho de Banda.
- Bajo Consumo de Potencia.

- Bajo Consumo de Área.

Como se mencionó en el capítulo anterior, el objetivo de extraer señales de amplitud pequeña implica que es esencial un buen diseño para el amplificador *lock-in*. A continuación se presentan las topologías y diseño de cada uno de los bloques que forman el LIA propuesto.

3.2. Diseño del Transconductor

Idealmente un transconductor es una celda con un ancho de banda infinito que convierte un voltaje de entrada V_i en una corriente de salida i_o proporcional a V_i, siendo la transconductancia G_m la constante de proporcionalidad, con impedancias de entrada y de salida idealmente infinitas. El símbolo de este circuito se muestra en la Figura 3.1.

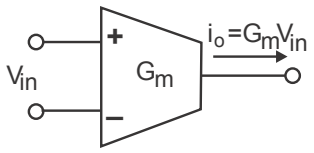

Figura 3.1: Símbolo del Transconductor

Los convertidores de voltaje a corriente basados en la transconductancia de un par diferencial requieren que la señal de entrada tenga una excursión pequeña para asegurar que la corriente de salida sea lineal con respecto al voltaje de entrada. Con la finalidad de permitir señales de entrada mayores, y de esta manera mejorar el rango dinámico, se puede degenerar la fuente del par diferencial [9], como se observa en la Figura 3.2.

El par diferencial con degeneración de fuente es, de hecho, uno de los transconductores más populares. Al degenerar la fuente del par diferencial, la transconductancia del circuito está dada por:

$$G_m = \frac{g_m}{1 + g_m R_{deg}} \tag{3.1}$$

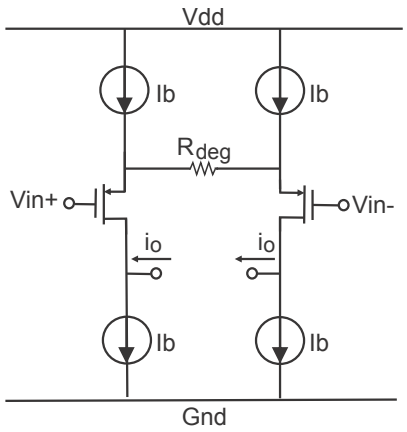

Figura 3.2: Par diferencial con degeneración de fuente

Si se cumple que $g_m\ R_{deg}>>1$, entonces:

$$G_m \approx \frac{V_i}{R_{deg}} \tag{3.2}$$

Por lo que la corriente de salida i_o será:

$$i_o = \frac{1}{R_{deg}} \tag{3.3}$$

De la ecuación (3.1) podemos concluir que la restricción de este circuito es que la transconductancia g_m del par de entrada debe ser mucho mayor que el inverso de la resistencia de degeneración R_{deg} para alcanzar una alta linealidad. Esta condición generalmente se satisface mediante el empleo de transistores y/o corrientes de polarización grandes. Sin embargo, esto puede no ser deseable en términos de área y de consumo de potencia.

3.2.1. Transconductor con G_m-Boosting

La técnica de gm-*boosting*, que añade un dispositivo de realimentación, como se muestra en la Figura 3.3, permite aumentar la g_m del par de entrada [28]. Una corriente constante, I_2, es forzada a través de cada transistor de entrada M1. Estos sirven como seguidores de voltaje, copiando el voltaje de entrada en los terminales de la resisten-

cia de degeneración R_{deg}, mientras que las fuentes de corriente constantes I_2 fuerzan cualquier cambio en la corriente de la resistencia a ser reflejado directamente en las corrientes de drenaje de M2, copiándose a los transistores de salida, M5.

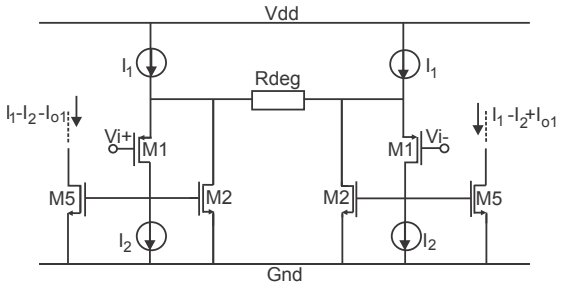

Figura 3.3: Técnica g_m-boosting en par diferencial con degeneración en fuente

En nuestro caso se utilizan cascodes activos para maximizar la impedancia de salida y mejorar la acción de g_m-*boosting*, tal como se muestra en la Figura 3.4, lo que aumenta la exactitud de la transconductancia total G_m=$1/R_{deg}$ del sistema. Para dar mayor simetría a la implementación en *layout* del circuito, que se mostrará más adelante, R_{deg} se implementa mediante dos resistencias de degeneración de polisilicio $R_{deg}/2 = 1k\Omega$.

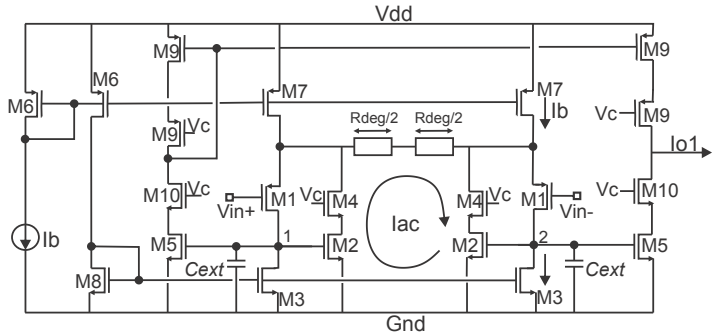

Figura 3.4: Transconductor tipo P degenerado con g_m-boosting

El voltaje de entrada diferencial V_{in}=$V_{in}^{+} - V_{in}^{-}$, es conducido a los terminales de la resistencia de degeneración equivalente R_{deg}, lo que genera una señal de corriente I_{ac} que se copia a la rama de salida. La corriente de salida única, I_{o1}, está dada por:

$$I_{o1} = \frac{2V_{in}}{R_{deg}} \tag{3.4}$$

El ancho de banda está limitado por nodos internos que atenúan la transferencia de la señal a altas frecuencias. Teniendo en cuenta que el polo dominante se encuentra en los nodos 1 y 2, se pueden agregar dos capacitores externos C_{ext}, tal como se muestra en la Figura 3.4, para ajustar el ancho de banda de la etapa de entrada y reducir así la contribución de ruido.

La Tabla 3.1 muestra el dimensionamiento obtenido para el circuito transconductor para un resistor de degeneración R_{deg} de $2k\Omega$ y una corriente de polarización I_b de $10\mu A$. La Figura 3.5 muestra el *layout* del circuito el cual tiene un área de $3484\mu m^2$.

Tabla 3.1: Dimensiones de Transconductor

TRANSISTOR	M_1	M_2 - M_5, M_8, M_{10}	M_6	M_7	M_9
DIMENSIÓN (μm/ μm)	(30/0.5)	$(10/1)$	$(40/1)$	$(80/1)$	$(30/1)$

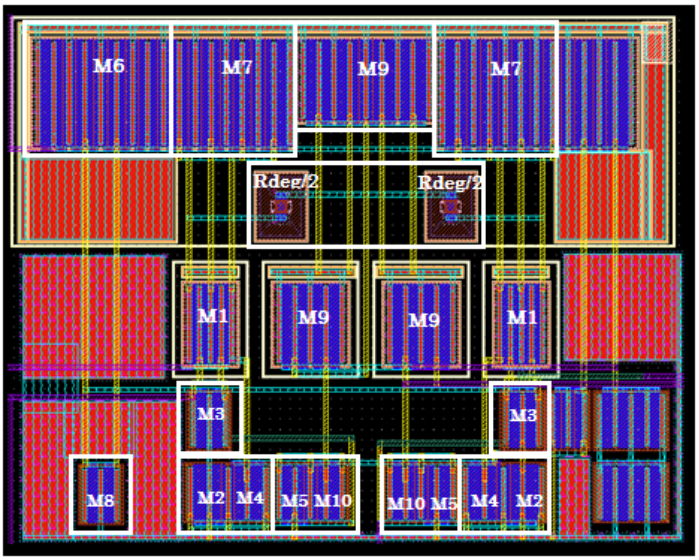

Figura 3.5: *Layout* de transconductor con g_m-boosting

A continuación se presenta la caracterización *post-layout*; en la Figura 3.6 se muestra la respuesta del análisis en DC que se realizó al circuito, en donde se observa la linealidad de la corriente de salida con respecto al voltaje de entrada, para un rango de

entrada de aproximadamente $\pm 15mV$. De hecho, la distorsión armónica para una señal de salida de amplitud $15\mu mA$ y frecuencia de $1kHz$ es de $-54dB$.

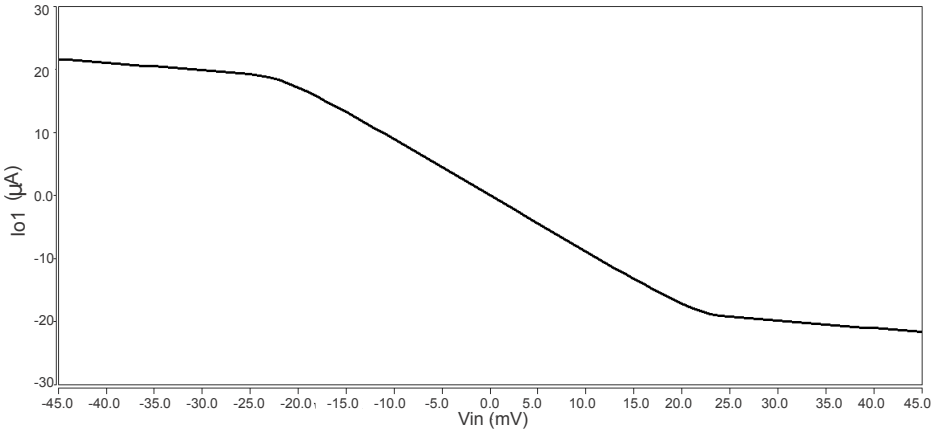

Figura 3.6: Corriente de salida en función del voltaje de entrada del transconductor

Los valores obtenidos de la caracterización del transconductor se muestran en la Tabla 3.2. La caracterización se realizó con un capacitor $C_{ext} = 3.8pF$, para obtener un ancho de banda de $1MHz$. Se observa que el circuito tiene un consumo de $161\mu W$.

Tabla 3.2: Caracterización Eléctrica

PARAMETROS	$VALORES$
Tecnología CMOS	$0.18\mu m$
Voltaje de Alimentación	$1.8V$
G_m	$1067\mu A/V$
THD@$1kHz$,($30\mu A_{pp-output}$)	$-54dB$
Ruido Referido a la entrada	$18\mu V_{rms}$
Consumo de Potencia	$161\mu W$
Área	$3484\mu m^2$

Como se mencionó previamente, con el fin de limitar el ruido, el ancho de banda del sistema se puede ajustar por medio de los capacitores externos C_{ext}. La Figura 3.7 muestra la función de transferencia para diferentes valores de C_{ext} y cómo varía el BW; la Tabla 3.3 muestra los valores. Por lo tanto es posible ajustar el ancho de banda de acuerdo a la frecuencia de la señal de interés.

Tabla 3.3: Valores de C_{ext} para ajuste de BW

$C_{ext}(pF)$	BW (kHz)
3.8	1000
41	100
415	10
4100	1
41000	0.1

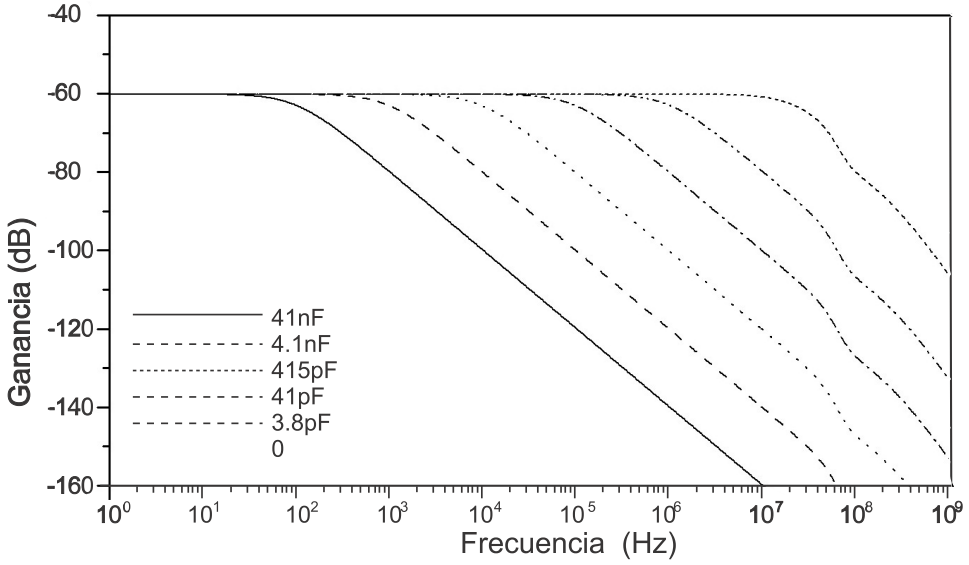

Figura 3.7: Variación de BW con C_{ext}

3.2.2. Transconductor Programable con G_m-Boosting

En este transconductor se sustituyen los resistores de degeneración de polisilicio por transistores operando en la región de triodo, lo que por una parte permite una reducción del área de integración en comparación con una implementación mediante bancos programables de resistores pasivos y, por otra, hace compatible la topología con procesos CMOS digitales, a costa de degradar la linealidad del circuito.

La mayoría de los transistores del transconductor están polarizados en la región de saturación, pero la transconductancia del circuito recae en los transistores polarizados

en la región de triodo. La condición para que un transistor se encuentre en la región de triodo es la siguiente:

$$|V_{ds}| < |V_{gs} - V_{th}| \tag{3.5}$$

donde V_{th} es el voltaje de umbral del transistor.

La ecuación clásica del modelo para un transistor de canal P operando en la región de triodo es la siguiente:

$$I_D = \mu o C_{ox} \left(\frac{W}{L} \right) \left[(V_{gs} - V_{th}) V_{ds} - \frac{V_{ds}^2}{2} \right] \tag{3.6}$$

Podemos observar de la ecuación (3.6) que si un voltaje pequeño de drenaje-fuente V_{ds}, es usado, el término V_{ds}^2 cae a cero rápidamente y la corriente de drenaje es aproximadamente lineal con respecto al voltaje V_{ds} aplicado [9]. Por lo tanto, se puede modelar al transistor en triodo como un resistor dado por:

$$r_{DS} \equiv \left(\frac{\partial i_D}{\partial V_{DS}} \right)^{-1} \Bigg|_{V_{DS=0}} = \frac{1}{\mu_o C_{ox} (\frac{W}{L})(V_{gs} - V_{th})} \tag{3.7}$$

De acuerdo a la resistencia equivalente mostrada en la ecuación anterior, para realizar un transconductor lineal se puede utilizar una polarización fija de V_{gs}, que asegure que el transistor se encuentre encendido y operando en la región lineal; así mismo se observa que mediante el dimensionamiento (W/L) del transistor se puede obtener el valor resistivo deseado.

El arreglo de transistores con el que se construye el resistor de degeneración, que se muestra en la Figura 3.8, consiste en transistores tipo P en paralelo, dimensionados con el fin de ponderar de manera binaria la corriente de acuerdo a 3 bits de control. El voltaje de la compuerta de cada transistor puede ser puesto a "V_{DD}" para apagarlo, o a "G_{ND}" para encenderlo y ponerlo en triodo, lo que permite brindar programabilidad al transconductor CMOS [29]. Al igual que la primera propuesta, para R_{deg} se utilizaron dos transistores en serie para dar mayor simetría a la implementación en el *layout* del

circuito.

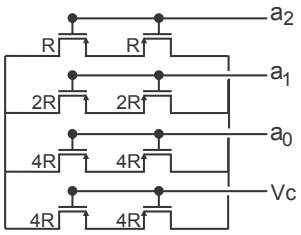

Figura 3.8: Arreglo resistivo de degeneración con transistores

La mayor limitante del par diferencial degenerado por un dispositivo MOS en triodo, es que su transconductancia y linealidad dependen del nivel de modo común de la entrada, por lo que los dispositivos en triodo deben encontrarse en inversión fuerte para reducir esta dependencia [29].

El dimensionamiento para el transconductor programable es el mismo que para el transconductor con ganancia fija (Tabla 3.1). Por otro lado, el dimensionamiento obtenido para el arreglo resistivo de degeneración se muestra en la Tabla 3.4. La Figura 3.9 muestra el *layout* del circuito, el cual tiene un área de $3810\mu m2$.

Tabla 3.4: Dimensiones de Transconductor Programable

TRANSISTOR	M_b, M_{a0}	M_{a1}	M_{a2}
DIMENSIÓN (μm/ μm)	$(2.7/1)$	$(5.4/1)$	$(10.8/1)$

Se realizó la caracterización *post-layout* del circuito, en donde para obtener el valor de transconductancia de la celda, resulta más conveniente observar la R_{deg} como conductancia G_{m_deg}=$1/R_{deg}$, ya que el paralelo de las conductancias controladas por la palabra digital $A(3) = \{a_2, a_1, a_0\}$ puede expresarse como la suma de éstas, como se resume en la siguiente expresión:

$$G_{m_deg_eq} = G_{m_deg}\left(\frac{1}{2^n}\left[1 + \sum_{j=0}^{n-1}(2^j - a_j 2^j)\right]\right) \text{con n=3} \tag{3.8}$$

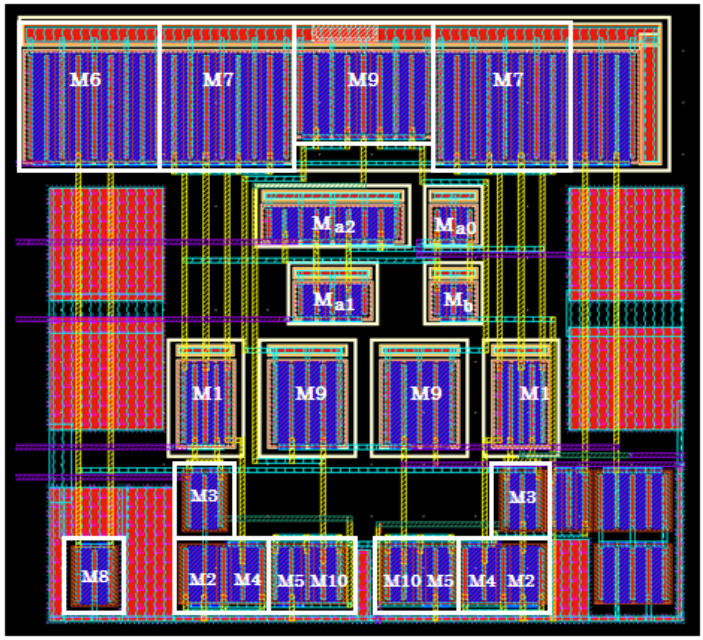

Figura 3.9: *Layout* de transconductor programable con g_m-boosting

De acuerdo con la ecuación (3.8), se determinó la transconductancia del circuito según la palabra digital de entrada.

La tabla 3.5 muestra los resultados obtenidos por simulación de la transconductancia y se comparan con los valores esperados de manera ideal.

Tabla 3.5: Transconductancia equivalente para la ponderación de corriente

a_0	a_1	a_2	G_{m_ideal} $(\mu A/V)$	$G_{m_post_layout}$ $(\mu A/V)$
0	0	0	1000	983
0	0	1	875	870
0	1	0	750	755
0	1	1	625	637
1	0	0	500	516
1	0	1	375	392
1	1	0	250	265
1	1	1	125	135

A continuación se muestra en la Figura 3.10 la respuesta en DC del circuito, en

donde se observa la programabilidad de la corriente de salida con respecto al voltaje de entrada.

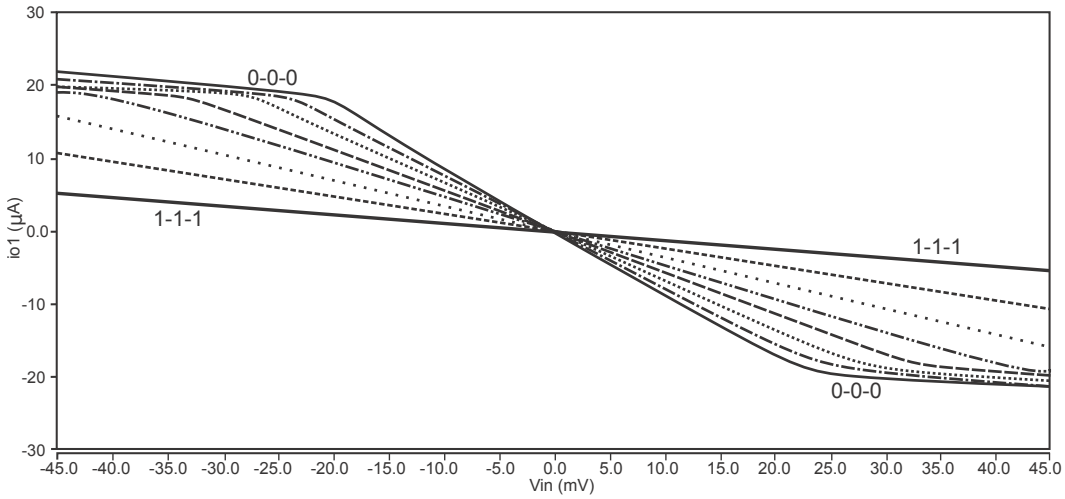

Figura 3.10: Programabilidad de la corriente con respecto al voltaje de entrada y de los bits de control de la palabra digital

Los valores obtenidos de la caracterización del transconductor se muestran en la Tabla 3.6. La caracterización se realizó con un capacitor $C_{ext} = 3.8pF$, para obtener un ancho de banda de $1MHz$. El circuito tiene un consumo de $161\mu W$ y distorsión armónica de $-50dB$ para una señal de salida de frecuencia $1kHz$ y amplitud $15\mu A$ y una palabra de control {0,0,0}, cuando todos los transistores de degeneración están encendidos.

Tabla 3.6: Caracterización Eléctrica

PARÁMETROS	VALORES
Tecnología CMOS	$0.18\mu m$
Voltaje de Alimentación	$1.8V$
G_m	$135 - 983\mu A/V$
BW	$1MHz$
THD@{0,0,0}($1kHz$,$30\mu A_{pp_output}$)	$-50dB$
Ruido Referido a la entrada	$18.1\mu V_{rms}$
Consumo de Potencia	$161\mu W$
Área	$3810\mu m^2$

En la Figura 3.11 se observa la variación de la transconductancia del circuito en función de la palabra digital.

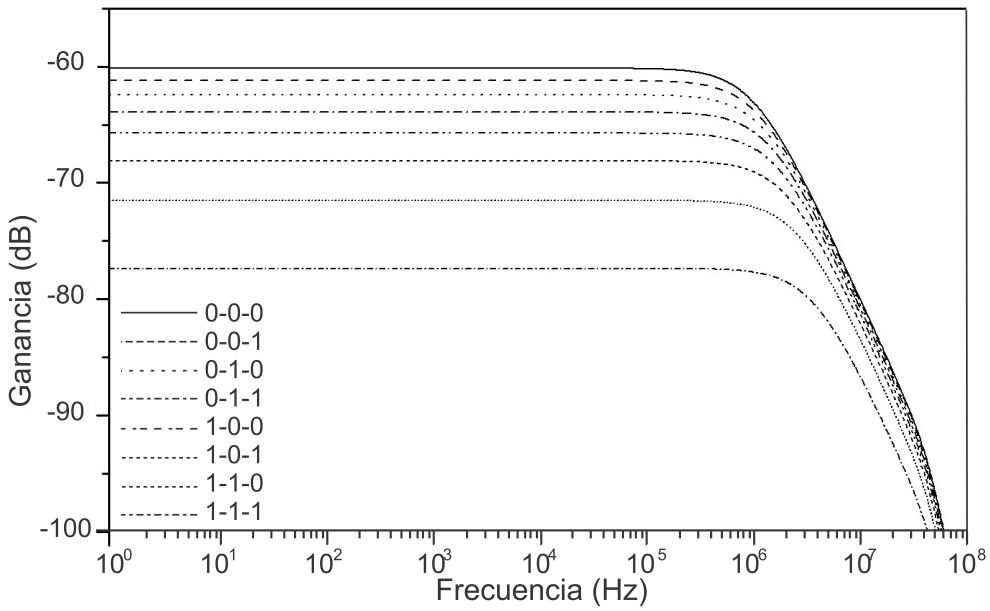

Figura 3.11: Función de transferencia en función de la palabra digital de control

La Figura 3.12 muestra la función de transferencia para la palabra de control {0,0,0} y diferentes valores de C_{ext}, modificando su valor entre $3.6pF$ y $40nF$ es posible establecer un BW entre $1MHz$ y $100Hz$. La Tabla 3.7 muestra los valores.

Tabla 3.7: Caracterización Eléctrica

C_{ext} (pF)	BW (kHz)
3.6	1000
40	100
400	10
4000	1
40000	0.1

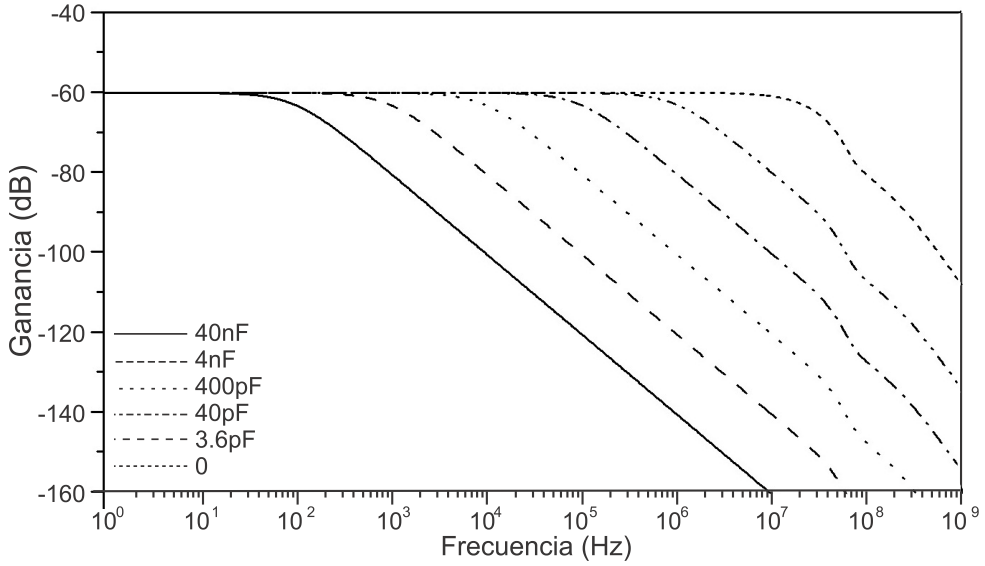

Figura 3.12: Variación de BW con C_{ext}

3.3. Diseño de Divisor de Corriente

El divisor de corriente está basado en una red de escalera $R - 2R$ como la que se muestra en la Figura 3.13, la cual consiste en solo dos valores de resistores, R y $2R$, y va dividiendo la corriente de entrada en cada rama dependiendo del valor de la palabra de control digital $A = \{a_{n-1}, a_{n-2}...a_0\}$ [30].

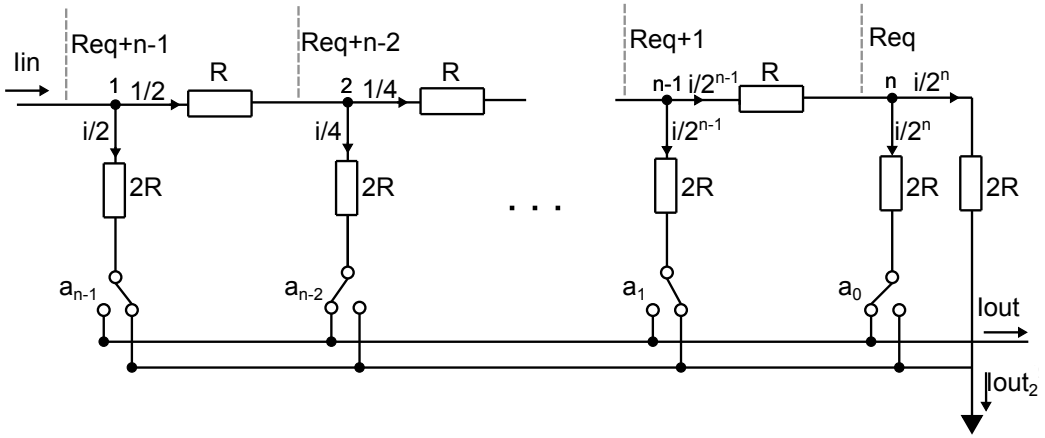

Figura 3.13: Red de escalera $R - 2R$

La corriente es conmutada a la salida I_{out} o a un colector de corriente restante, I_{out2}, de acuerdo a los conmutadores de control que son operados por la palabra digital. Cada

etapa del circuito se denota por los nodos 1,2,...,$n-1$,n.

Cuando la corriente entra en cada etapa es dividida en dos corrientes iguales, debido a que la resistencia equivalente que ve la corriente en cada etapa es siempre $R_{eq} = 2R||2R$; de esta manera se produce una ponderación de la corriente de manera binaria.

El voltaje en el nodo de salida de corriente I_{out} tiene que ser igual al voltaje en el colector de corriente restante I_{out2}, para que la conmutación no tenga efecto en la división de corriente en la escalera. La red opera como un arreglo de divisiones de corriente cuya precisión depende del *matching* entre resistores.

Comúnmente es difícil realizar resistores precisos y con un buen *matching* entre sí, con poca área, en procesos de fabricación CMOS modernos. Otra solución más práctica es el uso de transistores MOS en lugar de resistores, los cuales pese a que también requieren de un buen *matching*, pueden implementarse en un área menor que los resistores.

El principio básico de la técnica de división de corriente con transistores MOS es mostrado en la Figura 3.14. Los transistores M_a yM_b tienen el mismo voltaje de compuerta (con respecto al sustrato) y los voltajes V_a y V_b son voltajes en DC. Una corriente I_{in} fluyendo hacia dentro del circuito será dividida en dos partes: una parte fluyendo hacia el nodo conectado a V_a y la otra fluyendo hacia el nodo conectado a V_b.

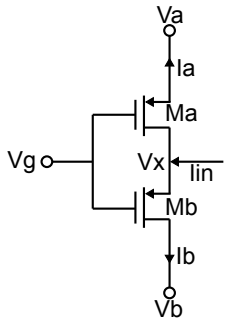

Figura 3.14: Principio de división de corriente

El principio de división de corriente [31] establece que la fracción de corriente fluyendo hacia cada uno de los lados es independiente de:

- El estado de los transistores, ya sea que estén o no saturados.

- Que los dispositivos operen en inversión fuerte o débil.

Para nuestro caso particular, este principio es comprobado estableciendo que $V_a = V_b$. Como se demostró en [32] para determinadas celdas de resistores MOS y, posteriormente, en [33] para divisores de corriente MOS, los modelos aproximados para inversión fuerte presentan limitaciones cuando se estima la distorsión en estas estructuras. Por ese motivo, para demostrar la linealidad de la división de corriente es necesario recurrir al modelo simétrico de *charge-sheet* [32, 34].

De acuerdo con el modelo *charge-sheet* [35], la corriente de drenaje en un transistor MOS de canal largo está dada por:

$$I_D = k[f(\psi_{sL}) - f(\psi_{s0})] \tag{3.9}$$

Con $k = \mu C_{ox} \frac{W}{L}$.

$$f(\psi_s) = f_1(\psi_s) + f_2(\psi_s) \tag{3.10}$$

donde

$$f_1(\psi_s) = (V_{gb} - V_{fb})\psi_s - \frac{1}{2}\psi_s^2 - \frac{2}{3}\gamma\psi_s^{3/2} \tag{3.11}$$

$$f_2(\psi_s) = (\phi_t\psi_s + \phi_t\gamma\psi_s^{1/2}) \tag{3.12}$$

Y donde W y L son el ancho y longitud de canal, μ es la movilidad efectiva de portadores, C_{ox} es la capacitancia de óxido por unidad de área, V_{gb} es el voltaje de compuerta a sustrato, V_{fb} es el voltaje de *flatband*, γ es el parámetro del efecto cuerpo,ϕ_t es el voltaje térmico y ψ_{s0} y ψ_{sL} son los potenciales de superficie de fuente y drenaje, respectivamente. La función $f_1(\psi_s)$ corresponde a la componente de corriente de drenaje debida a deriva y la función $f_2(\psi_s)$ a la componente de corriente de drenaje debida a difusión.

En inversión fuerte los potenciales de superficie pueden ser definidos como:

$$\psi_{s0} \approx V_{sb} + g(V_g, V) \tag{3.13}$$

$$\psi_{sL} \approx V_{db} + g(V_g, V) \tag{3.14}$$

Donde $g(V_g, V)$ es una función no lineal de $V_g - V$. Además, en inversión fuerte la corriente es debida en su mayoría a la deriva. Por lo tanto, introduciendo (3.13) y (3.14) en (3.11) la corriente de drenaje en un transistor MOS se tiene de la siguiente manera:

$$I_D = k[F(V_g, V_d) - F(V_g, V_s)] \tag{3.15}$$

De la expresión anterior, tenemos que para la corriente que circula por cada transistor de la Figura 3.14 en función de los voltajes de las terminales es la siguiente:

$$I_a = k_a[F_a(V_g, V_x) - F_a(V_g, V_a)] \tag{3.16}$$

$$I_b = k_b[F_b(V_g, V_x) - F_b(V_g, V_b)] \tag{3.17}$$

donde $k_i = \mu C_{ox} \frac{W}{L}\big|_{i,i=a,b}$ de cada transistor, siendo W y L el ancho y la longitud respectivamente. La relación entre la corriente que circula hacia uno de los nodos es:

$$\frac{I_b}{I_a} = \frac{k_b}{k_a} = \frac{(W_b/L_b)}{(W_a/L_a)} \tag{3.18}$$

Esta expresión muestra que, si no hay *mismatch* entre transistores, la división de corriente depende únicamente de la relación entre las dimensiones W_a/L_a y W_b/L_b de los dos transistores que realizan la división. Esta propiedad permite implementar una división de corriente lineal usando transistores MOS, a pesar de que sus características no son lineales [31, 36].

La implementación del circuito divisor para el amplificador *lock-in* se muestra en la Figura 3.15. Consiste en una escalera $M/2 - M$ que corresponde exactamente a la red $R/2 - R$, en la que cada transistor actúa como resistor teniendo un valor equivalente de R. Se utilizan dos transistores MOS en paralelo como valor de un resistor $R/2$ y un solo transistor como valor de un resistor R. Todos los transistores tienen el mismo dimensionamiento, y el voltaje de sus compuertas V_g es igual. Si se elige $V_g = V_{DD}$ es

posible usar niveles lógicos directamente para manejar las compuertas de los transistores de conmutación. La ventaja de esta estructura $M/2 - M$ sobre la convencional $M - 2M$ es que la caída de voltaje es menor entre el voltaje de entrada y los nodos colectores de corriente [37].

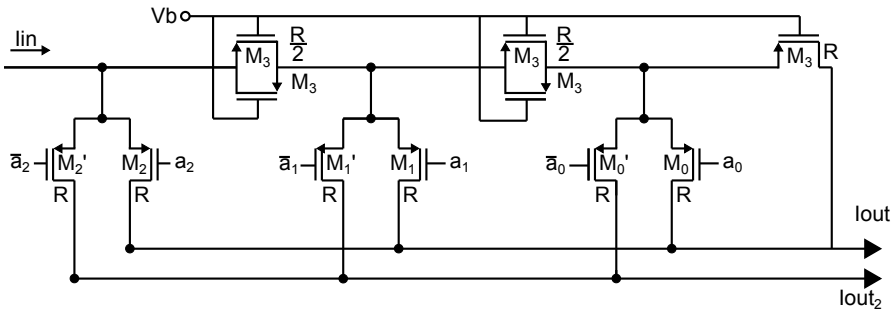

Figura 3.15: Divisor de corriente

La corriente de entrada I_{in} es dividida en dos corrientes de salida, I_{out} e I_{out2}. El factor de división Δ es controlado por la palabra digital $A(3) = \{a_2, a_1, a_0\}$ y está dado por:

$$\Delta = \frac{1}{2^n}[1 + \sum_{j=0}^{n-1}(2^j - a_j 2^j)]\text{con n=3} \tag{3.19}$$

La salida de corriente $I_{out} = \Delta I_{in}$ será conectada en el LIA a la entrada del siguiente bloque, que es un amplificador de transimpedancia, es decir, a una tierra virtual ($V_{DD}/2$). La salida en corriente $I_{out2} = (1 - \Delta)I_{in}$, a su vez, será conectada a $V_{DD}/2$ para una división de corriente adecuada.

Este divisor de corriente programable tiene dos propiedades que resaltan su implementación: los MOSFETS operan simultáneamente como elementos de la red divisora y como *switches*; la caída de voltaje entre el nodo de entrada y los nodos de corriente de salida es más pequeña, en comparación con las implementaciones convencionales ($M - 2M$).

Para el dimensionamiento de este circuito, la relación obtenida entre W y L es igual a 1; con el objetivo de tener un buen *matching* entre transistores, se determinó usar longitudes y anchos de $5\mu m$. En la generación de los bits de control $\overline{A}(3) =$

$\{\overline{(a_2)}, \overline{(a_1)}, \overline{(a_0)}\}$, se utilizaron inversores digitales como los que se muestran en la Figura 3.16.

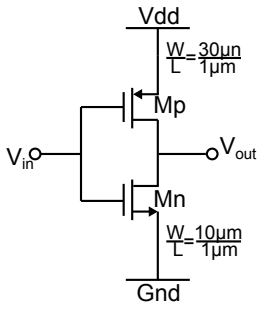

Figura 3.16: Inversor digital para divisor de corriente

La Figura 3.17 muestra el *layout* del divisor, incluyendo a los inversores para las entradas de los bits de control complementarios. El área del circuito es de $0.00172mm^2$, y tiene un consumo de potencia de $101pW$.

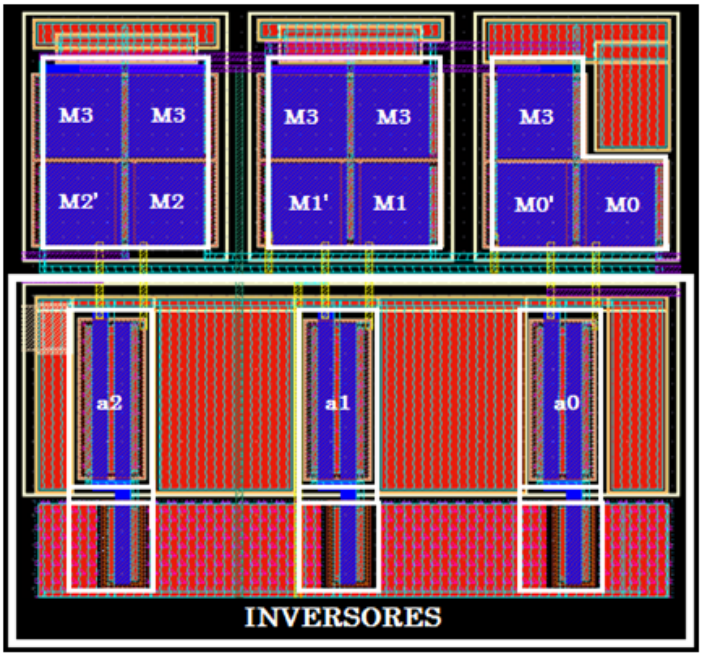

Figura 3.17: *Layout* de divisor de corriente

En la Figura 3.18 se muestra la corriente de salida del divisor de corriente, de acuerdo a la palabra de control que brinda programabilidad al circuito. La distorsión armónica que se obtuvo para una señal de salida de amplitud $15\mu A$ y frecuencia $1kHz$ para

la palabra de control $\{0, 0, 0\}$ es de $-62dB$, mientras que la distorsión para la misma señal de salida con la palabra de control $\{1, 1, 1\}$ es de $-41dB$. Sin embargo, es necesario señalar que el modelo de simulación utilizado es el bsim3v3 versión 3.2, es decir, no es un modelo adecuado para determinar la linealidad de la celda. Por ello, aunque la distorsión obtenida mediante simulación presenta un valor pobre para el caso en que la palabra de control es $\{1, 1, 1\}$, se espera una menor distorsión en las mediciones experimentales, como se demostró en [34].

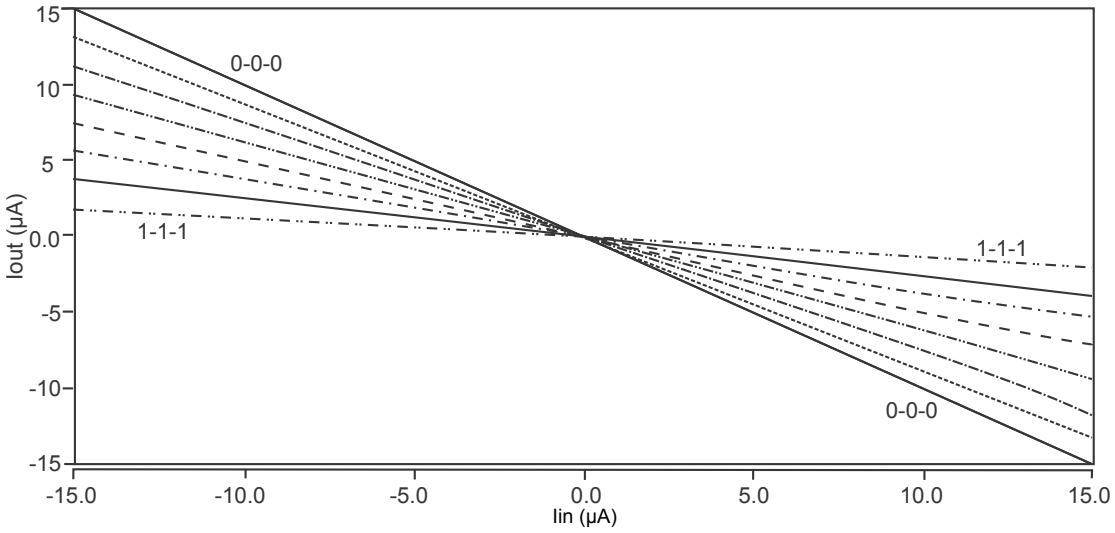

Figura 3.18: Corriente de salida en función de la corriente de entrada y del bit de control

La Tabla 3.8 muestra la ganancia estimada del circuito divisor de corriente de manera ideal, así como la obtenida mediante la simulación *post-layout*, de acuerdo a la palabra digital.

Tabla 3.8: Programabilidad de la ganancia de divisor de corriente

Palabra Digital	$\left(\frac{I_{out}}{I_{in}}\right)_{ideal}$	$\left(\frac{I_{out}}{I_{in}}\right)_{post-layout}$
000	1.000	0.990
001	0.875	0.861
010	0.750	0.739
011	0.625	0.611
100	0.500	0.492
101	0.375	0.366
110	0.250	0.244
111	0.125	0.123

3.4. Diseño de Amplificador de Transimpedancia

Los amplificadores de transimpedancia (TIA) reciben su nombre debido a que convierten una señal de corriente a voltaje por medio de un resistor de realimentación R_f como se muestra en la Figura 3.19. Debido a la realimentación es necesario añadir un pequeño capacitor de compensación para asegurar la estabilidad del circuito.

Los amplificadores de transconductancia tienen diversas aplicaciones, por ejemplo, convirtiendo la corriente detectada por un fotodiodo en un voltaje proporcional, en aplicaciones de convertidores digital analógico (DACs), etc.

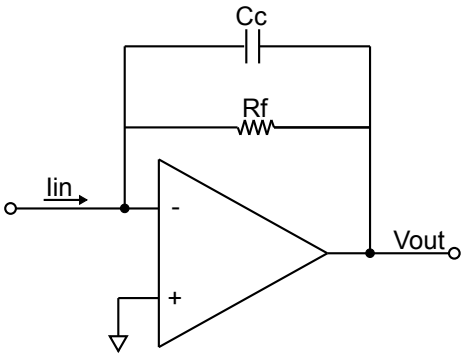

Figura 3.19: Símbolo de amplificador de transimpedancia

La Figura 3.20 muestra la topología utilizada como TIA para la conversión de la

señal de corriente a voltaje. Consiste en un amplificador diferencial de etapa simple, un par de entrada formado por NMOS con carga de espejos en corriente formada por PMOS, un resistor de realimentación lineal de polisilicio R_f con valor de $100k\Omega$ y un capacitor de compensación de $500fF$.

La entrada V_{in}^{+} se encuentra al potencial de $V_{DD}/2$, que se refleja en la entrada V_{in}^{-}, por lo que la impedancia de entrada del TIA es cercana a cero, lo cual es exactamente lo que se necesita si se quiere capturar la máxima corriente.

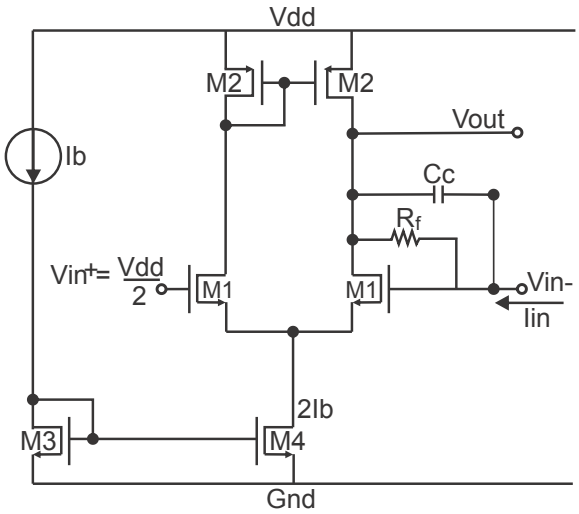

Figura 3.20: Amplificador de Transimpedancia

La salida está dada por:

$$V_{out} = I_{in}R_f \tag{3.20}$$

El dimensionamiento del amplificador de transimpedancia para operar con una corriente I_b de $10\mu A$, resistor R_f de $100k\Omega$ y capacitor C_c de $500fF$ se muestra en la Tabla 3.9. La Figura 3.21 muestra el *layout* del circuito con un área de $2250\mu m^2$

Tabla 3.9: Dimensionamiento de TIA

TRANSISTOR	M_1, M_3	M_2	M_4
DIMENSIÓN ($\mu m/\mu m$)	$(10/1)$	$(40/1)$	$(20/1)$

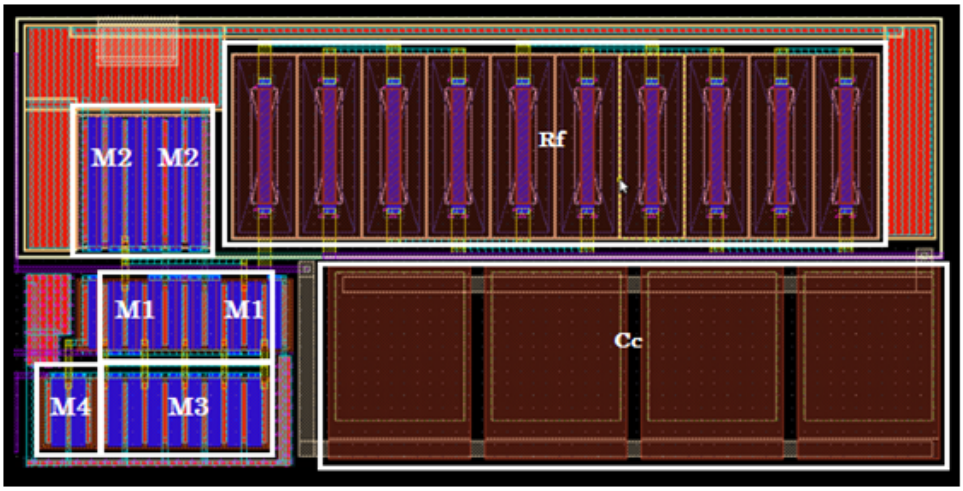

Figura 3.21: *Layout* de amplificador de transimpedancia

La Figura 3.22 muestra la función de transferencia del TIA, en el que se obtuvo una ganancia de $99.6dB\Omega$.

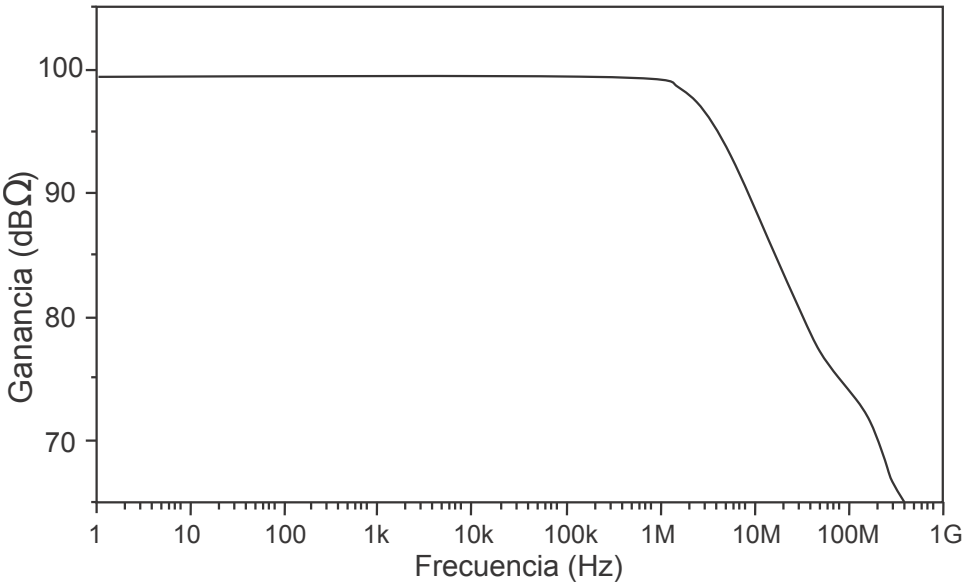

Figura 3.22: Función de transferencia en lazo abierto y lazo cerrado

La Tabla 3.10 muestra la caracterización eléctrica realizada al circuito (a lazo cerrado).

Tabla 3.10: Caracterización Eléctrica

PARAMETROS	VALORES
Ganancia	$99.6dB\Omega$
BW	$3MHz$
Margen de Fase (L.A.)	70°
THD@($1kHz$,$800mV_{pp_output}$)	$-55.5dB$
Ruido Referido a la entrada	$690nA_{rms}$
Consumo de Potencia	$89.2\mu W$
Área	$2250\mu m^2$

3.5. Diseño de *Mixer*

La función del *mixer* es llevar a cabo la detección sensible a fase de la señal en el dominio de la corriente. Dado que la señal de interés se multiplica por una señal cuadrada, si ambas van en fase se obtiene una corriente de salida completamente rectificada con un componente de DC proporcional a la señal de interés. Por otra parte, el ruido no se encuentra en fase con la señal cuadrada, por lo que no será rectificado con la señal de interés, teniendo una contribución promedio nula en DC.

La topología empleada fue presentada en [38] y se representa en la Figura 3.23. Esta estructura opera en modo corriente y se basa en un seguidor de corriente clase AB. El lazo traslineal de los transistores de entrada $M1 - M2 - M3 - M4$ fija el voltaje de entrada igual a la tierra virtual que se requiera para un correcto funcionamiento. Asimismo, se puede observar que el bit de control $ctrl$ determina la dirección del flujo de corriente, es decir, selecciona el signo de la operación.

Los espejos de corriente son usados para seleccionar la salida ya sea I_{o1} o $\overline{I_{o1}}$, de acuerdo al bit de control ($ctrl$), mientras que la salida no seleccionada es fijada a alta impedancia. Cuando $ctrl$ es "G_{ND}" y $\overline{ctrl}$ es"V_{DD}", la corriente de entrada fluye a través de la salida del lado derecho del circuito (I_{o1}), manteniendo la misma dirección que la corriente de entrada; cuando el bit $ctrl$ es "V_{DD}" y el bit $\overline{ctrl}$ es"G_{ND}", la corriente fluye a través de la salida del lado izquierdo ($\overline{I_{o1}}$) y su dirección es invertida

con respecto a la de entrada. La corriente de salida del circuito de señal I'_{o1} es conducida al siguiente bloque. El *mixer* requiere la implementación de un circuito de polarización, por lo que se añade el bloque de polarización que se encuentra en el cuadrado punteado.

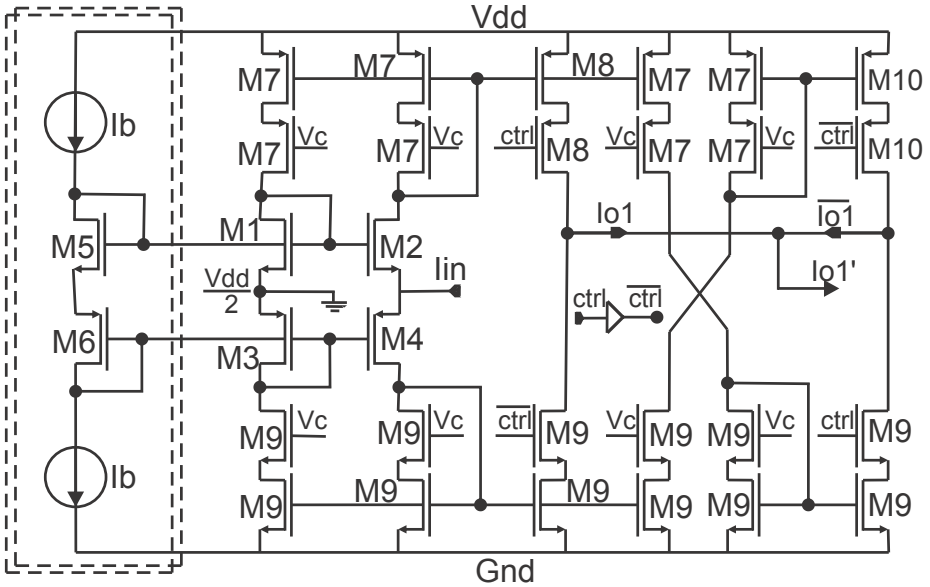

Figura 3.23: *Mixer*

El *mixer* no solo invierte la dirección de la corriente, sino que también provee un buen acoplamiento de impedancia a la siguiente etapa, ya que la impedancia de entrada es de 9Ω, mientras que la impedancia de salida es de $23k\Omega$.

La Tabla 3.11 muestra el dimensionamiento obtenido para el circuito *mixer*, el cual se polariza con una corriente I_b de $10\mu A$.

Tabla 3.11: Dimensionamiento de *Mixer*

TRANSISTOR	M_1, M_2, M_5, M_9	M_3, M_4, M_6, M_7	M_8	M_{10}
DIMENSIÓN ($\mu m/\mu m$)	$(10/1)$	$(30/1)$	$(40.88/1)$	$(38.18/1)$

La Figura 3.24 muestra la implementación en *layout* del circuito *mixer* el cual tiene un área de $2810\mu m^2$, así como un consumo de potencia de $101\mu W$.

Para la caracterización eléctrica *post-layout* realizada al *mixer* se tiene que para

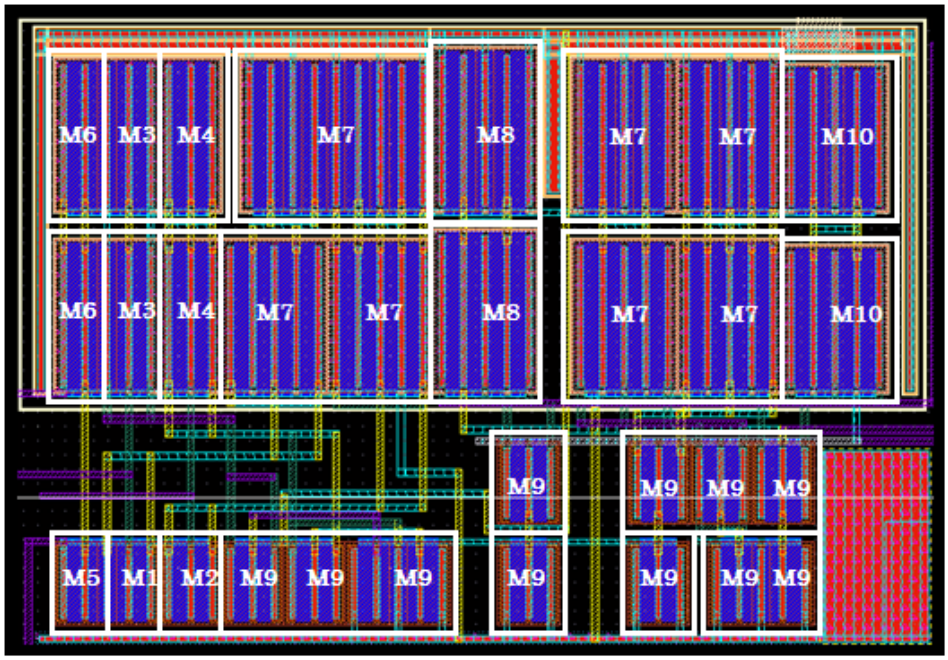

Figura 3.24: *Layout* del *Mixer*

el caso en que el bit de control es $ctrl = 1$ se obtuvo una ganancia de 1.005 lo que nos da una precisión de $99.5\,\%$, mientras que para el caso en que $ctrl = 0$ se obtuvo una ganancia de -1.02, teniéndose por tanto una precisión de $98\,\%$ en la copia de la corriente.

La Figura 3.25 muestra el funcionamiento del *mixer*, en el que una señal de entrada en modo corriente (I_{in}), con una amplitud de $7\mu A$ y una frecuencia de $1kHz$, es insertada al circuito al igual que la señal de referencia (V_{ref}) con una frecuencia de $1kHz$. En el caso en que ambas señales van en fase (Figura 3.25(a)) la señal de salida del circuito es I'_{o1} con la misma amplitud que la señal de entrada pero rectificada en onda completa. Para el caso en que las señales tienen un desfase de 90° entre sí (Figura 3.25 (b)), se tiene la señal de salida I'_{o1} recortada de acuerdo al desfase de la señal de referencia y puede observarse que el valor promedio es cero.

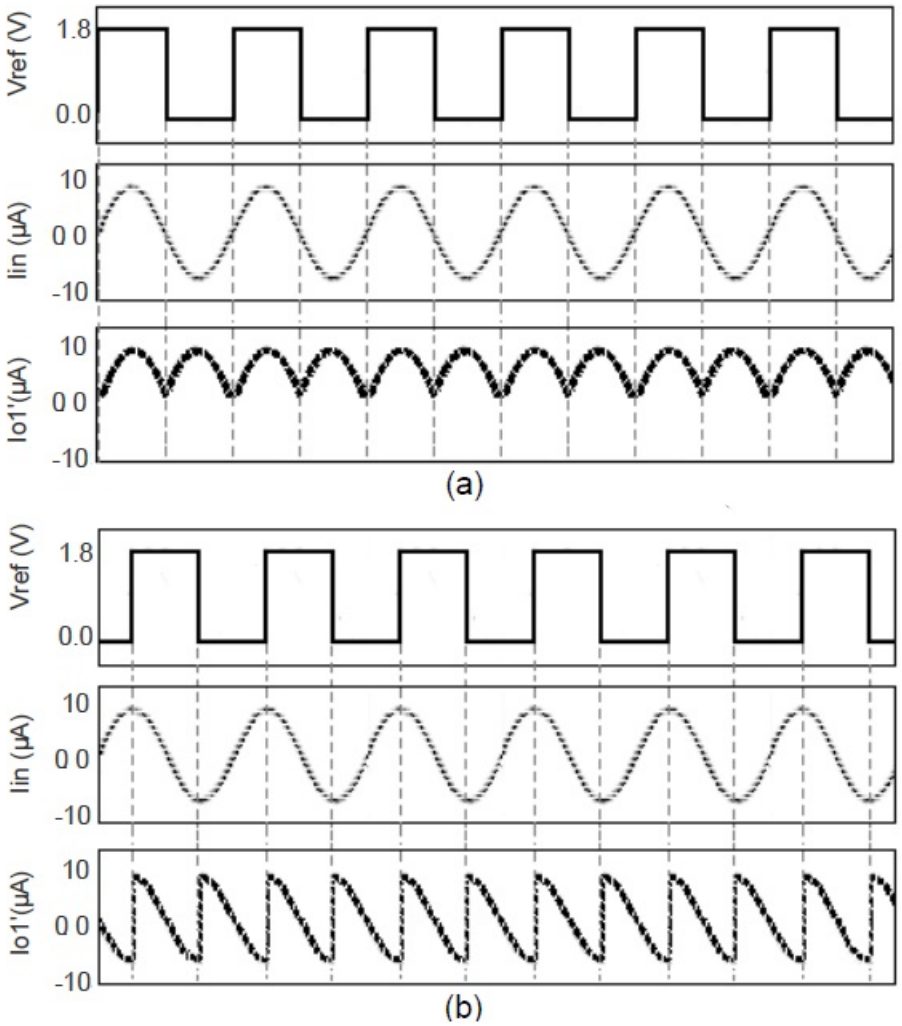

Figura 3.25: Funcionamiento de mixer con señal de Referencia: (a) En fase, (b) Con desfase de 90°

3.6. Conclusiones

En este capítulo se presentó el diseño, *layout* y caracterización *post-layout* de cada uno de los bloques que integran las dos propuestas de amplificador *lock-in* que se presentarán en el siguiente capítulo. Se realizó una introducción sobre cada circuito, y se presentaron las topologías y consideraciones que se tomaron en cuenta para su diseño. La implementación de cada uno de los bloques se desarrolló con el objetivo de que cada bloque tenga un bajo consumo de área y potencia.

Primeramente se presentó el circuito transconductor, del que se destaca la linealidad

que se alcanzó con el par de entrada con degeneración por fuente, la programabilidad que se consiguió al implementar un arreglo de transistores para variar la transconductancia y la programabilidad del ancho de banda mediante un par de capacitores externos.

Posteriormente se presentó el divisor de corriente que permite dar programabilidad al circuito en el caso en que el transconductor tiene una ganancia fija, el cual presentó un bajo consumo de potencia.

Se presentó también el amplificador de transimpedancia, al cual se le añadió un capacitor de compensación para brindar mayor estabilidad y un resistor de realimentación de $100k\Omega$ con el que se convierte la señal en modo corriente a modo voltaje.

Finalmente se presentó el diseño del circuito *mixer*, el cual realiza la función de detección sensible a la fase haciendo uso de una señal de referencia cuadrada con una frecuencia en fase con la señal de entrada para una rectificación correcta de la señal. Este circuito opera en modo corriente brindando mayor simplicidad al circuito con lo que se reduce el consumo de área así como el consumo de potencia.

3.6. Conclusiones

Capítulo 4

Amplificador *Lock-In* Integrado

En este Capítulo se muestra el diseño de LIAs a partir de los bloques presentados en el Capítulo anterior. Se desarrollan dos versiones: la primera basada en el transconductor con g_m-*boosting* como convertidor de voltaje a corriente, seguido del *mixer* actuando como rectificador de corriente, el divisor de corriente para brindar programabilidad y el amplificador de transimpedancia; la segunda se basa en el transconductor programable con g_m-*boosting* seguido del mismo rectificador de corriente y amplificador de transimpedancia de la primera versión. Se muestra la caracterización *post-layout* de los circuitos propuestos y se realiza un análisis de los resultados obtenidos.

4.1. Introducción

Como ya se explicó en el Capítulo 2, un amplificador *lock-in* posee un principio de funcionamiento simple y bien conocido basado en la técnica PSD. En general un LIA es útil cuando es necesario medir una señal pequeña en comparación con el nivel de ruido presente, como ocurre en aplicaciones tradicionales tales como radio astronomía, resonancia magnética nuclear, resonancia del spin del electrón y control de absorción de gas en láseres estabilizados. En la actualidad los amplificadores *lock-in* comerciales son caros, pesados y tienen un alto consumo de potencia, lo cual limita su uso en las nuevas

aplicaciones portátiles, como *wireless sensor networks* (WSN), analizadores ambientales, detección de nivel de líquidos, por mencionar algunos; esto motiva el desarrollo de LIAs integrados que no solo permitan acondicionar señales de sensores, sino que al tener un bajo consumo de potencia permitan cubrir la necesidad de estas aplicaciones.

Con el objetivo de exportar esta técnica a aplicaciones de bajo voltaje y bajo consumo de potencia, se implementaron dos propuestas de una arquitectura *lock-in* de acondicionamiento de señal [39, 40]. Los LIAs propuestos fueron diseñados en un proceso CMOS $0.18\mu m$ con voltaje de polarización de $1.8V$, y se presentan a continuación.

4.2. Amplificador *Lock-In* 1

La primera propuesta consiste en la conexión en cascada de los siguientes circuitos: transconductor, *mixer*, divisor de corriente programable digitalmente, amplificador de transimpedancia y filtro pasa-baja, como se muestra en la Figura 4.1.

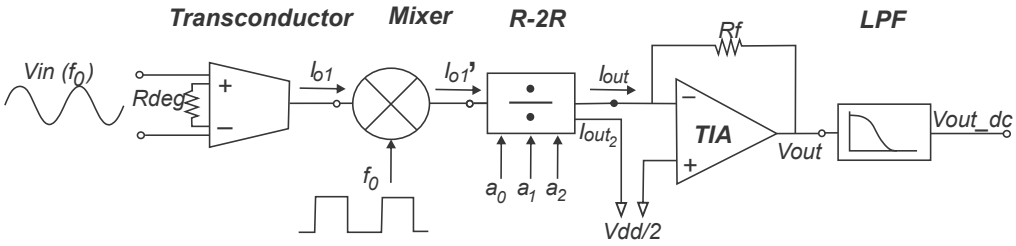

Figura 4.1: Diagrama de Bloques de Amplificador LIA-1.

Cabe mencionar que R_f y R_{deg} fueron implementadas con el mismo material, por lo que sufren las mismas variaciones de proceso y temperatura, lo que garantiza una buena precisión y robustez. Por otra parte, la división de corriente es altamente lineal, por lo que es esperable que también el sistema sea altamente lineal.

La ganancia total del sistema, sin incluir al circuito *mixer*, en función de la palabra digital $A = \{a_2, a_1, a_0\}$ está dada por la siguiente expresión:

$$\frac{V_{out}}{V_{in}} = \frac{R_f}{R_{deg}}\left(\frac{1}{2^n}\left[1 + \sum_{j=0}^{n-1}(2^j - a_j 2^j)\right]\right) \text{con n=3} \tag{4.1}$$

La Tabla 4.1 muestra la ganancia ideal (A_{ideal}) que se estima de acuerdo a la ecuación (4.1) y se compara con la ganancia obtenida mediante simulación *post-layout* $(A_{post\text{-}layout})$. Se observa que el error absoluto es inferior a $1.2dB$ en todos los casos.

Tabla 4.1: Ganancia equivalente de LIA-1 de acuerdo a la programabilidad del circuito

a_0	a_1	a_2	$A_{ideal}(dB)$	$A_{post_layout}(dB)$
0	0	0	40.0	39.6
0	0	1	38.8	37.8
0	1	0	37.5	36.6
0	1	1	36.0	34.8
1	0	0	34.0	33.2
1	0	1	31.5	30.3
1	1	0	28.0	27.1
1	1	1	22.0	21.0

El *layout* del circuito es mostrado en la Figura 4.2. El filtro pasa bajas no es incluido debido a que se implementa externamente como filtro pasivo de segundo orden con una frecuencia de corte de 5Hz.

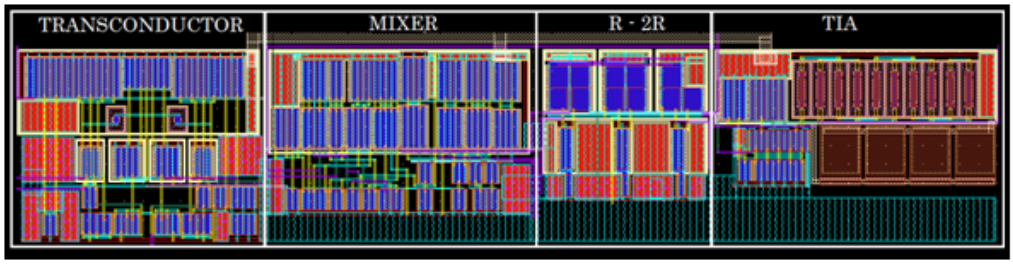

Figura 4.2: Layout de Amplificador *lock-in* 1.

La Figura 4.3 muestra la función de transferencia de la ganancia para cada palabra digital. La ganancia varía de 21 a $39.6dB$, con un ancho de banda constante de $1\ MHz$ utilizando, como se comentó en el Capítulo 3, dos capacitores externos $C_{ext} = 3.1pF$ en la etapa transconductora de entrada.

Además, como se vio en el capítulo anterior, con el fin de limitar el ruido, el ancho de banda del sistema se puede ajustar por medio de estos capacitores C_ext. La Figura

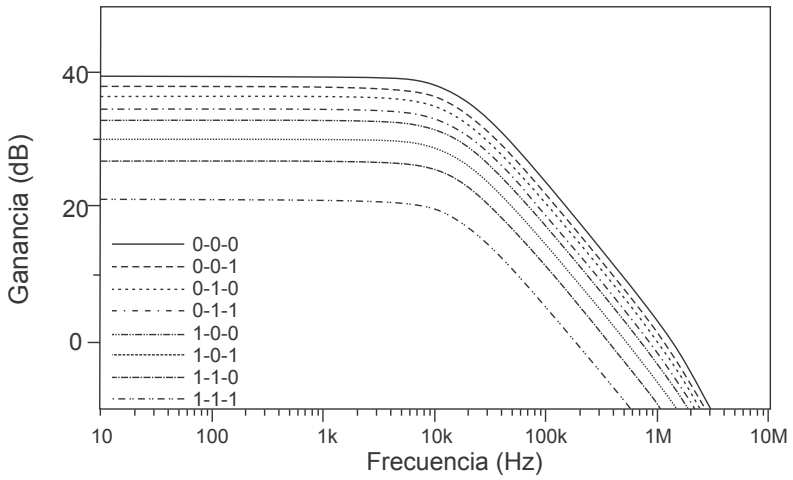

Figura 4.3: Programabilidad de la Ganancia.

4.4 muestra la función de transferencia para máxima ganancia $(A = \{0, 0, 0\})$ con diferentes valores de $C_extt = 3.1pF, 41pF, 415pF$ y $4.1nF$, para los cuales se obtiene un $BW = 1MHz, 100kHz, 10kHz$ y $1kHz$, respectivamente. Así pues, la programación se puede utilizar, como ya se había explicado, no sólo para ajustar la ganancia de acuerdo a la amplitud de entrada, sino también para ajustar el ancho de banda de acuerdo a la frecuencia de entrada.

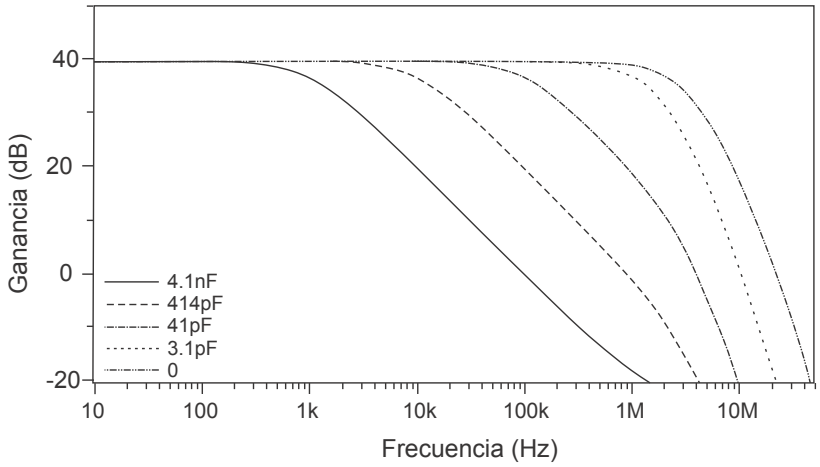

Figura 4.4: Variación de BW con C_{ext}.

Un resumen de los parámetros principales del LIA obtenidos mediante simulación *post-layout* es reportado en la Tabla 4.2. El circuito consume $352\mu W$, de los cuales

el $27.9\,\%$ es debido al *mixer*, por lo que una optimización del diseño de este bloque reduciría bastante el consumo de potencia.

Tabla 4.2: Caracterización Eléctrica de LIA1

PARÁMETROS	VALORES
Ganancia	$21 - 39.6dB$
BW	$1MHz$
Ruido Referido a la entrada	$28.3\mu V_{rms}$
CMRR @DC	$117dB$
PSRR + @DC	$57.4dB$
PSRR − @DC	$45.9dB$
THD@{0,0,0}($1kHz$,$800mV_{pp_output}$)	$-50.1dB$
Offset a la Salida	$8.5mV$
Consumo de Potencia	$351.4\mu W$
Área de Integración	$0.013mm^2$

Para probar el funcionamiento del circuito se estudiaron cuatro casos en los que el amplificador fue puesto a su máxima ganancia $(A = \{0, 0, 0\})$. La salida ideal $V_{out_dc_ideal}$ y la salida de simulación *post-layout* $V_{out_dc_sim}$, del amplificador LIA-1, incluyendo el LPF, son reportadas en las tablas de resumen para cada caso. Para todos los casos, el tiempo requerido para que se estableciera la señal del LPF en un nivel de DC fue de $500ms$.

El voltaje $V_{out_dc_ideal}$ se obtuvo de la ecuación 2.6, la cual se reescribe a continuación debido a que se han renombrado las variables de la misma:

$$V_{out_dc_ideal} = \frac{2V_sV_r}{\pi}\cos\phi \tag{4.2}$$

donde V_s es la señal de entrada y V_r es la señal de referencia, las cuales se considera que se encuentran en fase, es decir, $\phi = 0$.

Para el primer caso la señal de entrada (V_s) aplicada al LIA-1 es una senoidal con una frecuencia de $1kHz$ a diferentes amplitudes, sin introducir ninguna señal de interferencia (V_{no}), como se observa en la Tabla de resumen 4.3. Se consideran dos valores

para los capacitores C_{ext}, que corresponden a BW de $1MHz$ y $10kHz$, respectivamente.

Tabla 4.3: Tabla de resultados de LIA-1 para primer caso

Casos	$V_{out_dc_ideal}$ (V)	$1MHz(C_{ext} = 3.1pF)$		$10kHz(C_{ext} = 415pF)$	
		$V_{out_dc_sim}$ (V)	**Error Relativo**	$V_{out_dc_sim}$ (V)	**Error Relativo**
Case 1(a) $v_s = 10mV@1kHz$ $v_{no} = 0$	1.218	1.204	1.1 %	1.206	0.9 %
Case 1(b) $v_s = 5mV@1kHz$ $v_{no} = 0$	1.059	1.049	0.9 %	1.050	0.8 %
Case 1(c) $v_s = 1mV@1kHz$ $v_{no} = 0$	0.932	0.940	0.8 %	0.940	0.8 %

Al no tener ninguna señal de interferencia presente la reducción del BW mediante los capacitores C_{ext}, en este caso genera un cambio mínimo en la medición, teniéndose un error relativo que va de $0.8\,\%$ a $1.1\,\%$. La Figura 4.5 muestra la señal de salida del TIA rectificada y la salida en DC del filtro para el caso $1(a)$ de la Tabla 4.3 con $BW = 1MHz$.

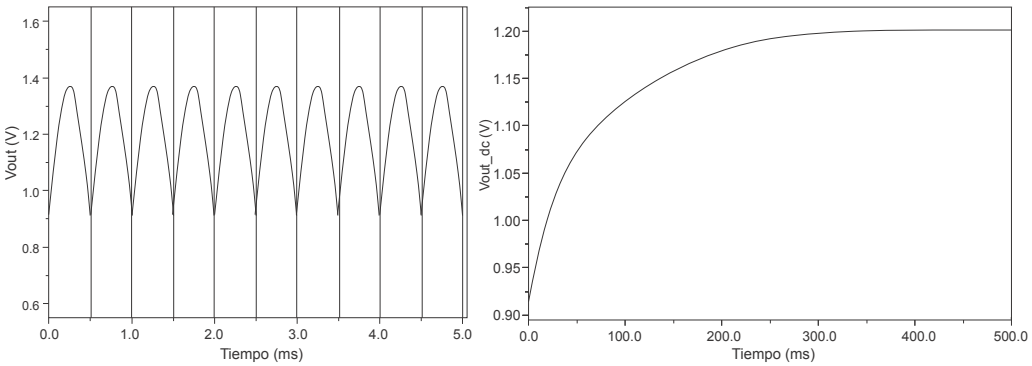

Figura 4.5: Señal de Salida de TIA rectificada y salida DC de filtro LPF para caso $1(a)$ a $1MHz$.

Para el segundo caso, se introduce una señal de entrada (V_s) senoidal de $10mV$ a $1kHz$ de frecuencia, y una señal de interferencia senoidal (V_{no}) con diferentes amplitudes pero con una frecuencia fija de $10kHz$, como se observa en la Tabla 4.4.

Tabla 4.4: Tabla de resultados de LIA-1 para segundo caso

Casos	$V_{out_dc_ideal}$ (V)	$1MHz(C_{ext} = 3.1pF)$		$10kHz(C_{ext} = 415pF)$	
		$V_{out_dc_sim}$ (V)	**Error Relativo**	$V_{out_dc_sim}$ (V)	**Error Relativo**
Case 2(a) $v_s = 10mV@1kHz$ $v_{no} = 200mV@10kHz$	1.218	1.675	37.5 %	1.340	10 %
Case 2(b) $v_s = 10mV@1kHz$ $v_{no} = 150mV@10kHz$	1.218	1.617	32.7 %	1.301	6.8 %
Case 2(c) $v_s = 10mV@1kHz$ $v_{no} = 100mV@10kHz$	1.218	1.551	27.3 %	1.289	5.8 %
Case 2(d) $v_s = 10mV@1kHz$ $v_{no} = 50mV@10kHz$	1.218	1.442	18.3 %	1.259	3.3 %
Case 2(e) $v_s = 10mV@1kHz$ $v_{no} = 20mV@10kHz$	1.218	1.396	14.6 %	1.231	1 %
Case 2(f) $v_s = 10mV@1kHz$ $v_{no} = 10mV@10kHz$	1.218	1.267	4 %	1.204	1.1 %
Case 2(g) $v_s = 10mV@1kHz$ $v_{no} = 5mV@10kHz$	1.218	1.232	1.1 %	1.207	0.9 %

La Figura 4.6 muestra la señal de salida del TIA rectificada y la salida en DC del filtro para el caso $2(e)$ de la Tabla 4.4 con $BW = 10kHz$.

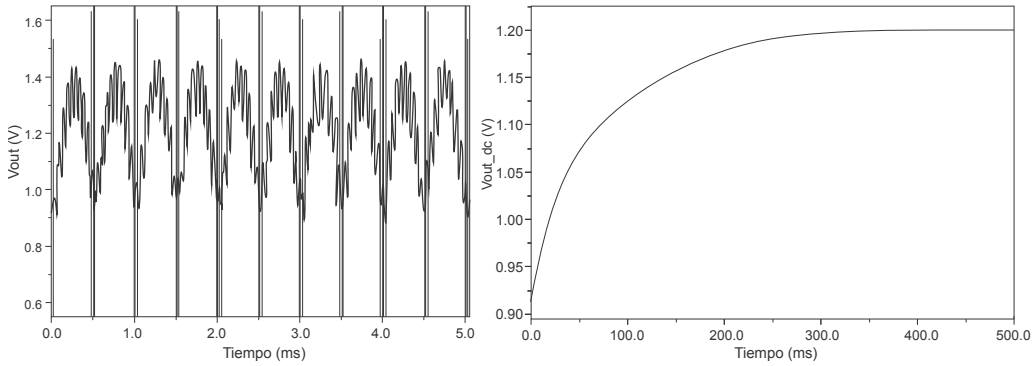

Figura 4.6: Señal de Salida de TIA rectificada y salida DC de filtro LPF para caso $2(e)$ con $10kHz$.

Se observa que interferencias con amplitudes que superan a la señal de interés gene-

ran un error muy elevado en la recuperación de la señal, sin embargo, al reducir el BW mediante los capacitores C_{ext} es posible limitar el efecto de la señal de interferencia, con lo que se reduce el error en la medición de manera significativa. Del caso $2(c)$, se observa que es posible medir señales con $SNR = -20dB$ con una precisión mayor al $6\,\%$ con un $BW = 10kHz$.

Para el tercer caso se tiene una señal de entrada senoidal (V_s) de $10mV$ a $1kHz$ de frecuencia, y una señal de ruido (V_{no}) con una amplitud fija de $10mV$ y una frecuencia variable. Se aprecia cada caso en la Tabla resumen 4.5, que presenta los resultados obtenidos para este caso, en donde se observa que interferencias con una amplitud fija presentan aproximadamente el mismo error al tener diversas frecuencias, sin embargo, el error se incrementa cuando la señal de interferencia está a una frecuencia muy cercana a la banda de la señal de interés.

Tabla 4.5: Tabla de resultados de LIA-1 para tercer caso

Casos	$V_{out_dc_ideal}$ (V)	$1MHz(C_{ext} = 3.1pF)$		$10kHz(C_{ext} = 415pF)$	
		$V_{out_dc_sim}$ (V)	**Error Relativo**	$V_{out_dc_sim}$ (V)	**Error Relativo**
Case 3(a) $v_s = 10mV@1kHz$ $v_{no} = 10mV@50kHz$	1.218	1.270	$4.2\,\%$	1.179	$3.2\,\%$
Case 3(b) $v_s = 10mV@1kHz$ $v_{no} = 10mV@20kHz$	1.218	1.270	$4.2\,\%$	1.258	$3.2\,\%$
Case 3(c) $v_s = 10mV@1kHz$ $v_{no} = 10mV@5kHz$	1.218	1.269	$4.1\,\%$	1.237	$1.5\,\%$
Case 3(d) $v_s = 10mV@1kHz$ $v_{no} = 10mV@2kHz$	1.218	1.268	$4.1\,\%$	1.262	$3.6\,\%$
Case 3(e) $v_s = 10mV@1kHz$ $v_{no} = 10mV@1.2kHz$	1.218	1.271	$4.3\,\%$	1.269	$4.1\,\%$

Mediante la reducción del BW a través de los capacitores C_{ext} es posible limitar a la señal de interferencia con lo que se reduce el error relativo para señales con frecuencias más separadas de la frecuencia de la señal. La Figura 4.7 muestra la señal de salida del

TIA y la salida en DC del filtro para el caso $3(c)$ de la Tabla 4.5 con $BW = 10kHz$.

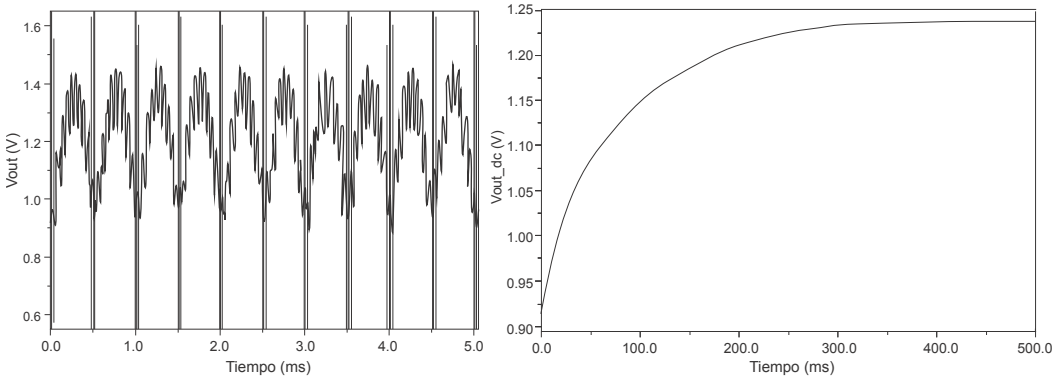

Figura 4.7: Señal de Salida de TIA rectificada y salida DC de filtro LPF para caso $3(c)$ a $10kHz$.

Para el cuarto caso, la señal de entrada es una senoidal de $10mV$ a $1kHz$ de frecuencia, con una señal de interferencia aleatoria simulando ruido blanco. Para la generación de la fuente de interferencia, se generó un archivo con números aleatorios desde Matlab y se determinó la amplitud promedio para cada caso, la Tabla 4.6 muestra los resultados.

Tabla 4.6: Tabla de resultados de LIA-1 para cuarto caso

Casos	$V_{out_dc_ideal}$ (V)	$1MHz(C_{ext} = 3.1pF)$		$10kHz(C_{ext} = 415pF)$	
		$V_{out_dc_sim}$ (V)	**Error Relativo**	$V_{out_dc_sim}$ (V)	**Error Relativo**
Case 4(a) $v_s = 10mV@1kHz$ $v_{no_prom} = 175.02mV$	1.218	1.682	38 %	1.324	8.7 %
Case 4(b) $v_s = 10mV@1kHz$ $v_{no_prom} = 70.09mV$	1.218	1.518	24.6 %	1.283	5.3 %
Case 4(c) $v_s = 10mV@1kHz$ $v_{no_prom} = 35.03mV$	1.218	1.423	16.8 %	1.230	1 %
Case 4(d) $v_s = 10mV@1kHz$ $v_{no_prom} = 8.76mV$	1.218	1.295	6.3 %	1.177	3.3 %

De la Tabla 4.6 se señala que una señal aleatoria produce un error elevado en la recuperación de la señal de interés cuando se tiene un BW amplio (en este caso $1MHz$),

sin embargo con la reducción del BW a $10kHz$, como ya se ha observado en las pruebas anteriores, se puede obtener una mejora considerable en la medición ya que se reduce el error. Podemos observar por el caso $4(b)$ que es posible medir señales con $SNR = -20dB$ con una precisión mayor al 6 %. La Figura 4.8 muestra la señal de salida del TIA rectificada y la salida en DC del filtro para el caso $4(c)$ de la Tabla 4.6.

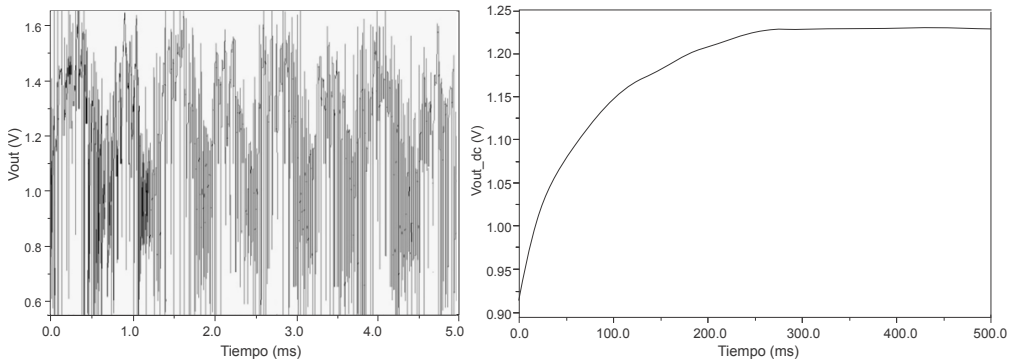

Figura 4.8: Señal de Salida de TIA rectificada y salida DC de filtro LPF para caso $4(c)$ a $10kHz$.

La Figura 4.9 muestra de manera más clara los resultados obtenidos en las Tablas 4.3, 4.4 y 4.6, en donde se observa el error relativo del circuito al incrementar la amplitud de una señal de interferencia con frecuencia fija de $10kHz$ y de una señal de ruido blanco.

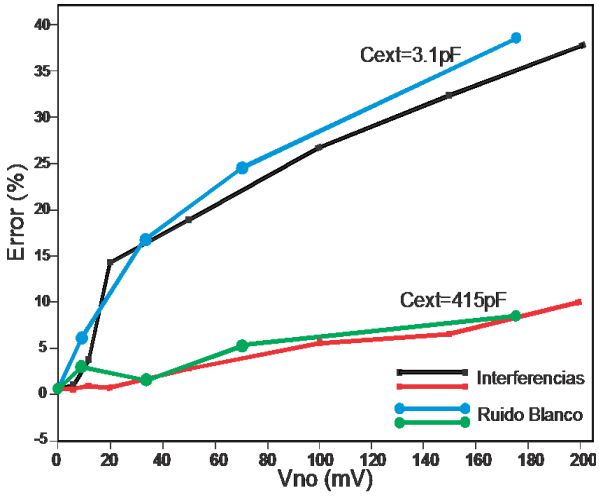

Figura 4.9: Error en la medición de acuerdo a la amplitud de la señal de ruido y de los capacitores externos.

Asi mismo, mediante la Figura 4.10 se observa de manera más clara el error relativo del circuito que se mostró en la Tabla 4.5, en donde se varió la frecuencia de la señal de interferencia manteniendo una amplitud constante de $10mV$, utilizando nuevamente una señal de entrada de $10mV@1kHz$ y capacitores externos de 3.1 y $415pF$.

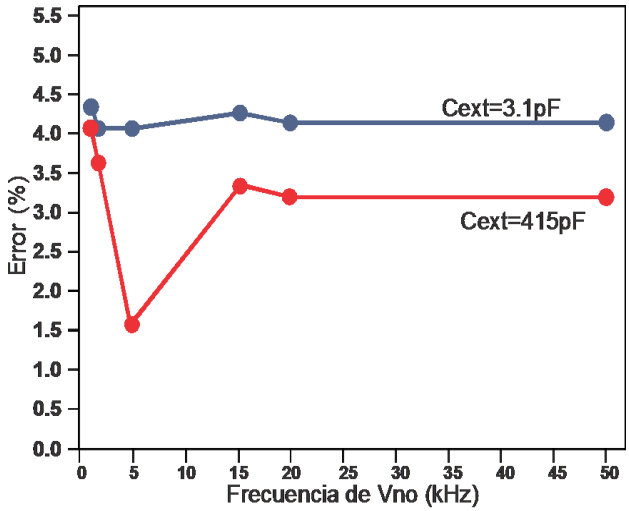

Figura 4.10: Error en la medición de acuerdo a la frecuencia de la señal de ruido y de los capacitores externos.

4.3. Amplificador *Lock-In* 2

La segunda propuesta consiste en la conexión en cascada de los circuitos: transconductor con ganancia variable, *mixer* y amplificador de transimpedancia, como se muestra en la Figura 4.11.

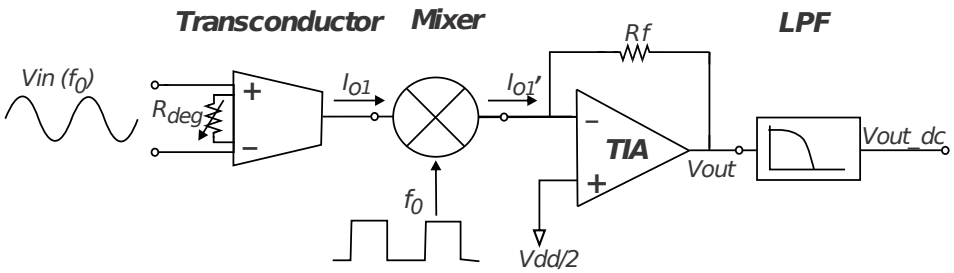

Figura 4.11: Diagrama de bloques de amplificador LIA-2.

La ganancia total del sistema en función de la palabra digital, nuevamente sin incluir el circuito *mixer*, está dada por:

$$\frac{V_{out}}{V_{in}} = R_f G_{m_deg}\left(\frac{1}{2^n}\left[1+\sum_{j=0}^{n-1}(2^j - a_j 2^j)\right]\right) \text{con n=3} \tag{4.3}$$

La tabla 4.7 muestra la ganancia ideal (A_{ideal}) estimada mediante la ecuación (4.1) para el LIA-2 y se compara con la ganancia obtenida mediante simulación *post-layout* $(A_{post-layout})$, en la que se observa un error absoluto menor a $0.7dB$ para todos los casos.

Tabla 4.7: Ganancia equivalente de LIA-2 de acuerdo a la programabilidad del circuito

a_0	a_1	a_2	$A_{ideal}(dB)$	$A_{post_layout}(dB)$
0	0	0	40.0	40.1
0	0	1	38.8	39.0
0	1	0	37.5	37.8
0	1	1	36.0	36.3
1	0	0	34.0	34.4
1	0	1	31.5	32.1
1	1	0	28.0	28.7
1	1	1	22.0	22.7

El *layout* del circuito es mostrado en la Figura 4.12, en el que se emplea nuevamente de manera externa el filtro pasa bajas (LPF) implementado como filtro pasivo de segundo orden y frecuencia de corte de $5Hz$.

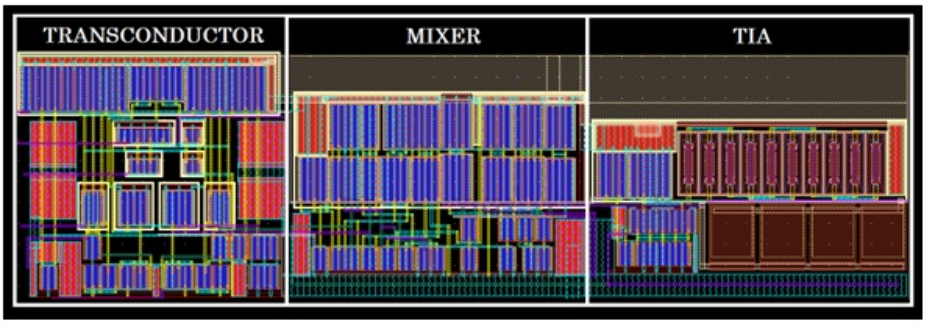

Figura 4.12: *Layout* de segundo amplificador *lock-in* 2.

La Figura 4.13 muestra la función de transferencia de la ganancia para cada palabra digital, en el que la ganancia va de 22.7 a $40.1dB$. Se utilizan nuevamente dos capacitores externos C_{ext} con valor de $C_{ext} = 3pF$, con los que se fija un ancho de banda constante de $1MHz$.

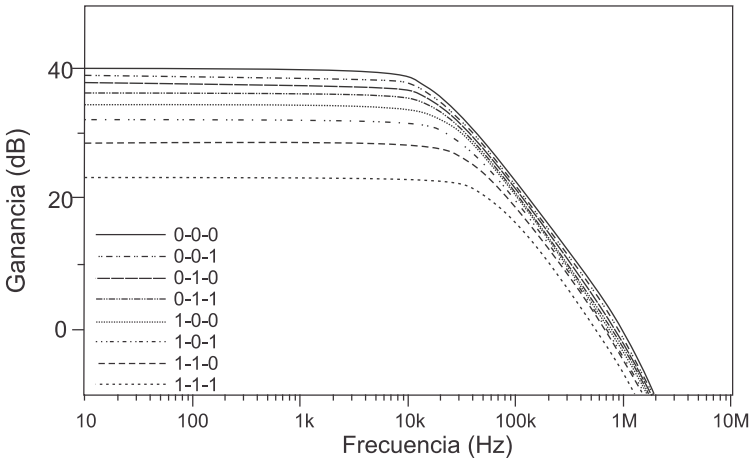

Figura 4.13: Programabilidad de la Ganancia.

La Figura 4.14 muestra la función de transferencia en la máxima ganancia para diferentes valores de $C_{ext} = 3pF, 38pF, 380pF$ y $3.9nF$ para establecer un $BW = 1MHz, 100kHz, 10kHz$ y $1kHz$, respectivamente. Aunque el valor de los capacitores C_{ext} ronda el mismo rango de valores que en la propuesta anterior (LIA-1), se obtuvieron capacitancias algo más pequeñas para esta implementación.

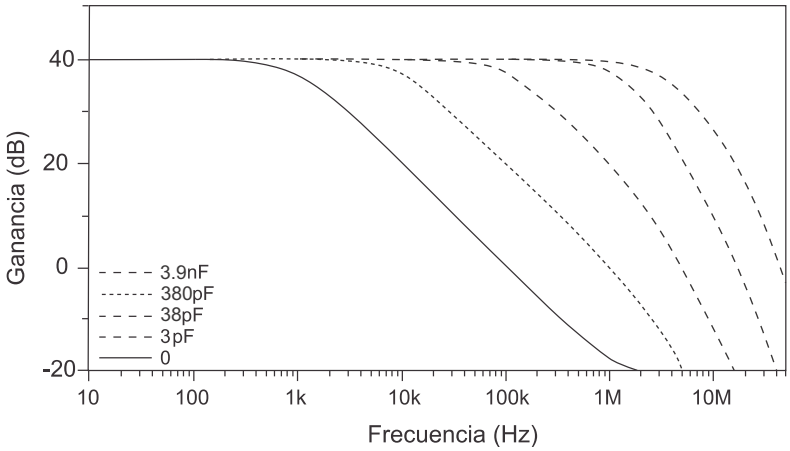

Figura 4.14: Variación de BW con C_{ext}.

En la Tabla 4.8 se presenta un resumen de los parámetros principales del LIA-2 obtenidos mediante simulación *post-layout*. El circuito consume $351\mu W$, de los cuales el $27.6\,\%$ es debido al *mixer*; nuevamente se resalta que una optimización del diseño del *mixer* reduciría bastante el consumo de potencia.

Tabla 4.8: Caracterización Eléctrica de LIA2

PARÁMETROS	VALORES
Ganancia	$22.7 - 40.1dB$
BW	$1MHz$
Ruido Referido a la entrada	$28.1\mu V_{rms}$
CMRR @DC	$84.5dB$
PSRR + @DC	$57.5dB$
PSRR − @DC	$43.7dB$
THD@{0,0,0}($1kHz$,$800mV_{pp_output}$)	$-53.5dB$
Offset a la Salida	$8.7mV$
Consumo de Potencia	$350.9\mu W$
Área de Integración	$0.012mm^2$

Para probar el funcionamiento del circuito se estudiaron cuatro casos en los que el amplificador fue puesto a su máxima ganancia $(A = \{0, 0, 0\})$. La salida ideal $V_{out_dc_ideal}$ obtenida mediante la ecuación (4.2) y con las mismas consideraciones para el LIA-1, así como la salida obtenida por simulación *post-layout* $V_{out_dc_sim}$, del amplificador LIA-2, incluyendo nuevamente el LPF, son reportadas en las tablas de resumen para cada caso. Para todos los casos el tiempo requerido para que se estableciera la señal del LPF en un nivel de DC fue de $500ms$.

Para el primer caso la señal de entrada (V_s) es una senoidal con diferentes amplitudes y con una frecuencia fija de $1kHz$, sin introducir ninguna señal de ruido (V_{no}). La Tabla 4.9 muestra un resumen de los datos obtenidos para BW de $1MHz$ y $10kHz$.

Tabla 4.9: Tabla de resultados de LIA-2 para primer caso

Casos	$V_{out_dc_ideal}$ (V)	$1MHz(C_{ext} = 3pF)$		$10kHz(C_{ext} = 380pF)$	
		$V_{out_dc_sim}$ (V)	**Error Relativo**	$V_{out_dc_sim}$ (V)	**Error Relativo**
Case 1(a) $v_s = 10mV@1kHz$ $v_{no} = 0$	1.218	1.216	0.16 %	1.213	0.4 %
Case 1(b) $v_s = 5mV@1kHz$ $v_{no} = 0$	1.059	1.061	0.2 %	1.0598	0.1 %
Case 1(c) $v_s = 1mV@1kHz$ $v_{no} = 0$	0.932	0.943	1.2 %	0.942	1 %

Se observa un error relativo menor al $1\,\%$ para los casos en que la amplitud de la señal de interés es de $5mV$ o más, mientras que para una amplitud menor el error es mayor. Nuevamente se observa que la reducción del BW mediante los capacitores C_{ext} genera un cambio mínimo en la medición ya que no hay interferencias presentes que afecten la medición.

La Figura 4.15 muestra la señal de salida del TIA rectificada y la salida en DC del filtro para el caso $1(a)$ de la Tabla 4.9 con $BW = 1MHz$.

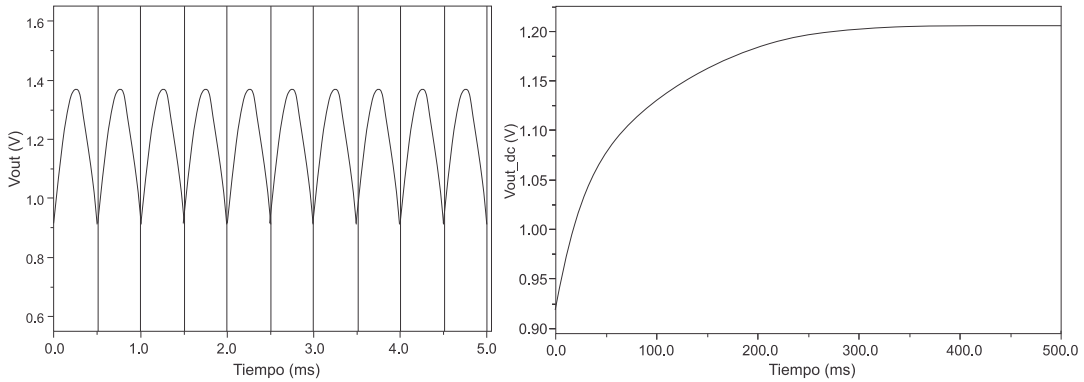

Figura 4.15: Señal de Salida de TIA rectificada y salida DC de filtro LPF para caso $1(a)$ a $1MHz$.

Para el segundo caso, se introduce una señal de entrada (V_s) senoidal de $10mV$ a $1KHz$ de frecuencia, y una señal de interferencia (V_{no}) de diferentes amplitudes y con

una frecuencia fija de $10kHz$ como se muestra en la Tabla 4.10.

Tabla 4.10: Tabla de resultados de LIA-2 para segundo caso

Casos	$V_{out_dc_ideal}$ (V)	$1MHz(C_{ext} = 3pF)$		$10kHz(C_{ext} = 380pF)$	
		$V_{out_dc_sim}$ (V)	**Error Relativo**	$V_{out_dc_sim}$ (V)	**Error Relativo**
Case 2(a) $v_s = 10mV@1kHz$ $v_{no} = 200mV@10kHz$	1.218	1.672	37.2 %	1.351	10.9 %
Case 2(b) $v_s = 10mV@1kHz$ $v_{no} = 150mV@10kHz$	1.218	1.621	33 %	1.311	7.6 %
Case 2(c) $v_s = 10mV@1kHz$ $v_{no} = 100mV@10kHz$	1.218	1.554	27.5 %	1.302	6.8 %
Case 2(d) $v_s = 10mV@1kHz$ $v_{no} = 50mV@10kHz$	1.218	1.453	19.2 %	1.287	5.6 %
Case 2(e) $v_s = 10mV@1kHz$ $v_{no} = 20mV@10kHz$	1.218	1.403	15.1 %	1.258	3.2 %
Case 2(f) $v_s = 10mV@1kHz$ $v_{no} = 10mV@10kHz$	1.218	1.279	5 %	1.211	0.6 %
Case 2(g) $v_s = 10mV@1kHz$ $v_{no} = 5mV@10kHz$	1.218	1.237	1.5 %	1.215	0.3 %

Se observa que interferencias con amplitudes que superan a la señal de interés incluso desde un factor de 2 generan un error muy elevado en la recuperación de la señal al tener un BW de $1MHz$ teniendo errores que superan el $10\,\%$.

Del caso $2(c)$, se destaca que es posible medir señales con $SNR = -20dB$ con una precisión mayor al $7\,\%$, al reducir el BW a $10kHz$ ya que la señal de interferencia es limitada.

La Figura 4.16 muestra la señal de salida del TIA rectificada y la salida en DC del filtro para el caso $2(f)$ de la Tabla 4.10 con $BW = 10kHz$.

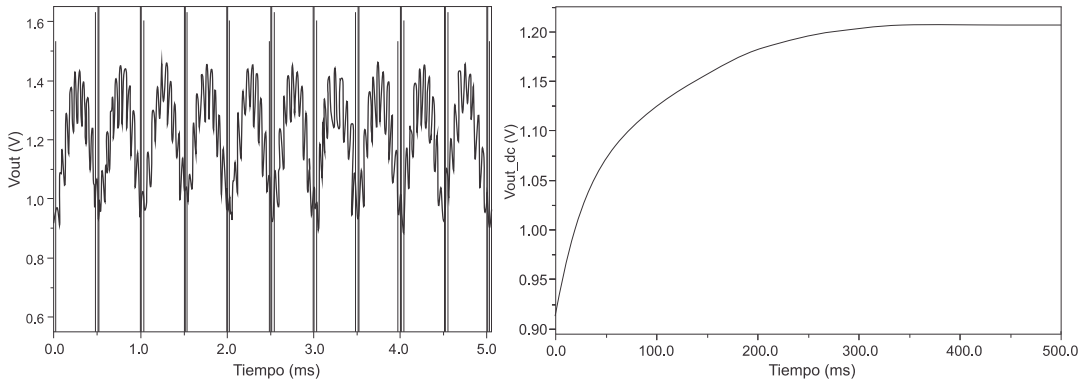

Figura 4.16: Señal de Salida de TIA rectificada y salida DC de filtro LPF para caso $2(f)$ con $10kHz$.

Para el tercer caso se tiene una señal de entrada (V_s) senoidal de $10mV$ a $1KHz$ de frecuencia, y una señal de interferencia (V_{no}) de $10mV$ a diferentes frecuencias como se observa en la Tabla de resumen 4.11.

Tabla 4.11: Tabla de resultados de LIA-1 para tercer caso

Casos	$V_{out_dc_ideal}$ (V)	$1MHz(C_{ext} = 3pF)$		$10kHz(C_{ext} = 380pF)$	
		$V_{out_dc_sim}$ (V)	**Error Relativo**	$V_{out_dc_sim}$ (V)	**Error Relativo**
Case 3(a) $v_s = 10mV@1kHz$ $v_{no} = 10mV@50kHz$	1.218	1.287	5.6 %	1.188	2.4 %
Case 3(b) $v_s = 10mV@1kHz$ $v_{no} = 10mV@20kHz$	1.218	1.285	5.5 %	1.174	3.6 %
Case 3(c) $v_s = 10mV@1kHz$ $v_{no} = 10mV@5kHz$	1.218	1.284	5.2 %	1.249	2.5 %
Case 3(d) $v_s = 10mV@1kHz$ $v_{no} = 10mV@2kHz$	1.218	1.287	5.6 %	1.273	4.5 %
Case 3(e) $v_s = 10mV@1kHz$ $v_{no} = 10mV@1.2kHz$	1.218	1.288	5.7 %	1.279	5 %

Se observa al igual que el LIA-1, que interferencias con amplitud fija y frecuencia variable generan el mismo rango de error, sin embargo al reducir el BW del amplificador es posible reducir el error para frecuencias mayores que la frecuencia de interés.

Aquellas frecuencias más cercanas a la banda de la señal de interás ya que no solo generan un error mayor en la recuperación de la señal, sino que también se mantiene casi el mismo error a pesar de reducir el BW del amplificador.

La Figura 4.17 muestra la señal de salida del TIA rectificada y la salida en DC del filtro para el caso $3(c)$ de la Tabla 4.11 con BW de $10kHz$.

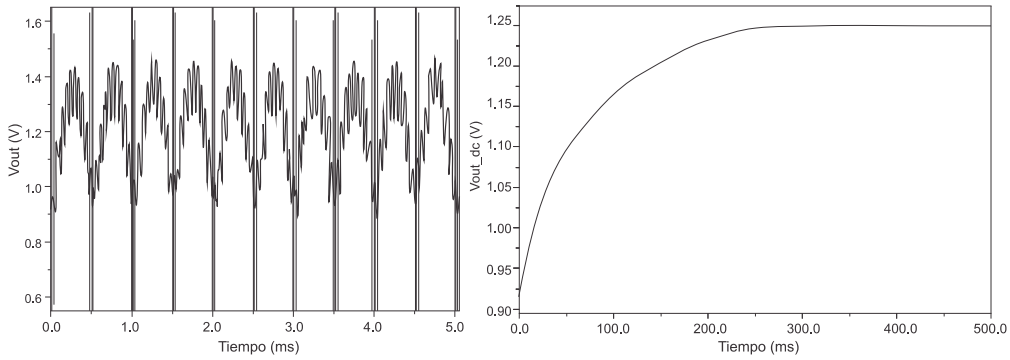

Figura 4.17: Señal de Salida de TIA rectificada y salida DC de filtro LPF para caso $3(c)$ con $10kHz$.

Para el cuarto caso, la señal de entrada es una senoidal de $10mV$ a $1kHz$ de frecuencia, con una señal de interferencia aleatoria simulando ruido blanco, la Tabla 4.12 muestra los resultados obtenidos.

Tabla 4.12: Tabla de resultados de LIA-1 para cuarto caso

Casos	$V_{out_dc_ideal}$ (V)	$1MHz(C_{ext} = 3pF)$		$10kHz(C_{ext} = 380pF)$	
		$V_{out_dc_sim}$ (V)	**Error Relativo**	$V_{out_dc_sim}$ (V)	**Error Relativo**
Case 4(a) $v_s = 10mV@1kHz$ $v_{no_prom} = 175.02mV$	1.218	1.702	39.7 %	1.337	9.7 %
Case 4(b) $v_s = 10mV@1kHz$ $v_{no_prom} = 70.09mV$	1.218	1.563	28.3 %	1.291	5.9 %
Case 4(c) $v_s = 10mV@1kHz$ $v_{no_prom} = 35.03mV$	1.218	1.436	17.8 %	1.232	1.1 %
Case 4(d) $v_s = 10mV@1kHz$ $v_{no_prom} = 8.76mV$	1.218	1.305	7.1 %	1.176	3.4 %

Se generó un archivo con números aleatorios desde Matlab para simular la fuente de interferencia, en donde para cada caso se calculó la amplitud promedio.

Se señala que una señal aleatoria produce un error elevado en la recuperación de la señal de interés, sin embargo con la reducción del BW mediante los capacitores C_{ext} se limita a la señal de interferencia y con ello se obtiene un error menor en la medición. Podemos observar por el caso $4(b)$ que es posible medir señales con $SNR = -20dB$ con una precisión mayor al $6\,\%$ para señales sumergidas en ruido blanco con un BW de $10kHz$.

La Figura 4.18 muestra la señal de salida del TIA rectificada y la salida en DC del filtro para el caso $4(c)$ de la Tabla 4.12 con $BW = 10kHz$.

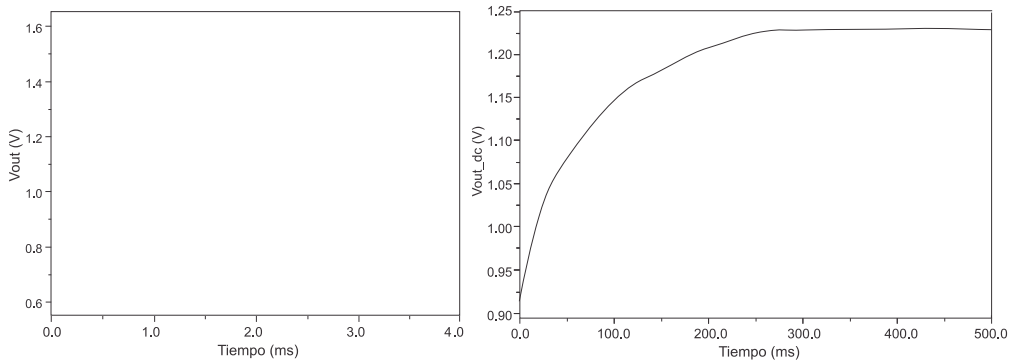

Figura 4.18: Señal de Salida de TIA rectificada y salida DC de filtro LPF para caso $4(c)$ con $10kHz$.

La Figura 4.19 muestra de manera más clara los resultados obtenidos en las Tablas 4.3, 4.4 y 4.6, en donde se observa el error relativo del circuito al incrementar la amplitud de la señal de interferencia con frecuencia fija de $10kHz$, así como al variar la amplitud de una señal de ruido blanco utilizándose una señal de entrada de $10mV@1kHz$ y capacitores externos con valor de 3 y $380pF$.

Asi mismo, mediante la Figura 4.20 se observa de manera más clara el error relativo del circuito que se mostró en la Tabla 4.5, en donde se varió la frecuencia de la señal de interferencia manteniendo una amplitud constante de $10mV$, utilizando nuevamente una señal de entrada de $10mV@1kHz$ y capacitores externos de 3 y $380pF$.

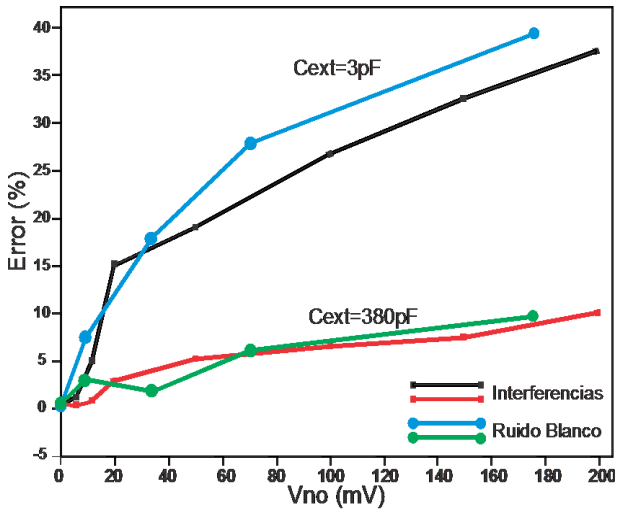

Figura 4.19: Error en la medición de acuerdo a la amplitud de la señal de ruido y de los capacitores externos.

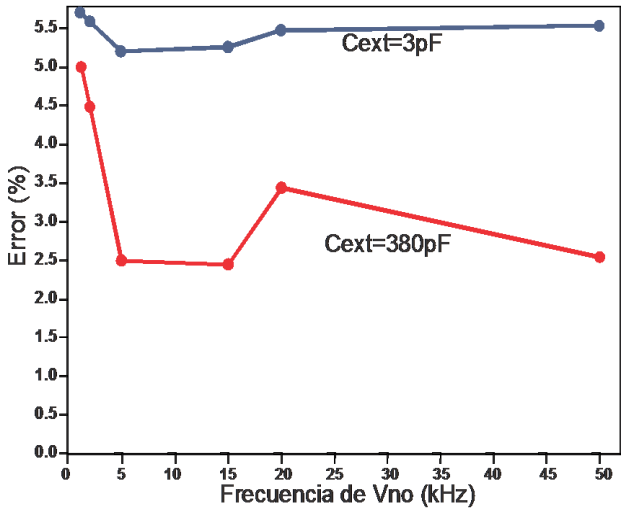

Figura 4.20: Error en la medición de acuerdo a la frecuencia de la señal de ruido y de los capacitores externos.

4.4. Comparación de Resultados

Finalmente, la Tabla 4.13 compara el funcionamiento eléctrico de los amplificadores LIA-1 y del LIA-2 propuestos con otras implementaciones encontradas en la literatura. Se puede observar que en [12] se tiene una variación de la ganancia de $100dBs$ mien-

tras que los amplificadores LIA-1 y LIA-2 tienen un rango de variación de $20dBs$; sin embargo se observa que en [12] se utiliza una alimentación dual, lo que lo hace incompatible con los sistemas portátiles actuales, y el consumo de potencia es un orden de magnitud mayor.

En [18] se tiene una ganancia fija y elevada y CMRR mayor a los $60dB$, mientras que en los amplificadores LIA-1 y LIA-2 se obtiene un mejor rechazo al modo común obteniéndose $117dB$ y $84.5dB$, respectivamente.

En [41], aunque el *lock-in* no se encuentra implementado de manera integrada, la implementación mediante dispositivos discretos permitió obtener un $SNR = -21dB$, mientras que en los amplificadores LIA-1 y LIA-2 se tiene un $SNR = -20dB$ con un error menor al $6\,\%$ para ambos amplificadores.

Tabla 4.13: Comparación de LIAs

PARÁMETROS	LIA-1	LIA-2	[12]	[18]	[41]
Tecnología CMOS	$0.18\mu m$	$0.18\mu m$	$0.35\mu m$	$0.7\mu m$	-
Voltaje de Alimentación (V)	1.8	1.8	± 1	4.8	3
Ganancia (dB)	21-39.6	22.7-40	10-110	109	-
BW (kHz)	1000	1000	-	50	-
Ruido Referido a la Entrada $(nV/\sqrt{Hz})$	5.9 @$1kHz$	5.6 @$1kHz$	34 @$77Hz$	17 @$20kHz$	- -
Rango de Entrada (mV)	± 20	± 150	-	-	-
CMRR @DC (dB)	117	84.5	-	> 60	-
PSRR + @DC (dB)	57.4	57.5	-	-	-
PSRR − @DC (dB)	45.9	43.7	-	-	-
THD@{0,0,0} (dB) ($1kHz$,$800mV_{pp_output}$)	-50.1	-53.5	-	-	-
Offset a la Salida (mV)	8.5	8.7	-	-	-
SNR (dB)	-20*	-20*	-	-	-21**
Consumo de Potencia (mW)	0.35	0.35	3	25	1-5
Área de Integración (mm^2)	0.013	0.012	5	6.5	-

*$\varepsilon < 6\,\%$, **$\varepsilon < 2.2\,\%$

El área de integración, así como el consumo de potencia de los amplificadores propuestos LIA-1 y LIA-2 son muy similares entre sí, y logran una mejoría en comparación

con [12], [18] y [41] logrando una reducción en el consumo de potencia de 1 orden de magnitud para [12] y [41] mientras que se obtuvo una reducción de 2 órdenes de magnitud para [18]. Además el área de integración se redujo en un factor de 100 unidades en comparación con [12] y [18].

4.5. Conclusiones

En este capítulo se mostraron las dos propuestas planteadas para la implementación de un amplificador *lock-in* integrado programable con el objetivo de recuperar una señal sumergida en niveles de ruido mayores a ésta, así como con la finalidad de conseguir una reducción en el consumo de potencia y área de integración en comparación con otras soluciones existentes.

La conexión en cascada de los bloques para las dos propuestas presentadas, es equivalente a un amplificador de ganancia programable cuya ganancia depende de la relación de R_f a R_{deg} y de la palabra digital que controla la programabilidad de los circuitos.

Las arquitecturas propuestas son capaces de recuperar una señal de interés de ambientes ruidosos con un error relativo inferior al $6\,\%$ para señales sumergidas en ruido blanco con una relación señal a ruido $SNR = -20dB$.

En términos generales, ambas propuestas son muy similares. Sin embargo, la implementación de R_f y R_{deg} con el mismo material, así como el divisor de corriente en el LIA-1 permiten que el sistema tenga una mayor linealidad que el LIA-2. Por otro lado, la programabilidad del LIA-2 en la etapa transconductora permite que el sistema tenga un mayor rango de la señal de entrada.

La posibilidad de limitar el ancho de banda de los amplificadores propuestos permite reducir la contribución de ruido e interferencias siendo, según los resultados obtenidos, prácticamente imprescindible si se desea recuperar el valor de la señal con cierta precisión. Para recuperar la señal con $SNR = -20dB$ y error menor al $6\,\%$ se realizó el filtrado con dos capacitores externos de valor $C_{ext} = 380pF$. Sin embargo,

si se desea realizar una versión completamente integrada es necesario limitar este valor, utilizando, por ejemplo, $C_{ext} = 3pF$. En ese caso, se observa que, para la misma $SNR = -20dB$, el error es cercano al $30\,\%$, mientras que si se limita el error al $6\,\%$, la mínima relación señal-ruido es $SNR = 0dB$.

Los LIAs integrados encontrados en la literatura no brindan datos sobre la capacidad de recuperación de la señal, por lo que no es posible compararse con ellos en esos términos. Sin embargo, cabe destacar la reducción de consumo y área de las implementaciones propuestas.

4.5. Conclusiones

Capítulo 5

Conclusiones

Se presentó el diseño a nivel esquemático, *layout* y la caracterización *post-layout* de dos prototipos integrados de amplificador *lock-in* con tecnología CMOS de $0.18\mu m$ y voltaje de alimentación de $1.8V$. Ambas propuestas con ganancia programable y reducción del ancho de banda mediante un par de capacitores externos.

Se realizó un comparativo del funcionamiento eléctrico de los dos amplificadores *lock-in* con otras implementaciones integradas encontradas en la literatura, pese a que ninguna brinda información sobre la capacidad de recuperación de la señal ante señales de ruido, se pudo observar una reducción en el consumo de potencia al menos en un orden de magnitud así como una reducción en el área de integración.

Las arquitecturas permitieron recuperar una señal de interés de ambientes ruidosos con un error relativo inferior al $6\,\%$ para señales sumergidas en ruido blanco con una relación señal a ruido $SNR = -20dB$. Aunque las dos propuestas que se desarrollaron presentan características muy similares en su funcionamiento y caracterización eléctrica, se destaca que el LIA-1 tiene una mayor linealidad que el LIA-2 debido a que la implementación de R_{deg} y R_f se realiza con el mismo material mientras que el LIA-2 gracias a la programabilidad desde la etapa transconductora tiene un mayor rango de entrada.

Se observó que al limitar el ruido desde una etapa intermedia permite reducir el

error en la medición a la salida, con lo que un filtro pasa banda intermedio permitiría hacer más selectivo al amplificador y mejorar su precisión.

5.1. Trabajo a Futuro

- Realizar las mediciones experimentales al circuito integrado para comprobar el funcionamiento del amplificador, y los resultados obtenidos mediante simulación *post-layout*.
- Proponer un circuito *mixer* en modo corriente y que permita reducir el área y consumo de potencia del LIA.
- Explorar alternativas que permitan mejorar la relación señal a ruido de los circuitos en una versión completamente integrable, incluyendo, por ejemplo, un filtro pasa banda activo en el LIA.
- Integrar el filtro pasa bajas (LPF) en el mismo chip para tener una solución completamente integrable.

Índice de figuras

1.1. Sensores Inteligentes 2
1.2. Sistema de Sensores Inteligentes (Microsistema) 3
1.3. Sistema de Sensores Inteligentes (Micromódulo) 3
1.4. Modelo de ruido térmico de resistor 6
1.5. Modelo de ruido térmico de transistor MOS 6
1.6. Ejemplo de Ruido Blanco 7
1.7. Densidad espectral de ruido *flicker* 8
1.8. Señal deseada acompañada de interferencias fuera de la banda 8
1.9. *Lock-in Amplifier* Comercial 11

2.1. Lock-in de una fase 16
2.2. Lock-in de fase dual 19
2.3. Diagrama a Bloques de un amplificador *lock-in* típico 21
2.4. Funcionamiento a bloques ideales de Amplificador *Lock-In*: (a) en fase, (b) con desfase de 90°, (c) con desfase de 180°, (d) con desfase de 270° 22
2.5. Amplificador de Instrumentación de *2-opamps* 24
2.6. Amplificador de Instrumentación de *3-opamps* 25
2.7. Amplificador de Instrumentación en modo corriente 27
2.8. Implementaciones previas de amplificadores *lock-in* 29
2.9. Esquemático de Propuesta de Amplificador *Lock-in* 31
2.10. Funcionamiento a bloques ideales de Amplificador *Lock-In* propuesto: (a) en fase, (b) con desfase de 90°, (c) con desfase de 180°, (d) con desfase de 270° 32

3.1. Símbolo del Transconductor 34
3.2. Par diferencial con degeneración de fuente 35
3.3. Técnica g_m-boosting en par diferencial con degeneración en fuente . . . 36
3.4. Transconductor tipo P degenerado con g_m-boosting 36
3.5. *Layout* de transconductor con g_m-boosting 37
3.6. Corriente de salida en función del voltaje de entrada del transconductor 38
3.7. Variación de BW con C_{ext} 39
3.8. Arreglo resistivo de degeneración con transistores 41
3.9. *Layout* de transconductor programable con g_m-boosting 42

3.10. Programabilidad de la corriente con respecto al voltaje de entrada y de los bits de control de la palabra digital 43
3.11. Función de transferencia en función de la palabra digital de control . . . 44
3.12. Variación de BW con C_{ext} 45
3.13. Red de escalera $R - 2R$ 45
3.14. Principio de división de corriente 46
3.15. Divisor de corriente 49
3.16. Inversor digital para divisor de corriente 50
3.17. *Layout* de divisor de corriente 50
3.18. Corriente de salida en función de la corriente de entrada y del bit de control 51
3.19. Símbolo de amplificador de transimpedancia 52
3.20. Amplificador de Transimpedancia 53
3.21. *Layout* de amplificador de transimpedancia 54
3.22. Función de transferencia en lazo abierto y lazo cerrado 54
3.23. *Mixer* 56
3.24. *Layout* del *Mixer* 57
3.25. Funcionamiento de mixer con señal de Referencia: (a) En fase, (b) Con desfase de 90° 58

4.1. Diagrama de Bloques de Amplificador LIA-1. 62
4.2. Layout de Amplificador *lock-in* 1. 63
4.3. Programabilidad de la Ganancia. 64
4.4. Variación de BW con C_{ext}. 64
4.5. Señal de Salida de TIA rectificada y salida DC de filtro LPF para caso $1(a)$ a $1MHz$. 66
4.6. Señal de Salida de TIA rectificada y salida DC de filtro LPF para caso $2(e)$ con $10kHz$. 67
4.7. Señal de Salida de TIA rectificada y salida DC de filtro LPF para caso $3(c)$ a $10kHz$. 69
4.8. Señal de Salida de TIA rectificada y salida DC de filtro LPF para caso $4(c)$ a $10kHz$. 70
4.9. Error en la medición de acuerdo a la amplitud de la señal de ruido y de los capacitores externos. 70
4.10. Error en la medición de acuerdo a la frecuencia de la señal de ruido y de los capacitores externos. 71
4.11. Diagrama de bloques de amplificador LIA-2. 71
4.12. *Layout* de segundo amplificador *lock-in* 2. 72
4.13. Programabilidad de la Ganancia. 73
4.14. Variación de BW con C_{ext}. 73
4.15. Señal de Salida de TIA rectificada y salida DC de filtro LPF para caso $1(a)$ a $1MHz$. 75

4.16. Señal de Salida de TIA rectificada y salida DC de filtro LPF para caso $2(f)$ con $10kHz$. 77
4.17. Señal de Salida de TIA rectificada y salida DC de filtro LPF para caso $3(c)$ con $10kHz$. 78
4.18. Señal de Salida de TIA rectificada y salida DC de filtro LPF para caso $4(c)$ con $10kHz$. 79
4.19. Error en la medición de acuerdo a la amplitud de la señal de ruido y de los capacitores externos. 80
4.20. Error en la medición de acuerdo a la frecuencia de la señal de ruido y de los capacitores externos. 80

Índice de tablas

3.1. Dimensiones de Transconductor 37
3.2. Caracterización Eléctrica 38
3.3. Valores de C_{ext} para ajuste de BW 39
3.4. Dimensiones de Transconductor Programable 41
3.5. Transconductancia equivalente para la ponderación de corriente 42
3.6. Caracterización Eléctrica 43
3.7. Caracterización Eléctrica 44
3.8. Programabilidad de la ganancia de divisor de corriente 52
3.9. Dimensionamiento de TIA 53
3.10. Caracterización Eléctrica 55
3.11. Dimensionamiento de *Mixer* 56

4.1. Ganancia equivalente de LIA-1 de acuerdo a la programabilidad del circuito 63
4.2. Caracterización Eléctrica de LIA1 65
4.3. Tabla de resultados de LIA-1 para primer caso 66
4.4. Tabla de resultados de LIA-1 para segundo caso 67
4.5. Tabla de resultados de LIA-1 para tercer caso 68
4.6. Tabla de resultados de LIA-1 para cuarto caso 69
4.7. Ganancia equivalente de LIA-2 de acuerdo a la programabilidad del circuito 72
4.8. Caracterización Eléctrica de LIA2 74
4.9. Tabla de resultados de LIA-2 para primer caso 75
4.10. Tabla de resultados de LIA-2 para segundo caso 76
4.11. Tabla de resultados de LIA-1 para tercer caso 77
4.12. Tabla de resultados de LIA-1 para cuarto caso 78
4.13. Comparación de LIAs 81

Bibliografía

[1] Gerard C. M. Meijer. "*Smart Sensor Systems*", John Wiley & Sons, 2008.

[2] Walt Kester. "*Practical Design Techniques for Sensor Signal Conditioning*", Analog Devices, Inc. 1999.

[3] C. Falconi, E. Martinelli, C. Di Natale, A. D'Amico, F. Maloberti, P. Malcovati, A. Baschirotto, V. Stornelli and G. Ferri. "*Electronic interfaces*", ScienceDirect, Sensors and Actuators B: Chemical, vol. 121, no. 1, pp 295-329, Elsevier, 2007.

[4] Richard C. Dorf. "*Sensors, Nanoscience, Biomedical Engineering, and Instruments*", The Electrical Engineering Handbook, Third Edition, CRC Prees, 2006.

[5] Ramón Pallás Areny. *"Sensores y Acondicionadores de Señal"*, Cuarta Edición. Marcombo, S.A. Boixareu Editores. Barcelona, 2003.

[6] http://www.inele.ufro.cl/apuntes/Instrumentacion_y_Control/Ivan_Velazquez/Catedra/Capitulo %203. %20Acondicionamiento %20de %20senales.pdf.

[7] *"Lock-in amplifiers"*, appl. notes, Stanford Res. Sys., data sheets, 1999.

[8] Behzad Razavi. "*Desing of Analog CMOS Integrated Circuits*", McGraw-Hill, 2001.

[9] D. Johns, K. W. Martin. "*Analog Integrated Circuit Design*", John Wiley & Sons, 1997.

[10] D. A. Skoog, F. J. Holler, S. R. Crouch. "*Principios de análisis instrumental*", Ed. CENGAGE Learning, Sexta Edición, 2008.

[11] Peter Stavroulakis. "*Interference Analysis of Communication Systems*", IEEE Press, 1980.

[12] A. D'Amico, A. De Marcellis, C. Di Carlo, C. Di Natale, G. Ferri, E. Martinelli, R. Paolesse and V. Stornelli. "*Low-voltage low-power integrated analog lock-in amplifier for gas sensor applications*", Sensors and Actuators, vol. 44, no. 2, pp. 400-406, 2008.

[13] A. E. Moe, S. R. Marx, I. Bhinderwala and D. M. Wilson. "*A Miniaturized Lock-in Amplifier Design Suitable for Impedance Measurements in Cells*", Proceedings of IEEE Sensors, vol. 1, pp. 215-218, 2004.

[14] A. De Marcellis, G. Ferri, M. Patrizi, V. Stornelli, A. D'Amico, C. Di Natale, E. Martinelli, A, Alimelli and R. Paolesse. "*An integrated analog lock-in amplifier for low-Voltage low-frequency sensor interface*", IEEE Workshop on Advances in Sensors and Interface, pp. 1-5, 2007.

[15] D. P. Blair and P. H. Sydenham. "*Phase sensitive detection as a means to recover signals buried in noise*", Journal of Physics E: Sci Instruments, vol. 8, no. 8, 1975.

[16] "*What is a Lock-in amplifier?*", appl. notes. PerkinElmer instruments, 2000. http://electron9.phys.utk.edu/optics507/modules/m10/tn1000.pdf.

[17] J. Xu, G. Meynants and P. Merken. "*Low-Power Lock-In Amplifier for Complex Impedance Measurement*", IEEE Workshop on Advances in sensors and Interfaces: IWASI, pp. 110-114, 2009.

[18] A. Gnudi, L Colalongo and G. Baccarani. "*Integrated Lock-In Amplifier for Sensor Aplications*", Proc. IEEE Solid-State Circuits Conf: ESSCIRC, pp. 58-61, 1999.

[19] Charles Kitchin and Lew Counts. "*A Designer's Guide to Instrumentation Amplifiers*", Third Edition. Analog Devices, Inc, 2006.

[20] J. T. Li, S. H. Pun, M. I. Vai *Senior Member, IEEE*, P. U. Mak, P. I. Mak and F. Wan. "*Design of Current Mode Instrumentation Amplifier for Portable Biosignal Acquisition System*", BioCAS'09, pp. 9-12, 2009.

[21] E. L. Douglas, D. F. Lovely and D. M. Luke. "*A Low-voltage Current-Mode Instrumentation Amplifier Designed in a* $0{,}18$*-Micron CMOS Technology*", IEEE, Conference on Electrical and Computer Engineering, vol. 3, pp. 1777-1780, 2004.

[22] F. C. Beber, C. A. Prior, C. Ramos, L. Perin and J. B. dos Santos. "*Current mode instrumentation amplifier with rail-to-rail input and output*", Analog Integrated Circuits and Signal Processing, vol. 57, no. 1-2, pp. 29-37, 2008.

[23] http://www.becker-hickl.de/pdf/Lim100.pdf.

[24] http://www.teachspin.com/brochures/Signal %20Processor.pdf.

[25] http://www.zhinst.com/products/hf2li.

[26] G. N. Lu, P.Pittet, G. Sou, G. Carrillo and A. El Mourabit. "*A Novel Approach to Implementing On-Chip Synchronous Detection for CMOS Optical Detector Systems*", Journal Analog Integrated Circuits and Signal Processing, vol. 37, no. 1, pp. 57-66, 2003.

[27] C. Azzolini, A. Magnanini, M. Tonelli, G. Chiorboli and C. Morandi. "*Integrated Lock-In Amplifier for Contactless Interface to Magnetically Stimulated Mechanical Resonators*", IEEE Conference on Design and Technology of Integrated Systems in Nanoscale Era, pp. 1-6, 2008.

[28] T. Kwan, K. Martin. "*An Adaptative Analog Continuos-Time CMOS Biquadratic Filter*", IEEE Journal of Solid-State Circuits, vol. 26, pp.859-867,1991.

[29] A. Chan Carusone and D. A. Johns. "*A 5th order Gm-C filter in* $0{,}25\mu m$ *CMOS with digitally programmable poles and zeros*", IEEE International Symposium on Circuits and Systems, vol. 4, pp. 635-638, 2002.

[30] W. Kester. "*Basic DAC Architectures II: Binary DACs*", Analog Devices Tutorials, MT-015, 2009. http://www.analog.com/static/imported-files/tutorials/MT-015.pdf.

[31] K. Bult and G. Geelen. "*An inherently linear and compact MOST-only current division technique*", IEEE J. Solid-State Circuits, vol. 27, n. 12, pp. 1730-1735, 1992.

[32] Flandre D, Jespers P. "*Charge -sheet modelling of MOS I-V fundamental nonlinearities in MOSFET-C continuos-time filters*", Electron Lett 1995; 31 (17):1419-20.

[33] J.P. Alegre, S. Celma, M.T. Sanz, B. Calvo. "*Comparative Study of MOST Resistive Configurations*", Proceedings of the 17th European Conference on Circuit Theory and Design (ECCTD'05), 2005.

[34] J. Alegre, M.T. Sanz, S. Celma, B. Calvo. "*Using MOS Current Dividers for Linearization of Programmable Gain Amplifiers*", International Journal of Circuit Theory and Applications, vol. 36, no. 4, pp. 397-408, 2008.

[35] Tsividis Y. "*Operation and modeling of the MOS transistor*", Second ed. New York: McGrawHill; 1999.

[36] M. T. Sanz, S. Celma, B. Calvo. "*Low-distortion* $4th$ *order programmable Butterworth filter*", ScienceDirect, Microelectronics Reliability, vol. 47, no. 2-3, pp. 471-476, Elsevier, 2007.

[37] M. Pastre, M. Kayal. "*Methodology for the Digital Calibration of Analog Circuits and Systems with Case Studies*", Springer, 2006.

[38] G. Zatorre, N. Medrano, M. T. Sanz, C. Aldea, B. Calvo, S. Celma. "*Digitally Programmable Analogue Circuits for Sensor Conditioning Systems*", Neural Networks and Sensors, Sensors-Basel, vol. 9, no. 5, pp. 3652-3665, 2009.

[39] P. M. Maya-Hernández, M. T. Sanz-Pascual, B. Calvo. "*A* $1{,}8V - 0{,}18\mu m$ *CMOS Lock-In Amplifier for Portable Applications*", ISCAS, 2012.

[40] P. M. Maya-Hernández, M. T. Sanz-Pascual, B. Calvo. "*A CMOS Low-Power Lock-In Amplifier*", I2MTC, 2012.

[41] J. Aguirre, N. Medrano, B. Calvo, S. Celma, C. Azcona. "*An Analog Lock-in Amplifier for Embedded Sensor Electronic Interfaces*", $20th$ European Conference on Circuit Theory and Design (ECCTD), 2011.