



INAOE

Modelado y Caracterización de MOSFETs Nanométricos Utilizando Técnicas de Circuito Equivalente

por

Germán Andrés Álvarez Botero

Tesis sometida como requisito parcial para
obtener el grado de

**MAESTRO EN CIENCIAS EN LA
ESPECIALIDAD DE ELECTRÓNICA**

en el

**Instituto Nacional de Astrofísica, Óptica y
Electrónica**

Julio 2009

Tonantzintla, Puebla

Supervisada por:

Dr. Roberto Murphy Arteaga, INAOE

Dr. Reydezel Torres Torres, INAOE

©INAOE 2009

El autor otorga al INAOE el permiso de
reproducir y distribuir copias en su totalidad o en
partes de esta tesis



Esta tesis corresponde a los estudios realizados con una beca otorgada por la
Secretaría de Relaciones Exteriores del Gobierno de México

Resumen

Debido al creciente interés de usar dispositivos fabricados en tecnologías CMOS para aplicaciones de microondas, el desarrollo de modelos confiables que representen el desempeño del MOSFET en altas frecuencias es cada día más indispensable para los diseñadores de circuitos integrados. Para contribuir en este campo de investigación, en este trabajo se presenta la metodología de extracción y caracterización que permita la determinación, a partir de mediciones de parámetros S, de las variables más importantes de modelos del transistor MOS para el rango de RF. Se consideran parámetros físicos, como el voltaje de umbral (V_t), el factor de ganancia (β_0) y el factor de degradación de la movilidad (θ). Los resultados obtenidos de la extracción conforman un modelo híbrido el cual presenta una excelente correlación, en el rango de 100 MHz a 40 GHz, entre la simulación y los datos obtenidos experimentalmente.

Adicionalmente, se presenta un análisis de la influencia del sustrato en las características de salida del MOSFET, mostrando que las componentes parásitas del transistor pueden influir considerablemente en el desempeño del dispositivo cuando este es operado en altas frecuencias. La cuantificación del impacto del sustrato se llevó a cabo para diferentes transistores, con diferentes longitudes de canal (80 nm, 0,25 μm , 0,5 μm , 1 μm) mostrando la dependencia de este efecto con la geometría.

Abstract

Due to the increasing use of devices manufactured in CMOS technology for microwave applications, the development of reliable models that represent the performance of the MOSFET at high frequencies is increasingly indispensable for modern integrated circuits designers. To contribute in this field of research, this work presents a methodology for extracting and characterization that makes possible, from measurements of S parameters, to obtain the more important variables of MOS transistor models for the RF range. It considers physical parameters, as the threshold voltage (V_t), the gain factor (β_0) and the factor mobility degradation (θ). The results obtained from the extraction form a hybrid model which presents an excellent correlation, in the range of 100 MHz to 40 GHz, between the simulation and the data obtained experimentally.

Additionally, an analysis of the influence of substrate on the MOSFET's output characteristics is presented, showing that the parasitic components of the transistor have an important influence on the performance of the device when it is operated at high frequencies. The quantisation of the impact because of the substrate was carried out for different transistors with different channel lengths (80 nm, 0,25 μm , 0,5 μm , 1 μm) showing the dependence of this effect with the geometry.

Agradecimientos

Aprovecho estas líneas para expresar mi profunda gratitud a todas aquellas personas que han contribuido de forma directa o indirecta a la culminación de este trabajo,

- A mi familia, por su apoyo incondicional y su voz de aliento en los momentos difíciles lejos de casa.
- Al Dr. Reydezel Torres, por confiar en mi para el desarrollo de este trabajo, por su permanente motivación, su inmensa colaboración y sus valiosas enseñanzas no sólo en el transcurso de la elaboración de este trabajo sino en mi formación integral.
- Al Dr. Roberto Murphy, por la confianza, el apoyo y los valiosos aportes al desarrollo de este trabajo.
- A mis amigos, especialmente a Maria del Rosario, Svetlana y Alfredo.
- Al personal humano del INAOE por su colaboración permanente.
- A los miembros del jurado de mi examen, Dr. Pedro Rosales, Dr. Joel Molina y Dr. Emmanuel Torres, por sus interesantes comentarios que me sirvieron para mejorar la versión final de esta tesis.
- A la Secretaria de Relaciones exteriores, por la beca otorgada que para la realización de mis estudios.
- Al IMEC, por los dispositivos que me fueron facilitados para el desarrollo de este trabajo.

Índice general

Resumen	II
Abstract	III
Agradecimientos	IV
1. Introducción	1
1.1. Importancia de considerar las pérdidas por sustrato	2
1.2. Diferentes arquitecturas del MOSFET para aplicaciones de altas frecuencias	3
1.2.1. Tecnología <i>Bulk</i>	5
1.2.2. Tecnología SOI	8
1.3. Modelado del MOSFET orientado al diseño analógico	9
1.4. Objetivos del proyecto	11
1.5. Organización y estructura de la tesis	11
2. Caracterización y Modelado Transistores MOS	13
2.1. Técnicas de caracterización para el modelado de MOSFETs	13
2.1.1. Mediciones de DC	13
2.1.2. Mediciones de AC	14
2.2. Efectos de canal corto en MOSFETs	15
2.2.1. Variación del voltaje de umbral con la geometría	16
2.2.2. Ionización por impacto	18
2.2.3. Electrones calientes	19
2.3. Tipos de modelos para representar el MOSFET	19
2.3.1. Modelos físicos estructurales	19
2.3.2. Modelos tabulares	20
2.3.3. Modelos compactos	20
2.3.4. Modelos de circuito equivalente	21
2.4. Consideraciones dinámicas en el modelado	22
2.5. Modelo de circuito equivalente a pequeña señal	24
2.5.1. Elementos intrínsecos	25
2.5.2. Elementos extrínsecos	26

2.6. Conclusiones	28
3. Metodología de Extracción	29
3.1. Configuración fuente/substrato común	29
3.2. Descripción de los dispositivos y las condiciones experimentales	30
3.2.1. Efecto parásito de la estructura de pruebas	32
3.3. Determinación de los elementos del circuito equivalente	33
3.3.1. Impedancia total de salida del MOSFET	34
3.3.2. Elementos asociados a la impedancia Z_{sub}	36
3.3.3. Elementos asociados a la impedancia Z_{canal}	37
3.4. Modelado de la resistencia del canal	39
3.5. Obtención del voltaje de umbral a partir de mediciones de DC	42
3.6. Validación del modelo de circuito equivalente obtenido	44
3.7. Conclusiones	45
4. Influencia del substrato en la impedancia de salida	47
4.1. Aproximación de dos ramas	47
4.2. Dependencia de las pérdidas por substrato con el voltaje de polarización	49
4.3. Dependencia de las pérdidas por substrato con la longitud del canal . . .	50
4.4. Conclusiones	51
5. Conclusiones y trabajo futuro	52
5.1. Extracción de parámetros y modelo del MOSFET	52
5.2. Influencia del substrato en las características de salida del MOSFET . .	53
5.3. Proyecciones	53

Índice de figuras

1.1.	Sección transversal simplificada de un MOSFET mostrando las posibles vías para que fluya corriente entre drenaje y fuente.	3
1.2.	nMOSFET. (a) Sección transversal de una estructura típica. (b) Símbolo circuital.	3
1.3.	Sección transversal de: (a) VD-MOSFET y (b) LDMOSFET.	4
1.4.	Sección transversal del MOSFET LDD.	5
1.5.	MOSFET fabricado en tecnología <i>bulk</i>	6
1.6.	Ilustración comparativa entre la estructura <i>bulk</i> -MOSFET (a) convencional y (b) E_S/D	7
1.7.	Sección transversal ilustrando el acoplamiento eléctrico a través del sustrato en la tecnología <i>Bulk</i> CMOS.	7
1.8.	Sección transversal de la estructura empleada para prevenir el efecto de <i>Latch-up</i>	7
1.9.	MOSFET fabricado en tecnología SOI.	8
2.1.	Ejemplos de extracción utilizando mediciones de DC. (a) Método de extrapolación en la región lineal (b) Método de extrapolación por transconductancia.	14
2.2.	Ejemplos de extracciones utilizando mediciones de AC: (a) con polarización fija. (b) aplicando pulsos.	15
2.3.	Sección transversal de un MOSFET de canal largo ilustrando la aproximación que permite despreciar los efectos que influyen el voltaje de umbral.	16
2.4.	Sección transversal de un MOSFET de canal corto ilustrando como afectan las regiones de agotamiento de drenaje y fuente en el canal. . . .	17
2.5.	Efectos de canal corto en el voltaje de umbral para un nMOSFET. . . .	17
2.6.	Comparación para ilustrar la corriente de drenaje normalizada en función del voltaje de compuerta para un MOSFET de canal corto y largo. .	18
2.7.	Ejemplo de una simulación de un modelo estructural usando TCAD. . .	20
2.8.	Ejemplo de un modelo híbrido.	22
2.9.	Representación gráfica de la región intrínseca de un MOSFET.	23
2.10.	Sección transversal del MOSFET y circuito equivalente de pequeña señal. .	25
2.11.	Capacitancias de la estructura MOSFET.	26

2.12. Sección transversal de un MOSFET señalando las componentes de las resistencias R_s y R_d	27
2.13. Ilustración de las componentes de R_g en un MOSFET.	27
2.14. División de un MOSFET como varios transistores en paralelo.	28
3.1. Configuración del MOSFET como una red de dos puertos.	30
3.2. Esquema del montaje experimental utilizado para la realización de las mediciones.	31
3.3. Estructuras de calibración SOLT	31
3.4. Disposición de los contactos y puntas de prueba para las mediciones de RF.	32
3.5. Comparación entre las estructuras de prueba (a) convencionales (b) blindadas.	32
3.6. Modelo asociado a los efectos parásitos en la estructura de pruebas blindada.	33
3.7. Sección transversal del MOSFET mostrando el circuito equivalente simplificado para $V_{ds} = 0$ y $V_{gs} > V_t$. Configurado en fuente/substrato común.	34
3.8. Circuito equivalente ilustrando los voltajes y las corrientes asociadas a los puertos de entrada y salida.	35
3.9. Circuito equivalente asociado con el parámetro Z_{22}	35
3.10. Circuito equivalente para el MOSFET polarizado a $V_{ds} = V_{gs} = 0$	36
3.11. Regresión lineal utilizada para determinar R_{bkd} y C_{jd}	37
3.12. Circuito equivalente para el MOSFET polarizado a $V_{ds} = 0$ y $V_{gs} > V_t$ después de remover los efectos del substrato.	38
3.13. Regresión lineal usada para determinar R_{ch} y C_x con $V_{gs} = 0,6$ V	38
3.14. Regresión lineal usada para determinar V_t	40
3.15. Valor de V_t extraído para el MOSFET con longitud de canal de 80 nm.	41
3.16. Regresión lineal usada para determinar θ y β_0	42
3.17. Log I_{ds} en función de V_{gs} para diferentes longitudes de compuerta.	43
3.18. Extracción de V_t mediante el método de máxima transconductancia para el transistor con $L_m = 80$ nm.	43
3.19. Comparación del voltaje de umbral obtenido mediante el método propuesto y el tradicional.	44
3.20. Comparación entre la simulación y los datos experimentales.	45
4.1. Circuito equivalente asociado con el parámetro Z_{22} ilustrando las corrientes que fluyen por cada rama.	47
4.2. Magnitud de las admitancias Y_{canal} y Y_{sub} en función de la frecuencia para el transistor con longitud de canal de 80 nm.	48
4.3. Variación de la admitancia Y_{canal} en función de la frecuencia de operación y el voltaje de polarización V_{gs}	49

4.4. Contribución de la admitancia del substrato en la admitancia total de salida del MOSFET para diferentes valores de V_{gs}	50
4.5. Contribución de la admitancia del substrato en la admitancia total del MOSFET para transistores de diferente longitud.	51

Capítulo 1

Introducción

La creciente demanda de sistemas electrónicos que procesen grandes cantidades de información de forma rápida y confiable ha originado una fuerte demanda de transistores que operen en altas frecuencias. En el pasado, el MOSFET (transistor de efecto de campo metal-óxido-semiconductor, por sus siglas en inglés) había sido considerado como un dispositivo lento que no satisfacía las necesidades crecientes de estos sistemas. Algunas de las razones que conducían a esta afirmación eran:

- i) La movilidad de los electrones en el Si es por naturaleza menor que en el GaAs y otros compuestos III-V.
- ii) La inversión en el canal de un MOSFET se produce muy cerca de la interfase Si/SiO₂, y por lo tanto se ve afectada por los efectos de la rugosidad, las imperfecciones del cristal y trampas en la interfase, lo cual produce que las características de la corriente a través del canal se degraden.
- iii) Con las tecnologías de fabricación disponibles, las dimensiones del canal eran grandes para operar en el rango de los gigahertz, dado que la frecuencia de operación está relacionada con el tiempo de tránsito de los electrones en la región del canal.

Con el avance hacia las tecnologías submicrométricas, estos problemas fueron superados convirtiendo al MOSFET en el dispositivo base para el desarrollo de gran parte de los circuitos integrados fabricados en la actualidad. Esto ha extendido su aplicación a campos que tradicionalmente habían sido dominados por las tecnologías bipolar y de materiales con alta movilidad de electrones (III-V), haciendo posible fabricar en procesos CMOS convencionales, circuitos de RF (radio frecuencia) operando en el rango de los gigahertz [1].

Teniendo en cuenta su bajo costo y la mejora de las prestaciones debida al escalamiento, la tecnología de silicio basada en el MOSFET ha dominado durante los últimos años el sector de las altas frecuencias, permitiendo así la rápida evolución de los

sistemas de comunicaciones basados en aplicaciones inalámbricas. Ejemplos de estas aplicaciones de alta frecuencia son: las redes de área local con distribución multi-punto (LDMS ~ 27.5 - 29.5 GHz), sistemas de conexión Bluetooth (~ 2.4 GHz), redes celulares (~ 0.8 - 2.6 GHz), sistemas de posicionamiento global (GPS ~ 1.8 GHz), sistemas de distribución de video por microondas (MVDS ~ 23 y 38 GHz), sistemas de anti-colisión para automóviles (~ 77 GHz), sistemas de radar (~ 94 GHz), radioastronomía, procesadores (p.e. Pentium 4 ~ 3 GHz) entre otros [2, 3].

Uno de los grandes problemas de la tecnología de silicio para aplicaciones de microondas son las considerables pérdidas a través del sustrato en el rango de RF, en comparación con dispositivos equivalentes integrados en tecnologías (III-V). Esto ha creado la necesidad de desarrollar modelos avanzados que describan de forma satisfactoria el comportamiento del transistor MOS para aplicaciones que requieren su operación en altas frecuencias.

1.1. Importancia de considerar las pérdidas por sustrato

El modelo básico para representar un MOSFET considera que la corriente que fluye entre las terminales de drenaje y fuente es controlada mediante el ajuste del voltaje aplicado en la terminal de compuerta. Sin embargo, en el desarrollo de modelos para MOSFETs operando en altas frecuencias es necesario considerar algunos efectos que influyen negativamente en el desempeño del dispositivo, como es la conducción a través del sustrato.

En los últimos años, se han desarrollado algunos métodos de caracterización, basados en mediciones de parámetros de dispersión (parámetros S) [4], con el objetivo de determinar de forma adecuada los elementos constituyentes del modelo para altas frecuencias del MOSFET. Muchos de estos métodos toman en cuenta este efecto parásito del sustrato, que es inherente a la tecnología RF-CMOS [5–7]. En este caso, es posible considerar entonces que el MOSFET presenta dos posibles vías a través de las cuales puede fluir una corriente desde la terminal de fuente a la de drenaje: i) el canal y ii) el sustrato. Esto se ilustra en la Figura 1.1.

Para muchos diseñadores de circuitos analógicos, un parámetro muy importante es la impedancia de salida (Z_{out}), la cual determina la ganancia del dispositivo debido a la división de potencia hacia la carga de salida [8]. Por lo tanto, evaluar el impacto de las pérdidas a través del sustrato en la impedancia de salida es un aspecto muy importante a considerar en el modelado del MOSFET, ya que algunos efectos que contribuyen a variar su magnitud son más significativos al reducir el tamaño de los dispositivos y aumentar su frecuencia de operación, degradando así sus características corriente-voltaje en general.

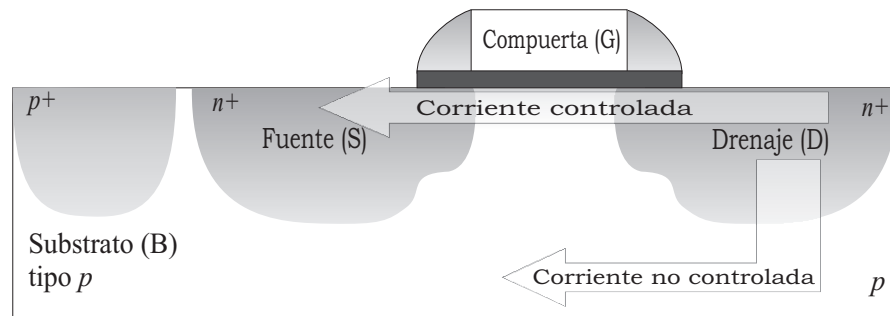


Figura 1.1: Sección transversal simplificada de un MOSFET mostrando las posibles vías para que fluya corriente entre drenaje y fuente.

1.2. Diferentes arquitecturas del MOSFET para aplicaciones de altas frecuencias

La estructura básica del MOSFET de canal n (nMOSFET) se presenta en la Figura 1.2 (a). Se construye en un sustrato semiconductor tipo p , en el cual se realizan implantaciones altamente dopadas tipo $n+$ para construir el drenaje y la fuente, mientras que la compuerta es típicamente fabricada de polisilicio altamente dopado. En la Figura 1.2 (b) se muestra el símbolo circuital empleado para representar el nMOSFET.

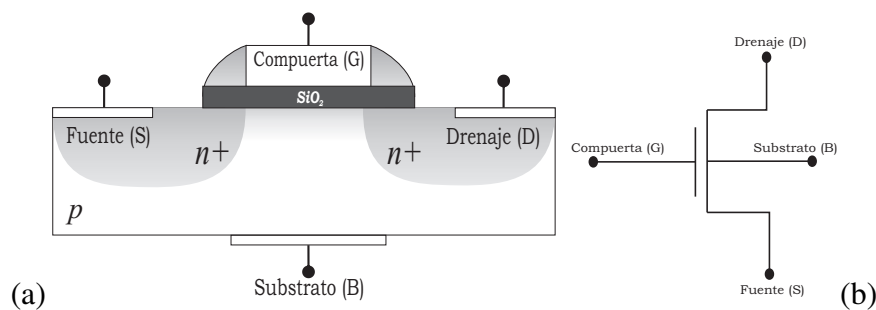


Figura 1.2: nMOSFET. (a) Sección transversal de una estructura típica. (b) Símbolo circuital.

Esta estructura básica posee un valor de voltaje de ruptura relativamente bajo, y por lo tanto puede ser sólo empleada en aplicaciones de baja potencia. Para aplicaciones de alta potencia en el rango de RF, como es el caso requerido en las estaciones base para sistemas de comunicaciones móviles, los MOSFETs se modifican en su estructura integrándose en dos arquitecturas básicas, lateral y vertical. El MOSFET vertical se denomina VDMOSFET (MOSFET de difusión vertical, por sus siglas en inglés) [9], mientras que el lateral se conoce como LDMOSFET (MOSFET de difusión lateral) [2]. En las Figuras 1.3 (a) y (b) se representan las secciones transversales de los transistores

VDMOSFET y LDMOSFET, respectivamente.

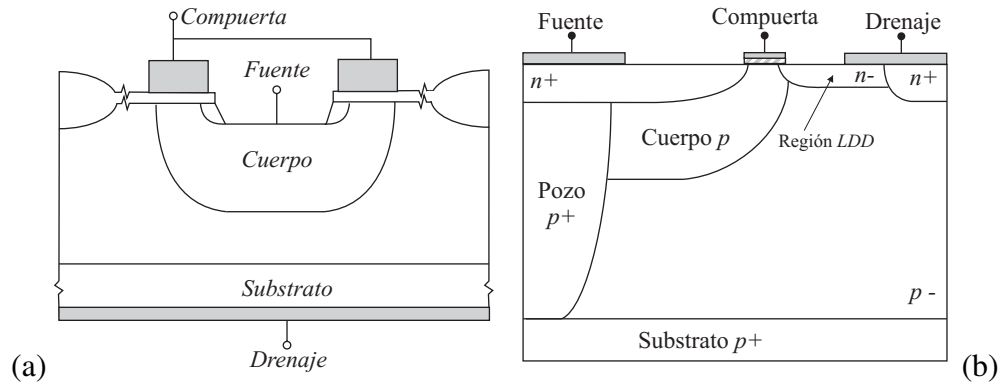


Figura 1.3: Sección transversal de: (a) VD-MOSFET y (b) LDMOSFET.

Los VDMOSFETs se basan en la conducción vertical, aprovechando todo el volumen de silicio con objeto de optimizar la caída de tensión en conducción y conseguir niveles de corriente nominal elevados. Los dispositivos verticales pueden soportar mayores tensiones que los laterales gracias al uso de sustratos muy poco dopados. La alta tensión se suele aplicar en la cara posterior unida directamente sobre sustratos PCB (tarjeta de circuito impreso, por sus siglas en inglés), evitando los hilos de soldadura que aumentan los valores de las inductancias parásitas que limitan su uso a frecuencias medias-bajas. En general, los transistores VDMOSFET se destinan a aplicaciones de mayor potencia que los LDMOSFET debido a que su mayor volumen les proporciona mayor capacidad para conducir corrientes elevadas. Sin embargo, este aumento de volumen degrada dos parámetros básicos en dispositivos de RF: la impedancia total de salida en conducción y las capacitancias intrínsecas. De este modo, la frecuencia máxima de funcionamiento de los VDMOSFET se ve reducida con respecto a los LDMOSFET [9].

Los LDMOSFETs tienen todos los contactos en una sola cara de la oblea de silicio y la conducción es paralela a la superficie, facilitando su integración monolítica con circuitos analógicos y digitales. Mediante la introducción de regiones LDD n^- (drenaje ligeramente dopado, por sus siglas en inglés) entre el canal y la implantación n^+ de drenaje, como se muestra en la Figura 1.3 (b), se disminuye la degradación de los transistores debida al efecto de portadores calientes. Así mismo, para aplicaciones de bajo voltaje es común emplear dispositivos con doble difusión lateral como se muestra en la Figura 1.4.

Al introducir las difusiones laterales se reduce el campo eléctrico máximo en las regiones de las implantaciones de drenaje y fuente cercanas al canal y se suprime el efecto de DIBL (reducción de la barrera de potencial inducida a través del drenaje,

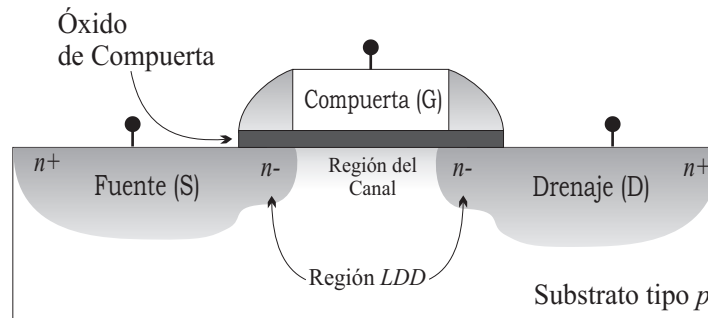


Figura 1.4: Sección transversal del MOSFET LDD.

por sus siglas en inglés) debido a la caída de voltaje a través de la región LDD [10]. Sin embargo, efectos de segundo orden ocurren en esta estructura, ya que el voltaje de polarización controla la densidad de portadores superficiales en la región n - bajo la compuerta. Adicionalmente, la densidad de portadores debajo del canal es modulada por la zona de agotamiento en la región n -, que a su vez es determinada por concentración de dopado y la polarización de la compuerta [11, 12]. Debe entonces considerarse para el modelado de un transistor LDD, que la resistencia originada por las regiones de fuente (R_S) y drenaje (R_D) es función del voltaje de polarización [13]. Por lo tanto, la resistencia del canal (R_{ch}) así como R_S y R_D , componentes principales de la resistencia total de salida del MOSFET, son dependientes del voltaje de compuerta.

Con la finalidad de correlacionar los parámetros tecnológicos y las características del MOSFET, es preciso distinguir entre las dos principales tecnologías de fabricación: i) tecnología sobre sustrato de silicio (*bulk*) y ii) tecnología sobre sustrato aislante (SOI), las cuales son brevemente explicadas a continuación.

1.2.1. Tecnología *Bulk*

Los MOSFETs fabricados sobre sustrato de silicio son considerados como los dispositivos más promisorios para la implementación a bajo costo de circuitos integrados confiables con aplicaciones de alta frecuencia. De hecho, la tecnología *bulk* es la más utilizada y hasta hace algún tiempo la única disponible a nivel comercial para diseñar circuitos integrados CMOS. La estructura de un nMOSFET fabricado en esta tecnología es presentada en la Figura 1.5.

La región dopada tipo p es usualmente referida como sustrato o *bulk* y sirve como soporte físico para el dispositivo (y para todo el circuito en el caso de un circuito integrado). Ésta es conectada a través de una implantación tipo $p+$ para proveer un contacto óhmico a sustrato. Una delgada capa de SiO_2 , que es un excelente aislante eléctrico, es crecida en la superficie del sustrato, cubriendo el área entre las regiones de la fuente y el drenaje. En la parte superior del óxido se deposita polisilicio para formar la com-

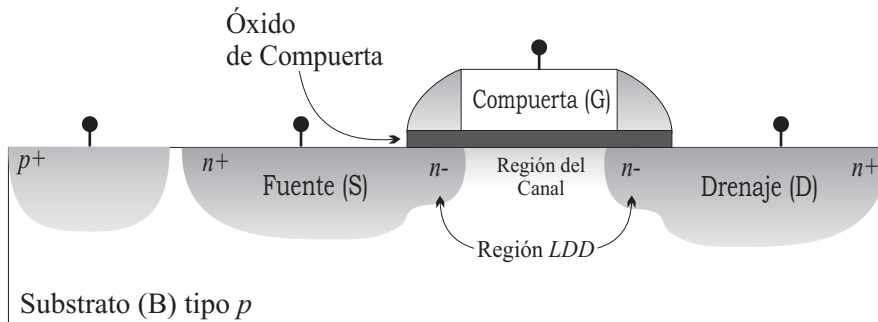


Figura 1.5: MOSFET fabricado en tecnología *bulk*.

puerta del dispositivo. La región bajo la compuerta entre fuente y drenaje es la región del canal. Dos regiones tipo n implantadas en el sustrato y fuertemente dopadas ($n+$) forman las regiones de fuente y drenaje, como se indica en la Figura 1.5.

La estructura *bulk* ha sido durante muchos años la base de la industria de los circuitos integrados; sin embargo, debido a su rápido y continuo escalamiento, ha sido necesario involucrar nuevas estructuras con la finalidad de mejorar el desempeño del MOSFET. Un ejemplo de esto es la introducción de la estructura de fuente y drenaje elevados ($^E S/D$) que evita que parte de la implantación de drenaje y fuente sean consumidas por el silisuro en el proceso de metalización de los contactos, disminuyendo el riesgo de fugas debido a la proximidad del contacto al sustrato [14, 15]. En la Figura 1.6 se ilustra la diferencia entre la estructura $^E S/D$ con la estructura tradicional *bulk*-MOSFET.

Un problema que se presenta en las tecnologías *bulk* actuales es que el sustrato es común tanto a MOSFETs de canal n como p , lo que origina la formación de dos transistores bipolares parásitos (nnp y pnp) que conectan a los MOSFETs a través del sustrato. Cuando éstos se activan, se genera una retroalimentación positiva, la cual puede generar una corriente excesiva a través del sustrato y destruir el circuito, este efecto, conocido como *Latch-up*, se ilustra en la Figura 1.7.

Para reducir este efecto, es deseable mantener baja la resistividad del sustrato, de tal forma que no existan caídas de voltaje significativas ocasionadas por las corrientes parásitas. Para tal efecto se requiere de un sustrato altamente dopado, lo que a su vez puede originar efectos indeseables en la operación del MOSFET. Este conflicto se resuelve introduciendo una capa ligeramente dopada denominada región epitaxial (*epi*) sobre la capa altamente dopada del sustrato [16], como se ilustra en la Figura 1.8.

Desafortunadamente, la tecnología *bulk* presenta una serie de inconvenientes, como el acoplamiento eléctrico a través del sustrato, que se hace más importante a medida que las frecuencias de operación se incrementan [17]. Por este motivo, en ciertas aplica-

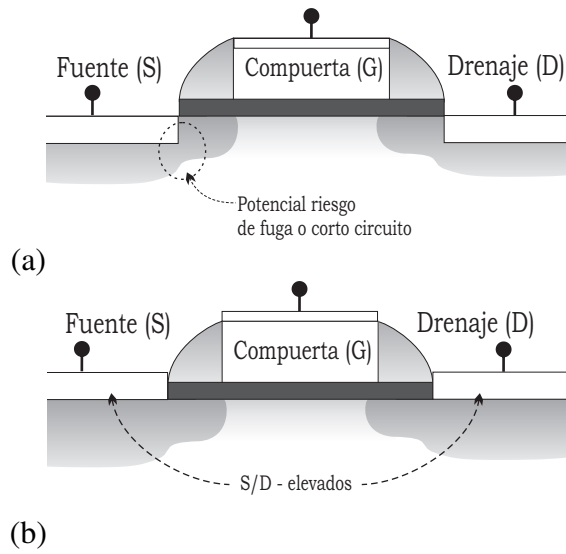


Figura 1.6: Ilustración comparativa entre la estructura *bulk*-MOSFET (a) convencional y (b) $E S/D$.

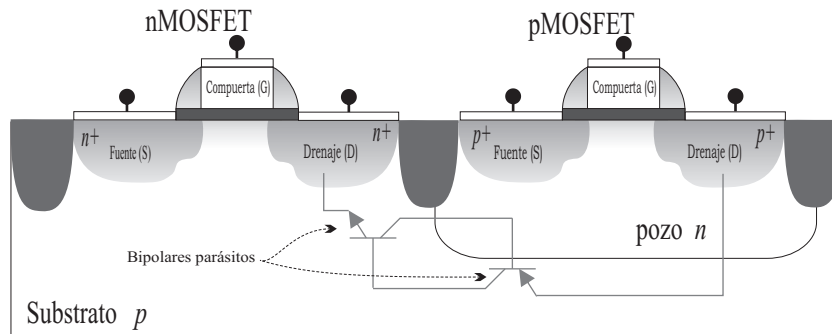


Figura 1.7: Sección transversal ilustrando el acoplamiento eléctrico a través del sustrato en la tecnología *Bulk* CMOS.

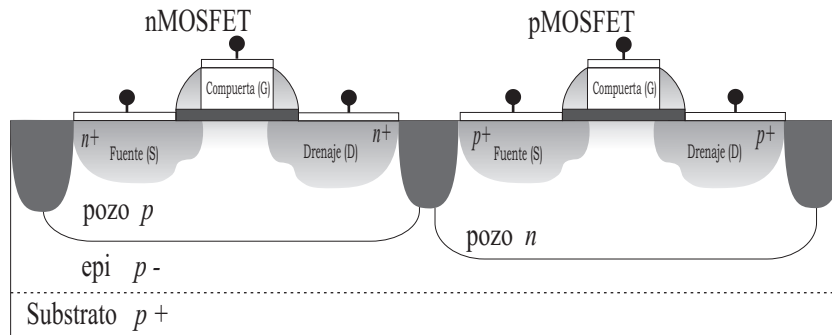


Figura 1.8: Sección transversal de la estructura empleada para prevenir el efecto de *Latch-up*.

ciones de alta frecuencia se emplean sustratos con una capa que aísla al silicio activo del silicio que sirve como soporte mecánico. Este concepto se discute a continuación.

1.2.2. Tecnología SOI

La arquitectura básica de un dispositivo fabricado en tecnología SOI (silicio sobre aislante, por sus siglas en inglés) se muestra en la Figura 1.9. La capa activa de silicio se sitúa sobre óxido, comúnmente SiO_2 , que la aísla del sustrato tipo p que tiene un carácter únicamente estructural. El objetivo de implementar una capa aislante entre la capa activa de silicio y el sustrato es la reducción de los tiempos de conmutación y por lo tanto, aumento de la frecuencia de operación. Por otro lado, el aislamiento inherente al sustrato permite integrar circuitos analógicos y digitales en un mismo chip sin que estos se vean afectados por corrientes de fuga hacia el mismo, tal como ocurre en la tecnología *bulk*. Otro aspecto importante es que los dispositivos SOI no son afectados por el efecto de cuerpo, dado que el sustrato no está unido a tierra ni a V_{DD} . Así pues, debido a su potencial como una tecnología para altas frecuencias de operación, los dispositivos SOI han sido estudiados arduamente en los últimos años [18, 19].

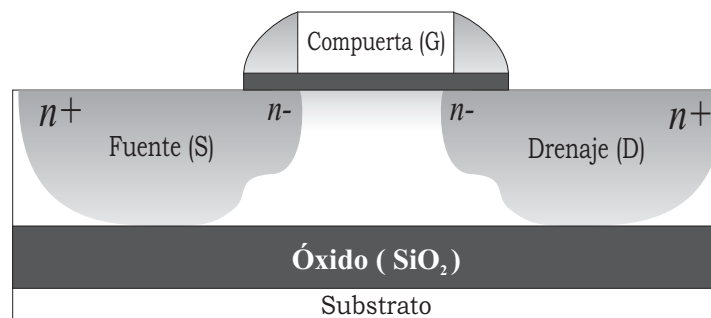


Figura 1.9: MOSFET fabricado en tecnología SOI.

Sin embargo, la tecnología SOI afronta limitantes adicionales a su alto costo de producción en masa, como el efecto de cuerpo flotante, que es asociado con el alto campo eléctrico cercano a las uniones del drenaje y la fuente con el canal. Este efecto produce altas corrientes de fuga que afectan severamente el voltaje de umbral [20]. Adicionalmente, un SOI MOSFET tiene dos dispositivos parásitos inherentes, un MISFET (transistor de efecto de campo metal-aislante-semiconductor, por sus siglas en inglés) formado entre el contacto del sustrato, el óxido y el sustrato mecánico [21], y un FET, formado debido al traslape de la compuerta con la región activa fuera del canal [22]. Ambos efectos parásitos pueden causar corrientes de fuga significativas degradando las características de desempeño del SOI MOSFET.

En consecuencia, a pesar de las buenas características de la tecnología SOI CMOS para fabricar RF MOSFETs, aún quedan muchos inconvenientes a superar. Ésta es una de las razones por las cuales se espera que la tecnología *Bulk* CMOS continuará dominando la producción de MOSFETs para aplicaciones de RF mientras la tecnología SOI evoluciona y reduce sus altos costos de implementación.

1.3. Modelado del MOSFET orientado al diseño analógico

Las tendencias tecnológicas presentan un conjunto de escenarios en los cuales el modelado de MOSFETs avanzados para aplicaciones de diseño analógico juegan un papel primordial. Entre éstas, las más importantes a resaltar son:

1. La tendencia hacia la integración de sistemas analógicos y digitales en un solo chip, no sólo como interfase directa con el mundo físico, sino como ayuda a incrementar las prestaciones de los sistemas digitales.
2. La tendencia hacia la operación en bajo voltaje, tanto por razones de compatibilidad con las tecnologías digitales como por satisfacer los requerimientos de los equipos alimentados con batería.
3. Las tendencias hacia las altas frecuencias de operación, que continúan en incremento a medida que se disminuyen las dimensiones del MOSFET.

Una de las consecuencias de esta evolución es que en la actualidad, la simulación por computadora es una parte fundamental en el diseño de circuitos integrados. Esto se debe principalmente a que en general, el satisfactorio desempeño de los sistemas depende fuertemente del software de diseño (CAD) empleado para el análisis y simulación de los componentes, incluyendo modelos de circuito equivalente lineales (pequeña señal) y no lineales de los transistores. Sin embargo, muchos diseñadores de circuitos analógicos de RF emplean modelos inadecuados para representar el MOSFET, esto debido a la dificultad para obtener modelos escalables y fáciles de usar en herramientas de simulación estándar. Por otra parte, los modelos para aplicaciones de RF pueden involucrar formulaciones complejas, haciendo difícil su implementación [23–26]. Así pues, el desarrollo de modelos confiables y eficientes a nivel computacional para aplicaciones de bajo voltaje y altas frecuencias son un gran desafío en el diseño de circuitos integrados analógicos.

En este orden de ideas, cuando el comportamiento eléctrico del MOSFET es modelado en altas frecuencias, se deben cumplir algunos requerimientos con la finalidad de obtener simulaciones confiables. Dentro de las más importantes características que debe tener un buen modelo de RF están:

- Garantizar la *precisión del modelo en el rango de los gigahertz*.
- La *escalabilidad*, debido a que en el diseño de circuitos integrados de RF se emplean diferentes dimensiones de máscara, siendo importante correlacionar adecuadamente las características del dispositivo con su geometría.
- Considerar las *dependencias con la polarización* es otro aspecto importante debido a que muchos fenómenos físicos que tienen lugar en el MOSFET dependen fuertemente de la polarización del dispositivo.
- Considerar las *perdidas a través del sustrato* es indispensable debido a su importante impacto, principalmente en las tecnologías actuales.

Para contribuir en el desarrollo de modelos confiables en altas frecuencias, diferentes técnicas de caracterización y alternativas en el modelado han sido propuestas en la literatura, siendo los modelos compactos y los de circuito equivalente las alternativas más utilizadas con el fin de representar los elementos parásitos e intrínsecos que describen de forma adecuada el comportamiento del MOSFET. Estos modelos de circuito equivalente son ampliamente utilizados en la caracterización de transistores, dado que en gran medida permiten relacionar el comportamiento físico del dispositivo con los elementos eléctricos que conforman el modelo [4]. Dentro de los modelos compactos más populares se encuentran:

- El modelo *BSIM*, desarrollado en la *UC Berkeley*, que es uno de los más utilizados en la industria de los circuitos integrados. *BSIM4v4.6.2* es su última versión, la cual es una extensión de *BSIM3*, orientada a los efectos físicos del MOSFET en el régimen de sub-100 nm. Este nuevo modelo se desarrolló considerando las no uniformidades en el dopado del sustrato introducidas en los procesos tecnológicos actuales y las potenciales aplicaciones del MOSFET en el rango de radio frecuencia. Dentro de las mejoras y adiciones que se realizaron en este modelo se resalta, la resistencia de sustrato variable para modelado en RF, y un nuevo modelo de AC que considera los efectos no cuasi-estáticos en transconductancias y capacitancias, entre otros [27].
 - El modelo *MOS*, desarrollado por laboratorios *Philips*, es uno de los de mayor aceptación en los últimos años, su última versión, *MOS11v1102*, ha proporcionado una buena descripción del MOSFET con énfasis en aplicaciones analógicas [2]. El modelo *MOS11* proporciona una completa descripción de las cantidades relacionadas con la operación del transistor, como las corrientes nodales, las densidades espectrales de potencia o las corrientes de avalancha. Este modelo utiliza la descripción del potencial superficial para describir las características eléctricas del transistor en diferentes regiones de operación. Además, considera muchos importantes fenómenos físicos, como la reducción en la movilidad, la dependencia con la polarización de las resistencias en serie, la velocidad de saturación y efectos de modulación del canal entre otros [28].
-

- El modelo *EKV* es también muy usado. Fue desarrollado especialmente para diseño de circuitos de bajo voltaje y/o baja corriente [29]. Este modelo emplea como referencia la terminal de sustrato, en contraste con los modelos BSIM y MOS que emplean como referencia la terminal de fuente [28,30,31]. Como resultado de esto, la versatilidad del modelo es enormemente incrementada, a pesar de contar con un número grande de parámetros. Este modelo es una buena interfaz entre los cálculos de primera mano y las simulaciones de mayor robustez [2].

Los modelos BSIM, MOS y EKV se encuentran implementados en simuladores comerciales como SPICE, aunque por lo anteriormente expuesto, es claro que varían su nivel de complejidad, robustez y precisión.

1.4. Objetivos del proyecto

Una vez presentado el MOSFET como objeto de estudio para el desarrollo de aplicaciones de RF, el objetivo principal de este proyecto será caracterizar y modelar el transistor MOS con base en su estructura física. Se pretende la obtención de un circuito equivalente de pequeña señal, incluyendo las pérdidas a través del sustrato y la posterior extracción de todos los componentes que forman dicho circuito. La metodología propuesta para dicha extracción está basada en la medición de parámetros de dispersión. En primer lugar, la extracción de los parámetros procederá de mediciones realizadas directamente sobre dispositivos fabricados en el *Interuniversity Microelectronics Centre* (IMEC), con longitudes de mascarilla de 80 nm, 0,25 μm , 0,5 μm y 1 μm . Posteriormente, se realizará la simulación y correlación a partir de los resultados obtenidos en el rango de frecuencias de 100 MHz a 40 GHz.

Esto dará pie a un estudio sobre el impacto de la impedancia parásita del sustrato en la impedancia total de salida del dispositivo, cuantificando su contribución en todo el rango de frecuencias evaluado, así como su dependencia con la longitud del canal.

1.5. Organización y estructura de la tesis

Este documento consta principalmente de dos partes; una primera en la cual se presenta el MOSFET como objeto de estudio para aplicaciones de RF, y su modelado en pequeña señal; y una segunda en la que se desarrolla, verifica y aplica un nuevo método de extracción de parámetros, y se muestran los resultados obtenidos experimentalmente y de simulaciones. Adicionalmente, se muestra la evaluación del impacto del sustrato en las características de salida del MOSFET para diferentes geometrías y voltajes de polarización.

De estas dos partes, la primera se centra en el modelado físico por medio de circuito equivalente de la estructura MOSFET estudiada, justificando posteriormente la validez

de los métodos de extracción de parámetros empleados para el desarrollo completo de este proyecto (Capítulo 2).

En lo referente a la segunda parte, se presenta la metodología de extracción de parámetros y el resultado del modelo completo de pequeña señal obtenido. De esta parte cabe destacar el origen físico que se dará a la variación de la resistencia del canal con la polarización y el patrón geométrico. Igualmente se presenta la correlación simulación-experimento que valida la extracción. Seguidamente, se muestra el resultado de la evaluación del impacto del substrato, su comportamiento en frecuencia con respecto a la polarización empleada y a las dimensiones del dispositivo. Finalmente se presenta un resumen de los resultados obtenidos, las conclusiones derivadas de este trabajo, y los trabajos futuros que éste propone (Capítulos 3, 4 y 5).

Capítulo 2

Caracterización y Modelado Transistores MOS

Muchos estudios han contribuido a incrementar el entendimiento acerca de la física y el modelado del MOSFET. Como resultado, muchos modelos que proporcionan las características de este dispositivo han sido propuestos para la descripción de su operación en diferentes regímenes de operación (débil inversión, moderada inversión, fuerte inversión, saturación, etc.). Sin embargo, todos los modelos deben ser constantemente evaluados debido a la permanente y rápida evolución de las tecnologías. En este capítulo se presentaran las técnicas de caracterización comúnmente empleadas y los tipos de modelos más utilizados para el MOSFET en RF, dando paso a la presentación del modelo que se empleará en este estudio para evaluar el impacto del sustrato en MOSFETs avanzados.

2.1. Técnicas de caracterización para el modelado de MOSFETs

El modelado de las características del MOSFET requiere determinar de forma adecuada los parámetros que describen su operación. Para ello, diferentes técnicas de caracterización han sido desarrolladas. Entre las más comunes se encuentran las que se basan en mediciones de DC y las que lo hacen en mediciones de AC. Ambos tipos se tratan brevemente a continuación.

2.1.1. Mediciones de DC

Este tipo de mediciones permiten determinar las características I-V del dispositivo y son relativamente simples de implementar, ya que requieren básicamente de un voltímetro y un amperímetro [32]. Sin embargo, cabe resaltar que en la actualidad se cuenta con sistemas avanzados como los analizadores de parámetros semiconductores, con los

cuales es posible realizar, con muy alta precisión, mediciones en DC sobre dispositivos.

Muchos autores han utilizado este tipo de mediciones para proponer métodos de extracción de parámetros, como el voltaje de umbral, la longitud efectiva del canal o las resistencias parásitas de drenaje y fuente del transistor [33–36]. Como ejemplo de los métodos derivados de mediciones en DC es posible citar, entre otros, el método de extrapolación en la región lineal y el método de extrapolación por transconductancia para determinar el voltaje de umbral. Éstos son ilustrados en la Figura 2.1.

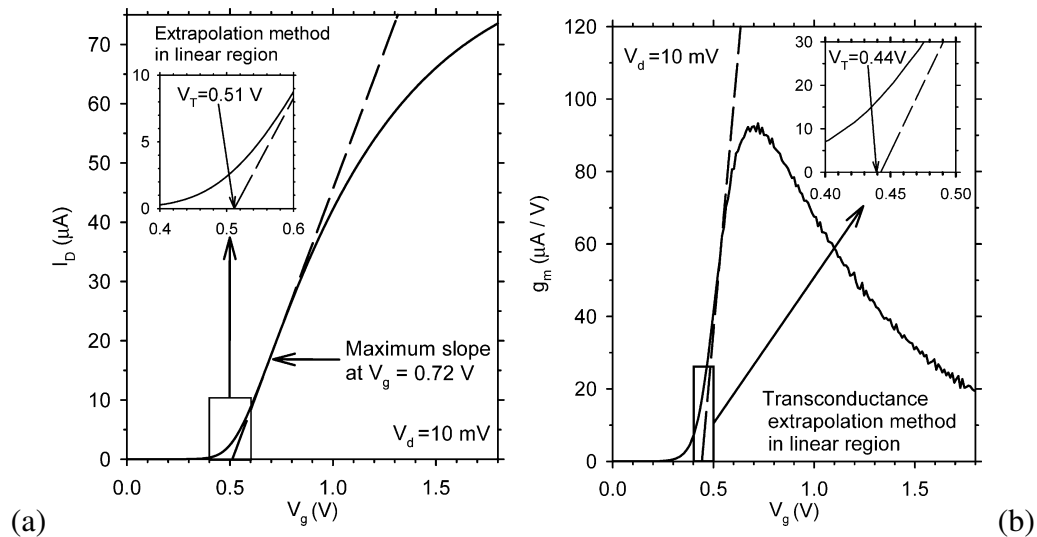


Figura 2.1: Ejemplos de extracción utilizando mediciones de DC. (a) Método de extrapolación en la región lineal (b) Método de extrapolación por transconductancia.

2.1.2. Mediciones de AC

Son uno de los tipos de mediciones más importantes en la actualidad. Las técnicas basadas en estas mediciones, permiten la extracción de parámetros a partir, por ejemplo, de los parámetros de dispersión (parámetros S) [26, 37–40]. Dos formas de realizar este tipo de mediciones, particularmente para el caso de parámetros S, son:

- *Fijando el punto de operación del transistor*, lo cual permite obtener los modelos mediante la extracción directa de sus elementos constitutivos, resaltando o minimizando algunos efectos de acuerdo con el estímulo de voltaje aplicado [26, 37]. En la Figura 2.2 (a) se presenta un ejemplo de la extracción de las resistencias en serie R_s y R_d utilizando este método. Cabe resaltar que, el método en cuestión ignora los efectos introducidos por el voltaje de DC aplicado, como el atrapamiento de carga o los efectos térmicos del transistor, lo que produce, que los parámetros S sean medidos a diferentes temperaturas cuando se cambia la polarización [40].

- *Utilizando pulsos que se superponen al voltaje de polarización.* Este método permite modelar los efectos no lineales, como las corrientes de fuga en las uniones de fuente y drenaje con el sustrato o a través de la compuerta, el efecto de atrapamiento de cargas en la región del canal relacionado con la ionización por impacto o los efectos de auto calentamiento del transistor [38,40,41]. Resultados obtenidos empleando este método se presentan en la Figura 2.2 (b).

Una de las principales dificultades para la caracterización de MOSFETs basándose en mediciones de parámetros de dispersión, es que éste es un dispositivo de cuatro terminales, lo cual incrementa la complejidad en el análisis de sus parámetros S. Por ello, se emplea comúnmente la configuración de fuente/substrato común, que simplifica su estudio [17,42,43].

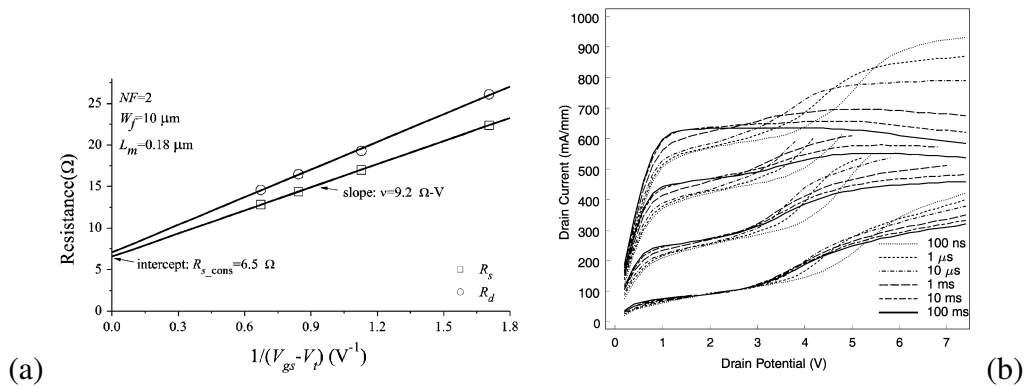


Figura 2.2: Ejemplos de extracciones utilizando mediciones de AC: (a) con polarización fija. (b) aplicando pulsos.

Para caracterizar completamente al MOSFET, muchas veces es necesario, por lo tanto, usar una técnica que involucre DC, pulsos y mediciones de RF en pequeña señal [38,39]. Lo cual, además de ser un proceso muy largo, tecnológicamente carece de practicidad, de allí que las técnicas de caracterización y modelos derivados de ellas dependen del rango de operación del dispositivo.

2.2. Efectos de canal corto en MOSFETs

Con el escalamiento hacia tecnologías submicrométricas de los dispositivos, los efectos denominados de canal corto se han vuelto mas relevantes. Se considera un MOSFET de canal corto cuando la longitud de compuerta es del mismo orden de magnitud que el espesor de la zona de agotamiento de las uniones de la fuente y el drenaje con el sustrato. En esta sección se tratan brevemente los efectos de canal corto mas importantes.

2.2.1. Variación del voltaje de umbral con la geometría

Como se ilustra en la Figura 2.3, asumiendo que las líneas de campo eléctrico son perpendiculares a la superficie de la interfase de la región del canal con el óxido de compuerta y despreciando los efectos en los bordes del canal, en dispositivos de canal largo el voltaje de umbral puede ser considerado como independiente de la longitud o el ancho del transistor [16]. Sin embargo, al reducir las dimensiones del dispositivo es necesario considerar la dependencia del voltaje de umbral con la geometría.

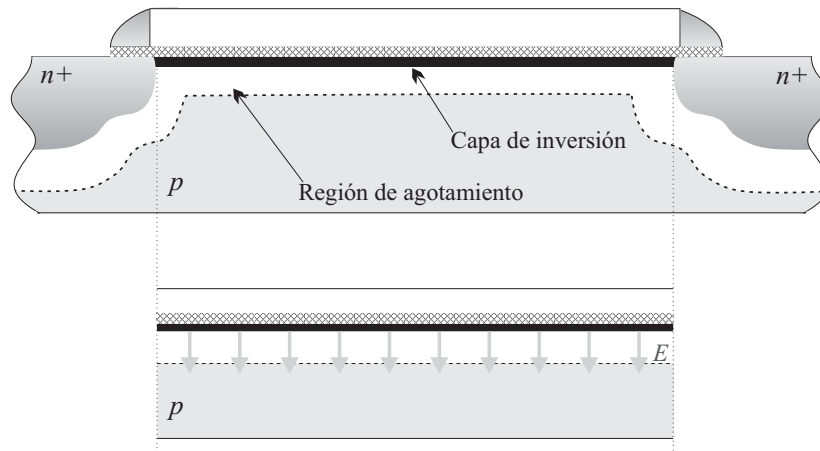


Figura 2.3: Sección transversal de un MOSFET de canal largo ilustrando la aproximación que permite despreciar los efectos que influyen en el voltaje de umbral.

Considérese que la corriente que fluye en el canal depende de la creación y mantenimiento de la capa de inversión. Si el voltaje de compuerta no es suficiente para invertir el canal ($V_{gs} < V_t$), no hay flujo de corriente debido a que los portadores (electrones en un nMOSFET) no pueden superar la barrera de potencial de las uniones de fuente y drenaje con la región del canal. Al incrementar el voltaje de compuerta se reduce esta barrera de potencial permitiendo el flujo de corriente. En dispositivos de canal corto, es más acentuado el hecho de que la barrera de potencial es controlada tanto por el voltaje aplicado en la compuerta como por el voltaje aplicado en el drenaje. Así, si el voltaje de drenaje es incrementado, la barrera de potencial en el canal decrece, este efecto se denomina DIBL [44]. La reducción de la barrera de potencial, puede permitir eventualmente el flujo de corriente entre fuente y drenaje, aún si el voltaje de compuerta es menor al voltaje de umbral.

El efecto de reducir la longitud del canal también resulta en el agotamiento de una mayor longitud bajo la compuerta en las regiones cerca de las implantaciones de drenaje y fuente. Así mismo, en un transistor de canal corto la distancia entre estas regiones

de agotamiento es pequeña [45], como se ilustra en la Figura 2.4.

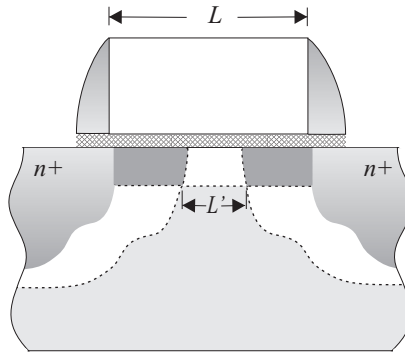


Figura 2.4: Sección transversal de un MOSFET de canal corto ilustrando como afectan las regiones de agotamiento de drenaje y fuente en el canal.

Por lo tanto, la creación de una región de agotamiento completa bajo la compuerta requerirá de aplicar voltajes relativamente bajos en la terminal de compuerta, reduciendo el voltaje de umbral. Este efecto asociado con altos campos eléctricos cercanos al borde de las implantaciones de drenaje y fuente, produce un decaimiento en el voltaje de umbral, como se ilustra en la Figura 2.5 [45].

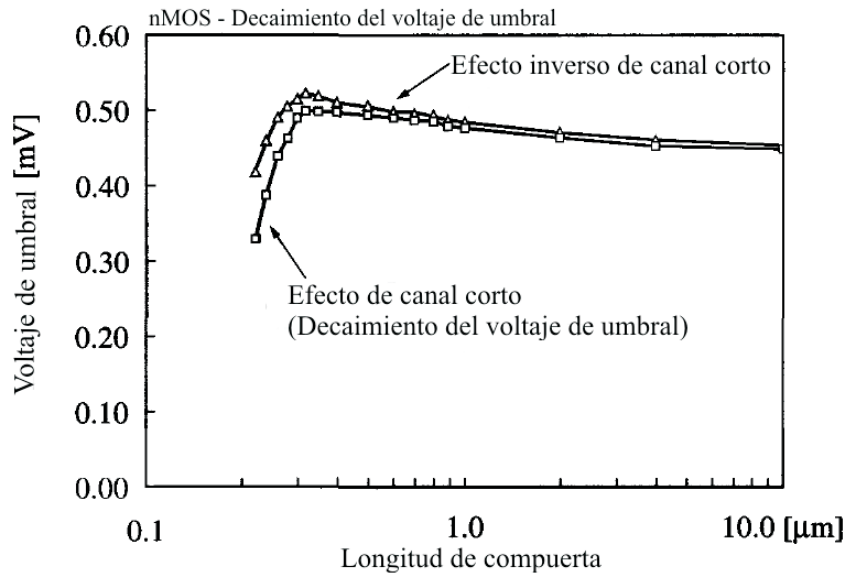


Figura 2.5: Efectos de canal corto en el voltaje de umbral para un nMOSFET.

Otro efecto que depende de la longitud del canal es el denominado efecto inverso de canal corto. Este efecto, que incrementa el voltaje de umbral a medida que decrece la longitud de la compuerta, es atribuido a un dopado lateral no uniforme inducido por una mayor difusión a nivel local, producido por un exceso de silicio intersticial en la vecindad de los bordes de la compuerta de polisilicio como resultado de los procesos de implantación y oxidación [16, 45].

En la Figura 2.6 [46] se ilustra el efecto de la variación de la longitud (y por consecuencia del voltaje de umbral) sobre la característica de corriente de drenaje en función del voltaje de polarización de compuerta para un transistor MOS.

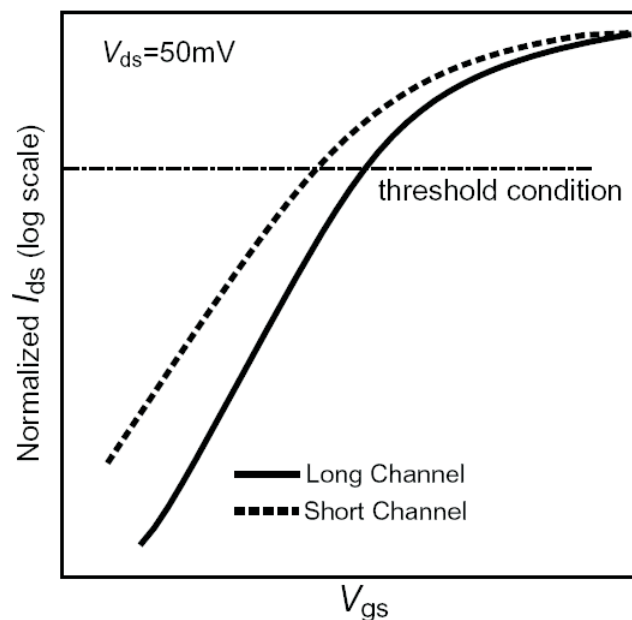


Figura 2.6: Comparación para ilustrar la corriente de drenaje normalizada en función del voltaje de compuerta para un MOSFET de canal corto y largo.

2.2.2. Ionización por impacto

Los portadores que se mueven en el canal a altas velocidades debido a la presencia de altos campos eléctricos longitudinales, pueden colisionar con átomos de silicio ionizándolos, generando pares electrón-hueco. En este proceso, denominado *ionización por impacto*, los electrones normalmente son atraídos por el drenaje, mientras los huecos entran en el sustrato para formar parte de la corriente parásita del sustrato [16, 44].

2.2.3. Electrones calientes

Otro efecto de canal corto relacionado con los altos campos eléctricos, es causado por los denominados *electrones calientes*. Estos son electrones con altas energías que pueden entrar y quedar atrapados en el óxido. Este efecto produce la degradación del desempeño del dispositivo, incrementando el voltaje de umbral y afectando adversamente el control de la compuerta sobre la corriente de drenaje [16,44].

2.3. Tipos de modelos para representar el MOSFET

En la actualidad, los dispositivos fabricados sobre sustratos de silicio son utilizados ampliamente a nivel comercial en aplicaciones de RF. Esto se debe a la alta escala de integración del MOSFET, lo que representa un aumento en su velocidad. Adicionalmente, la disminución de las dimensiones del transistor proporciona atractivas ventajas a los diseñadores de circuitos integrados, tales como menor consumo de potencia, mayor frecuencia de corte y menor área en el chip [2,47,48]. Sin embargo, al reducirse las dimensiones del MOSFET y aumentar su frecuencia de operación, la representación de su funcionamiento se ha tornado más compleja. Esto se debe a que algunos efectos que no eran considerados en los modelos tradicionales, ahora son fundamentales. Tal es el caso de los efectos no-cuasiestáticos. Por lo anterior, nuevos modelos para representar la operación del transistor MOS en altas frecuencias son requeridos. A continuación se describen algunos tipos de modelos para describir el comportamiento del MOSFET.

2.3.1. Modelos físicos estructurales

Son basados en una cuidadosa definición de la geometría del dispositivo, perfil de dopado, ecuaciones de transporte de carga y características del material. Este tipo de modelos pueden ser empleados para describir tanto las características en terminales como los fenómenos de transporte. Esto conlleva a sistemas en dos o tres dimensiones, de complejas ecuaciones acopladas que deben ser resueltas empleando métodos numéricos, lo que requiere de un gran tiempo de procesamiento. Por esta razón, este tipo de modelos son principalmente empleados para el diseño físico de los dispositivos y son poco prácticos en el diseño de circuitos en general. Algunos de los simuladores, usualmente referidos como de TCAD (diseño de tecnologías asistido por computadora, por sus siglas en inglés), que se emplean en el diseño a nivel de dispositivo son: PISCES [49–51], SUPREM [49, 51, 52], MINIMOS [53, 54], SYNOPSIS/SENTAURUS [55,56] entre otros. En la Figura 2.7 se presenta un ejemplo de la utilización de un simulador TCAD para la obtención del perfil de dopado a lo largo de un segmento del canal para un MOSFET [57].

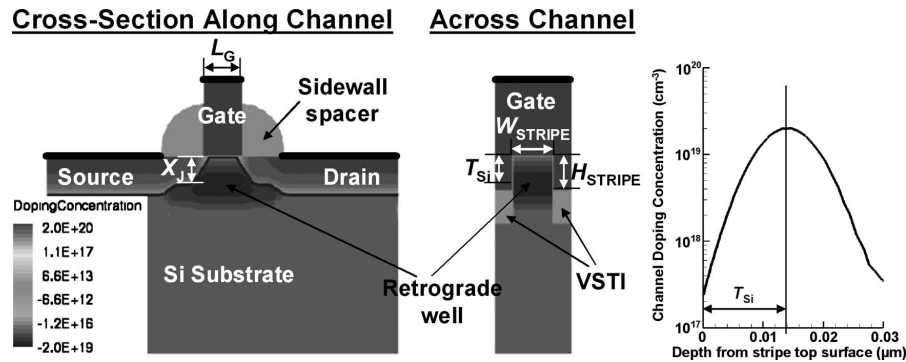


Figura 2.7: Ejemplo de una simulación de un modelo estructural usando TCAD.

2.3.2. Modelos tabulares

Consisten en bases de datos, con tablas que contienen los valores de la corriente de drenaje para diferentes valores de voltaje de polarización o geometrías del dispositivo. Estas bases de datos pueden ser reunidas de mediciones o de simuladores empleados a nivel de dispositivo, como los anteriormente citados. Generalmente, se usan algunas rutinas de interpolación para obtener los valores no almacenados. Este tipo de modelos son rápidos computacionalmente, pero carecen de una relación directa con su origen físico. Además, la validez de este tipo de modelos es incierta fuera del rango de los datos [44].

2.3.3. Modelos compactos

Son basados en una descripción del dispositivo mediante sistemas de ecuaciones, que pueden o no, ser basados en la física del dispositivo. De acuerdo con esto, es posible dividir los modelos compactos en:

- *Modelos físicos o modelos analíticos*, cuyos parámetros son derivados directamente de la física del dispositivo. A su vez, es posible subdividir éstos en dos tipos:
 - i) El primero basado en el análisis del potencial superficial, usualmente denominado modelo de hoja de carga [16, 44, 58]. Estos modelos son aplicables en todas las regiones de operación del dispositivo, haciéndolos especialmente prácticos en aplicaciones analógicas. Sin embargo, involucran ecuaciones complejas que aumentan el tiempo de procesamiento, lo cual limita su aplicabilidad para simulaciones en circuitos de altas escalas de integración (VLSI) [44, 58].
 - ii) El segundo tipo de modelo analítico, es el resultado de realizar varias aproximaciones basadas en los fenómenos físicos dominantes en la región es-

$$v_{th} = V_{TH0} + K_1(\sqrt{\phi_s - V_{bs}} - \sqrt{\phi_s}) - K_2 V_{bs} + K_1 \left(\sqrt{1 + \frac{N_{LX}}{L_{eff}}} - 1 \right) \sqrt{\phi_s} + (K_3 + K_{3B} V_{bs}) \frac{T_{OX}}{W_{eff} W_0} \phi_s - D_{VT0} \left(\exp(-D_{VT1} \frac{L_{eff}}{2l_t}) + 2 \exp(-D_{VT1} \frac{L_{eff}}{l_t}) \right) (V_{bi} - \phi_s) - \left(\exp(-D_{sub} \frac{L_{eff}}{2l_{to}}) + 2 \exp(-D_{sub} \frac{L_{eff}}{l_{to}}) \right) (E_{tao} + E_{tab} V_{bs}) V_{ds} - D_{VT0w} \left(\exp(-D_{DT1w} \frac{W_{eff} L_{eff}}{2l_{tw}}) + 2 \exp(-D_{DT1w} \frac{W_{eff} L_{eff}}{l_{tw}}) \right) (V_{bi} - \phi_s)$$

Símbolo en el modelo	Descripción
V_{TH0}	Voltaje de umbral a $V_{bs} = 0$
T_{OX}	Espesor del óxido de compuerta
W_0	Parámetro que permite considerar efectos de canal angosto
K_1	Coefficiente de ajuste para considerar el efecto de cuerpo de primer orden
K_2	Coefficiente de ajuste para considerar el efecto de cuerpo de segundo orden
K_3	Coefficiente de ajuste para considerar efectos de canal angosto
K_{3B}	Coefficiente de efecto de cuerpo de K_3
N_{LX}	Coefficiente de dopado lateral no uniforme
D_{VT0}	Primer coeficiente de efecto de canal corto en V_{th}
D_{VT1}	Segundo coeficiente de efecto de canal corto en V_{th}
D_{VT0w}	Primer coeficiente para considerar efectos de canal angosto en V_{th}
D_{VT1w}	Segundo coeficiente para considerar efectos de canal angosto en V_{th}

Tabla 2.1: Modelo compacto empleado para el voltaje umbral en BSIM3v3 [60].

tudiada, lo cual implica que se requieran diferentes ecuaciones para describir el comportamiento del dispositivo en diferentes regiones de operación. Este tipo de modelo es usualmente denominado como modelo analítico semi-empírico, debido a la combinación de parámetros físicos y empíricos [44, 59].

- *Modelos empíricos*, en los cuales, las ecuaciones que representan el comportamiento del dispositivo, son el resultado de ajustes a sus curvas características y no toman en cuenta la física relacionada a éstas. Como resultado, los parámetros usados en un modelo empírico (exponentes, coeficientes, etc.) son altamente dependientes de los procesos de fabricación [16].

En la Tabla 2.1, se presenta como ejemplo, la ecuación empleada por el modelo BSIM3v3 para representar el voltaje de umbral del MOSFET [60]. Así mismo, se listan algunos de los parámetros contenidos en el mismo.

2.3.4. Modelos de circuito equivalente

Los modelos de circuito equivalente emulan el comportamiento eléctrico del MOSFET mediante la interconexión de elementos circuitales, que pueden ser, o no, dependientes de la polarización, la frecuencia o la temperatura, y que están asociados a las

características físicas del transistor [44]. Este tipo de modelos son de gran aceptación en la actualidad debido a su clara representación de las relaciones entre el circuito y la estructura física del dispositivo. Además, son de fácil implementación y evaluación en los simuladores de circuitos tradicionales como SPICE [59].

Cabe mencionar adicionalmente dentro de este tipo de modelos, los denominados *modelos híbridos*, que son una combinación de los modelos compactos y los modelos de circuito equivalente. Así por ejemplo, en la Figura 2.8, el comportamiento intrínseco del MOSFET se representa mediante el modelo BSIM3v3 (modelo compacto) mientras las pérdidas a través del sustrato son representadas mediante un circuito equivalente asociado [61].

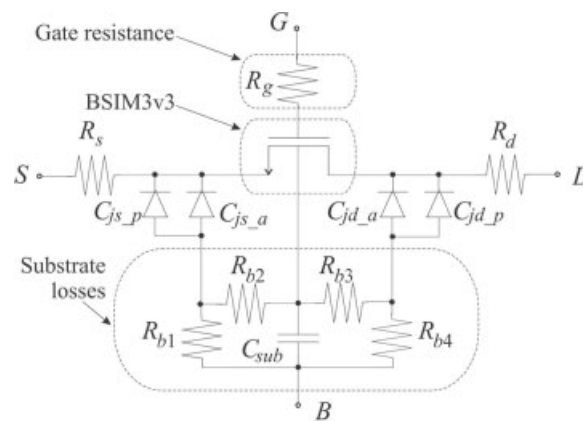


Figura 2.8: Ejemplo de un modelo híbrido.

En la actualidad existen implementados en simuladores de circuitos comerciales una serie de modelos con diferentes niveles de precisión, tal que, los diseñadores de circuitos pueden seleccionar el más adecuado de acuerdo a sus requerimientos, conservando el compromiso que debe existir entre la precisión y la eficiencia computacional. Así pues, al seleccionar un modelo es importante considerar que de acuerdo con el tipo de señal aplicada en las terminales del dispositivo, las características de la capa de inversión del MOSFET cambian. Este comportamiento será tratado brevemente a continuación.

2.4. Consideraciones dinámicas en el modelado

Para modelar correctamente el comportamiento del MOSFET en altas frecuencias, es necesario considerar las características dinámicas del transistor. Es común usar el *modelo cuasi-estático* (QS) para describir el comportamiento del transistor MOS. Este modelo supone que la carga en el canal, y por lo tanto la corriente en las terminales, de-

penden exclusivamente del voltaje de polarización aplicado en la compuerta. Esta aproximación es válida para la operación del dispositivo en DC o a muy bajas frecuencias, debido a que ignora que la carga en la capa de inversión no responde instantáneamente a los voltajes extrínsecos aplicados. Lo anterior implica que a medida que la frecuencia se incrementa, la operación dinámica del MOSFET debe ser descrita por medio de *modelos no-cuasi-estáticos* (NQS).

Bajo condiciones de operación QS, la corriente que circula entre las terminales de drenaje y fuente del MOSFET es resultado únicamente del desplazamiento de las cargas móviles (electrones en el nMOSFET y huecos en el pMOSFET), suponiendo despreciable la corriente a través del sustrato. En contraste, en el análisis de AC se deben considerar corrientes adicionales que introducen y remueven cargas de la capa de inversión, denominadas corrientes de carga. En la Figura 2.9 se muestra una representación esquemática e ideal de la región intrínseca del MOSFET, en ella, I_D , I_S , I_G e I_B son las corrientes de drenaje, fuente, compuerta y sustrato respectivamente; I_T se denomina corriente de transporte y circula entre el drenaje y la fuente.

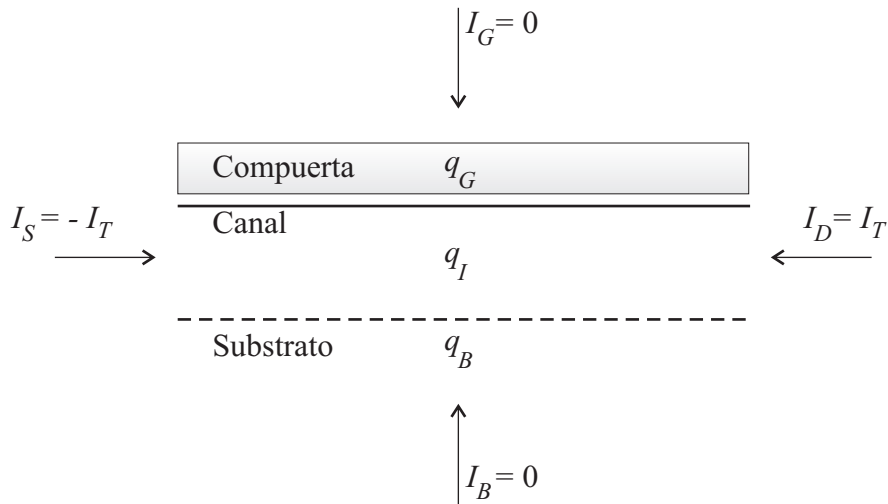


Figura 2.9: Representación gráfica de la región intrínseca de un MOSFET.

Si el voltaje aplicado en la compuerta varía con el tiempo, manteniendo fijos los voltajes de fuente y sustrato, es posible escribir las corrientes totales en cada terminal como la suma de dos componentes, una corriente de transporte y una carga, matemáticamente esto es [44]:

$$i_S(t) = -I_S(V(t)) + \frac{dq_S}{dt} \tag{2.1}$$

$$i_D(t) = I_D(V(t)) + \frac{dq_D}{dt} \quad (2.2)$$

$$i_G(t) = \frac{dq_G}{dt} \quad (2.3)$$

$$i_B(t) = \frac{dq_B}{dt} \quad (2.4)$$

En las ecuaciones 2.3 y 2.4, q_G es la carga en la compuerta, y q_B es la carga en la región de agotamiento en el sustrato. En estas ecuaciones se considera además, que a través de la compuerta y el sustrato no fluye corriente de transporte, esto es $I_G = I_B = 0$, como se muestra en la Figura 2.9.

Por otra parte, en las ecuaciones 2.1 y 2.2, q_S y q_D no son cargas almacenadas (en el mismo sentido que q_G y q_B). Son las cargas inyectadas del lado de la fuente y sustraídas del lado del drenaje [16, 44, 48]. Por lo tanto, en la Figura 2.9, la carga en la región de inversión (q_i), dependerá de q_S y q_D . Así, se pueden combinar las ecuaciones 2.1 y 2.2 tal que:

$$i_S + i_D = I_{DS}(V(t)) + \frac{dq_I}{dt} \quad (2.5)$$

Como consecuencia, i_D e i_S son diferentes de la corriente de transporte instantánea i_T , cuando existe un estímulo de voltaje variante en el tiempo. Por lo tanto, la suposición de que la carga en la capa de inversión es modulada instantáneamente y produce una corriente equilibrada en el drenaje y la fuente, solamente es válida para frecuencias de operación bajas [48].

De la misma forma, la influencia de los campos eléctricos longitudinal y transversal en la disminución de la velocidad de los portadores y degradación de la movilidad deben ser considerados al aplicar una señal variable en el tiempo en la terminal de compuerta. Así, es posible diferenciar de acuerdo con la magnitud del estímulo aplicado, entre modelos de gran señal y de pequeña señal. Este último tipo de modelo se emplea en este trabajo y se ampliará su definición en el siguiente apartado.

2.5. Modelo de circuito equivalente a pequeña señal

El modelado en pequeña señal es una técnica de análisis empleada comúnmente para aproximar el comportamiento de un dispositivo no lineal con ecuaciones lineales. La linealización de los elementos del modelo se realiza alrededor de un punto de polarización en DC [62]. En la Figura 2.10 se presenta la sección transversal de un nMOSFET, donde todos los componentes del circuito equivalente asociado representan el comportamiento de éste en pequeña señal.

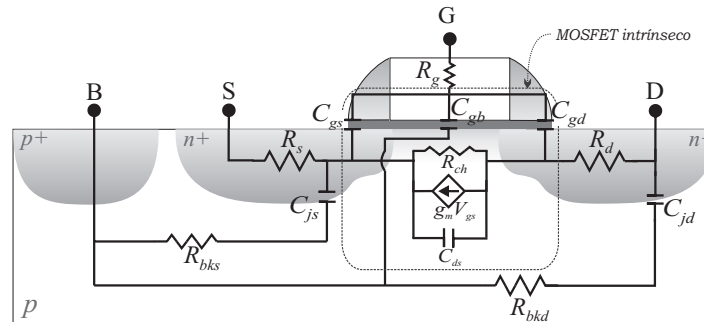


Figura 2.10: Sección transversal del MOSFET y circuito equivalente de pequeña señal.

Con base en el funcionamiento activo del MOSFET, el circuito presentado en la Figura 2.10 se puede dividir en dos partes, constituidas por: i) elementos intrínsecos; y ii) elementos extrínsecos. Cuyas características se presentan a continuación.

2.5.1. Elementos intrínsecos

Los elementos intrínsecos, g_m , C_{gs} , C_{gd} , C_{gb} , C_{ds} y R_{ch} , representan directamente el funcionamiento de la región activa del MOSFET.

- Las capacitancias C_{gs} , C_{gd} y C_{gb} , agrupan diferentes efectos capacitivos inherentes a la estructura del MOSFET (ilustrados en la Figura 2.11), a saber:

(i) Las capacitancias asociadas principalmente con la geometría del dispositivo, que son: 1) La capacitancia entre borde externo de la compuerta y las implantaciones de fuente y drenaje, C_{FO} ; 2) La capacitancia entre el borde interno de la región de compuerta y las implantaciones de fuente y drenaje, C_{FI} ; 3) La capacitancia de traslape entre la compuerta y las difusiones altamente dopadas de drenaje y fuente, C_{GSO} y C_{GDO} ; así como, entre compuerta y substrato, C_{GBO} ; 4) La capacitancia de traslape entre la compuerta y las difusiones LDD, C_{GSOL} y C_{GDOL} [60].

(ii) Las capacitancias C_{gsi} , C_{gdi} , C_{gbi} , dependen de la polarización, y representan el efecto de la fuente, el drenaje y el substrato sobre la distribución de cargas en la compuerta [16, 60]. La capacitancia C_{ds} también depende fuertemente de la polarización y representa el acoplamiento capacitivo entre las terminales de drenaje y fuente a través del substrato [16].

- El factor g_m es la transconductancia de compuerta en pequeña señal (usualmente referida simplemente como transconductancia) y expresa la razón de cambio en

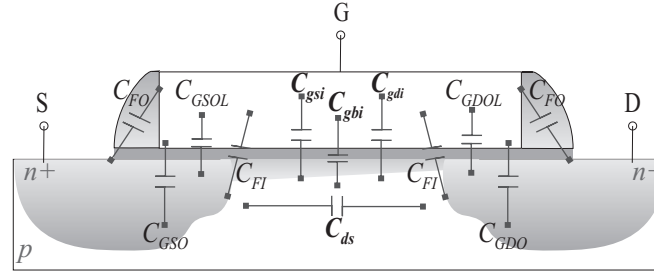


Figura 2.11: Capacitancias de la estructura MOSFET.

la corriente de drenaje con respecto al cambio en el voltaje de compuerta para voltajes de drenaje y sustrato constantes, matemáticamente esto es:

$$g_m = \left. \frac{\partial I_{ds}}{\partial V_{gs}} \right|_{V_{ds}, V_{bs} = \text{constante}} \text{ (A/V)} \quad (2.6)$$

En el modelo presentado en la Figura 2.10, el efecto de la transconductancia se considera mediante una fuente de corriente controla por voltaje ($g_m V_{gs}$).

- R_{ch} representa la resistencia propia asociada a la región del canal, la cual depende tanto de la polarización como de la geometría. Específicamente, la resistencia del canal disminuye si el voltaje aplicado en la terminal de compuerta se incrementa [26, 63] o si la longitud del canal disminuye [63, 64].

2.5.2. Elementos extrínsecos

Se consideran parásitos en el funcionamiento del MOSFET y pueden ser, o no, dependientes de la polarización [16, 17, 44]. Éstos son:

- R_s y R_d , que representan las resistencias efectivas de las regiones de fuente y drenaje; en éstas es posible identificar tres contribuciones principales, las cuales se ilustran en la Figura 2.12; a saber: 1) R_c , que representa la resistencia asociada al contacto metálico con la región $n+$; 2) la resistencia R_b , asociada a la implantación de la región $n+$ y la región LDD; 3) la resistencia R_a , que se origina en la región donde la corriente de portadores es concentrada y estrechada por debajo de la región de acumulación [16, 65]. En consecuencia tanto R_s como R_d son dependientes de la polarización.
- R_g , que representa la resistencia efectiva del electrodo de compuerta. Como se ilustra en la Figura 2.13, R_g tiene dos componentes: 1) la resistencia distribuida del contacto de compuerta ($R_{g\text{eltd}}$), la cual es independiente de los voltajes de polarización y la frecuencia, y 2) la resistencia distribuida del canal vista desde

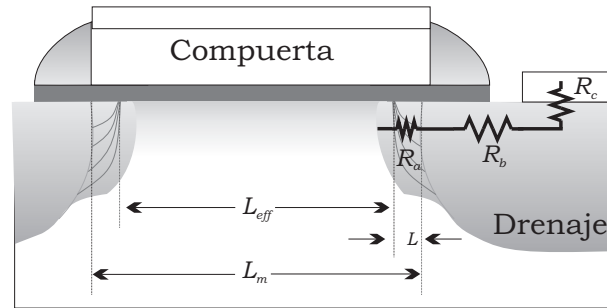


Figura 2.12: Sección transversal de un MOSFET señalando las componentes de las resistencias R_s y R_d .

la compuerta (R_{gch}), que es dependiente del voltaje V_{gs} . Esto denota que R_g es dependiente del voltaje de polarización, en particular, el valor de R_g decrece a medida que V_{gs} se incrementa [66,67].

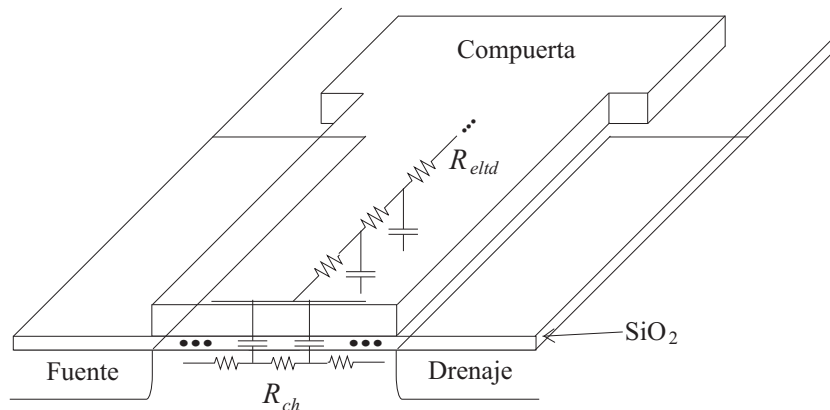


Figura 2.13: Ilustración de las componentes de R_g en un MOSFET.

Igualmente, la geometría del electrodo de compuerta juega un papel importante en las tecnologías actuales, esto debido a que el escalamiento de los dispositivos incrementa la impedancia de entrada del MOSFET, lo cual limita la operación del MOSFET en altas frecuencias [67]. Para disminuir el efecto de R_g , se emplea el dividir los MOSFET en varios transistores conectados en paralelo (varios dedos), esto es, interconectando sus compuertas, drenajes y fuentes, como se muestra en la Figura 2.14.

- En contraste, los elementos de la red de sustrato, esto es, las capacitancias de unión C_{js} y C_{jd} , y las resistencias R_{bks} y R_{bkd} , a primera aproximación se pueden

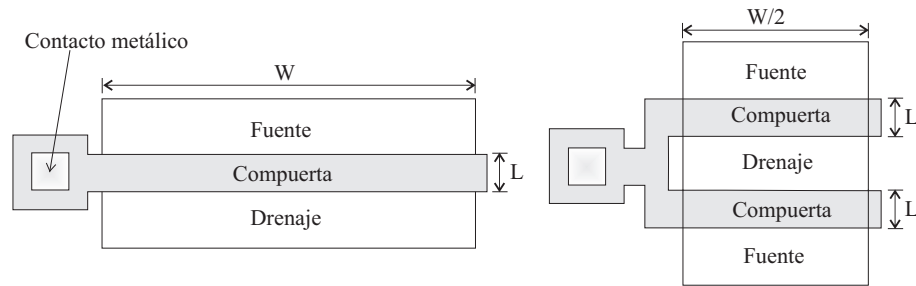


Figura 2.14: División de un MOSFET como varios transistores en paralelo.

considerar independientes de la polarización (las capacitancias de unión varían lentamente con el voltaje aplicado), siendo principalmente definidos por la geometría del dispositivo. Sin embargo, los efectos relacionados con estos elementos son muy importantes cuando el MOSFET opera en altas frecuencias, influyendo de manera significativa en la impedancia de salida del dispositivo, como se verá más adelante.

2.6. Conclusiones

A lo largo de este capítulo, se presentaron diversas formas de representar el comportamiento del transistor MOS, enfatizando en el modelado mediante circuito equivalente de pequeña señal. Con este tipo de modelos se pueden correlacionar de forma visual cada uno de los componentes circuitales con la estructura física del dispositivo. De igual forma, se presentaron las dependencias de sus parámetros con la polarización, la geometría o la frecuencia; lo cual permite concluir que al establecer las condiciones adecuadas, es posible aprovechar estas dependencias para determinar los parámetros involucrados en el modelo para el transistor operando en RF.

Con base en esto, en el siguiente capítulo se presentará la metodología de extracción propuesta para este trabajo, empleando para ello, la medición de parámetros de dispersión, estableciendo diferentes valores de voltaje de polarización y empleando una configuración de fuente/substrato común. Todo esto para obtener las componentes del modelo de pequeña señal directamente de las ecuaciones que describen el circuito.

Capítulo 3

Metodología de Extracción

Frecuentemente, en la caracterización de dispositivos se requiere resolver problemas que incluyen conjuntos de variables cuando se sabe que existen algunas relaciones inherentes entre ellas. En el estudio del MOSFET es común encontrar que para estudiar la relación existente entre sus diferentes características y las condiciones de operación, se empleen diferentes análisis por medio de regresiones lineales. Entre las más comunes se encuentran las regresiones basadas en la dependencia con la longitud del canal, los voltajes de polarización o la frecuencia [33, 42, 43, 68, 69].

A lo largo de este capítulo se presentaran las metodologías empleadas para obtener los parámetros asociados al modelo de pequeña señal del MOSFET. Esto permitirá proporcionar adicionalmente una interpretación física de la resistencia asociada al canal mediante la obtención de los parámetros que conforman su modelo compacto. De esta forma, se completará un modelo híbrido, que será la base para el estudio de la influencia del sustrato en la impedancia de salida del transistor.

3.1. Configuración fuente/sustrato común

Debido a que en muchos de los casos los modelos de circuito equivalente son basados completamente en la interpretación de datos experimentales, la configuración empleada en las mediciones es muy importante [5]. En la caracterización que se realizó en este trabajo, se empleó una configuración de fuente/sustrato (S/B) común, lo cual permite representar al MOSFET como una red de dos puertos. Esto quiere decir que las terminales de fuente y sustrato se encuentran unidas, y serán consideradas como las terminales de referencia para los puertos 1 y 2, como se muestra en la Figura 3.1.

En esta configuración, el estímulo es aplicado en la terminal de compuerta (puerto 1), mientras que la respuesta es medida en la terminal de drenaje (puerto 2) y viceversa.

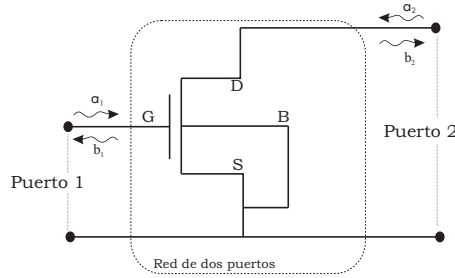


Figura 3.1: Configuración del MOSFET como una red de dos puertos.

De esta manera, la respuesta del MOSFET ante los diferentes estímulos aplicados puede ser descrita por medio de una matriz de 2×2 definida como [26, 70]:

$$\begin{bmatrix} b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \begin{bmatrix} a_1 \\ a_2 \end{bmatrix}$$

donde a_1 y a_2 representan ondas de voltaje incidentes y b_1 y b_2 reflejadas en cada puerto. Una vez obtenidos los parámetros S a partir de mediciones, es posible obtener los correspondientes parámetros Z, Y o H por medio de las transformaciones adecuadas para su posterior análisis [70].

3.2. Descripción de los dispositivos y las condiciones experimentales

Los dispositivos estudiados en este trabajo fueron cuatro transistores MOS de canal n fabricados sobre sustrato de silicio tipo p en configuración fuente/substrato común. Cada transistor cuenta con 8 dedos de compuerta ($NF=8$), cada uno con ancho de $3 \mu\text{m}$ ($W_f = 3 \mu\text{m}$) y longitudes de mascarilla de canal de 80 nm, $0,25 \mu\text{m}$, $0,5 \mu\text{m}$ y $1 \mu\text{m}$ respectivamente. Las mediciones se realizaron a nivel de oblea en el rango de 10 MHz a 40 GHz utilizando un analizador de redes vectorial (VNA) Agilent E8361A. Se utilizaron puntas de prueba coplanares de RF con $150 \mu\text{m}$ de separación entre agujas. La polarización de los dispositivos se realizó utilizando una fuente Keithley 2400 conectada a través del VNA, como se ilustra en la Figura 3.2.

Para definir el plano de medición al nivel de las estructuras de prueba y la impedancia de referencia a 50Ω se empleó el procedimiento de calibración SOLT (cortoabierto-carga-a través, por sus siglas en inglés), el cual es uno de los estándares de calibración más conocido y utilizado para eliminar el posible error introducido por el VNA al realizar las mediciones. SOLT requiere la medición de estructuras fuera de la oblea, ilustradas en la Figura 3.3, las cuales son diseñadas específicamente con fines de calibración instrumental.

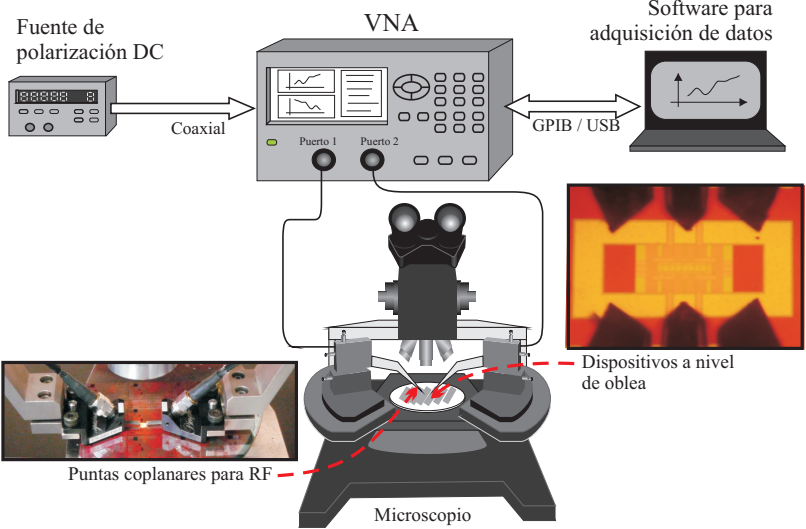


Figura 3.2: Esquema del montaje experimental utilizado para la realización de las mediciones.

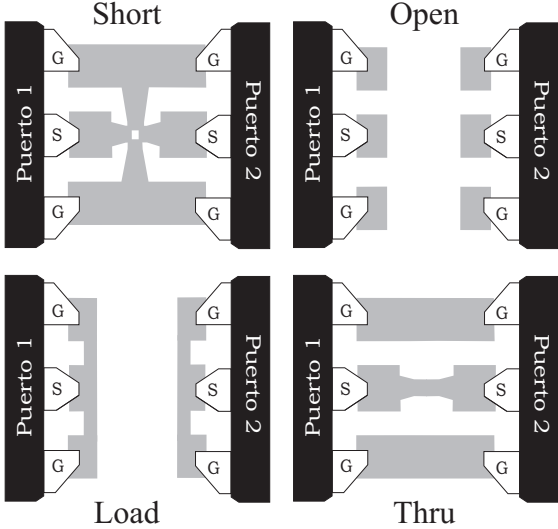


Figura 3.3: Estructuras de calibración SOLT

3.2.1. Efecto parásito de la estructura de pruebas

Es claro que para acceder al dispositivo en su zona activa, éste debe conectarse a través de plataformas de contacto y líneas de interconexión. Como se presenta en la Figura 3.4, las estructuras de prueba de los dispositivos estudiados se encuentran en configuración G-S-G (tierra-síñal-tierra, por sus siglas en inglés) y adicionalmente cuentan con un plano de tierra en un nivel de metal inferior. Esta configuración, denominada blindada, previene el acoplamiento entre los contactos a través del sustrato cuando se realizan las mediciones de RF, ya que a diferencia de las estructuras de prueba convencionales, éstas proporcionan un mejor confinamiento del campo eléctrico en las puntas de prueba, similar a una guía de onda coplanar [71–74], como se ilustra en la Figura 3.5.

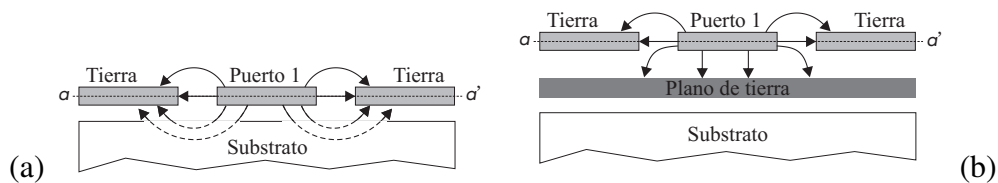
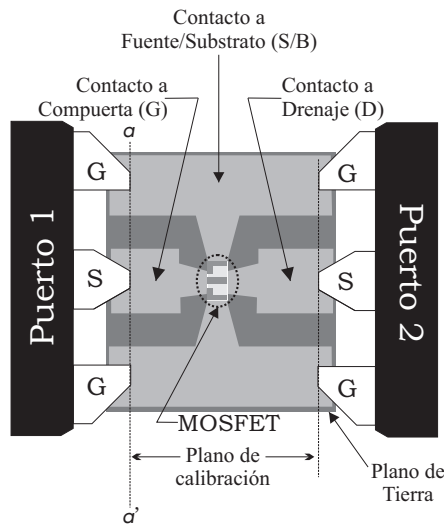


Figura 3.5: Comparación entre las estructuras de prueba (a) convencionales (b) blindadas.

En la Figura 3.6 se presenta un modelo para la estructura de prueba blindada, en este modelo Y_i y Y_o representan la capacitancia entre las plataformas de contacto y el plano de tierra, la impedancia Z_f representa el acoplamiento entre las plataformas de contacto a través del aire, Z_{gnd} representa la impedancia del plano de tierra, los efectos

de las vías que conectan los niveles superiores de metal al dispositivo bajo estudio se consideran por las impedancias en serie Z_i y Z_o mientras R_i y R_o representan las características puramente resistivas de las plataformas de contacto [74].

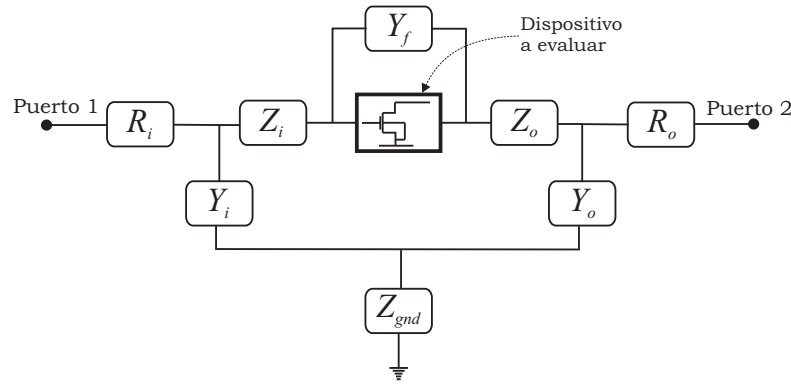


Figura 3.6: Modelo asociado a los efectos parásitos en la estructura de pruebas blindada.

Los efectos asociados a la estructura de pruebas son considerados como parásitos, deben ser eliminados de los datos medidos. En este trabajo se empleó el método propuesto en [74] para remover los efectos introducidos por las plataformas de contacto en las mediciones de dispositivos con estructura de pruebas blindada.

Una vez removidos los efectos parásitos de los contactos, los datos corresponderán a la respuesta del dispositivo, y a partir de ellos se procederá a obtener los elementos que constituyen el modelo de circuito equivalente, como se explicará posteriormente.

3.3. Determinación de los elementos del circuito equivalente

Para la determinación de los parámetros que forman el modelo presentado en la Figura 2.10 se realizaron mediciones de parámetros S estableciendo una condición de polarización en frío o *cold*, esto es, sin aplicar ninguna diferencia de potencial entre las terminales de drenaje y fuente ($V_{ds} = 0$). Mientras, el voltaje de compuerta fue mantenido superior al voltaje de umbral. Bajo estas condiciones de polarización, y considerando que el MOSFET se configuró en fuente/substrato común, es posible realizar algunas simplificaciones, a saber:

1. Debido a la condición de polarización en frío, no existe corriente entre fuente y drenaje, por lo tanto la transconductancia del MOSFET es despreciable [43]. Así, la fuente controlada presentada en el modelo puede ser eliminada.

2. De acuerdo con lo expresado en el capítulo anterior, C_{gb} incluye el efecto de los cambios de la concentración de carga en la región de compuerta ante las variaciones en la tensión de sustrato, esto es, $C_{gb} = \frac{\partial Q_G}{\partial V_b} |_{V_d, V_s, V_b}$. Por tanto, bajo la condición de $V_{ds} = 0$, y considerando fuerte inversión, el voltaje a través del óxido a lo largo del canal permanece fijo. Así los cambios en V_b no serán percibidos en la carga de compuerta ($\Delta Q_G = 0$) [16]. bajo estas condiciones el efecto de C_{gb} para el análisis en pequeña señal puede despreciarse.
3. En la Figura 2.10 es posible apreciar que las implantaciones de sustrato y fuente se encuentran muy cercanas, esto es frecuente en transistores empleados para operar en el rango de RF configurados en fuente/sustrato común. La proximidad de estas regiones reduce considerablemente el efecto de R_{bks} y por lo tanto éste puede ser ignorado.
4. La impedancia introducida por C_{js} , para el rango de frecuencias considerado, es típicamente mucho mayor que el valor R_s . Por lo tanto, su efecto puede ser ignorado para el presente análisis [67].

De acuerdo con lo anteriormente expuesto, el circuito equivalente presentado en la Figura 2.10 puede ser reducido como se muestra en la Figura 3.7.

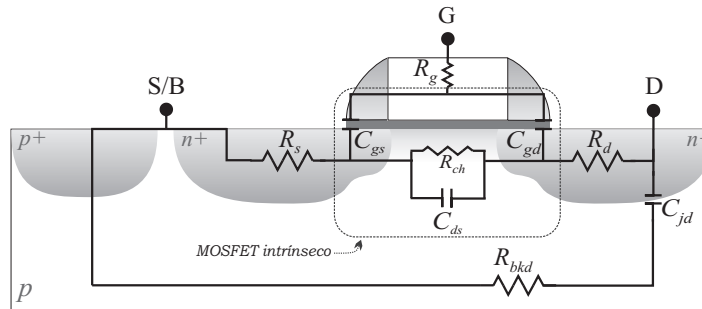


Figura 3.7: Sección transversal del MOSFET mostrando el circuito equivalente simplificado para $V_{ds} = 0$ y $V_{gs} > V_t$. Configurado en fuente/sustrato común.

3.3.1. Impedancia total de salida del MOSFET

La impedancia de salida del MOSFET puede analizarse directamente mediante el parámetro de impedancia Z_{22} , el cual se expresa matemáticamente como:

$$Z_{22} = \frac{v_2}{i_2} \Big|_{i_1=0} \quad (3.1)$$

Usando esta definición, la corriente a través del puerto 1 es cero, y por lo tanto la resistencia de compuerta no interviene en el análisis, como se aprecia de la Figura 3.8.

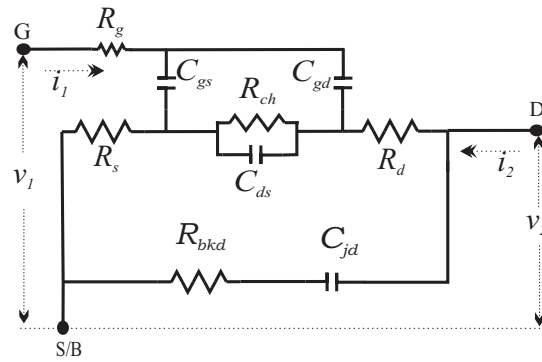


Figura 3.8: Circuito equivalente ilustrando los voltajes y las corrientes asociadas a los puertos de entrada y salida.

Adicionalmente, definiendo un nuevo parámetro C_x , que represente la capacitancia equivalente que incluye el efecto introducido por C_{ds} , C_{gs} y C_{gd} , tal que,

$$C_x = C_{ds} + \frac{C_{gs}C_{gd}}{C_{gs} + C_{gd}} \quad (3.2)$$

el circuito se reduce al presentado en la Figura 3.9.

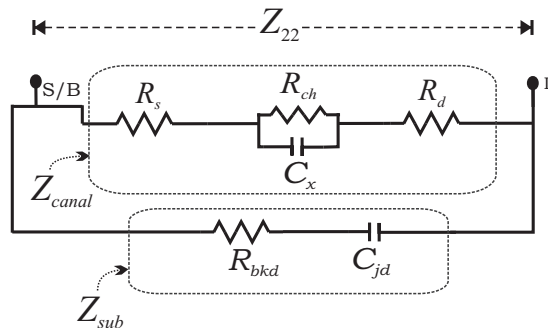


Figura 3.9: Circuito equivalente asociado con el parámetro Z_{22} .

De acuerdo con la Figura 3.9, la impedancia total de salida está compuesta de dos impedancias conectadas en paralelo. Una definida como Z_{canal} que incluye los elementos de la región activa del MOSFET; y otra definida como Z_{sub} asociada a la red de substrato. En los siguientes apartados, se presenta la extracción de los elementos que conforman cada una de éstas.

3.3.2. Elementos asociados a la impedancia Z_{sub}

Para obtener la impedancia del sustrato (Z_{sub}) se realizaron mediciones de parámetros S estableciendo una condición de polarización con $V_{gs} = V_{ds} = 0$.

Bajo esta condición de polarización es válido realizar dos aproximaciones para simplificar el estudio.

- La primera establece que debido a que no hay inversión del canal el valor de R_{ch} es muy grande, lo que permite ignorar su efecto dado que $R_{ch} || 1/(j\omega C_x) \approx 1/(j\omega C_x)$.
- La segunda, permite despreciar el efecto de las resistencias en serie R_s y R_d , dado que son mucho más pequeñas que la impedancia $1/(j\omega C_x)$. Esto es, $R_s + 1/(j\omega C_x) + R_d \approx 1/(j\omega C_x)$.

De acuerdo con esto, el circuito equivalente resultante se presenta en la Figura 3.10.

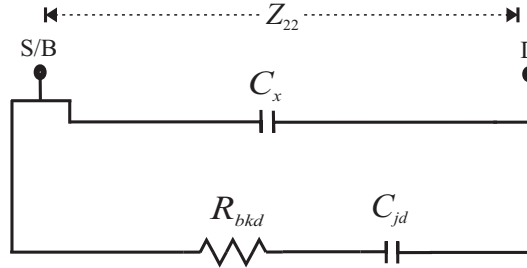


Figura 3.10: Circuito equivalente para el MOSFET polarizado a $V_{ds} = V_{gs} = 0$.

En este circuito, la admitancia de salida del MOSFET (Y_o) puede ser definida a partir de $1/Z_{22}$ y expresada como,

$$Y_o = 1/Z_{22} = \frac{\omega^2 C_{jd}^2 R_{bkd}}{1 + \omega^2 C_{jd}^2 R_{bkd}^2} + j \left(\omega C_x \frac{\omega C_{jd}}{1 + \omega^2 C_{jd}^2 R_{bkd}^2} \right) \quad (3.3)$$

Es posible reorganizar la parte real de la ecuación 3.3, tal que,

$$\frac{\omega^2}{\text{Re}(Y_o)} = \omega^2 R_{bkd} + \frac{1}{C_{jd}^2 R_{bkd}} \quad (3.4)$$

Al graficar la expresión 3.4 tal que $\omega^2/\text{Re}(Y_o)$ sea función de ω^2 es posible determinar a partir de una regresión lineal el valor de la resistencia R_{bkd} y de la capacitancia C_{jd} asociadas a la impedancia del sustrato Z_{sub} de la pendiente y el intercepto, respectivamente. Esta regresión se presenta en la Figura 3.11 para el transistor de longitud de canal de 80 nm.

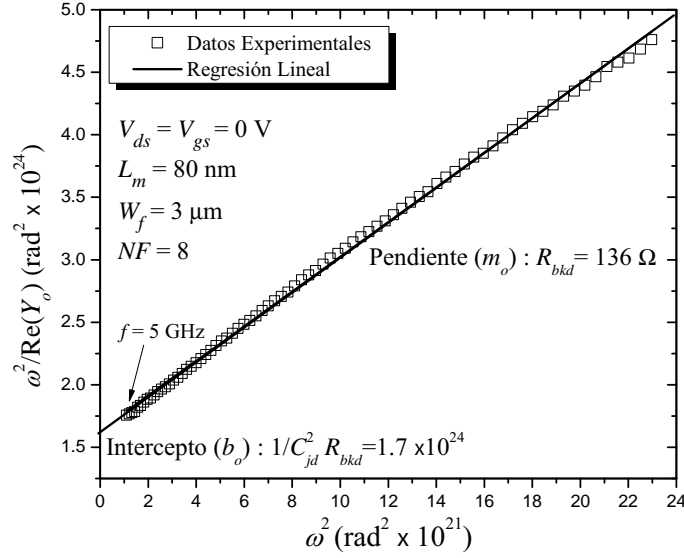


Figura 3.11: Regresión lineal utilizada para determinar R_{bkd} y C_{jd} .

Se puede apreciar en la Figura 3.11 la buena concordancia entre los datos experimentales y la regresión lineal realizada.

3.3.3. Elementos asociados a la impedancia Z_{canal}

Después de determinar la resistencia R_{bkd} y la capacitancia C_{jd} , los efectos del sustrato pueden ser removidos de los datos experimentales mediante la aplicación de la operación matricial,

$$\mathbf{Y}^* = \mathbf{Y} - \begin{bmatrix} 0 & 0 \\ 0 & \frac{\omega^2 C_{jd}^2 R_{bkd}}{1 + \omega^2 C_{jd}^2 R_{bkd}^2} + j \frac{\omega C_{jd}}{1 + \omega^2 C_{jd}^2 R_{bkd}^2} \end{bmatrix} \quad (3.5)$$

donde \mathbf{Y} es la matriz de parámetros Y obtenida para una condición de polarización definida, y \mathbf{Y}^* es la matriz de parámetros de Y después de remover los efectos del sustrato.

Una vez obtenida la matriz \mathbf{Y}^* , ésta es convertida en sus correspondientes matriz de parámetros \mathbf{Z} , \mathbf{Z}^* ,

$$\mathbf{Z}^* = \begin{bmatrix} Z_{11}^* & Z_{12}^* \\ Z_{21}^* & Z_{22}^* \end{bmatrix} \quad (3.6)$$

A partir de la cual el parámetro Z_{22}^* puede ser asociado al circuito que se presenta en la Figura 3.12 donde los efectos del sustrato han sido removidos de la impedancia de salida del MOSFET.

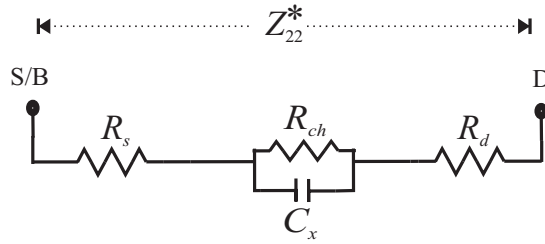


Figura 3.12: Circuito equivalente para el MOSFET polarizado a $V_{ds} = 0$ y $V_{gs} > V_t$ después de remover los efectos del sustrato.

De acuerdo con este circuito, y en relación a la Figura 3.12, es posible expresar Z_{22}^* como:

$$Z_{22}^* = R_s + R_d + \frac{R_{ch}}{1 + (\omega C_x R_{ch})^2} - j \left(\frac{\omega C_x R_{ch}^2}{1 + (\omega C_x R_{ch})^2} \right) \quad (3.7)$$

Reorganizando la parte imaginaria de la ecuación (3.7) se obtiene,

$$-\frac{\omega}{\text{Im}(Z_{22}^*)} = \omega^2 C_x + \frac{1}{R_{ch}^2 C_x} \quad (3.8)$$

De acuerdo con la ecuación (3.8), realizando una regresión lineal de $-\omega/\text{Im}(Z_{22}^*)$ en función de ω^2 es posible obtener los valores de la capacitancia C_x y la resistencia de canal R_{ch} a partir de la pendiente y el intercepto con las abscisas. El resultado de aplicar ésta regresión para el MOSFET con longitud de canal de 80 nm polarizado con $V_{gs} = 0,6$ V se presenta en la Figura 3.13.

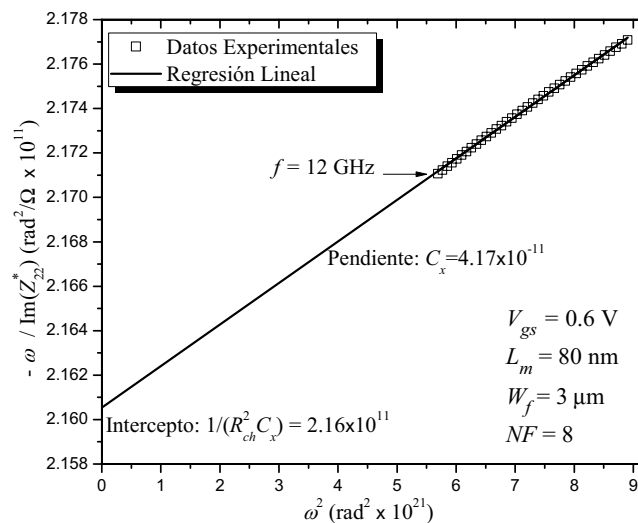


Figura 3.13: Regresión lineal usada para determinar R_{ch} y C_x con $V_{gs} = 0,6$ V

Una vez que R_{ch} y C_x han sido determinados, las resistencias en serie de drenaje (R_d) y fuente (R_s) pueden ser calculadas empleando las siguientes expresiones [42],

$$R_s = \text{Re}(Z_{12}^*) - \frac{1}{2} \cdot \frac{R_{ch}}{1 + (\omega C_x R_{ch})^2} \quad (3.9)$$

$$R_d = \text{Re}(Z_{22}^*) - R_s - \frac{R_{ch}}{1 + (\omega C_x R_{ch})^2} \quad (3.10)$$

Mediante el procedimiento anteriormente descrito se han determinado todos los elementos del modelo presentado en la Figura 3.9 para un valor definido de polarización de compuerta ($V_{gs} = 0,6$ V). Para estudiar el impacto en la variación de esos parámetros en las características de salida del MOSFET, se han considerado diferentes valores de polarización en fuerte inversión, variando desde $V_{gs} = 0,5$ V hasta $V_{gs} = 0,7$ V en pasos de 20 mV.

A partir de los resultados obtenidos tras extraer los valores de R_{ch} para los diferentes valores de V_{gs} , se propone en la siguiente sección un método de extracción directa para obtener el voltaje de umbral (V_t), el factor de reducción de la movilidad debido al campo eléctrico vertical en el canal (θ) y el factor de ganancia (β_0), y de esta forma describir físicamente el comportamiento de la resistencia en el canal, dando pie a cuantificar de una forma más adecuada el impacto del sustrato en las características de salida del MOSFET.

3.4. Modelado de la resistencia del canal

La conductancia intrínseca de pequeña señal entre la fuente y el drenaje (g_{ch}) a $V_{ds} = 0$ puede ser expresada como [64],

$$g_{ch} = \frac{1}{R_{ch}} = \frac{\mu_{eff} C_{ox} W_{eff}}{L_{eff}} (V_{gs} - V_t) \quad (3.11)$$

donde

- C_{ox} es la capacitancia del óxido de compuerta por unidad de área.
- μ_{eff} es la movilidad efectiva en la capa de inversión.
- L_{eff} es la longitud efectiva.
- W_{eff} el ancho efectivo.

Definiendo el parámetro β tal que,

$$\beta = \frac{\mu_{eff} C_{ox} W_{eff}}{L_{eff}} \quad (3.12)$$

es posible expresar la ecuación (3.11) como,

$$g_{ch} = \beta V_{gs} - \beta V_t \quad (3.13)$$

Es bien conocido que pequeños cambios en V_{gs} introducen pequeñas variaciones en la longitud efectiva del canal (L_{eff}) [33], lo cual a su vez introducirá pequeños cambios en β tal que, es posible considerar la expresión 3.13 como lineal en pequeños rangos de polarización. Así, β puede ser obtenido de la pendiente y V_t del intercepto mediante una regresión lineal de g_{ch} en función de V_{gs} . En la Figura 3.14 se presenta la extracción de V_t para el transistor de longitud de canal de 80 nm.

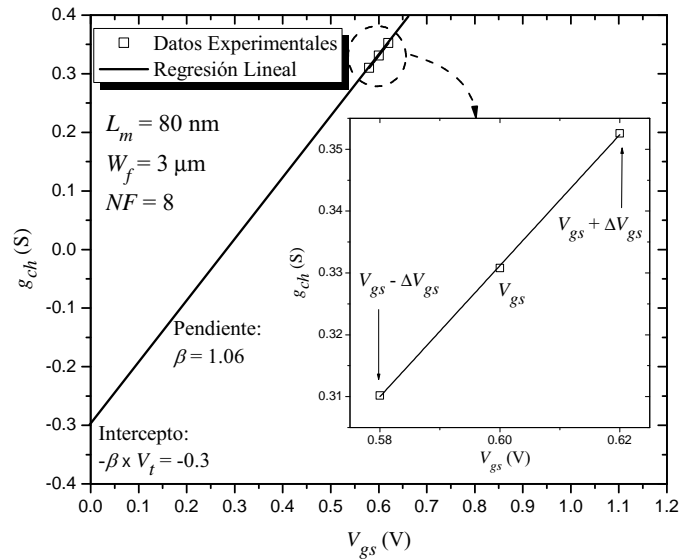


Figura 3.14: Regresión lineal usada para determinar V_t .

Como se muestra en la figura, la regresión se realizó empleando como punto central $V_{gs} = 0,6$ V tal que $V_{gs} \pm \Delta V_{gs}$ con $\Delta V_{gs} = 20$ mV.

En la Figura 3.15 se presentan los valores obtenidos para V_t como función de V_{gs} . Como se puede observar, no hay una variación significativa en el valor extraído de V_t , manteniéndose casi constante sobre todo el rango de V_{gs} evaluado.

Una vez que el voltaje de umbral ha sido determinado, el factor de reducción de la movilidad debido al campo eléctrico vertical en el canal (θ) y el factor de ganancia (β_0) pueden ser obtenidos. Así, reescribiendo la ecuación 3.11 de tal forma que,

$$R_{ch} = \frac{L_{eff}}{\mu_{eff} C_{ox} W_{eff} (V_{gs} - V_t)} \quad (3.14)$$

Considerando que la movilidad efectiva en la capa de inversión (μ_{eff}) es usualmente modelada de acuerdo a la siguiente expresión [64],

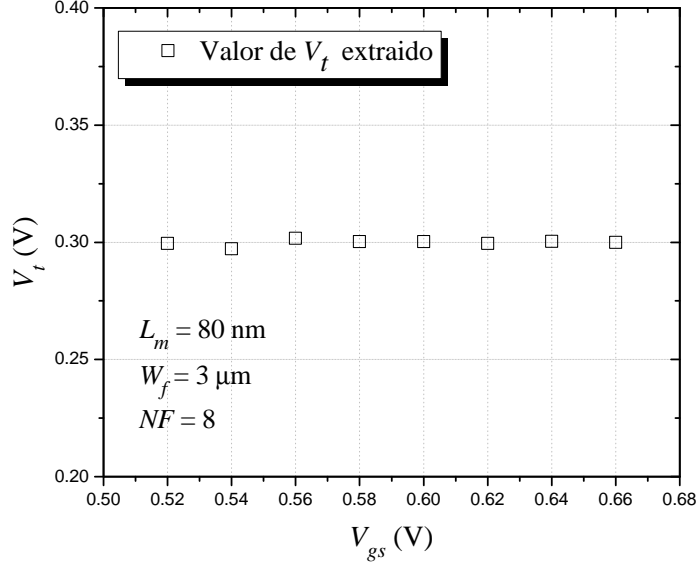


Figura 3.15: Valor de V_t extraído para el MOSFET con longitud de canal de 80 nm.

$$\mu_{eff} = \frac{\mu_0}{1 + \theta(V_{gs} - V_t)} \quad (3.15)$$

Donde μ_0 es la movilidad intrínseca. Así, sustituyendo (3.15) en la ecuación (3.14), la resistencia del canal puede ser expresada como,

$$R_{ch} = \frac{L_{eff}[1 + \theta(V_{gs} - V_t)]}{\mu_0 C_{ox} W_{eff}(V_{gs} - V_t)} \quad (3.16)$$

Con β_0 expresado como,

$$\beta_0 = \frac{\mu_0 C_{ox} W_{eff}}{L_{eff}} \quad (3.17)$$

Ahora, reemplazando (3.17) en (3.16) y reorganizando se obtiene,

$$R_{ch} = \frac{1}{\beta_0(V_{gs} - V_t)} + \frac{\theta}{\beta_0} \quad (3.18)$$

Partiendo de la ecuación 3.18 y bajo la consideración de pequeñas variaciones de V_{gs} hecha anteriormente, se obtienen θ y β_0 realizando una regresión lineal, como se ilustra en la Figura 3.16.

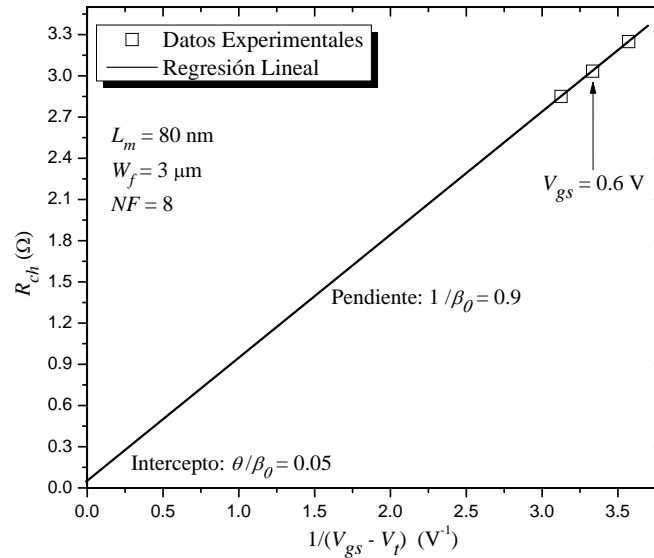


Figura 3.16: Regresión lineal usada para determinar θ y β_0 .

Una vez determinados los valores del modelo compacto, que describe el comportamiento de la resistencia del canal mediante la ecuación 3.18, estos se incluyen en el modelo presentado en la Figura 3.9, obteniendo así un modelo híbrido que describe el comportamiento del MOSFET en el rango de frecuencias estudiado.

3.5. Obtención del voltaje de umbral a partir de mediciones de DC

Para complementar el presente trabajo y contrastar los resultados obtenidos mediante la metodología de extracción propuesta, se realizaron mediciones de DC en los dispositivos. Como resultado de estas mediciones, en la Figura 3.17 se presenta la curva característica de corriente drenaje-fuente (en escala logarítmica) en función del voltaje de polarización aplicado en la terminal de compuerta. Como se puede apreciar en ésta, a medida que se reduce la longitud del canal la corriente de drenaje aumenta y el voltaje de umbral se reduce, así mismo se puede ver, que el transistor con longitud de canal de $1 \mu\text{m}$ comienza a conducir en un valor de voltaje de compuerta menor que el transistor de $0,5 \mu\text{m}$, esto puede ser asociado a un efecto inverso de canal corto, como se discutió en la sección 2.2.

A partir de estos datos experimentales, se propone extraer el voltaje de umbral mediante el método de *máxima transconductancia*, el cual es uno de los más utilizados para la extracción de este parámetro [36].

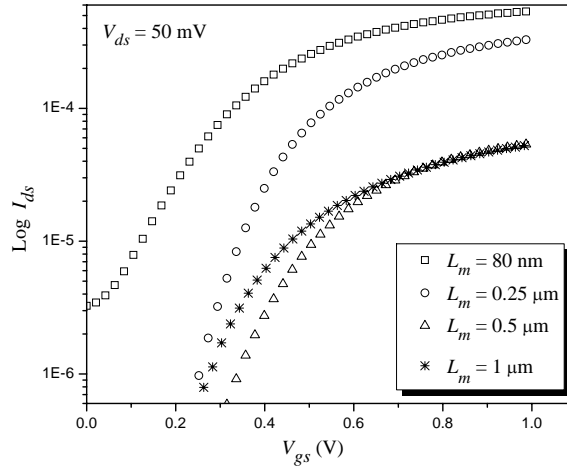


Figura 3.17: Log I_{ds} en función de V_{gs} para diferentes longitudes de compuerta.

Este método consiste en obtener el valor de V_{gs} en el punto donde se presenta el valor máximo de la transconductancia del dispositivo ($g_m = \partial I_{ds} / \partial V_{gs}$) para un valor bajo de voltaje de polarización de drenaje (en este trabajo se utilizó $V_{ds} = 50$ mV). El valor de V_t se obtiene de la intersección con el eje horizontal de la recta tangente a la curva de corriente de drenaje en ese punto.

En la Figura 3.18 se muestra una gráfica que ilustra la aplicación de este método para obtener el voltaje de umbral para el transistor con longitud de canal de 80 nm, polarizado a un voltaje de drenaje $V_{ds} = 50$ mV. Cabe mencionar que el cálculo de la transconductancia y los parámetros de la recta tangente fueron enteramente numéricos para obtener el voltaje umbral de todos los transistores estudiados.

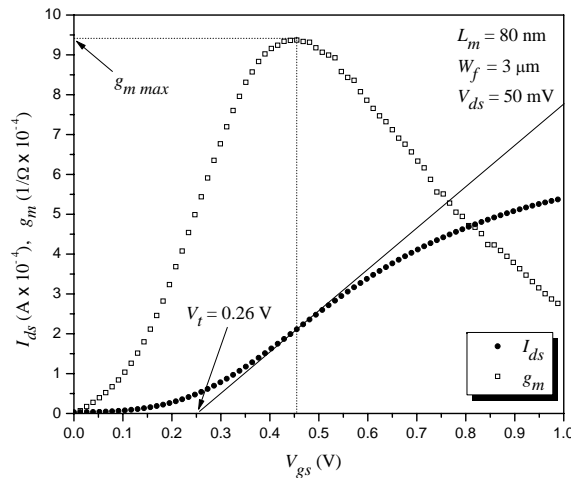


Figura 3.18: Extracción de V_t mediante el método de máxima transconductancia para el transistor con $L_m = 80$ nm.

3.6. Validación del modelo de circuito equivalente obtenido

Con la finalidad de verificar la validez del método de extracción propuesto, los valores para el voltaje de umbral obtenidos mediante el modelo descrito por la ecuación 3.18 y obtenidos mediante el método de máxima transconductancia, presentado en la sección anterior, se contrastan en la Figura 3.19. En esta se aprecia que a medida que se reduce la longitud del canal la correlación de los valores es menor, esto puede ser asociado a que en el método propuesto en este trabajo se empleó polarización de drenaje V_{ds} igual a cero, mientras en el método basado en mediciones de DC se aplica una diferencia de potencial drenaje-fuente de 50 mV, lo cual reduce el voltaje de umbral, como se explicó en la sección 2.2.

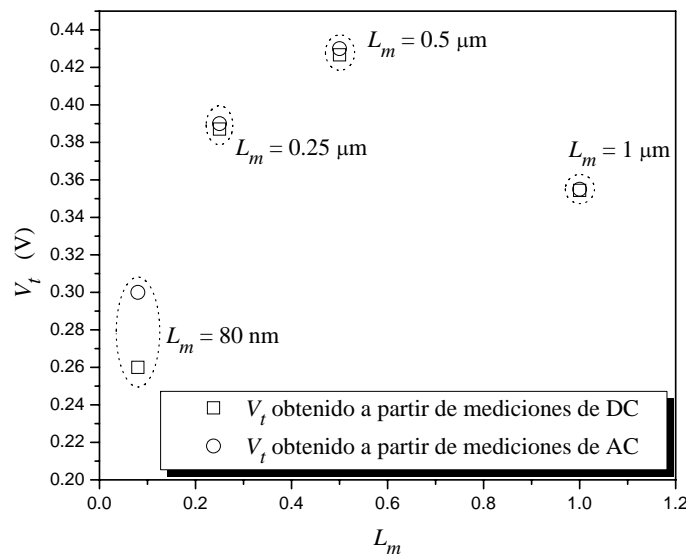


Figura 3.19: Comparación del voltaje de umbral obtenido mediante el método propuesto y el tradicional.

Así mismo, una vez determinados todos los elementos del modelo presentado en la Figura 3.9 los resultados obtenidos se utilizan para reproducir la admitancia de salida (Y_o) del MOSFET para diferentes valores de voltaje compuerta-fuente (V_{gs}) mediante simulaciones, con el fin de verificar que el modelo obtenido reproduce los datos experimentales. En la Figura 3.20 se presentan los resultados de las diferentes simulaciones realizadas para el MOSFET con longitud de canal de 80 nm.

Se puede observar la excelente correlación entre los resultados experimentales y las simulaciones hasta 40 GHz cuando se consideran los efectos parásitos asociados al sustrato; en contraste el modelo en el cual las pérdidas a través del sustrato no son consideradas se desvía notablemente del resultado experimental alrededor a una fre-

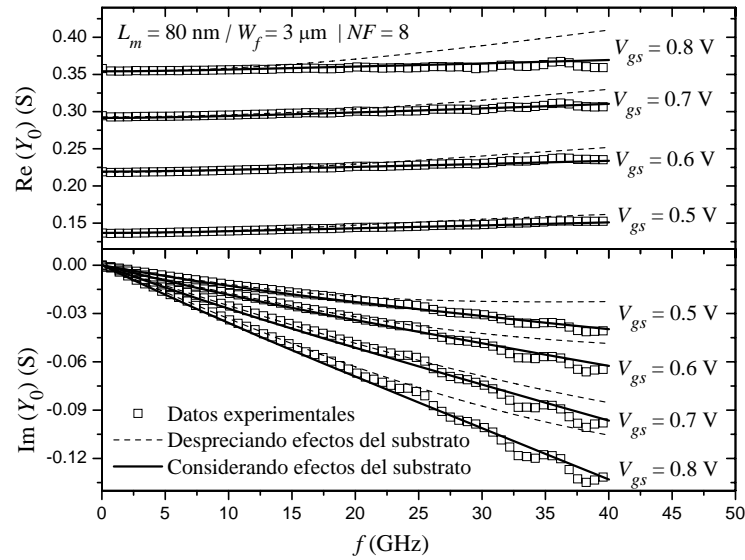


Figura 3.20: Comparación entre la simulación y los datos experimentales.

cuencia dada. Este efecto es dependiente del voltaje aplicado entre las terminales de compuerta y fuente (V_{gs}). Esta dependencia observada en el modelo que desprecia los efectos del sustrato puede ser atribuida a que la extracción para su simulación se realizó de forma directa, lo cual puede subestimar o sobrestimar algunos efectos físicos que pueden resultar en una desviación notable de los parámetros del MOSFET.

3.7. Conclusiones

En esta sección, se presentó la metodología empleada para obtener directamente de mediciones, los parámetros que conforman un modelo de circuito equivalente propuesto, para describir el comportamiento del MOSFET en altas frecuencias. Posteriormente, este método se empleó estableciendo diferentes condiciones de polarización y a partir de los resultados, se obtuvo un modelo físico para describir el comportamiento de la resistencia del canal, cuya principal ventaja radica en que para la obtención de los parámetros constitutivos, se empleó un único transistor, eliminando los posibles errores introducidos en los métodos tradicionales, que se basan en regresiones de longitud, empleando para ello arreglos de transistores.

Es posible a partir de la Figura 3.18 apreciar la validez del método de extracción propuesto para los parámetros asociados al modelo que describe el comportamiento de la resistencia del canal a partir de la medición de parámetros de dispersión y su consistencia con las mediciones de DC.

Por otra parte, la excelente correlación entre los datos experimentales y el modelo simulado en el rango de 100 MHz a 40 GHz valida la metodología de extracción empleada en este trabajo.

Así pues, se ha obtenido un modelo híbrido, que será la base para en el siguiente capítulo analizar en impacto de la impedancia asociada al efecto parásito introducido por el substrato.

Capítulo 4

Influencia del sustrato en la impedancia de salida

Uno de los más importantes efectos a tener en cuenta cuando se incrementa la frecuencia de operación, son las considerables pérdidas a través del sustrato. Por lo tanto, el cuantificar estas pérdidas, es una valiosa contribución en el diseño de circuitos integrados. En este capítulo se utiliza el modelo obtenido en el capítulo anterior, para realizar la cuantificación de las pérdidas a través del sustrato y evaluar su dependencia con la polarización y la geometría en MOSFETs avanzados.

4.1. Aproximación de dos ramas

A partir de la Figura 3.9, es posible definir una corriente asociada a cada rama que constituye la impedancia de salida. Como se presenta en la Figura 4.1.

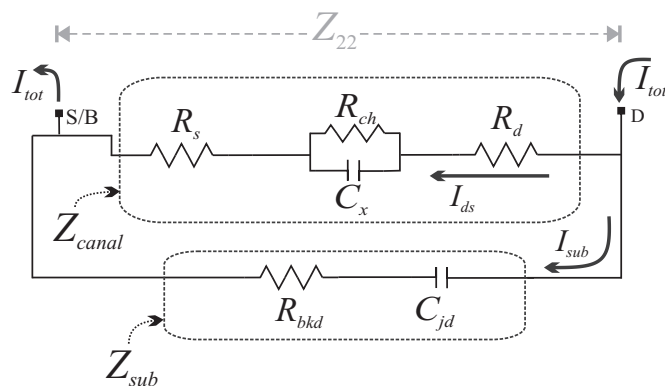


Figura 4.1: Circuito equivalente asociado con el parámetro Z_{22} ilustrando las corrientes que fluyen por cada rama.

Es claro, que la magnitud de la corriente que fluye en cada rama del circuito, depende de la magnitud de la impedancia a través de la cual circula. Por lo tanto, en el

caso ideal y en concordancia con la Figura 4.1, la corriente I_{tot} circularía sin pérdidas entre las terminales de drenaje y fuente por la región del canal, esto es $I_{tot} = I_{ds}$. Sin embargo, en la aplicación práctica, las pérdidas de corriente a través del sustrato deben ser consideradas, por tanto I_{tot} tendrá dos componentes de corriente: i) una que fluye a través del canal, I_{ds} ; y ii) otra que fluye a través del sustrato, I_{sub} . Matemáticamente esto es:

$$I_{tot} = I_{ds} + I_{sub} \quad (4.1)$$

Es posible notar en la Figura 4.1, que la magnitud de I_{sub} depende fuertemente de la frecuencia de operación. Esto debido a que la impedancia asociada con el sustrato incluye los efectos capacitivos de C_{jd} , cuya reactancia es naturalmente dependiente de la frecuencia. En consecuencia, la contribución de I_{ds} e I_{sub} en la corriente total depende de la frecuencia de la señal aplicada en las terminales del dispositivo.

Así, a relativas bajas frecuencias el efecto de C_{jd} puede ser considerado despreciable y la impedancia de salida, en este caso representada por el parámetro Z_{22} , puede ser representada solamente por medio de Z_{canal} . Sin embargo, a medida que la frecuencia se incrementa la reactancia asociada con C_{jd} decrece, lo cual produce que la admitancia Y_{sub} se incremente, como se presenta en la Figura 4.2 (a), llegando a ser comparable a Z_{canal} tal que la contribución de I_{sub} en I_{tot} se puede tornar considerable, claramente entonces el efecto del sustrato es dependiente de la frecuencia de operación.

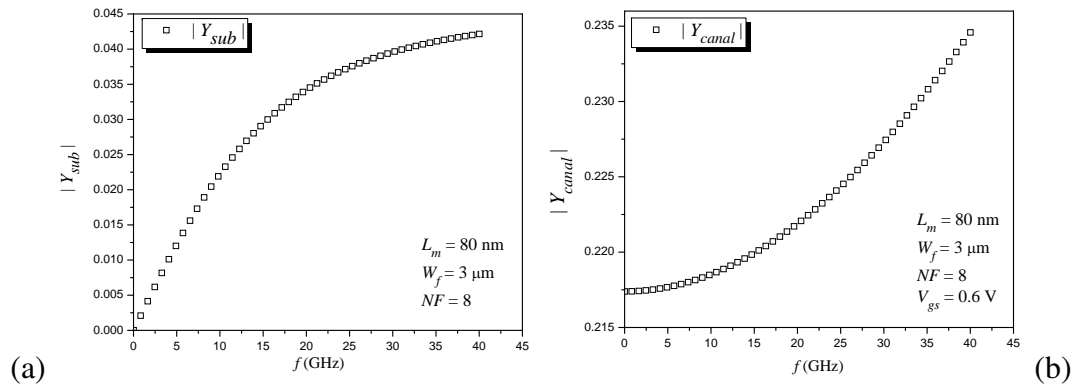


Figura 4.2: Magnitud de las admitancias Y_{canal} y Y_{sub} en función de la frecuencia para el transistor con longitud de canal de 80 nm.

Es importante adicionalmente resaltar que la admitancia Y_{canal} es dependiente de la polarización, ya que involucra todos los elementos intrínsecos mencionados en el capítulo 2, mientras Y_{sub} puede ser considerada como independiente del voltaje de polarización de compuerta. En otras palabras, si se incrementa el voltaje de polarización V_{gs} , la admitancia Y_{canal} aumenta, como se muestra en la Figura 4.3, esto principalmente debido a que el valor de la resistencia R_{ch} disminuye, y en éste caso el impacto de

la corriente que fluye a través del sustrato es menor, debido a que $Y_{sub} \ll Y_{canal}$, por tanto, $I_{sub} \ll I_{ds}$.

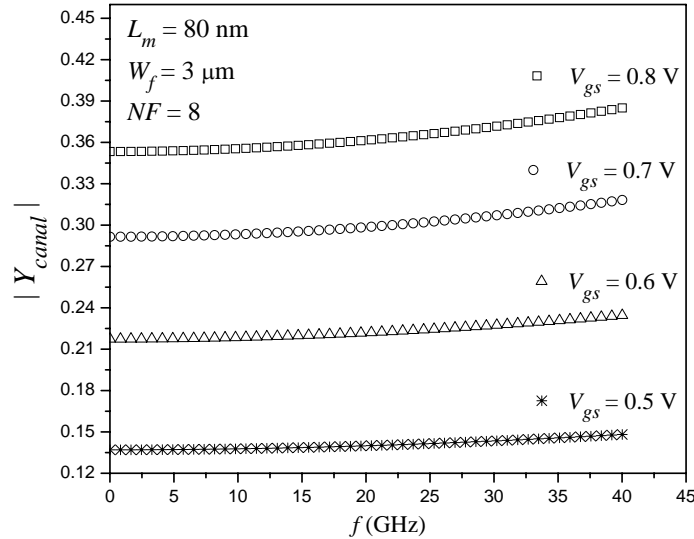


Figura 4.3: Variación de la admitancia Y_{canal} en función de la frecuencia de operación y el voltaje de polarización V_{gs} .

4.2. Dependencia de las pérdidas por sustrato con el voltaje de polarización

Con la finalidad de cuantificar la influencia de los elementos del sustrato en las características de salida, es conveniente definir un nuevo parámetro X_{sub} , tal que:

$$X_{sub} = \frac{|Y_{sub}|}{|Y_{sub}| + |Y_{canal}|} \times 100 \quad (4.2)$$

donde Y_{sub} y Y_{canal} son las admitancias obtenidas a partir de la correspondiente transformación de Z_{sub} y Z_{canal} respectivamente.

Como se observa en la ecuación 4.2, X_{sub} representa la contribución, en porcentaje, de la admitancia del sustrato en la admitancia total de salida del MOSFET. Esto significa que la corriente que fluye a través del sustrato es proporcional a X_{sub} . Así, a partir de la ecuación 4.2, es posible obtener una cuantificación de las pérdidas parásitas a través del sustrato como una función de la frecuencia, como se presenta en la Figura 4.4.

Nótese que la corriente de sustrato puede contribuir hasta en un 60 % de la corriente total de salida cuando el dispositivo se encuentra operando cerca del voltaje de umbral. Por otra parte, a medida que el voltaje de compuerta-fuente es incrementado, la

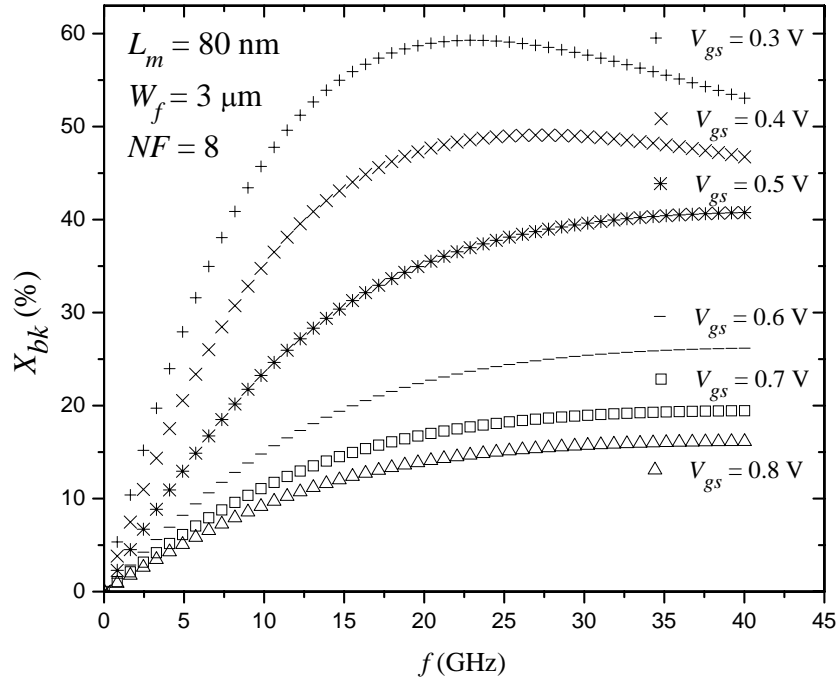


Figura 4.4: Contribución de la admitancia del sustrato en la admitancia total de salida del MOSFET para diferentes valores de V_{gs} .

corriente de AC a través del sustrato se reduce; este comportamiento se atribuye a la reducción del valor de la resistencia del canal a medida que el voltaje de polarización se incrementa, produciendo que la corriente que fluye a través de Z_{sub} decaiga de acuerdo con lo esperado. Es importante notar, sin embargo, que para voltajes relativamente altos, esta corriente parásita puede representar hasta el 15% de la corriente total que fluye a través del dispositivo.

4.3. Dependencia de las pérdidas por sustrato con la longitud del canal

Para completar el presente análisis, se estudió la dependencia de las pérdidas a través del sustrato con la frecuencia, para dispositivos con diferente longitud de canal, manteniendo fijo el voltaje de polarización. Como se presenta en la Figura 4.5.

Nótese que las pérdidas a través del sustrato son más considerables a medida que la longitud del canal aumenta; esto corrobora el hecho que la influencia parásita del sustrato, en las características de salida del dispositivo, se reduce cuando la resistencia del canal disminuye, en este caso debido a la variación en la longitud del mismo.

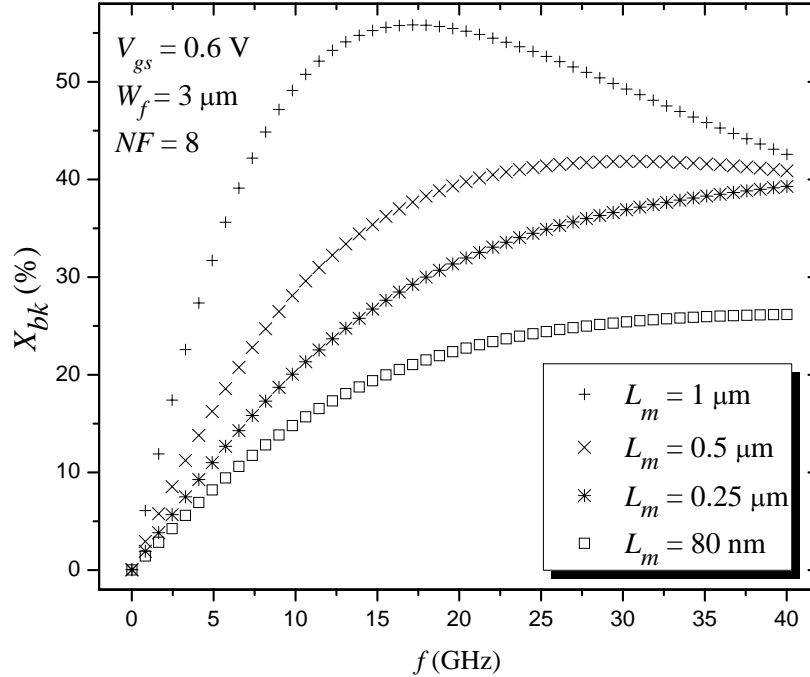


Figura 4.5: Contribución de la admitancia del sustrato en la admitancia total del MOSFET para transistores de diferente longitud.

En las Figuras 4.4 y 4.5 es posible apreciar que a relativamente bajas frecuencias (p. ej. alrededor de 10 GHz) la contribución del sustrato no puede ser ignorada. Adicionalmente, se puede notar que las curvas no son monótonamente crecientes, éstas presentan un máximo dentro del rango estudiado; el cual se presenta debido a que, alrededor de una frecuencia determinada, Z_{canal} decrece a una tasa mayor que Z_{sub} .

4.4. Conclusiones

En este capítulo se presentó una forma de cuantificar la influencia que tiene el sustrato en las características de salida de un transistor MOS, determinando la dependencia con el voltaje de polarización, mostrando que aunque se establezca un voltaje de polarización varias veces mayor que el voltaje de umbral, la corriente a través del sustrato es considerable y debe ser tomada en cuenta en los modelos empleados para el diseño de circuitos integrados.

Además, se evaluó cómo influye el variar la longitud de los dispositivos en las pérdidas a través del sustrato, verificando la importancia que tiene el correcto modelado de la resistencia del canal.

Capítulo 5

Conclusiones y trabajo futuro

En este trabajo se presentó una metodología para la extracción de los parámetros que conforman el modelo de pequeña señal para un MOSFET, prestando especial cuidado en el modelado de la resistencia del canal involucrada en el modelo, de la cual se extrajo un modelo compacto. Una vez obtenidos todos los parámetros involucrados en el modelo se presentó una evaluación del sustrato, cuantificando su impacto en las características de salida del dispositivo y mostrando la importancia de considerar éste en el desarrollo de modelos para el diseño de circuitos integrados.

5.1. Extracción de parámetros y modelo del MOSFET

El modelo propuesto para representar el comportamiento del MOSFET en altas frecuencias corresponde a un modelo híbrido, y se demostró la extracción de algunas variables a partir de mediciones de parámetros S. La extracción de los parámetros se realizó de forma directa de las mediciones. Sin embargo, para dar mayor precisión en la evaluación del impacto del sustrato, para representar el comportamiento de la resistencia del canal se empleó el modelo compacto presentado por la ecuación 3.18, donde los parámetros que conforman éste (θ , β_0 , V_t), se obtuvieron empleando únicamente un transistor, lo que reduce significativamente los errores introducidos en los métodos que emplean múltiples transistores para la determinación del voltaje de umbral.

Además, se obtuvo una excelente descripción de los datos experimentales con el modelo presentado en el rango de 100 MHz a 40 GHz, validando el procedimiento de extracción.

5.2. Influencia del sustrato en las características de salida del MOSFET

Con base en los componentes intrínsecos y extrínsecos que conforman el modelo para altas frecuencias del MOSFET, el efecto de la corriente AC que fluye a través del sustrato fue cuantificado, encontrando que, en tecnologías actuales esta corriente puede constituir una gran parte de la corriente total que fluye a través del dispositivo, llegando a representar hasta el 60 % de la corriente total. Por lo tanto, este efecto debe ser considerado cuando se realizan simulaciones de circuitos integrados CMOS para aplicaciones de RF y baja potencia, donde los transistores son operados en la región de moderada inversión, y este efecto usualmente no es considerado.

5.3. Proyecciones

Con la realización de este trabajo se abre la posibilidad de realizar estudios más profundos con la finalidad de describir analíticamente la dependencia de las pérdidas por sustrato con la frecuencia. De igual forma, se hace necesario continuar trabajando en la dirección de desarrollar un modelo más completo para describir el comportamiento de la resistencia del canal. De la misma forma, es necesario mencionar la necesidad de realizar investigación concerniente al modelado de dispositivos con dimensiones aún menores, debido a que la evolución tecnológica y el escalamiento de los dispositivos introduce efectos previamente despreciados en los modelos tradicionales, y que en dimensiones como las tratadas en este trabajo comienzan a ser bastante significativas (pérdidas por sustrato, corrientes de fuga, incremento en los efectos parásitos, etc.). Cabe resaltar adicionalmente que el tratamiento y descripción del MOSFET, como un dispositivo de cuatro terminales es aún un tema abierto de investigación, debido a la escasa disponibilidad de equipo para medir al MOSFET como una red de tres puertos.

Bibliografía

- [1] J.-J. Ou, X. Jin, I. Ma, C. Hu, and P. Gray, “Cmos rf modeling for ghz communication ic’s,” in *VLSI Technology, 1998. Digest of Technical Papers. 1998 Symposium on*, Jun 1998, pp. 94–95.
- [2] J. J. Liou and F. Schwierz, “Rf mosfet: recent advances, current status and future trends,” *Solid State Electronics*, vol. 47, no. 11, pp. 1881–1895, November 2003.
- [3] T. Brazil, “Simulating circuits and devices,” *IEEE Microwave Magazine*, vol. 4, no. 1, pp. 42–50, Mar 2003.
- [4] A. Z. de Landa, J. E. Zúñiga-Juárez, J. R. Loo-Yau, J. A. Reynoso-Hernández, M. del Carmen Maya-Sánchez, and J. L. del Valle-Padilla, “Advances in linear modeling of microwave transistors,” *IEEE Microwave Magazine*, vol. 10, no. 2, pp. 100–111, April 2009.
- [5] Y. Cheng, M. J. Deen, and C.-H. Chen, “Mosfet modeling for rf circuit design,” *IEEE Transactions on Electron Devices*, vol. 52, no. 7, 2005.
- [6] Y. Cheng and M. Matloubian, “On the high-frequency characteristics of substrate resistance in rf mosfets,” *IEEE Electron Device Letters*, vol. 21, no. 12, 2000.
- [7] U. Mahalingam, S. C. Rustagi, and G. S. Samudra, “Direct extraction of substrate network parameters for rf mosfet modeling using a simple test structure,” *IEEE Electron Device Letters*, vol. 27, no. 2, 2006.
- [8] R. T. Chang, M.-T. Yang, P. P. C. Ho, Y.-J. Wang, Y.-T. Chia, and B.-K. Liew, “Modeling and optimization of substrate resistance for rf-cmos,” *IEEE Transactions on Electron Devices*, vol. 51, no. 3, 2004.
- [9] M. Trivedi, P. Khandelwal, and K. Shenai, “Performance modeling of rf power mosfets,” *IEEE Transactions on Electron Devices*, vol. 46, no. 8, pp. 1794–1802, Aug 1999.
- [10] K.-H. Oh, Z. Yu, and R. Dutton, “A bias dependent source/drain resistance model in ldd mosfet devices for distortion analysis,” in *6th International Conference on VLSI and CAD, 1999. ICVC ’99.*, 1999, pp. 190–193.

-
- [11] Y. Hu, R. Booth, and M. White, "An analytical model for the lateral channel electric field in ldd structures," *IEEE Transactions on Electron Devices*, vol. 37, no. 10, pp. 2254–2264, Oct 1990.
- [12] S.-L. Jang, S.-S. Liu, and C.-J. Sheu, "A compact ldd mosfet i-v model based on nonpinned surface potential," *IEEE Transactions on Electron Devices*, vol. 45, no. 12, pp. 2489–2498, Dec 1998.
- [13] G. Hu, C. Chang, and Y.-T. Chia, "Gate-voltage-dependent effective channel length and series resistance of ldd mosfet's," *IEEE Transactions on Electron Devices*, vol. 34, no. 12, pp. 2469–2475, Dec 1987.
- [14] E. Augendre, R. Rooyackers, M. Caymax, E. Vandamme, A. De Keersgieter, C. Perello, M. Van Dievel, S. Pochet, and G. Badenes, "Elevated source/drain by sacrificial selective epitaxy for high performance deep submicron cmos: Process window versus complexity," *IEEE Transactions on Electron Devices*, vol. 47, no. 7, pp. 1484–1491, Jul 2000.
- [15] M. Jurczak, M. de Potter, R. Rooyackers, W. Jeamsaksiri, A. Redolfi, L. Grau, A. Lauwers, R. Lindsay, I. Peytier, E. Augendre, and G. Badenes, "Elevated co-silicide for sub-100nm high performance and rf cmos," in *Proceeding of the 32nd European Solid-State Device Research Conference, 2002.*, September 2002, pp. 311–314.
- [16] Y. Tsididis, *Operation and Modeling of the MOS Transistor*. Oxford University Press, 1999.
- [17] M. Y. Je, I. Kwon, H. Shin, and K. Lee, "Mosfet modeling and parameter extraction for rf ics," *International Journal of High Speed Electronics and Systems*, vol. 11, no. 4, 2001.
- [18] V. Kilchytska, A.Ñeve, L. Vancaillie, D. Levacq, S. Adriaensen, H. van Meer, K. De Meyer, C. Raynaud, M. Dehan, J.-P. Raskin, and D. Flandre, "Influence of device engineering on the analog and rf performances of soi mosfets," *IEEE Transactions on Electron Devices*, vol. 50, no. 3, pp. 577–588, March 2003.
- [19] G. Dambrine, C. Raynaud, D. Lederer, M. Dehan, O. Rozeaux, M. Vanmackelberg, F. Danneville, S. Lepilliet, and J.-P. Raskin, "What are the limiting parameters of deep-submicron mosfets for high frequency applications?" *IEEE Electron Device Letters*, vol. 24, no. 3, pp. 189–191, March 2003.
- [20] S. Pidini and M. Koyanagi, "Parasitic series resistance extraction and impact ionization current modeling for soi mosfets," *Microelectronics Journal*, vol. 29, pp. 31–41, 1998.
- [21] J. C. Chen, *CMOS Devices and Technology for VLSI*. Prentice Hall, 1990.
-

-
- [22] H. Lee, J.-H. Lee, Y. J. Park, and H. S. Min, "Characterization issues of gate geometry in multifinger structure for rf-soi mosfets," *IEEE Electron Device Letters*, vol. 23, no. 5, pp. 288–290, May 2002.
- [23] P. J. Vandeloo and W. M. Sansen, "Modeling of the mos transistor for high frequency analog design," *IEEE Transactions on Computer-Aided Design*, vol. 8, pp. 713–723, May 1989.
- [24] E. Abou-Allam and T. Manku, "A small-signal mosfet model for radio frequency ic applications," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 16, no. 5, pp. 437–447, May 1997.
- [25] ———, "An improved transmission-line model for mos transistors," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 46, no. 11, pp. 1380–1387, Nov 1999.
- [26] R. Torres-Torres, "Small-signal modeling of bulk mosfets for high frequency applications," Ph.D. dissertation, Instituto Nacional de Astrofísica, Óptica y Electrónica (INAOE), December 2003.
- [27] T. H. Morshed, W. M. Yang, M. V. Dunga, X. J. Xi, J. He, W. Liu, Kanyu, M. Cao, X. Jin, J. J. Ou, M. Chan, A. M. Niknejad, and C. Hu, "Bsim4.6.4 mosfet model," University of California, Berkeley, Tech. Rep., 2009.
- [28] N. Semiconductors, "Mos models," http://www.nxp.com/models/mos_models/index.html, May 2009, fecha de consulta.
- [29] E. A. Vittoz and C. C. Enz, *Sub-threshold Design for Ultra Low-Power Systems*. Springer US, 2006.
- [30] M. Bucher, C. Lallement, C. Enz, F. Théodoloz, and F. Krummenacher, "Ekv compact mosfet model," <http://legwww.epfl.ch/ekv/index.html>, May 2009, fecha de consulta.
- [31] U. Berkeley, "Bsim3/bsim4," <http://www-device.eecs.berkeley.edu/~bsim3/>, May 2009, fecha de consulta.
- [32] F. Sischka and T. Gneiting, "Rf mos measurements," *International Journal of High Speed Electronics and Systems*, vol. 11, no. 4, pp. 887–951, Dec 2001.
- [33] G. J. Hu and C. C. Y.-T. Chia, "Gate-voltage-dependent effective channel length and series resistance of ldd mosfet's," *IEEE Transactions on Electron Devices*, vol. 34, no. 12, 1987.
- [34] A. Ortiz-Conde, F. J. G. Sánchez, and J. J. Liou, "On the extraction of threshold voltage, effective channel length and series resistance of mosfets," *Journal Of Telecommunications And Information Technology*, vol. 3, no. 4, 2000.
-

-
- [35] N. Arora and M. Sharma, "Modeling the anomalous threshold voltage behavior of submicrometer mosfet's," *IEEE Electron Device Letters*, vol. 13, no. 2, pp. 92–94, Feb 1992.
- [36] A. Ortiz-Conde, F. J. G. Sánchez, J. J. Liou, A. Cerdeira, M. Estrada, and Y. Yue, "A review of recent mosfet threshold voltage extraction methods," *Microelectronics Reliability*, vol. 42, no. 4-5, pp. 583 – 596, 2002.
- [37] E. T. Rios, "Substrate loss characterization and modeling for high frequency cmos applications," Ph.D. dissertation, Instituto Nacional de Astrofísica, Óptica y Electrónica (INAOE), November 2008.
- [38] A. Parker and J. Rathmell, "Bias and frequency dependence of fet characteristics," *IEEE Transactions on Microwave Theory and Techniques*, vol. 51, no. 2, pp. 588–592, Feb. 2003.
- [39] A. E. Parker and J. G. Rathmell, "Relating dynamics of fet behavior to operating regions," in *58th ARFTG Conference Digest-Fall*, vol. 40, Nov. 2001, pp. 1–10.
- [40] J. Vidalou, J. Grossier, M. Chaumas, M. Camiade, P. Roux, and J. Obregon, "Accurate nonlinear transistor modeling using pulsed s parameters measurements under pulsed bias conditions," in *IEEE MTT-S International Microwave Symposium Digest, 1991.*, Jul 1991, pp. 95–98 vol.1.
- [41] A. Parker and J. Rathmell, "Measurement and characterization of hemt dynamics," *IEEE Transactions on Microwave Theory and Techniques*, vol. 49, no. 11, pp. 2105–2111, Nov 2001.
- [42] E. Torres-Rios, R. Torres-Torres, G. Valdovinos-Fierro, and E. A. Gutiérrez-D., "A method to determine the gate bias-dependent and gate bias-independent components of mosfet series resistance from s-parameters," *IEEE Transactions on Electron Devices*, vol. 53, no. 3, 2006.
- [43] R. Torres-Torres, R. Murphy-Arteaga, and A. Torres-Jacome, "An improved substrate-loss model to determine mosfet drain, source and substrate elements," *Microwave And Optical Technology Letters*, vol. 43, no. 2, 2004.
- [44] N. Arora, *MOSFET Modeling for VLSI Simulation, Theory and Practice*. World Scientific, 2007.
- [45] H. Veendrick, *Deep-Submicron CMOS ICs*. Kluwer Academic Publishers, 2000.
- [46] M. Miura-Mattausch, H. J. Mattausch, and T. Ezaki, *The Physics and Modeling of MOSFETS*. World Scientific, 2008.
- [47] F. Schwierz and J. Liou, "Semiconductor devices for rf applications: evolution and current status," *Microelectronics Reliability*, vol. 41, no. 5, pp. 145 – 168, 2001.
-

-
- [48] R. Torres-Torres, “Características del transistor mos submicrométrico,” Instituto Nacional de Astrofísica, Óptica y Electrónica (INAOE), Tech. Rep. 226, Sep 2001.
- [49] S. University, “Tcad tools,” <http://www-tcad.stanford.edu/>, May 2009, fecha de consulta.
- [50] J. Agostinelli, V.M., T. Bordelon, X. Wang, C. Yeap, A. Tasch, and C. Maziar, “A two-dimensional model for predicting substrate current in submicrometer mosfets,” *IEEE Transactions on Electron Devices*, vol. 39, no. 11, pp. 2639–2640, Nov 1992.
- [51] C.-P. Wan, B. Sheu, and S.-L. Lu, “Device and circuit simulation interface for an integrated vlsi design environment,” *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 7, no. 9, pp. 998–1004, Sep 1988.
- [52] C. Ho, J. Plummer, S. Hansen, and R. Dutton, “Vlsi process modeling suprem iii,” *IEEE Transactions on Electron Devices*, vol. 30, no. 11, pp. 1438–1453, Nov 1983.
- [53] M. Thurner and S. Selberherr, “Three-dimensional effects due to the field oxide in mos devices analyzed with minimos 5,” *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 9, no. 8, pp. 856–867, Aug 1990.
- [54] S. Selberherr, A. Schutz, and H. Potzl, “Minimos – a two-dimensional mos transistor analyzer,” *IEEE Journal of Solid-State Circuits*, vol. 15, no. 4, pp. 605–615, Aug 1980.
- [55] T. K. Maiti, S. Mahato, P. Chakraborty, C. K. Maiti, and S. K. Sarkar, “Cmos performance enhancement in hybrid orientation technologies,” *Journal of Computational Electronics*, vol. 7, no. 3, pp. 181–186, Sep 2008.
- [56] I. Synopsys “Three-dimensional simulations of 45-nm technology cmos devices,” *TCAD News*, pp. 1–6, Dic 2008.
- [57] X. Sun, Q. Lu, V. Moroz, H. Takeuchi, G. Gebara, J. Wetzel, S. Ikeda, C. Shin, and T.-J. K. Liu, “Tri-gate bulk mosfet design for cmos scaling to the end of the roadmap,” *IEEE Electron Device Letters*, vol. 29, no. 5, pp. 491–493, May 2008.
- [58] E. A. Vittoz and C. C. Enz, *Charge-based MOS Transistor Modeling*. Jhon Wiley & Sons, 2006.
- [59] D. Foty, *MOSFET Modeling With Spice*. Prentice Hall, 1997.
- [60] Y. Cheng and C. Hu, *MOSFET Modeling & BSIM3 User’s Guide*. Kluwer Academic Publishers, 2002.
-

-
- [61] R. Torres-Torres and R. Murphy-Arteaga, "Enabling a compact model to simulate the rf behavior of mosfets in spice," *Int. J. RF Microw. Comput.-Aided Eng.*, vol. 15, no. 3, pp. 255–263, 2005.
- [62] A. S. Sedra and K. C. Smith, *Circuitos Microelectrónicos*. Oxford University Press, 1999.
- [63] C. Ho, Y. Lo, Y. Chang, and J. J. Liou, "Determination of gate-bias dependent source/drain series resistance and effective channel length for advanced mos devices," *Solid-State Electronics*, vol. 50, no. 11-12, pp. 1774 – 1779, 2006.
- [64] F. C. J. Kong, Y. T. Yeow, and Z. Q. Yao, "Extraction of mosfet threshold voltage, series resistance, effective channel length and inversion layer mobility from small-signal channel conductance measurement," *IEEE Transactions on Electron Devices*, vol. 48, no. 12, 2001.
- [65] G. Baccarani and G. Sai-Halasz, "Spreading resistance in submicron mosfet's," *IEEE Electron Device Letters*, vol. 4, no. 2, pp. 27–29, Feb 1983.
- [66] X. Jin, J.-J. Ou, C.-H. Chen, W. Liu, M. Deen, P. Gray, and C. Hu, "An effective gate resistance model for cmos rf and noise modeling," in *International Electron Devices Meeting, 1998. IEDM '98 Technical Digest.*, Dec 1998, pp. 961–964.
- [67] R. Torres-Torres, R. Murphy-Arteaga, E. Augendre, and S. Decoutere, "Impact of technology scaling on the input and output features of rf-mosfets: effects and modeling," in *33rd Conference on European Solid-State Device Research, 2003. ESSDERC '03.*, Sept. 2003, pp. 295–298.
- [68] S. H.-M. Jen, C. C.ENZ, D. R. Pehlke, M. Schröter, and B. J. Sheu, "Accurate modeling and parameter extraction for mos transistors valid up to 10 ghz," *IEEE Transactions on Electron Devices*, vol. 46, no. 11, 1999.
- [69] R. Torres-Torres and R. Murphy-Arteaga, "Straightforward determination of small-signal model parameters for bulk rf-mosfets," *Proceedings of the fifth IEEE International Caracas conference on Devices, Circuits and Systems*, pp. 14–18, Nov 2004.
- [70] R. S. Murphy, *Teoría Electromagnética*. Trillas, 2001.
- [71] R. Torres-Torres, R. Murphy-Arteaga, and J. A. Reynoso-Hernandez, "Analytical model and parameter extraction to account for the pad parasitics in rf-cmos," *IEEE Transactions on Electron Devices*, vol. 52, no. 7, 2005.
- [72] M. Koolen, J. Geelen, and M. Versleijen, "An improved de-embedding technique for on-wafer high-frequency characterization," in *Proceedings of the 1991 Bipolar Circuits and Technology Meeting, 1991.*, Sep 1991, pp. 188–191.
-

-
- [73] T. Kaija and P. Heino, “The optimization of on-wafer shield-based test fixture layout,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 54, no. 5, pp. 1975–1982, May 2006.
- [74] E. Torres-Rios, R. Torres-Torres, R. Murphy-Arteaga, and E. Gutierrez, “Analytical characterization and modeling of shielded test structures for rf-cmos,” *International Journal of High Speed Electronics and Systems*, vol. 18, no. 4, 2008.
-