



**I  
N  
A  
O  
E**

Instituto Nacional de Astrofísica,  
Óptica y Electrónica

Implantación y Difusión de Impurezas  
en Silicio de Alto Índice Cristalino

Por

Miguel Castro Licona

Tesis sometida como requisito parcial para obtener  
el grado de Doctor en Ciencias en la especialidad de  
Electrónica en el Instituto Nacional de Astrofísica,  
Óptica y Electrónica.

Bajo la dirección de:

Dr. Francisco Javier De la Hidalga Wade

Dr. Pedro Rosales Quintero

Abril de 2008

Tonantzintla, Puebla

©INAOE 2008

Derechos Reservados

El autor otorga al INAOE el permiso de reproducir  
y distribuir copias de esta tesis en su totalidad o en  
partes.



## Agradecimientos

La culminación de este trabajo ha sido posible gracias al apoyo y colaboración de diversas personas e instituciones, a quienes ofrezco mis agradecimientos:

- Al INAOE por el soporte brindado durante mis estudios.
- Al CONACyT por el apoyo económico a través de la beca escolar 143921 y fondos del proyecto 39886.
- A la Universidad de Campinas por el apoyo en la implantación y activación de las muestras.
- A los investigadores: Dr. Fco. Javier De la Hidalga Wade y Dr. Pedro Rosales Quintero, directores de tesis.
- Al Dr. Don L. Kendall, iniciador del proyecto.
- A los investigadores: Dr. Alfonso Torres Jácome y Dr. Wilfrido Calleja Arriaga por sus observaciones y comentarios.
- Al Dr. Carlos Zúñiga, jefe del laboratorio de microelectrónica, por las facilidades brindadas.
- A los técnicos del laboratorio: M.C. Georgina Rosas, Ing. Pablo Alarcón, M.C. Ignacio Juárez, M.C. Netzahualcóyotl Carlos y Sr. Mauro Landa, por el apoyo en la preparación y medición de las muestras.
- A la Dra. Claudia Reyes por el enlace con la Universidad de Campinas y comentarios en la revisión del manuscrito.
- Al Dr. Jairo Plaza por el apoyo con las activaciones en el horno RTA.
- Amigos y familiares.



## Abstract

---

In this work, the diffusion mechanisms of both boron and phosphorus dopants are analyzed when they are diffused or ion-implanted and activated/diffused in high-index silicon substrates. Si(1 1 4) and Si(5 5 12) wafers are reported as highly promising substrates for the development of novel quantum structures especially for MOS devices. In order to obtain the final dopant distribution an electrochemical profiler was utilized. Because it is well known the lack of reported experimental data regarding the doping mechanism in these high-index silicon substrates, Si(0 0 1) and Si(1 1 1) substrates were utilized as reference. The experimental work was conducted varying the following parameters: temperature, doses, energy, tilt angle, silicon oxide masking film thickness, ambient and activation method; the thermal activation/diffusion of the impurities was specially evaluated because they influence in the final distribution of dopants. The doping profile of each experimental condition was extracted and discussed in terms of the anomalous effects: OED (Oxidation-Enhanced Diffusion), TED (Transient Enhanced Diffusion), and ion channeling. A test chip was fabricated to measure process and device parameters which were related to the profiles measured. The MOS (Metal-Oxide-Semiconductor) transistor performance fabricated in the high index silicon was evaluated and compared to those fabricated in the low index silicon substrates. From the results presented in this work, we can state:

- If the diffusion process is not conducted under oxidation, then diffusivity ( $D$ ) in high index silicon substrate is independent on the crystal orientation; however, under oxidation conditions, it process becomes a strong function of crystal orientation and exhibits the tendency:  $D_{(0\ 0\ 1)} < D_{(1\ 1\ 4)} < D_{(5\ 5\ 12)} < D_{(1\ 1\ 1)}$ .
- Any anomalous effect can be observed when diffusion process is conducted under high temperature for very long time.
- If silicon oxide masking film is thicker than 600 Å, then channeling is minimized. This result is quite interesting since it reveals that it is possible, under certain conditions, to perform implants with a tilt angle=0°. Despite that

Si(001) is normally tilted at  $7^\circ$  for ion implantation (to prevent the channeling), our results demonstrated that under certain conditions (implantation through a thick dioxide), it is possible to implant phosphorus with a tilt angle= $0^\circ$  obtaining a poor ion channeling. This is an important technological result since it could lead to a fabrication process producing MOS transistors with reduced lateral diffusion, hence producing source and drain regions with an improved auto-alignment.

- The measurements on the test chip demonstrated that important parameters as: contact resistance, sheet resistance, silicon dioxide thickness, voltage threshold, effective charge density, and effective mobility measured in high index substrates, can be competitive to those obtained in low index substrates (specially contact resistances and effective mobility).
- We believe that high-index surfaces could be an alternative to Si(0 0 1) as substrates for specialized applications. Even though Si(0 0 1) is the dominant substrate for electronic applications, the high-index surfaces Si(1 1 4) and Si(5 5 12) possess important features that can be used for orientation-dependent technologies to be used for developing MEMS (Micro Electro Mechanical Systems), hetero-epitaxy, and growing of 1-D nanostructures. Si(0 0 1) has been the dominant surface because it presents the highest quality silicon-silicon dioxide interface as well as the highest electron mobility. Nevertheless, our experimental data shows that the electron mobility in Si(1 1 4) can be higher than electron mobility in Si(0 0 1) for Transverse Electric Fields,  $E_{\text{eff}}$ ,  $> 0.4$  MV/cm when the channel runs parallel to the [1 1 0] direction. This fact is of great technological importance because the trend in current fabrication processes is to reduce the device dimensions, especially for modern MOS transistors, where  $E_{\text{eff}}$  can easily be above 0.4 MV/cm. It is worth mentioning that the MOS fabrication process used in these experiments has not been optimized for high-index silicon surfaces, and better results could be obtained in a process specially designed for high index substrates.

## Prefacio

---

La tecnología de dispositivos semiconductores ha crecido rápidamente en los últimos años, la capacidad de procesamiento de los circuitos integrados es duplicada cada 18 meses; esto es posible con el perfeccionamiento de los procesos de fabricación en etapas como: dopado de semiconductores, técnicas de grabado, reducción de contaminantes, transferencia de patrones geométricos mediante fotolitografía, introducción de nuevos materiales, y principalmente al escalamiento del transistor MOS (Metal-Oxido-Semiconductor).

Idealmente, si se reducen las dimensiones de la estructura MOS: grosor de óxido de compuerta, largo y ancho de canal, y en la misma proporción se reduce la magnitud de las fuentes de alimentación, entonces la distribución de los campos eléctricos en el dispositivo original será idéntica a la del dispositivo escalado, siendo este último más rápido, consumirá menor potencia y ocupará menos área. Actualmente es posible fabricar dispositivos con dimensiones nanométricas; sin embargo, continuar con la reducción de la estructura MOS resulta complejo, las limitantes físicas, tecnológicas, el costo y la presencia de efectos de segundo orden como la modulación de la longitud de canal por el voltaje en la compuerta, dispersión por rugosidad superficial, degradación del óxido por portadores con alta energía y calentamiento excesivo, sugieren que las estrategias alternas al escalamiento del transistor cobrarán mayor importancia en los nuevos procesos de fabricación de dispositivos semiconductores.

El silicio es el material semiconductor predominante como sustrato para la fabricación de dispositivos electrónicos y, de acuerdo a las predicciones del *International Technology Roadmap for Semiconductors*, continuará siéndolo por algunas décadas. La orientación usada preferentemente es la (001) por la calidad de su óxido e interface silicio-dióxido de silicio; sin embargo existe interés en fabricar

dispositivos MOS en sustratos de alto índice ya que las superficies de estos planos poseen características estructurales inexistentes en las de bajo índice. Particularmente en los planos (114) y (5 5 12) se forman bordes de altura monoatómica que pueden modificar la operación de dispositivos de superficie como el transistor MOS. Además, estos planos pueden ser base de tecnologías dependientes de la orientación cristalográfica del sustrato como el micromaquinado y crecimiento heteroepitaxial.

La aplicación de sustratos de alto índice en procesos MOS requiere que se rediseñe el proceso de fabricación para:

- Reducir los niveles de contaminación.
- Mejorar la calidad del dióxido de silicio y su interface con el silicio.
- Controlar la introducción de impurezas y su activación.

El diseño de un proceso completo es una tarea compleja, así que el propósito de este trabajo consiste en estudiar la introducción de impurezas y su activación en silicio (114) y (5 5 12) mediante implantación iónica y difusión atómica. Se determinará la relación entre estos procesos y los parámetros del transistor MOS: resistencia de hoja, resistencia de contacto, ancho efectivo de películas conductoras, densidad efectiva de cargas en el óxido, voltaje de umbral y movilidad efectiva de portadores en el canal de inversión en transistores MOS en función del ángulo de canal y de la orientación cristalina.

## **Organización de la tesis**

La tesis está organizada en 6 capítulos:

En el capítulo 1 se describen las generalidades del trabajo, partiendo de los avances de la tecnología de dispositivos semiconductores, el escalamiento del transistor MOS y los retos que debe enfrentar la electrónica del siglo XXI. Se plantea la importancia

que tendrán las estrategias alternas a la reducción de las dimensiones para continuar mejorando las capacidades de los circuitos integrados, destacando los beneficios potenciales de usar sustratos de alto índice culminando con los objetivos que guían la investigación.

En el capítulo 2 se describen las características estructurales de los sustratos de silicio (114) y (5 5 12) y se mencionan las razones que motivan su aplicación como base de procesos MOS y de tecnologías dependientes de la orientación.

En el capítulo 3 se mencionan las etapas de proceso dependientes de la orientación cristalina del sustrato y se discute la implicación que tienen con los parámetros de dispositivos y su funcionamiento.

En el capítulo 4 se presentan los resultados experimentales de los procesos de difusión e implantación, variando los parámetros: temperatura, tiempo, energía, ángulo de implantación, ambiente de difusión y grosor del óxido. También se discute la dependencia con la orientación cristalina de la difusividad de boro y fósforo en silicio, en términos de los efectos anómalos: Difusión Asistida por Oxidación, Incremento Transitorio de la Difusión y canaleo de iones.

En el capítulo 5 se presenta la caracterización de un proceso MOS empleando obleas de silicio con orientaciones (001), (114) y (5 5 12). Se discute la tendencia de los parámetros: resistencia de hoja, resistencia de contacto, ancho efectivo de regiones conductoras, densidad efectiva de carga en el óxido, grosor del óxido crecido térmicamente, voltaje de umbral y movilidad efectiva; todos estos parámetros en función de la orientación cristalina y se discuten de acuerdo a los datos presentados en los capítulos 3 y 4. Los parámetros medidos indican que es factible fabricar transistores MOS en los sustratos de alto índice logrando un desempeño comparable al obtenido en Si-(001), especialmente ante campos eléctricos transversales elevados ( $>0.4$  MV/cm) y con el canal de los transistores paralelo a los bordes en la superficie.



Finalmente, en el capítulo 6 se comentan las conclusiones, destacando la potencial aplicación de sustratos de alto índice en procesos MOS, la dependencia del proceso de dopado y parámetros del transistor con la orientación del sustrato y se establece el trabajo futuro.

## Listado de abreviaturas

Å	Angstrom ( $1 \times 10^{-10}$ m), unidad de longitud para dimensiones atómicas.
As	Arsénico, dopante donador.
B	Boro, dopante aceptor.
B	Constante de la razón parabólica del proceso de oxidación.
B/A	Constante de la razón lineal del proceso de oxidación.
C	Capacitancia (F).
C	Concentración de átomos ( $\text{cm}^{-3}$ ).
CI	Circuito integrado.
CIP	Circuito integrado de pruebas, permite evaluar las características de procesos y dispositivos.
CMOS	<i>Complementary Metal-Oxide-Semiconductor</i> . Metal-óxido-semiconductor complementario, principal tecnología para fabricar dispositivos semiconductores.
$C_s$	Concentración de dopantes en la superficie ( $\text{cm}^{-3}$ ).
D	Coefficiente de difusión ( $\text{cm}^2/\text{s}$ ).
dbS	<i>Density of dangling bonds</i> . Densidad de enlaces abiertos ( $\text{Å}^{-2}$ ).
$D_i$	Coefficiente de difusión intrínseco ( $\text{cm}^2/\text{s}$ ).
E	Campo eléctrico (V/cm).
$E_{\text{eff}}$	Campo eléctrico efectivo transversal (V/cm).
$\epsilon_0$	Permitividad dieléctrica del vacío ( $8.85418 \times 10^{-14}$ F/cm).
ECV	<i>Electrochemical Capacitance-Voltage</i> . Perfilado electroquímico mediante mediciones C-V.
$\epsilon_R$	Permitividad relativa.
$\epsilon_S$	Permitividad dieléctrica del material ( $\epsilon_0 \epsilon_R$ ).
$\epsilon_{\text{Si}}$	Permitividad relativa del Si (11.9).
$\epsilon_{\text{SiO}_2}$	Permitividad relativa del $\text{SiO}_2$ (3.7).
F	Flúor.
GaAs	Arseniuro de Galio, semiconductor <i>compuesto</i> más usado en la fabricación de dispositivos semiconductores.
$\eta$	Factor de ajuste para el cálculo de $E_{\text{eff}}$ (considerado generalmente como 1/2 para la movilidad de electrones y 1/3 para la movilidad de huecos).
J	Flujo de difusión.
k	Constante de Boltzman ( $1.38066 \times 10^{-23}$ J/K).
$L_{\text{eff}}$	Longitud efectiva de canal en transistores MOS.
ML	<i>Mono Layer</i> . Mono capa.
$M_{\text{mol}}$	Masa de un mol.
$\mu_n$	Movilidad de electrones ( $\text{cm}^2/\text{V s}$ ).
$\mu_p$	Movilidad de huecos ( $\text{cm}^2/\text{V s}$ ).
mS	Mili siemen.
MBE	<i>Molecular-Beam Epitaxy</i> . Epitaxia de haz molecular.
MOS	<i>Metal-Oxide-Semiconductor</i> . Metal-Óxido-Semiconductor.
n	Densidad de electrones libres ( $\text{cm}^{-3}$ ).

$N_A$	Número de avogadro ( $6 \times 10^{23}/\text{mol}$ ).
$N_A$	Densidad de impurezas aceptoras ( $\text{cm}^{-3}$ ).
$N_D$	Densidad de impurezas donadoras ( $\text{cm}^{-3}$ ).
$n_i$	Densidad intrínseca ( $\text{cm}^{-3}$ ).
$N_{\text{oxef}}$	Densidad efectiva de cargas en el óxido ( $\text{cm}^{-3}$ ).
OED	<i>Oxidation-Enhanced Diffusion</i> . Difusión asistida por oxidación, efecto anómalo que modifica la difusividad de dopantes cuando se lleva a cabo junto con oxidación.
$p$	Densidad de huecos libres ( $\text{cm}^{-3}$ ).
P	Fósforo. Dopante donador.
$q$	Carga del electrón ( $1.60218 \times 10^{-19} \text{ C}$ ).
Q	Densidad de carga medida.
$Q_b$	Densidad de carga en la región de carga espacial.
$Q_n$	Densidad de carga móvil en el canal.
$\rho$	Resistividad (ohms-cm).
R	Resistencia (ohms).
$R_c$	Resistencia de contacto (ohms).
$R_s$	Resistencia de hoja (ohms/cuadro).
RTA	<i>Rapid Thermal Annealing</i> . Recocidos térmicos rápidos, técnica de activación de impurezas en tiempos cortos.
S	Concentración total de dopantes ( $\text{cm}^{-3}$ ).
Sb	Antimonio.
Si	Silicio, material semiconductor más ampliamente usado.
SIMS	<i>Secondary Ion Mass Spectroscopy</i> . Espectroscopía de la masa del ión secundario, técnica para el análisis de materiales.
$\text{SiO}_2$	Dióxido de silicio.
STM	<i>Scanning Tunneling Microscopy</i> . Microscopía de barrido por tuneo, técnica de análisis estructural.
SOD	<i>Spin-on-dopant</i> . Fuente de óxidos dopados.
SOI	<i>Silicon on Insulator</i> . Silicio sobre aislante, nueva tecnología para fabricar dispositivos MOS
S.S.	<i>Stainless Steel</i> , indicador de flujo.
t	tiempo (s)
T	Temperatura (K o °C)
TED	<i>Transient Enhanced Diffusion</i> . Incremento transitorio de la difusión. Efecto anómalo resultado del daño de la estructura cristalina por implantación que incrementa la difusividad de dopantes durante el tiempo en que se elimina el daño.
$t_h$	Grosor (cm).
ULSI	<i>Ultra Large Scale of Integration</i> . Ultra alta escala de integración.
$V_{\text{FB}}$	Voltaje de banda de plana. Voltaje al que desaparece el doblamiento de las bandas (V)
$V_{\text{th}}$	Voltaje de umbral (V).
$W_{\text{eff}}$	Ancho efectivo de canal en transistores MOS ( $\mu\text{m}$ ).
$W_{\text{ei}}$	Ancho efectivo de películas conductoras ( $\mu\text{m}$ ).
$X_D$	Ancho de la región de agotamiento ( $\mu\text{m}$ ).

## Publicaciones y Participación en Congresos

---

- D. L. Kendall, F. J. De la Hidalga-W, R. R. Rodríguez-M, **M. Castro-L**, A. Torres-J, W. Calleja-A, E. Meza Prieto, M. Landa-V, C. Zúñiga-I, R. Murphy-A, N. Carlos-R, I. Juárez-R, M. Kendall, “Quantum (5 5 12)Si Nanowire 300K MOSFET”, ECS Transactions, vol. 13, “Advance Gate Stack, Source/Drain, and Channel Engineering for Si-Based CMOS 4: New Materials, Processes, and Equipment”, Phoenix, Az. meeting, será publicado el 18 de mayo de 2008.
- **M. Castro-L**, F. J. De La Hidalga-W, P. Rosales-Q, A. Torres-J, W. Calleja-A, E. A. Gutiérrez-D, and D. L. Kendall: “Effects of Channel and Crystalline Orientations on the Electron Mobility in MOSFETs Fabricated on (114) and (5 5 12)-Silicon Substrates”, ECS Transactions, vol. 6, (2006), pp. 21-27.
- **M. Castro-L**, F. J. De La Hidalga-W, P. Rosales-Q, A. Torres-J, W. Calleja-A, E. A. Gutiérrez-D, and D. L. Kendall: “Formation of n and p Regions in (114) and (5 5 12)-Silicon Substrates”. ECS Transactions, vol. 6, (2006), pp. 29-33.
- **M. Castro-L**, F. J. De la Hidalga-W, P. Rosales-Q, A. Torres-J, W. Calleja-A: “Implantation and Activation of Phosphorus in Si-(001) and Si-(5 5 12)”. International Conference on Electronic Design, Veracruz (2006).
- **M. Castro-L**, F. J. De la Hidalga-W, P. Rosales-Q, A. Torres-J, W. Calleja-A: “Electron Mobility in Si-(114) and Si-(5 5 12) MOSFETs as a Function of the Channel Orientation”. International Conference on Electronic Design, Veracruz (2006).

- **M. Castro-L**, F. J. De la Hidalga-W, P. Rosales-Q, A. Torres-J, W. Calleja-A: “Profiles of Boron and Phosphorus Implanted on (114) and (5 5 12) Silicon Substrates”. Sociedad Mexicana de Ciencia y Tecnología de Superficies y Materiales, Puebla (2006).
- **M. Castro-L**, F. J. De la Hidalga-W, P. Rosales-Q, A. Torres-J, W. Calleja-A: “Electron Mobility in (114) and (5 5 12) Silicon Inversion Layers”. Sociedad Mexicana de Ciencia y Tecnología de Superficies y Materiales, Puebla (2006).
- R. R. Rodríguez, E. Meza-P, **M. Castro-L**, I. Juárez, F. J. De la Hidalga-W, W. Calleja-A, A. Torres-J, M. Landa, C. Zúñiga, N. Carlos and Don L. Kendall: “Density of Interface States (Dit) on High Index Silicon MOS Capacitors”, Sociedad Mexicana de Ciencia y Tecnología de Superficies y Materiales, Zacatecas (2005).
- R. R. Rodríguez-M, E. Meza-P, **M. Castro-L**, F. J. De la Hidalga-W, W. Calleja-A, A. Torres-J and Don L. Kendall: “Fabrication of High Index Silicon Wafers”, XXV Congreso Nacional de la Sociedad Mexicana de Ciencia y Tecnología de Superficies y Materiales, Zacatecas (2005).
- R. R. Rodríguez, R. Fragoso, **M. Castro-L**, F. J. De la Hidalga-W, W. Calleja-A, A. Torres-J and Don L. Kendall: “Flattening of (0 0 1) and (1 1 1) Silicon Using Oxygen-Free Water”, Sociedad Mexicana de Ciencia y Tecnología de Superficies y Materiales, Zacatecas (2005).
- D. L. Kendall, F. J. De la Hidalga-W, A. Torres-J, R. R. Rodríguez-M, **M. Castro-L**, E. Meza-P, W. Calleja-A, M. Landa, C. Zúñiga, R. Murphy-A, N. Carlos, I. Juárez, and M. Kendall: “High Index Si MOSFETs and the One Dimensional Artificial Atom”, Sociedad Mexicana de Ciencia y Tecnología de Superficies y Materiales, Zacatecas (2005).

- D. L. Kendall, F. J. De la Hidalga-W, A. Torres-J, R. R. Rodríguez, **M. Castro-L**, E. Meza-P, W. Calleja-A, M. Landa, C. Zúñiga, R. Murphy-A, N. Carlos, I. Juárez, and M. Kendall: “A 300K Si nanowire transistor closely-coupled with a standard high-index silicon n-MOSFET”, Sociedad Mexicana de Ciencia y Tecnología de Superficies y Materiales, Zacatecas (2005).
- **M. Castro-L**, E. Meza-P, R. Rodríguez-M, I. Juárez, F. J. De la Hidalga-W, W. Calleja-A, A. Torres-J, M. Landa, C. Zúñiga, N. Carlos, Don L. Kendall and M. Kendall: “MOSFETs on the High-Index Silicon Surfaces (5 5 12) and (1 1 4): Impact of Channel Orientation on Device Performance”, Sociedad Mexicana de Ciencia y Tecnología de Superficies y Materiales, Zacatecas (2005).



# ***Índice General***

---

<b>ABSTRACT</b>	<b>IV</b>
<b>PREFACIO</b>	<b>VI</b>
<b>LISTADO DE ABREVIATURAS</b>	<b>X</b>
<b>PUBLICACIONES Y PARTICIPACIÓN EN CONGRESOS</b>	<b>XII</b>
<b>1 INTRODUCCIÓN</b>	<b>1</b>
1.1 Retos de la Electrónica del siglo XXI	2
1.1.1 Crecimiento de Obleas con Mayor Diámetro	3
1.1.2 Sistemas Litográficos con Resolución menor a 100 nm	3
1.1.3 Desarrollo de Dispositivos Ultra Pequeños	4
1.1.4 Retardo Parásito Debido a las Interconexiones	4
1.1.5 Disipación de Potencia	5
1.1.6 Costo del Proceso de Fabricación	5
1.2 Substratos de Alto Índice en Procesos MOS	6
1.2.1 Substratos Si-(114) y Si-(5 5 12): una Alternativa	7
1.2.2 El SpikeMOS	8
1.2.3 Formación nanoalambres en Si-(5 5 12)	10
1.2.4 Mayor movilidad de huecos en Si-(110)	11
1.2.5 Dependencia de $R_c$ en función de la Orientación del Substrato	11
1.3 Propuesta del Trabajo de Tesis	12
1.3.1 Objetivo General	13
1.3.2 Objetivos Específicos	13
1.4 Conclusiones	13
<b>2 SUBSTRATOS DE SI DE ALTO ÍNDICE</b>	<b>15</b>
2.1 Estructura Cristalina del Silicio	18
2.2 Estructura Superficial del Silicio	18
2.2.1 Reconstrucción de Superficies Semiconductoras	20
2.3 Silicio de Alto Índice Cristalino	20
2.3.1 Si-(114)	21
2.3.2 Si-(5 5 12)	22
2.4 Obtención de Obleas de Alto Índice	23
2.5 Conclusiones	26



<b>3</b>	<b><i>ETAPAS DE PROCESO DEPENDIENTES DE LA ORIENTACIÓN</i></b>	<b>29</b>
3.1	<b>Oxidación Térmica del Silicio</b>	<b>30</b>
3.2	<b>Crecimiento Epitaxial</b>	<b>32</b>
3.3	<b>Grabado Químico Húmedo</b>	<b>32</b>
3.4	<b>Difusión Atómica</b>	<b>33</b>
3.4.1	Ecuaciones de Difusión de Fick	34
3.4.2	Difusividades Constantes	35
3.4.3	Difusión Extrínseca	36
3.4.4	Efecto OED	38
3.5	<b>Implantación Iónica</b>	<b>38</b>
3.5.1	Efecto TED	38
3.5.2	Canaleo de Iones	39
3.6	<b>Conclusiones</b>	<b>40</b>
<b>4</b>	<b><i>DOPADO Y ACTIVACIÓN DE IMPUREZAS</i></b>	<b>43</b>
4.1	<b>Perfil de Dopantes</b>	<b>43</b>
4.1.1	Grabado Electroquímico del Silicio	44
4.1.2	Perfilado Electroquímico	46
4.2	<b>Difusión de Fósforo y Boro en Substratos de Alto Índice</b>	<b>48</b>
4.2.1	Difusión de Fósforo en Ambiente no Oxidante	48
4.2.1.1	Difusión a 1000°C	49
4.2.1.2	Difusión a 1100°C	51
4.2.2	Difusión de Boro en Ambiente Oxidante	53
4.2.2.1	Condiciones Experimentales	54
4.3	<b>Implantación de Fósforo y Boro en Substratos de Alto Índice</b>	<b>58</b>
4.3.1	Implantación de Fósforo en Silicio de Alto Índice	59
4.3.2	Implantación de Fósforo a 0 y 7°	59
4.3.3	Implantación de Boro	62
4.3.3.1	Óxido Grueso, Tratamientos Térmicos Largos	62
4.3.3.2	Óxido Grueso, Activación en Horno Convencional	64
4.3.3.3	Óxido Delgado, Activación Mediante RTA	66
4.4	<b>Conclusiones</b>	<b>69</b>
<b>5</b>	<b><i>TRANSISTORES MOS EN SI-(114) Y SI-(5 5 12)</i></b>	<b>71</b>
5.1	<b>Extracción de Parámetros MOS en Substratos de Alto Índice</b>	<b>72</b>
5.1.1	Resistencia de Hoja	74
5.1.2	Resistencia de Contacto	76
5.1.3	Ancho Efectivo de Regiones Implantadas	77
5.1.4	Densidad Efectiva de Cargas en el Óxido	78
5.1.5	Espesor de Óxido Térmico	79
5.1.6	Voltaje de Umbral de Transistores MOS	79
5.1.7	Movilidad Efectiva en el Canal de Transistores nMOS	81

5.2	Conclusiones	85
<b>6</b>	<b>CONCLUSIONES GENERALES</b>	<b>87</b>
6.1	Trabajo Futuro	89
	<b>REFERENCIAS</b>	<b>91</b>
	<b>LISTA DE FIGURAS</b>	<b>99</b>
	<b>LISTA DE TABLAS</b>	<b>103</b>

## 1 Introducción

La tecnología del silicio se ha desarrollado rápidamente en las últimas décadas. La Tabla 1 muestra el *International Technology Roadmap for Semiconductors, ITRS*, basado en la Ley de Moore. Por ejemplo, se predice que para el año 2010 el área de un chip DRAM se incrementará a 14 cm<sup>2</sup>, la longitud característica mínima será escalada a 50 nm y el costo por transistor se reducirá a 10 millonésimas de centavo de dólar.

**Tabla 1. International Technology Roadmap for Semiconductors [1].**

Parámetro	Proyección estimada cada 3 años	Predicción para el año 2010
Área del chip	Incremento en 1.5 veces	14 cm <sup>2</sup> DRAM
Longitud característica mínima	Reducción del 30%	50 nm
Componentes por chip	Incremento en 4 veces	64 Gb DRAM
Circuito de reloj	Incremento en 1.5 veces	50 GHz
Costo por transistor	Reducción mayor al 50%	10 <sup>-7</sup> dólares
Costo de la línea de producción	Incremento en 2 veces	24 billones de dólares

El avance de esta tecnología ha sido posible gracias al perfeccionamiento de las técnicas de fabricación, la reducción de los niveles de contaminación y la inclusión de nuevos materiales, pero especialmente a la reducción del tamaño mínimo de las características litográficas [2]-[3].

Actualmente se han logrado desarrollar circuitos de gran complejidad, dispositivos con dimensiones submicrométricas, con velocidades de operación de algunas decenas de giga hertz y reducido consumo de potencia. De acuerdo a [2], el progreso en la miniaturización lateral puede encarar retrocesos cuando la velocidad de los circuitos integrados sea limitada principalmente por los retardos, la complejidad y la disipación de potencia en el metal de las interconexiones más que por la velocidad de respuesta de los transistores. Con el escalamiento de las dimensiones de los dispositivos han surgido efectos que limitan el funcionamiento del dispositivo y se prevé que se están alcanzando los límites físicos que garantizan el óptimo desempeño [4]; la modulación de la longitud de canal por el voltaje en la compuerta, dispersión por rugosidad superficial, degradación del óxido por portadores con alta energía y calentamiento excesivo, se hacen presentes y reclaman estrategias como el uso de nuevos materiales, rediseño de la estructura del transistor MOS [5] y mejoras en las técnicas de fabricación [6]. La electrónica del siglo XXI debe encarar retos que permitan mantener el desarrollo predicho por la Ley de Moore.

### ***1.1 Retos de la Electrónica del siglo XXI***

La industria semiconductora ha llegado el umbral de la nanotecnología al fabricar dispositivos funcionales de dimensiones menores a 1  $\mu\text{m}$ , los cuales resultan muy veloces, consumen poca potencia y permiten una muy alta escala de integración; este avance a la vez le lleva a encarar los retos que impone la obtención de dispositivos y circuitos funcionales con estas dimensiones, que de acuerdo al ITRS los más importantes son:

1. El crecimiento de obleas con mayor diámetro.
2. Resolución de los sistemas litográficos por debajo de 100 nm.
3. Dimensiones ultra-pequeñas de dispositivos lógicos y memorias.
4. Retardo parásito RC de interconexiones multinivel.
5. Disipación de potencia.

6. La enorme inversión de capital en la industria microelectrónica.

### **1.1.1 Crecimiento de Obleas con Mayor Diámetro**

El diámetro de las obleas se ha incrementado geométricamente, duplicándose cada 12 años [7]. Las líneas de producción más avanzadas ya han adoptado las obleas de 300 mm. El crecimiento de estos lingotes resulta complicado debido a que el peso del lingote es superior a 200 kg, para las obleas de 300 mm; y de 350 kg para las obleas de 400 mm. Además, son necesarios arreglos especiales para una convección térmica húmeda para los grandes volúmenes de material fundido en el crecimiento cristalino Czochralski; también deben eliminarse los huecos originados en el cristal. Existe un incremento del 57 % en el costo por oblea cuando se sustituye el proceso de fabricación de obleas de 200 mm por otro que use obleas de 300 mm; sin embargo, el costo por área unitaria para las obleas de 300 mm es 30 % menor. Por lo tanto, las obleas de 300 mm de diámetro e inclusive mayores serán usadas si se reduce el costo de producción por área unitaria [8].

### **1.1.2 Sistemas Litográficos con Resolución menor a 100 nm**

Se especula que los sistemas fotolitográficos de proyección láser de ArF de 193 nm serán capaces de promover la tecnología de 100 nm, usando técnicas que mejoren la resolución tales como mascarillas de corrimiento de fase y corrección de proximidad óptica. Para reglas de diseño inclusive menores, existen 5 herramientas fotolitográficas posibles [9]: proyección láser, proyección mediante haz de electrones, rayos-x, proyección mediante haz de iones y luz ultravioleta extrema.

El sistema litográfico de proyección láser de F<sub>2</sub> de 157 nm es un fuerte candidato para la tecnología de 70 nm. Los sistemas de proyección de haz de electrones poseen limitaciones que los descartan como posibles candidatos para resoluciones nanométricas. Los sistemas litográficos de rayos-X están limitados por las

complejidades en la fabricación de las mascarillas. Los sistemas de haz de iones están limitados por efectos de carga espacial estocásticos. El candidato más probable para tecnologías por debajo de 70 nm es el sistema ultravioleta extremo con longitud de onda de 13 nm. Teóricamente, este sistema es capaz de proveer resoluciones por debajo de 20 nm.

### **1.1.3 Desarrollo de Dispositivos Ultra Pequeños**

Actualmente el dispositivo lógico predominante es el transistor metal-óxido-semiconductor, MOS, se predice que su estructura convencional puede ser escalada hasta 70 nm [10]; para dispositivos más pequeños se especula que podría ser necesario usar sustratos SOI (silicio sobre aislante). También se prevé un proceso independiente de la litografía con el transistor MOS vertical [11], girando el dispositivo 90° o estructuras como el finFET (Transistor de efecto de campo con el canal en forma de aleta) [12].

El funcionamiento de un transistor MOS, experimental con longitud de compuerta de 20-nm fue demostrado por Chau en 2001 [13]. El grosor del óxido de compuerta era de 0.8 nm. La transconductancia superior a 1200 mS/mm para los transistores nMOS y 700 mS/mm para los pMOS. El retardo de la compuerta menor a 0.8 ps para los nMOS y 1.7 ps para los pMOS. Estos resultados indican que continuará siendo el elemento básico en los circuitos integrados, CIs, durante los próximos años [14].

Para fabricar circuitos ULSI (ultra alta escala de integración) es necesario emplear nuevos materiales: sustratos SOI, materiales con alta constante dieléctrica para la fabricación de transistores MOS, con baja constante dieléctrica para el aislamiento entre capas y conductores altamente resistentes a la electromigración.

### **1.1.4 Retardo Parásito Debido a las Interconexiones**

Conforme se continúa reduciendo la longitud característica mínima, la resistencia y la capacitancia parásita se incrementa. En la tecnología sub-100 nm, los retardos RC parásitos debidos a las interconexiones llega a ser algunos órdenes de magnitud mayores que el retardo intrínseco al dispositivo [15]. Para minimizar este retardo se han desarrollado esquemas de interconexión multinivel con cobre y dieléctricos intermetálicos de baja constante dieléctrica; pero conforme la complejidad de los circuitos crece, también se incrementan los retardos debidos a las interconexiones.

### **1.1.5 Disipación de Potencia**

La reducción de las dimensiones de los dispositivos junto con el diseño de sistemas cada vez más complejos, ha permitido la integración de una alta densidad de dispositivos en áreas muy pequeñas y la fabricación de circuitos con mayor capacidad de procesamiento; pero también ha generado un problema ya que se genera demasiado calor y se degrada el desempeño de los dispositivos y su vida útil. Así que es necesario diseñar materiales que disipen eficientemente el calor generado en el dispositivo.

### **1.1.6 Costo del Proceso de Fabricación**

El costo de fabricación de dispositivos semiconductores se ha duplicado cada 3 años. En 1995, el costo de una línea de fabricación era alrededor de 750 millones de dólares; ahora es de más de 3 billones<sup>1</sup>; en algunos años, el costo será mayor a 24 billones [2]. Así que es necesario encontrar alternativas que permitan reducir el costo de las líneas de producción, mejorar su productividad y rendimiento.

En resumen, se predice que las obleas de gran diámetro serán adoptadas en tanto que el costo de producción por área unitaria se vea reducido. Para la litografía los sistemas de proyección láser de F<sub>2</sub> de 157 nm serán los principales candidatos para

---

<sup>1</sup> En el concepto americano: un billón es igual a mil millones

el desarrollo de tecnologías de 70 nm mientras que los sistemas de proyección basados en luz ultravioleta extrema lo serán para las tecnologías de 50 nm e inclusive menores. El dispositivo lógico predominante continuará siendo el transistor MOS y la operación de los circuitos integrados se verá limitada principalmente por los retardos en las líneas de interconexión. Todo esto implica que se requiere un gran esfuerzo para desarrollar nuevas estrategias que permitan sostener el crecimiento de la industria semiconductora; será necesario refinar las técnicas de fabricación, introducir nuevos materiales, rediseñar la estructura del transistor MOS y sustituir los actuales sistemas litográficos.

## **1.2 Substratos de Alto Índice en Procesos MOS**

En la sección anterior se mencionó la necesidad de buscar estrategias que, junto con la reducción de las dimensiones de los dispositivos, permitan mantener el crecimiento predicho por la Ley de Moore. Una opción interesante podría consistir en emplear substratos de alto índice en procesos MOS y en tecnologías dependientes de la orientación como el micromaquinado en volumen y el crecimiento heteroepitaxial. Aún cuando el substrato Si-(001) es el predominante para la fabricación de dispositivos electrónicos basados en el transistor MOS por tener la interface Si-SiO<sub>2</sub> de mejor calidad, y el Si-(111) el más usado en aplicaciones basadas en el transistor bipolar de unión, BJT, por ser el plano que se crece más fácilmente, las superficies de alto índice están siendo investigadas como una alternativa para aplicaciones especializadas [16] debido a que, de manera ideal, una superficie de alto índice consiste en un arreglo periódico de terrazas de bajo índice separadas por escalones de altura monoatómica que podrían proveer una plantilla natural para el crecimiento de estructuras unidimensionales y películas heteroepitaxiales; sin embargo, la morfología superficial real en las superficies de alto índice generalmente no es ideal debido a la influencia de reconstrucciones superficiales, presencia de escalones e interacciones entre ellos [17], entre los planos Si-(001) y Si-(111), sólo las superficies de tres planos se reconstruyen de manera estable: (113), (114) y  $(5\ 5\ 12)$ .



### 1.2.1 Substratos Si-(114) y Si-(5 5 12): una Alternativa

Los planos de alto índice (114) y (5 5 12) han despertado el interés de diversos grupos de investigación debido a que poseen características estructurales no presentes en los planos de bajo índice, que podrían ser explotadas en tecnologías dependientes de la orientación [18]:

- Celda unitaria de gran tamaño, que podría ser manipulada para la formación de nanoestructuras.
- Superficie texturizada con alta periodicidad. Que puede modificar el comportamiento típico de dispositivos de superficie como el transistor MOS y servir como plantilla natural para el crecimiento de películas y depósito de nanoalambres.
- Estabilidad de la superficie reconstruida. Permitiendo obtener dispositivos con características reproducibles, uniformes e invariantes en el tiempo.

La posibilidad de utilizar la topografía de estos planos, sugiere el uso de substratos de alto índice como una opción para la fabricación de dispositivos semiconductores basados en el transistor MOS. De acuerdo a algunos grupos de investigación [19]-[28], con el uso de estos substratos sería posible:

1. Obtener dispositivos con características especiales relacionadas con la estructura superficial de los substratos de alto índice; como mayor movilidad si es que las características estructurales impiden la dispersión lateral de los portadores, lógica de más de dos bits en un solo transistor, generación de microondas, sensores y generador de voltajes de referencia para calibración.
2. Fabricar estructuras con dimensiones nanométricas de un solo dígito independientes de la técnica litográfica.
3. Crecer películas heteroepitaxiales, realizar nanomaquinado y depositar películas conductoras con dimensiones nanométricas de un solo dígito.

Los datos más relevantes que motivan el estudio de los substratos de alto índice y su posible inclusión en los procesos de fabricación de dispositivos MOS son:

1. Fabricación del spikeMOS.
2. Formación de nanoalambres en Si-(5 5 12).
3. El substrato Si-(001) no posee la movilidad de huecos más alta.
4. Dependencia de la resistencia de contacto,  $R_c$ , con la orientación del substrato.

### 1.2.2 El SpikeMOS

En noviembre de 2000, se fabricaron transistores MOS en el laboratorio de microelectrónica del Instituto Nacional de Astrofísica, Óptica y Electrónica, INAOE, empleando substratos Si-(5 5 12). El proyecto surgió cuando Don Kendall, basado en análisis estructurales de la superficie Si-(5 5 12) realizados por A. Baski, predijo que los transistores MOS en estos planos poseerían un comportamiento inusual debido al efecto de la estructura superficial sobre los portadores en el canal de inversión. Para verificar sus teorías, se procesaron 10 obleas con diferentes orientaciones cristalográficas: 4 obleas (114), 4 (5 5 12) y 2 (001). Los resultados fueron muy alentadores al encontrar que sus predicciones eran correctas, ya que efectivamente la estructura superficial de los planos de alto índice alteró el funcionamiento de los transistores. El dispositivo con características fuera de lo común, al que llamó *spikeMOS*, exhibía en las curvas de salida (Figura 1) 15 picos con gran regularidad (siempre en múltiplos de 0.155V) implicando que no podía deberse a ningún tipo de ruido sino que era producto de la topografía superficial; además, en las curvas de transferencia (Figura 2) se observaron protuberancias que indican que la existencia de los picos se debía a un efecto intrínseco al transistor en esas orientaciones. Las aplicaciones propuestas por Kendall para estos dispositivos incluyen [22]-[28]:

- Osciladores en muy alta frecuencia. Al aprovechar la resistencia negativa en los picos de las curvas de salida.

- Aplicaciones de baja potencia. Si se considera el uno lógico en la posición del primer pico, se necesitaría un voltaje pequeño para llegar a ese pseudo estado de “saturación”.
- Dispositivos hasta con 16 niveles lógicos. Si cada pico puede ser interpretado como un nivel lógico.
- Generador de voltajes de referencia con precisión de 4 dígitos. Por la precisión en la posición de los picos en  $V_d$ .
- Sensores, filtros y nanoestructuras. Al manipular las propiedades de la estructura superficial.

Actualmente Kendall y colaboradores tratan de explicar los mecanismos físicos que originaron el comportamiento de este dispositivo y tratan de determinar las condiciones de proceso que permitan obtener otros más con estas características y con alto rendimiento.

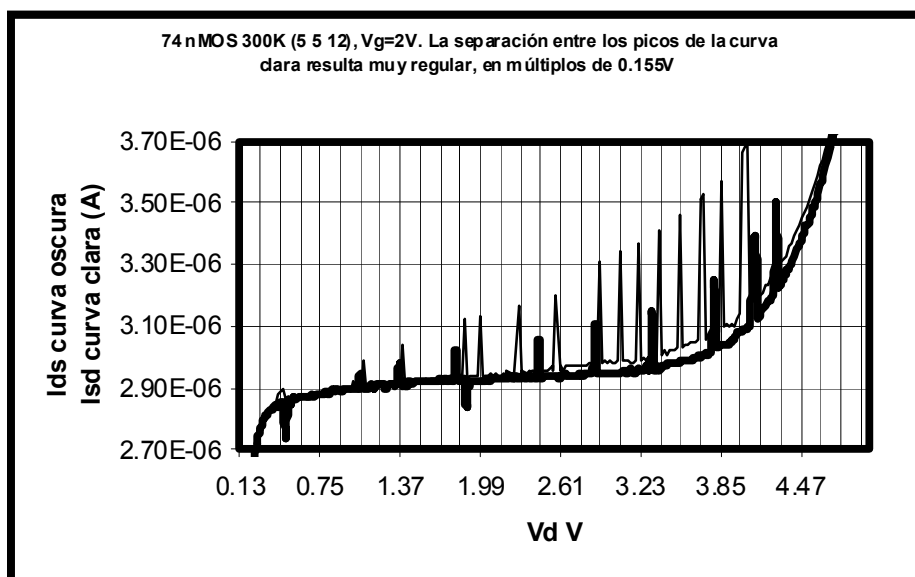


Figura 1. Curva de salida del SpikeMOS [26]. La presencia de picos con muy alta periodicidad, siempre en múltiplos de 0.155V atribuida a las características estructurales de la superficie en (5 5 12).

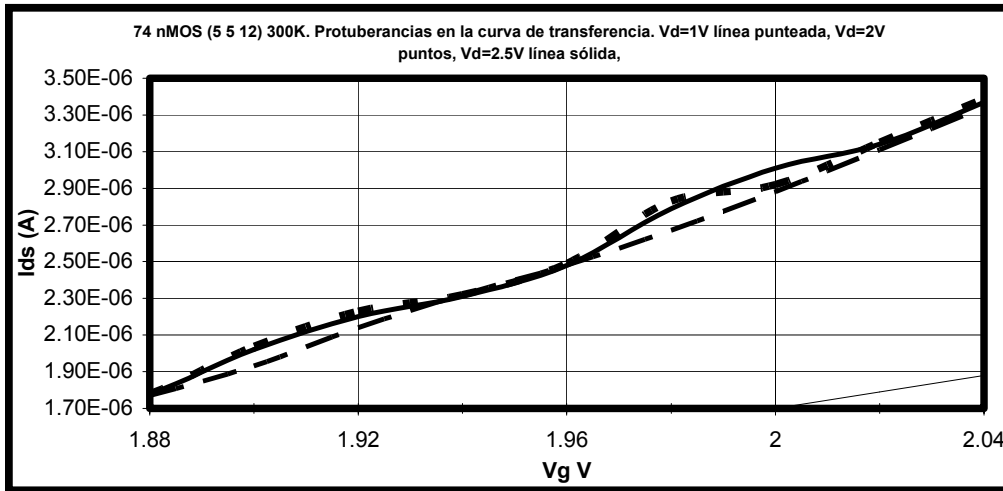


Figura 2. Curva de transferencia del SpikeMOS [26]. Se aprecian protuberancias que indican que los picos en las curvas de salida no se deben a efectos aleatorios, sino que están relacionados con la estructura superficial en Si-(5 5 12).

### 1.2.3 Formación nanoalambres en Si-(5 5 12)

A. Baski investigó el depósito de Ag en Si-(5 5 12) [20]-[21] y encontró que este sustrato altamente anisotrópico promueve el crecimiento de largas líneas de Ag en la dirección  $[\bar{1}10]$  con una relación de aspecto de 150:1 y potencial aplicación en el crecimiento de nanoalambres. Los experimentos mostraron que las líneas de Ag son más uniformes cuando se deposita en pequeñas cantidades (0.25 mono capas, ML, Figura 3b) y a temperaturas moderadas (400-450 °C); con temperaturas más elevadas se forman facetas con diferentes estructuras de Ag. Con muy bajas concentraciones la formación de los nanoalambres no es uniforme, Figura 3a.

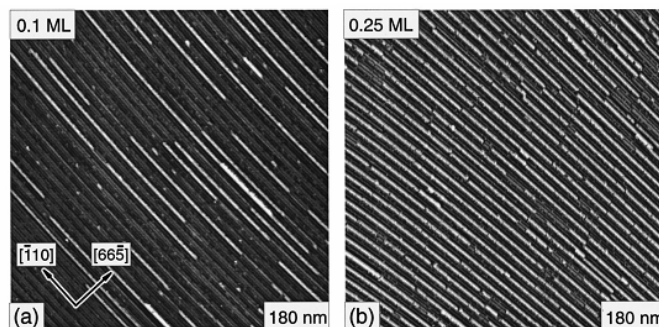


Figura 3. Formación de nanoalambres en Si-(5 5 12) [20]. a) El depósito de 0.1 ML de Ag produce líneas desuniformes. b) con 0.25 ML se obtiene gran uniformidad si se depositan a 400-450 °C

#### **1.2.4 Mayor movilidad de huecos en Si-(110)**

Trabajos previos encontraron que la mayor movilidad superficial de electrones se da en substratos Si-(001) y es independiente de la dirección; a diferencia de la movilidad de huecos, que de acuerdo a [29] es mayor en substratos (110) con la corriente fluyendo en la dirección  $\langle 110 \rangle$ . Para aprovechar estas ventajas M. Yang y colaboradores fabricaron substratos híbridos con orientaciones (001) y (110) para aplicaciones CMOS de alto desempeño; sin embargo, la complejidad en la fabricación de estos substratos limita su aplicación en grandes producciones. Si la movilidad de huecos en Si de alto índice es mayor que en (001), quizá los dispositivos CMOS puedan competir con los fabricados en substratos convencionales, evitando el uso de los substratos híbridos propuestos por Yang.

#### **1.2.5 Dependencia de $R_c$ en función de la Orientación del Substrato**

La resistencia de contacto, es un parámetro de gran importancia ya que el buen desempeño de un dispositivo puede degradarse severamente por un mal contacto. Actualmente es aceptado que  $R_c$  depende del área del contacto, la calidad de los procesos de limpieza, la concentración de dopado en la zona del contacto y la historia térmica del proceso. De acuerdo a Hirochi Onoda en [30], no existe evidencia de que  $R_c$  dependa de la orientación cristalina del substrato si el área del contacto es mayor a  $1 \mu\text{m}^2$ ; sin embargo encontró que para dimensiones menores,  $R_c$  incrementa con los tratamientos térmicos en Si-(001) y se mantiene casi constante en Si-(111). Ya que las dimensiones de los dispositivos continuarán reduciéndose, la formación de contactos adecuados puede llegar a ser un factor que limite el uso de substratos Si-(001). Así que será necesario usar materiales que provean mejor contacto, reducir los tratamientos térmicos o utilizar substratos con otras orientaciones en los que el desempeño de los dispositivos sea favorable, tal vez los planos (114) y (5 5 12) resulten una opción adecuada.

### **1.3 Propuesta del Trabajo de Tesis**

En este trabajo se plantea el estudio de las variables que determinan las características de las regiones tipo-n y tipo-p en silicio de alto índice cristalino. La introducción de dopantes se llevará a cabo mediante implantación iónica y difusión atómica, las dos técnicas más usadas para el dopado de semiconductores. Se propone realizar una serie de experimentos que permitan evaluar el efecto de las siguientes variables:

- Ángulo de implantación.
- Grosor de óxido de implantación.
- Dosis.
- Energía.
- Condiciones de activación y redifusión de impurezas.

La obtención del perfil de dopantes se llevará a cabo mediante perfilado electroquímico, ECV; los resultados se justificarán por la presencia de los efectos anómalos: difusión asistida por oxidación (OED), incremento transitorio de la difusión (TED) y canaleo de iones. También se evaluará la relación entre el perfil de impurezas y los parámetros del transistor MOS, extraídos con un circuito integrado de pruebas, CIP.

Los resultados proporcionarán lo siguiente:

- Conocimiento nuevo referente a la difusión, implantación y redifusión en substratos de silicio de alto índice.
- Determinación de efectos TED, OED y canaleo en estos substratos.
- Información que contribuya para el diseño de regiones dopadas y para el modelado de los procesos de difusión e implantación en substratos no convencionales.

- Relación entre las regiones dopadas y los parámetros de dispositivos MOS en sustratos no convencionales.

### **1.3.1 Objetivo General**

Este trabajo debe cumplir con los siguientes objetivos:

- Determinar el efecto que producen las variables de proceso: ángulo de implantación, grosor de óxido de implantación, dosis, energía, activación y redifusión de impurezas en el perfil de dopantes en sustratos de alto índice y la relación entre el perfil y los parámetros del transistor MOS.

### **1.3.2 Objetivos Específicos**

- Evaluar la presencia de TED. Determinar su dependencia con las condiciones de activación de impurezas, la orientación cristalina y el tipo de dopante.
- Determinar la tendencia del efecto OED en función de la orientación para diferentes grosores de óxido.
- Establecer las condiciones que favorezcan o minimicen el canleo de iones: orientación cristalográfica del sustrato, ángulo de implantación y grosor de óxido a través del que se implanta.
- Extraer los parámetros de dispositivos en función de la orientación justificando los resultados con los perfiles medidos.

## **1.4 Conclusiones**

Con el uso de sustratos de alto índice en procesos CMOS, quizá sea posible conseguir un equilibrio entre alta movilidad y  $R_c$  baja. La posibilidad de explotar la topografía superficial de estos planos para fabricar estructuras con dimensiones nanométricas de un solo dígito independiente de la técnica litográfica, extendería la vida útil de los actuales sistemas litográficos; la necesidad de diseñar nuevas

estructuras podría verse relegada por la introducción de dispositivos con lógica multivaluada, ultra veloces y con bajo consumo de potencia, como propone Kendall para el SpikeMOS; el depósito de películas 1-D podría aprovecharse para reducir los retardos en las interconexiones; todo esto sin tener que renovar los procesos de fabricación, lo que se traduciría en reducción de costos.

Para lograr los mayores beneficios es necesario diseñar un proceso que optimice las ventajas potenciales que ofrecen los substratos de alto índice, así que será necesario determinar las condiciones experimentales para obtener óxidos de mayor calidad, interface Si-SiO<sub>2</sub> con la menor densidad de defectos y control preciso de la introducción de dopantes y su activación.

Realizar el diseño de todo el proceso es una tarea bastante extensa. Este trabajo se limita al estudio de la introducción de impurezas y su activación; etapa de gran importancia puesto que el desempeño de los dispositivos depende de la concentración, distribución y tipo de impureza. En el siguiente capítulo se discuten las características de los planos de alto índice y el proceso para la obtención de las obleas.



## **2 Substratos de Si de Alto Índice**

Todas las propiedades de un material están determinadas por la densidad y el tipo de átomos que contiene y su distribución [31]. Algunas propiedades pueden relacionarse de manera sencilla, teórica o experimentalmente, a la composición química y a la estructura cristalina usando el conocimiento provisto por la teoría de sólidos. Así, por ejemplo:

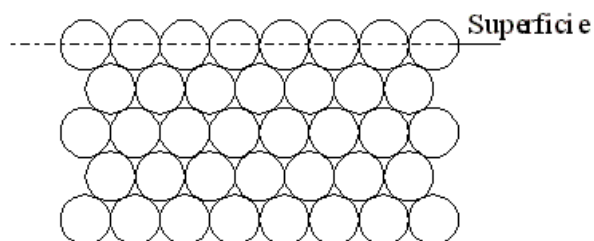
- La división de los sólidos cristalinos en aislantes, semiconductores y conductores.
- La explicación de la relación entre las propiedades eléctricas y térmicas.
- El efecto Hall, y en general el transporte de carga y energía, pueden ser explicados dentro del marco de la teoría de bandas de los sólidos.

Otras propiedades son más difíciles de relacionar a un modelo teórico y deben adoptarse aproximaciones más empíricas. Un ejemplo de ello es el ferromagnetismo de algunos metales. Los deslizamientos mecánicos y fallas por fatiga son ejemplos de fenómenos que requieren un entendimiento de las fallas que ocurren en los sólidos cristalinos y la manera en que éstas se mueven en respuesta a fuerzas aplicadas. Nuevamente la descripción de este proceso es difícil; sin embargo, estas

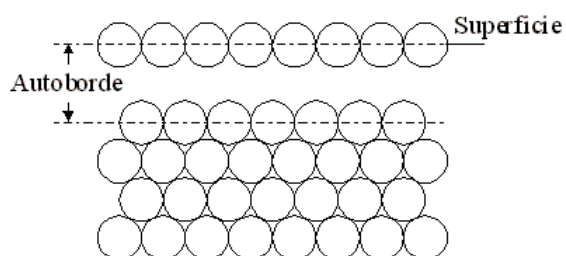
propiedades están determinadas por la composición y estructura de los materiales [32].

Las propiedades químicas, eléctricas y mecánicas que posee un material en el interior, generalmente difieren de las que posee en la superficie. Esto puede comprenderse si se considera la superficie de forma paralela a un plano del sólido. Si los átomos no son perturbados de sus posiciones de equilibrio, entonces puede decirse que la superficie es un plano expuesto del volumen o substrato terminado (Figura 4). Este plano muestra la mínima perturbación del sólido del cual se forma la superficie; aún así, debido a que las propiedades en el volumen dependen de la periodicidad tridimensional del potencial dentro del sólido, la pérdida de la periodicidad en una dimensión, debida a la existencia de la superficie, genera un cambio en los estados electrónicos cerca de la superficie y por lo tanto de las propiedades electrónicas, además, la ausencia de vecinos cercanos a un lado de los átomos superficiales deja enlaces químicos disponibles en el espacio exterior del sólido, libres para reaccionar con átomos ajenos al material.

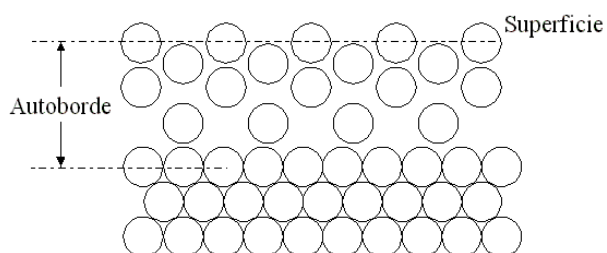
Es probable que la perturbación causada por la terminación de los sólidos en una superficie, particularmente la debida a la ausencia de fuerzas de enlace de los vecinos cercanos a un lado de los átomos superficiales, resulte en nuevas posiciones de equilibrio para estos átomos. El cambio más simple de este tipo, es la relajación mostrada en la Figura 5; ahí, la separación entre el plano superficial y el plano inmediatamente debajo de éste es mayor que la separación correspondiente entre los planos que se encuentran en el interior del sólido. La desviación de esta separación puede continuar dentro del material, en magnitud decreciente, conforme se examina hacia adentro del sólido. La región superficial en la que existe una desviación de la distancia entre los planos de la red volumétrica es conocida como auto-borde. En este caso se mantiene la simetría del arreglo atómico paralelo a la superficie, pero cambia la distancia normal a ella.



**Figura 4. Plano expuesto del volumen (substrato terminado) [32]. El arreglo atómico no se ve modificado en la superficie.**



**Figura 5. Relajación del plano exterior [32]. El arreglo atómico en la superficie es idéntico al que existe en el interior del cuerpo; sin embargo la diferencia entre las capas atómicas provoca que las propiedades eléctricas en la superficie sean alteradas.**



**Figura 6. Reconstrucción (hipotética) de los planos atómicos exteriores [32]. Los átomos en la superficie y cerca de ella, se reacomodan para completar sus enlaces y reducir el estrés superficial; el resultado es un arreglo atómico diferente en la superficie y el volumen y con ello diferentes propiedades.**

Un caso más extremo de perturbación ocurre cuando los átomos superficiales se reacomodan formando una estructura con simetría completamente diferente a la que existe en el interior del sólido. Este fenómeno es llamado reconstrucción (se presenta en el Si). Un ejemplo de esto se muestra en la Figura 6. El reacomodo atómico en la superficie modifica la simetría cerca de ella afectando todas las propiedades superficiales que son dependientes de la estructura: vibraciones atómicas, propiedades químicas, ópticas y eléctricas.

## **2.1 Estructura Cristalina del Silicio**

El silicio posee una estructura cristalina tipo diamante, que puede ser vista como dos redes cúbicas, ínter penetradas, centradas en la cara. Cada átomo posee 4 átomos vecinos con los que se enlaza de manera covalente, la constante de red es 5.43 Å y la distancia entre vecinos cercanos es 2.35 Å [33]-[34]. Dependiendo hacia qué plano se observe, se presentan distintas geometrías: cuadrangular en {001}, cuasi hexagonal en {110} y triangular en {111}, como se muestra en la Figura 7 (a), (b) y (c), respectivamente. Reconsiderando que las propiedades de los materiales dependen de la densidad de átomos y su distribución, es predecible que algunas propiedades materiales y parámetros de proceso dependerán de la orientación del sustrato.

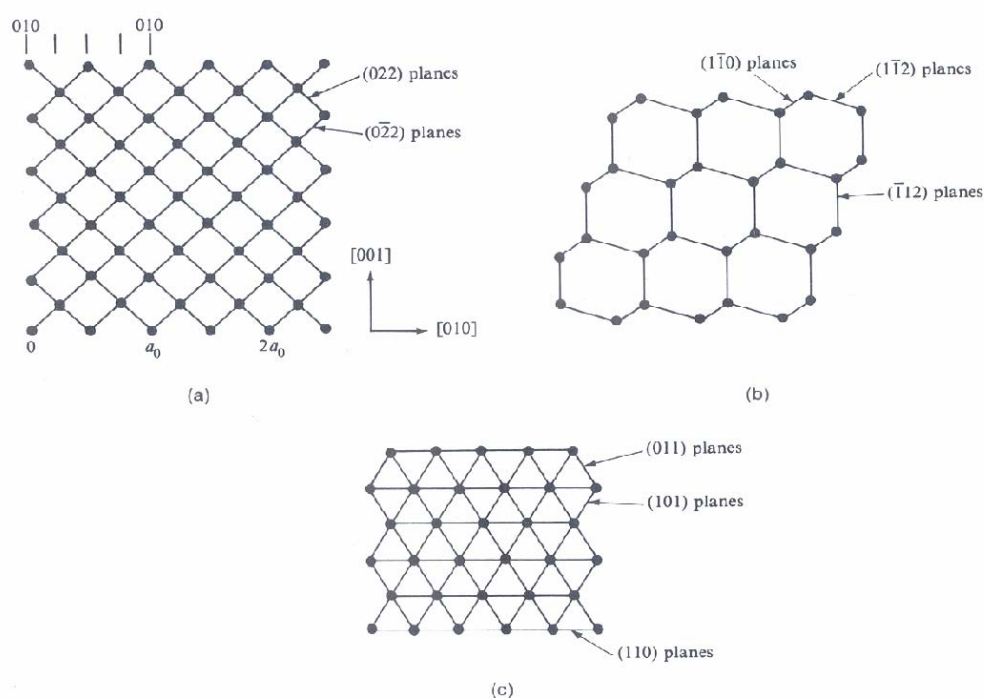
## **2.2 Estructura Superficial del Silicio**

Las motivaciones principales para estudiar las superficies semiconductoras y su interface, provienen de la tendencia por fabricar estructuras cada vez más pequeñas y procesos tecnológicos más complejos. Esto ha traído como consecuencia que la operación de los dispositivos esté determinada, en gran medida, por las propiedades de la superficie y la interface. Existe un interés creciente en entender las reacciones químicas en la superficie de semiconductores ya que el conocimiento de muchas etapas esenciales del proceso se basan en resultados experimentales cuyo análisis

teórico y modelado es complejo; ejemplos típicos son la oxidación, el depósito químico en fase vapor (CVD) y el crecimiento epitaxial por haz molecular (MBE).

Las superficies semiconductoras exhiben fenómenos de gran interés, por ejemplo, la reestructuración de gran alcance de los átomos superficiales es característica en los semiconductores del grupo IV y de los semiconductores compuestos III–V. Un ejemplo clásico es la superficie del Si-(111)7×7 con una celda unitaria 49 veces mayor que la del sustrato [31].

Como base de la industria de dispositivos semiconductores, las superficies del silicio son las más ampliamente estudiadas, y a pesar de tal escrutinio, sólo tres de sus estructuras superficiales estables poseen un modelo estructural aceptado: los planos de bajo índice (001) y (111) y el plano de alto índice (113).



**Figura 7. Arreglo geométrico observado en Si en los planos (a) {001}, (b) {110} y (c) {111}, los puntos representan los átomos de Si y las líneas los enlaces [33].**

### **2.2.1 Reconstrucción de Superficies Semiconductoras**

Dentro de la red cristalina cada átomo se enlaza de manera covalente a 4 átomos vecinos para completar su última órbita, este evento se repite en todo el volumen; sin embargo, la interrupción de la periodicidad en la superficie provoca que los átomos cercanos a ésta no cuenten con los vecinos necesarios para satisfacer su última órbita; entonces estos átomos se acomodan formando una estructura diferente a la que existe en el interior del material. La reconstrucción de las superficies semiconductoras se lleva a cabo mediante un delicado balance de energía entre la eliminación de los enlaces abiertos y la reducción del estrés superficial; del balance de estos factores dependerá la estabilidad de la superficie reconstruida [31]-[32].

### **2.3 Silicio de Alto Índice Cristalino**

A pesar de que Si(001) es el sustrato predominante para la fabricación de dispositivos MOS, las superficies de alto índice están siendo investigadas como posibles sustratos para aplicaciones especializadas. Idealmente, una superficie de alto índice consiste de un arreglo periódico de terrazas de bajo índice separadas por escalones de altura monoatómica, por lo que podrían proveer una plantilla natural para el crecimiento de estructuras unidimensionales y películas heteroepitaxiales; sin embargo, la morfología superficial real en las superficies de alto índice generalmente no es ideal debido a la influencia de reconstrucciones superficiales, presencia de escalones e interacciones entre ellos. En general, estas superficies pueden consistir de una distribución de terrazas de bajo índice separadas por escalones de altura variable, o un conjunto de escalones, o en el caso extremo, pueden interrumpirse en planos de diferentes orientaciones.

Entre los planos Si-(001) y Si-(111) se ha determinado que las superficies de los planos de Si-(114) y  $(5\ 5\ 12)$ , forman reconstrucciones estables cuya peculiar topografía ha despertado el interés del grupo de microelectrónica del INAOE para

diseñar un proceso de fabricación CMOS optimizado para el uso de sustratos con estas orientaciones.

### 2.3.1 Si-(114)

Este plano está orientado a  $19.5^\circ$  del plano (001) hacia el plano (111), Figura 8; posee una longitud de celda básica de  $16.3\text{\AA}$  con reconstrucción  $2\times 1$  [18]. El modelo completo de la superficie reconstruida ha sido propuesto basándose en imágenes de microscopía de barrido por tuneleo, STM, y cálculos teóricos de la energía total. La estabilidad de la estructura Si-(114)-(2 $\times$ 1) se atribuye al balance entre la reducción de los enlaces insatisfechos en la superficie y al alivio del estrés superficial [18],[35].

La estructura superficial del sustrato terminado ideal, es una secuencia alternativa de terrazas (001) con ancho de una o dos celdas unitarias separadas por escalones de doble capa. En la Figura 9 se muestran el modelo estructural y las imágenes STM en las que se observa la presencia de bordes muy regulares.

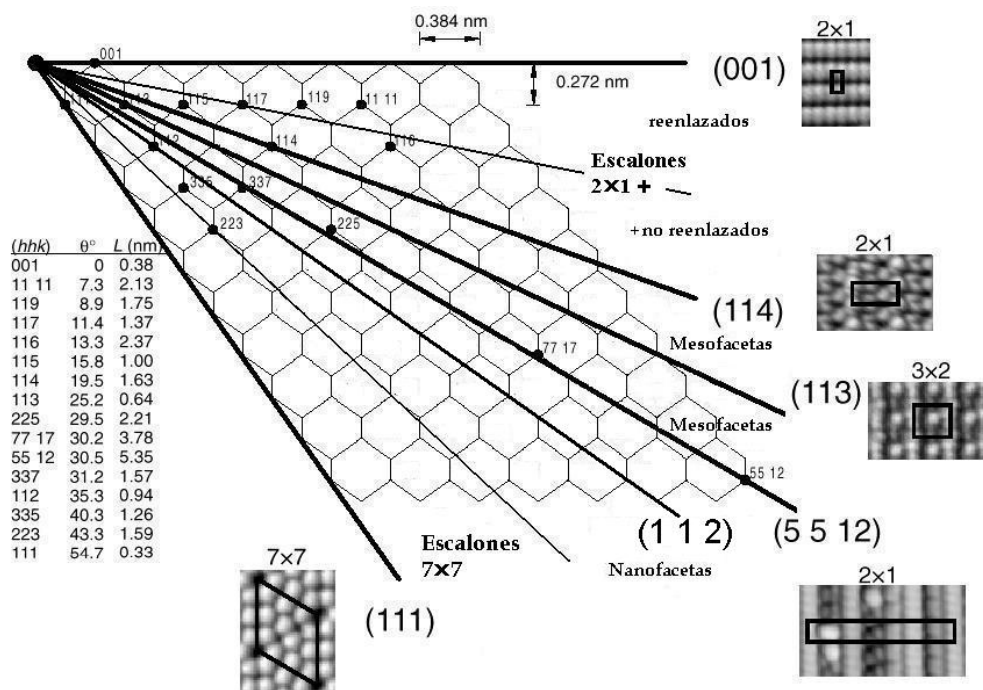
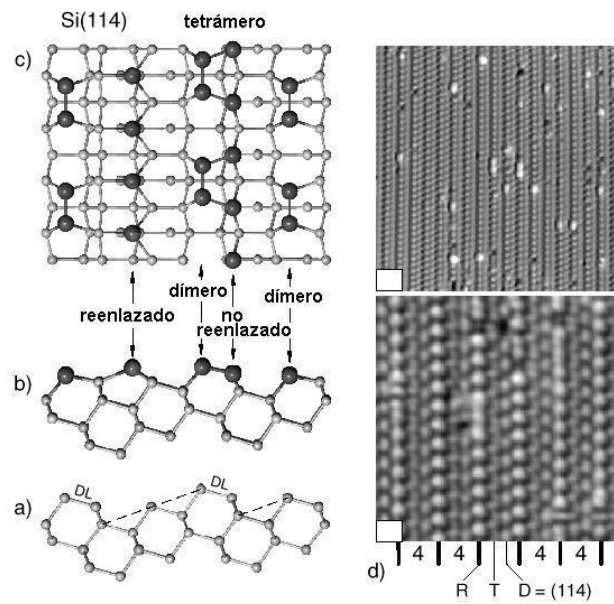


Figura 8. Orientaciones cristalinas de (001) a (111), tomado de [18]. En la tabla se presenta el ángulo entre los diferentes planos con respecto a (001) y el tamaño de las celdas básicas.



**Figura 9. Orientación (114) [35]. A la izquierda el modelo atómico propuesto por Erwin y Baski, a la derecha se aprecian los bordes, destacándose su alta periodicidad; éstos podrían modificar las características de los dispositivos que ahí se fabriquen.**

### 2.3.2 Si-(5 5 12)

Este plano está orientado a  $30.5^\circ$  del plano (001), la característica más importante de esta superficie es la gran longitud de su celda unitaria, de 5.35 nm, bastante mayor a los 1.63 nm de longitud de la celda (114), que es la anterior más grande. La superficie ha sido estudiada mediante diversas técnicas y se han propuesto diferentes modelos estructurales [16], [36]-[37]; ninguno completamente aceptado.

Aún cuando existen diferencias entre los modelos propuestos, todos coinciden en que: la reconstrucción superficial es estable, que la celda unitaria Si-(5 5 12), está formada por 68 átomos, posee una reconstrucción  $2 \times 1$  y consiste en dos subunidades (337) y una (225) a lo largo de la dirección  $[6\bar{6}5]$ [36]-[38].

La estabilidad de la superficie se atribuye, por una parte, a la baja densidad de enlaces abiertos, dbs; en el modelo propuesto de reconstrucción  $2 \times 1$ , la dbs es de  $0.058 \text{ \AA}^{-2}$ , valor intermedio entre el de Si(001)- $2 \times 1$  (dbs= $0.068 \text{ \AA}^{-2}$ ) y Si(111)- $7 \times 7$  (dbs= $0.030 \text{ \AA}^{-2}$ ); si la densidad de enlaces abiertos fuese el único criterio para

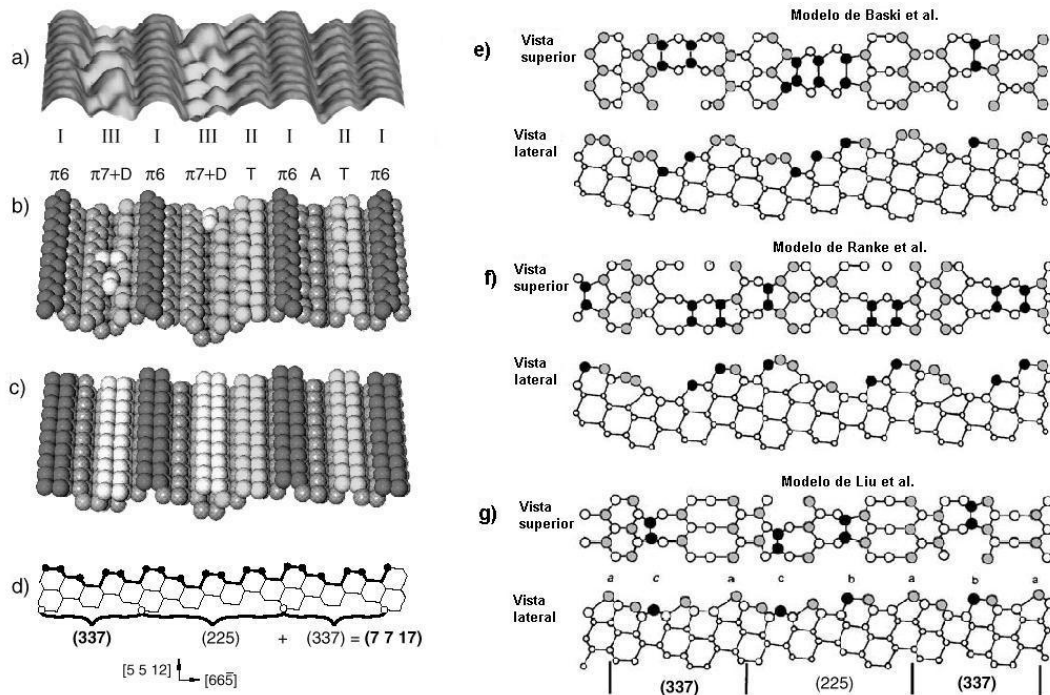


determinar la estabilidad superficial, entonces podría esperarse que la celda unitaria (337) (con  $d_{337}$  menor,  $0.050 \text{ \AA}^{-2}$ ) formase una superficie estable, lo cual no ocurre, así que existe otro factor que determina la estabilidad de este plano: el bajo estrés superficial neto; resultado de que el estrés local asociado a las sub-unidades (337) y (225) se compensan uno a otro dentro de la celda (5 5 12) dejando la superficie con una energía neta más baja. Los primeros cálculos apoyan esta teoría indicando que ambos tipos de unidades (337) se encuentran bajo estrés de compresión, mientras que la unidad (225) se encuentra bajo estrés de tensión.

En la Figura 10 se muestra: en a) la imagen STM obtenida por Baski; en b) la reconstrucción basada en la imagen STM; en c) la reconstrucción ideal cuya vista lateral se presenta en d), allí se destacan las tres celdas que forman la estructura (5 5 12); en e), f) y g) se muestran los modelos de reconstrucción superficial de la superficie (5 5 12) propuestos por Baski, Ranke y Liu. Es importante notar que aún cuando los modelos difieren entre sí, al comparar las imágenes de la superficie, Liu encontró que eran iguales, sólo diferían en la interpretación de los enlaces.

## **2.4 Obtención de Obleas de Alto Índice**

La primera alternativa para obtener las obleas de alto índice consistiría en cortar de manera angular un lingote cristalino con orientación conocida (001) o (111); sin embargo, las obleas resultarían elípticas y se generarían tensiones. Para evitar este inconveniente se creció un lingote con celda básica corta cercana angularmente a la celda básica más grande. La orientación cristalina con celda más grande es la (5 5 12) y la orientación cristalina con la celda básica más corta y más cercana angularmente a este plano es la (112) (Figura 8). Por lo tanto el lingote del que se obtendrían las obleas de alto índice se creció con esta orientación.



**Figura 10. Plano (5 5 12) [36]. A la izquierda la estructura superficial del Si-(5 5 12). a) imagen STM, b) modelo de esferas mostrando las imperfecciones de la estructura, c) modelo de esferas mostrando el sustrato terminado, d) vista lateral del modelo estructural del sustrato terminado mostrando las subunidades (337) y (225). e, f) y g) interpretación de Baski, Ranke y Liu, respectivamente.**

Una vez obtenido el lingote el siguiente paso consistió en alinearlo en el ángulo adecuado para cortar las obleas. La alineación se llevó a cabo identificando el plano deseado mediante difracción de rayos-x en un arreglo como el mostrado en la Figura 11. Debido a que la celda cúbica del silicio genera señales detectables en los patrones de difracción sólo cuando todos los índices de Miller son pares, o cuando todos son impares (Figura 12) [32]. Entonces fue necesario buscar una orientación fácilmente detectable y que sirviera como referencia para el corte de las obleas; se eligió la (113) por encontrarse cercana a los planos de interés: (114) y (5 5 12). El procedimiento para el corte de las obleas fue el siguiente:

- Partiendo de la posición 1 (112), Figura 13, se inclinó el lingote  $10.1^\circ$  hacia el plano (001) hasta detectar por rayos-x la orientación (113), entonces se cortaron obleas con esta orientación (posición 2).

- Una vez localizado el plano (113), se inclinó el lingote  $5.7^\circ$  más hacia el plano (001); de la posición 2 hacia la posición 3, y se cortó el lote de obleas (114).
- Para obtener las obleas (5 5 12), se procedió a localizar nuevamente el plano (113) mediante rayos-x (posición 2). Entonces se inclinó el lingote  $5.3^\circ$  hacia el plano (111) (posición 4) y se cortó el lote de obleas (5 5 12).

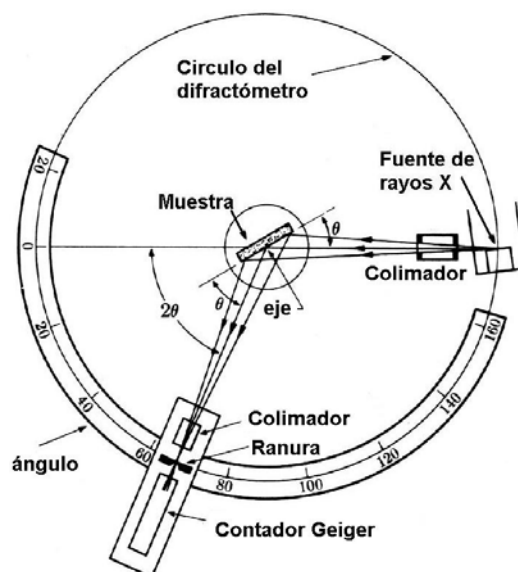
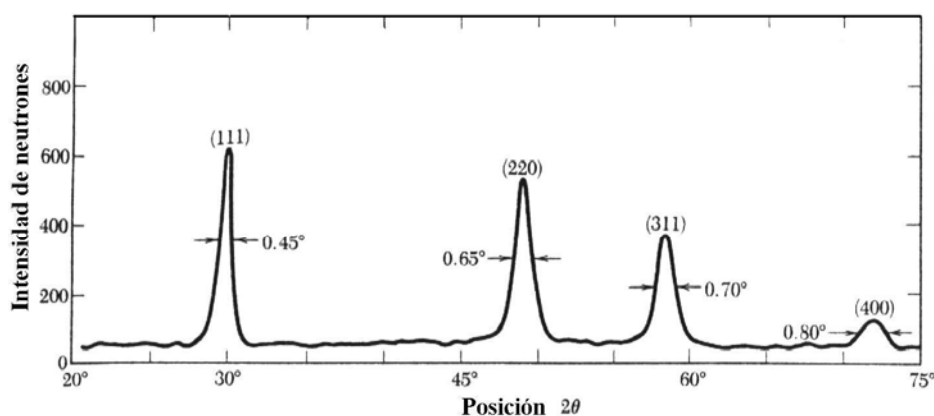


Figura 11. Difractómetro de rayos-x. Tomado de [39].



Patrón de difracción de neutrones de polvo de diamante

Figura 12. Patrón de difracción de neutrones en polvo de diamante. Este material posee la misma estructura cristalina que el Si. Se nota que sólo se generan patrones detectables cuando todos los índices son pares o cuando todos son impares. Tomado de [39].

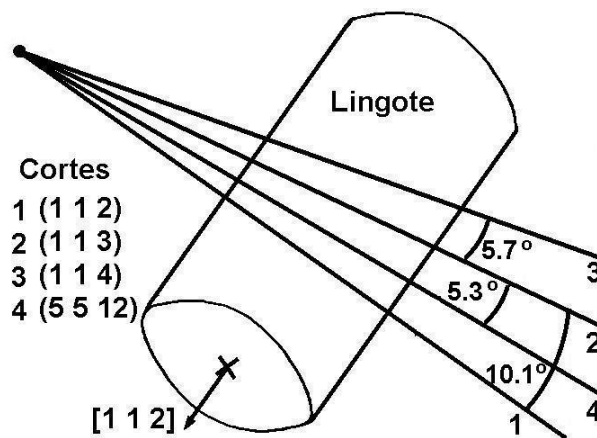


Figura 13. Cortes realizados en el lingote (112) para la obtención de las obleas de alto índice cristalino.

Las obleas obtenidas no son perfectamente redondas, pero debido a que la orientación de éstas es cercana a la del lingote, la forma elíptica no es tan pronunciada. Es importante subrayar que todas las obleas fueron obtenidas del mismo lingote<sup>2</sup> así que poseen resistividades del mismo orden.

## 2.5 Conclusiones

- El silicio posee una estructura tipo diamante que puede considerarse como dos redes cúbicas centradas en la cara, ínter penetradas y desplazadas una de otra en 1/4 de la diagonal principal. Ya que la distribución de átomos en este material varía con la dirección, algunas características dependen de ella.
- La reconstrucción superficial también varía en cada plano, así que las propiedades de dispositivos de superficie son alteradas por la distribución de los átomos en la superficie.
- En los planos de alto índice Si-(114) y Si-(5 5 12), la superficie reconstruida es estable, el tamaño de las celdas básicas es grande y se forman bordes en la

<sup>2</sup> Las obleas fueron obtenidas por el Dr. Kendall en Virginia Semiconductor Inc.

superficie; estas características podrían ser utilizadas para el desarrollo de dispositivos con características especiales y en tecnologías dependientes de la orientación.

- Para la obtención de las obleas Si-(114) y Si-(5 5 12) fue necesario crecer un lingote con orientación (112), plano con celda básica corta y que está cercano angularmente a los planos de alto índice; para evitar que las obleas resultaran demasiado elípticas, lo que incrementaría el estrés superficial. El lingote crecido se cortó en el ángulo adecuado para obtener los planos deseados.

En el próximo capítulo se discutirá la dependencia de las etapas de proceso con la orientación cristalina del substrato y las causas que provocan estas dependencias.



### 3 Etapas de Proceso Dependientes de la Orientación

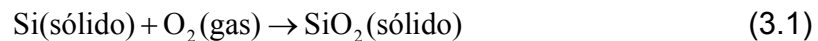
Algunas etapas del proceso de fabricación y propiedades físicas de las obleas de silicio dependen de la orientación cristalográfica del sustrato [3],[33]-[34]. Así por ejemplo, la dureza es mayor para las direcciones  $\langle 111 \rangle$ ; el módulo de elasticidad también depende de la orientación; los planos  $\{111\}$  se oxidan más rápido que los  $\{001\}$ . Por estas razones, la elección del sustrato es una variable en el diseño de dispositivos. En la Tabla 2 se listan las etapas de proceso que dependen de la orientación del sustrato.

**Tabla 2. Etapas de Proceso Dependientes de la Orientación**

Etapa de Proceso	Dependencia con la Orientación
Oxidación Térmica	La razón varía con la orientación: $(001) \langle (110) \rangle \langle (111) \rangle$
Crecimiento epitaxial	La razón varía con la orientación: muy baja en $(111)$
Grabado	La razón es muy lenta en la dirección $[111]$
Difusión	Es dependiente de la orientación cuando se realiza junto con oxidación térmica: $(001) \rangle (111)$
Implantación Iónica	El rango proyectado es mayor en la dirección $[110]$ , también es mayor en direcciones de bajo índice cuando se compara con direcciones ligeramente fuera de orientación

### 3.1 Oxidación Térmica del Silicio

Los semiconductores pueden ser oxidados por diversos métodos: térmico, anodización electroquímica y plasmas. De estos métodos la oxidación térmica es la más importante en la fabricación de dispositivos semiconductores. La reacción química que describe la oxidación térmica de silicio en oxígeno o vapor de agua es:



Durante el comienzo de la oxidación, cuando la reacción en la superficie es el factor limitante, el grosor del óxido varía linealmente con el tiempo. Conforme se vuelve más grueso, el oxidante se debe difundir a través de la capa de óxido para reaccionar en la interface Si-SiO<sub>2</sub> y la reacción se limita por la difusión. El grosor se vuelve proporcional a la raíz cuadrada del tiempo de oxidación. Las ecuaciones que describen este comportamiento son:

$$x = \frac{B}{A}(t + \tau) \quad (3.3)$$

para la región lineal, y:

$$x^2 = B(t + \tau) \quad (3.4)$$

para la región parabólica.

donde: B/A es la constante de la razón lineal y B es la constante de la razón parabólica.

t es el tiempo de oxidación.

$\tau$  es un corrimiento en la coordenada del tiempo para considerar la capa de óxido inicial.

En el régimen de oxidación lineal, el crecimiento del óxido depende de la reacción en la superficie a través de la densidad de átomos superficiales, que a su vez es función de la orientación cristalográfica del substrato. En el régimen de óxidos gruesos la



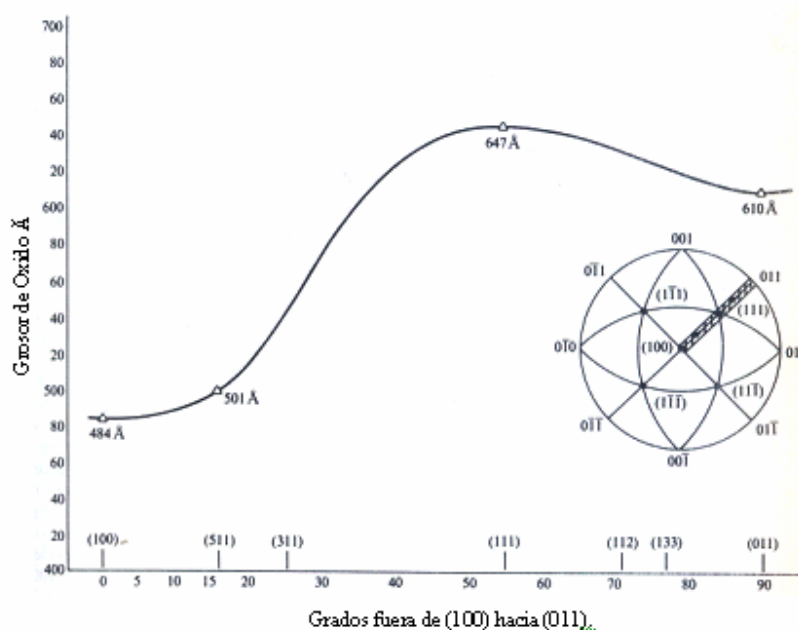
reacción se limita principalmente por la difusividad del oxidante en el  $\text{SiO}_2$ , y ya que éste es amorfo, el crecimiento del óxido en este régimen resulta independiente de la orientación.

Los datos experimentales reportados en [39]-[43] confirman que la cinética de la oxidación es función de la orientación cristalográfica del silicio, y la relación coincide con la densidad de átomos y enlaces superficiales en las distintas orientaciones (Tabla 3), que presenta la tendencia:  $(001) < (111)$ .

**Tabla 3. Densidad de átomos superficiales y enlaces disponibles en función de la orientación.**

Orientación	Átomos superficiales	Enlaces disponibles
{001}	$6.8 \times 10^{14} \text{ cm}^{-2}$	$6.8 \times 10^{14} \text{ cm}^{-2}$
{110}	$9.6 \times 10^{14} \text{ cm}^{-2}$	$9.6 \times 10^{14} \text{ cm}^{-2}$
{111}	$7.9 \times 10^{14} \text{ cm}^{-2}$	$11.8 \times 10^{14} \text{ cm}^{-2}$

En la Figura 14 se muestra la razón de oxidación en función de la orientación cristalina.



**Figura 14. Dependencia de la razón de oxidación con la orientación cristalográfica. Tomada de [33].**

Con estos datos se puede predecir que la razón de oxidación que se medirá en el CI de pruebas presentará la siguiente tendencia:

$$(001) < (114) < (5\ 5\ 12) < (111) \quad (3.5)$$

### **3.2 Crecimiento Epitaxial**

Bajo algunas condiciones, la razón de depósito de la orientación cristalográfica, planos o facetas perpendiculares a las direcciones de crecimiento lento se forman sobre superficies curvas. El estudio de los efectos de la orientación es complejo y los datos experimentales son bastantes dispersos; de manera particular, los datos reportados de crecimiento de silicio con  $\text{SiCl}_4$  a  $1200^\circ\text{C}$  indican que la razón de crecimiento posee la tendencia  $(111) < (001) < (110)$  [34]; sin embargo, este resultado no se puede generalizar y predecir la tendencia para cada condición experimental no es una tarea trivial.

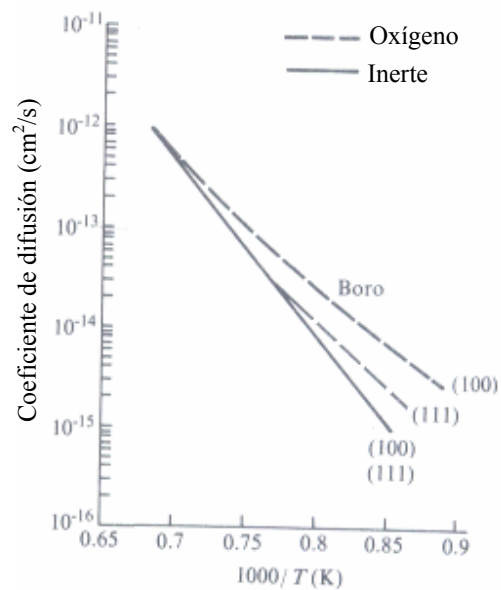
### **3.3 Grabado Químico Húmedo**

Experimentalmente se ha determinado que la razón de grabado del silicio con soluciones como  $\text{KOH}:\text{H}_2\text{O}$ , depende de la orientación cristalográfica, excepto en silicio tipo-p con concentraciones mayores a  $1 \times 10^{19} \text{ cm}^{-3}$  donde el grabado casi no existe. Los planos (111) son los que presentan la razón de grabado más lenta y los planos (001) la más rápida. La dependencia de la razón de grabado con la orientación se atribuye a la densidad de átomos en la superficie, la forma en que se encuentran enlazados entre ellos y con los átomos de capas atómicas inferiores; también es función del tipo de impurezas del sustrato y su concentración, temperatura de grabado y tipo de grabante [44]. Esto es especialmente interesante ya que el micromaquinado en Si-(114) y Si-(5 5 12) generaría estructuras diferentes a las obtenidas en (001).

### **3.4 Difusión Atómica**

Fue el método predominante para introducir impurezas de manera controlada hasta principios de los 70s. En este método los átomos son colocados en la superficie de la oblea semiconductor mediante el depósito del dopante en fase gaseosa o a través de óxidos dopados. La difusión se lleva a cabo a temperaturas elevadas (700-1200 °C para el silicio). Al final del proceso, el perfil de impurezas muestra que la concentración de dopantes decrece monotónicamente desde la superficie. El perfil está determinado principalmente por el tipo de dopante, la temperatura y el tiempo de difusión. Las ventajas del método son la simpleza y economía; sin embargo, con el fin de formar uniones reproducibles, generalmente es necesario introducir las impurezas en el límite de solubilidad del sólido, por lo que la formación de regiones altamente resistivas y poco profundas resultan difíciles de conseguir con este método [3], [33]-[34]. En los procesos actuales se ha retomado el interés en esta técnica debido a la necesidad de formar uniones poco profundas, con alta concentración de impurezas y libres de defectos [45].

Debido a la simetría cúbica de la red cristalina del silicio, la difusividad de impurezas es un fenómeno isotrópico; sin embargo, este proceso se torna anisotrópico en presencia de oxidación. Experimentalmente se ha observado que la difusión de boro y fósforo en silicio depende de la orientación cuando el proceso se lleva a cabo en ambiente oxidante [33]; en atmósferas inertes no existe evidencia de coeficientes de difusión anisotrópicos como se muestra en la Figura 15. La oxidación térmica del silicio incrementa el número de átomos intersticiales y éstos la difusividad de cualquier átomo cuya difusión sea favorecida por su presencia. De manera contraria, si un átomo se difunde por vacancias, los átomos intersticiales extras las reducen y con ellas la difusividad. B, P y As muestran un incremento en sus difusividades con la oxidación térmica; el Sb un retardo. Esto se observa tanto en óxidos secos como en óxidos húmedos y es más pronunciado a bajas temperaturas de oxidación/difusión [3].



**Figura 15.** Dependencia de la difusividad con la orientación, tomado de [33]. En ambientes inertes la difusión es independiente de la orientación, para ambientes oxidantes la difusión depende de la orientación al modificarse la concentración de átomos intersticiales.

### 3.4.1 Ecuaciones de Difusión de Fick

En 1855 Fick publicó su teoría acerca de la difusión, basada en la analogía entre la transferencia de material en una solución y la transferencia de calor por conducción. Él supuso que en un líquido diluido o solución gaseosa en ausencia de convección, la transferencia de átomos por unidad de área en un flujo unidimensional puede describirse por [46]:

$$J = -D \frac{\partial C(x,t)}{\partial x} \quad (3.6)$$

donde

- J es el flujo de difusión.
- C es la concentración de átomos.
- x es la coordenada en la dirección del flujo de átomos.
- t es el tiempo de difusión.
- D es el coeficiente de difusión.

La ecuación anterior establece que la razón local de transferencia de átomos por unidad de área y por unidad de tiempo es proporcional al gradiente de concentración de átomos y define la constante de proporcionalidad como el coeficiente de difusión del átomo,  $D$ .

De la primera ley de la conservación de la materia, la variación de la concentración de átomos con el tiempo debe ser igual a la reducción del flujo:

$$\frac{\partial C(x,t)}{\partial t} = -D \frac{\partial J(x,t)}{\partial x} \quad (3.7)$$

Sustituyendo la Ecuación (3.6) en (3.7) se obtiene la segunda Ley de Fick de la difusión:

$$\frac{\partial C(x,t)}{\partial t} = D \frac{\partial^2 C(x,t)}{\partial x^2} \quad (3.8)$$

### 3.4.2 Difusividades Constantes

La difusión de impurezas para la formación de uniones reproducibles puede lograrse fácilmente en dos casos, conocidos como: condición de concentración superficial constante (fuente constante) y condición de concentración total de dopantes constante (predepósito). En el primer caso, los átomos dopantes son transportados de la fuente gaseosa a la superficie de la oblea y difundidos en el volumen, la fuente mantiene la concentración superficial en un nivel constante durante el periodo de difusión; en el caso de concentración total de dopantes constante, una pequeña cantidad del contaminante deseado se deposita en la superficie de la oblea. Bajo estas dos condiciones existen soluciones analíticas para las ecuaciones de difusión de Fick, Ecuación (3.9) para la condición de concentración superficial constante y (3.10) para el caso de concentración total de dopantes constante.

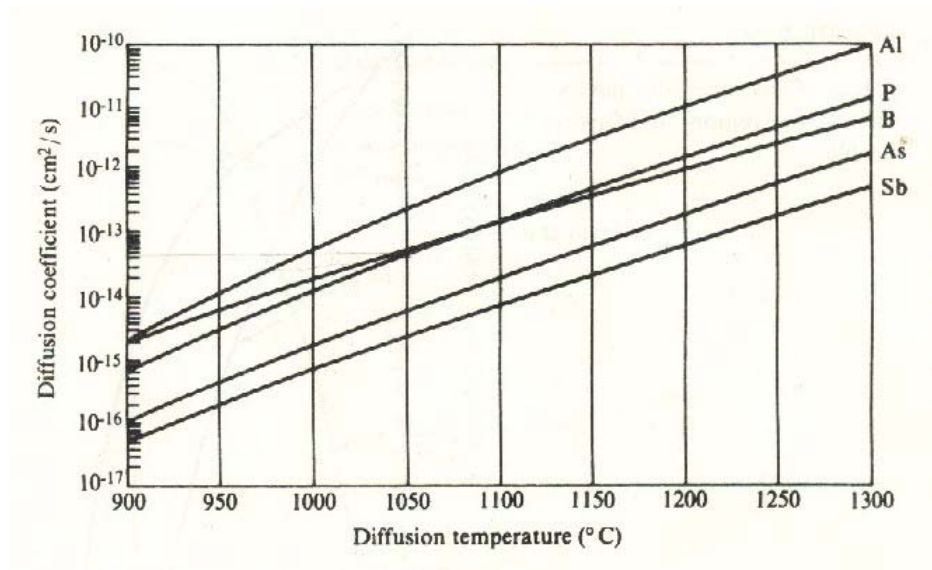


Figura 16. Coeficiente de difusión intrínseco de Al, P, B, As y Sb en Si, en función de la temperatura. Datos tomados de [47].

$$C(x,t) = C_s \operatorname{erfc} \left( \frac{x}{\sqrt{Dt}} \right) \quad (3.9)$$

$$C(x,t) = \frac{S}{\sqrt{pDt}} \exp \left( -\frac{x^2}{4Dt} \right) \quad (3.10)$$

donde  $C_s$  es la concentración de dopantes en la superficie (constante).

$S$  es concentración total de dopantes.

En la Figura 16 se muestran los coeficientes de difusión intrínsecos de diversos dopantes en Si.

### 3.4.3 Difusión Extrínseca

Las ecuaciones de Fick presentadas en la sección anterior son válidas para coeficientes de difusión constantes, cuando la concentración de dopantes es menor que la concentración intrínseca,  $n_i$ , a la temperatura de difusión (región de difusión intrínseca). En caso contrario la difusividad se vuelve dependiente de la

concentración (región de difusión extrínseca) como se muestra en la Figura 17. Por otro lado, la concentración intrínseca es función de la temperatura, como se presenta en la Figura 18.

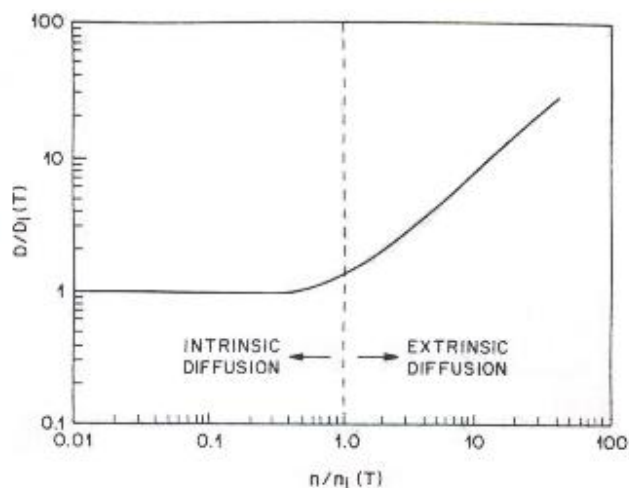


Figura 17. Coeficiente de difusión en las regiones intrínseca (concentración de dopantes menor a la concentración intrínseca), y extrínseca (la concentración de dopantes es mayor que la concentración intrínseca). Tomada de [48].

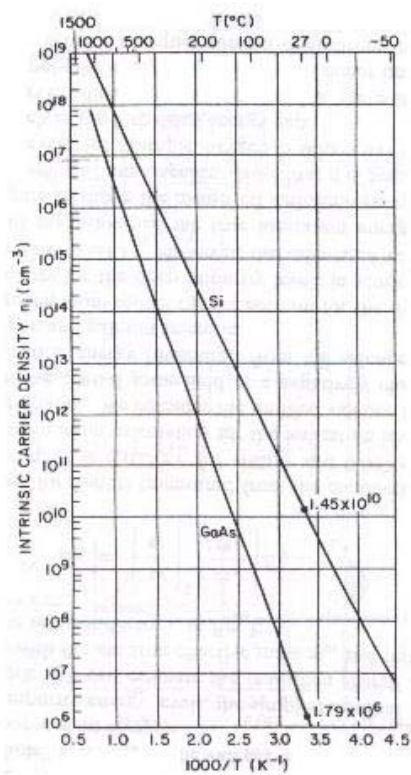


Figura 18. Concentración intrínseca de portadores en Si y GaAs, en función de la temperatura. Tomada de [49].

### **3.4.4 Efecto OED**

Estudios han demostrado que la difusividad de boro y fósforo en silicio se incrementa cuando la superficie del silicio es oxidada [50]-[51]; esto se atribuye a que la concentración de defectos puntuales es perturbada por la oxidación de la superficie. La oxidación inyecta átomos intersticiales que incrementan la difusividad de los átomos de boro y fósforo en silicio.

### **3.5 Implantación Iónica**

Con este proceso, la impureza deseada se introduce por medio de un haz de iones de alta energía. Las ventajas del método consisten en el control preciso de la cantidad de dopantes, mayor reproducibilidad de los perfiles de impurezas y baja temperatura de ejecución; sin embargo, también existen algunas desventajas: es necesario realizar un tratamiento térmico a elevadas temperaturas para activar las impurezas introducidas y eliminar el daño, el perfil de dopantes es afectado por el canaleo de los iones a través de la estructura cristalina del semiconductor y por el incremento transitorio de la difusión (TED) [3],[33],[34].

Como se mencionó en la sección 2.1, dependiendo de la dirección hacia la que se observe, la estructura cristalina presenta diferentes simetrías; la densidad de átomos varía con la dirección. Esto implica que los eventos dispersivos debidos a la interacción entre los iones de la impureza implantada y los átomos del substrato son distintos para cada orientación cristalográfica. Por esta razón, el perfil de implantación exhibe dependencia con la orientación. Experimentalmente se ha determinado que el rango proyectado es mayor en la dirección [110].

#### **3.5.1 Efecto TED**



Durante la activación de las impurezas implantadas se ha observado que la difusividad exhibe un incremento transitorio [51]-[53]. Este incremento persiste hasta que se elimina el daño causado por la implantación. Actualmente se acepta que el origen de TED se debe a que se inyectan átomos intersticiales de silicio desde la región de daños hacia el sustrato. Una vez en el sustrato, los intersticiales incrementan la difusividad de los dopantes que se difunden principalmente a través ellos, como el boro y fósforo. El origen de los intersticiales se atribuye a los defectos formados por la alta velocidad de los iones durante la implantación; éstos forman lazos y defectos planares en el plano {311}. Los defectos comienzan a disolverse con el recocido y durante este proceso eventualmente emiten los intersticiales hacia el volumen del silicio [52].

El efecto TED se presenta sólo cuando el dopante es introducido por implantación y su duración depende en relación inversa a la temperatura de recocido. Para reducir este efecto se ha recurrido a la activación de impurezas mediante recocidos térmicos rápidos (RTA); proceso que emplea una variedad de fuentes de energía con un amplio rango de tiempo, típicamente desde nanosegundos hasta 100 segundos; tiempos muy cortos comparados con el recocido en hornos convencionales. RTA puede activar completamente los átomos implantados minimizando su redistribución, de allí el gran interés en aplicaciones donde se requiere reducir la profundidad de unión y la difusión lateral [45].

### **3.5.2 Canaleo de Iones**

El canaleo ocurre cuando los iones incidentes se alinean a la dirección cristalográfica principal y son guiados entre hileras de átomos en el cristal, como se muestra en la Figura 19. Estos iones seguirán trayectorias que ofrecen poca resistencia a su paso y la pérdida de energía por colisiones nucleares resulta baja; para estos iones el principal mecanismo de pérdida de energía es el paro electrónico. El rango de los iones que experimentan el canaleo puede ser relativamente más grande que el de

aquellos que colisionan con los átomos del cristal [3]; el efecto puede minimizarse por diversas técnicas [33]-[34]:

- Colocando una capa amorfa en la superficie de la oblea.
- Desalineando la oblea.
- Creando daño en la superficie de la oblea.

### 3.6 Conclusiones

Las etapas de proceso: oxidación, difusión, e implantación iónica, exhiben dependencia con la orientación cristalográfica del substrato y esto se ve reflejado en el desempeño de dispositivos semiconductores a través de los parámetros:

- Grosor del óxido de compuerta.
- Densidad efectiva de cargas en el óxido.
- Voltaje de umbral de transistores MOS.
- Movilidad de portadores en el canal de transistores MOS.
- Resistencia de contacto.
- Resistencia de hoja.
- Traslape de fuente/drenaje a compuerta.

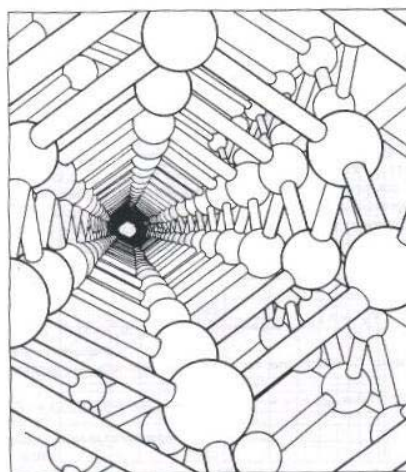


Figura 19. Modelo de la estructura del Si, vista en la dirección  $\langle 110 \rangle$ . En esta dirección existen canales libres de colisiones, tomada de [33].

En el siguiente capítulo se caracterizan los procesos de difusión e implantación en substratos de alto índice para determinar los efectos OED, TED y canaleo. Los resultados se discuten de acuerdo a lo expuesto en este capítulo.



## **4 Dopado y Activación de Impurezas**

La introducción precisa y controlada de impurezas es una etapa de gran importancia en el proceso de fabricación ya que las características eléctricas de los dispositivos semiconductores dependen de su distribución, tipo y concentración [3]. Actualmente, las técnicas de dopado de mayor importancia son la difusión atómica e implantación iónica, ampliamente estudiadas en substratos de bajo índice; sin embargo, existe poca información de estos procesos en obleas de alto índice. En este capítulo se analizan los resultados experimentales de difusión e implantación de boro y fósforo en Si-(114) y Si-(5 5 12) variando:

- El tipo de impureza.
- Temperatura y tiempo de difusión.
- Dosis, energía y ángulo de implantación.
- Método de activación de impurezas.
- Grosor de óxido de implantación.
- Técnica de activación de impurezas.

### **4.1 Perfil de Dopantes**

La distribución de dopantes se obtuvo mediante perfilado electroquímico (ECV); técnica que ha sido usada principalmente para caracterizar el dopado en semiconductores compuestos, pero que actualmente también está siendo aplicada en silicio [54]. La aplicación en semiconductores III-V resulta adecuada ya que la valencia de disolución está bien definida y el electrolito graba al semiconductor de manera muy controlada. En el caso del silicio, la aplicación estaba restringida ya que la valencia de disolución no podía definirse de manera precisa, se veía afectada por el tipo y densidad de dopantes, el potencial del electrodo y la intensidad de la iluminación; sin embargo se han logrado superar estas limitaciones y ya es posible utilizarla para determinar los perfiles de boro y fósforo en silicio.

La técnica se basa en la medición de la capacitancia de un contacto Schottky electrolito-semiconductor a un voltaje de polarización de corriente directa constante. El perfilado se consigue con el grabado electroquímico del semiconductor entre cada medición de capacitancia; no existe límite de profundidad. La concentración de dopantes se obtiene de mediciones C-V con el contacto polarizado en inversa. El método es destructivo puesto que se graba un hueco en la muestra.

#### 4.1.1 Grabado Electroquímico del Silicio

El procedimiento para grabar el silicio depende del tipo de dopantes:

- **Grabado de material tipo-p.** Al polarizar en inversa la unión electrolito-semiconductor, los huecos son atraídos a la superficie, recombinándose con los electrones de valencia; si todos los electrones de valencia son removidos, entonces el átomo, ionizado positivamente, se disuelve en el fluido electrolítico.
- **Grabado de material tipo-n.** Para grabarlo es necesario usar luz ultravioleta para generar pares electrón-hueco en la superficie del semiconductor. La

interface electrolito–semiconductor posee un campo eléctrico intrínseco que provoca el movimiento de los huecos hacia la superficie liberando a los electrones de valencia por recombinación; una vez que todos los electrones de valencia han sido removidos, el átomo, ionizado positivamente, se disuelve en el fluido electroquímico.

La razón de disolución es controlada mediante el flujo de una corriente en la superficie semiconductor,  $I_{etch}$ .

La concentración de electrones y huecos es contabilizada midiendo la carga eléctrica,  $Q$ , involucrada en el proceso de grabado; la profundidad de grabado  $X_{etch}$  se calcula de:

$$X_{etch} = \frac{Q}{qV_{al}} \frac{M_{mol}}{N_A D A} \quad (4.1)$$

donde:

$Q/(qV_{al})$  es el número de moléculas grabadas.

$Q$  es carga total medida, determinada por:  $\int I_{etch} dt$ , donde  $I_{etch}$  es la corriente grabante en el tiempo de grabado.

$q$  es la carga del electrón.

$V_{al}$  es la valencia de disolución.

$M_{mol}$  es la masa de un mol del material semiconductor.

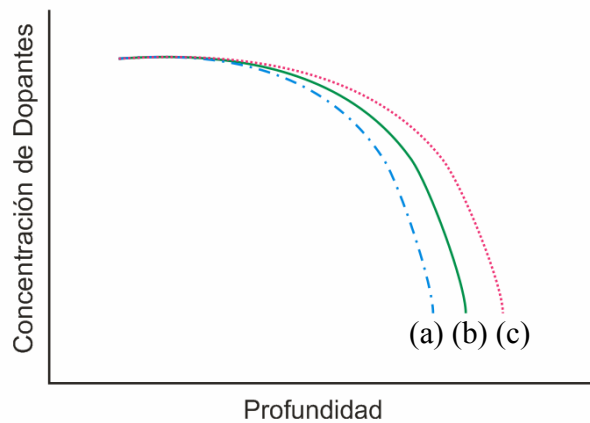
$N_A$  número de Avogadro= $6 \times 10^{23}$ /mol.

$D$  es la densidad del material semiconductor.

$A$  es el área del anillo.

Dependiendo del semiconductor a ser grabado,  $V_{al}$  puede ser una cantidad complicada definida como el número de electrones que deben ser transportados a la superficie para disolver una molécula. Idealmente la valencia de un átomo o molécula

es igual al número de electrones que posee en su última órbita; sin embargo, pueden existir desviaciones del valor ideal debido a defectos en la superficie. Es importante considerar el valor adecuado de  $V_{al}$  para cada muestra particular, ya que la profundidad a la que se extrae la concentración depende inversamente de ésta a través de  $X_{etch}$ , como se indica en la Ecuación (4.1), provocando el efecto mostrado en la Figura 20.



**Figura 20. Efecto de  $V_{al}$  en el perfil de dopantes. Suponiendo que la curva (b) representa el perfil de dopantes cuando se ha elegido el valor adecuado de  $V_{al}$ , entonces (a) muestra el efecto de sobrestimar esta variable y (c) el efecto de subestimarla.**

Para evitar este problema se mide con otro instrumento la profundidad del hueco grabado en la oblea (en nuestro caso el alpha-step) y se compara con el valor calculado en el perfilador; si existen diferencias se introduce el valor medido con el dispositivo alterno, se recalcula  $V_{al}$  logrando que las profundidades medida y calculada sean iguales.

#### 4.1.2 Perfilado Electroquímico

Si un material semiconductor está colocado en contacto con un metal, la difusión de los portadores de la superficie semiconductor hacia el metal provoca el agotamiento de portadores en la superficie; este tipo de interface es conocida como barrera Schottky. Aplicando un voltaje externo al contacto metal-semiconductor se puede modular el ancho de la región de agotamiento; en polarización inversa el ancho de la región de agotamiento se incrementa y la capacitancia se reduce mientras que en



polarización directa ocurre lo contrario. Si el voltaje en polarización inversa es modulado con una fuente de corriente alterna, entonces el ancho de la región de agotamiento seguirá las variaciones de la señal de entrada; resultando en un flujo de carga similar al que existe en un capacitor de placas paralelas cuando se modifica la separación entre las placas. Si el borde de la región de agotamiento en el semiconductor es lo suficientemente estrecho y el material semiconductor es homogéneo, entonces la capacitancia depende del voltaje aplicado, y  $1/C^2$  depende de la concentración de portadores de acuerdo a la relación de Mott-Schottky [54]:

$$\frac{1}{C^2} = \frac{-2}{q\epsilon_0\epsilon_R A^2 N} V - V_{FB} \quad (4.2)$$

la concentración de portadores es inversamente proporcional a la pendiente de  $1/C^2$  de acuerdo a la relación:

$$N = \frac{-2}{q\epsilon_0\epsilon_R A^2 N \frac{d(1/C^2)}{dV}} \quad (4.3)$$

El punto en que la línea extrapolada  $1/C^2$  interseca al eje de voltaje, es llamado voltaje de banda plana,  $V_{FB}$ . Este voltaje depende del tipo y dopado del material semiconductor y también del electrolito.

El ancho de la región de agotamiento,  $X_D$ , depende de la capacitancia:

$$X_D = \frac{\epsilon_0\epsilon_R A}{C} \quad (4.4)$$

donde:

$\epsilon_0$  es la permitividad dieléctrica del espacio libre.

$\epsilon_R$  es la permitividad relativa del material semiconductor.

A es el área definida por el anillo.

$C$  es la capacitancia de la región de agotamiento.

$V$  es el voltaje externo aplicado a la región de agotamiento.

$V_{FB}$  es el voltaje de banda plana.

$X_D$  es el ancho de la región de agotamiento.

Debe notarse la necesidad de determinar el área del anillo con gran precisión para evitar errores en el cálculo de la concentración de dopantes y su posición, ecuaciones (4.1)-(4.4). Para evitar este problema debe medirse regularmente el área efectiva del anillo con un microscopio, actualizando este dato en el perfilador para obtener la mejor aproximación de la distribución real de dopantes en el semiconductor.

## **4.2 Difusión de Fósforo y Boro en Substratos de Alto Índice**

La difusión es una técnica simple y económica; sin embargo, la uniformidad y reproducibilidad resulta más difícil de lograr [3],[33],[34],[46], pero es posible si el predeposición se lleva a cabo en el límite de solubilidad del sólido. En esta sección se estudiarán las difusiones de fósforo y boro en silicio de altos índices depositados usando fuentes gaseosas y óxidos dopados, respectivamente.

### **4.2.1 Difusión de Fósforo en Ambiente no Oxidante**

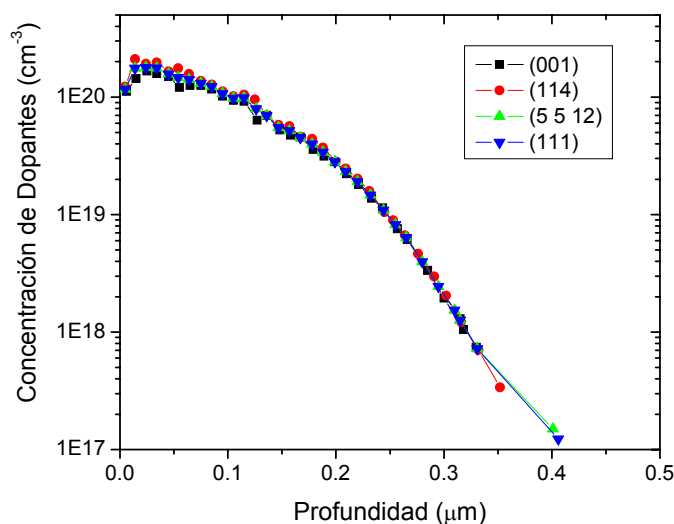
En el mismo proceso, se difundió fósforo en 4 obleas con orientaciones (001), (114), (5 5 12) y (111). Los procesos se llevaron a cabo en ambiente no oxidante a las temperaturas de 1000 y 1100°C durante 10 y 75 minutos respectivamente. El flujo de fosfina se mantuvo a 75 S.S. para asegurar que la concentración estaba por encima del límite de solubilidad. Estos experimentos se realizaron para comprobar que la difusividad de fósforo, en ambiente no oxidante, es independiente de la orientación como se ha reportado para substratos de bajo índice [40]-[43]. Con estas condiciones se discrimina cualquier efecto anómalo: OED no existe al no haber oxidación

mientras que TED y canaleo sólo están relacionados con la implantación; entonces se predecía que no existirían diferencias entre los perfiles en cada sustrato. A continuación se describen los procesos de difusión llevados a cabo.

#### 4.2.1.1 Difusión a 1000°C

En este proceso se difundió fósforo en ambiente no oxidante bajo las siguientes condiciones:

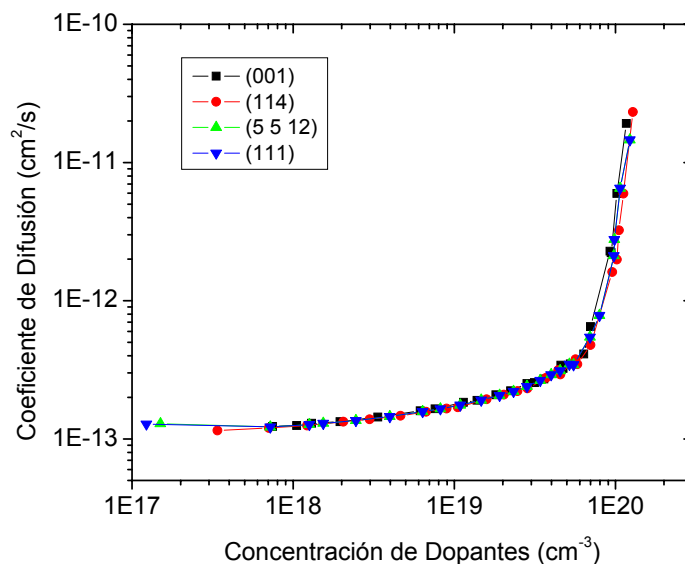
- Limpieza inicial.
- Limpieza RCA I y II.
- Difusión de fósforo en horno convencional.
  - temperatura=1000°C.
  - tiempo=10 minutos.
  - flujos: fosfina= 75 S.S, N<sub>2</sub>=25 S.S.



**Figura 21.** Perfil de Fósforo en función de la orientación cristalina. Temperatura de difusión=1000°C en horno convencional y en ambiente inerte durante 10 minutos. Los resultados muestran que para estas condiciones experimentales, la difusividad es independiente de la orientación.

Con este experimento se confirma que para esta temperatura y tiempo de difusión, el perfil de fósforo en silicio es independiente de la orientación cristalina si el proceso se lleva a cabo en ambiente inerte, como se muestra en la Figura 21.

**Cálculo del coeficiente de difusión de fósforo en Si a 1000°C.** Este experimento se ajusta al caso de concentración superficial constante, así que se puede usar la Ecuación (3.9) para determinar el coeficiente de difusión de fósforo en silicio, siempre y cuando la concentración de dopantes sea menor que la concentración intrínseca del silicio a la temperatura de difusión. Bajo estas condiciones la difusividad es independiente de la concentración y al evaluarla en cualquier punto se obtendría el mismo resultado. De la Figura 18 se nota que  $n_i$  a 1000°C  $\approx 1 \times 10^{19} \text{ cm}^{-3}$  y la concentración de fósforo en la superficie es de  $2 \times 10^{20} \text{ cm}^{-3}$ . Como la concentración de dopantes es un orden de magnitud mayor que la concentración intrínseca, la Ecuación (3.9) no puede determinar con precisión el coeficiente de difusión. Se realizará el cálculo en cada punto y se comparará con los datos presentados en la Figura 16.



**Figura 22.** Cálculo del coeficiente de difusión de fósforo en Si en diferentes concentraciones. Nótese que el coeficiente de difusión es independiente de la orientación del sustrato. Temperatura de difusión=1000 °C durante 10 minutos.

De la Figura 22 se nota que el coeficiente de difusión no es constante, puesto que la concentración de dopantes es mayor que la concentración intrínseca a 1000°. De los datos presentados en la Figura 16, se nota que el coeficiente de difusión intrínseco a esta temperatura,  $D_i \approx 10^{-14} \text{ cm}^2/\text{s}$ , es un orden de magnitud menor que el mínimo valor calculado (ligeramente mayor a  $10^{-13} \text{ cm}^2/\text{s}$ ); esto indica que el proceso de difusión se llevó a cabo en la región extrínseca y las soluciones analíticas a las ecuaciones de Fick no pueden reproducir nuestros perfiles experimentales.

#### 4.2.1.2 Difusión a 1100°C

Para comprobar que la difusividad de fósforo en silicio es independiente de la orientación cristalina, se procedió a realizar un segundo experimento incrementando el tiempo y la temperatura de difusión. Las condiciones del proceso fueron las siguientes:

- Limpieza inicial.
- Limpieza RCA I y II.
- Difusión de fósforo.
  - temperatura=1100 °C.
  - tiempo=75 minutos.
  - flujos: fosfina= 75 S.S. N<sub>2</sub>=25 S.S.

Los datos de la Figura 23 muestran que también para estas condiciones, la difusividad de fósforo en silicio es independiente de la orientación. Considerando que las condiciones de temperatura y tiempo de difusión de este experimento difieren con las del experimento anterior y puesto que en substratos de bajo índice no existe evidencia de difusividades dependientes de la orientación cuando el proceso se lleva a cabo en ambientes inertes, entonces se puede concluir que: “El coeficiente de difusión de fósforo en silicio es independiente de la orientación del substrato para cualquier temperatura y tiempo de difusión si el proceso se lleva a cabo en ambiente no oxidante”.

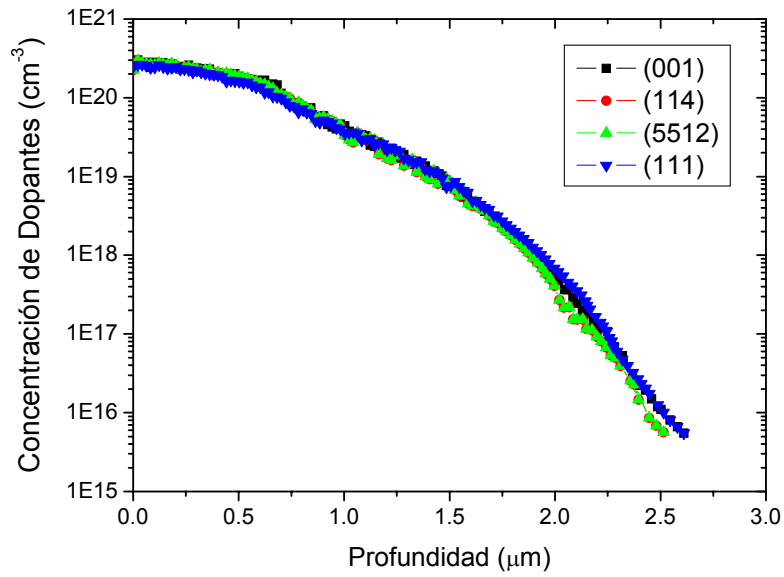


Figura 23. Perfil de fósforo en función de la orientación cristalina. Temperatura de difusión=1100°C en ambiente inerte durante 75 minutos. Los resultados muestran que para estas condiciones experimentales, la difusividad es independiente de la orientación.

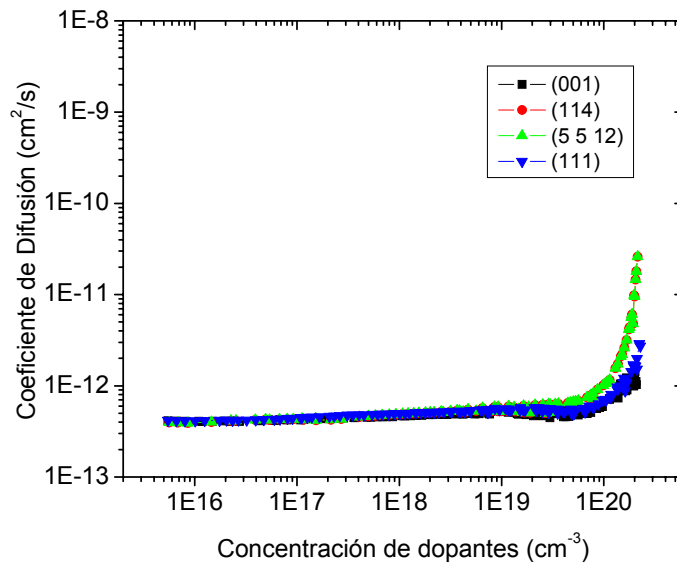


Figura 24. Cálculo del coeficiente de difusión de fósforo en Si en diferentes concentraciones. Nótese que el coeficiente de difusión es independiente de la orientación del sustrato. Temperatura de difusión 1100 °C durante 75 minutos.

La difusión de boro en silicio posee un comportamiento similar al presentado por el fósforo [40]-[43]. No existe evidencia de que la difusividad de este átomo en silicio dependa de la orientación, en ambientes no oxidantes; entonces puede concluirse de manera general: “la difusividad de boro y fósforo en silicio es independiente de la orientación cristalográfica si la difusión se realiza en ambiente no oxidante.”

$$D_{inerte(100)} = D_{inerte(114)} = D_{inerte(5512)} = D_{inerte(111)} \quad (4.5)$$

El coeficiente de difusión de fósforo en silicio a 1100°C se calculó de igual manera que en el caso anterior, los resultados mostrados en la Figura 24, indican que para concentraciones menores a  $10^{19} \text{ cm}^{-3}$  este parámetro es casi constante y aproximadamente igual a  $4 \times 10^{-13} \text{ cm}^2/\text{s}$ , un orden de magnitud mayor que el coeficiente de difusión intrínseco a esta temperatura,  $D_i = 4 \times 10^{-14} \text{ cm}^2/\text{s}$ . Nuevamente, esto indica que las soluciones analíticas a las ecuaciones de Fick no reproducen nuestros datos experimentales ya que el proceso se llevó a cabo en la región de difusión extrínseca. En lo sucesivo las discusiones sobre difusividad se realizarán de manera cualitativa basándose en los perfiles que se medirán.

#### 4.2.2 Difusión de Boro en Ambiente Oxidante

En esta sección se discuten los resultados experimentales de difusión de boro en silicio en ambiente oxidante; con este proceso se determinó el efecto de la oxidación en el proceso de difusión.

La oxidación del silicio, proceso dependiente de la orientación, inyecta al sustrato átomos intersticiales que incrementan la difusividad de átomos que se difunden vía intersticiales (como boro y fósforo); por lo tanto se espera que la profundidad de unión,  $x_j$ , sea dependiente de la orientación y siga la tendencia que posee la razón de crecimiento del óxido, Ecuación (3.5). Para comprobar esta predicción se realizaron

experimentos de difusión de boro a tres diferentes temperaturas, los resultados se muestran en las Figura 25-Figura 27.

El predepósito se llevó a cabo empleando óxidos dopados (SOD); con éstos se logra un dopado uniforme con variaciones menores al 3% si se siguen las recomendaciones del fabricante:

- El tiempo de vida del material es de 3 a 6 meses; inclusive mayor si se conserva entre 2 y 4 °C.
- La solución debe mantenerse a temperatura ambiente durante 24 horas antes de su aplicación.
- Para la limpieza de las obleas puede emplearse cualquier método estándar dentro de un proceso de fabricación; el que siguieron todas las obleas es el empleado en el laboratorio de microelectrónica del INAOE.
- Para cubrir uniformemente obleas de 2 pulgadas, debe aplicarse de 1 a 1.5 ml de solución. Las obleas deben colocarse de 10 a 15 segundos en el *spinner* girando a 2000-6000 rpm; 15 segundos a 2500 rpm proporcionaron buenos resultados en nuestros experimentos.

#### 4.2.2.1 Condiciones Experimentales

De manera simultánea se procesaron obleas de silicio con orientaciones (001), (114), (5 5 12) y (111) bajo las siguientes condiciones:

- Limpieza inicial.
- Limpieza RCA I y II.
- Depósito de boro.
  - Aplicación de 1 ml de SOD en la superficie de la oblea.
  - 15 segundos en el *spinner* a 2500 rpm.
  - Precocido durante 10 minutos a 100°C.



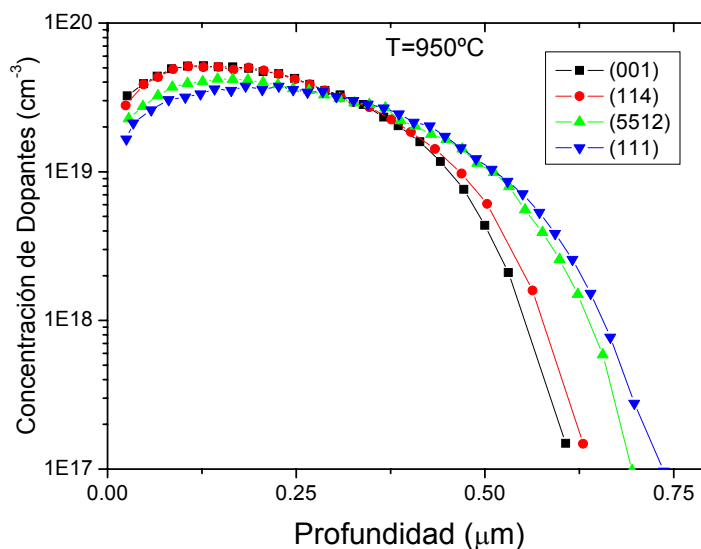
- Difusión de boro. Las obleas se separaron en tres grupos para llevar a cabo la difusión a: 950, 1000 y 1050°C.
  - Lote 1. Horno de oxidación inicial, 60 minutos a 950°C, N<sub>2</sub> 75 S.S, O<sub>2</sub> 25 S.S.
  - Lote 2. Horno de oxidación inicial, 60 minutos a 1000°C, N<sub>2</sub> 75 S.S, O<sub>2</sub> 25 S.S.
  - Lote 3. Horno de oxidación inicial, 60 minutos a 1050°C, N<sub>2</sub> 75 S.S, O<sub>2</sub> 25 S.S.

Los perfiles obtenidos se muestran en la Figura 25-Figura 27; en ellos se observa que la profundidad de unión  $x_j$ , para los 3 casos, sigue la tendencia mostrada en la Ecuación (3.5). De los datos contenidos en las gráficas se calcula la concentración total de dopantes,  $Q$ , y la resistencia de hoja,  $R_s$ , mediante:

$$Q = \int_0^{x_j} N_B(x) dx \quad (4.6)$$

$$R_s = \frac{1}{q \int_0^{x_j} \left( \frac{e}{e} n(x) m_n(x) + p(x) m_p(x) \right) dx} \quad (4.7)$$

La movilidad de electrones  $\mu_n$ , y huecos  $\mu_p$ , en función de la concentración de impurezas se muestran en la Figura 28.



**Figura 25. Perfil de boro en función de la orientación cristalina. Temperatura de difusión=950°. Tiempo de difusión 60 minutos.**

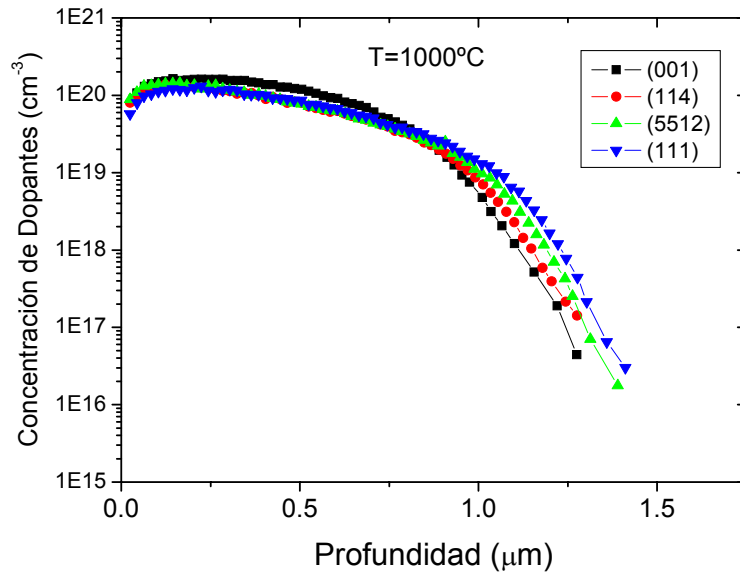


Figura 26. Perfil de boro en función de orientación cristalina. Temperatura de difusión=1000°C. Tiempo de difusión 60 minutos. Ambiente oxidante.

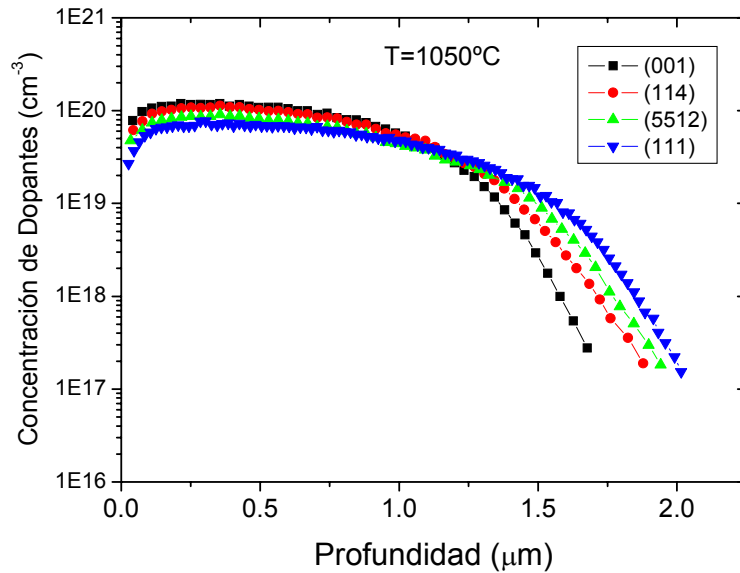
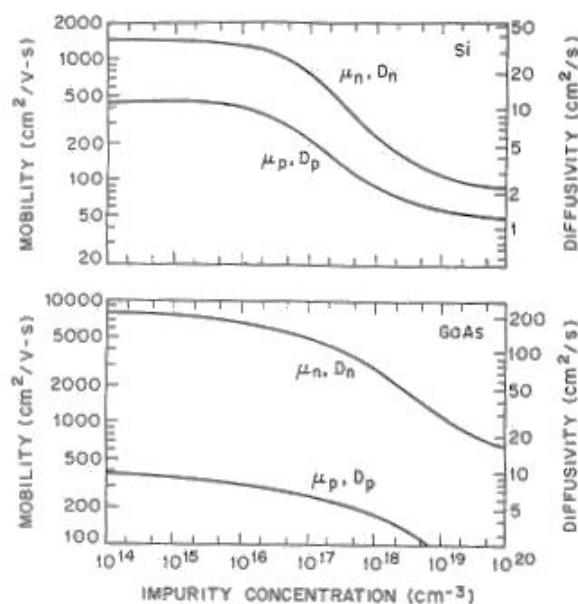


Figura 27. Perfil de boro en función de orientación cristalina, temperatura de difusión=1050°C, tiempo de difusión 60 minutos, ambiente oxidante.



**Figura 28. Movilidad de electrones y huecos en Si y GaAs, en función de la concentración de impurezas. Tomada de [55].**

Los resultados de los cálculos de la Dosis,  $R_s$  y  $x_j$  en cada proceso para las diferentes orientaciones, se muestra en la Tabla 4. Aquí se observa que  $x_j$  posee una tendencia clara:

$$x_{j(001)} < x_{j(114)} < x_{j(5512)} < x_{j(111)} \quad (4.8)$$

Esta se justifica por las diferentes razones de oxidación en cada plano. Con la oxidación se inyectan intersticios que incrementan la difusividad del boro aumentando la profundidad de unión; la densidad de intersticios depende de la razón de oxidación y como ésta depende de la orientación cristalina,  $x_j$  seguirá la misma tendencia.  $R_s$  no presenta una tendencia claramente definida, pero se nota que en (001) siempre es menor que en (111); consistente con la dosis activa, que en (001) es mayor que en (111). La razón de estas diferencias podría atribuirse a que el coeficiente de segregación posea ligera dependencia con la orientación.

Se piensa que la ausencia de una tendencia clara que incluya los cuatro planos estudiados se debe a que la dependencia es tan ligera que es apantallada por las variaciones del proceso.

**Tabla 4. Resistencia de hoja y profundidad de unión de regiones-p en función de la orientación; formadas mediante difusión desde óxidos dopados. Temperaturas de difusión: 950, 1000, y 1050°C durante 60 minutos.**

Temperatura	Orientación	Dosis (cm <sup>-2</sup> )	R <sub>s</sub> (Ohms/cuadro)	X <sub>i</sub> (μm)
950°	(001)	1.62×10 <sup>15</sup>	67.02	0.61
	(114)	1.64×10 <sup>15</sup>	65.92	0.63
	(5 5 12)	1.50×10 <sup>15</sup>	69.89	0.70
	(111)	1.44×10 <sup>15</sup>	71.88	0.73
1000°	(001)	9.53×10 <sup>14</sup>	13.26	1.27
	(114)	7.31×10 <sup>14</sup>	16.62	1.32
	(5 5 12)	7.66×10 <sup>14</sup>	15.91	1.34
	(111)	7.44×10 <sup>14</sup>	16.22	1.40
1050°	(001)	1.70×10 <sup>16</sup>	11.41	1.69
	(114)	1.01×10 <sup>16</sup>	11.85	1.87
	(5 5 12)	8.40×10 <sup>15</sup>	13.88	1.94
	(111)	7.83×10 <sup>15</sup>	14.63	2.00

Debido a que el fósforo es un elemento que, en el silicio, también se difunde a través de intersticiales, y como la razón de crecimiento del óxido de un substrato dopado con fósforo sigue la misma tendencia que uno dopado con boro, entonces puede argumentarse que los resultados obtenidos son válidos para ambas impurezas.

$$D_{ox(001)} < D_{ox(114)} < D_{ox(5512)} < D_{ox(111)} \quad (4.9)$$

donde  $D_{ox}$  es la difusividad en ambiente oxidante.

### 4.3 Implantación de Fósforo y Boro en Substratos de Alto Índice

La implantación iónica es el método predominante para dopar semiconductores debido al control preciso de la cantidad de dopantes, reproducibilidad y baja temperatura de operación, características que lo ubican como el preferido en los procesos actuales; sin embargo, efectos anómalos como TED y canaleo están relacionados con esta técnica. Debido a la ausencia de información de implantación de boro y fósforo en substratos de alto índice, es necesario estudiar los efectos anómalos relacionados con la técnica y determinar los factores que los determinan; para esto se realizó una serie de experimentos de implantación bajo diversas

condiciones de energía, dosis, ángulo de implantación, grosor de óxido y método para activar las impurezas.

Con estos experimentos se evaluaron los efectos TED y el canaleo en substratos (114) y (5 5 12).

#### **4.3.1 Implantación de Fósforo en Silicio de Alto Índice**

El fósforo es uno de los dopantes más usados para la formación de regiones tipo-n en silicio, por ello se diseñaron una serie de experimentos que permitieron determinar cómo se modifica el perfil de portadores por TED y canaleo de iones. De los experimentos previos se conoce que OED es función de la orientación del substrato de acuerdo a la tendencia mostrada en la Ecuación (4.9).

#### **4.3.2 Implantación de Fósforo a 0 y 7°**

Con este experimento se pretendía determinar el efecto causado por el ángulo de implantación en el canaleo de iones. Las condiciones de proceso: energía, dosis, grosor de óxido y ángulo de implantación, se eligieron de acuerdo al procedimiento para formar regiones de fuente y drenaje en el proceso ECMOS-I del INAOE con la diferencia de que la activación se llevó a cabo en un horno de recocido térmico rápido, RTA, para reducir el efecto TED.

Los detalles experimentales se describen a continuación:

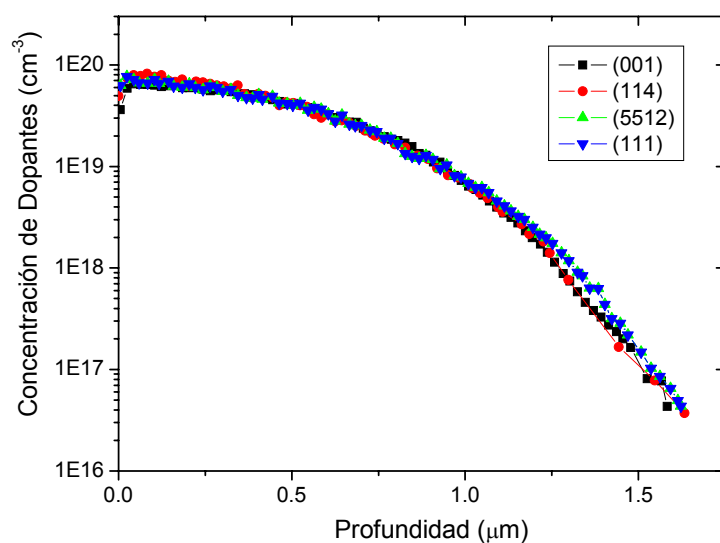
- Limpieza inicial.
- Limpieza RCA I y II.
- Implantación de fósforo bajo las siguientes condiciones:
  - Energía=150 keV.
  - Dosis= $4 \times 10^{15} \text{ cm}^{-2}$ .

- Ángulo de implantación=0 y 7°.
- Grosor de óxido=600 Å.
- Activación de impurezas mediante RTA, bajo las siguientes condiciones:
  - Rampa de subida de 450°C a 1050°C en 10 segundos, en N<sub>2</sub>.
  - Temperatura sostenida a 1050°C durante 10 segundos, en N<sub>2</sub>.

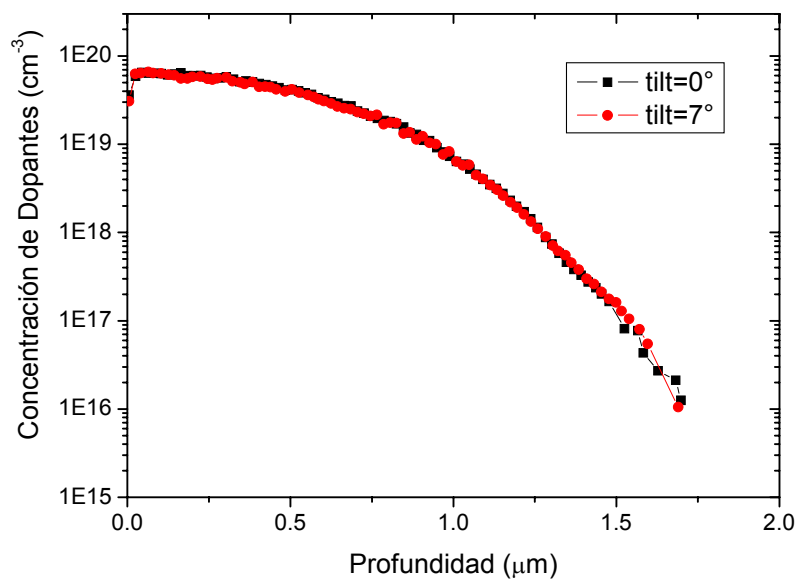
Todas las obleas siguieron el mismo proceso, las variables fueron: la orientación cristalina del sustrato y el ángulo de implantación.

En la Figura 29 y Figura 30 se muestra que, para estas condiciones experimentales, el perfil de fósforo es independiente de la orientación cristalina del sustrato y del ángulo de implantación; esto sólo puede justificarse si los efectos anómalos OED, TED y canaleo pueden discriminarse:

- OED puede descartarse ya que la activación se llevó a cabo en ambiente inerte. Bajo estas condiciones, la concentración de intersticiales no se ve alterada, es la misma para cada orientación, y por lo tanto también la difusividad del fósforo.
- TED puede discriminarse ya que la activación se realizó en hornos RTA.
- Finalmente, debido a la estructura cristalina del silicio, el canaleo es el factor importante, y debería ser diferente para cada orientación; pero esto no sucede. Esto indica que existe un factor que apantalla este efecto, presumiblemente el grosor del óxido a través del cual se implanta (Sección 3.5.2); este óxido sirve para proteger la superficie de la oblea de contaminantes y para desviar la trayectoria de los iones incidentes en direcciones aleatorias, de tal forma que parecería que el material a implantar es amorfo. Como el óxido usado es tan grueso desvía fuertemente a los iones incidentes consiguiendo que el perfil de dopantes resulte independiente de la orientación cristalina del sustrato.



**Figura 29. Perfil de fósforo en función de la orientación. Ángulo de implantación=7°, activación mediante RTA. No se muestra dependencia en función de la orientación.**



**Figura 30. Perfil de fósforo en Si-(114) en función del ángulo de implantación. Activación mediante RTA. El comportamiento es similar en Si-(5 5 12).**

**Tabla 5. Resistencia de hoja y profundidad de unión, en función de la orientación, de regiones implantadas y activadas en hornos RTA.**

Orientación	Dosis ( $\text{cm}^{-2}$ )	$R_s$ (ohm/cuadro)	$x_j$ ( $\mu\text{m}$ )
(001)	$3.96 \times 10^{15}$	18.02	1.63
(114)	$4.30 \times 10^{15}$	16.92	1.63
(5 5 12)	$4.09 \times 10^{15}$	17.52	1.63
(111)	$4.09 \times 10^{15}$	17.52	1.63

Para este caso también se determinó la dosis,  $R_s$  y  $x_j$ , que es independiente de la orientación por las razones discutidas previamente. En la Tabla 5 se presentan estos valores. Las diferencias en  $R_s$  y en la dosis son muy pequeñas; los orígenes podrían ser variaciones en el implantador, en la activación, e incluso, en la medición del perfil. Ya que las diferencias son pequeñas, no se atribuyen a las propiedades del sustrato.

### 4.3.3 Implantación de Boro

A pesar de que se han realizado intentos para usar dopantes distintos al boro, como el  $\text{BF}_2$ , para fabricar regiones tipo-p con reducida profundidad de unión, hasta la fecha este átomo predomina como impureza aceptora en silicio; por esta razón se estudian los efectos anómalos asociados a la implantación de boro.

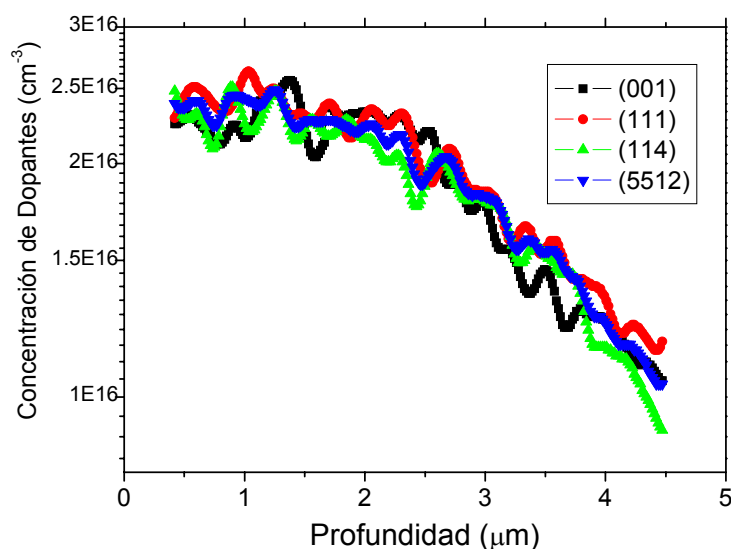
#### 4.3.3.1 Óxido Grueso, Tratamientos Térmicos Largos

Con este proceso se pretendía confirmar que en los planos de alto índice, cualquier efecto anómalo se ve minimizado si el proceso se lleva a cabo bajo condiciones de carga térmica elevada [3],[33],[34],[44]: largos tiempos de difusión y altas temperaturas. Las condiciones experimentales son las típicas para la formación del pozo-p en el proceso CMOS-I/INAOE. Los detalles se describen a continuación:



- Limpieza inicial.
- Limpieza RCA I y II.
- Implantación de boro bajo las siguientes condiciones:
  - Energía=150 keV.
  - Dosis= $2 \times 10^{13} \text{ cm}^{-2}$ .
  - Ángulo de implantación= $7^\circ$ .
  - Grosor de óxido=2000 Å.
- Activación de impurezas en horno convencional, bajo las siguientes condiciones:
  - 5 horas en  $\text{O}_2$  a  $1200^\circ\text{C}$  seguido de 5 horas en  $\text{N}_2$  a  $1200^\circ\text{C}$ .

De la Figura 31 se confirma que cualquier efecto anómalo es minimizado por los largos tiempos de difusión y las altas temperaturas. Cualquier diferencia que se pudiera encontrar, es apantallada por la gran carga térmica.



**Figura 31. Implantación de boro en función de la orientación cristalina. Energía=150 keV, dosis= $2 \times 10^{13} \text{ cm}^{-3}$ , ángulo de implantación= $7^\circ$ , grosor de óxido=2000 Å, redifusión a  $1200^\circ\text{C}$  durante 8 hrs.**

### 4.3.3.2 Óxido Grueso, Activación en Horno Convencional

Con este experimento se pretendía determinar el efecto que posee la orientación cristalina en el perfil de dopantes. La activación se llevó a cabo en hornos convencionales. Las condiciones experimentales del proceso fueron:

- Limpieza inicial.
- Limpieza RCA I y II.
- Implantación de boro bajo las siguientes condiciones:
  - Energía=120 keV.
  - Dosis= $1.25 \times 10^{15} \text{ cm}^{-2}$ .
  - Ángulo de implantación= $7^\circ$ .
  - Grosor de óxido=600 Å.
- Activación de impurezas en horno convencional bajo las siguientes condiciones:
  - 15 minutos a  $1100^\circ\text{C}$  en vapor de agua seguido de 15 minutos a  $1100^\circ\text{C}$  en  $\text{N}_2$ .

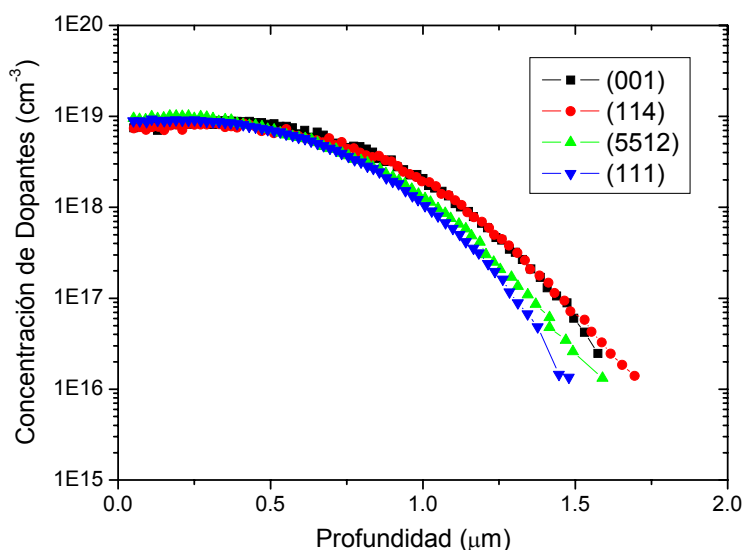
Los perfiles medidos se muestran en la Figura 32 y en la Tabla 6 los cálculos de la dosis,  $R_s$  y  $x_j$ . Se nota que la profundidad de unión varía de acuerdo a:

$$x_{j(001)} \gg x_{j(114)} > x_{j(5512)} > x_{j(111)} \quad (4.10)$$

Para comprender este comportamiento hay que discutir la tendencia en función de OED, TED y canaleo.

**Tabla 6. Resistencia de hoja y profundidad de unión, en función de la orientación, de regiones-p implantadas y activadas en hornos convencionales.**

Orientación	Dosis ( $\text{cm}^{-2}$ )	$R_s$ (ohm/cuadro)	$X_j$ ( $\mu\text{m}$ )
(001)	$6.53 \times 10^{14}$	110.96	1.65
(114)	$6.08 \times 10^{14}$	115.94	1.69
(5 5 12)	$6.27 \times 10^{14}$	117.02	1.59
(111)	$5.95 \times 10^{14}$	122.00	1.45



**Figura 32. Implantación de boro en función de la orientación cristalina. Energía=150 keV, dosis= $2 \times 10^{13} \text{ cm}^{-3}$ , ángulo de implantación= $7^\circ$ , Activación en horno convencional a  $1100^\circ\text{C}$ : 15 minutos en vapor de agua seguido de 15 minutos en  $\text{N}_2$ .**

Ya que en este experimento la redifusión se llevó a cabo 15 minutos en vapor de agua a  $1100^\circ\text{C}$ , en este tiempo se oxidó la superficie de la oblea inyectando intersticios cuya concentración depende de la orientación del sustrato, provocando que la OED siga la tendencia descrita en (4.9), misma que se contrapone a la mostrada en (4.10); entonces debe existir otro fenómeno, de mayor magnitud, que provoca este comportamiento; los posibles causantes son el canaleo y TED.

Considerando primero el canaleo de iones, es importante recordar los resultados de implantación de fósforo en función del ángulo de implantación ( $0$  o  $7^\circ$ ). De esos resultados se dedujo que el óxido a través del cual se realizaba la implantación era tan grueso que lograba que el perfil de dopantes fuese independiente del ángulo de implantación minimizando el canaleo. En este experimento las condiciones son similares, el óxido a través del que se implanta boro es del mismo grosor que el empleado para implantar fósforo, así que se supone que en este caso tampoco es considerable el canaleo.

Entonces, las diferencias entre las relaciones (4.9) y (4.10) se deben atribuir al efecto TED, que depende de la orientación de acuerdo a la relación (4.10) y debe ser de mayor magnitud que el efecto OED; indicando que la eliminación del daño por implantación es más rápida en (111) y más lenta en (001) cuando la activación se realiza en hornos convencionales.

#### 4.3.3.3 Óxido Delgado, Activación Mediante RTA

Con este experimento se evalúa el efecto del canaleo de iones. Las activaciones se llevan a cabo en hornos RTA de tal forma que TED es minimizado. OED se presume inexistente ya que la activación se llevó a cabo en ambiente inerte. El grosor del óxido fue bastante delgado ( $\approx 150 \text{ \AA}$ ) así que los iones no fueron completamente desviados resultando evidente el canaleo. Los detalles experimentales se describen a continuación:

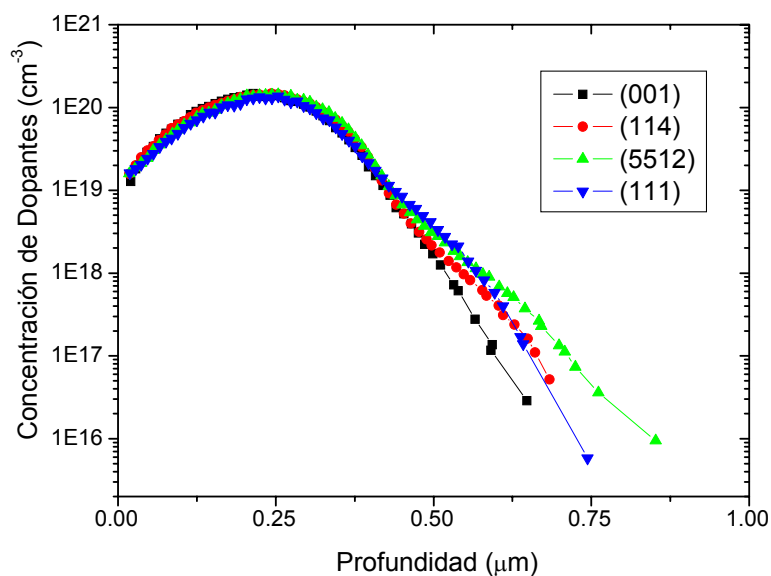
- Limpieza inicial.
- Limpieza RCA I y II.
- Implantación de boro bajo las siguientes condiciones:
  - Energía=80 keV.
  - Dosis= $3 \times 10^{15} \text{ cm}^{-2}$ .
  - Ángulo de implantación=0 y  $7^\circ$ .
  - Grosor de óxido=150  $\text{\AA}$ .
- Activación de impurezas mediante RTA, bajo las siguientes condiciones:
  - Elevación de temperatura de  $450^\circ\text{C}$  a  $1050^\circ\text{C}$  en 10 segundos.
  - Temperatura sostenida a  $1050^\circ\text{C}$  durante 10 segundos.

De los resultados mostrados en la Figura 33 y en la Tabla 7, se puede apreciar que el canaleo de iones depende de la orientación cristalina cuando el grosor del óxido es suficientemente delgado ( $\approx 150 \text{ \AA}$  en nuestro caso) y es más notable en el plano (5 5 12). En la Figura 34-Figura 35 se nota que la menor profundidad de unión, excepto para (114), se consigue cuando el ángulo de implantación es de  $7^\circ$ ; sin embargo, la

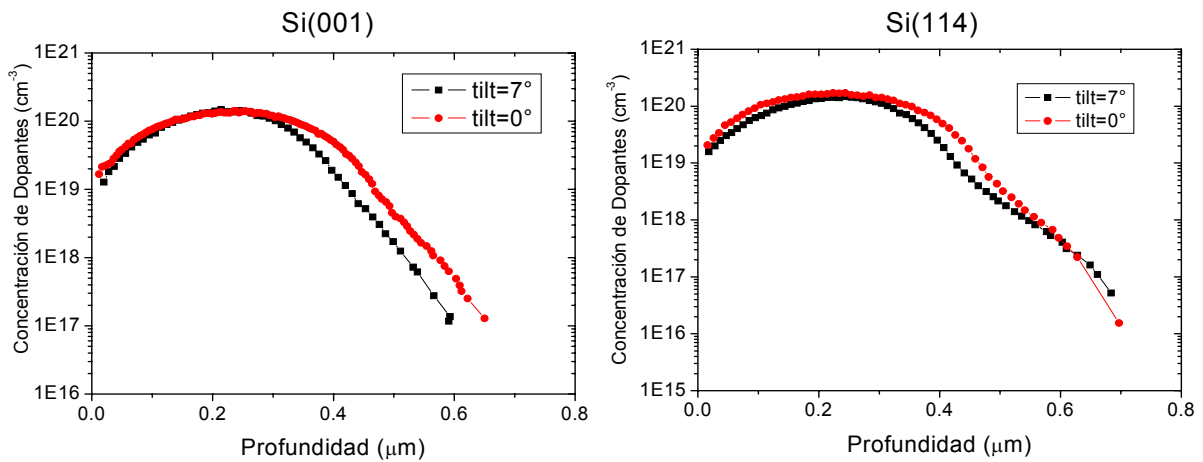
fracción activa de dopantes siempre es mayor cuando se implanta a  $0^\circ$  obteniendo menor  $R_s$ . Considerando que las muestras fueron activadas en el horno RTA en ambiente inerte y bajo las mismas condiciones, se puede descartar que OED y TED sean los causantes de las diferencias existentes entre los perfiles mostrados; entonces el canaleo de iones sería el único responsable de las diferencias presentadas. La profundidad de unión en función de la orientación no posee una tendencia definida, aunque siempre es menor en (001).

**Tabla 7. Dosis,  $R_s$  y  $x_j$ , en función de la orientación cristalina, en regiones implantadas tipo-p, activadas con RTA. Implantación a través de óxido delgado.**

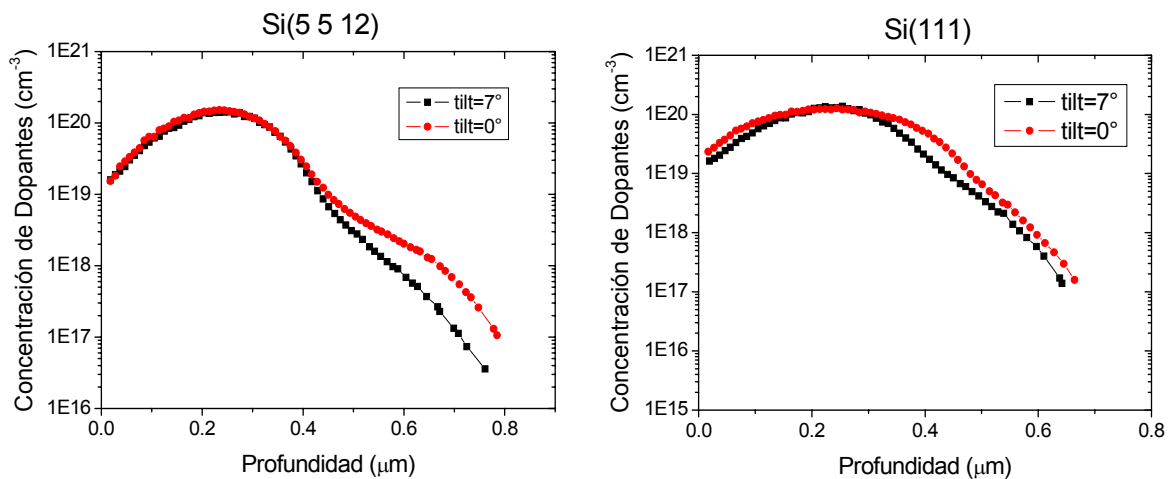
Orientación	Dosis ( $\text{cm}^{-2}$ )	$R_s$ (ohm/cuadro)	$X_j$ ( $\mu\text{m}$ )
(001)	$3.32 \times 10^{15}$	36.79	0.63
(114)	$3.45 \times 10^{15}$	35.43	0.70
(5 5 12)	$3.37 \times 10^{15}$	35.99	0.78
(111)	$3.04 \times 10^{15}$	39.99	0.70



**Figura 33. Perfil de boro en función de la orientación cristalográfica. Activación mediante RTA, tilt=7°. Se aprecia el canaleo en todas las orientaciones.**



**Figura 34. Perfil de boro en Si-(001) y (114) en función del ángulo de implantación, activación mediante RTA.**



**Figura 35. Perfil de boro en Si-(5 5 12) y (111) en función del ángulo de implantación, activación mediante RTA.**

Al calcular la dosis,  $R_s$ , y  $x_j$  a 0 y 7° para las diferentes orientaciones, Tabla 8, se encuentra que la menor profundidad de unión se logra cuando la implantación se realiza a 7°, excepto para (114); esto se debe a que a 0° los iones encuentran trayectorias libres de colisiones y el principal mecanismo de pérdida de energía es el paro electrónico, logrando viajar mayores distancias.

**Tabla 8. Dosis,  $R_s$  y  $x_j$ , en función del ángulo de implantación para diferentes orientaciones. Regiones implantadas tipo-p, activadas con RTA. Implantación a través de óxido delgado.**

Orientación cristalina	Ángulo de Implantación	Dosis ( $\text{cm}^{-2}$ )	$R_s$ (ohms/cuadro)	$x_j$ ( $\mu\text{m}$ )
(001)	7°	$3.33 \times 10^{15}$	36.82	0.59
	0°	$3.88 \times 10^{15}$	31.62	0.65
(114)	7°	$3.45 \times 10^{15}$	35.44	0.70
	0°	$4.65 \times 10^{15}$	27.10	0.69
(5 5 12)	7°	$3.37 \times 10^{15}$	36.01	0.76
	0°	$3.65 \times 10^{15}$	33.26	0.81
(111)	7°	$3.04 \times 10^{15}$	39.45	0.64
	0°	$3.66 \times 10^{15}$	33.14	0.66

Aún cuando las menores profundidades de unión se consigan implantando a 7°, la mejor activación se logra a 0°. El caso de (114) es particularmente interesante ya que la profundidad de unión para esta orientación es menor cuando se implanta a 0° y también la fracción activa de dopantes es superior; usando sustratos con esta orientación sería posible formar transistores MOS con compuerta perfectamente autoalineada, el canaleo no es severo y la activación de dopantes permitiría formar regiones con alta conductividad.

#### 4.4 Conclusiones

De los experimentos de difusión se encontró que:

- Las difusividades de boro y fósforo en silicio son independientes de la orientación cristalina del sustrato cuando el proceso se lleva a cabo en ambiente no oxidante.
- Si el proceso se realiza junto con oxidación térmica, la inyección de átomos intersticiales provoca que la difusividad dependa de la orientación en la misma razón en que son éstos generados. Para procesos de difusión en ambiente oxidante se observó que la profundidad de unión sigue la tendencia:

$$x_{j(001)} < x_{j(114)} < x_{j(5512)} < x_{j(111)}.$$

De los experimentos de implantación se encontró que:

- Si se implanta a través de óxidos con grosores del orden de 600 Å, el canaleo es minimizado y se puede implantar en dirección perpendicular a la superficie de la oblea obteniendo resultados similares a cuando se implanta a 7°.
- Bajo tratamientos térmicos prolongados a altas temperaturas, cualquier efecto anómalo se ve apantallado por la gran carga térmica.
- Si la activación de boro se realiza en hornos convencionales, el efecto TED posee la tendencia:  $TED_{(001)} > TED_{(114)} > TED_{(5\ 5\ 12)} > TED_{(111)}$ .
- Para óxidos delgados, el canaleo de boro es apreciable a las energías moderadas a las que se hicieron las implantaciones; los resultados mostraron que la profundidad de unión siempre es menor cuando se implanta a 7°, excepto para (114), en todos los casos la mejor activación se consiguió a 0°.
- (114) puede implantarse a 0° para obtener dispositivos MOS con compuerta perfectamente alineada.

En el próximo capítulo se medirán los parámetros de dispositivos fabricados en Si-(001), (114) y (5 5 12) y se correlacionarán con los aquí obtenidos.



## **5 Transistores MOS en Si-(114) y Si-(5 5 12)**

Para investigar la viabilidad del uso de sustratos de alto índice en la fabricación de dispositivos basados en el transistor MOS, se realizó la caracterización de un proceso n-MOS empleando como sustratos obleas de silicio (114) y (5 5 12) tipo-p. Para ello se fabricó un circuito integrado de pruebas, CIP, con estructuras que permiten determinar el grado de uniformidad y control de las etapas del proceso, así como del desempeño de los dispositivos; para esto se midieron los parámetros de dispositivos: resistencia de hoja, resistencia de contacto, grosor de óxido, ancho efectivo de regiones implantadas, voltaje de umbral, densidad efectiva de cargas en el óxido y movilidad de portadores en el canal de transistores MOS. Estos parámetros serán correlacionados con la orientación cristalina del sustrato y con los perfiles de dopantes estudiados en el capítulo 4.

La fabricación de las estructuras de prueba se llevó a cabo bajo las condiciones típicas del proceso ECMOS-I del INAOE [56]-[57], el que ha sido optimizado para el uso de obleas (001); el diseño de etapas de proceso optimizadas para el empleo de obleas de alto índice puede mejorar las características de los dispositivos en estos planos.

## **5.1 Extracción de Parámetros MOS en Substratos de Alto Índice**

En la misma corrida se fabricaron estructuras de prueba en obleas de silicio con orientaciones (001), (114) y (5 5 12) bajo las condiciones típicas del proceso ECMOS-I del INAOE con modificaciones menores; sólo se fabricaron transistores MOS canal-n por lo que no se fabricó el pozo-p ni anillo p<sup>+</sup>. Al final del proceso se obtuvo un CIP que contiene las siguientes estructuras (Figura 36):

- Cruz-puente, para determinar  $R_s$  y dimensiones efectivas de películas conductoras.
- Kelvin, para determinar  $R_c$ .
- Diodo controlado por compuerta, para determinar corrientes de fuga, tiempo de vida de generación y tiempo de vida de recombinación.
- Capacitores, para extraer parámetros como: concentración de dopantes, grosor de óxido, voltaje de umbral, densidad efectiva de cargas en la interface, voltaje de banda plana, entre otros.
- Arreglo de transistores con largo de canal,  $L$ , constante y ancho de canal,  $W$ , variable, para determinar el ancho efectivo del transistor MOS.
- Arreglo de transistores con  $L$  variable y  $W$  constante, para determinar el largo efectivo del canal del transistor MOS.
- Arreglo de transistores con el canal orientado a  $-5, 0, 5, 15, 30, 40, 45, 50, 75, 85, 90$  y  $95^\circ$  con respecto a la dirección  $\langle 110 \rangle$ , que coincide con el corte principal de las obleas. Para estudiar el efecto de la superficie semiconductoras en el desempeño del transistor MOS.

Todas las obleas fueron sometidas al proceso de fabricación en la misma corrida, de tal forma que las diferencias entre los parámetros extraídos se deberán principalmente a los efectos propios de la orientación del sustrato. Ante la falta de datos de procesos en sustratos de alto índice, se optó por incluir sustratos (001) cuyos parámetros sirven de referencia para el análisis de los obtenidos en los de alto índice.

Los valores de los parámetros medidos que se presentarán en las próximas secciones son el promedio de 80 mediciones, la desviación estándar de cada parámetro fue menor al 10%.

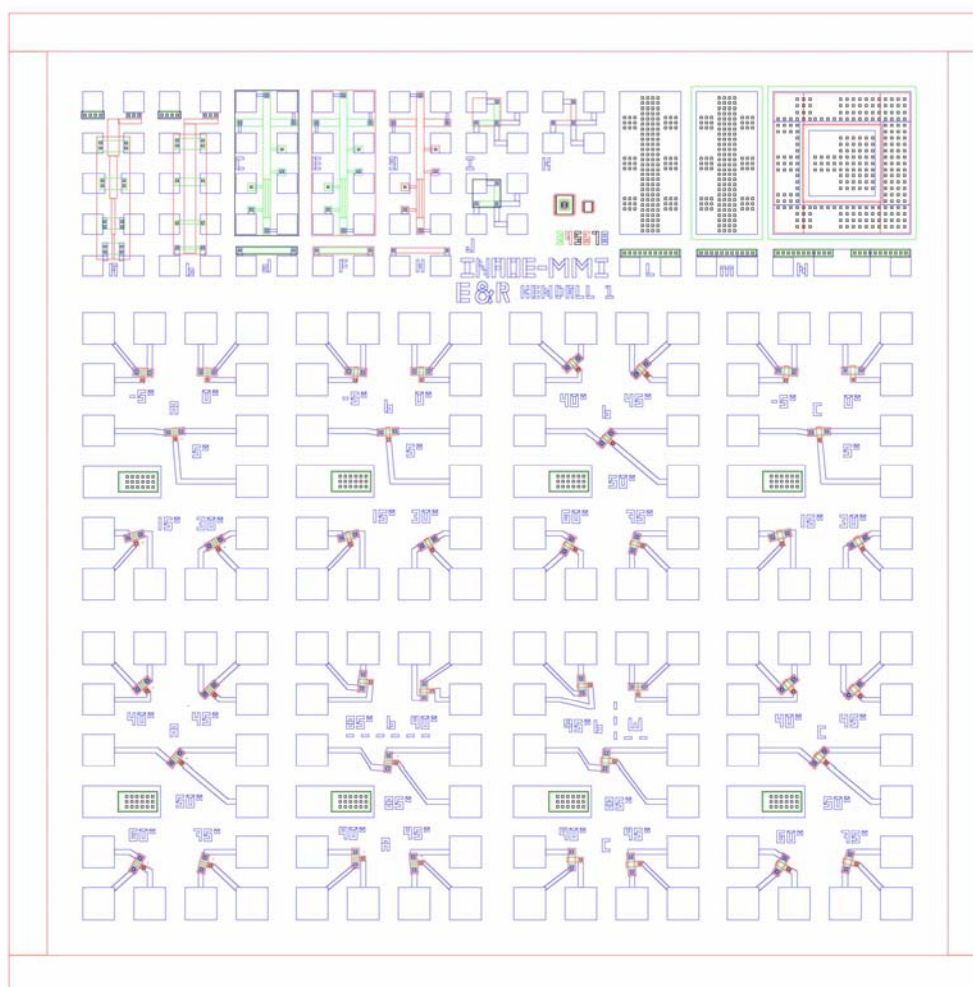


Figura 36. Lay-out del CIP E&R Kendall-1. Se fabricó en Si con orientaciones (001), (114) y (5 5 12) en el mismo proceso.

### 5.1.1 Resistencia de Hoja

La resistencia de hoja,  $R_s$ , es un monitor de la uniformidad de la implantación y de la eficiencia de tratamientos térmicos empleados para la activación de impurezas, y está determinada por:

$$R_s = \frac{r}{t_h} \quad (5.1)$$

donde  $t_h$  es la profundidad de la región implantada o difundida.

$r$  es la resistividad, y está determinada por:

$$r = \frac{1}{q(nm_n + pm_p)} \quad (5.2)$$

donde  $q$  es la carga del electrón.

$n$  y  $p$  son la concentración de electrones y huecos.

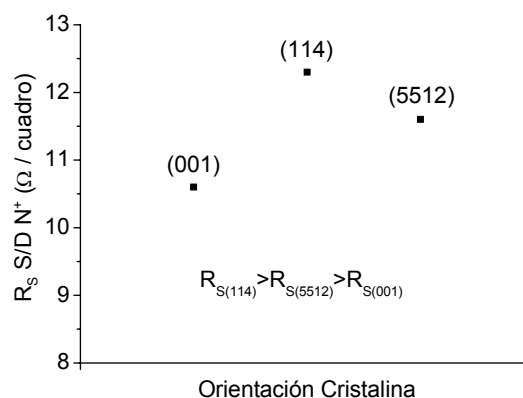
$m_n$  y  $m_p$  son la movilidad de electrones y huecos.

$R_s$  se obtuvo de mediciones en estructuras cruz-puente; los detalles de la técnica pueden encontrarse en [58]-[59].

Según lo reportado en [33], debido a la simetría cúbica de la red cristalina del silicio, la movilidad en su interior es un parámetro independiente de la dirección, así que, de acuerdo a las Ecuaciones (5.1) y (5.2), las diferencias de los valores de  $R_s$  entre los planos (001), (114) y (5 5 12) sólo pueden justificarse si la concentración de portadores o la profundidad de unión son diferentes en cada sustrato (Figura 37). Las causas que pueden provocar estas diferencias son:

1. Que el dopado no sea uniforme, por variaciones en el implantador.

2. Que la activación de impurezas no sea uniforme, poco probable ya que se activaron en hornos convencionales y el proceso se lleva a cabo en equilibrio térmico.
3. Efectos relacionados con la orientación de la estructura cristalina: OED, TED y canaleo.



**Figura 37.  $R_s$  en función del plano cristalino, mínima para (001) y máxima para (114).**

Ya que el dopado se llevó a cabo mediante implantación, y esta técnica permite excelente control y reproducibilidad, además de que la activación-redifusión se realizó en hornos convencionales, proceso en equilibrio térmico, se supondrá que el dopado y la activación de impurezas fueron lo suficientemente uniformes y que las diferencias encontradas se deben principalmente a los efectos de la estructura cristalina; entonces las diferencias deben discutirse en términos de TED, OED y canaleo.

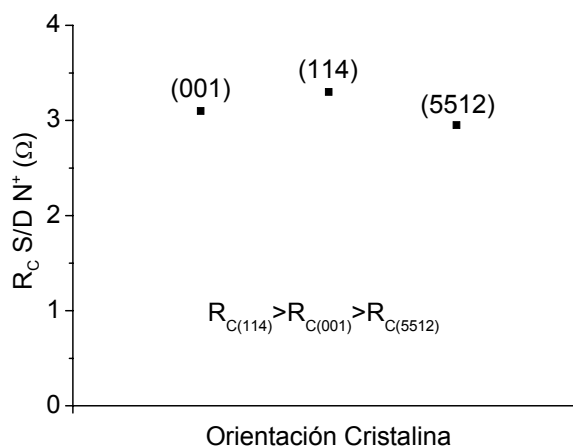
Del capítulo anterior se sabe que si se implanta a través de óxidos del orden de 600 Å el efecto del canaleo se ve minimizado (Sección 4.3.1); se descarta que las diferencias se deban a este efecto. OED es dependiente de la orientación y provocaría que la profundidad de unión de la región implantada fuese mayor en (5 5 12), intermedia en (114) y menor en (001) (Sección 3.4.4); esto provocaría que la tendencia de  $R_s$  fuese opuesta a la presentada en la Ecuación (5.2). También se sabe que la fracción activa de dopantes es máxima en (001), y en los otros dos planos no existe una tendencia clara (Tabla 4). Finalmente, ya que la activación se

llevó a cabo en horno convencional TED se hace presente, aunque no sea tan severo como en boro. Como se encontró en la sección 4.3.3.2, el daño se elimina más rápidamente en (5 5 12) y más lentamente en (001). La combinación de todos estos efectos origina la tendencia mostrada en la Figura 37.

### 5.1.2 Resistencia de Contacto

La resistencia de contacto,  $R_c$ , es un monitor de la uniformidad del proceso de implantación, los tratamientos térmicos para la activación de impurezas y la calidad en la formación de contactos (procesos de grabado). La formación de contactos óhmicos resulta vital en el desempeño de los dispositivos semiconductores ya que contribuye a la resistencia parásita, misma que para fines prácticos no debe exceder el 10% de la resistencia intrínseca al dispositivo [54].  $R_c$  depende de factores como daños en la superficie, concentración de dopantes, área del contacto, historia térmica y orientación cristalina, aunque esto sólo ha sido reportado para contactos con dimensiones menores a 1  $\mu\text{m}$  [30]. La medición de  $R_c$  se llevó a cabo con estructuras Kelvin [54],[58],[60].

La Figura 38 muestra que los valores de  $R_c$  son muy cercanos entre sí, por lo que la formación de contactos óhmicos no constituye una limitante para el uso de los substratos de alto índice.



**Figura 38.  $R_c$  en función de la orientación cristalina.**

Es importante notar que, aún cuando el sustrato (001) es el que posee la  $R_s$  más alta, no posee los mejores contactos, confirmando lo reportado por Hiroshi Onoda en [30]. La formación de contactos óhmicos con baja  $R_c$  en silicio de altos índices puede ser una ventaja importante, sobretodo conforme se reduzcan las dimensiones de los dispositivos y se llegue al régimen en que la velocidad de operación de los circuitos estará limitada principalmente por efectos parásitos más que por las propiedades intrínsecas al dispositivo.

### 5.1.3 Ancho Efectivo de Regiones Implantadas

El ancho efectivo de regiones implantadas,  $W_{ei}$ , es un monitor de la calidad de los procesos litográficos (grabado excesivo o deficiente) y de la difusión lateral originada por los procesos térmicos posteriores a la implantación. La medición de este parámetro se realiza de manera simultánea a la medición de  $R_s$  empleando la misma estructura cruz-puente. El ancho efectivo de las regiones implantadas depende de la orientación cristalina a través de los efectos OED y TED, los cuales varían con la orientación. Los resultados de la Figura 39 muestran que la menor difusión lateral ocurre en Si-(114), la tendencia se justifica con los argumentos utilizados para  $R_s$ , que posee una tendencia casi opuesta a  $W_{ei}$ . La razón de que esto no ocurra, se debe a que  $R_s$  no sólo depende de  $x_j$ , variable que sí tiene relación directa con la redifusión lateral, si no también de la concentración; a diferencia de  $W_{ei}$  que sólo depende del ancho de la región conductora.

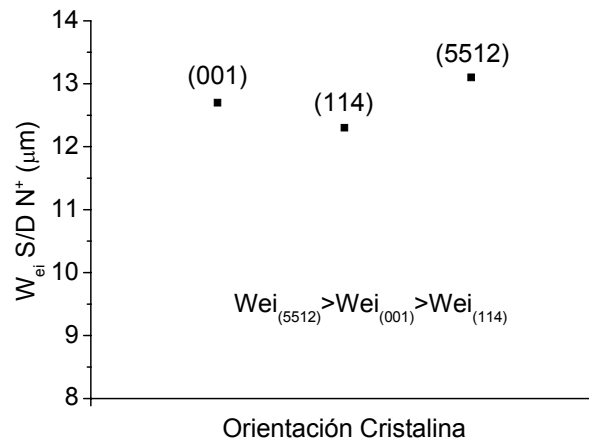


Figura 39. Ancho efectivo de regiones implantadas en función de la orientación cristalina.

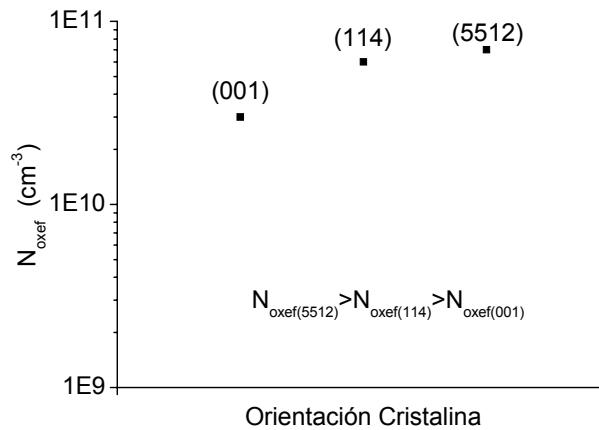


Figura 40. Densidad efectiva de cargas en el óxido en función de la orientación cristalina.

#### 5.1.4 Densidad Efectiva de Cargas en el Óxido

La densidad efectiva de cargas en el óxido,  $N_{oxef}$ , depende del control de los contaminantes y también de la orientación cristalina [61]-[62]. Su obtención se llevó a cabo a partir de mediciones C-V en capacitores MOS [58],[63],[64] y los resultados se presentan en la Figura 40. La importancia de este parámetro se debe a que su magnitud se ve reflejada en el voltaje de umbral y en la movilidad de portadores en el canal de transistores MOS. Los trabajos reportados [39],[61],[62] indican que la densidad efectiva de cargas en el óxido incrementa del plano (001) hacia el plano



(111), y es directamente proporcional a la densidad de átomos en la superficie y sensible a los procesos de limpieza; en paralelo a este trabajo se están estudiando las propiedades de la interface Si-SiO<sub>2</sub> buscando reducir la N<sub>oxef</sub> en los substratos de alto índice<sup>3</sup>.

### 5.1.5 Espesor de Óxido Térmico

La calidad del óxido y su interface con el silicio es objeto de estudio de diversos grupos de investigación, ya que de ellos depende en gran medida, el desempeño de los dispositivos MOS. La razón de crecimiento del óxido mediante procesos térmicos depende de la orientación cristalina; actualmente es aceptado que la razón de crecimiento del óxido de silicio se incrementa con la densidad de átomos superficiales, siendo los planos {001} los que poseen la densidad más baja (Tabla 3) y se oxidan más lento, mientras que los planos {111} poseen la densidad más alta, oxidándose más rápido [39],[40]-[43]. La extracción de este parámetro se llevó a cabo mediante mediciones C-V, los detalles de la técnica pueden consultarse en [58], [63],[64]. Los resultados mostrados en la Figura 41 son consistentes con lo discutido en la Sección 3.1.

### 5.1.6 Voltaje de Umbral de Transistores MOS

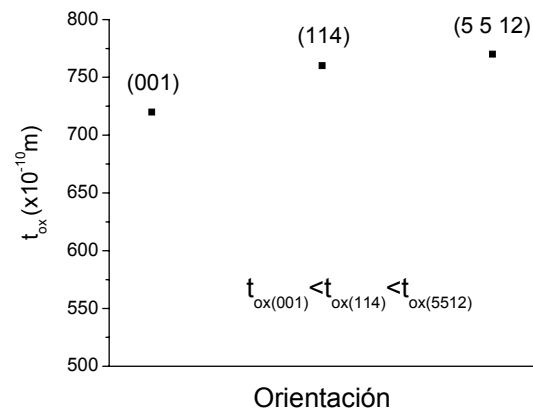
Uno de los parámetros más importantes de los transistores MOS es el voltaje de umbral, V<sub>th</sub>, el cual está dado por [55].

$$V_{th} = f_{ms} \pm \frac{qN_{oxef}t_{ox}}{e_s} + 2\frac{kT}{q} \ln \frac{N_A}{n_i} + \frac{t_{ox} \sqrt{2qN_A \frac{\epsilon_s}{\epsilon_0} \frac{kT}{q} \ln \frac{N_A}{n_i} \frac{\epsilon_s}{\epsilon_0}}}{A\sqrt{e_s}} \quad (5.3)$$

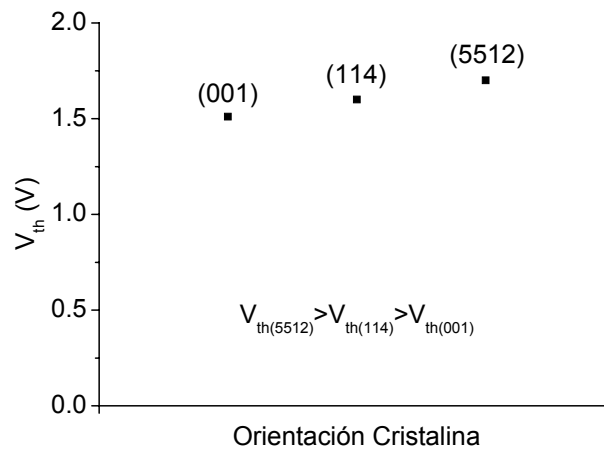
donde:

- $\epsilon_s$  es la permitividad del semiconductor (en este caso Si).
- $N_A$  es la concentración de dopantes.
- $t_{ox}$  es el grosor del óxido.
- $f_{ms}$  diferencia entre la función trabajo metal-semiconductor.

<sup>3</sup> Tesis doctoral del M.C. Rogelio Rodríguez Mora



**Figura 41. Grosor de óxido en función de la orientación cristalina.**



**Figura 42. Voltaje de umbral en función de la orientación cristalina.**

La extracción de este parámetro se llevó a cabo de mediciones de transistores con  $L=W=20 \mu m$ . La técnica usada para la extracción del  $V_{th}$  fue la extrapolación lineal en el punto de máxima transconductancia [54].

Como se aprecia en la ecuación (5.3),  $V_{th}$  es un parámetro complejo que depende del grosor de óxido, la densidad efectiva de cargas en el óxido, el nivel de dopado, la diferencia entre las funciones trabajo metal-semiconductor, y temperatura. En la Figura 42 se muestra la dependencia de  $V_{th}$  con la orientación del sustrato.

### 5.1.7 Movilidad Efectiva en el Canal de Transistores nMOS

La movilidad efectiva es un parámetro de gran importancia para evaluar el desempeño de transistores MOS y CIs basados en este transistor [54],[65]-[71]. En el volumen del silicio, la movilidad es un parámetro isotrópico, que se torna anisotrópico cuando el movimiento de los portadores es confinado a una región cercana a la superficie (como en los transistores MOS) [33]; entonces la movilidad se convierte en una función de la dirección en que se muevan los portadores y de la orientación del substrato.

La movilidad de portadores en el canal de transistores MOS se ve limitada por procesos dispersivos que dependen del campo eléctrico transversal (Figura 43), éstos son:

- Dispersión coulombica. Debida a cargas fijas en el óxido, cargas en estados interfaciales y cargas localizadas debidas a impurezas ionizadas; el efecto de este mecanismo de dispersión es importante para superficies invertidas débilmente, alta densidad de carga superficial y alta concentración de dopantes.
- Dispersión por fonones. Se debe a los modos de vibración de la red; el mecanismo de dispersión es importante a temperatura ambiente, pero puede ser ignorado a bajas temperaturas.
- Dispersión por rugosidad superficial. Se debe a las irregularidades en la superficie; este mecanismo es importante bajo condiciones de inversión fuerte. Se espera que este parámetro posea un efecto importante en los transistores en Si-(114) y (5 5 12) por los bordes que existen en estas superficies.

Con las mediciones se determinó la movilidad efectiva de electrones en Si(001), (114) y (5 5 12) con el canal orientado a 0,15, 30, 40, 45, 50, 75 y 90° con respecto a la dirección  $\langle 110 \rangle$ . El ángulo de 0° corresponde al canal paralelo a los bordes y el ángulo de 90° al canal perpendicular a éstos. Las mediciones fueron realizadas para

campos eléctricos efectivos de 0.2 MV/cm a 1 MV/cm; rango en el que la movilidad está limitada principalmente por la dispersión por fonones y por la rugosidad superficial.

La movilidad efectiva se extrajo de las curvas de salida del transistor MOS operando en la región lineal,  $V_d=50$  mV. Se eligieron los transistores de mayores dimensiones,  $L=W=20$   $\mu\text{m}$ , para evitar efectos de segundo orden. La movilidad se determinó a partir de:

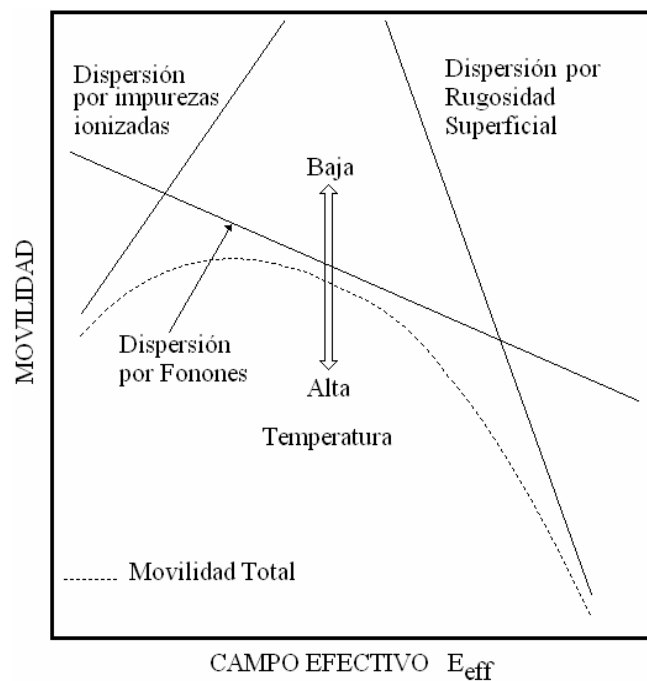


Figura 43. Dependencia de la movilidad con el campo eléctrico efectivo [70].

$$m_{eff} = \frac{L_{eff}}{W_{eff}} \frac{g_d}{Q_n} \quad (5.4)$$

donde:  $g_d$  es la conductancia, expresada como:

$$g_d = \left. \frac{\partial I_{ds}}{\partial V_{ds}} \right|_{V_{gs}=cte.} \quad (5.5)$$

$Q_n$  es la densidad de carga móvil en el canal:

$$Q_n = C_{oxA} (V_{gs} - V_{th}) \quad (5.6)$$

$E_{eff}$  es el campo eléctrico efectivo transversal, definido por:

$$E_{eff} = \frac{1}{\epsilon_{Si}} (Q_b + \eta Q_n) \quad (5.7)$$

$L_{eff}$  es la longitud efectiva de canal del transistor MOS.

$W_{eff}$  es el ancho efectivo de canal del transistor MOS.

$q$  es la carga del electrón.

$\epsilon_{Si}$  es la permitividad dieléctrica del Si.

$Q_b$  es la densidad de carga en la región de carga espacial.

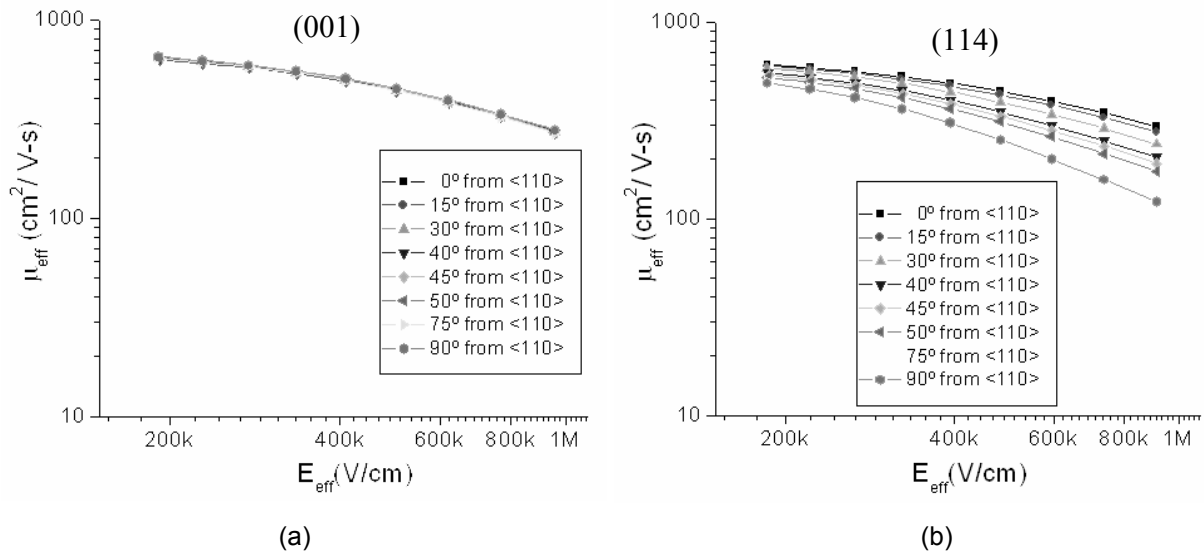
$\eta$  es un factor de ajuste, considerado generalmente como 1/2 para la movilidad de electrones y 1/3 para la movilidad de huecos [68].

$C_{oxA}$  es la capacitancia del óxido por unidad de área.

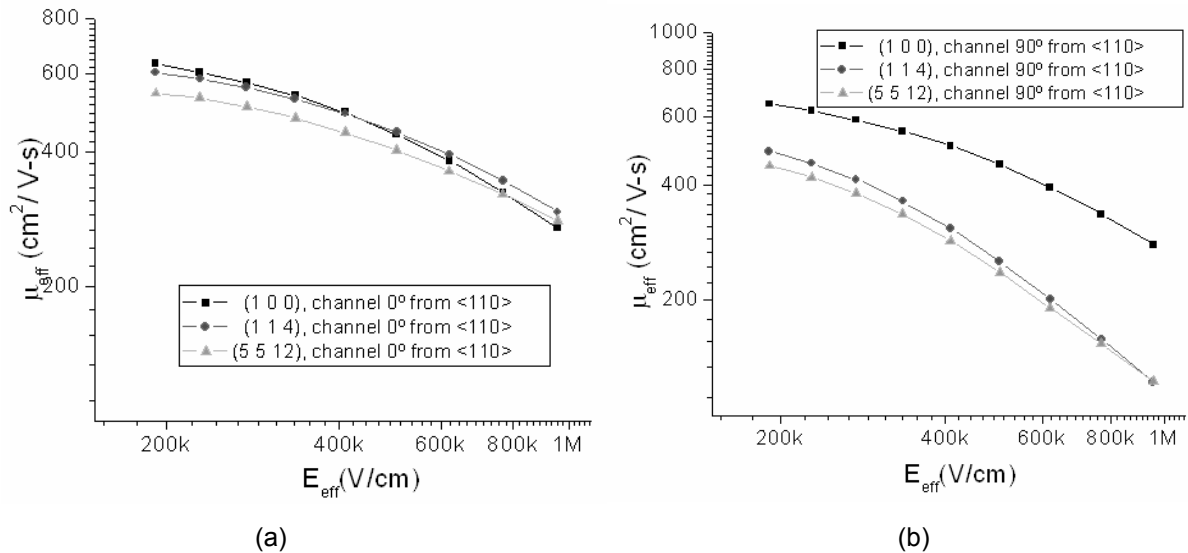
Los resultados muestran que en Si(001) la movilidad de electrones es prácticamente independiente de la dirección del canal, Figura 44a; sin embargo, en las superficies de alto índice la movilidad efectiva es altamente anisotrópica. Con el canal perpendicular a la dirección  $\langle 110 \rangle$  (dirección en la que se forman los bordes) la movilidad se degrada considerablemente, pero es menos afectada cuando el canal es paralelo a dicha dirección, Figura 44b.

Algunos estudios han reportado que el plano (001) posee la mayor movilidad de electrones [29],[66]; sin embargo, hemos encontrado que para campos eléctricos mayores a 0.4 MV/cm, la movilidad de electrones en el plano Si-(114) es mayor que en el (001) cuando el canal es paralelo a la dirección  $\langle 110 \rangle$ , y paralelo a los bordes, Figura 45(a); este resultado es de gran importancia ya que para las tecnologías actuales, aún bajo condiciones normales de operación, es común que existan

campos de esta magnitud e inclusive mayores. La dependencia que presenta la movilidad en los planos de alto índice con la dirección del canal se atribuye a la topografía superficial, donde los bordes favorecen o degradan (Figura 45) el transporte de portadores.



**Figura 44. Movilidad efectiva de electrones en función de la dirección del canal: (a) en Si(001), (b) Si-(114). En Si (5 5 12) la tendencia es similar a la que se exhibe en Si-(114).**



**Figura 45. Movilidad efectiva en función de la orientación cristalina: (a) mejor caso, (b) peor caso.**

## 5.2 Conclusiones

De los resultados obtenidos de la caracterización de los parámetros de dispositivo:  $R_s$ ,  $R_c$ ,  $W_{ei}$ ,  $t_{ox}$ ,  $N_{oxef}$ ,  $V_{th}$  y  $\mu_{eff}$ , se concluye que:

- La activación de impurezas en los planos de alto índice es comparable a la obtenida en el plano estándar (001); su distribución se ve alterada por los efectos anómalos TED, OED, y canaleo.
- La resistencia de contacto en los planos de alto índice es del orden de la exhibida por los contactos en (001), siendo el substrato (5 5 12) el que posee la menor  $R_c$ ; esto puede estar relacionado con la estructura superficial de este plano.  $(5\ 5\ 12) < (001) \approx (114)$ .
- El crecimiento de óxido en los planos de alto índice es más rápido que en (001) ya que posee una mayor densidad atómica en la superficie.  $(001) > (114) > (5\ 5\ 12)$ .
- La densidad efectiva de cargas en el óxido posee la tendencia:  $(001) < (114) < (5\ 5\ 12)$ , y está relacionada con la densidad atómica en la superficie.
- El voltaje de umbral sigue la tendencia:  $(001) < (114) < (5\ 5\ 12)$  debido a la dependencia que posee con  $t_{ox}$  y  $N_{oxef}$ .
- La movilidad de electrones en los planos de alto índice es altamente anisotrópica; los bordes degradan la movilidad cuando el canal es perpendicular a ellos, y es comparable con la obtenida en Si-(001) a campos moderados si el canal es paralelo a los bordes (para campos eléctricos elevados puede ser inclusive mayor).
- Ya que el proceso en el que se fabricó el CIP no estuvo optimizado para obleas de alto índice, es posible obtener aún mejores resultados en un proceso especialmente diseñado para estos substratos.





## **6 Conclusiones Generales**

Con el trabajo realizado se ha determinado que los substratos de alto índice (114) y (5 5 12) pueden ser una opción importante en la fabricación de dispositivos MOS. La estabilidad de las superficies reconstruidas y especial topografía en la que se forman bordes de dimensiones atómicas y que puede aprovecharse para el crecimiento de películas heteroepitaxiales, micromaquinado, fabricación de estructuras nanométricas de un solo dígito independientes de la técnica litográfica y el desarrollo de dispositivos con comportamiento no estándar como el SpikeMOS, son razones que los sitúan como una alternativa que debe considerarse.

A partir de las mediciones de parámetros básicos usando un CIP, se determinó que existen parámetros de interés como:  $R_s$ ,  $R_c$ ,  $W_{ei}$ , y  $\mu_{eff}$ , que pueden competir favorablemente con los obtenidos en un proceso que utilice substratos de bajo índice.

La activación de impurezas en los planos de alto índice es comparable a obtenida en el plano estándar (001) y su distribución se ve alterada por los efectos anómalos TED, OED, y canaleo.

- La resistencia de contacto en los planos de alto índice es del orden de la exhibida por los contactos en (001), siendo el substrato (5 5 12) el que posee

la menor  $R_c$  y esto puede estar ligado a su estructura superficial. Posee la tendencia:  $(5\ 5\ 12) < (001) \approx (114)$ .

- El crecimiento de óxido en los planos de alto índice es más rápido que en (001) ya que posee una mayor densidad atómica en la superficie siguiendo la tendencia:  $(001) > (114) > (5\ 5\ 12)$ .
- La densidad efectiva de cargas en el óxido posee la tendencia:  $(001) < (114) < (5\ 5\ 12)$  y está relacionada con la densidad atómica en la superficie.
- El voltaje de umbral sigue la tendencia:  $(001) < (114) < (5\ 5\ 12)$  debido a la dependencia que posee con  $t_{ox}$  y  $N_{oxef}$ .
- La movilidad de electrones en los planos de alto índice es altamente anisotrópica, la presencia de los bordes degradan la movilidad cuando el canal es perpendicular a ellos; si el canal es paralelo a ellos, la movilidad es comparable con la obtenida en Si-(001) a campos moderados, y para campos eléctricos elevados puede ser inclusive mayor.
- El proceso en el que se fabricó el CIP no estuvo optimizado para obleas de alto índice, así que aún es posible obtener mejores resultados en un proceso especialmente diseñado para estos substratos.

Mediante experimentos de difusión se encontró que:

La difusividad de boro y fósforo es independiente de la orientación del substrato si el proceso se lleva a cabo en ambiente no oxidante. Cuando las difusiones se llevaron a cabo junto con oxidación se encontró que la difusividad sí depende de la orientación cristalina; esto fue explicado en función de la inyección de átomos intersticiales, relacionada directamente con la razón de oxidación: el plano (001) es el que se oxida más lento mientras que el plano (111) lo hace más rápido. Durante la oxidación se inyectan átomos intersticiales hacia el semiconductor provocando que se modifique la difusividad de los átomos dopantes; ya que los átomos de boro y fósforo se difunden principalmente vía intersticios, el incremento de éstos por oxidación provoca un incremento en sus difusividades.

Con los experimentos de implantación a través de óxidos gruesos y delgados se logró separar el efecto del canaleo y se analizaron los perfiles de implantación considerando únicamente el efecto TED. La dependencia de TED con la orientación cristalina indica que el tiempo para que se elimine el daño producido por la implantación es diferente en cada plano; en substratos (111) el daño se elimina más rápido que en (001); en los planos de alto índice el tiempo es intermedio.

Para determinar el efecto del canaleo de iones a través de la estructura cristalina, se realizaron experimentos que permitieron discriminar los efectos TED y OED. Los experimentos se llevaron a cabo realizando implantaciones con un ángulo de 0 y 7°; la menor  $x_j$  para cualquier orientación, excepto (114), se obtuvieron siempre a 7°; pero la mejor activación se dio a 0°. Las orientaciones que se mostraron menos afectadas por el canaleo son la (001) y (114). En (114) se mostró que se puede implantar a 0° logrando una mejor activación y menor  $x_j$  que implantando a 7°, con esto se obtendrían dispositivos con fuente y drenaje perfectamente alineados.

## **6.1 Trabajo Futuro**

Con el desarrollo de este trabajo se han sentado las bases que permitan comprender el efecto de las variables de proceso en el perfil de portadores en Si-(114) y Si-(5 5 12). También se han determinado parámetros relevantes del transistor MOS; sin embargo aún hay mucho por hacer. Es necesario:

- Estudiar otras etapas del proceso que dependan de la orientación, como crecimiento epitaxial y la velocidad de grabado.
- Mejorar las características de la interface Si-SiO<sub>2</sub>.
- Fabricar un proceso que incluya transistores canal-p.
- Complementar los resultados de este trabajo con experimentos variando el ángulo de implantación y giro de la oblea en un rango más amplio para determinar las condiciones que minimicen el canaleo cuando se implante a través de óxidos delgados.

- Obtener los perfiles de dopantes mediante SIMS antes y después de su activación.
- Determinar numéricamente los coeficientes de difusión en la región extrínseca.
- Determinar los coeficientes de segregación.
- Y finalmente extraer parámetros de simulación que reproduzcan los resultados experimentales con el objetivo de predecir las variables de proceso y del transistor MOS en substratos de alto índice.

## Referencias

---

- [1]. The International Technology Roadmap for Semiconductors, Semiconductor Industry Association (SIA), San Jose, (1999).
- [2]. Serge Luryi, Jimmy Xu, Alex Zaslavsky, "Future Trends in Microelectronics-The Nano Millennium", *Wiley Interscience*, (2002).
- [3]. James D. Plummer, Michael Deal, Peter B. Griffin: "Silicon VLSI Technology", *Prentice Hall*, (2000).
- [4]. Frank D. J., Haensch W, Shahidi G., Dokumaci O. H., "Optimizing CMOS Technology for Maximum Performance", *IBM Journal of Research and Development*, vol. 50, (2006), pp. 419-431.
- [5]. Gili E., Uchino T., Al Hakim M., de Groot C. H., Buiu O., Hall S., Ashburn P. "Shallow Junctions on Pillar Sidewalls for Sub-100-nm Vertical MOSFETs", *IEEE Elect. Dev. Lett.*, vol. 27, (2006), pp. 692-695.
- [6]. Timans P. J., Lerch W., Paul S., Niess J., Huelsmann T., Schmid P. "USJ Formation: Annealing beyond 90 nm", *Solid State Technology*, (2004), pp. 35-40.
- [7]. W. Zulehner, "Historical Overview of Silicon Crystal Pulling Development", *Materials Science and Engineering B*. vol. 73, (2000), pp. 7-15.
- [8]. H. Dietrich et al, "Three Hundred-mm Wafers, a technological and an Economic Challenge", *Microelectronics Engineering*, vol. 45, (1999), pp. 183-190.
- [9]. R. A. Lawes, "Future Trends in high-resolution lithography", *Applied Surf. Sci.*, vol. 154, (2000), pp. 519-526.
- [10]. S. Cristoloveanu, "State of the Art and Future of Silicon on Insulator Technologies, materials, and devices", *Microelectronics Reliability*, vol. 40, (2000), pp.771-777.
- [11]. S.K. Jayanarayanan, S. Dey, J. P. Donnelly, S.K. Banerjee, "A novel 50 nm vertical MOSFET with a dielectric pocket", *Solid-State Electronics*, vol. 50, (2007), pp. 897-900.
- [12]. Shin-ichi O'Uchi, Meishoku Masahara, Kazuhiko Endo, Yongxun Liu, Takashi Matsukawa, Kunihiro Sakamoto, Toshihiro Sekigawa, Hanpei Koike And Eiichi Suzuki, "FinFET-Based Flex-Vth SRAM Design for Drastic Standby-Leakage-

- Current Reduction”, IEICE Transactions on Electronics, vol. E91-C, (2008), pp. 534-542.
- [13]. Chau, R. Kavalieros, J. Roberds, B. Schenker, R. Lionberger, D. Barlage, D. Doyle, B. Arghavani, R. Murthy, A. Dewey, G., “30 nm physical gate length CMOS transistors with 1.0 ps n-MOS and 1.7 ps p-MOS gate delays”, Electron Devices Meeting, *Tech. Digest IEDM*, (2000), pp. 45-48.
- [14]. B. Yu et al, “15 nm Gate Length Planar CMOS Transistor”, Electron Devices Meeting, *Tech. Digest IEDM*, (2001), pp. 11.7.1-11.7.3.
- [15]. R. Liu et al, “Interconnect Technology Trend for Microelectronics”, *Solid State Electronics*, vol. 43, (1999), pp. 1003-1009.
- [16]. A. A. Baski, S. C. Edwin, L. J. Whitman, “A Stable High-Index Surface of Silicon: Si-(5 5 12)”, *Science*, vol. 269, (1995), pp. 1556 - 1560.
- [17]. F. J. Himpsel: “Electronic Structure of Semiconductor Surfaces”, *Appl. Phys.*, vol. 38, (1985), pp. 205-212.
- [18]. A. A. Baski, S. C. Erwin, L. J. Whitman: “The structure of silicon surfaces from (001) to (111)”, *Surface Science*, vol. 392, (1997), pp. 69-85.
- [19]. D. L. Kendall and M. Kendall, “A New Semiconductor-Wafer Market Based on the Deepening of Natural Surface Undulations to Form Strongly Textured Atomic Ridges (STAR) With Pitches from 0.6 to 5.4 nm: Model Demonstrations in the Physical and Life Sciences”. NSTI-Nanotech (2004), pp. 510-513.
- [20]. A. A. Baski, K. M. Saoud, K. M. Jones: “1-D Nanostructures Grown on the Si-(5 5 12) Surface”, *Applied Surface Science*, vol. 182, (2001), pp. 216-222.
- [21]. H. H. Song, K. M. Jones, and A. A. Baski: “Growth of Ag rows on Si-(5 5 12)”, *J. Vac. Sci. Technol. A*, vol. 17, (1999), pp. 1696-1699.
- [22]. Kendall et al, “Strongly Texture Atomic Ridge and Dot MOSFETs, Sensors and Filters”, Patent No. US 6,509,619 B1, (2003).
- [23]. Kendall, “Quantum Ridges and Tips”, Patent No. US 6,667,492 B1, 2003.
- [24]. Kendall, “Strongly Textured Atomic Ridge and Dot MOSFETs, Sensors and Filters”, Patent No. US 7,019,324 B2, (2006).
- [25]. Baski et al, “Strongly Textured Atomic Ridge and Dot Fabrication”, Patent No. US 6,413, 880 B1, (2002).

- [26]. D. L. Kendall, J. de la Hidalga, A. Torres, R. R. Rodríguez, M. Castro, Elizabeth Meza Prieto, W. Calleja, M. Landa, C. Zúñiga, R. Murphy, N. Carlos, I. Juárez, and M. Kendall, "A 300K Si Nanowire Transistor Closely-Coupled With a Standard High-Index Silicon n-MOSFET", Plenary Lecture, 25th Anniv. of Mexican Congress of Amer. Vac. Soc., Sept. 27, (2005).
- [27]. D. L. Kendall, J. de la Hidalga, A. Torres, R. R. Rodríguez, M. Castro, Elizabeth Meza Prieto, W. Calleja, M. Landa, C. Zúñiga, R. Murphy, N. Carlos, I. Juárez, and M. Kendall, "High Index Si MOSFETs and the One Dimensional Artificial Atom", 25th Anniv. of Mexican Congress of Amer. Vac. Soc., Sept. 27, (2005).
- [28]. D. L. Kendall, J. de la Hidalga, A. Torres, R. R. Rodríguez, M. Castro, Elizabeth Meza Prieto, W. Calleja, M. Landa, C. Zúñiga, R. Murphy, N. Carlos, I. Juárez, and M. Kendall, "Quantum (5 5 12)Si Nanowire 300K MOSFET", ECS Transactions, vol. 13, "Advance Gate Stack, Source/Drain, and Channel Engineering for Si-Based CMOS 4: New Materials, Processes, and Equipment", Phoenix, Az. meeting, será publicado el 18 de mayo de 2008.
- [29]. Yang, M. et al, "High performance CMOS fabricated on hybrid substrate with different crystal orientations", IEDM '03 Technical Digest, (2003), pp. 18.7.1-18.7.4.
- [30]. Hiroshi Onoda: "Dependence of Al-Si/Si contact resistance on substrate surface orientation", IEEE Electron Device Letters, vol. 9. (1988), pp. 613-615.
- [31]. M. Prutton: "Introduction to Surface Physics", *Oxford Science Publications, Clarendon Press*, (1994).
- [32]. D. P. Woodruff T. A. Delchar: "Modern Techniques of Surface Science", *Cambridge Solid State Series*, Cambridge University Press, (1985).
- [33]. W. R. Runyan: "Semiconductor Integrated Circuit Processing Technology", Addison-Wesley Publishing Company, (1990).
- [34]. Sorab K. Ghandhi: "VLSI Fabrication Principles-Silicon and Gallium Arsenide", John Wiley&Sons, Inc, (1994).
- [35]. S. C. Erwin, A. A. Baski, and L. J. Whitman: "Structure and Stability of Si-(114)-(2×1)", Physical Review Letters, vol. 77, (1996), pp. 687-690.

- [36]. Junliang Liu, Masaki Takeguchi, Miyoko Tanaka, Hidehiro Yasuda and Kazuo Furuya, "High-resolution transmission electron microscopy observation of the cross-sectional structure of reconstructed silicon (5 5 12) surface", *Journal of Electron Microscopy* 50, (2001), pp. 541-544.
- [37]. Hidong Kim, Huiting Li, Yong-Zhe Zhu, J.R. Hahn and Jae M. Seo, "Atomic structure of the Si-(5 5 12)-2 × 1 surface", *Surface Science*, vol. 601, (2007), pp. 1831-1835.
- [38]. Y. Peng, T. Suzuki, H. Minoda, Y. Tanishiro, K. Yagi: "High resolution REM studies of Si-(5 5 12) surfaces and their roughening phase transition", *Surface Science*, vol. 493, (2001), pp. 499-507.
- [39]. R. R. Rodríguez Mora. Caracterización del Óxido y su Interfase con Silicio en Superficies de Alto Índice Cristalino. Tesis de Maestría, INAOE, México, (2003).
- [40]. Eugene A. Irene: "Thermal oxidation of silicon: new experimental results and models", *Applied Surface Science*, vol. 30, (1987), pp. 1-16.
- [41]. Julie L. Ngau, Peter B. Griffin, and James D. Plummer: "Silicon Orientation Effects in the initial regime of wet oxidation", *Journal of The Electrochemical Society*, vol. 149, (2002), pp. F98-F101.
- [42]. S. I. Raider and L. E. Forget: "Reversal of relative oxidation rates of (111) and (100) oriented silicon substrates at low oxygen partial pressures", *J. Electrochem. Soc.*, vol. 127, (1980), pp. 1783-1787.
- [43]. Eugene A. Irene, H. Z. Massoud, E. Tierney: "Silicon Oxidation Studies: Silicon Orientation Effects on Thermal Oxidation", *J. Electrochem. Soc.*, vol. 133, (1986), pp. 1253-1256.
- [44]. S. M. Sze: "Semiconductor Sensors", John Wiley & Sons, (1994).
- [45]. J. Plaza-C., "Obtención de Profundidades de unión Xj menores a 0.4 μm, con una óptima activación de los dopantes implantados o depositados", Tesis Doctoral, INAOE, (2007).
- [46]. S. M. Sze, "VLSI Technology", Mc Graw-Hill, (1983).
- [47]. D. L. Kendall, "Diffusion in Silicon", *Semiconductor Silicon*, Electrochemical Society, (1969), pp. 358-421.



- [48]. R. B. Fair, "Concentration Profiles of Diffused Dopants" in F.F.Y. Wang, Ed., *Impurity Doping Processes in Silicon*, North-Holland, Amsterdam, (1981), pp. 315.
- [49]. C. D. Thurmond, "The Standard Thermodynamic Function of the Formation of Electron and Holes in Ge, Si, GaAs, and GaP", *J. Electrochem. Soc.*, vol. 122, (1975), pp. 1133.
- [50]. O. V. Aleksandrov and N. N. Afonin, "A model of reduction of oxidation-enhanced diffusion in heavily doped Si layers", vol. 37, (2003), pp. 625-631.
- [51]. M.S. Carroll, C-L Chang, J. C. Sturm, "Complete suppression of boron transient enhanced diffusion and oxidation enhanced diffusion in silicon using localized substitutional carbon incorporation", *Applied Physics Letters*, vol. 73, (1998), pp. 3695-3697.
- [52]. I. Avci, M. E. Law, E. Kuryliw, A. F. Saavedra, and K. S. Jones, "Modeling Extended Defect ( $\{311\}$  and dislocation) Nucleation and Evolution in Silicon", *Journal of Applied Physics*, vol. 95, (2004), pp. 2452-2460.
- [53]. S.C. Jain, W. Schoenmaker, and R. Lindsay, P. A. Stolk, S. Decoutere, M. Willander, H. E. Maes: "Transient enhanced diffusion of boron in Si", *Journal of Applied Physics*, vol. 91, (2002), pp. 8919-8941.
- [54]. D. K. Schroder: "Semiconductor Material and Device Characterization", John Wiley & Sons, Inc. (1998).
- [55]. S.M. Sze, "Physics and Technology", Wiley, (1985).
- [56]. M. Aceves, M. Linares, W. Calleja, A. Torres, M. Landa, C. Zúñiga, I. Fuentes, S. Fuentes: "Proceso de Fabricación de Circuitos Integrados MOS complementarios ECMOS-I", *Reporte Técnico No. 74*, INAOE, (1989).
- [57]. *Proceso ECMOS-I Compuerta de Polisilicio*, INAOE, Proceso No. 1, (2002).
- [58]. M. Castro Licona, "Caracterización de Algunas Etapas del Proceso ECMOS-I/INAOE Usando un CI de Pruebas", *Tesis de Maestría*, (2002).
- [59]. M. G. Buehler, S. D. Grant, W. R. Thurber: "Bridge and Van Der Pauw Sheet Resistors for Characterizing the Line Width of Conducting Layers". *Journal of Electrochemical Society*, vol. 125, (1978), pp. 650-654.

- [60]. H. C. Card: "Aluminum–Silicon Schottky Barriers and Ohmic Contacts in Integrated Circuits". IEEE Transactions on Electron Devices, vol. ED–23, (1976), pp. 538- 544.
- [61]. Peter V. Gray and Dale M. Brown: "Density of SiO<sub>2</sub>-Si Interface States", Applied Physics Letters, vol. 8, (1966), pp. 31-33.
- [62]. Susan C. Vitkavage and Eugene A. Irene: "An investigation of Si-SiO<sub>2</sub> interface charges in thermally oxidized (001), (110), (111), and (511) silicon", J. Appl. Phys., vol. 68, (1990), pp. 5262-5272.
- [63]. K. H. Zaininger, F. P. Heiman: "The C–V Technique as an Analytical Tool, Part 1", Solid State Technology, (1970), pp. 49-56.
- [64]. K. H. Zaininger, F. P. Heiman: "The C–V Technique as an Analytical Tool, Part 2", Solid State Technology, (1970), pp. 46-55.
- [65]. Narain Arora, "MOSFET Modeling for VLSI Simulation: Theory and Practice", Cadence Design Systems, (1993).
- [66]. J. R. Schrieffer, "Effective Carrier Mobility in Surface-Space Charge Layers", Phys. Rev., vol. 97, (1955), pp. 641-646.
- [67]. L. Perron, A. L. Lacaita, A. Pacelli, and R. Bez: "Electron Mobility in ULSI MOSFETs: Effect of Interface Traps and Oxide Nitridation", IEEE Electron Device Letters, vol. 18, (1997), pp. 235-237.
- [68]. A. Pirovano, A. L. Lacaita, G. Ghidini, and G. Tallarida: "On the Correlation Between Surface Roughness and Inversion Layer Mobility in Si-MOSFETs", IEEE Electron Device Letters, vol. 21, (2000), pp. 34-36.
- [69]. Kwyro Lee, Joo-Sun Choi, Sang-Pil, Choong-Ki Kim. Physical Understanding of Low-Field Carrier Mobility in Silicon MOSFET Inversion Layer. IEEE Transactions on Electron Devices, vol. 38, (1991), pp. 1905-1912.
- [70]. Shin-ichi Takagi, Akira Toriumi, Masao Iwase, Hiroyuki Tango. "On the Universality of Inversion Layer Mobility in Si MOSFETs: Part I–Effects of Substrate Impurity Concentration". IEEE Transactions on Electron Devices, vol. 41, (1994), pp. 2357-2362.
- [71]. Shin-ichi Takagi, Akira Toriumi, Masao Iwase, Hiroyuki Tango. "On the Universality of Inversion Layer Mobility in Si MOSFETs: Part II-Effects of Surface

Orientation". IEEE Transactions on Electron Devices, vol. 41, (1994), pp. 2363-2368.



## Lista de Figuras

- FIGURA 1. CURVA DE SALIDA DEL SPIKEMOS [24]. LA PRESENCIA DE PICOS CON MUY ALTA PERIODICIDAD, SIEMPRE EN MÚLTIPLOS DE 0.155V ATRIBUIDA A LAS CARACTERÍSTICAS ESTRUCTURALES DE LA SUPERFICIE EN (5 5 12). 9
- FIGURA 2. CURVA DE TRANSFERENCIA DEL SPIKEMOS [24]. SE APRECIAN PROTUBERANCIAS QUE INDICAN QUE LOS PICOS EN LAS CURVAS DE SALIDA NO SE DEBEN A EFECTOS ALEATORIOS, SINO QUE ESTÁN RELACIONADOS CON LA ESTRUCTURA SUPERFICIAL EN SI-(5 5 12). 10
- FIGURA 3. FORMACIÓN DE NANOALAMBRES EN SI-(5 5 12) [18]. A) EL DEPÓSITO DE 0.1 ML DE AG PRODUCE LÍNEAS DESUNIFORMES. B) CON 0.25 ML SE OBTIENE GRAN UNIFORMIDAD SI SE DEPOSITAN A 400-450 °C 10
- FIGURA 4. PLANO EXPUESTO DEL VOLUMEN (SUBSTRATO TERMINADO) [33]. EL ARREGLO ATÓMICO NO SE VE MODIFICADO EN LA SUPERFICIE. 17
- FIGURA 5. RELAJACIÓN DEL PLANO EXTERIOR [33]. EL ARREGLO ATÓMICO EN LA SUPERFICIE ES IDÉNTICO AL QUE EXISTE EN EL INTERIOR DEL CUERPO; SIN EMBARGO LA DIFERENCIA ENTRE LAS CAPAS ATÓMICAS PROVOCA QUE LAS PROPIEDADES ELÉCTRICAS EN LA SUPERFICIE SEAN ALTERADAS. 17
- FIGURA 6. RECONSTRUCCIÓN (HIPOTÉTICA) DE LOS PLANOS ATÓMICOS EXTERIORES [33]. LOS ÁTOMOS EN LA SUPERFICIE Y CERCA DE ELLA, SE REACOMODAN PARA COMPLETAR SUS ENLACES Y REDUCIR EL ESTRÉS SUPERFICIAL; EL RESULTADO ES UN ARREGLO ATÓMICO DIFERENTE EN LA SUPERFICIE Y EL VOLUMEN Y CON ELLO DIFERENTES PROPIEDADES. 17
- FIGURA 7. ARREGLO GEOMÉTRICO OBSERVADO EN SI EN LOS PLANOS (A) {001}, (B) {110} Y (C) {111}, LOS PUNTOS REPRESENTAN LOS ÁTOMOS DE SI Y LAS LÍNEAS LOS ENLACES [31]. 19
- FIGURA 8. ORIENTACIONES CRISTALINAS DE (001) A (111), TOMADO DE [16]. EN LA TABLA SE PRESENTA EL ÁNGULO ENTRE LOS DIFERENTES PLANOS CON RESPECTO A (001) Y EL TAMAÑO DE LAS CELDAS BÁSICAS. 21
- FIGURA 9. ORIENTACIÓN (114) [34]. A LA IZQUIERDA EL MODELO ATÓMICO PROPUESTO POR ERWIN Y BASKI, A LA DERECHA SE APRECIAN LOS BORDES, DESTACÁNDOSE SU ALTA PERIODICIDAD; ÉSTOS PODRÍAN MODIFICAR LAS CARACTERÍSTICAS DE LOS DISPOSITIVOS QUE AHÍ SE FABRIQUEN. 22
- FIGURA 10. PLANO (5 5 12) [35]. A LA IZQUIERDA LA ESTRUCTURA SUPERFICIAL DEL SI-(5 5 12). A) IMAGEN STM, B) MODELO DE ESFERAS MOSTRANDO LAS IMPERFECCIONES DE LA ESTRUCTURA, C) MODELO DE ESFERAS MOSTRANDO EL SUBSTRATO TERMINADO, D) VISTA LATERAL DEL MODELO ESTRUCTURAL DEL SUBSTRATO TERMINADO MOSTRANDO LAS SUBUNIDADES (337) Y (225). E), F) Y G) INTERPRETACIÓN DE BASKI, RANKE Y LIU, RESPECTIVAMENTE. 24
- FIGURA 11. DIFRACTÓMETRO DE RAYOS-X. TOMADO DE [38]. 25
- FIGURA 12. PATRÓN DE DIFRACCIÓN DE NEUTRONES EN POLVO DE DIAMANTE. ESTE MATERIAL POSEE LA MISMA ESTRUCTURA CRISTALINA QUE EL SI. SE NOTA QUE SÓLO SE GENERAN PATRONES DETECTABLES CUANDO TODOS LOS ÍNDICES SON PARES O CUANDO TODOS SON IMPARES. TOMADO DE [38]. 25
- FIGURA 13. CORTES REALIZADOS EN EL LINGOTE (112) PARA LA OBTENCIÓN DE LAS OBLEAS DE ALTO ÍNDICE CRISTALINO. 26
- FIGURA 14. DEPENDENCIA DE LA RAZÓN DE OXIDACIÓN CON LA ORIENTACIÓN CRISTALOGRAFICA. TOMADA DE [30]. 31
- FIGURA 15. DEPENDENCIA DE LA DIFUSIVIDAD CON LA ORIENTACIÓN, TOMADO DE [30]. EN AMBIENTES INERTES LA DIFUSIÓN ES INDEPENDIENTE DE LA ORIENTACIÓN, PARA AMBIENTES OXIDANTES LA DIFUSIÓN DEPENDE DE LA ORIENTACIÓN AL MODIFICARSE LA CONCENTRACIÓN DE ÁTOMOS INTERSTICIALES. 34

- FIGURA 16. COEFICIENTE DE DIFUSIÓN INTRÍNSECO DE AL, P, B, AS Y SB EN SI, EN FUNCIÓN DE LA TEMPERATURA. DATOS TOMADOS DE [46]. 36
- FIGURA 17. COEFICIENTE DE DIFUSIÓN EN LAS REGIONES INTRÍNSECA (CONCENTRACIÓN DE DOPANTES MENOR A LA CONCENTRACIÓN INTRÍNSECA), Y EXTRÍNSECA (LA CONCENTRACIÓN DE DOPANTES ES MAYOR QUE LA CONCENTRACIÓN INTRÍNSECA). TOMADA DE [47]. 37
- FIGURA 18. CONCENTRACIÓN INTRÍNSECA DE PORTADORES EN SI Y GAAS, EN FUNCIÓN DE LA TEMPERATURA. TOMADA DE [48]. 37
- FIGURA 19. MODELO DE LA ESTRUCTURA DEL SI, VISTA EN LA DIRECCIÓN <110>. EN ESTA DIRECCIÓN EXISTEN CANALES LIBRES DE COLISIONES, TOMADA DE [30]. 40
- FIGURA 20. EFECTO DE  $V_{AL}$  EN EL PERFIL DE DOPANTES. SUPONIENDO QUE LA CURVA (B) REPRESENTA EL PERFIL DE DOPANTES CUANDO SE HA ELEGIDO EL VALOR ADECUADO DE  $V_{AL}$ , ENTONCES (A) MUESTRA EL EFECTO DE SOBRESTIMAR ESTA VARIABLE Y (C) EL EFECTO DE SUBESTIMARLA. 46
- FIGURA 21. PERFIL DE FÓSFORO EN FUNCIÓN DE LA ORIENTACIÓN CRISTALINA. TEMPERATURA DE DIFUSIÓN=1000°C EN HORNO CONVENCIONAL Y EN AMBIENTE INERTE DURANTE 10 MINUTOS. LOS RESULTADOS MUESTRAN QUE PARA ESTAS CONDICIONES EXPERIMENTALES, LA DIFUSIVIDAD ES INDEPENDIENTE DE LA ORIENTACIÓN. 49
- FIGURA 22. CÁLCULO DEL COEFICIENTE DE DIFUSIÓN DE FÓSFORO EN SI EN DIFERENTES CONCENTRACIONES. NÓTESE QUE EL COEFICIENTE DE DIFUSIÓN ES INDEPENDIENTE DE LA ORIENTACIÓN DEL SUBSTRATO. TEMPERATURA DE DIFUSIÓN=1000 °C DURANTE 10 MINUTOS. 50
- FIGURA 23. PERFIL DE FÓSFORO EN FUNCIÓN DE LA ORIENTACIÓN CRISTALINA. TEMPERATURA DE DIFUSIÓN=1100°C EN AMBIENTE INERTE DURANTE 75 MINUTOS. LOS RESULTADOS MUESTRAN QUE PARA ESTAS CONDICIONES EXPERIMENTALES, LA DIFUSIVIDAD ES INDEPENDIENTE DE LA ORIENTACIÓN. 52
- FIGURA 24. CÁLCULO DEL COEFICIENTE DE DIFUSIÓN DE FÓSFORO EN SI EN DIFERENTES CONCENTRACIONES. NÓTESE QUE EL COEFICIENTE DE DIFUSIÓN ES INDEPENDIENTE DE LA ORIENTACIÓN DEL SUBSTRATO. TEMPERATURA DE DIFUSIÓN 1100 °C DURANTE 75 MINUTOS. 52
- FIGURA 25. PERFIL DE BORO EN FUNCIÓN DE LA ORIENTACIÓN CRISTALINA. TEMPERATURA DE DIFUSIÓN=950°. TIEMPO DE DIFUSIÓN 60 MINUTOS. 55
- FIGURA 26. PERFIL DE BORO EN FUNCIÓN DE ORIENTACIÓN CRISTALINA. TEMPERATURA DE DIFUSIÓN=1000°C. TIEMPO DE DIFUSIÓN 60 MINUTOS. AMBIENTE OXIDANTE. 56
- FIGURA 27. PERFIL DE BORO EN FUNCIÓN DE ORIENTACIÓN CRISTALINA, TEMPERATURA DE DIFUSIÓN=1050°C, TIEMPO DE DIFUSIÓN 60 MINUTOS, AMBIENTE OXIDANTE. 56
- FIGURA 28. MOVILIDAD DE ELECTRONES Y HUECOS EN SI Y GAAS, EN FUNCIÓN DE LA CONCENTRACIÓN DE IMPUREZAS. TOMADA DE [54]. 57
- FIGURA 29. PERFIL DE FÓSFORO EN FUNCIÓN DE LA ORIENTACIÓN. ÁNGULO DE IMPLANTACIÓN=7°, ACTIVACIÓN MEDIANTE RTA. NO SE MUESTRA DEPENDENCIA EN FUNCIÓN DE LA ORIENTACIÓN. 61
- FIGURA 30. PERFIL DE FÓSFORO EN SI-(114) EN FUNCIÓN DEL ÁNGULO DE IMPLANTACIÓN. ACTIVACIÓN MEDIANTE RTA. EL COMPORTAMIENTO ES SIMILAR EN SI-(5 5 12). 61
- FIGURA 31. IMPLANTACIÓN DE BORO EN FUNCIÓN DE LA ORIENTACIÓN CRISTALINA. ENERGÍA=150 KEV, DOSIS= $2 \times 10^{13} \text{ CM}^{-3}$ , ÁNGULO DE IMPLANTACIÓN=7°, GROSOR DE ÓXIDO=2000 Å, REDIFUSIÓN A 1200°C DURANTE 8 HRS. 63
- FIGURA 32. IMPLANTACIÓN DE BORO EN FUNCIÓN DE LA ORIENTACIÓN CRISTALINA. ENERGÍA=150 KEV, DOSIS= $2 \times 10^{13} \text{ CM}^{-3}$ , ÁNGULO DE IMPLANTACIÓN=7°, ACTIVACIÓN EN HORNO CONVENCIONAL A 1100°C: 15 MINUTOS EN VAPOR DE AGUA SEGUIDO DE 15 MINUTOS EN  $\text{N}_2$ . 65
- FIGURA 33. PERFIL DE BORO EN FUNCIÓN DE LA ORIENTACIÓN CRISTALOGRAFICA. ACTIVACIÓN MEDIANTE RTA, TILT=7°. SE APRECIA EL CANALEO EN TODAS LAS ORIENTACIONES. 67
- FIGURA 34. PERFIL DE BORO EN SI-(001) Y (114) EN FUNCIÓN DEL ÁNGULO DE IMPLANTACIÓN, ACTIVACIÓN MEDIANTE RTA. 68

FIGURA 35. PERFIL DE BORO EN SI-(5 5 12) Y (111) EN FUNCIÓN DEL ÁNGULO DE IMPLANTACIÓN, ACTIVACIÓN MEDIANTE RTA.	68
FIGURA 36. LAY-OUT DEL CIP E&R KENDALL-1. SE FABRICÓ EN SI CON ORIENTACIONES (001), (114) Y (5 5 12).	73
FIGURA 37. $R_s$ EN FUNCIÓN DEL PLANO CRISTALINO, MÍNIMA PARA (001) Y MÁXIMA PARA (114).	75
FIGURA 38. $R_c$ EN FUNCIÓN DE LA ORIENTACIÓN CRISTALINA.	77
FIGURA 39. ANCHO EFECTIVO DE REGIONES IMPLANTADAS EN FUNCIÓN DE LA ORIENTACIÓN CRISTALINA.	78
FIGURA 40. DENSIDAD EFECTIVA DE CARGAS EN EL ÓXIDO EN FUNCIÓN DE LA ORIENTACIÓN CRISTALINA.	78
FIGURA 41. GROSOR DE ÓXIDO EN FUNCIÓN DE LA ORIENTACIÓN CRISTALINA.	80
FIGURA 42. VOLTAJE DE UMBRAL EN FUNCIÓN DE LA ORIENTACIÓN CRISTALINA.	80
FIGURA 43. DEPENDENCIA DE LA MOVILIDAD CON EL CAMPO ELÉCTRICO EFECTIVO [69].	82
FIGURA 44. MOVILIDAD EFECTIVA DE ELECTRONES EN FUNCIÓN DE LA DIRECCIÓN DEL CANAL: (A) EN SI(001), (B) SI-(114). EN SI (5 5 12) LA TENDENCIA ES SIMILAR A LA QUE SE EXHIBE EN SI-(114).	84
FIGURA 45. MOVILIDAD EFECTIVA EN FUNCIÓN DE LA ORIENTACIÓN CRISTALINA: (A) MEJOR CASO, (B) PEOR CASO.	84





## Lista de Tablas

---

TABLA 1. INTERNATIONAL TECHNOLOGY ROADMAP FOR SEMICONDUCTORS [1].	1
TABLA 2. ETAPAS DE PROCESO DEPENDIENTES DE LA ORIENTACIÓN	29
TABLA 3. DENSIDAD DE ÁTOMOS SUPERFICIALES Y ENLACES DISPONIBLES EN FUNCIÓN DE LA ORIENTACIÓN.	31
TABLA 4. RESISTENCIA DE HOJA Y PROFUNDIDAD DE UNIÓN DE REGIONES-P EN FUNCIÓN DE LA ORIENTACIÓN; FORMADAS MEDIANTE DIFUSIÓN DESDE ÓXIDOS DOPADOS. TEMPERATURAS DE DIFUSIÓN: 950, 1000, Y 1050°C DURANTE 60 MINUTOS.	58
TABLA 5. RESISTENCIA DE HOJA Y PROFUNDIDAD DE UNIÓN, EN FUNCIÓN DE LA ORIENTACIÓN, DE REGIONES-N IMPLANTADAS Y ACTIVADAS EN HORNOS RTA.	62
TABLA 6. RESISTENCIA DE HOJA Y PROFUNDIDAD DE UNIÓN, EN FUNCIÓN DE LA ORIENTACIÓN, DE REGIONES-P IMPLANTADAS Y ACTIVADAS EN HORNOS CONVENCIONALES.	64
TABLA 7. DOSIS, RS Y XJ, EN FUNCIÓN DE LA ORIENTACIÓN CRISTALINA, EN REGIONES IMPLANTADAS TIPO-P, ACTIVADAS CON RTA. IMPLANTACIÓN A TRAVÉS DE ÓXIDO DELGADO.	67
TABLA 8. DOSIS, RS Y XJ, EN FUNCIÓN DEL ÁNGULO DE IMPLANTACIÓN PARA DIFERENTES ORIENTACIONES. REGIONES IMPLANTADAS TIPO-P, ACTIVADAS CON RTA. IMPLANTACIÓN A TRAVÉS DE ÓXIDO DELGADO.	69