

Optimización de Reguladores de Voltaje LDO Aplicando Algoritmos Genéticos

por

Jesús López Arredondo

Tesis sometida como requisito parcial para obtener el grado de:

MAESTRO EN CIENCIAS CON ESPECIALIDAD EN ELECTRÓNICA

en el

Instituto Nacional de Astrofísica, Óptica y Electrónica

Julio 2015

Tonantzintla, Puebla

Supervisada por:

Dr. Esteban Tlelo Cuautle Investigador titular Departamento de Electrónica INAOE

Dr. Rodolfo Trejo Guerra Centro de Diseño SEMTECH-Snowbush

©INAOE 2015 El autor otorga al INAOE el permiso de reproducir y distribuir copias en su totalidad o en partes de esta tesis



Optimización de Reguladores de Voltaje LDO Aplicando Algoritmos Genéticos

Tesis de Maestría

Por:

Jesús López Arredondo

ASESOR: Dr. Esteban Tlelo Cuautle CO-ASESOR: Dr. Rodolfo Trejo Guerra

Instituto Nacional de Astrofísica Óptica y Electrónica Coordinación de Electrónica

Tonantzintla, Puebla.

Julio 2015

Agradecimientos

Quiero agradecer a mis padres, las dos personas que siempre han brindado su apoyo en todas las formas posibles durante cada una de las decisiones de mi vida. De igual manera a mis hermanos y hermana, personas a quien admiro y han sido un ejemplo a seguir durante mi vida.

Gracias a ti Genny, por el amor y apoyo que me brindaste estando a mi lado inclusive en los momentos más difíciles durante este proceso.

Un agradecimiento muy especial a mi asesor, Dr. Esteban Tlelo Cuautle, por la oportunidad brindada de trabajar con él, por todo su tiempo, motivación y consejos otorgados durante la realización de esta tesis. Gracias a mi co-asesor, Dr. Rodolfo Trejo Guerra, por sus sugerencias otorgadas a este trabajo.

Gracias al Instituto Nacional de Astrofísica, Óptica y Electrónica por la oportunidad brindada de ser parte de esta institución, por sus servicios ofrecidos y por permitirme hacer uso de sus instalaciones y equipo para que fuera posible el desarrollo de esta tesis. También quisiera agradecer a mis amigos y compañeros de maestría por los aportes y conocimientos que compartieron para la elaboración de este trabajo.

Finalmente, quiero agradecer a CONACyT por la beca proporcionada durante mi estancia en el programa de maestría con número de registro 362338. Para mis padres Sofía y Vicente, y mi novia Genny

Resumen

Los altos niveles de ruido proveniente de los reguladores de voltaje conmutados y los bloques digitales degradan el desempeño dentro de los circuitos integrados de señal mixta. Con el incremento de aplicaciones de sistemas completos en un mismo circuito integrado (SoC), los reguladores de voltaje lineales se han convertido en elementos esenciales dentro de los sistemas dedicados al manejo de la energía. Un regulador lineal es capaz de filtrar el ruido proveniente de su señal de entrada y entregar un voltaje de salida estable y libre de ruido. Por lo tanto, reguladores de baja caída de voltaje, comúnmente llamados LDO (del inglés *low-dropout*), son indispensables en este tipo de sistemas integrados debido a su rápida respuesta transitoria y su capacidad de rechazar señales de ruido presentes en su voltaje de entrada.

En este trabajo se presenta una metodología para optimizar reguladores de voltaje lineales del tipo LDO aplicando algoritmos genéticos. Aunque en la literatura se pueden encontrar distintas metodologías y herramientas orientadas a la automatización del proceso de síntesis de bloques analógicos, ninguna de estas se ha enfocado a la optimización de bloques orientados al manejo de la energía como los reguladores de voltaje. De esta forma, este trabajo utiliza el algoritmo genético *Non-dominated Sorting Genetic Algorithm* (NSGA-II) para implementar la optimización multi-objetivo de tres topologías distintas de reguladores LDO. La principal contribución es la propuesta de un cromosoma obtenido a partir de un análisis de tolerancias realizado a distintas topologías de reguladores, en el cual se incluyen aquellos elementos cuya variación presenta menos tolerancia en los parámetros que definen el desempeño del regulador. Durante el proceso de optimización se seleccionan un par de parámetros del regulador como funciones objetivo y el resto de las especificaciones se toman como restricciones. Recolectando los datos obtenidos del

análisis de tolerancias se reducen los espacios de búsqueda de las variables contenidas en el cromosoma. La propuesta de un nuevo cromosoma y la reducción del espacio de búsqueda aceleran el proceso de optimización cuando se aplican metaheurísticas como NSGA-II. Posteriormente, el cromosoma propuesto es utilizado en la optimización con NSGA-II, comparando las soluciones obtenidas en el frente de Pareto con los valores reportados para cada topología de regulador LDO optimizada, comprobando de esta manera el correcto funcionamiento del sistema de optimización implementado.

Finalmente, a las soluciones óptimas de las distintas topologías se les aplica un análisis de variaciones de proceso, voltaje y temperatura (PVT) para verificar su robustez. Los resultados obtenidos muestran que la metodología de optimización implementada es capaz de encontrar soluciones que mejoran el desempeño de los reguladores de voltaje y que además son robustas a variaciones de PVT.

Abstract

The high levels of noise coming from switched mode power supplies and digital blocks directly translates to degradation in system performance. As the demand of system-on-chip (SoC) integration continues growing, the linear voltage regulator form an indispensable component of the power management systems. A linear regulator can filter out the noise and provide a stable noise free output voltage. Therefore, low-dropout voltage regulators (LDOs) are essential due to their fast transient response and good power supply rejection characteristics.

This thesis introduces a methodology to optimize linear LDO voltage regulators by applying genetic algorithms. Although different methodologies and tools oriented to the automation of analog circuits'synthesis can be found in the current literature, there is not yet a tool for the optimization of power management blocks. In this manner, the Non-dominated Sorting Genetic Algorithm (NSGA-II) is applied in order to perform a multi-objective optimization of three different LDO regulators topologies. The main contribution is the introduction of a chromosome obtained from a tolerance analysis performed to different topologies of regulators, which includes those elements whose variation presents less tolerance in the regulator performance. During the optimization process a pair of regulator parameters are selected as objective functions while the remaining specifications are taken as constraints. Collecting the data from tolerance analysis, the search spaces for the design variables belonging to the chromosome are reduced. The proposed chromosome and the reduced search spaces accelerate the optimization process when a metaheuristic method like NSGA-II is applied. Then, the utility of the chromosome and the optimization methodology are shown by a comparison between the solutions found in the Pareto front and the reported values for each topology.

Finally, the optimal solutions are evaluated to process, voltage and temperature variations in order to guarantee their robustness. The results obtained show that the proposed optimization methodology improves the performance of voltage regulators and guarantees the robustness of the solutions to PVT variations.

Lista de Acrónimos

AE	Amplificador de Error	
AG	Algoritmos Genéticos	
BJT	Bipolar Junction Transistor	
BW	Ancho de Banda	
CA	Corriente Alterna	
CD	Corriente Directa	
CMOS	Complementary Metal Oxide Semiconductor	
CT	Coeficiente Térmico	
CTA	Amplificador de Transconductancia en modo Corriente	
EDA	Electronic Design Automation	
EE	Estrategias Evolutivas	
ESR	R Resistencia en Serie Equivalente	
FDM	Figura de Mérito	
GBW	Producto Ganancia-Ancho de Banda	
HDO	High-Dropout	
LDO	Low-Dropout	
LDR	Regulación de Carga	
LNR	Regulación de Línea	
MF	Margen de Fase	
MOSFET	FET Metal Oxide Semiconductor Field Effect Transistor	
NMOS	S Transistor MOSFET tipo N	
NSGA-II	-II Non-Dominated Sorting Genetic Algorithm II	
OTA	Amplificador Operacional de Transconductancia	
PE	Programación Evolutiva	
PMOS	Transistor MOSFET tipo P	
PSR	Power Supply Rejection	

- PVT Proceso, Voltaje y Temperatura
- RF Radiofrecuencias
- SoC Systems on Chip
- SPICE Simulation Program with Integrated Circuit Emphasis
- VLSI Very Large Scale Integration

Tabla de Contenido

Ag	Agradecimientos		
Re	Resumen		
Al	ostra	t	\mathbf{v}
Li	sta d	Acrónimos v	'11
Li	sta d	Figuras x	v
Li	sta d	Tablas xv	'II
1.	Intr	ducción	1
	1.1.	Antecedentes	3
	1.2.	Justificación	5
	1.3.	Objetivos	5
	1.4.	Organización de la Tesis	6
2.	\mathbf{Reg}	ladores de Voltaje Lineales LDO	9
	2.1.	Manejo y Acondicionamiento de Energía	10
		2.1.1. Clasificación de reguladores de voltaje	10
		2.1.2. Comparación entre reguladores lineales y reguladores conmutados	11
	2.2.	Reguladores de Voltaje Lineales	12
		2.2.1. Operación	12
		2.2.2. Métricas de desempeño	13
		2.2.3. Clasificación	16
	2.3.	Análisis en Frecuencia de Reguladores LDO	19

		2.3.1.	Respuesta en frecuencia	20	
		2.3.2.	Rechazo a la fuente de alimentación (PSR)	24	
3.	Opt	imizac	ción Multi-Objetivo con Algoritmos Genéticos	27	
	3.1.	Comp	utación Evolutiva	27	
		3.1.1.	Representación	29	
		3.1.2.	Evaluación	29	
		3.1.3.	Operadores Genéticos	30	
	3.2.	Algori	tmos Evolutivos	32	
		3.2.1.	Programación Evolutiva	32	
		3.2.2.	Estrategias Evolutivas	32	
		3.2.3.	Algoritmos Genéticos	34	
	3.3.	Optim	ización Multi-Objetivo	35	
		3.3.1.	Definición del Problema	35	
		3.3.2.	Óptimo de Pareto	36	
		3.3.3.	Frente de Pareto	36	
		3.3.4.	Algoritmo genético NSGA-II	37	
4.	Propuesta de Cromosoma y Optimización con NSGA-II 39				
	4.1.	- Repres	sentación del Problema	39	
	4.2.	Anális	sis de Tolerancias	42	
	4.3.	Propu	esta de Cromosoma	58	
	4.4.	Implei	mentación del Algoritmo NSGA-II	60	
		4.4.1.	Parámetros de inicialización	61	
		4.4.2.	Operadores genéticos	64	
		4.4.3.	Evaluación de la aptitud	65	
	4.5.	Conclu	usiones	67	
5.	Opt	imizac	ión de Reguladores LDO	69	
	5.1.	Eiecue	ción del Algoritmo Genético	69	
	J.T.	5.1.1	Regulador 1	71	
		5.1.2	Regulador 2	74	
		5.1.2	Regulador 3	77	
	5.2	Conch		79	
	0.4.	Conten		10	

6.	Vari	aciones de Proceso, Voltaje y Temperatura (PVT)	83
	6.1.	Introducción	83
	6.2.	Desempeño de Regulación	86
	6.3.	Desempeño en el Dominio de la Frecuencia	89
	6.4.	Desempeño en el Dominio del Tiempo	92
	6.5.	Conclusiones	94
7.	Con	clusiones	97
A. Artículos Publicados 99			99
Apéndices 99			99
Bibliografía 101			101

XIII

Lista de Figuras

2.1.	Reguladores de voltaje básicos	
2.2.	Curva característica del voltaje de salida contra el voltaje de entrada	
	para un regulador lineal.	13
2.3.	Reguladores lineales (a)LDO y (b)HDO	18
2.4.	Modelo de pequeña señal de un regulador lineal	20
2.5.	Respuesta en frecuencia de un regulador lineal sin compensación. $\ .$.	23
2.6.	(a) Diagrama a bloques de un regulador lineal (b) y el modelo de	
	pequeña señal utilizado para calcular PSR [1]	25
2.7.	PSR de un regulador LDO compensado externamente. $\ .$	26
3.1.	Eiemplo de cromosoma.	29
3.2.	Ejemplo de cruza a un punto	31
3.3.	Ejemplo de mutación.	32
3.4.	Frente de Pareto.	36
4.1.	Mapeo de un regulador LDO a un cromosoma	41
4.2.	Reguladores de voltaje compensados externamente seleccionados para	
	análisis de tolerancias.	44
4.3.	Amplificadores de error básicos	45
4.4.	Reguladores de voltaje compensados internamente seleccionados para	
	análisis de tolerancias.	53
4.5.	Resultados obtenidos del análisis de tolerancias	59
4.6.	Cromosoma propuesto para la optimización de reguladores de voltaje	
	LDO	60
4.7.	Diagrama de flujo del sistema de optimización implementado.	61

5.1.	Reguladores de voltaje seleccionados para optimización	70
5.2.	Frente de Pareto obtenido para el regulador de la figura 5.1a	
5.3.	Comparación de la velocidad de convergencia del algoritmo con dife-	
	rentes Ω durante la optimización del regulador de la figura 5.1 a	73
5.4.	Frente de Pareto obtenido para el regulador de la figura 5.1b	75
5.5.	Comparación de la velocidad de convergencia del algoritmo con dife-	
	rentes Ω durante la optimización del regular de la figura 5.1 b	77
5.6.	Frente de Pareto obtenido para el regulador de la figura 5.1c	78
5.7.	Comparación de la velocidad de convergencia del algoritmo con dife-	
	rentes Ω durante la optimización del regulador de la figura 5.1c	80
61	Reguladores de voltaje sometidos a variaciones de PVT	8/
6.2	Banco de pruebas para evaluar el desempeño de reguladores de voltaje	04
0.2.	LDO	87
63	Efecto de variaciones PVT sobre la regulación de carga de los regula-	01
0.0.	dores de las figuras (a)6 1a v (b)6 1b	87
6.4	Efecto de variaciones PVT sobre la regulación de línea del regulador	01
0.1.	de la figura 6 la con (a) $I_L = 0mA$ e (b) $I_L = 50mA$	88
6.5.	Efecto de variaciones PVT sobre la regulación de línea del regulador	00
	de la figura 6.1b con (a) $I_L = 0mA$ e (b) $I_L = 100mA$.	88
6.6.	Circuito de prueba para medir la ganancia de lazo abierto y el margen	
	de fase de reguladores de voltaje LDO	89
6.7.	Efecto de variaciones PVT sobre la respuesta en frecuencia del regula-	
	dor de la figura 5.1b.	90
6.8.	Efecto de variaciones PVT sobre la respuesta en frecuencia del regula-	
	dor de la figura 5.1c.	91
6.9.	Efecto de variaciones PVT sobre el PSR de los reguladores de las figuras	
	(a)6.1a y (b)6.1b	92
6.10.	Efecto de variaciones PVT sobre la respuesta transitoria del regulador	
	de la figura 6.1a.	93
6.11.	Efecto de variaciones PVT sobre la respuesta transitoria del regulador	
	de la figura 6.1b.	94

Lista de Tablas

2.1.	Comparación entre reguladores lineales y conmutados [2] 1	
2.2.	Comparación entre las distintas estrategias de compensación [2]	26
4.1.	Resultados obtenidos en el dominio de la frecuencia para los amplifi-	
	cadores de error de la figura 4.3	45
4.2.	Análisis de tolerancias para el regulador de voltaje de la figura 4.2a	
	empleando el amplificador de error de la figura 4.3 c	47
4.3.	Análisis de tolerancias para el regulador de voltaje de la figura 4.2b	49
4.4.	Análisis de tolerancias para el regulador de voltaje de la figura 4.2c. $$.	50
4.5.	Análisis de tolerancias para el regulador de voltaje de la figura 4.2d	51
4.6.	Análisis de tolerancias para el regulador de voltaje de la figura 4.4a	54
4.7.	Análisis de tolerancias para el regulador de voltaje de la figura 4.4b	55
4.8.	Análisis de tolerancias para el regulador de voltaje de la figura 4.4c.	56
4.9.	Análisis de tolerancias para el regulador de voltaje de la figura 4.4d	57
5.1.	Rangos de búsqueda asociados a las variables de diseño	71
5.2.	Comparación del regulador de voltaje de la figura 5.1a diseñado de	
	forma tradicional y las soluciones obtenidas mediante NSGA-II. $\ .\ .$	74
5.3.	Valores de los genes adquiridos durante la optimización del regulador	
	de la figura 5.1a	74
5.4.	Comparación del regulador de voltaje de la figura 5.1b diseñado de	
	forma tradicional y las soluciones obtenidas mediante NSGA-II. $\ .\ .$	76
5.5.	Valores de los genes adquiridos durante la optimización del regulador	
	de la figura 5.1b	77
5.6.	Comparación entre el regulador de voltaje de la figura 5.1c diseñado	
	de forma tradicional y las soluciones obtenidas mediante NSGA-II	79

5.7.	Valores de los genes adquiridos durante la optimización del regulador	
	de la figura 5.1c.	80
6.1.	Comparación de los valores asignados a cada elemento del regulador	
	de la figura 6.1a	85
6.2.	Comparación de los valores asignados a cada elemento del regulador	
	de la figura 6.1b	86
6.3.	Resultados obtenidos en el dominio de la frecuencia para los regulado-	
	res de voltaje de la figura 6.1	92

Lista de Algoritmos

1.	Algoritmo Evolutivo	28
2.	Programación Evolutiva	33
3.	Estrategias Evolutivas	33
4.	Algoritmos Genéticos	34
5.	NSGA-II	38

Capítulo 1 Introducción

El mercado actual de los circuitos integrados (CI) presenta hoy en día tendencia en el incremento del nivel de integración con un enfoque especial en sistemas llamados de señal mixta. Estos sistemas (también conocidos como systems – on – chip o SoC) se encuentran integrados principalmente por grandes y complejos circuitos digitales; sin embargo debido a las aplicaciones actuales, estos también deben de incorporar circuitos capaces de realizar funciones analógicas incluso en el rango de radiofrequencias (RF), todo esto en un mismo CI (o chip). Por lo general, los complejos bloques digitales encargados de realizar el procesamiento y almacenamiento de la información ocupan alrededor del 80% del área total del chip, mientras que los bloques analógicos son implementados en un área de tan solo el 20% (o incluso menos) del valor total. No obstante, esa pequeña cantidad de bloques analógicos (comparados con el total de bloques digitales) suele ser la limitante en cuanto a tiempo de diseño se refiere [3] debido entre otros factores a lo siguiente:

- Los circuitos digitales presentan una mayor inmunidad al ruido, ya que cuentan con tan solo dos posibles valores, cada uno de ellos con un rango de tolerancia elevado.
- 2.- En el diseño digital se cuenta con librerías estándar ya predefinidas; sin embargo, este no es el caso para el diseño analógico debido a que cada celda analógica se encuentra caracterizada por un gran número de parámetros (consumo de potencia, ganancia, ancho de banda, margen de fase, ruido, slew rate, etc.) lo cual produce cientos o miles de versiones de cada celda dependiendo del o los parámetros que se busquen optimizar [4].
- 3.- Generalmente, el diseño digital se encuentra basado en reglas bien establecidas

y definidas las cuales son sustentadas por metodologías y herramientas orientadas a la automatización del flujo de diseño electrónico (*Electronic Design Automation*, EDA).

- 4.- Los circuitos digitales pueden ser fácilmente escalados junto con la tecnología de fabricación y los voltajes de alimentación, esto resulta una tarea complicada en la contraparte analógica donde normalmente se requiere de un rediseño substancial del circuito completo.
- 5.- El diseño analógico debe manejar señales las cuales cuentan con un rango infinito de valores distintos, lo cual obliga al diseñador a explotar la física presente tanto en los diferentes dispositivos como en el proceso de fabricación. Por lo tanto, efectos de segundo o incluso mayor orden que en ocasiones pueden ser omitidos durante el proceso de diseño de circuitos digitales deben ser considerados, y representan grandes problemas, durante el proceso de diseño analógico [5].

Durante mucho tiempo el diseño analógico ha sido considerado la tarea difícil en el ámbito del diseño de circuitos integrados. Aunado a lo anterior, también debe considerarse que el diseño de bloques analógicos depende en gran medida del conocimiento y la experiencia del diseñador, esto es, de una gran cantidad de topologías existentes el diseñador debe seleccionar la que le parezca más adecuada de acuerdo a las necesidades de la aplicación, y posteriormente debe realizar el dimensionamiento y asignación de valores para cada uno de los elementos y/o dispositivos del circuito. Como se puede observar, el espacio de búsqueda es demasiado vasto y por lo tanto el diseñador no puede analizar cada una de las posibles soluciones disponibles para dicho problema, pudiendo ser (y pasa en un mayor número de ocasiones de las que imaginamos) que la solución propuesta e incluso implementada no sea una solución óptima para tal problema.

Por otra parte, los bloques analógicos dedicados al manejo de la energía, en un producto portable alimentado por baterías, se ha vuelto últimamente un desafío grande en el diseño de circuitos integrados. La cantidad de energía total disponible en una batería es limitada, por lo cual la necesidad constante de recargarla o reemplazarla se vuelve uno de los principales problemas en sistemas portables [6]. A pesar de las innovaciones en las tecnologías de fabricación de baterías, siempre habrá una limitante en la cantidad total de energía disponible por tamaño, peso, y un costo razonable. Los consumidores sin embargo, cada vez exigen sistemas electrónicos portables con una mayor funcionalidad y un mejor desempeño. Por lo tanto, el incrementar la eficiencia en el manejo de la energía para los circuitos electrónicos portables sigue siendo el método más efectivo para prolongar la vida de la batería, por lo que resulta indispensable la optimización de circuitos dedicados al manejo de la energía como referencias y reguladores de voltaje para obtener mejores desempeños [7].

Debido a lo anterior, este trabajo de tesis se encuentra orientado a la implementación de una nueva metodología de optimización de reguladores de voltaje lineales, lo cual permita un mejor manejo de la energía disponible en las baterías (y demás fuentes de alimentación) al mismo tiempo que se obtiene un elevado desempeño de los mismos.

1.1. Antecedentes

Un gran número de enfoques orientados a resolver problemas con un espacio de búsqueda demasiado grande (como lo es el diseño analógico) han sido desarrollados durante los últimos años. A continuación se describen de forma breve los enfoques más relevantes en el ámbito del diseño de circuitos analógicos [3]:

- 1.- Enfoque basado en el conocimiento: Fue el primer enfoque en aparecer y es caracterizado por presentar un plan de diseño completo el cual describe como debe ser dimensionado cada uno de los componentes del circuito, de tal forma que se logre una solución al problema incluso cuando esta no sea una solución óptima [8]. Algunos ejemplos de herramientas EDA que basan su funcionamiento en este enfoque son IDAC [9] y OASYS [10]. Este método cuenta con la desventaja de la gran cantidad de trabajo que debe realizarse para definir un nuevo plan de diseño cuando se agregan nuevas topologías o incluso la migración a nuevas tecnologías de fabricación.
- 2.- Enfoque basado en optimización: A diferencia del enfoque basado en conocimiento, este enfoque utiliza un motor de optimización. El algoritmo de optimización realiza una búsqueda dentro del espacio de diseño modificando de forma iterativa los valores de cada una de las variables de diseño (dimensionamiento de los transistores, corrientes y voltajes de polarización, valores de capacitancias, resistencias, etc.) hasta satisfacer los objetivos y/o restricciones establecidos por el diseñador. Distintas metodologías pueden ser adoptadas por este enfoque

dependiendo de la forma en la que realizan la evaluación de cada una de las soluciones propuestas además de la técnica de optimización empleada. Algunas herramientas como OPASYN [11] y STAIC [12] basan su método de evaluación en ecuaciones las cuales modelan el comportamiento de los distintos elementos presentes en el circuito; esta metodología presenta la ventaja de requerir tiempos cortos de evaluación, sin embargo, dichas ecuaciones introducen errores debido al bajo nivel de precisión de los modelos, en especial en circuitos de gran complejidad. Por otro lado, herramientas como ANACONDA [13] y MAELS-TROM [14] utilizan algún método de simulación (como SPICE) para evaluar el desempeño de las soluciones. Esta metodología presenta las ventajas de evaluaciones precisas debido a la exactitud de los modelos que utilizan, además de que prácticamente todas las clases de circuitos pueden ser optimizadas con ajustes mínimos de la herramienta; sin embargo, este tipo de herramientas suelen tener un costo computacional muy elevado. La mayoría de estas herramientas utilizan como motor de optimización los llamados algoritmos evolutivos (AE), los cuales basan su funcionamiento en una mímica del proceso natural de evolución.

En los últimos años se ha observado que las herramientas basadas en técnicas de optimización presentan mejores resultados en el área del diseño de circuitos analógicos debido a sus características inherentes [15].

Del mismo modo, un gran número de técnicas orientadas a mejorar el desempeño de los reguladores de voltaje han sido reportadas en la literatura. Capacitores de salida con valores elevados (en el orden de μF) son capaces de reducir las variaciones en el voltaje de salida debidas a los cambios abruptos en la corriente de carga, además de que el ancho de banda puede ser extendido utilizando técnicas para incrementar la corriente de polarización del regulador conforme se incrementa la corriente de carga [16]; técnicas de cancelación de rizo han sido adoptadas con el objetivo de incrementar el PSR [17]. Sin embargo, los capacitores de salida con valores elevados ya no son una opción en los reguladores que forman parte de sistemas completamente integrados, por lo que tanto la respuesta transitoria como el PSR se ven degradados. No obstante, muchos reguladores LDO con valores de capacitancias reducidos en su nodo de salida han sido propuestos durante las últimas décadas [1, 18–26].

1.2. Justificación

Los altos niveles de ruido que provienen de los reguladores de voltaje conmutados y los circuitos digitales próximos a los bloques analógicos, degradan en gran medida el desempeño de los circuitos llamados de señal mixta. Los reguladores lineales son bloques capaces de suprimir el ruido mientras mantienen voltajes de salida estables. Estos bloques de diseño son los responsables de proporcionar energía a circuitos sensibles al ruido como los amplificadores de transimpedancia [27] o amplificadores de bajo ruido en sistemas de comunicación inalámbricas [28], además de las trayectorias críticas en los circuitos VLSI [29]. Debido a lo anterior, la demanda de reguladores de voltaje con respuestas transitorias aceleradas y alta capacidad de rechazo al ruido (PSR) se ha incrementado [30], dando origen a la necesidad de reguladores optimizados con un alto desempeño [7].

Por otro lado, el diseño de circuitos integrados analógicos continúa siendo una limitante en la industria de la nanoelectrónica, es por eso que la automatización del proceso de síntesis de dichos circuitos ha sido tema de investigación durante los últimos años. Aunque en la literatura se encuentran gran cantidad de enfoques orientados a atacar el problema del diseño analógico, no se ha desarrollado aún una metodología o herramienta dirigida al diseño y optimización de circuitos cuya principal función consista en el acondicionamiento y manejo de la energía, tales como los reguladores de voltaje.

Debido a lo anterior, se observó la necesidad de implementar una nueva metodología orientada a la optimización de reguladores de voltaje lineales con tecnologías CMOS.

1.3. Objetivos

A pesar de la gran importancia que tienen los bloques analógicos orientados al manejo y acondicionamiento de la energía, son muy pocas las herramientas dirigidas al diseño y optimización de tales circuitos. Es por eso que el objetivo general del presente trabajo consiste en establecer una nueva metodología de optimización para reguladores de voltaje lineales, la cual esta basada en la utilización de *algoritmos* *genéticos* (AG); dichos algoritmos permiten encontrar un conjunto de soluciones óptimas y factibles a partir de las cuales se puede seleccionar la mejor de ellas en cuanto a desempeño y robustés se refiere. Para lograr el objetivo general antes descrito, se plantearon los siguientes objetivos específicos:

- 1.- Realizar un análisis cualitativo del funcionamiento de los reguladores de voltaje lineales, de tal forma que se tenga un entendimiento completo de los mismos, con el objetivo de conocer cuales son las variables de diseño que más afectan su desempeño.
- 2.- Implementar un motor de optimización basado en el conocido algoritmo genético NSGA-II y el simulador de circuitos integrados HSPICE.
- 3.- Realizar un análisis de tolerancias cuyos principales objetivos consisten en la reducción del espacio de búsqueda y la propuesta de un cromosoma general capaz de ser utilizado en la optimización de reguladores de voltaje lineales sin importar su topología y/o características.
- 4.- Optimizar distintas topologías de reguladores de voltaje con la metodología desarrollada, y de esta forma realizar una comparación entre el enfoque de diseño tradicional y el propuesto en el presente trabajo.
- 5.- Implementar un análisis de tolerancias ante variaciones de proceso, voltaje y temperatura (PVT) al conjunto de soluciones encontradas mediante el algoritmo genético, con el objetivo de demostrar la factibilidad y robustez de dichas soluciones.

1.4. Organización de la Tesis

Esta tesis se encuentra dividida en siete capítulos. En el capítulo 2 se presentan los conceptos básicos relacionados con los reguladores de voltaje lineales, cómo son evaluadas sus métricas de desempeño y una breve comparación entre las distintas topologías reportadas en la literatura. Al final del capítulo se presenta un análisis general de su funcionamiento en el dominio de la frecuencia. En el capítulo 3 se introduce la teoría relacionada con la computación evolutiva y la optimización multi-objetivo. Además, se presentan las principales características y funcionaminto del algoritmo genético NSGA-II.

En el capítulo 4 se expone la implementación del motor de optimización basado en el algoritmo genético NSGA-II, es decir, sus parámetros de inicialización, operadores genéticos y la forma en que este es vinculado al simulador de circuitos HSPICE durante el proceso de optimización. Después en el mismo capítulo se incorpora un análisis de tolerancias con el cual se logra reducir los espacios de búsqueda del NSGA-II y proponer un cromosoma formado por un número reducido de variables de diseño, lo cual también contribuye a la reducción del espacio de búsqueda sin degradar el desempeño de las soluciones obtenidas.

Posteriormente en el capítulo 5 se presenta la optimización de tres topologías distintas de reguladores LDO utilizando el algoritmo NSGA-II y el cromosoma propuesto. Se presentan los frentes de Pareto resultantes de la optimización de dos objetivos y se realiza una comparación del dimensionamiento y desempeño de las soluciones óptimas encontradas y los resultados publicados para cada topología.

Más tarde en el capítulo 6 se presenta el desafío de someter a variaciones de proceso, voltaje y temperatura (PVT) las soluciones óptimas obtenidas en el capítulo anterior con el objetivo de demostrar su factibilidad y robustez ante las mismas.

Finalmente, en el capítulo 7 se presentan las conclusiones obtenidas durante el desarrollo de la tesis, así como también las futuras líneas de investigación derivadas de los resultados obtenidos.

Capítulo 2

Reguladores de Voltaje Lineales LDO

Tanto el suministro como el acondicionamiento de la energía forman parte de las funciones más fundamentales en un sistema eléctrico. Todo dispositivo electrónico ya sea un teléfono celular, computador portable, o cualquier otro, necesitan de energía para poder realizar sus funciones; sin embargo, esta fuente de energía debe cumplir con una serie de requisitos necesarios los cuales garanticen el correcto funcionamiento de los dispositivos electrónicos. Las fuentes de energía comúnmente utilizadas, como los generadores y baterías, entregan voltajes y/o corrientes los cuales presentan variaciones a lo largo del tiempo y bajo distintas condiciones de operación [2]. En consecuencia, estas fuentes presentan cambios en sus voltajes de salida debido a variaciones en la carga que controlan, añadiendo también señales de ruido donde sólo debería existir una componente de corriente directa (CD). El objetivo de los reguladores de voltaje es convertir estas fuentes impredecibles y ruidosas en fuentes estables, constantes, precisas e independientes de la carga y el entorno en el que se encuentran [16].

En el presente capítulo se definen las métricas de desempeño y los objetivos que deben cumplirse durante la etapa de diseño de los reguladores de voltaje lineales. Asimismo, se aborda el problema de estabilidad presente en los reguladores lineales y se presenta un modelo simple utilizado para la analizar su PSR.

2.1. Manejo y Acondicionamiento de Energía

La arquitectura típica de los sistemas electrónicos utiliza distintas fuentes de voltaje como elementos de regulación y comparación [18]. Estas fuentes de voltaje deben ser independientes de la corriente de carga, variaciones de proceso, voltaje y temperatura (PVT) [31]. Los reguladores de voltaje son circuitos que cumplen con estas características y pueden ser clasificados en base a distintos factores o parámetros como el tipo de compensación implementada, su principio de funcionamiento, entre otros.

2.1.1. Clasificación de reguladores de voltaje

Los reguladores de voltaje pueden ser clasificados básicamente en reguladores lineales o conmutados [32]. Los reguladores lineales basan su funcionamiento en el control de la corriente que fluye a través de un dispositivo de paso, el cual consiste en un transistor ya sea MOSFET o BJT, modulando su conductancia con la finalidad de mantener el voltaje de salida lo más insensible posible a variaciones en la carga. Como se puede observar en la figura 2.1a, el regulador utiliza un voltaje de referencia con la finalidad de poder entregar en su salida un voltaje estable y preciso; de igual forma utiliza una red de realimentación encargada de proporcionar estabilidad al circuito, además de ajustar el voltaje de salida del regulador a una fracción del voltaje de referencia. Sin embargo, debido a que este tipo de reguladores sólo pueden suministrar potencia a través de un dispositivo linealmente controlado, su voltaje de salida no puede exceder al voltaje de entrada además de presentar la desventaja de poseer un bajo nivel de eficiencia. Sin embargo, a pesar de sus limitados rangos de valores de salida y baja eficiencia (limitada por la relación V_{Out}/V_{In}), los reguladores lineales poseen la ventaja de ser circuitos relativamente simples y sencillos de diseñar. Por otra parte, los reguladores conmutados no dependen de un divisor de voltaje para generar la salida deseada. En este tipo de reguladores elementos capacitivos e inductivos son utilizados como bloques de almacenamiento de energía. El principio de funcionamiento básico de los reguladores conmutados consiste en cambiar de manera periódica el trayecto de la energía, de tal forma que dicha energía sea almacenada en primera instancia en capacitores e inductores y posteriormente sea entregada a la carga. El control de la red se realiza a través de un circuito que realimenta y amplifica una señal de error, la cual posteriormente es transformada en una señal de control cuya función principal es determinar los estados de encendido y apagado de los elementos de paso. A diferencia de los reguladores lineales, los reguladores conmutados son capaces de generar un amplio rango de voltajes de salida, incluyendo valores por debajo y por encima del voltaje de alimentación. En la figura 2.1b se observa el diagrama a bloques de un regulador conmutado.



Figura 2.1: Reguladores de voltaje básicos.

2.1.2. Comparación entre reguladores lineales y reguladores conmutados

Debido a su mayor simplicidad y menor cantidad de componentes, los reguladores lineales suelen ser más veloces, característica que se refleja en un menor retardo a través del lazo de realimentación, lo cual proporciona al regulador un mayor ancho de banda y por lo tanto una mejor respuesta transitoria. De igual forma, lo reguladors lineales presentan menores niveles de ruido en su salida debido a que los interruptores de potencia utilizados en reguladores conmutados cambian su estado (de encendido a apagado y viceversa) a frecuencias relativamente elevadas, lo cual provoca que se introduzca ruido en los elementos de almacenamiento de energía encargados de alimentar a los circuitos de carga. Sin embargo, los reguladores conmutados poseen la gran ventaja de presentar niveles de eficiencia mayores a su contraparte lineal. En la tabla 2.1 se muestran las principales características para ambos tipos de reguladores de voltaje, las cuales pueden ayudar a escoger la mejor opción para una aplicación en específico.

Regulador Lineal	Regulador Conmutado
Rango de salida limitado	Rango de salida amplio
$(V_{OUT} < V_{IN})$	$(V_{OUT} \le V_{IN} \circ V_{OUT} \ge V_{IN})$
Diseño sencillo	Diseño complejo
Bajo contenido de ruido	Alto contenido de ruido
Respuesta rápida	Respuesta lenta
Baja eficiencia	Alta eficiencia
$(\eta < V_{OUT}/V_{IN})$	$(\eta \approx 80 - 95\%)$
Adecuado en aplicaciones	Adecuado en aplicaciones
de baja potencia, bajo	de alta potencia y sist.
costo y bajo ruido	de alta eficiencia

Tabla 2.1: Comparación entre reguladores lineales y conmutados [2].

2.2. Reguladores de Voltaje Lineales

Entender el funcionamiento general de los reguladores lineales y la forma en la que son establecidas sus métricas de desempeño representan un aspecto fundamental durante su proceso de diseño y/u optimización.

2.2.1. Operación

En la figura 2.2 se pueden observar las tres regiones de operación de un regulador lineal: región de encendido o lineal, de caída de voltaje (*dropout*) y de apagado. Cuando el regulador se encuentra trabajando adecuadamente con una ganancia de lazo finita distinta de cero, se dice que se encuentra trabajando en la región lineal. A medida que el voltaje de entrada V_{In} comienza a disminuir y sobrepasa un valor de umbral, el elemento de paso entra a la región de triodo provocando que el voltaje de salida sea regulado con un error sistemático causado por la baja ganancia de lazo. Conforme el voltaje de entrada sigue disminuyendo, la ganancia de lazo del regulador también disminuye hasta ser prácticamente nula, por lo que se dice que el regulador entra en la región de dropout. En la región de dropout la diferencia entre los voltajes de entrada y de salida, V_{In} y V_{Out} respectivamente, es llamado voltaje de caída o de dropout (V_{DO}). Por otra parte, cuando el voltaje de entrada es demasiado pequeño para lograr que el elemento de paso funcione de forma adecuada, se dice que el regulador se encuentra apagado.


Figura 2.2: Curva característica del voltaje de salida contra el voltaje de entrada para un regulador lineal.

2.2.2. Métricas de desempeño

A continuación se presenta una breve descripción de las principales métricas de desempeño usadas en la caracterización y evaluación de los reguladores de voltaje lineales.

Regulación de Carga

La regulación de carga (LDR) es un parámetro que indica la capacidad del regulador para mantener un voltaje de salida estable ante variaciones en la carga, por lo que se puede considerar como la resistencia de salida del regulador y esta dada por:

$$LDR = \frac{\Delta V_{OUT}}{\Delta I_{OUT}} \tag{2.1}$$

Esta métrica puede ser mejorada incrementando la ganancia de lazo abierto (A_{OL}) del regulador, o bien disminuyendo su resistencia de salida equivalente. Otro factor que afecta en gran medida la regulación de carga son los errores sistemáticos presentes en el amplificador de error (AE), como por ejemplo el voltaje de *offset*. De igual manera, debe de considerarse el correcto dimensionamiento del dispositivo de paso.

Regulación de Línea

La regulación de línea (LNR) mide la capacidad del regulador de mantener un voltaje de salida constante ante variaciones del voltaje de entrada en CD y esta definida como:

$$LNR = \frac{\Delta V_{OUT}}{\Delta V_{IN}} \tag{2.2}$$

La regulación de línea también se ve afectada por variaciones en el voltaje de referencia y la ganancia del AE (A_{AE}) debido a las variaciones del voltaje de entrada. Al igual que sucede con la regulación de carga, la regulación de línea puede ser mejorada incrementando las dimensiones del elemento de paso y aumentando la ganancia de lazo (A_{CL}) del regulador. Sin embargo como se verá posteriormente, estos métodos incrementan los elementos parásitos afectando tanto la respuesta transitoria como la estabilidad del regulador.

Coeficiente Térmico

El coeficiente térmico (CT) de un regulador indica qué tanto se ve afectado su voltaje de salida con respecto a variaciones en la temperatura de operación del circuito. Los factores que más afectan esta métrica de desempeño son las variaciones debidas a cambios en la temperatura del voltaje de referencia y el voltaje de offset del AE; por consiguiente, un buen diseño de una referencia de voltaje es indispensable para el correcto funcionamiento del regulador.

$$TC = \frac{\Delta V_{Out}}{\Delta T} \tag{2.3}$$

Respuesta Transitoria

Debido a que los reguladores forman parte del módulo de alimentación en sistemas completos, estos se encuentran expuestos a cambios abruptos en la carga de manera constante. Como consecuencia, los reguladores experimentan cambios en su voltaje de salida, necesitando además una cierta cantidad de tiempo para que este se establezca de nuevo en su valor nominal (T_{settle}) . La respuesta transitoria de un regulador normalmente es asimétrica debido a que la capacidad del AE para cargar y descargar la entrada del dispositivo de paso también es asimétrica.

En el caso de los reguladores LDO, su tiempo de respuesta finito se debe a que tan-

to su ancho de banda como la capacidad de corriente del AE también lo son. En consecuencia, para mejorar la respuesta transitoria de un regulador lineal se puede incrementar la corriente de reposo del AE, sin embargo, de esta forma también se incrementa su consumo de potencia.

Precisión

La precisión total de un regulador lineal engloba todos los factores (internos y externos) que puedan influir en su voltaje de salida como: regulación de carga, regulación de línea, fluctuaciones en el voltaje de referencia, dependencia con la temperatura, así como también la respuesta transitoria del mismo [2].

$$Precision = \frac{\Delta V_{LDR} + \Delta V_{LNR} + \Delta v_{TR} + \Delta V_{CT} + \Delta v_{REF} \left(\frac{V_{Out}}{V_{REF}}\right)}{V_{Out}}$$
(2.4)

Rechazo a la Fuente de Alimentación

Una gran ventaja que presentan los reguladores lineales es su capacidad de rechazo al ruido presente en la fuente de alimentación, también llamado PSR (*Power-Supply Rejection*); este parámetro indica la habilidad del regulador para suprimir las componentes en corriente alterna (CA) presentes en el voltaje de alimentación a lo largo de todo el espectro de frecuencias. Esta característica hace que sean adecuados para utilizarlos como post-reguladores en una etapa posterior a los reguladores conmutados, los cuales cuentan con una eficiencia elevada, sin embargo presentan rizos en su voltaje de salida. El PSR es definido como:

$$PSR = \frac{\Delta v_{In}}{\Delta v_{Out}} \tag{2.5}$$

Eficiencia

Además del acondicionamiento de energía, los reguladores de voltaje también son utilizados como bloques de transferencia de energía entre la fuente de alimentación y la carga. La eficiencia de un regulador proporciona información acerca de la capacidad de éste para transferir energía, es decir, la razón entre la energía entregada a la carga y la energía suministrada por la fuente. Si se aume que la potencia disipada por el regulador es constante en todo tiempo, entonces la eficiencia está dada por [2]:

$$\eta \equiv \frac{P_{Out}}{P_{In}} = \frac{P_{Out}}{P_{Loss} + P_{Out}} < 100\%$$
(2.6)

donde P_{In} y P_{Out} representan la potencia de entrada y salida del regulador, respectivamente; por otro lado, P_{Loss} está definida como $V_{In}I_Q$ (donde I_Q representa la corriente del regulador en estado de reposo) y representa la potencia disipada por el elemento de paso, el AE y el lazo de realimentación. La potencia disipada por el dispositivo de paso es igual al producto de la caída de voltaje en él y la corriente de carga. De manera similar, la potencia disipada por el lazo de control es igual al producto de la corriente de reposo que requiere el lazo para funcionar y el voltaje a través de sus rieles de alimentación. Como resultado, la eficiencia del regulador puede ser calculada de la siguiente forma

$$\eta = \frac{V_{Out}I_L}{V_{Out}I_L + (V_{In} - V_{Out})I_L + V_I I_Q} = \frac{V_{Out}I_L}{V_{In}(I_L + I_Q)}$$
(2.7)

Donde si se define a la eficiencia en corriente (η_I) como la razón entre la corriente de carga y la corriente suministrada por la fuente de alimentación

$$\eta_I \approx \frac{I_{LOAD}}{I_{IN}} = \frac{I_{LOAD}}{I_{LAOD} + I_Q} \tag{2.8}$$

se obtiene que la ecuación (2.7) puede ser reescrita como

$$\eta \approx \frac{V_{OUT}}{V_{IN}} \eta_I \tag{2.9}$$

De la ecuación (2.8) se puede concluir que para optimizar la eficiencia en un regulador lineal, se debe mantener la corriente del lazo de control lo suficientemente pequeña en comparación con la corriente de carga.

2.2.3. Clasificación

Los reguladores lineales pueden ser clasificados en base a diferentes parámetros o incluso distintas topologías usadas durante el proceso de diseño. A continuación se presenta una breve descripción de las tres principales categorías en las que se clasifica a los reguladores lineales [2].

Potencia

Cuando de potencia se trata, los reguladores lineales pueden ser clasificados como reguladores de baja y de alta potencia. Los reguladores lineales de baja potencia son aquellos cuya corriente de salida se encuentra por debajo de 1A, la cual es suficiente para la mayoría de los dispositivos portables; por otra parte, los reguladores de alta potencia son capaces de suministrar corrientes mayores a 1A. No obstante, cuando se trata de aplicaciones donde se requiere una potencia elevada, los reguladores conmutados son una mejor opción debido a su alta eficiencia.

Tipo de Compensación

Una clasificación de los reguladores lineales que depende directamente de la arquitectura utilizada son las estructuras de compensación externa e interna. Se dice que un regulador es compensado de forma externa cuando el capacitor de compensación utilizado para estabilizar el lazo de realimentación negativa es conectado a través de dos terminales externas del circuito integrado. Por otra parte, cuando dicho capacitor es conectado a través de nodos internos se dice que el regulador es compensado internamente. Algunos de los beneficios de utilizar compensación externa en reguladores lineales se enlistan a continuación:

- Para los reguladores compensados externamente, el capacitor de salida determina la posición del polo dominante a bajas frecuencias, lo cual simplifica en gran medida el diseño de dicho regulador.
- 2.- El capacitor de salida actúa como un depósito de energía encargado de suministrar (o absorber) de forma temporal corriente durante cambios abruptos en la carga, mejorando de esta manera la respuesta transitoria del regulador.
- 3.- El capacitor de salida mejora el PSR del regulador. Como se verá posteriormente, a frecuencias elevadas la impedancia de salida del elemento de paso y el capacitor de salida forman un filtro pasabajas encargo de suprimir el ruido en altas frecuencias proveniente de la fuente de alimentación.

Voltaje de Dropout

Los reguladores lineales también son clasificados en base a su caída de voltaje mínima a través del circuito, la cual fue definida anteriormente como voltaje de dropout V_{DO} . Debido a lo anterior, los reguladores de voltaje pueden ser clasificados como reguladores de baja caída (LDO, *Low-Dropout*) o de alta caída (HDO, *High-Dropout*). El voltaje de dropout suele ser una métrica muy importante debido a que el consumo de potencia y la eficiencia del regulador dependen en gran medida de él.



Figura 2.3: Reguladores lineales (a)LDO y (b)HDO.

En la figura 2.3 se muestran dos topologías distintas de reguladores lineales. En la figura 2.3a se utiliza como elemento de paso un transistor PMOS conectado en configuración de fuente común. Si el transistor se encuentra operando en la región de saturación, el voltaje V_{DO} mínimo es aproximadamente un voltaje de saturación del transistor PMOS. Por otra parte, la configuración de la figura 2.3b utiliza como elemento de paso un transistor NMOS conectado en configuración de drenaje común, por lo que el voltaje mínimo V_{DO} en este caso es $V_{GS} = V_{TH} + V_{DS,sat}$. Debido a que la potencia disipada por el regulador es directamente proporcional al voltaje V_{DO} , resulta fácil observar que los reguladores HDO son menos eficientes que los LDO. No obstante, los reguladores HDO mantienen una serie de ventajas frente a los LDO:

- 1.- Estabilidad: Los elementos de paso NMOS conectados como seguidores de fuente son un buen *buffer* cuando se trata de manejar cargas capacitivas. Además, la impedancia de salida del elemento de paso en un regulador HDO es aproximadamente $1/g_m$ en lugar de r_o como en el caso de los LDO, valor que desplaza al polo de salida a frecuencias elevadas.
- 2.- Área: Los elementos de paso NMOS requieren de una menor área de silicio, debido a que los transistores NMOS presentan una mayor movilidad en comparación con los PMOS.

- 3.- PSR: Los reguladores HDO generalmente tienen un mejor PSR debido a que los transistores NMOS conectados como drenaje común actúan como un dispositivo cascode para el nodo de salida.
- 4.- Respuesta transitoria: Los reguladores HDO por lo regular tienen una mejor respuesta transitoria debido a su inherente baja impedancia.

2.3. Análisis en Frecuencia de Reguladores LDO

Cualquier circuito lineal que tome como entrada una señal que contenga fluctuaciones sistemáticas de corriente alterna debe ser análizado en el dominio de la frecuencia, es decir, los circuitos lineales tienen un ancho de banda limitado (BW, *Band-Width*) dentro del cual la señal puede ser procesada. Para que un regulador lineal pueda mantener su voltaje de salida en un valor estable ante variaciones de CD y CA en su carga y voltaje de entrada, utiliza realimentación negativa, como se mostró en la figura 2.1a. El control de la conductividad del elemento de paso determina la corriente suministrada a la carga, por lo que la estabilidad del lazo de control debe garantizarse bajo todas las condiciones de línea y de carga determinadas por la aplicación donde será utilizado dicho regulador. Cuando el corrimiento de fase en la respuesta en frecuencia del regulador alcanza los 180°, la ganancia de lazo (A_{CL}) debe ser menor a la unidad (0dB); de la misma forma, cuando la ganancia de lazo es igual a la unidad, el corrimiento de fase debe ser menor a los 180° para poder tener un margen de fase apropiado.

Cuando se tiene una realimentación negativa, lo ideal sería que A_{CL} sea infinita, en nuestro caso, ésto implicaría tener un amplificador de error con ganancia infinita por ejemplo. Sin embargo, para conseguir ganancias elevadas en el AE es necesario utilizar corrientes de polarización elevadas, situación que mejora el PSR pero incrementa el consumo de potencia, factor de gran importancia en dispositivos portables. Por lo tanto, al restringir la corriente de reposo del regulador se restringe también su ganancia de lazo y su ancho de banda, degradando a su vez su regulación del línea y de carga.

2.3.1. Respuesta en frecuencia

Un regulador lineal contiene al menos dos polos en su lazo de realimentación; uno de ellos asociado al nodo de salida del AE y el otro de ellos asociado al nodo de salida del regulador mismo. Debido a que el elemento de paso es dimensionado de una forma tal que sea capaz de controlar la corriente demandada por la carga, en muchas ocasiones ambos polos se encuentran muy cercanos entre ellos, convirtiendo al lazo de realimentación inestable.

Un método popular para compensar un regulador LDO consiste en introducir un cero dentro del lazo de realimentación, lo cual se logra conectando un capacitor de valor elevado en el nodo de salida (C_O). Por lo general, C_O tiene una resistencia en serie asociada (R_{ESR}) de valores muy pequeños.

En la figura 2.4 se muestra el modelo de pequeña señal del regulador lineal de la figura 2.3 autilizado para aproximar su respuesta en el dominio de la frecuencia.



Figura 2.4: Modelo de pequeña señal de un regulador lineal.

Debido a que para este análisis se considera que el voltaje de entrada es puramente de CD, en la figura 2.4 se incluye un capacitor C'_O resultado de la conexión en paralelo de la capacitancia equivalente en la compuerta del elemento de paso (C_P) y la capacitancia de carga conectada a la salida del regulador (C_L) . También se incluye un resistor R'_O resultado de la conexión en paralelo de la resistencia de canal del elemento de paso (R_P) y la resistencia de carga (R_L) . Por otro lado, los elementos R_{OA} y C_{OA} representan la resistencia y capacitancia equivalentes en la salida del AE, respectivamente.

Ganancia de Lazo

La ganancia de lazo (A_{CL}) se refiere a la ganancia a través del lazo de realimentación cuando este se encuentra abierto en algún punto, y esta definida como: $A_{OL}\beta + 1$. La expresión anterior se puede simplificar a $A_{OL}\beta$ si se asume que dicho producto es mucho mayor a la unidad. De la figura 2.4 se observa que $A_{OL} = v_{out}/v_e$ y $\beta = v_{fb}/v_{out}$, así, lo cual nos permite definir la ganancia A_{CL} como:

$$A_{CL} \equiv A_{OL}\beta = \frac{v_{fb}}{v_e} = \frac{v_{fb}}{v_{ref} - v_{fb}}$$
(2.10)

De la misma figura podemos encontrar que

$$v_{fb} = v_{out} \left(\frac{R_{FB2}}{R_{FB1} + R_{FB2}}\right) \tag{2.11}$$

$$v_{out} = g_P Z'_O g_{AE} Z_{AE} (v_{ref} - v_{fb})$$
(2.12)

De esta forma, manipulando algebraicamente las ecuaciones (2.11) y (2.12), y sustituyendo en (2.10) se obtiene la ganancia de lazo

$$A_{CL} \equiv g_P Z'_O g_{AE} Z_{AE} \left(\frac{R_{FB2}}{R_{FB1} + R_{FB2}}\right)$$
(2.13)

Analizando la figura 2.4, el valor de la impedancia equivalente en el nodo de salida está dada por

$$Z'_{O} = (R_{FB1} + R_{FB2}) || (R_{ESR} + 1/sC_{O}) || R'_{O} || 1/sC'_{O}$$
(2.14)

Realizando manipulaciones algebraicas en la ecuación anterior es posible encontrar el valor de Z'_O y su dependencia con la frecuencia

$$Z'_{O} = \frac{R''_{O}(sC_{O}R_{ESR} + 1)}{[1 + s(C_{O} + C'_{O})R''_{O}][1 + sC'_{O}R_{ESR}]}$$
(2.15)

donde R''_O esta dada por $R'_O||(R_{FB1} + R_{FB2})$. De la misma forma, la impedancia Z_{AE} está dada por la siguiente ecuación

$$Z_{AE} = R_{OA} || \frac{1}{sC_{OA}} = \frac{R_{OA}}{sC_{OA}R_{OA} + 1}$$
(2.16)

Si sustituimos las ecuaciones (2.15) y (2.16) en la ecuación (2.13) se obtiene la

ganancia de lazo en todo el rango de frecuencias.

$$A_{CL} = \frac{g_P g_{AE} R_O'' R_{OA} (s C_O R_{ESR} + 1)}{[1 + s(C_O + C_O') R_O''] [1 + s C_O' R_{ESR}] [s C_{OA} R_{OA} + 1]} \left(\frac{R_{FB2}}{R_{FB1} + R_{FB2}}\right) \quad (2.17)$$

Como se puede observar en la ecuación (2.17), la ganancia de lazo cuenta con 3 polos y un cero. El cero se crea a partir de la resistencia equivalente en serie relacionada con el capacitor de salida, y su posición está dada por

$$z_{ESR} = \frac{1}{2\pi R_{ESR} C_O} \tag{2.18}$$

De igual forma, la posición de los tres polos están dadas por

$$p_{AE} = \frac{1}{2\pi R_{OA} C_{OA}} \tag{2.19}$$

$$p_O = \frac{1}{2\pi R_O''(C_O + C_O')} \tag{2.20}$$

$$p'_{O} = \frac{1}{2\pi R_{ESR} C'_{O}}$$
(2.21)

Como se mencionó anteriormente, un regulador de voltaje lineal siempre tiene asociados por lo menos dos polos en su respuesta en frecuencia, uno debido a la impedancia presente en el nodo de salida del amplificador de error p_{AE} , y otro asociado al nodo de salida del regulador mismo p_O . Sin embargo, en esta ocasión se incluyo un tercer polo, p'_O , debido al capacitor de carga C_L .

En la figura 2.5 se muestra el diagrama de Bode para la ganancia de lazo del regulador lineal de la figura 2.3a. Como se puede observar, los polos pertenecientes al nodo de salida del AE (p_{AE}) y al nodo de salida del regulador (p_O) pueden intercambiar posiciones debido a su alta dependencia con la topología de diseño. A primera instancia se observa que la existencia del cero contribuye a mejorar la fase del sistema, sin embargo, en la práctica la posición de este cero suele ser impredecible. Otra alternativa consiste en agregar una resistencia (de valor conocido) en serie al capacitor de salida y así tener conocimiento sobre la posición del cero, sin embargo, esto degrada tanto la respuesta transitoria como el PSR del regulador.



Figura 2.5: Respuesta en frecuencia de un regulador lineal sin compensación.

Compensación externa

Por lo general, cuando se utiliza compensación externa se fija como polo dominante a p_O utilizando valores de C_O elevados y transistores PMOS como elementos de paso. En la mayoría de las aplicaciones la resistencia de salida del elemento de paso es menor a los resistores R_{FB1} , R_{FB2} y R_L , por lo que la posición del polo p_O esta dada por

$$p_O \approx \frac{1}{2\pi r_{ds}(C_O + C'_O + C_L + C_P)} \approx \frac{I_L}{2\pi (C_O + C'_O + C_L + C_P)}$$
 (2.22)

Como se puede observar en la ecuación anterior, la posición del polo es directamente proporcional a la corriente de carga I_L , cuyo valor fluctúa desde unos cuantos μA hasta varias decenas de mA. Una respuesta en frecuencia tan variable presenta varios desafíos durante la etapa de diseño.

Compensación interna

A diferencia de los reguladores compensados externamente, cuando un regulador es compensado de forma interna su polo dominante a bajas frecuencias se encuentra dentro del lazo de realimentación. Para mantener el polo relacionado al nodo de salida en frecuencias elevadas, es necesario utilizar capacitores de salida con valores bajos. Otra alternativa para implementar una compensación interna es utilizar un esquema de compensación *Miller* con el objetivo de introducir un polo dominante en un nodo interno (por ejemplo p_{AE}) al mismo tiempo que se desplaza el polo p_O a frecuencias elevadas. En ambos casos el producto ganancia-ancho de banda (GBW) es independiente de la corriente de carga, sin embargo, con ambos esquemas de compensación el polo de salida depende de la resistencia equivalente del elemento de paso, la cual es directamente proporcional a la corriente de carga, por lo que de nuevo p_O , z_{ESR} y p'_O pueden localizarse dentro de un gran rango de valores al igual que en el caso de los reguladores compensados externamente. De forma análoga a lo que sucede en los reguladores compensados de manera externa, los reguladores compensados internamente presentan desafíos durante la etapa de diseño debido a que el valor de C_O debe ser bajo, por lo que la respuesta transitoria del regulador se ve degradada.

2.3.2. Rechazo a la fuente de alimentación (PSR)

El PSR (*Power Supply Rejection*) o rechazo a la fuente de alimentación, se refiere a la habilidad que posee el regulador de oponerse a los efectos de las fluctuaciones de pequeña señal presentes en la señal de entrada.

Modelo para calcular el PSR en reguladores lineales

En su forma más simple, la función de transferencia obtenida del análisis del PSR puede ser vista como el efecto de un divisor de voltaje provocado por una impedancia colocada entre v_{in} y v_{out} y otra impedancia colocada entre v_{out} y la terminal común [1]. Este modelo intuitivo se muestra en la figura 2.6, el cual consiste en la impedancia equivalente del dispositivo de paso (Z_P) , y una conexión en paralelo de la impedancia de salida en lazo abierto (Z_O) y la impedancia equivalente debida al lazo de realimentación (Z_{FB}) . Las impedancias Z_P y Z_O son definidas por las siguientes ecuaciones:

$$Z_P = R_P || \frac{1}{sC_P} \tag{2.23}$$

$$Z_O = (R_{FB1} + R_{FB2}) || (R_{ESR} + 1/sC_O) || C'_O || R_L$$
(2.24)

Por otra parte, la transconductancia del dispositivo de paso g_P puede afectar



Figura 2.6: (a) Diagrama a bloques de un regulador lineal (b) y el modelo de pequeña señal utilizado para calcular PSR [1].

el PSR de un regulador de dos formas distintas. La primera de ellas es debido a que la transconductancia g_P es el medio por el cual puede transmitirse el ruido de la fuente de alimentación que afecta al AE, es por eso que debe seleccionarse una topología adecuada de dicho amplificador dependiendo del dispositivo de paso que se este utilizando. La otra forma en que g_P afecta el desempeño del PSR es mediante la impedancia que establece la realimentación negativa cuando toma una muestra del voltaje de salida. Debido a lo anterior, podemos definir Z_{FB} como v_{Out}/i_{GP} , por lo que:

$$Z_{FB} \equiv \frac{v_O}{i_{GP}} = \frac{v_{out}}{v_{out}\beta A_{AE}g_P} = \frac{Z_P||Z_O}{\beta A_{AE}g_P(Z_P||Z_O)} = \frac{Z_P||Z_O}{\beta A_{OL}}$$
(2.25)

La función del dispositivo de paso en el modelo de la figura 2.6b es acoplar la menor cantidad de ruido posible proveniente del voltaje de entrada a la señal de salida, mientras que la impedancia Z_{FB} tiene como objetivo principal proporcionar una trayectoria alterna para los rizos presentes en el voltaje de entrada. Mediante el modelo representado en la figura 2.6 es posible obtener una ecuación que modele el comportamiento del PSR en un amplio rango de frecuencias.

$$A_{IN} \equiv \frac{1}{PSR} = \frac{v_{out}}{v_{in}} = \frac{Z_O || Z_{FB}}{Z_P + (Z_O || Z_{FB})}$$
(2.26)

Por lo que es de gran importancia en el análisis del PSR determinar como varían dichas impedancias conforme aumenta la frecuencia.

En la figura 6.9 se muestra la curva característica obtenida de la medición del

PSR de un regulador lineal compensado de forma externa, en donde las posiciones de z_1 y p_1 se encuentran son definidas por el ancho de banda y la frecuencia de ganancia unitaria del AE, respectivamente. De la misma forma, las posiciones de z_2 y p_2 están dadas por las ecuaciones (2.18) y (2.20).



Figura 2.7: PSR de un regulador LDO compensado externamente.

Finalmente, en la tabla 2.2 se muestra una comparación entra las distintas técnicas de compensación.

Tabla 2.2: Comparación entre las distintas estrategias de compensación [2].

	Compensación Externa	Compensación Interna
Polo Dominante	Polo de salida p_O	Polo del AE p_{AE}
Valor de C_O	Elevado	Bajo
Integración de C_O	Externo al CI	Dentro del CI
Respuesta transitoria	Menores sobrepicos	Mayores sobrepicos
Requerimientos de estabilidad	bajo p_O y p_{EA} elevado	bajo p_{EA} y p_O elevado
Peor caso de estabilidad	p_O elevado, bajo p_{EA}	p_{EA} elevado, bajo p_O
	y no R_{ESR}	y no R_{ESR}
Aplicación típica	Alta potencia	Baja potencia

Capítulo 3 Optimización Multi-Objetivo con Algoritmos Genéticos

El proceso de optimización posee diversas aplicaciones las cuales pertenecen a distintas ramas del conocimiento. Su objetivo principal es encontrar las mejores soluciones a problemas reales. En optimización existen formulaciones de problemas distintas: la mono-objetivo y la multi-objetivo. Con el objetivo de resolver cualquiera de estos tipos de problemas, se han desarrollado una gran cantidad de técnicas de programación matemática, las cuales requieren de información adicional sobre el problema.

Una alternativa para resolver problemas de optimización son las heurísticas, las cuales son capaces de obtener soluciones razonables a un costo computacional también razonable, pero sin garantizar la factibilidad u optimalidad de las mismas.

Una clase de algoritmos que pertenecen a las heurísticas son aquellos que forman parte de la computación evolutiva. Durante el presente capítulo se introducen los conceptos fundamentales relacionados a este enfoque de optimización. Posteriormente, se estudian las principales técnicas de programación que forman parte de la llamada computación evolutiva y se presenta la teoría básica relacionada a la optimización multi-objetivo. Por último al final del capítulo se describe el algoritmo genético NSGA-II y su uso dentro de aplicaciones multi-objetivo.

3.1. Computación Evolutiva

Un intento por modelar mecanismos naturales para la solución de problemas dió origen a lo que se conoce como Computación Evolutiva [33] [34]. Este campo de investigación esta conformado por algoritmos que utilizan como metáforas conceptos observados en la evolución natural. Este tipo de algoritmos, llamados Algoritmos Evolutivos (AE), han encontrado su principal aplicación en problemas de gran complejidad donde los métodos clásicos no pueden ser aplicados de una manera eficiente [35]. Un claro ejemplo de lo anterior son los problemas de optimización, donde la principal tarea de los AE consiste en muestrear de una forma eficiente un espacio de búsqueda (Ω) de grandes dimensiones con el objetivo de encontrar soluciones que satisfagan los objetivos y restricciones impuestos a dicho problema.

Dado un problema de búsqueda, una adecuada representación debe ser seleccionada para codificar las posibles soluciones. Posteriormente, un número N de soluciones posibles (también llamadas individuos) es generada de forma aleatoria. Posteriormente, estos individuos son sometidos a dos procesos básicos: evaluación y operadores genéticos. Durante el proceso de evaluación a cada individuo se le asigna un valor que indica la aptitud del mismo para satisfacer las necesidades del problema. Una vez que cada individuo ha sido evaluado, es sometido a los operadores genéticos de selección, cruza y mutación, los cuales están inspirados en procesos naturales. Después de haber aplicado dichos operadores genéticos surge una nueva población, la cual constituye la siguiente generación de individuos. Por último, esta nueva generación es evaluada y sometida a los operadores genéticos, y el proceso continúa hasta alcanzar un criterio de paro. Dicho criterio de paro puede consistir en un número máximo de generaciones o el logro de algún resultado en específico. En el algoritmo 1 se muestra el pseudocódigo general de un AE.

Algoritmo 1 Algoritmo Evolutivo

- 1: Generar población inicial de individuos de forma aleatoria
- 2: Evaluar la aptitud de cada individuo
- 3: repetir
- 4: Selección de padres
- 5: Cruza de pares de padres
- 6: Mutación de los hijos resultantes
- 7: Evaluación de los nuevos individuos
- 8: Selección de individuos que formarán la siguiente generación
- 9: hasta que Se cumpla condición de paro

3.1.1. Representación

El primer paso en la implementación de un AE consiste en crear un vínculo entre el contexto del problema original y el espacio de búsqueda de dicho algoritmo [36]. Los objetos que conforman las posibles soluciones dentro del contexto del problema son llamados fenotipos, mientras que su codificación, es decir, los individuos dentro del algoritmo evolutivo, son llamados genotipos. La primer tarea de diseño es la representación, la cual se refiere a la forma en la que las posibles soluciones (individuos) son codificadas en una estructura de datos llamada cromosoma (ver figura 3.1). Las representaciones utilizadas con mayor frecuencia son:

- **1**.- Cadenas binarias.
- 2.- Vectores de números enteros o reales.
- **3**.- Representaciones de estados finitos.
- 4.- Árboles.



Figura 3.1: Ejemplo de cromosoma.

3.1.2. Evaluación

El proceso de evaluación es el encargado de asignar un valor de aptitud a cada individuo muestreado por el AE. En la naturaleza, la aptitud de un individuo nos indica que tan adaptado se encuentra a cierto ambiente [33]. De manera similar en el caso de los AE, la aptitud proporciona una medida de que tan bien se desempeña cierto individuo (solución) con respecto a un problema en particular. En problemas en los que se busca satisfacer un solo objetivo, la determinación de la aptitud suele ser un proceso sencillo; sin embargo, cuando se busca satisfacer una mayor cantidad de objetivos, la evaluación de los individuos puede llegar a ser una tarea compleja. A menudo, el problema a resolver se trata de un problema de optimización. En este caso, se usa el nombre de función objetivo.

3.1.3. Operadores Genéticos

Existen tres mecanismos naturales en los cuales los AE basan su funcionamiento: selección, cruza y mutación. Estos mecanismos constituyen el núcleo de los AE y son llamados operadores genéticos.

Selección

Existen dos procesos de selección distintos: selección de padres y selección de supervivencia. La selección de padres consiste en distinguir individuos basándose en su aptitud, para permitir que dichos individuos se conviertan en padres de la siguiente generación. Aunque el objetivo de la selección de supervivencia también consiste en la selección de individuos tomando en cuenta sus aptitudes, este tipo se selección es utilizada en una etapa diferente del algoritmo. La selección para la supervivencia es llevada a cabo después de haber creado a los hijos de los padres seleccionados. Por lo general, el tamaño de la población en los AE es constante, por lo que se deben de seleccionar a los individuos que formarán parte de la siguiente generación. Mientras que la selección de padres suele ser un proceso estocástico, la selección por supervivencia a menudo es un proceso determinístico. Ambos mecanismos son responsables de mejorar la calidad de las soluciones en generaciones futuras.

Se pueden encontrar en la literatura distintas implementaciones para este operador como: selección proporcional, selección por torneo y selección por rango.

Cruza

Este operador está basado en el proceso de recombinación de material genético entre individuos. El operador de cruza es aplicado de manera probabilística a un nicho de individuos seleccionados. Dos individuos de este nicho son seleccionados ade forma aleatoria, y de acuerdo a una probabilidad predefinida, su material genético es combinado o no. Si la recombinación se lleva a cabo, nuevos individuos con el material genético de ambos padres son producidos; de otra manera, los padres con material genético no alterado avanzan al siguiente paso del proceso de reproducción.

La probabilidad a la cual los dos individuos recombinarán sus materiales genéticos es llamada razón de cruza. Esta razón normalmente se mantiene en niveles por encima del 60%.

Existen distintas formas en las cuales dos individuos pueden recombinar su material genético. Particularmente, la literatura reporta tres métodos estandar de recombinación: de un punto, dos puntos y uniforme. En la figura 3.2 se observa un ejemplo de recombinación a un sólo punto.



Figura 3.2: Ejemplo de cruza a un punto.

Mutación

El operador de mutación es el encargado de proveer al AE un método de exploración, ya que lo induce a muestrear nuevos puntos en el espacio de búsqueda. En muchas ocasiones el operador de cruza es limitado en el aspecto de que después de algunas generaciones su capacidad de generar nuevos individuos se ve degradada. Por lo tanto, el operador de mutación es esencial para mantener la diversidad y renovar el material genético. El operador de mutación siempre es estocástico. En la figura 3.3 se observa un ejemplo gráfico del operador de mutación.

La razón a la cual el operador de mutación es aplicado por lo general mantiene valores bajos. El desempeño del algoritmo evolutivo es muy sensitivo al valor de dicho operador, pero el valor óptimo de este depende fuertemente del problema que se ataca. Si la razón de mutación es demasiado baja, el desempeño del AE se ve degradado; por otra parte, si es demasiado alta, el proceso evolutivo tiende a convertirse en una búsqueda aleatoria. Aunque como se mencionó anteriormente la razón de mutación es dependiente del problema, un valor entre el 1 % y el 5 % es normalmente utilizado.



Figura 3.3: Ejemplo de mutación.

3.2. Algoritmos Evolutivos

En los años 60 surgieron dos paradigmas evolutivos bien definidos: Programación Evolutiva [37] [38] y Estrategias Evolutivas [39]. Estas técnicas fueron seguidas por los Algoritmos Genéticos [40] [41] y la Programación Genética [42]. A continuación se presenta una breve descripción de los primeros tres paradigmas de programación mencionados anteriormente.

3.2.1. Programación Evolutiva

Sus orígenes provienen de la investigación de Lawrence J. Fogel [37] orientada al uso de evolución simulada para desarrollar inteligencia artificial. La Programación Evolutiva (PE) enfatiza el desarrollo de modelos comportamentales y no modelos genéticos.

En este paradigma de programación sólo se aplican dos operadores genéticos: selección y mutación. Mientras que la mutación es la única fuente de diversidad en el algoritmo, la principal función de la selección consiste en escoger a los individuos más aptos para la sobrevivencia. En el algoritmo 2 se muestra el pseudocódigo de la PE.

3.2.2. Estrategias Evolutivas

Las Estrategias Evolutivas (EE) fueron desarrolladas por Rechenberg y Schwefel [39]. Estas trabajan con una abstracción a nivel individuo, por lo que puede utilizarse el operador de cruza ya sea con uno o dos padres. A pesar del uso de la cruza, la mutación continúa siendo el operador genético principal y es aplicada por medio de distribuciones probabilísticas. Se dice que las EE son un algoritmo auto-adaptativo debido a que su razón de mutación varía con el tiempo. Por otra parte, su proceso de

Algoritmo 2	Programación	Evolutiva
-------------	--------------	-----------

- 1: Generar población inicial de individuos de forma aleatoria
- 2: Evaluar la aptitud de cada individuo
- 3: repetir
- 4: para todo Individuo en la población hacer
- 5: Generar un hijo aplicando mutación
- 6: Evaluar la aptitud del hijo creado
- 7: Agregar el hijo al conjunto de individuos
- 8:
- 9: Selección de individuos que formarán la siguiente generación
- 10: hasta que Se cumpla condición de paro

selección es completamente determinística.

La versión original llamada (1+1) - EE no contempla el concepto de población, sino que existe un solo padre y a partir de él se genera un nuevo individuo mediante la expresión

$$x^{t+1} = x^t + N(0,\sigma) \tag{3.1}$$

dondo t se refiere a la generación y $N(0, \sigma)$ es un vector aleatorio con una distribución normal con media igual a cero y desviación estándar σ . Si el hijo es mejor o igual al padre se mantiene, de lo contrario el padre pasa a la siguiente generación.

Posteriormente, Rechenberg introdujo el concepto de población a las EE, y propuso la llamada $(\mu + 1) - EE$, en la cual hay μ padres que generan un solo hijo, el cual a su vez puede reemplazar al peor padre de la generación. Schwefel introdujo después el uso de múltiples hijos en las llamadas $(\mu + \lambda) - EE$ y $(\mu, \lambda) - EE$. En el primer caso, durante el proceso de selección se considera tanto a los padres como a los hijos; en el segundo caso sólo se toman en cuenta a los hijos. En el algoritmo 3 se muestra el pseudocódigo para las EE.

Algoritmo 3 Estrategias Evolutivas

- 1: Generar población inicial de individuos de forma aleatoria
- 2: Evaluar la aptitud de cada individuo
- 3: repetir
- 4: Generar un hijo aplicando mutación a cada individuo
- 5: Aplicar operador de cruza
- 6: Evaluar la aptitud de cada hijo creado
- 7: Selección de individuos que formarán la siguiente generación
- 8: hasta que Se cumpla condición de paro

3.2.3. Algoritmos Genéticos

Fueron desarrollados por John Holland [40]. Los Algoritmos Genéticos (AG) se han convertido en el AE de mayor popularidad debido a su éxito en aplicaciones de optimización y búsqueda. En contraste con otras técnicas de optimización, los AG no utilizan información adicional (por ejemplo el gradiente) acerca del espacio de búsqueda.

Los AG heredan algunas características básicas de los AE descritos anteriormente: la noción del muestreo de una población de soluciones, el uso de los operadores genéticos de mutación y cruza, así como también la naturaleza probabilística de dichos operadores. Sin embargo, dos nuevas características fueron incorporadas a ellos:

- La selección de individuos para crear una nueva población ahora es probabilística en lugar de ser determinística.
- 2.- Cada solución es representada como una cadena binaria.

Aunque los primeros AG empleaban representación binaria, un creciente número de aplicaciones que utilizan representación mediante números enteros o reales han sido reportadas. Dependiendo del problema se puede definir un cromosoma como una colección de genes, donde cada gen está constituido por una o más posiciones del cromosoma.

Los AG son algoritmos de búsqueda altamente no-lineales, lo cual vuelve una tarea muy difícil la predicción de su comportamiento cuando se varían sus parámetros. En el algoritmo 4 se muestra el pseudocódigo para los AG.

Algoritmo 4 Algoritmos Genéticos

- 1: Generar población inicial de individuos de forma aleatoria
- 2: Evaluar la aptitud de cada individuo
- 3: repetir
- 4: Realizar la selección de los padres
- 5: Aplicar operador de cruza
- 6: Aplicar operador de mutación
- 7: Evaluar la aptitud de cada hijo creado
- 8: Selección de individuos que formarán la siguiente generación
- 9: hasta que Se cumpla condición de paro

3.3. Optimización Multi-Objetivo

Es muy poco común encontrar problemas compuestos por un sólo objetivo cuando se trata de aplicaciones del mundo real en el ámbito de la industria. Generalmente, múltiples objetivos (a menudo en conflicto) surgen de manera natural en la mayoría de los problemas de optimización prácticos.

Cuando se habla de la optimización de un problema nos referimos al proceso de búsqueda de un conjunto de variables de decisión, las cuales satisfacen restricciones mientras de manera simultánea optimizan un vector función [43]. Los elementos de dicho vector representan las funciones objetivo del problema. Este vector de optimización conduce a soluciones no únicas del problema. Para la explicación de los siguientes conceptos relacionados con la optimización multi-objetivo, y por lo que resta del presente trabajo, se considerará la minimización de dos objetivos igualmente importantes, donde no se encuentra disponible información adicional acerca del problema.

3.3.1. Definición del Problema

Los AE normalmente son aplicados en la solución de problemas de optimización, los cuales pueden ser expresados de forma matemática mediante la siguiente ecuación [44]:

Optimizar
$$F(\vec{x})$$

Sujeto a: $\Omega = \{\vec{x} \in \Re^n | G(\vec{x}) \le 0\}$ (3.2)

donde \vec{x} es un vector multi-dimensional \Re^n de parámetros de decisión delimitado por $x_{min}^i \leq x^i \leq x_{max}^i$, $F(\vec{x})$ representa un vector de m número de objetivos $(f_1(\vec{x}), ..., f_m(\vec{x}))$ los cuales deben ser minimizados/maximizados, y $G(\vec{x})$ es un vector de pnúmero de restricciones las cuales deben satisfacerse para garantizar soluciones factibles al problema. Cuando m es igual a uno, se dice que el problema de optimización es mono-objetivo; mientras que para m > 1 el problema de optimización se vuelve multi-objetivo.

3.3.2. Óptimo de Pareto

Cuando se comparan dos soluciones \vec{x}_1 y \vec{x}_2 surge la necesidad de definir un criterio de dominancia. En la optimización multi-objetivo el criterio de Pareto es el más utilizado [43] [45]. Este criterio establece lo siguiente:

- 1.- Se dice que un vector objetivo $\vec{x_1}$ domina a otro vector objetivo $\vec{x_2}$ (por ejemplo, $\vec{x_1} < \vec{x_2}$) si ningún componente de $\vec{x_1}$ es mayor que el elemento correspondiente de $\vec{x_2}$ y al menos uno de sus componentes es mayor.
- **2**.- La solución \vec{x}_1 domina a \vec{x}_2 , si $f(\vec{x}_1)$ domina a $f(\vec{x}_2)$
- 3.- Todas las soluciones no dominadas son soluciones óptimas del problema, es decir, soluciones no dominadas por ninguna otra. El conjunto de estas soluciones es nombrado conjunto de Pareto, mientras que la gráfica que las representa es llamada frente de Pareto.

3.3.3. Frente de Pareto

La obtención del frente de Pareto puede resultar ser una tarea difícil. Diferentes obstáculos pueden convertir esta tarea en un problema complejo: espacio de búsqueda discontinuo, soluciones agrupadas en una misma región, o incluso la alta dimensión de las mismas.

Existen dos tipos de frentes de Pareto muy comunes que surgen al momento de resolver problemas multi-objetivo: frente convexo (ver figura 3.4) y frente cóncavo. La forma del frente de Pareto indica la naturaleza de los compromisos existentes entre las distintas funciones objetivo.



Figura 3.4: Frente de Pareto.

3.3.4. Algoritmo genético NSGA-II

El algoritmo NSGA (por sus siglas en inglés, *Non-Dominated Sorting Genetic Algorithm*) es un algoritmo genético muy popular basado en la no dominancia, y a menudo es utilizado en problemas de optimización multi-objetivo [46]. En realidad consiste en un algoritmo bastante efectivo, sin embargo, ha sido cuestionado por su complejidad computacional, la falta de elitismo y otras características. Una versión modificada, NSGA-II, fue desarrollada por Kalyanmoy Deb [47] para la solución de problemas de optimización multi-objetivo. Entre sus principales características se encuentran:

- Cuenta con un procedimiento de clasificación basado en la no-dominancia, donde todos los individuos son clasificados de acuerdo a su nivel de no-dominancia.
- Implementa elitismo, el cual almacena todas las soluciones no dominadas, mejorando de esta forma las propiedades de convergencia.
- 3.- Adapta un mecanismo adecuado basado en el factor de agrupamiento (*crowding distance*) de las soluciones para garantizar la diversidad y dispersión de las mismas.
- 4.- Implementa restricciones utilizando una definición modificada de dominancia sin el uso de funciones de penalización.

En el algoritmo 5 se muestra el pseudocódigo para el NSGA-II.

Algoritmo 5 NSGA-II

- 1: Inicializar parámetros
- 2: Generar una población inicial (\mathbb{P}) de forma aleatoria Tamaño N
- 3: Evaluar la aptitud de cada individuo
- 4: Asignar rango basado en la dominancia de Pareto ordenar
- 5: Generar población de hijos
- 6: Selección mediante torneo binario
- 7: Cruza y mutación
- 8: repetir
- 9: para todo padre e hijo en la población hacer
- 10: Asignar rango (nivel) basado en la dominancia de pareto *ordenar*
- 11: Generar conjunto de frentes no dominados
- 12: Agregar soluciones a la siguiente generación comenzando por el primer frente hasta encontrar N individuos y determinar el factor de agrupamiento (*crowding distance*) en cada frente
- 13:
- 14: Seleccionar los puntos (elitismo) en el frente mas bajo (de menor rango) y que se encuentren fuera de la distancia del factor de agrupamiento (crowding distance)
- 15: Crear la siguiente generación
- 16: Selección mediante torneo binario
- 17: Cruza y mutación
- 18: hasta que Se alcance el número máximo de generaciones (G)

Capítulo 4 Propuesta de Cromosoma y Optimización con NSGA-II

En el capítulo actual se presenta el desarrollo del sistema de optimización utilizado en esta tesis. El elemento clave de dicho sistema de optimización consiste en el algoritmo genético NSGA-II, cuyo código fue implementado en el software MATLAB. Se describirá de manera detallada cada uno de sus elementos como lo son el proceso de inicialización, la generación de nuevos individuos y el proceso de evaluación. En este último, se expone la manera en la que el simulador de circuitos HSPICE fue incorporado al proceso de optimización con el propósito de determinar el desempeño de las soluciones propuestas por el algoritmo.

A pesar de que la computación evolutiva es una herramienta muy poderosa en problemas de optimización, su desempeño depende en gran medida de la forma en la que cada problema en particular es integrado a dicha herramienta, por lo que se presentan los resultados obtenidos de implementar un análisis de tolerancias en ocho distintas topologías de reguladores de voltaje LDO, con el propósito de proponer un cromosoma cuyos principales objetivos consisten en la integración adecuada del problema al algoritmo genético y la reducción del espacio de búsqueda.

4.1. Representación del Problema

Los AG son algoritmos de búsqueda altamente no-lineales, característica que convierte la predicción de su comportamiento en una tarea difícil una vez que se varían sus parámetros. Generalmente, el proceso de ajuste de tales parámetros suele ser más un proceso de prueba y error que un método ya bien definido. A pesar de que se han desarrollado investigaciones orientadas al desarrollo de modelos matemáticos que describan su comportamiento, estos modelos no son capaces de predecir por completo el comportamiento mostrado en tales algoritmos. Por otra parte, en cualquier método de búsqueda o aprendizaje computacional, la manera en la cual se codifican las posibles soluciones al problema es uno de los principales (o tal vez el principal) factores del éxito o fracaso de dicho método. En la mayoría de los AG se utilizan cadenas de bits con una dimensión fija para codificar los candidatos a soluciones. Sin embargo, en los últimos años, se han desarrollado trabajos de investigación los cuales describen distintas clases de codificación como la entera o real, tal y como se describió en el capítulo anterior, por lo que cada posición en el cromosoma (también llamada gen) puede asumir K valores distintos en lugar de sólo 0s y 1s.

El espacio de búsqueda (Ω) de un algoritmo genético que codifica las soluciones mediante un cromosoma de longitud fija L, y que además cada gen del cromosoma puede adquirir K valores distintos está dado por

$$\Omega = K^L \tag{4.1}$$

De la ecuación (4.1) se puede observar que tanto el tipo de representación, así como también las dimensiones del cromosoma utilizado (número de genes o variables) juegan un papel muy importante en el desempeño del algoritmo, ya que estos definen las dimensiones del espacio de búsqueda. El espacio de búsqueda debe ser lo suficientemente grande para incluir una gran variedad de soluciones posibles, pero a la vez debe ser limitado para que la probabilidad de encontrar soluciones óptimas se incremente.

En el dominio particular del problema atacado durante este trabajo de tesis, cada regulador de voltaje es codificado mediante una cadena de números enteros los cuales representan ya sea el dimensionamiento de transistores, valores de corrientes de polarización o valores de elementos pasivos como resistores y capacitores. Esta representación se muestra en la figura 4.1

La función f_i , mostrada en la figura 4.1, realiza una simple conversión cuya expresión general está dada por

$$f: I \to \Re \tag{4.2}$$



Figura 4.1: Mapeo de un regulador LDO a un cromosoma.

$$y = \frac{x}{k_1} + k_2, \quad x \in (0, 1, 2, ..., N - 1); \quad y \in [C_{\min}, C_{\max}]$$

En la ecuación (4.2), y representa los valores reales aplicados al regulador de voltaje, mientras que x representa los valores asociados a la posición del cromosoma. También se puede observar que cada una de las variables puede adquirir N distintos valores enteros, donde cada valor se encuentra restringido por los límites C_{min} y C_{max} . Estos límites son establecidas de acuerdo al elemento que representa dicha variable, así como también a la tecnología de fabricación utilizada. Por ejemplo, si la variable representa las dimensiones de un transistor, C_{min} y C_{max} podrían representar las dimensiones de un transistor, C_{min} y C_{max} podrían representar las dimensiones de un transistor, p aparte, las constantes k_1 y k_2 son determinadas con el propósito de realizar la conversión necesaria entre x e y.

Uno de los aspectos más importantes en la selección de un cromosoma es la cantidad de conocimiento previo acerca del circuito que se busca optimizar. La representación que se ha elegido requiere que el diseñador proporcione las restricciones C_{min} y C_{max} para cada una de las variables; además, con el objetivo de evitar soluciones no factibles algunas otras restricciones deben ser tomadas en cuenta, por ejemplo, las dimensiones de los transistores que conforman el par diferencial en el amplificador de error deben ser las mismas y la relación de los valores para los resistores de realimentación debe ser la necesaria para obtener el voltaje de salida deseado.

Como consecuencia a lo anterior, se realizó un análisis de tolerancias a distintas topologías de reguladores de voltaje lineales cuyos objetivos principales se enumeran a continuación:

- Obtener la mayor cantidad de conocimiento posible acerca del funcionamiento y comportamiento de los reguladores de voltaje analizados.
- 2.- Proponer un cromosoma que incluya aquellos elementos cuya variación presenta una tolerancia menor en los parámetros que definen el desempeño del regulador de voltaje.
- **3**.- Establecer el rango de valores que puede adquirir cada una de las variables que conforman el cromosoma (C_{min} y C_{max}) con el propósito de establecer un espacio de búsqueda limitado sin comprometer el desempeño del AG.

4.2. Análisis de Tolerancias

Entre las principales ventajas que presentan los AG como método de optimización se encuentra el hecho de no necesitar de conocimientos previos acerca del problema que se resuelve. No obstante, toda información adicional sobre el problema resulta de gran utilidad al momento de aplicar dichos algoritmos. Cuando se trata de la optimización de circuitos electrónicos, el diseñador debe de contar con un conocimiento previo acerca del funcionamiento del circuito con la finalidad de establecer qué elementos afectan en mayor medida su desempeño, y posteriormente poder establecer de forma adecuada la codificación y las restricciones al problema, y así evitar soluciones no funcionales. Lo anterior sugiere que no se puede emplear de manera indistinta un cromosoma que fue establecido para optimizar una clase de circuito durante la optimización de otro que no pertenece a esta misma clase (por lo menos no si se desea realizar la optimización de una forma eficiente). En consecuencia, la optimización de reguladores de voltaje lineales impone un nuevo desafío debido principalmente a la diferencia de su estructura con la de otras clases de circuitos analógicos que han sido optimizados anteriormente utilizando este mismo enfoque [48] [49]. Aunado a la necesidad de un nuevo cromosoma, sus operadores genéticos también deben ser manejados con precaución debido a la gran dispersión de los valores que pueden adquirir las variables que lo componen; por ejemplo, mientras los transistores pertenecientes al amplificador de error se encuentran por el orden de unas cuantas decenas de lambdas, el transistor de paso utilizado para suministrar la corriente demandada por la carga se encuentra en el orden de miles de lambdas, hecho que impide que se puedan realizar algunas variantes de los operadores de cruza y mutación en los cromosomas de forma ordinaria.

En el capítulo 2 se desarrolló un análisis básico en el dominio de la frecuencia para reguladores de voltaje lineales, así como también se expusieron las principales métricas de desempeño y los factores que las afectan. Sin embargo, aunque las ecuaciones obtenidas proporcionan una visión general de la relación existente entre el desempeño del regulador mismo y los elementos que lo componen, se optó por realizar un análisis de tolerancias el cual a través de variaciones directas en las dimensiones (o valores) de sus elementos arroje como resultado una estimación de la medida en que estos afectan a las métricas de desempeño más importantes de los reguladores de voltaje.

Debido a la fuerte dependencia que posee el desempeño de los reguladores de voltaje con respecto a su estructura, el proponer una codificación capaz de ser utilizada en distintas de ellas se convierte en un problema de mayor desafío. Los reguladores de voltaje además de poseer la variante de ser compensados de manera interna o externa, también pueden diferir en el número y tipo de bloques que los componen. Por ejemplo, dependiendo de la aplicación y el desempeño que se busca lograr, puede ser necesario agregar un *buffer* a la salida del amplificador de error, añadir filtros de pre-regulación para mejorar el PSR o inclusive agregar un bloque orientado a la mejora de la respuesta transitoria. Por tanto, se aplicó un análisis de tolerancias a los elementos de ocho distintas topologías de reguladores de voltaje LDO formadas por distintos bloques y etapas con características diferentes. En la figura 4.2 se ilustran las cuatro primeras topologías de reguladores LDO que fueron sometidas al análisis de tolerancias. Todos los reguladores de la figura 4.2 son compensados de forma externa mediante el capacitor C_O y su resistencia en serie asociada R_{ESR} .

Como primer caso de estudio se utilizó el regulador de voltaje mostrado en la figura 4.2a, el cual fue sometido a tres distintos análisis de tolerancias utilizando como amplificador de error cada uno de los circuitos mostrados en la figura 4.3. En la figura 4.3a se muestra un amplificador operacional de transconductancia (OTA, por



Figura 4.2: Reguladores de voltaje compensados externamente seleccionados para análisis de tolerancias.

sus siglas en inglés) simétrico donde todos sus nodos son de baja impedancia excepto los nodos de entrada y de salida. Debido a que este amplificador carece de un *buffer* en su salida, solo puede manejar cargas capacitivas, como es el caso de la compuerta del elemento de paso del regulador. De igual forma, el circuito de la figura 4.3b también es un OTA pero esta vez en configuración *Folded Cascode*. Finalmente, el circuito de la figura 4.3c consiste en un amplificador de error de dos etapas básico que utiliza un amplificador diferencial NMOS y un amplificador PMOS en configuración de fuente común. Además, utiliza una red de compensación del tipo *Miller* compuesta por un capacitor de compensación (C_C) y una resistencia (R_Z) para anular el cero que surge por la travectoria directa creada a través del capacitor de compensación.

Los parámetros más importantes obtenidos de un análisis en el dominio de la frecuencia para los tres amplificadores de error de la figura 4.3 se listan en la tabla 4.1.



(c) Amplificador de dos etapas tipo Miller

Figura 4.3: Amplificadores de error básicos.

Tabla 4.1: Resultados obtenidos en el dominio de la frecuencia para los amplificadoresde error de la figura 4.3.

	OTA	OTA Folded	Amplificador
Parámetro	Simétrico	Cascode	Miller
$A_{CD}(dB)$	25	45	60
$MF(^{o})$	91	84	79
Frecuencia de Ganancia			
Unitaria (MHz)	27	25	10

El análisis de tolerancias desarrollado consistió básicamente en el proceso de efectuar variaciones de manera sistemática y no correlacionada de cada uno de los elementos que forman parte del regulador de voltaje bajo análisis, mientras se monitorean los cambios en el desempeño de dicho regulador como resultado de las variaciones efectuadas.

Al someter el regulador de voltaje mostrado en la figura 4.2a a tres distintos análisis de tolerancias, cada uno de ellos utilizando un amplificador de error distinto (ver figura 4.3), los resultados obtenidos muestran prácticamente la misma tendencia en la forma en que cada bloque del regulador afecta las métricas de desempeño analizadas. Sin embargo, se observó que mientras menor sea la ganancia A_{CD} del amplificador de error utilizado, el desempeño del regulador tendrá mayor dependencia al dimensionamiento de dicho amplificador. Por tanto, se concluye que para reducir el número de variables (o genes) en el cromosoma, se debe seleccionar un amplificador de error con ganancias superiores a los 50dB, de lo contrario deberán agregarse algunas posiciones adicionales en el cromosoma con el propósito de incluir las dimensiones de los transistores cuyas características tengan mayor influencia en la ganancia del amplificador.

En la tabla 4.2 se muestran los resultados del análisis de tolerancias realizado al regulador de la figura 4.2a usando el circuito de la figura 4.3c como amplificador de error. En la tabla 4.2 se muestra el elemento que se modificó y el rango de valores en el que lo hizo, ya sea de forma porcentual (con respecto al valor nominal asignado mediante el proceso de diseño tradicional) o mediante valores bien definidos. De igual manera, se presenta la variación de las métricas de desempeño del regulador, resultado de modificar cada uno de sus elementos. Se puede observar que la variación de los transistores que forman parte del amplificador de error no generan grandes cambios en el desempeño del regulador de voltaje (debido a su elevada ganancia), mientras que la corriente de polarización I_{Bias} , los capacitores de compensación C_C y C_O del AE y el regulador, respectivamente, y la resistencia equivalente en serie asociada con $C_O(R_{ESR})$, generan grandes cambios en el margen de fase (MF) del regulador, y por lo tanto también en su respuesta transitoria (ΔV_{Out}). Por otra parte, las variaciones en el ancho de canal del dispositivo de paso (W_{M_P}) generan cambios principalmente en el voltaje de caída del regulador (V_{DO}) y en su desempeño de regulación (LNR y LDR).

Var	$\mathbf{Variaci} \mathbf{on}^1$	V_{DO}	$\pm\Delta{\mathbf{V_{out}}}^2$	$\mathrm{PSR}_{\mathrm{1kHz}}$	$\mathrm{PSR}_{\mathrm{10kHz}}$	$\mathbf{A_{OL}}^3$	\mathbf{MF}	\mathbf{LNR}	LDR
W_{M_P}	$\pm 30\%$	$\pm 44\%$	$\pm 14\%$	$\pm 0.4\%$	$\pm 3.6\%$	$\pm 1.8\%$	$\pm 1.9\%$	$\pm 18\%$	$\pm 11\%$
I_{Bias}	$\pm 50\%$	$\pm 0\%$	$\pm48\%$	$\pm 0.5\%$	$\pm 13.2\%$	$\pm 0.8\%$	$\pm 33.9\%$	$\pm 22.3\%$	$\pm 34.5\%$
$W_{M_{1-2}}$	$\pm50\%$	$\pm 0\%$	$\pm 11.6\%$	$\pm 0.1\%$	$\pm 6.2\%$	$\pm 0.2\%$	$\pm 1.2\%$	$\pm 3.4\%$	$\pm 2.9\%$
$\mathrm{W}_{\mathrm{M}_{3-4}}$	$\pm 30\%$	$\pm 0\%$	$\pm 3.6\%$	$\pm 1.6~\%$	$\pm7.8\%$	$\pm 0.2\%$	$\pm 1.2\%$	$\pm 0.7\%$	$\pm 0.9\%$
W_{M_6}	$\pm 30\%$	$\pm 0\%$	$\pm 6.7\%$	$\pm 2.3\%$	$\pm 0.4\%$	$\pm 1.3\%$	$\pm 9.9\%$	$\pm 0.8\%$	$\pm 3.2\%$
W_{M_7}	$\pm 30\%$	$\pm 0\%$	$\pm 6.1\%$	$\pm 3.6\%$	$\pm 0.4\%$	$\pm 1.9\%$	$\pm 19.1\%$	$\pm 8.6\%$	$\pm 6.2\%$
$\mathbf{R}_{\mathbf{Z}}$	$\pm50\%$	$\pm 0\%$	$\pm 4\%$	$\pm 0\%$	$\pm 0~\%$	$\pm 0\%$	$\pm 0.6\%$	$\pm 0\%$	$\pm 0.1\%$
$\mathbf{C}_{\mathbf{C}}$	$\pm 80\%$	$\pm 0\%$	$\pm 62.2\%$	$\pm 0\%$	$\pm 12.4\%$	$\pm 0\%$	$\pm 85.3\%$	$\pm 0\%$	$\pm 0\%$
Co	$1 - 5\mu F$	$\pm 0\%$	$\pm 61.7\%$	$\pm 0\%$	$\pm 1.2\%$	$\pm 13.3\%$	$\pm 58.9\%$	$\pm 28.2\%$	$\pm 36.8\%$
$\mathbf{R}_{\mathbf{ESR}}$	$50 - 500m\Omega$	$\pm 0\%$	$\pm 26.3\%$	$\pm 0\%$	$\pm 7.9\%$	$\pm 0\%$	$\pm 35.2\%$	$\pm 0\%$	$\pm 0\%$
$\mathbf{R_{FB}}$	$\pm 50\%$	$\pm 0\%$	$\pm 1.1~\%$	$\pm 0\%$	$\pm 0~\%$	$\pm 0\%$	$\pm 0\%$	$\pm 0\%$	$\pm 0.1\%$

Tabla 4.2: Análisis de tolerancias para el regulador de voltaje de la figura 4.2a empleando el amplificador de error de la figura 4.3c.

¹Los valores porcentuales son con respecto al valor nominal obtenido mediante el proceso de diseño tradicional

²Variaciones del voltaje de salida ante cambios abruptos en la corriente de carga

³Medición realizada con $I_L = 0$

El circuito mostrado en la figura 4.2b consiste en un regulador de voltaje LDO compuesto por un OTA simétrico que utiliza una técnica de división de corriente para incrementar la ganancia, y un bloque orientado a acelerar la respuesta transitoria [50], además de los bloque básicos como red de realimentación, dispositivo de paso y capacitor de compensación.

La tabla 4.3 muestra los resultados obtenidos del análisis de tolerancias realizado al regulador de la figura 4.2b. Se puede observar un comportamiento bastante similar al presentado por el regulador anterior. Sin embargo, a pesar de que la ganancia del OTA simétrico fue incrementada cerca de los 40dB con la técnica de división de corriente, esta aún continúa siendo baja (con respecto al criterio establecido anteriormente), por lo que las variaciones realizadas en los transistores que forman parte del AE generan mayores cambios en el desempeño del regulador.

El regulador de voltaje de la figura 4.2c utiliza una celda de ganancia unitaria como método para mejorar el PSR y la estabilidad del circuito. El objetivo de esta celda consiste en eliminar los inconvenientes que surgen con los esquemas de compensación convencionales, generando un cero a bajas frecuencias en los nodos internos [25]. Por otra parte, la principal característica del regulador de la figura 4.2d consiste en que utiliza tres etapas de ganancia, las cuales fueron configuradas de tal manera que el ruido proveniente de la fuente de alimentación sea cancelado en el nodo de salida, y de esta forma mejorar el PSR [51].

En las tablas 4.4 y 4.5 se muestran los resultados obtenidos del análisis de tolerancias realizado a los reguladores de las figuras 4.2c y 4.2d, respectivamente. De igual manera, aquellos elementos que están encargados de brindar estabilidad al sistema, son los que provocan mayor variación en el MF y ΔV_{Out} del regulador. Debido a su elevada ganancia (ya que esta compuesto por tres etapas de amplificación), los transistores que componen el AE del regulador de la figura 4.2d, provocan variaciones poco significativas en el desempeño del mismo. Al igual que en los casos anteriores, se considera necesario añadir al cromosoma solamente las corrientes de polarización del amplificador de error, y en el caso del regulador de la figura 4.2d también las corrientes de sangrado, debido a que provocan cambios considerables en el desempeño del regulador. Para los casos en los que el AE cuenta con una ganancia por debajo de los 50dB, también deben considerarse aquellos elementos del AE cuya variación genera cambios significativos en el desempeño del regulador.
Var	$Variación^4$	$\mathbf{V}_{\mathbf{DO}}$	$\pm\Delta{ m V_{out}}^5$	$\mathrm{PSR}_{\mathrm{1kHz}}$	$\mathrm{PSR}_{\mathrm{10kHz}}$	$\mathbf{A_{OL}}^6$	MF	LNR	LDR
W_{M_P}	$\pm 30\%$	$\pm 36.7\%$	$\pm 26.4\%$	$\pm 1.2\%$	$\pm 0.7\%$	$\pm 2.8\%$	$\pm 0.5\%$	$\pm 28.2\%$	$\pm 18.0\%$
${ m V_{Bias1}}$	$\pm 30\%$	$\pm 0\%$	$\pm 29.5\%$	$\pm 5.3\%$	$\pm 12.4\%$	$\pm 5.9\%$	$\pm 18.4\%$	$\pm 24.8\%$	$\pm 19.3\%$
${ m W_{M_{EA2-3}}}$	$\pm 30\%$	$\pm 0\%$	$\pm28.7\%$	$\pm 8.6\%$	$\pm 0.9\%$	$\pm 8.7\%$	$\pm 15.2\%$	$\pm 28.6\%$	$\pm 25.2\%$
${ m W_{M_{EA4-5}}}$	$\pm 30\%$	$\pm 0\%$	$\pm 6.1\%$	$\pm 0.5\%$	$\pm 1.7\%$	$\pm 0.2\%$	$\pm 3.8\%$	$\pm 2.8\%$	$\pm 1.4\%$
$ m W_{M_{gb1-2}}$	$\pm 30\%$	$\pm 0\%$	$\pm 29.3\%$	$\pm 2.4\%$	$\pm 3.6\%$	$\pm 4.1\%$	$\pm 2.6\%$	$\pm 8.9\%$	$\pm 20.1\%$
$\mathbf{W_{M_{EA6-7}}}$	$\pm 30\%$	$\pm 0\%$	$\pm 33.8\%$	$\pm 2.8\%$	$\pm 1.1\%$	$\pm 10.3\%$	$\pm 9.6\%$	$\pm42.2\%$	$\pm 34.0\%$
${ m W_{M_{EA8-9}}}$	$\pm 30\%$	$\pm 0\%$	$\pm 11.6\%$	$\pm 0.2\%$	$\pm 1.4\%$	$\pm 0.2\%$	$\pm 1.6\%$	$\pm 8.7\%$	$\pm 12.3\%$
$W_{M_{\mathbf{ta1}},M_{\mathbf{ta3}}}$	$\pm 30\%$	$\pm 0\%$	$\pm 9.8\%$	$\pm 0.3\%$	$\pm 1.4\%$	$\pm 2.3\%$	$\pm 8.2\%$	$\pm 5.6\%$	$\pm 4.5\%$
${ m W_{M_{ta2}}}$	$\pm 30\%$	$\pm 0\%$	$\pm 12.1\%$	$\pm 0.1\%$	$\pm 0.3\%$	$\pm 1.3\%$	$\pm 2.6\%$	$\pm 8.8\%$	$\pm 2.5\%$
${ m W_{M_{ta4-5}}}$	$\pm 30\%$	$\pm 0\%$	$\pm 8.9\%$	$\pm 0.2\%$	$\pm 0.3\%$	$\pm 2.2\%$	$\pm 3.4\%$	$\pm 16.4\%$	$\pm 10.3\%$
${ m W}_{{ m M}_{{ m ta6}-8}}$	$\pm 30\%$	$\pm 0\%$	$\pm 12\%$	$\pm 0.2\%$	$\pm 0.7\%$	$\pm 2.6\%$	$\pm 10.6\%$	$\pm 2.8\%$	$\pm 3.9\%$
Co	$1-5\mu F$	$\pm 0\%$	$\pm 39.3\%$	$\pm 5.3\%$	$\pm 9.6\%$	$\pm 0.3\%$	$\pm43.2\%$	$\pm 28.1\%$	$\pm 19.2\%$
$\mathbf{R}_{\mathbf{ESR}}$	$50 - 500m\Omega$	$\pm 0\%$	$\pm40.8\%$	$\pm 2.4\%$	$\pm 18.9\%$	$\pm 0.2\%$	$\pm13.6\%$	$\pm 0\%$	$\pm 0\%$

Tabla 4.3: Análisis de tolerancias para el regulador de voltaje de la figura 4.2b.

 $^{^{4}}$ Los valores porcentuales son con respecto al valor nominal obtenido mediante el proceso de diseño tradicional

⁵Variaciones del voltaje de salida ante cambios abruptos en la corriente de carga

⁶Medición realizada con $I_L = 0$

Var	Variación ⁷	V_{DO}	$\pm \Delta {{V_{out}}^8}$	$\mathrm{PSR}_{\mathrm{1kHz}}$	$\mathrm{PSR}_{\mathrm{10kHz}}$	$\mathbf{A_{OL}}^9$	\mathbf{MF}	\mathbf{LNR}	LDR
W_{M_P}	$\pm 30\%$	$\pm 36.8\%$	$\pm48.3\%$	$\pm 0.6\%$	$\pm 4.1\%$	$\pm 6.2\%$	$\pm 3.6\%$	$\pm 22.0\%$	$\pm 17.7\%$
I_{Bias}	$\pm50\%$	$\pm 0\%$	$\pm 36.1\%$	$\pm 0.5\%$	$\pm 16.2\%$	$\pm 2.5\%$	$\pm 23.3\%$	$\pm 28.4\%$	$\pm 26.2\%$
${f W}_{{f M}_{1-2}}$	$\pm50\%$	$\pm 0\%$	$\pm 5.4\%$	$\pm 0.4\%$	$\pm 5.2\%$	$\pm 0.6\%$	$\pm 4.8\%$	$\pm 1.1\%$	$\pm 3.2\%$
$\mathbf{W_{M_{3-4}}}$	$\pm 30\%$	$\pm 0\%$	$\pm 3.1\%$	$\pm 0.5\%$	$\pm 0.1\%$	$\pm 0.4\%$	$\pm 0.9\%$	$\pm 0.3\%$	$\pm 0.7\%$
$\mathrm{W}_{\mathrm{M}_{11-12}}$	$\pm 30\%$	$\pm 0\%$	$\pm 18.7\%$	$\pm 1.2\%$	$\pm 3.4\%$	$\pm 5.6\%$	$\pm 8.7\%$	$\pm 4.3\%$	$\pm 9.5\%$
$\mathbf{W_{M_{13-14}}}$	$\pm 30\%$	$\pm 0\%$	$\pm 6.1\%$	$\pm 0.4\%$	$\pm 0.7\%$	$\pm 2.3\%$	$\pm 6.2\%$	$\pm 2.6\%$	$\pm 4.3\%$
$W_{M_{20}}$	$\pm 30\%$	$\pm 0\%$	$\pm 8.7\%$	$\pm 0.3\%$	$\pm 1.2\%$	$\pm 2.2\%$	$\pm 4.6\%$	$\pm 3.1\%$	$\pm 2.9\%$
$W_{M_{21}}$	$\pm 30\%$	$\pm 0\%$	$\pm 9.1\%$	$\pm 0.2\%$	$\pm 0.6\%$	$\pm 3.7\%$	$\pm 8.6\%$	$\pm 7.1\%$	$\pm 4.9\%$
C_{C}	$\pm80\%$	$\pm 0\%$	$\pm 28.9\%$	$\pm 6.8\%$	$\pm 18.3\%$	$\pm 0.1\%$	$\pm 25.1\%$	$\pm 0.2\%$	$\pm 0.1\%$
C_{O}	$1-5\mu F$	$\pm 0\%$	$\pm 58.5\%$	$\pm 0.2\%$	$\pm 6.9\%$	$\pm 1.2\%$	$\pm41.3\%$	$\pm 36.9\%$	$\pm 43.8\%$
$\mathbf{R}_{\mathbf{ESR}}$	$50 - 500m\Omega$	$\pm 0\%$	$\pm 18.7\%$	$\pm 0\%$	$\pm 15.4\%$	$\pm 0.3\%$	$\pm 28.8\%$	$\pm 0\%$	$\pm 0\%$

Tabla 4.4: Análisis de tolerancias para el regulador de voltaje de la figura 4.2c.

⁸Variaciones del voltaje de salida ante cambios abruptos en la corriente de carga

⁷Los valores porcentuales son con respecto al valor nominal obtenido mediante el proceso de diseño tradicional

⁹Medición realizada con $I_L = 0$

Var	Variación ¹⁰	V_{DO}	$\pm\Delta V_{out}$ ¹¹	$\mathrm{PSR}_{\mathrm{1kHz}}$	$\mathrm{PSR}_{10\mathrm{kHz}}$	$\mathbf{A_{OL}}^{12}$	MF	\mathbf{LNR}	LDR
W_{M_P}	$\pm 30\%$	$\pm 39.7\%$	$\pm 28.4\%$	$\pm 0.5\%$	$\pm 3.9\%$	$\pm 5.1\%$	$\pm 6.3\%$	$\pm 26.4\%$	$\pm 19.7\%$
I_{Bias}	$\pm50\%$	$\pm 0\%$	$\pm 51.8\%$	$\pm 0.5\%$	$\pm 8.2\%$	$\pm 5.1\%$	$\pm 19.8\%$	$\pm 34.3\%$	$\pm 28.1\%$
${ m I}_{ m Bleed1}$	$\pm50\%$	$\pm 0\%$	$\pm 18.2\%$	$\pm 0.3\%$	$\pm 5.5\%$	$\pm 6.4\%$	$\pm 8.9\%$	$\pm 23.9\%$	$\pm 21.2\%$
I_{Bleed2}	$\pm50\%$	$\pm 0\%$	$\pm22.6\%$	$\pm 0.1\%$	$\pm 6.7\%$	$\pm 8.8\%$	$\pm 9.4\%$	$\pm 27.8\%$	$\pm 19.9\%$
$\mathrm{W}_{\mathrm{M_{1-2}}}$	$\pm 30\%$	$\pm 0\%$	$\pm 4.9\%$	$\pm 0.1\%$	$\pm 1.8\%$	$\pm 2.0\%$	$\pm 3.7\%$	$\pm 4.5\%$	$\pm 5.6\%$
${ m W_{M_{3-4}}}$	$\pm 30\%$	$\pm 0\%$	$\pm 4.2\%$	$\pm 0.2\%$	$\pm 2.3\%$	$\pm 2.7\%$	$\pm 1.1\%$	$\pm 1.5\%$	$\pm 2.2\%$
W_{M_5}	$\pm 30\%$	$\pm 0\%$	$\pm 8.7\%$	$\pm 0.1\%$	$\pm 4.4\%$	$\pm 4.8\%$	$\pm 10.8\%$	$\pm 3.9\%$	$\pm 5.8\%$
W_{M_6}	$\pm 30\%$	$\pm 0\%$	$\pm 2.9\%$	$\pm 0\%$	$\pm 0.5\%$	$\pm 1.8\%$	$\pm 7.5\%$	$\pm 2.6\%$	$\pm 3.9\%$
W_{M_7}	$\pm 30\%$	$\pm 0\%$	$\pm 4.3\%$	$\pm 0.1\%$	$\pm 0.8\%$	$\pm 11.4\%$	$\pm 9.7\%$	$\pm 3.3\%$	$\pm 3.1\%$
W_{M_8}	$\pm 30\%$	$\pm 0\%$	$\pm 5.1\%$	$\pm 0.3\%$	$\pm 3.9\%$	$\pm 1.4\%$	$\pm 8.5\%$	$\pm 4.1\%$	$\pm 2.7\%$
$C_{\mathbf{Z}}$	$\pm 80\%$	$\pm 0\%$	$\pm 17.1\%$	$\pm 3.1\%$	$\pm 15.6\%$	$\pm 0.3\%$	$\pm 16.4\%$	$\pm 0.1\%$	$\pm 0.1\%$
Co	$1 - 5\mu F$	$\pm 0\%$	$\pm44.6\%$	$\pm 0.2\%$	$\pm 8.8\%$	$\pm 0.3\%$	$\pm 34.6\%$	$\pm 24.7\%$	$\pm 35.1\%$
$\mathbf{R}_{\mathbf{ESR}}$	$50 - 500m\Omega$	$\pm 0\%$	$\pm 16.2\%$	$\pm 0\%$	$\pm 12.5\%$	$\pm 0.1\%$	$\pm 24.7\%$	$\pm 0\%$	$\pm 0\%$

Tabla 4.5: Análisis de tolerancias para el regulador de voltaje de la figura 4.2d.

4.2

Análisis de Tolerancias

 $^{^{10}}$ Los valores porcentuales son con respecto al valor nominal obtenido mediante el proceso de diseño tradicional 11 Variaciones del voltaje de salida ante cambios abruptos en la corriente de carga 12 Medición realizada con $I_L=0$

La figura 4.4 muestra cuatro topologías de reguladores de voltaje LDO adicionales que fueron sometidas a un análisis de tolerancias. A diferencia de los reguladores de voltaje mostrados en la figura 4.2, los cuatro reguladores de voltaje de la figura 4.4 son compensados de manera interna.

El regulador de la figura 4.4a propone una solución al problema que surge por la conexión de capacitores con valores (y dimensiones) elevados en el caso de los reguladores compensados externamente. A través de un esquema de compensación basado en un circuito diferenciador y un capacitor de compensación C_C , consigue mejorar la respuesta transitoria y la estabilidad del regulador [19].

En la figura 4.4b se ilustra un regulador de voltaje de bajo consumo de potencia basado en un amplificador de transconductancia en modo corriente (CTA, por sus siglas en inglés). Debido al elevado SR del amplificador de error, la respuesta transitoria es mejorada incluso con un bajo consumo de corriente de reposo (I_Q) [52].

El circuito de la figura 4.4c consiste en un regulador de voltaje LDO orientado a aplicaciones SoC, el cual contiene un circuito encargado de incrementar el factor de amortiguamiento del sistema. Sus principales objetivos son la reducción del capacitor de compensación y garantizar la estabilidad bajo condiciones de carga ligera [53].

Un regulador de voltaje LDO con un transistor de potencia compuesto por una etapa de salida *push-pull* se presenta en la figura 4.4d. Usando la estructura propuesta, los polos no dominantes son trasladados a frecuencias superiores, mejorando la estabilidad del regulador. Además, los problemas presentes en la respuesta transitoria del regulador son atacados a través de dicho enfoque [54].

Las tablas 4.6 - 4.9 muestran los resultados de los análisis de tolerancias implementados en los reguladores de las figuras 4.4a - 4.4d, respectivamente. Aunque los resultados muestran la misma tendencia observada durante el estudio de los reguladores compensados de forma externa, para el caso de los reguladores de voltaje compensados internamente la respuesta transitoria es más sensible a la variación de los elementos que conforman al regulador. Lo anterior se debe principalmente a que el capacitor C_O además de proporcionar estabilidad en los reguladores compensados externamente, también funciona como un depósito de energía capaz de suministrar o absorber corriente durante transiciones rápidas en la carga. De igual manera que sucede con los reguladores de voltaje de la figura 4.2, la estabilidad y respuesta transitoria de los reguladores compensados de manera interna dependen fuertemente de aquellos elementos que forman parte del bloque de compensación, mientras que el dispositivo



Figura 4.4: Reguladores de voltaje compensados internamente seleccionados para análisis de tolerancias.

de paso contribuye principalmente en aquellas métricas relacionadas con la capacidad de regulación del circuito y su eficiencia total. Por otra parte, es importante observar que los resistores que forman parte del sistema de forma integrada también modifican el desempeño del regulador de manera considerable.

Var	Variación ¹³	$\mathbf{V}_{\mathbf{DO}}$	$\pm \Delta { m V_{out}}^{14}$	$\mathrm{PSR}_{\mathrm{1kHz}}$	$\mathrm{PSR}_{\mathrm{10kHz}}$	$\mathbf{A_{OL}}^{15}$	\mathbf{MF}	\mathbf{LNR}	LDR
$W_{M_{P}}$	$\pm 30\%$	$\pm42.2\%$	$\pm 31.1\%$	$\pm 0.5\%$	$\pm 0.5\%$	$\pm 3.8\%$	$\pm 0.2\%$	$\pm40.6\%$	$\pm 14.4\%$
${ m I}_{ m Bias1}$	$\pm50\%$	$\pm 0\%$	$\pm 16.9\%$	$\pm 11.8\%$	$\pm 2.8\%$	$\pm 7.4\%$	$\pm 9.3\%$	$\pm 64.8\%$	$\pm47.2\%$
$\mathbf{W}_{\mathbf{M_E}}$	$\pm 30\%$	$\pm 0\%$	$\pm 21.5\%$	$\pm 2.3\%$	$\pm 0.5\%$	$\pm 1.6\%$	$\pm 2.2\%$	$\pm46.9\%$	$\pm 11.4\%$
$\mathbf{W}_{\mathbf{M_{0e}}}$	$\pm 30\%$	$\pm 0\%$	$\pm 3\%$	$\pm 7.7\%$	$\pm 2.8\%$	$\pm 3.3\%$	$\pm 7.7\%$	$\pm 5.2\%$	$\pm 1.7\%$
$\mathbf{W}_{\mathbf{M_1}}$	$\pm 30\%$	$\pm 0\%$	$\pm 25.8\%$	$\pm 9.4\%$	$\pm 2.8\%$	$\pm 4.7\%$	$\pm 5.7\%$	$\pm 0\%$	$\pm 0\%$
$\mathbf{W_{M_2}}$	$\pm 30\%$	$\pm 0\%$	$\pm 30.1\%$	$\pm 6.3\%$	$\pm 2.6\%$	$\pm 5.4\%$	$\pm 2.7\%$	$\pm 46\%$	$\pm 21\%$
$\mathbf{W_{M_3}}$	$\pm 30\%$	$\pm 0\%$	$\pm 13\%$	$\pm 3.2\%$	$\pm 0.6\%$	$\pm 5.3\%$	$\pm 4.3\%$	$\pm 1.2\%$	$\pm 1.4\%$
$\mathbf{W}_{\mathbf{M_4}}$	$\pm 30\%$	$\pm 0\%$	$\pm 29.9\%$	$\pm 7.2\%$	$\pm 2.3\%$	$\pm 4.1\%$	$\pm 5.4\%$	$\pm 28.1\%$	$\pm 30.5\%$
I_{Bias2}	$\pm50\%$	$\pm 0\%$	$\pm40\%$	$\pm 3.5\%$	$\pm 0.6\%$	$\pm 2.6\%$	$\pm 6\%$	$\pm 48.1\%$	$\pm 16.6\%$
$\mathbf{W}_{\mathbf{M_5},\mathbf{M_{f2}}}$	$\pm 30\%$	$\pm 0\%$	$\pm 35.8\%$	$\pm 7.4\%$	$\pm 2.9\%$	$\pm 3.3\%$	$\pm 2.6\%$	$\pm 31.9\%$	$\pm 22.7\%$
$\mathbf{C_{f}}$	$\pm 80\%$	$\pm 0\%$	$\pm47.7\%$	$\pm 0\%$	$\pm 8.3\%$	$\pm 0.3\%$	$\pm 28.2\%$	$\pm 0\%$	$\pm 0\%$
$\mathbf{R_{f}}$	$\pm50\%$	$\pm 0\%$	$\pm 32.4\%$	$\pm 0\%$	$\pm 8.7\%$	$\pm 0.3\%$	$\pm 6.5\%$	$\pm 0\%$	$\pm 0\%$
C_{f2}	$\pm 80\%$	$\pm 0\%$	$\pm 13.2\%$	$\pm 0\%$	$\pm 0~\%$	$\pm 0\%$	$\pm 0\%$	$\pm 0\%$	$\pm 0\%$

Tabla 4.6: Análisis de tolerancias para el regulador de voltaje de la figura 4.4a.

¹³Los valores porcentuales son con respecto al valor nominal obtenido mediante el proceso de diseño tradicional ¹⁴Variaciones del voltaje de salida ante cambios abruptos en la corriente de carga

¹⁵Medición realizada con $I_L = 0$

Var	$Variación^{16}$	$\mathbf{V}_{\mathbf{DO}}$	$\pm\Delta { m V_{out}}^{17}$	$\mathrm{PSR}_{\mathrm{1kHz}}$	$\mathrm{PSR}_{10\mathrm{kHz}}$	$\mathbf{A_{OL}}^{18}$	\mathbf{MF}	\mathbf{LNR}	LDR
W_{M_P}	$\pm 30\%$	$\pm 14.5\%$	$\pm 31.6\%$	$\pm 0\%$	$\pm 2.2\%$	$\pm 12.3\%$	$\pm 15.6\%$	$\pm 33.9\%$	$\pm 23.1\%$
I_{Bias}	$\pm50\%$	$\pm 2.5\%$	$\pm 56.7\%$	$\pm 20.1\%$	$\pm 49.8\%$	$\pm 0\%$	$\pm 12.1\%$	$\pm 46\%$	$\pm40.5\%$
$\mathrm{W}_{\mathrm{M_{1-4}}}$	$\pm 30\%$	$\pm 0\%$	$\pm46.7\%$	$\pm 0.1\%$	$\pm 1.5\%$	$\pm 1.7\%$	$\pm 14.7\%$	$\pm 12.9\%$	$\pm 12.1\%$
${ m W_{M_{6-7}}}$	$\pm 30\%$	$\pm 0\%$	$\pm 14.4\%$	$\pm 0.2\%$	$\pm 0.6\%$	$\pm 0.3\%$	$\pm 9.5\%$	$\pm 11.6\%$	$\pm 2.7\%$
$\mathbf{W_{M_5,M_8}}$	$\pm 30\%$	$\pm 0\%$	$\pm 11\%$	$\pm 0\%$	$\pm 5.3\%$	$\pm 4.5\%$	$\pm 5.6\%$	$\pm 2.6\%$	$\pm 0.3\%$
$W_{M_{9-10}}$	$\pm 30\%$	$\pm 0\%$	$\pm 23.3\%$	$\pm 0\%$	$\pm 0\%$	$\pm 8.9\%$	$\pm 10\%$	$\pm 0.9\%$	$\pm 0.3\%$
$W_{M_{a1-a2}}$	$\pm 30\%$	$\pm 0\%$	$\pm46.6\%$	$\pm 8.2\%$	$\pm 5.2\%$	$\pm 0\%$	$\pm 0\%$	$\pm 6.7\%$	$\pm 0.4\%$
$W_{M_{\mathbf{a}3-\mathbf{a}4}}$	$\pm 30\%$	$\pm 0\%$	$\pm 13.3\%$	$\pm 23\%$	$\pm 17.8\%$	$\pm 0\%$	$\pm 0.6\%$	$\pm 26.7\%$	$\pm 0.2\%$
${ m W_{M_{a5}}}$	$\pm 30\%$	$\pm 0.3\%$	$\pm 14.2\%$	$\pm 5.6\%$	$\pm9\%$	$\pm 0\%$	$\pm 8.6\%$	$\pm 12.9\%$	$\pm 0.7\%$
C_1	$\pm80\%$	$\pm 0\%$	$\pm 2.9\%$	$\pm 0\%$	$\pm 1\%$	$\pm 0\%$	$\pm 7.3\%$	$\pm 0\%$	$\pm 0\%$
R_{1-2}	$\pm 50\%$	$\pm 0.4\%$	$\pm 25.4\%$	$\pm 2.1\%$	$\pm 9.4\%$	$\pm 9.2\%$	$\pm 39.1\%$	$\pm 39.7\%$	$\pm 31.8\%$

Tabla 4.7: Análisis de tolerancias para el regulador de voltaje de la figura 4.4b.

 $^{^{16}}$ Los valores porcentuales son con respecto al valor nominal obtenido mediante el proceso de diseño tradicional 17 Variaciones del voltaje de salida ante cambios abruptos en la corriente de carga 18 Medición realizada con $I_L=0$

Var	Variación ¹⁹	$\mathbf{V}_{\mathbf{DO}}$	$\pm\Delta{{V_{out}}^{20}}$	$\mathrm{PSR}_{\mathrm{1kHz}}$	$\mathrm{PSR}_{\mathrm{10kHz}}$	$\mathbf{A_{OL}}^{21}$	\mathbf{MF}	\mathbf{LNR}	LDR
W_{M_P}	$\pm 30\%$	$\pm 39.6\%$	$\pm 32.8\%$	$\pm 0.1\%$	$\pm 1.3\%$	$\pm 8.5\%$	$\pm 2.6\%$	$\pm 36.3\%$	$\pm 24.4\%$
${ m I}_{ m Bias}$	$\pm50\%$	$\pm 0\%$	$\pm 26.7\%$	$\pm 5.6\%$	$\pm 6.1\%$	$\pm 16.2\%$	$\pm 8.6\%$	$\pm41.2\%$	$\pm 46.8\%$
$W_{M_{01-02}}$	$\pm 30\%$	$\pm 0\%$	$\pm 14.5\%$	$\pm 2.3\%$	$\pm 1.1\%$	$\pm 12.3\%$	$\pm 5.2\%$	$\pm 28.9\%$	$\pm 16.3\%$
$\mathbf{W_{M_{03-04}}}$	$\pm 30\%$	$\pm 0\%$	$\pm 5.6\%$	$\pm 0.2\%$	$\pm 1.1\%$	$\pm 5.6\%$	$\pm 3.2\%$	$\pm 2.8\%$	$\pm 3.6\%$
$W_{M_{06}}$	$\pm 30\%$	$\pm 0\%$	$\pm 32.6\%$	$\pm 1.2\%$	$\pm 3.7\%$	$\pm 3.3\%$	$\pm 25.6\%$	$\pm 10.1\%$	$\pm 24.2\%$
$W_{M_{07}}$	$\pm 30\%$	$\pm 0\%$	$\pm 10.1\%$	$\pm 0.3\%$	$\pm 0.6\%$	$\pm 7.6\%$	$\pm 1.7\%$	$\pm 6.3\%$	$\pm 5.0\%$
$W_{M_{08}}$	$\pm 30\%$	$\pm 0\%$	$\pm 13.2\%$	$\pm 0\%$	$\pm 0.4\%$	$\pm 8.9\%$	$\pm 4.5\%$	$\pm 9.3\%$	$\pm 7.8\%$
$\mathbf{C_{cf}}$	$\pm 80\%$	$\pm 0\%$	$\pm42.9\%$	$\pm 0\%$	$\pm 12.3\%$	$\pm 5.8\%$	$\pm 33.4\%$	$\pm 0\%$	$\pm 0\%$
C_{m1}	$\pm 80\%$	$\pm 0\%$	$\pm 34.1\%$	$\pm 3.9\%$	$\pm 6.3\%$	$\pm 0.2\%$	$\pm 28.7\%$	$\pm 0\%$	$\pm 0\%$

Tabla 4.8: Análisis de tolerancias para el regulador de voltaje de la figura 4.4c.

 $^{^{19}}$ Los valores porcentuales son con respecto al valor nominal obtenido mediante el proceso de diseño tradicional 20 Variaciones del voltaje de salida ante cambios abruptos en la corriente de carga

²¹Medición realizada con $I_L = 0$

Var	Variación ²²	V_{DO}	$\pm\Delta { m V_{out}}^{23}$	$\mathrm{PSR}_{\mathrm{1kHz}}$	$\mathrm{PSR}_{10\mathrm{kHz}}$	$\mathbf{A_{OL}}^{24}$	MF	\mathbf{LNR}	LDR
W_{M_P}	$\pm 30\%$	$\pm49.3\%$	$\pm44.5\%$	$\pm 0\%$	$\pm 1.3\%$	$\pm 9.6\%$	$\pm 1.3\%$	$\pm 29.5\%$	$\pm 18.7\%$
I_{Bias}	$\pm50\%$	$\pm 0\%$	$\pm 38.2\%$	$\pm 1.6~\%$	$\pm 9.5\%$	$\pm 11.4\%$	$\pm 11.8\%$	$\pm 21.5\%$	$\pm 28.6\%$
$W_{M_{1-2}}$	$\pm 30\%$	$\pm 0\%$	$\pm 12.3\%$	$\pm 0.2\%$	$\pm 1.4\%$	$\pm 8.4\%$	$\pm 3.6\%$	$\pm 15.2\%$	$\pm 18.9\%$
$W_{M_{3-4}}$	$\pm 30\%$	$\pm 0\%$	$\pm 3.4\%$	$\pm 0\%$	$\pm 2.8\%$	$\pm 1.6\%$	$\pm 5.7\%$	$\pm 3.6\%$	$\pm 2.6\%$
${ m W_{M_5}}$	$\pm 30\%$	$\pm 0\%$	$\pm 26.5\%$	$\pm 0\%$	$\pm 0.4\%$	$\pm 15.4\%$	$\pm 19.2\%$	$\pm 18.5\%$	$\pm 23.8\%$
$\mathbf{W}_{\mathbf{M_6}}$	$\pm 30\%$	$\pm 0\%$	$\pm 17.7\%$	$\pm 1.8~\%$	$\pm 2.1\%$	$\pm 6.4\%$	$\pm 3.7\%$	$\pm 5.5\%$	$\pm 4.2\%$
W_{M_7}	$\pm 30\%$	$\pm 0\%$	$\pm 16.6.2\%$	$\pm 0\%$	$\pm 0.1\%$	$\pm 4.2\%$	$\pm 4.9\%$	$\pm 12.4\%$	$\pm 3.2\%$
W_{M_8}	$\pm 30\%$	$\pm 0\%$	$\pm 4.1\%$	$\pm 0\%$	$\pm 0.2\%$	$\pm 4.0\%$	$\pm 4.1\%$	$\pm 1.2\%$	$\pm 2.9\%$
W_{M_9}	$\pm 30\%$	$\pm 0\%$	$\pm 5.2\%$	$\pm 0\%$	$\pm 0.3\%$	$\pm 2.3\%$	$\pm 6.8\%$	$\pm 2.1\%$	$\pm 3.3\%$
$\mathbf{C}_{\mathbf{m}}$	$\pm80\%$	$\pm 0\%$	$\pm47.8\%$	$\pm 0\%$	$\pm 18.4\%$	$\pm 1.2\%$	$\pm 45.3\%$	$\pm 0.2\%$	$\pm 0\%$
$\mathbf{R}_{\mathbf{Z}}$	$\pm 80\%$	$\pm 0\%$	$\pm 28.6\%$	$\pm 3.7\%$	$\pm 9.8\%$	$\pm 7.7\%$	$\pm 28.7\%$	$\pm 0.5\%$	$\pm 0.2\%$

Tabla 4.9: Análisis de tolerancias para el regulador de voltaje de la figura 4.4d.

 $^{^{22}}$ Los valores porcentuales son con respecto al valor nominal obtenido mediante el proceso de diseño tradicional 23 Variaciones del voltaje de salida ante cambios abruptos en la corriente de carga 24 Medición realizada con $I_L=0$

4.3. Propuesta de Cromosoma

Una vez realizadas las pruebas de tolerancias a distintos reguladores de voltaje, el siguiente paso consiste en ordenar y analizar la información obtenida con el objetivo de proponer un cromosoma que sea útil en la optimización de reguladores de voltaje LDO. En la figura 4.5 se muestran cuatro distintas gráficas que ayudan a visualizar de una manera más clara y compacta gran parte de la información contenida en las tablas 4.2 - 4.9. Cada una de las gráficas de la figura 4.5 ilustra el cambio causado en ΔV_{Out} , *PSR*, *MF* o *LNR*, debido a variaciones en siete distintas variables de diseño. Los elementos que fueron considerados para ser incluidos en dichas gráficas son: la corriente de polarización del AE (I_{Bias}), el ancho de canal del elemento de paso (W_P), el ancho de canal de los transistores de entrada del AE (W_{CA}), el valor del canal de los transistores que funcionan como carga activa del AE (W_{CA}), el valor del capacitor de compensación del regulador de voltaje ya sea que se encuentre conectado de manera interna o externa (C_C), los resistores que se encuentran integrados en el regulador de voltaje (R_{Int}), y por último los resistores que son conectados al regulador de forma externa (R_{Ext}).

En el eje x se indica el porcentaje de variación causado en la métrica de desempeño correspondiente. Como se indica en las tablas 4.2 - 4.9, los porcentajes de variación son calculados con respecto al valor obtenido mediante técnicas de diseño convencionales, y son altamente dependientes de los valores asignados a cada una de las dimensiones o valores de los elementos que forman parte del circuito bajo prueba. En consecuencia, los resultados obtenidos son tomados como punto de referencia, debido a que sus valores pueden cambiar si se utiliza un diseño inicial distinto. Sin embargo, se espera que el comportamiento de los resultados sigan la misma tendencia sin importar los valores iniciales.

Por otro lado, el eje y representa el número de reguladores de voltaje cuya variación resultante se encuentra dentro de los límites establecidos en el eje x. En la figura 4.5a se observa que las variables I_{Bias} , W_P y C_C provocan mayores variaciones en ΔV_{Out} , mientras que el efecto de la variable W_{CA} es mínimo.

De la misma forma, la variable C_C junto con las variables R_{Ext} y R_{Int} , son las que tienen mayor influencia en el margen de fase del regulador, tal y como se muestra en la figura 4.5c.

Por otro lado, las variaciones en el PSR son menores por parte de las siete variables



Figura 4.5: Resultados obtenidos del análisis de tolerancias.

que fueron consideradas en la figura 4.5b. La principal razón de lo anterior puede deberse a que las mediciones fueron realizadas a una frecuencia de 10kHz, mientras que los efectos de C_O y R_{ESR} , por ejemplo, por lo general se ven reflejados a frecuencias superiores.

Para el caso de las variaciones causadas en la regulación de línea (ver figura 4.5d), se obtuvieron resultados muy similares a los mostrados en la figura 4.5a, con la diferencia de que en esta ocasión la variable C_C no aporta variaciones significativas. En ambos casos la variable W_{CA} sólo causa efectos de consideración cuando la ganancia del AE es menor a los 50dB.

Después de haber analizado la información mostrada en las tablas 4.2 - 4.9 y la figura 4.5, se propuso el cromosoma mostrado en la figura 4.6. En él se incluyen las siete variables de diseño consideradas en las gráficas de la figura 4.5, sin embargo, las variables W_{In} y W_{CA} fueron unidas en el gen W_{AOL} de la figura 4.6.



Figura 4.6: Cromosoma propuesto para la optimización de reguladores de voltaje LDO.

En la figura 4.6 se consideran dos tipos de genes distintos: los fijos y los variables. Los fijos se refieren a aquellos cuyas variables se encuentran en cualquier tipo de regulador de voltaje LDO, y por lo tanto siempre estarán activos sin importar la estructura del mismo. Por otra parte, los variables son aquellos cuya variable de diseño puede estar o no presente en algunos reguladores de voltaje (por ejemplo, el caso de R_{ESR}), por lo que su participación durante el proceso de optimización depende de la estructura del regulador bajo prueba.

4.4. Implementación del Algoritmo NSGA-II

En la figura 4.7 se muestra el diagrama de flujo del sistema de optimización implementado. En dicha figura la letra g denota la generación actual y la letra N el tamaño de la población.

En el primer paso se inicializan todos los parámetros que serán necesarios durante la

ejecución del algoritmo como el tamaño de la población, número máximo de generaciones, razones de cruza y mutación, entre otros. Después, se genera una población inicial (P_g) de forma aleatoria, la cual es evaluada con ayuda del simulador HSPICE; una vez concluido el proceso de inicialización del algoritmo, se genera una nueva población de hijos (Q_g) aplicando los operadores genéticos de cruza y mutación sobre la población P_g , y esta nueva población es evaluada. Posteriormente, ambas poblaciones se unen $(P_g \cup Q_g)$ y clasifican por niveles de acuerdo al criterio de la no-dominancia y el factor de agrupamiento. Por último, una nueva población (P_{g+1}) es creada aplicando el concepto de elitismo, es decir, se seleccionan a los mejores individuos pertenecientes al primer frente, si estos no son suficientes se continúa con el siguiente sub-frente, hasta obtener a los mejores N individuos de la población P_g . Este proceso se repite hasta alcanzar el número máximo de generaciones establecidas por el usuario.



Figura 4.7: Diagrama de flujo del sistema de optimización implementado.

4.4.1. Parámetros de inicialización

Durante el proceso de inicialización del algoritmo se deben de establecer y ajustar una serie de parámetros necesarios para la correcta ejecución del mismo. A continuación se enlistan los valores utilizados durante el presente trabajo:

- **1**.- Tamaño de la población, N = 50.
- **2**.- Número máximo de generaciones, G = 100.
- **3**.- Número de variables (varía conforme al regulador optimizado $\{(W/L)_1, (W/L)_2, ..., (W/L)_N, I_{B1}, I_{B2}, ..., I_{BN}, R_1, R_2, ..., R_N, C_1, C_2, ..., C_N\}$).
- **4**.- Número de Objetivos, Obj = 2.
- **5**.- Número de restricciones, Res = 4.
- **6**.- Límites mínimo y máximo de los valores que puede adquirir cada variable que forma parte del cromosoma (varía dependiendo del elemento).
- **7**.- Probabilidad de cruza, $P_c = 70 \%$.
- 8.- Probabilidad de mutación, $P_m = 5 \%$.

Debido a que el objetivo general del presente trabajo es la optimización de circuitos electrónicos, la evaluación de todos los individuos generados por el AG se lleva acabo con la ayuda del simulador de circuitos integrados HSPICE. Otro aspecto fundamental en el sistema de optimización es la creación del vínculo por medio del cual se comunicarán el AG y el simulador, dicho vínculo en esta ocasión es el archivo de entrada del simulador (también conocido como *netlist*). Este archivo además de contener todos los elementos básicos (descripción del circuito, librerías utilizadas, tipos de análisis por realizar, etc), también debe incluir algunas líneas adicionales dedicadas a mejorar y facilitar la interfaz entre el simulador y el sistema de optimización. A continuación se muestra la primera parte de la estructura general del archivo de entrada utilizado:

```
.param VarN=4
*EndVar
********Librerías de Modelo y Parámetros*********
.lib './MM180.lib' TT
.OPTIONS POST NOMOD TNOM = 27
.OPTIONS INGOLD=2
.param vdd=3
.option scale=0.09u post
VSS
    VSS
        0
           0
Vin
    In
        0
           vdd
.subckt LDO In Out COM
MDP1
    N2
         VN
              N4
                  N4
                       MODP
                            L=Var1
                                    W=Var3
MDP2
         VP
                       MODP
                             L=Var1
                                    W=Var4
    NЗ
              N4
                  N4
              'Var6*1e+03'
RF1
    Out
        N2
C01
   N2
        COM
              'Var5*1e-15'
         .
.ends LDO
```

Al inicio del archivo se definen y asignan valor a todas las variables que forman parte del cromosoma. Las líneas *BegVar y *EndVar son utilizadas para indicar al sistema el inicio y final de la declaración y asignación de variables. Para la definición de cada una de las variables se utiliza el comando *.param* seguido por el nombre y el valor asignado a dicha variable. En este punto es importante resaltar dos cosas: 1) los nombres de todas las variables comienzan con los caracteres Var seguidos por el número asignado a la variable (los números siempre deben de ser consecutivos) y 2) los valores que se asignan a las variables son siempre números enteros, lo cual nos permite eliminar etapas dedicadas al redondeo, reducir el tiempo de cómputo, además de otras ventajas [49]. El resto del archivo contiene prácticamente los mismos elementos y comandos utilizados normalmente durante el proceso de simulación: definición de parámetros, voltajes y corrientes de polarización, librerías que contienen los modelos utilizados, y finalmente la descripción de los circuitos. Además, se utiliza la opción scale con el objetivo de poder establecer las dimensiones de los transistores mediante valores enteros.

Durante el proceso de optimización completo se trabaja con un sólo archivo *netlist*, el cual se modifica constantemente para cada individuo a lo largo de todo el proceso.

4.4.2. Operadores genéticos

Los elementos encargados de mantener la diversidad y esparcimiento de las soluciones encontradas por el AG son sus operadores. En este trabajo se utilizaron tres de ellos, los cuales son descritos brevemente a continuación.

- Torneo binario: Se selecciona de forma aleatoria a dos individuos pertenecientes a la población, y de acuerdo al criterio de la no-dominancia se escoge al mejor de ellos.
- 2.- Cruza: Por medio del torneo binario se obtiene a los dos padres que participarán en la cruza; posteriormente se selecciona un punto (en este caso se utilizó el punto medio del cromosoma), y por último dos nuevos individuos son generados a partir del intercambio de información genética tal y como se describió en el capítulo 3.
- 3.- Mutación: Se selecciona un individuo a través del torneo binario. Posteriormente, se modifica la(s) variable(s) que de acuerdo a los análisis realizados anteriormente presenta un mayor impacto en el desempeño de los objetivos que se buscan optimizar. Si el valor de dicha variable se encuentra por debajo del valor medio, $(C_{min}+C_{max})/2$, a esta se le asigna un nuevo valor de forma aleatoria el cual se encuentre entre el valor medio y el límite superior; de lo contrario, el valor asignado se encontrará entre el límite inferior y el valor medio.

4.4.3. Evaluación de la aptitud

La simulación y prueba de reguladores de voltaje lineales LDO involucra una serie de mediciones tales como caída de voltaje, respuesta en frecuencia, rechazo a la fuente de alimentación, regulación de línea, regulación de carga, respuesta transitoria, eficiencia y consumo de potencia. Configuraciones y técnicas especiales son necesarias para la obtención de dichos parámetros de desempeño. Estas configuraciones (llamadas también bancos de prueba) proporcionan las condiciones necesarias (estímulos de entrada, voltajes de alimentación, distintas cargas, etc.) para que el circuito sea evaluado.

Con el propósito de evaluar las aptitudes de los individuos en el AG se decidió utilizar el simulador HSPICE debido a los beneficios que esto nos otorga, principalmente la precisión de los modelos utilizados. Para lograr lo anterior, fue necesario agregar algunas líneas de código al archivo de entrada del simulador orientadas a extraer información acerca del desempeño de los circuitos. A continuación se muestra la sección del *netlist* dedicada a la evaluación de los individuos en el AG.

```
VSS
                LDO
X02
   In
       Out2
RI.2
   Out2
        VSS
             55
X03
   In Out3
            VSS
                LDO
   Out3 Out31 PULSE (0 50m 5u 1u 1u 5u 22u)
IL3
VT3
   Out31
        VSS
             0
X04
   In2
       Out4
            VSS
                LDO2
RL4
   Out4
        VSS
            55
X05
   In2
       Out5
            VSS
                LDO2
RL5
   Out5
        VSS
            2.8MEG
.MEASURE AC PSR0 find V(Out5) at=10
.MEASURE AC PSR1K find V(Out5) at=1k
```

En el código anterior podemos identificar tres distintas secciones:

- Banco de pruebas.- En esta sección los subcircuitos definidos anteriormente son sometidos a distintas pruebas bajo distintas condiciones ya sea de carga, de alimentación, etc.
- 2.- Mediciones.- Durante esta sección se establecen todas las mediciones que el simulador llevará a acabo mediante el comando .MEASURE, con la finalidad de asignar un nivel de aptitud a cada uno de los individuos en la población.
- 3.- Análisis.- Aquí se establecen todos los tipos de análisis que el simulador debe de efectuar durante el proceso de evaluación.

Una vez ejecuta la simulación, el sistema de optimización lee el archivo de salida generado por el simulador, obteniendo de esta forma los resultados arrojados por dicho proceso.

4.5. Conclusiones

A partir de la definición y codificación del problema, se establecieron las características necesarias de un cromosoma capaz de realizar una interfaz adecuada y eficiente entre el problema enfrentado y el algoritmo genético. Se realizó un análisis de tolerancias a ocho distintas estructuras de reguladores de voltaje LDO, cuatro de ellas compensadas de manera externa, y las cuatro restantes compensados de forma interna. Después de analizar la información obtenida mediante el análisis de tolerancias, se propuso un cromosoma compuesto por seis variables de diseño, a cuyas variaciones resultó menos tolerante el desempeño general de los reguladores de voltaje.

Finalmente, se expusieron los parámetros del motor de optimización que serán utilizados a lo largo del siguiente capítulo durante la optimización de reguladores de voltaje LDO, y se mostró la forma mediante la cual se vinculo al algoritmo NSGA-II con el simulador de circuitos integrados HSPICE en con el propósito de implementar el proceso de evaluación de las soluciones. 4. Propuesta de Cromosoma y Optimización con NSGA-II

Capítulo 5 Optimización de Reguladores LDO

En este capítulo se exponen los resultados obtenidos de la optimización de tres distintas topologías de reguladores LDO utilizando el algoritmo genético NSGA-II, los espacios de búsqueda y el cromosoma propuesto. En la primera sección, se analiza la información resultante de los procesos de optimización, se comparan las soluciones obtenidas contra las reportadas en los trabajos originales y se realiza una breve comparación entre la velocidad de convergencia del algoritmo utilizando, el espacio de búsqueda completo y el espacio de búsqueda reducido.

Posteriormente, las soluciones con mejor desempeño para cada regulador de voltaje optimizado son sometidas a variaciones de proceso, voltaje y temperatura (PVT) con el objetivo de garantizar la factibilidad y robustez de las mismas.

5.1. Ejecución del Algoritmo Genético

Con el objetivo de demostrar la funcionalidad y eficacia del enfoque de optimización desarrollado durante este trabajo, a continuación se presenta la optimización de los tres reguladores de voltaje LDO mostrados en la figura 5.1.

El motor de optimización fue inicializado con los parámetros establecidos anteriormente en el capítulo 4, en la sección 4.4. Con el objetivo de reducir el espacio de búsqueda y tiempo de cómputo del algoritmo, fueron utilizados los análisis presentados en los capítulos 2 y 4, así como también el cromosoma propuesto en este último. En todos los casos se seleccionó como objetivo de optimización la mejora del PSR debido a su gran importancia descrita en el capítulo 1. De la misma manera, para el circuito de la figura 5.1a se escogió como segundo objetivo la reducción del capacitor de compensación conectado en su terminal de salida, mientras que para



(c) Regulador LDO 3

Figura 5.1: Reguladores de voltaje seleccionados para optimización

los reguladores de las figuras 5.1b y 5.1c se optó por la reducción de la corriente de reposo (I_Q) . Por otro lado, las restricciones al problema fueron establecidas de acuerdo al desempeño reportado por cada una de las topologías y objetivos por alcanzar. En la tabla 5.1 se muestran los rangos de búsqueda para cada clase de elemento presente en los reguladores de la figura 5.1.

En la tabla 5.1 se observa que a medida que se aumenta el número de variables pertenecientes al cromosoma, también se incrementa el espacio de búsqueda que debe ser explorado por el AG, justo como se estableció en la ecuación (4.1).

Con el propósito de comparar las distintas soluciones obtenidas, se adoptaron dos figuras de mérito (FDM). La primera de ellas fue propuesta en [20] y es ampliamente utilizada en la literatura para comparar nuevas topologías de reguladores LDO. En ella se consideran la corriente de reposo (I_Q) , el valor de la capacitancia de salida (C_O) , la máxima variación del voltaje de salida debida a variaciones en la carga (ΔV_{Out}) y la máxima corriente de carga que puede ser suministrada por el regulador de voltaje $(I_L).$

$$FDM_1 = \frac{\Delta V_{Out} C_O I_Q}{I_L^2} \tag{5.1}$$

La segunda figura de mérito fue propuesta en [23]. A diferencia de la ecuación (5.1), esta FDM es utilizada para evaluar la velocidad del regulador en términos del tiempo de establecimiento (T_{settle}) , la eficiencia en corriente (I_Q/I_L) , la capacitancia conectada en su nodo de salida (C_O) y el área ocupada en términos del capacitor de compensación (C_C) .

$$FDM_2 = \frac{T_{settle}I_QC_C}{I_LC_O} \tag{5.2}$$

En ambos casos una FDM menor implica un mejor desempeño del regulador en su respuesta transitoria.

$\mathbf{Variable}^1$	Reg. 1	Reg. 2 [19]	Reg. 3 [52]
$W's (\lambda)$	[10, 500, 1]	[10, 500, 1]	[10, 500, 1]
$W_P (k\lambda)$	[20, 60, 0.2]	[20, 60, 0.2]	[10, 40, 0.2]
$L's (\lambda)$	[2, 12, 1]	[2, 12, 1]	[2, 12, 1]
$C_{on-chip} \ (pF)$	[1, 50, 1]	[1, 50, 1]	[1, 50, 1]
$C_{off-chip} \ (\mu F)$	[1, 10, 0.1]	-	-
$R_{on-chip} \ (k\Omega)$	-	[10, 300, 1]	[10, 300, 1]
$R_{off-chip} \ (m\Omega)$	[50, 500, 10]	-	-
$I_{Bias} (\mu A)$	[1, 100, 1]	[1, 20, 0.1]	[1, 10, 0.05]
Variables Totales	11	14	12
Variables en			
Cromosoma	6	9	8
Ω (Total)	2.15e + 27	1.13e + 36	2.25e + 32
Ω (Reducido)	8.16e + 10	1.55e + 20	5.66e + 17

Tabla 5.1: Rangos de búsqueda asociados a las variables de diseño.

5.1.1. Regulador 1

El circuito de la figura 5.1a consiste en un regulador de voltaje de baja caída (LDO), el cual utiliza como AE un amplificador operacional tipo *Miller* y además es

¹Nota: Los rangos de los valores se encuentran representados como [mín, máx, incremento] respectivamente.

compensado de manera externa a través del capacitor C_O . Este regulador de voltaje fue diseñado y optimizado con una tecnología CMOS de $0.18\mu m$ para poder entregar a la carga una corriente de hasta 100mA siempre y cuando sea alimentado por un voltaje que se encuentre entre los 2.2V y los 3.3V. Los objetivos optimizados fueron el PSR y el valor de C_O .

Debido a que no se busca cumplir con un conjunto de especificaciones en particular, las restricciones fueron tomadas de acuerdo al desempeño de un regulador diseñado mediante los métodos tradicionales descritos en [2], [55] y [56]. Con el objetivo de establecer las restricciones al problema de optimización, se normalizaron los valores de LDR, LNR, A_{OL} , ΔV_{Out} y T_{settle} con respecto a los valores obtenidos mediante el diseño tradicional a través de la ecuación (5.3). Si la solución evaluada obtiene un valor menor a 5.5, se dice que es una solución apta para formar parte de la siguiente generación, de lo contrario será eliminada durante el proceso de selección (elitismo).

$$Norm = \left[\left(\frac{LDR_{Ind}}{LDR_{Nom}} \right) + \left(\frac{LNR_{Ind}}{LNR_{Nom}} \right) + \left(\frac{A_{OL,Nom}}{A_{OL,Ind}} \right) + \left(\frac{\Delta V_{Out,Ind}}{\Delta V_{Out,Nom}} \right) + \left(\frac{T_{settle,Ind}}{T_{settle,Nom}} \right) \right]$$
(5.3)

Al igual que sucede con las figuras de mérito, entre menor sea el valor obtenido por el individuo al evaluar la ecuación (5.3), implica un mejor desempeño de la misma. El valor umbral fue seleccionado de tal forma que la probabilidad de que el individuo posea un mejor desempeño en al menos una métrica sea elevada.

En la figura 5.2 se muestra el frente de Pareto resultado del proceso de optimización.

La caracterización de las cinco soluciones que aparecen en la figura 5.2 y el regulador diseñado de forma tradicional se muestran en la tabla 5.2. En esta tabla se puede observar que aunque el PSR es mejor en la mayoría de las soluciones obtenidas por el AG, la mayoría de ellas tiene una mayor FDM. Sin embargo, la solución dos (Ind. 2) posee una menor FDM, demostrando un mejor desempeño con respecto a los parámetros incluidos en la ecuación (5.1), además de tener asignado el menor valor de C_O , por lo cual es considerada la mejor de las soluciones incluidas en la tabla 5.2.

Adicionalmente, en la tabla 5.3 se listan los valores mínimo, máximo, promedio y la desviación estándar adquiridos por los genes a lo largo del proceso de optimización.



Figura 5.2: Frente de Pareto obtenido para el regulador de la figura 5.1a.

Estos valores sugieren que el muestreo del espacio de búsqueda se realizó de una forma eficiente.

Finalmente, en la figura 5.3 se muestra una comparativa entre la velocidad de convergencia lograda por el algoritmo utilizando los espacios de búsqueda reducido y total, ambos valores listados en la tabla 5.1. En dicha figura se puede observar que efectivamente la reducción del espacio de búsqueda se ve reflejada en la velocidad de convergencia de las soluciones.



Figura 5.3: Comparación de la velocidad de convergencia del algoritmo con diferentes Ω durante la optimización del regulador de la figura 5.1a.

 ${}^2I_L = 0mA \text{ y } C_{Out} = 100pF$

	Diseño					
Parámetro	Trad.	Ind. 1	Ind. 2	Ind. 3	Ind. 4	Ind. 5
Proceso (μm)	0.18	0.18	0.18	0.18	0.18	0.18
$V_{DO} \ (mV)$	200	220	164	185	315	232
$I_Q \ (\mu A)$	65	62	109	185	88	128
$LDR \ (\mu V/mA)$	0.74	1	0.5	1.5	0.9	0.6
$LNR \ (\mu V/V)$						
$I_L = 0mA$	57.8	12	20	78	45	51
$I_L = 100mA$	44.5	435	13	19	38	72
PSR (dB) ²						
@1kHz	-95.3	-97.3	-95.1	-102.8	-96.8	-104.7
@10kHz	-90.4	-87.5	-74.9	-96.3	-82.5	-84.6
$A_{OL} (dB)$						
$I_L = 0mA$	87	95	105	83	89	92
$I_L = 100mA$	102	99	109	94	85	88
MF (Grados)						
$I_L = 0mA$	7	3	20	19	26	15
$I_L = 100mA$	65	11	24	18	39	29
$\Delta V_{Out} \ (mV)$	15	40	26	19	37	23
$T_{settle} \ (\mu S)$	≈ 10	≈ 25	≈ 15	≈ 12	≈ 20	≈ 16
$C_O(\mu F)$	3	1.5	0.5	1.7	1.3	2.2
$FDM_1 \ (ps)$	293	372	142	597	324	647

Tabla 5.2: Comparación del regulador de voltaje de la figura 5.1a diseñado de forma tradicional y las soluciones obtenidas mediante NSGA-II.

Tabla 5.3: Valores de los genes adquiridos durante la optimización del regulador de la figura 5.1a.

Variable	Mín.	Máx.	Promedio	σ
W_P	21200	55800	42681.9	11848.3
$\mathbf{R}_{\mathbf{ESR}}$	10	980	167.1	348.8
$\mathbf{C}_{\mathbf{C}}$	2	50	22.8	13.3
I_{Bias}	4	100	59.6	26.2
\mathbf{L}	2	12	7.6	2.1
Co	1.2	9.6	3.5	1.8

5.1.2. Regulador 2

El circuito de la figura 5.1b es un regulador de voltaje que posee un esquema de compensación capaz de proporcionar una respuesta transitoria veloz y estabilidad en un amplio rango de frecuencias [19]. Este LDO proporciona un voltaje de salida de 2.8V sin la necesidad de agregar capacitores de salida con valores elevados. Con el objetivo de poder proporcionar corrientes de carga hasta de 50mA y manejar una carga capacitiva de 100pF, el regulador de la figura 5.1b fue diseñado y optimizado usando una tecnología CMOS de $0.35\mu m$.

En esta ocasión los objetivos a optimizar fueron el PSR y la corriente de reposo (I_Q) . Las restricciones al problema de optimización de nuevo fueron establecidas mediante la ecuación (5.3). Sin embargo, debido a las tendencias observadas en el desempeño de las soluciones y con la finalidad de brindar mayor libertad al motor de búsqueda, el término asociado con las variaciones de V_{Out} fue modificado por el de la ecuación (5.4). Además, se agrego la restricción de un margen de fase positivo ante condiciones de cero carga y carga completa.

$$\Delta V_{Out} = \left(\frac{\Delta V_{Out,Ind}}{3\Delta V_{Out,Nom}}\right) \tag{5.4}$$

El frente de Pareto obtenido de la optimización del circuito de la figura 5.1b se muestra en la figura 5.4, donde se puede observar la naturaleza del compromiso entre los dos objetivos. Al igual que en el ejemplo anterior, se obtuvieron 5 soluciones en el frente.



Figura 5.4: Frente de Pareto obtenido para el regulador de la figura 5.1b.

La tabla 5.4 muestra la comparación del desempeño obtenido mediante el flujo de diseño tradicional y las 5 soluciones obtenidas por el motor de optimización. De la tabla 5.4 es posible observar otra de las ventajas de utilizar métodos de optimización como herramienta en el proceso de síntesis de circuitos, esto es, el sistema de optimización proporciona distintas soluciones, donde cada una es completamente distinta de las demás; por lo tanto, el diseñador puede elegir la solución más adecuada a la aplicación. De dicha tabla se puede observar que la solución que mejor desempeño presenta, con respecto a la ecuación (5.2), es la solución dos (Ind. 2), presentando también una mejora en el PSR en el rango de bajas frecuencias.

	Diseño					
Parámetro	Trad. [19]	Ind. 1	Ind. 2	Ind. 3	Ind. 4	Ind. 5
Proceso (μm)	0.35	0.35	0.35	0.35	0.35	0.35
$V_{DO} (mV)$	200	365	105	146	274	132
$I_Q(\mu A)$	65	88	80	75	70	62
$LDR \ (mV/mA)$	0.62	1.2	0.14	0.83	0.51	0.43
LNR (mV/V)						
$I_L = 0mA$	23	0.9	0.19	3.77	0.91	6.9
$I_L = 50mA$	2.3	2.02	0.39	2.45	3.26	4.6
PSR (dB) ³						
@1kHz	-56	-82	-79	-73	-62	-44
@10kHz	-70	-72	-61	-60	-62	-43
GL (dB)						
$I_L = 0mA$	64	62	72	65	71	74
$I_L = 50mA$	56	30	54	8	37	45
MF (Grados)						
$I_L = 0mA$	>50	14	5	8	22	95
$I_L = 50mA$	80	98	108	103	86	98
$\Delta V_{Out} (mV)$	90	200	460	348	270	33
$T_{settle} \ (\mu S)$	≈ 15	≈ 7	≈ 5	$\approx \! 18$	≈ 10	≈ 8
$FDM_1 \ (ps)$	0.23	0.7	1.47	1.04	0.75	0.08
$FDM_2 \ (ns)$	3.9	1.23	0.4	7.02	3.08	1.98

Tabla 5.4: Comparación del regulador de voltaje de la figura 5.1b diseñado de forma tradicional y las soluciones obtenidas mediante NSGA-II.

De igual forma, en la tabla 5.5 se presentan los valores mínimo, máximo, promedio y la desviación estándar adquiridos por los genes que componen el cromosoma a través del proceso de optimización.

Por último se realiza una comparación entre la velocidad de convergencia del algo-

 ${}^{3}I_{L} = 0mA \text{ y } C_{Out} = 100pF$

Variable	Mín.	Máx.	Promedio	σ
W _P	22600	59400	51158.3	7458.2
$\mathbf{C_{f}}$	1	47	12.5	14.8
$\mathbf{R_{f}}$	22	300	186.4	69.6
${ m I}_{ m Bias1}$	1	20	13.8	5.6
I_{Bias2}	1	18	5.7	4.0
\mathbf{L}	1	12	6.1	2.3
$\mathbf{W}_{\mathbf{M_E}}$	14	488	173.7	104.9
$\mathbf{W_{M4}}$	16	495	182.2	30.9
$\mathbf{W_{M5}}$	10	490	38.3	51.1

Tabla 5.5: Valores de los genes adquiridos durante la optimización del regulador de la figura 5.1b.

ritmo utilizando el espacio de búsqueda propuesto y el espacio de búsqueda completo, los resultados se ilustran en la figura 5.5.



Figura 5.5: Comparación de la velocidad de convergencia del algoritmo con diferentes Ω durante la optimización del regular de la figura 5.1b.

5.1.3. Regulador 3

El circuito mostrado en la figura 5.1c consiste en un regulador CMOS de bajo consumo de corriente estática (I_Q) , compensado de forma interna y con baja caída de voltaje (LDO) basado en un amplificador de transconductancia en modo corriente (CTA, por sus siglas en inglés) con un SR elevado, mejorando de esta forma la respuesta transitoria en la compuerta del transistor de paso y por consecuencia la respuesta del regulador en general [52]. Esta topología de LDO fue diseñada y optimizada utilizando una tecnología CMOS de $0.18\mu m$ con el objetivo de que sea capaz de suministrar una corriente de carga entre los 0 y 100mA mientras es alimentado por un voltaje de entrada (V_{In}) ajustado entre los 1.2 y 2.0V. El AG fue ajustado para optimizar el PSR y el consumo de corriente (I_Q) . En la figura 5.6 se muestra el frente de Pareto obtenido, el cual despliega las seis soluciones obtenidas por el sistema de optimización. En el frente de Pareto se observa el comportamiento expuesto mediante análisis en el capítulo 2, el cual establece que conforme se disminuye la corriente I_Q se degrada el PSR del regulador.



Figura 5.6: Frente de Pareto obtenido para el regulador de la figura 5.1c

De igual manera, en la tabla 5.6 se compara el desempeño del regulador diseñado de forma tradicional y los diseños obtenidos mediante el sistema de optimización.

Las primeras dos soluciones (Ind. 1 e Ind. 2) resultaron ser inestables ya que introducen oscilaciones en la respuesta transitoria. No obstante, tal y como se mencionó anteriormente, una de las ventajas de este tipo de enfoques es el número y la diversidad de soluciones que se obtienen. Es importante mencionar que este problema puede ser resuelto mediante la modificación de algunas restricciones. Por ejemplo, en este caso se pudo haber definido una restricción la cual estableciera que las soluciones deben de tener un MF superior a los 5° bajo condiciones de cero carga, y observar el comportamiento de las mismas. En esta ocasión la solución número cinco (Ind. 5) fue la que presentó una menor FDM, según la ecuación (5.1), por lo que es considerada la mejor de las soluciones obtenidas por el NSGA-II.

 ${}^4I_L = 1mA \text{ y } C_{Out} = 50pF$

ParámetroTrad. [52]Ind. 1Ind. 2Ind. 3Ind. 4Ind. 5Ind.Proceso (μm) 0.180.180.180.180.180.180.180.18 V_{DO} (mV) 200142388239194164212 I_Q (μA) 3.79.56.76.15.13.73.4 LDR $(\mu V/mA)$ 7025.44274825069 LNR (mV/V) $I_L = 0mA$ 0.70.50.7311.80.740.13 $I_L = 100mA$ 10.871.272.34.21.480.8 PSR $(dB)^4$ $GIkHz$ -65-85.3-83.5-80.9-63.7-64-51 $GIkHz$ 457071.060.073.04021	
$\begin{array}{c ccccccccccccccccccccccccccccccccccc$	6
$\begin{array}{c ccccccccccccccccccccccccccccccccccc$)
$ \begin{array}{c ccccccccccccccccccccccccccccccccccc$	
$ \begin{array}{c ccccccccccccccccccccccccccccccccccc$	
$ \begin{array}{c ccccccccccccccccccccccccccccccccccc$	
$ \begin{array}{cccccccccccccccccccccccccccccccccccc$	
$\begin{array}{c ccccccccccccccccccccccccccccccccccc$	1
$\begin{array}{cccccccccccccccccccccccccccccccccccc$	
$ \begin{array}{cccccccccccccccccccccccccccccccccccc$	
$@10\kappa Hz -45 -72.1 -71.9 -60.9 -53.9 -49 -31$	
$A_{OL} (dB)$	
$I_L = 1\mu A$ 68.6 75.3 78.8 65.3 63.2 67.2 64.9)
$I_L = 100mA$ 42.5 42.3 44.2 33.5 51.8 36.6 35.6	;
MF (Grados)	
$I_L = 1\mu A$ 12 2 1 10 12 7 16	
$I_L = 100mA$ 88 80 32 77 88 90 91	
$\Delta V_{Out} (mV)$ 277 88 226 138 199 126 374	
$T_{settle} (\mu S)$ ≈ 6 ∞ ∞ > 20 > 20 ≈ 16 ≈ 9	
$FDM_1 (fs)$ 10.2 NA NA 8.4 10.1 4.7 12.7	,

Tabla 5.6: Comparación entre el regulador de voltaje de la figura 5.1c diseñado de forma tradicional y las soluciones obtenidas mediante NSGA-II.

De igual forma, en la tabla 5.7 se presentan los valores mínimo, máximo, promedio y la desviación estándar adquiridos por los genes que componen el cromosoma durante el proceso de optimización.

Finalmente, se realiza una comparación de la cantidad de individuos que no cumplen las restricciones establecidas con respecto al número de generación, utilizando el espacio de búsqueda propuesto y el espacio de búsqueda completo, los resultados se ilustran en la figura 5.7.

5.2. Conclusiones

Tres distintas clases de reguladores fueron optimizados mediante el algoritmo NSGA-II y el cromosoma propuesto en el capítulo 4, uno de ellos es compensado de manera externa y los otros dos de forma interna. En el primero de ellos se esta-

Variable	Mín.	Máx.	Promedio	σ
$\mathbf{W}_{\mathbf{P}}$	10200	38400	29587.6	13858.9
$\mathbf{C_1}$	1	49	21.5	15.2
$\mathbf{R}_{\mathbf{CMFB}}$	13	300	226.0	81.2
$\mathbf{I}_{\mathbf{Bias}}$	1	20	13.8	5.6
\mathbf{L}	1.05	10	5.3	2.8
$\mathbf{W}_{\mathbf{M1}-\mathbf{M4}}$	11	492	203.6	126.1
$\mathbf{W_{M8}}$	10	494	185.8	74.2
W_{M10}	14	499	289.9	101.5

Tabla 5.7: Valores de los genes adquiridos durante la optimización del regulador de la figura 5.1c.



Figura 5.7: Comparación de la velocidad de convergencia del algoritmo con diferentes Ω durante la optimización del regulador de la figura 5.1c.

blecieron como funciones objetivo el PSR y el valor del capacitor de compensación externo. De igual forma, para los reguladores restantes se fijaron como objetivos el PSR y la reducción de corriente en modo reposo.

Posteriormente, las soluciones obtenidas durante el proceso de optimización fueron evaluadas y comparadas con los diseños tradicionales mediante dos figuras de mérito, dando como resultado soluciones con desempeños tanto superiores como inferiores con respecto al desempeño nominal.

De igual manera, se compararon los tiempos de convergencia del motor de optimización utilizando el espacio de búsqueda reducido mediante el cromosoma propuesto y el espacio de búsqueda total del problema. Finalmente, se concluyó que efectivamente el cromosoma propuesto cumplió con ambos objetivos establecidos: la obtención de soluciones mejores y factibles, y la aceleración del tiempo de cómputo del algoritmo NSGA-II.

5. Optimización de Reguladores LDO

Capítulo 6 Variaciones de Proceso, Voltaje y Temperatura (PVT)

Para garantizar un elevado porcentaje de *yield* y un tiempo de vida suficiente de los circuitos fabricados, posibles variaciones debidas a distintos factores y fallas tienen que ser consideradas durante el flujo de diseño. Con el objetivo de disminuir costos e incrementar el desempeño de los circuitos integrados, las dimensiones de los componentes son reducidas de forma constante. Sin embargo, esta reducción de dimensiones da origen a un nuevo problema de confiabilidad y robustez de los circuitos, afectando especialmente a los circuitos analógicos los cuales suelen ser muy sensibles a esas pequeñas variaciones.

En este capítulo se exponen los resultados obtenidos de someter a variaciones de proceso, voltaje y temperatura aquellas soluciones que presentaron un mejor desempeño encontradas por el algoritmo NSGA-II durante el capítulo anterior. De esta forma, se comprueba que los resultados obtenidos mediante el motor de optimización además de presentar mejores características, son soluciones robustas.

6.1. Introducción

En la figura 6.1 se muestran los diagramas esquemáticos de los reguladores de voltaje que fueron sometidos a variaciones de PVT. Durante el capítulo anterior estos reguladores fueron optimizados aplicando el algoritmo genético NSGA-II, por medio del cual se obtuvieron distintas soluciones con diferentes métricas de desempeño.

Los circuitos de las figuras 6.1a y 6.1b fueron dimensionados con los valores de las variables de diseño que representan a los individuos 2 y 5 de las tablas 5.4 y



(b) Regulador LDO 2

Figura 6.1: Reguladores de voltaje sometidos a variaciones de PVT

5.6, respectivamente. En las tablas 6.1 y 6.2 se muestran las dimensiones y valores asignados a cada elemento que forma parte de estos reguladores, comparados con los valores reportados para cada uno de ellos. En dichas tablas se puede observar que a pesar de haber asignado dimensiones mayores para la mayoría de los transistores, las soluciones obtenidas mediante el proceso de optimización poseen capacitancias
de compensación y dispositivos de paso menores a los reportados mediante técnicas de diseño tradicional. Por tanto, si se aplican técnicas de generación de *layout* adecuadas, los reguladores pueden ser implementados en un área de silicio menor [57] [58].

Elemento	Diseño Tradicional [19]	NSGA-II
$M_E(\lambda)$	(100/10)	(120/4)
$M_{0e} (\lambda)$	(5/10)	(19/4)
$M_1(\lambda)$	(10/10)	(80/4)
$M_2(\lambda)$	(25/10)	(38/4)
$M_3(\lambda)$	(14.5/10)	(202/4)
$M_4 \ (\lambda)$	(101.5/10)	(171/4)
$M_5, M_{f2} (\lambda)$	(15/2)	(15/2)
$M_6, M_{f1} (\lambda)$	(5/2)	(5/2)
$M_P(\lambda)$	(80000/2)	(52600/2)
I_{Bias1} (μA)	5	11
I_{Bias2} (μA)	10	1
$R_{FB1} (k\Omega)$	156	156
$R_{FB2} (k\Omega)$	124	124
$R_f \ (k\Omega)$	200	237
$C_f \ (pF)$	20	5
$C_{f2} \ (pF)$	1	0.5

Tabla 6.1: Comparación de los valores asignados a cada elemento del regulador de la figura 6.1a

En las siguientes secciones se evaluará el desempeño de los reguladores LDO obtenido mediante simulaciones que incluyen variaciones de PVT. Ambos reguladores fueron sometidos a variaciones de proceso utilizando los siguientes modelos de transistores respectivos de sus tecnologías de fabricación:

- 1.- TT.- Valores de variables de proceso nominales.
- **2**.- **SS.-** Ambos transistores (NMOS y PMOS) son lentos.
- 3.- FF.- Ambos transistores (NMOS y PMOS) son rápidos.
- 4.- SNFP.- Transistores NMOS lentos y transistores PMOS rápidos.
- 5.- FNSP.- Transistores NMOS rápidos y transistores PMOS lentos.

Elemento	Diseño Tradicional [52]	NSGA-II	
$M_1 - M_4 \ (\lambda)$	(55.55/5.55)	(45/6)	
$M_5 - M_7 (\lambda)$	(44.44/3.33)	(85/4)	
$M_8 (\lambda)$	(44.44/3.33)	(47/4)	
$M_9~(\lambda)$	(222.22/5.55)	(270/6)	
$M_{10} (\lambda)$	(222.22/5.55)	(148/6)	
$M_{a1}, M_{a2} \ (\lambda)$	(11.11/3.33)	(43/4)	
$M_{a3}, M_{a4} (\lambda)$	(5.55/3.33)	(53/4)	
$M_{a5} (\lambda)$	(44.44/3.33)	(189/4)	
$M_P(\lambda)$	(66666.66/2)	(37200/2)	
$I_{Bias1} - I_{Bias3} \ (\mu A)$	0.50	0.43	
$R_1 - R_2 \ (k\Omega)$	66	140	
$C_1 \ (pF)$	-	4	
$C_{Out} \ (pF)$	100	100	

Tabla 6.2: Comparación de los valores asignados a cada elemento del regulador de la figura 6.1b

De igual forma, se varió su temperatura de operación con los siguientes valores: $-20^{O}C$, $60^{O}C$ y $100^{O}C$. Por otra parte, su voltaje de entrada (V_{In}) también fue sometido a variaciones en un rango de 3 a 4V para el regulador de la figura 6.1a y un rango de 1.2 a 2V para el regulador de la figura 6.1b. De esta manera, cada regulador fue probado bajo 30 condiciones de operación distintas.

6.2. Desempeño de Regulación

La regulación de carga se refiere a qué tanto varía el voltaje de salida (V_{Out}) con respecto a variaciones en la corriente de carga bajo condiciones de estado estacionario. La regulación de carga puede obtenerse al hacer un barrido de la fuente de corriente I_L (a una velocidad menor que la velocidad de respuesta del regulador) en la figura 6.2 mientras se monitorea el voltaje de salida V_{Out} .

En la figura 6.3 se muestran los efectos de las variaciones de PVT en la regulación de carga de ambos reguladores. Para ambos se muestra el caso bajo condiciones de operación y proceso nominales, además del mejor y peor caso obtenidos del análisis de PVT.

A pesar de que la regulación de carga del regulador 1 se incrementa más de tres veces con respecto al desempeño mostrado bajo condiciones nominales, este aún es



Figura 6.2: Banco de pruebas para evaluar el desempeño de reguladores de voltaje LDO.



Figura 6.3: Efecto de variaciones PVT sobre la regulación de carga de los reguladores de las figuras (a)6.1a y (b)6.1b.

menor que el valor reportado (sin considerar variaciones de PVT). Por otra parte, el regulador 3 sufre de menores variaciones, mostrando una regulación de carga muy similar a la reportada.

Por otro lado, la regulación de línea indica cuánto varía el voltaje de salida (V_{Out}) con respecto a variaciones en el voltaje de entrada (V_{In}) bajo condiciones de estado estacionario. La regulación de línea se obtiene a través de un método muy semejante al utilizado para obtener la regulación de carga, sólo que en esta ocasión se realiza un barrido del voltaje V_{In} mientras la corriente de carga permanece constante. En las figuras 6.4 y 6.5 se ilustran los efectos de las variaciones de PVT para la regulación de línea de ambos reguladores, bajo condiciones de cero carga y carga completa.



Figura 6.4: Efecto de variaciones PVT sobre la regulación de línea del regulador de la figura 6.1a con (a) $I_L = 0mA$ e (b) $I_L = 50mA$.



Figura 6.5: Efecto de variaciones PVT sobre la regulación de línea del regulador de la figura 6.1b con (a) $I_L = 0mA$ e (b) $I_L = 100mA$.

De nuevo, aunque la regulación de línea se ve degradada debido a las variaciones de PVT, para el regulador 1 en ambos casos de condiciones de carga los valores obtenidos continúan siendo mejores a los valores reportados. Por otro lado, las variaciones en la regulación de línea del regulador 2 son menores y presentan un comportamiento muy similar al reportado.

6.3. Desempeño en el Dominio de la Frecuencia

A pesar del buen desempeño de regulación mostrado por los reguladores de voltaje en la sección anterior, es necesario someterlos a un análisis en el dominio de la frecuencia con el objetivo de obtener su ganancia de lazo abierto (A_{OL}) y su margen de fase, y así poder determinar su estabilidad bajo todas las condiciones de operación.

En la figura 6.6 se ilustra la configuración utilizada para obtener la ganancia de lazo abierto y el margen de fase de los reguladores de voltaje. Con el propósito de realizar las mediciones de forma adecuada, fueron agregados un capacitor (C_{Prueba}) y un inductor (L_{Prueba}) (con valores de capacitancia e inductancia elevados, respectivamente) dentro del lazo de realimentación, cuyo objetivo consiste en abrir y cerrar el lazo a frecuencias determinadas.



Figura 6.6: Circuito de prueba para medir la ganancia de lazo abierto y el margen de fase de reguladores de voltaje LDO.

En la figura 6.7 se muestra la respuesta en frecuencia del regulador de la figura

6.1a, donde se presentan los casos típico, peor y mejor para condiciones de cero carga y carga completa. En condiciones de carga completa, la ganancia de lazo abierto (A_{OL}) varía desde los 46dB a los 69dB, mientras que el margen de fase siempre es superior a los 75°. Por otro lado, en condiciones de cero carga A_{OL} sufre cambios entre los 41dB y los 77dB, mientras que la estabilidad del regulador se degrada notablemente al reducir el margen de fase hasta los 5°. No obstante, posteriormente se demostrará el correcto funcionamiento del regulador en el dominio del tiempo bajo todas las condiciones de prueba a las que fue sometido.



Figura 6.7: Efecto de variaciones PVT sobre la respuesta en frecuencia del regulador de la figura 5.1b.

En la figura 6.8 se muestra la respuesta en frecuencia del regulador de la figura 6.1b. En condiciones de carga completa, la ganancia de lazo abierto (A_{OL}) varía desde los 28dB hasta los 57dB, mientras que el margen de fase siempre es superior a los 82°. Por otro lado, en condiciones de cero carga A_{OL} sufre una disminución importante al caer hasta los 5dB, mientras que el margen de fase mínimo es de 5° al igual que con el regulador anterior. regulador se degrada notablemente al reducir el margen de fase hasta los . A pesar de la disminución de A_{OL} , en la sección anterior se demostró que



las variaciones en la regulación de carga y la regulación de línea no son significativas.

Figura 6.8: Efecto de variaciones PVT sobre la respuesta en frecuencia del regulador de la figura 5.1c.

En la tabla 6.3 se expone la información más relevante obtenida del análisis en frecuencia realizado a los reguladores de voltaje de la figura 6.1. Tal y como se concluyó mediante los análisis mostrados en el capítulo 2, se puede observar que los verdaderos problemas de estabilidad surgen bajo condiciones de cero carga (o carga ligera).

Otra métrica de desempeño que debe ser analizada en el dominio de la frecuencia es el rechazo a la fuente de alimentación (PSR). La medición consiste en introducir una onda sinusoidal dentro de V_{In} (como se muestra en la figura 6.6), haciendo un barrido de su frecuencia y monitoreando los rizos resultantes en el voltaje V_{Out} . En la figura 6.9 se ilustra el PSR para ambos reguladores de voltaje en un amplio rango de frecuencias.

En la figura 6.9a se observa que para el regulador 1 el PSR aumenta hasta un valor cercano a los -40dB en frecuencias bajas, sin embargo, en frecuencias superiores a los 500kHz el comportamiento se mejora con respecto a los valores nominales.

Parámetro	Regulador 1			Regulador 2		
	Mín.	Nom.	Máx.	Mín.	Nom.	Máx.
$A_{OL}(dB)$						
$I_L = 50mA/100mA$	46.5	54	69.5	28.1	36.6	57.1
$MF(^{o})$						
$I_L = 50mA/100mA$	75	108	110	82	90	92
$A_{OL}(dB)$						
$I_L = 0mA/1\mu A$	41.1	72	77.6	5.1	67.2	72.3
$MF(^{o})$						
$I_L = 0mA/1\mu A$	5	5	57	5	7	129

Tabla 6.3: Resultados obtenidos en el dominio de la frecuencia para los reguladores de voltaje de la figura 6.1



Figura 6.9: Efecto de variaciones PVT sobre el PSR de los reguladores de las figuras (a)6.1a y (b)6.1b.

En la figura 6.9b se ilustran los efectos del PSR para el regulador 2 ante variaciones de PVT. En frecuencias relativamente bajas las variaciones son mayores, no obstante, a partir de los 4kHz los efectos de las variaciones de PVT no son muy significativos.

6.4. Desempeño en el Dominio del Tiempo

Con el propósito de garantizar el buen funcionamiento de los reguladores de voltaje ante variaciones abruptas en la corriente de carga y determinar su completa estabilidad, es necesario realizar un análisis en el dominio del tiempo. En la figura 6.10 se muestra la respuesta transitoria del regulador de la figura 6.1a para cuatro distintas condiciones de operación. En esta figura también se muestra la variación en la corriente de carga (ΔI_L), la cual realiza un cambio abrupto de 0mA a 50mA con tiempos de subida y bajada igual a $1\mu S$. Los casos mostrados son aquellos que obtuvieron una mayor variación en el voltaje de salida (ΔV_{Out}), un mayor tiempo de establecimiento (T_{settle}), y aquel con un menor margen de fase. Se puede observar que las variaciones de PVT no afectaron en gran medida la respuesta transitoria del regulador 1.



Figura 6.10: Efecto de variaciones PVT sobre la respuesta transitoria del regulador de la figura 6.1a.

En la figura 6.11 se muestra la respuesta transitoria del regulador de la figura 6.1b para cuatro distintas condiciones de operación. En esta figura también se muestra la variación en la corriente de carga (ΔI_L), la cual realiza un cambio abrupto de $10\mu A$ a 100mA con tiempos de subida y bajada igual a $1\mu S$. Al igual que con el regulador 1, se muestran aquellos casos que obtuvieron una mayor variación en el voltaje de salida (ΔV_{Out}), un mayor tiempo de establecimiento (T_{settle}), y aquel con un menor margen de fase. En esta ocasión los efectos de las variaciones de PVT son mayores a los mostrados para el regulador anterior. La variación máxima en V_{Out} es igual a 291mV, un valor que apenas es mayor al reportado (sin considerar variaciones de PVT). Por otra parte, el T_{settle} máximo es de aproximadamente $30\mu S$.



Figura 6.11: Efecto de variaciones PVT sobre la respuesta transitoria del regulador de la figura 6.1b.

Finalmente, en ambos reguladores de voltaje el consumo de potencia se incremento en la esquina de proceso FF bajo una temperatura de operación de 100°C: $95\mu A$ y $13\mu A$, para el regulador de la figura 6.1a y 6.1b, respectivamente.

6.5. Conclusiones

Dos reguladores de voltaje lineales fueron sometidos a variaciones de proceso, voltaje y temperatura (PVT), comprobando su buen desempeño ante 30 distintas condiciones de operación. Análisis en el dominio de la frecuencia y el tiempo fueron realizados con el objetivo de garantizar su estabilidad ante cualquier condición de operación. Se observó cómo la estabilidad de los reguladores se degrada en condiciones de carga ligera, lo cual se ve reflejado en variaciones del voltaje de salida y tiempos

de establecimiento mayores.

Aún cuando algunas métricas se vieron afectadas por las variaciones de PVT, ambos reguladores mostraron un buen desempeño general. En algunas métricas se obtuvieron mejores resultados que aquellos reportados mediante el proceso de diseño tradicional, incluso considerando variaciones de PVT. 6. Variaciones de Proceso, Voltaje y Temperatura (PVT)

Capítulo 7 Conclusiones

El diseño analógico continúa siendo una limitante en la industria de circuitos integrados en cuanto a tiempo de diseño se refiere, es por eso que la automatización de su proceso de síntesis ha sido tema de investigación durante los últimos años. Por otra parte, debido al crecimiento exponencial en el uso de dispositivos electrónicos portables y al elevado nivel de rendimiento que demandan las aplicaciones modernas, se ha vuelto una prioridad el diseño de circuitos orientados al acondicionamiento y manejo de energía que además de ser eficientes posean altas métricas de desempeño. Con el objetivo de encarar estos desafíos de diseño, en esta Tesis se presentó el uso del algoritmo genético NSGA-II para la optimización de reguladores de voltaje lineales LDO.

En cualquier método de búsqueda o aprendizaje computacional, la manera en la cuál se codifica y vincula el problema atacado suele ser un factor determinante en el éxito o fracaso del mismo. Debido a esto, la aportación principal de esta Tesis consistió en la determinación y propuesta de un cromosoma a través de un análisis de tolerancias realizado a distintas topologías de reguladores LDO. El principal objetivo de este análisis fue generalizar el comportamiento de los reguladores con respecto a variaciones en los elementos que forman parte de sus bloques fundamentales como amplificador de error, red de compensación, etc. Como resultado, se obtuvo un cromosoma compuesto por siete distintas variables de diseño, las cuales pueden ser activadas o no, dependiendo de la composición o topología del regulador bajo optimización.

Posteriormente, el cromosoma propuesto fue utilizado en conjunto con el conocido algoritmo genético NSGA-II para realizar la optimización de tres distintas estructuras de reguladores de voltaje. Como método de evaluación se vinculó al algoritmo NSGA-II con el simulador de circuitos integrados HSPICE, brindando al sistema de optimización la ventaja de proporcionar soluciones reales y confiables, además de la versatilidad de poder ser usado sin importar la estructura, complejidad o tecnología de fabricación del regulador de voltaje. A continuación, se realizó una comparación de los diseños realizados a través de técnicas tradicionales y las soluciones alcanzadas por el NSGA-II. Los resultados muestran la utilidad y factibilidad del cromosoma propuesto, ya que se obtuvieron soluciones con un desempeño superior al reportado por los métodos de diseño tradicionales (tomando como referencia las FDM utilizadas en este trabajo de tesis), además de haber reducido los tiempos de convergencia de las soluciones obtenidas por el algoritmo genético.

En el mundo real, variaciones ocurridas durante el proceso de fabricación, fluctuaciones en los voltajes de alimentación y cambios en la temperatura del entorno donde opera el circuito pueden degradar en gran medida su funcionamiento. Por esta razón, en el último capítulo se exponen los resultados obtenidos al someter a variaciones de PVT las soluciones que presentaron un mejor desempeño durante la etapa de optimización, con el objetivo de probar la robustez de las mismas.

Como conclusión, el enfoque de optimización propuesto ayuda en la mejora de reguladores de voltaje lineales a través de la generación de soluciones factibles y robustas, logrando la convergencia de las soluciones en un menor número de generaciones.

Apéndice Artículos Publicados

Jesus Lopez-Arredondo, Esteban Tlelo-Cuautle, Rodolfo Trejo-Guerra, *Optimizing an LDO Voltage Regulator by Evolutionary Algorithms Considering Tolerances of the Circuit Elements*, Latin American Test Symposium (LATS), pp. 1-5, Puerto Vallarta Mexico, March 25-27, 2015. DOI: 10.1109/LATW.2015.7102506

Bibliografía

- Vishal Gupta, Gabriel A Rincón-Mora, and Prasun Raha. Analysis and design of monolithic, high psr, linear regulators for soc applications. In SOC Conference, 2004. Proceedings. IEEE International, pages 311–315. IEEE, 2004.
- [2] Gabriel Rincon-Mora. Analog IC Design with Low-Dropout Regulators (LDOs). McGraw-Hill, Inc., 2009.
- [3] Manuel FM Barros, Jorge MC Guilherme, and Nuno CG Horta. Analog circuits and systems optimization based on evolutionary computation techniques. Springer, 2010.
- [4] Georges GE Gielen and Rob A Rutenbar. Computer-aided design of analog and mixed-signal integrated circuits. *Proceedings of the IEEE*, 88(12):1825–1854, 2000.
- [5] Domine Leenaerts, Georges Gielen, and Rob A Rutenbar. Cad solutions and outstanding challenges for mixed-signal and rfic design. In *Proceedings of the* 2001 IEEE/ACM international conference on Computer-aided design, pages 270– 277. IEEE Press, 2001.
- [6] T Regan. Low dropout linear regulators improve automotive and batterypowered systems. *Power Conversion and Intelligent Motion*, 16(2):65–69, 1990.
- [7] David CW Ng, David KK Kwong, and Ngai Wong. A sub-1 v, 26 w, lowoutput-impedance cmos bandgap reference with a low dropout or source follower mode. Very Large Scale Integration (VLSI) Systems, IEEE Transactions on, 19(7):1305–1309, 2011.

- [8] Ewout Martens and Georges Gielen. Classification of analog synthesis tools based on their architecture selection mechanisms. *Integration, the VLSI Journal*, 41(2):238–252, 2008.
- [9] Marc GR Degrauwe, Olivier Nys, Evert Dijkstra, J Rijmenants, S Bitz, Bernard LAG Goffart, EA Vittoz, S Cserveny, C Meixenberger, G Van Der Stappen, et al. Idac: An interactive design tool for analog cmos circuits. *Solid-State Circuits, IEEE Journal of*, 22(6):1106–1116, 1987.
- [10] Ramesh Harjani, Rob A Rutenbar, and L Richard Carley. Oasys: A framework for analog circuit synthesis. Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on, 8(12):1247–1266, 1989.
- [11] Han Young Koh, Carlo H Sequin, and Paul R Gray. Opasyn: A compiler for cmos operational amplifiers. Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on, 9(2):113–125, 1990.
- [12] J Paul Harvey, Mohamed I Elmasry, and Bosco Leung. Staic: An interactive framework for synthesizing cmos and bicmos analog circuits. *Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on*, 11(11):1402– 1417, 1992.
- [13] Rodney Phelps, Michael Krasnicki, Rob A Rutenbar, L Richard Carley, and James R Hellums. Anaconda: simulation-based synthesis of analog circuits via stochastic pattern search. Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on, 19(6):703–717, 2000.
- [14] Michael Krasnicki, Rodney Phelps, Rob A Rutenbar, and L Richard Carley. Maelstrom: efficient simulation-based synthesis for custom analog cells. In Proceedings of the 36th annual ACM/IEEE Design Automation Conference, pages 945–950. ACM, 1999.
- [15] Georges Gielen, Trent McConaghy, and Tom Eeckelaert. Performance space modeling for hierarchical synthesis of analog integrated circuits. In *Proceedings* of the 42nd annual design automation conference, pages 881–886. ACM, 2005.
- [16] Gabriel Rincon-Mora and Phillip E Allen. A low-voltage, low quiescent current, low drop-out regulator. Solid-State Circuits, IEEE Journal of, 33(1):36–44, 1998.

- [17] Mohamed El-Nozahi, Ahmed Amer, Joselyn Torres, Kamran Entesari, and Edgar Sánchez-Sinencio. High psr low drop-out regulator with feed-forward ripple cancellation technique. *Solid-State Circuits, IEEE Journal of*, 45(3):565–577, 2010.
- [18] Ka Nang Leung and Philip KT Mok. A capacitor-free cmos low-dropout regulator with damping-factor-control frequency compensation. *Solid-State Circuits, IEEE Journal of*, 38(10):1691–1702, 2003.
- [19] Robert Jon Milliken, Jose Silva-Martínez, and Edgar Sánchez-Sinencio. Full onchip cmos low-dropout voltage regulator. *Circuits and Systems I: Regular Papers*, *IEEE Transactions on*, 54(9):1879–1890, 2007.
- [20] Peter Hazucha, Tanay Karnik, Bradley A Bloechel, Colleen Parsons, David Finan, and Shekhar Borkar. Area-efficient linear regulator with ultra-fast load regulation. *Solid-State Circuits, IEEE Journal of*, 40(4):933–940, 2005.
- [21] Chia-Min Chen, Tung-Wei Tsai, and Chung-Chih Hung. Fast transient lowdropout voltage regulator with hybrid dynamic biasing technique for soc application. Very Large Scale Integration (VLSI) Systems, IEEE Transactions on, 21(9):1742–1747, 2013.
- [22] CJ Leo, MK Raja, and Je Minkyu. An ultra low-power capacitor-less ldo with high psr. In Microwave Workshop Series on RF and Wireless Technologies for Biomedical and Healthcare Applications (IMWS-BIO), 2013 IEEE MTT-S International, pages 1–3. IEEE, 2013.
- [23] Gianluca Giustolisi, Gaetano Palumbo, and Ester Spitale. Robust miller compensation with current amplifiers applied to Ido voltage regulators. *Circuits and Systems I: Regular Papers, IEEE Transactions on*, 59(9):1880–1893, 2012.
- [24] Amit P Patel and Gabriel A Rincón-Mora. High power-supply-rejection (psr) current-mode low-dropout (ldo) regulator. *Circuits and Systems II: Express Briefs, IEEE Transactions on*, 57(11):868–873, 2010.
- [25] Liang-Guo Shen, Zu-Shu Yan, Xing Zhang, Yuan-Fu Zhao, and Tie-Jun Lu. Design of low-voltage low-dropout regulator with wide-band high-psr characteristic.

In Solid-State and Integrated Circuit Technology, 2006. ICSICT'06. 8th International Conference on, pages 1751–1753. IEEE, 2006.

- [26] Jun Chen and Xiaoyu Xi. Low dropout voltage regulator with improved power supply rejection ratio, April 1 2003. US Patent 6,541,946.
- [27] Minsu Jeong, Bonkee Kim, Youngho Cho, Yanggyun Kim, Seyeob Kim, Heeyong Yoo, Junghwan Lee, Jae Kyung Lee, Kyung Soo Jung, Jeiyoung Lee, et al. A 65nm cmos low-power small-size multistandard, multiband mobile broadcasting receiver soc. In Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2010 IEEE International, pages 460–461. IEEE, 2010.
- [28] Takashi Takemoto, Hiroki Yamashita, Takehito Kamimura, Fumio Yuki, Noboru Masuda, Hidehiro Toyoda, Norio Chujo, Kenji Kogo, Yong Lee, Shinji Tsuji, et al. A 25-gb/s 2.2-w optical transceiver using an analog fe tolerant to power supply noise and redundant data format conversion in 65-nm cmos. In VLSI Circuits (VLSIC), 2012 Symposium on, pages 106–107. IEEE, 2012.
- [29] Keith A Bowman, Carlos Tokunaga, Tanay Karnik, Vivek K De, and Jim W Tschanz. A 22nm dynamically adaptive clock distribution for voltage droop tolerance. In VLSI Circuits (VLSIC), 2012 Symposium on, pages 94–95. IEEE, 2012.
- [30] Yan Lu, Yipeng Wang, Quan Pan, W-H Ki, and C Patrick Yue. A fully-integrated low-dropout regulator with full-spectrum power supply rejection.
- [31] Hamed Aminzadeh, Mohammad R Nabavi, and Wouter A Serdijn. Low-dropout voltage source: An alternative approach for low-dropout voltage regulators. *Circuits and Systems II: Express Briefs, IEEE Transactions on*, 61(6):413–417, 2014.
- [32] John Hu and Mohammed Ismail. CMOS High Efficiency On-chip Power Management. Springer Science & Business Media, 2011.
- [33] David E Golberg. Genetic algorithms in search, optimization, and machine learning. Addion wesley, 1989, 1989.
- [34] T Back, DB Fogel, and Z Michalewicz. Evolutionary algorithms and their standard instances. *Handbook of Evolutionary Computation*, 1997.

- [35] Zbigniew Michalewicz. Evolutionary computation techniques for nonlinear programming problems. International Transactions in Operational Research, 1(2):223-240, 1994.
- [36] Ricardo S Zebulum, Marley S Vellasco, and Marco Aurélio Pacheco. Variable length representation in evolutionary electronics. *Evolutionary Computation*, 8(1):93–120, 2000.
- [37] Lawrence J Fogel, Alvin J Owens, and Michael J Walsh. Artificial intelligence through simulated evolution. *John Wiley*, 1966.
- [38] David B Fogel. Evolutionary computation: toward a new philosophy of machine intelligence, volume 1. John Wiley & Sons, 2006.
- [39] Ingo Rechenberg. Evolution strategy: Optimization of technical systems by means of biological evolution. *Fromman-Holzboog, Stuttgart*, 104, 1973.
- [40] John H Holand. Adaptation in natural and artificial systems. Ann Arbor: The University of Michigan Press, 1975.
- [41] John R Koza. Genetic programming: on the programming of computers by means of natural selection, volume 1. MIT press, 1992.
- [42] John R Koza, Martin A Keane, Matthew J Streeter, William Mydlowec, Jessen Yu, and Guido Lanza. Book review: Genetic programming iv: Routine humancompetitive machine intelligence. *Genetic Programming and Evolvable Machines*, 6:231–233, 2005.
- [43] Jeffrey Horn, Nicholas Nafpliotis, and David E Goldberg. A niched pareto genetic algorithm for multiobjective optimization. In Evolutionary Computation, 1994. IEEE World Congress on Computational Intelligence., Proceedings of the First IEEE Conference on, pages 82–87. Ieee, 1994.
- [44] Kaisa Miettinen. Some methods for nonlinear multi-objective optimization. In Evolutionary Multi-Criterion Optimization, pages 1–20. Springer, 2001.
- [45] Kalyanmoy Deb, Manikanth Mohan, and Shikhar Mishra. Evaluating the ε domination based multi-objective evolutionary algorithm for a quick computation of pareto-optimal solutions. *Evolutionary computation*, 13(4):501–525, 2005.

- [46] Nidamarthi Srinivas and Kalyanmoy Deb. Muiltiobjective optimization using nondominated sorting in genetic algorithms. *Evolutionary computation*, 2(3):221–248, 1994.
- [47] Kalyanmoy Deb, Amrit Pratap, Sameer Agarwal, and TAMT Meyarivan. A fast and elitist multiobjective genetic algorithm: Nsga-ii. Evolutionary Computation, IEEE Transactions on, 6(2):182–197, 2002.
- [48] Ivick Guerra-Gómez, Esteban Tlelo-Cuautle, and Luis Gerardo de la Fraga. Sensitivity analysis in the optimal sizing of analog ics by evolutionary algorithms. In Evolutionary Computation (CEC), 2013 IEEE Congress on, pages 3161–3165. IEEE, 2013.
- [49] Adriana Carolina Sanabria-Borbon and Esteban Tlelo-Cuautle. Sizing analog integrated circuits by combining g m/i d technique and evolutionary algorithms. In Circuits and Systems (MWSCAS), 2014 IEEE 57th International Midwest Symposium on, pages 234–237. IEEE, 2014.
- [50] C Huang, Y Ma, and W Liao. Design of a low-voltage low-dropout regulator. Very Large Scale Integration (VLSI) Systems, IEEE Transactions on, 22(6):1308– 1313, 2014.
- [51] Ho-Joon Jang, Yong-Seong Roh, Young-Jin Moon, Jeongpyo Park, and Changsik Yoo. Low drop-out (ldo) voltage regulator with improved power supply rejection. *Journal of Semiconductor technology and science*, 12(3):313–319, 2012.
- [52] Rasoul Fathipour, Alireza Saberkari, Herminio Martinez, and Eduard Alarcón. High slew rate current mode transconductance error amplifier for low quiescent current output-capacitorless cmos ldo regulator. *Integration, the VLSI Journal*, 47(2):204–212, 2014.
- [53] Sai Kit Lau, Philip KT Mok, and Ka Nang Leung. A low-dropout regulator for soc with q-reduction. *Solid-State Circuits, IEEE Journal of*, 42(3):658–664, 2007.
- [54] Sau Siong Chong and Pak Kwong Chan. A sub-1 v transient-enhanced outputcapacitorless ldo regulator with push-pull composite power transistor. *Very Lar*-

ge Scale Integration (VLSI) Systems, IEEE Transactions on, 22(11):2297–2306, 2014.

- [55] R Jacob Baker. CMOS: circuit design, layout, and simulation, volume 18. John Wiley & Sons, 2011.
- [56] Roubik Gregorian and Gabor C Temes. Analog mos integrated circuits for signal processing. New York, Wiley-Interscience, 1986, 614 p., 1, 1986.
- [57] Christopher Saint and Judy Saint. IC mask design: Essential layout techniques. McGraw-hill New York, 2002.
- [58] Ray Alan Hastings and Roy Alan Hastings. *The art of analog layout*, volume 2. Prentice Hall, 2006.