



INAOE

**DISEÑO CMOS DE LA ETAPA DE POTENCIA Y
MODULACIÓN PARA UN CAPACITOR EMISOR DE
LUZ (LEC)**

Por

Ing. Fausto Orozco Coy

Tesis sometida como requisito parcial
para obtener el grado de

**MAESTRO EN CIENCIAS EN LA
ESPECIALIDAD EN ELECTRÓNICA**

en el

**Instituto Nacional de Astrofísica,
Óptica y Electrónica**
Julio 2018
Tonantzintla, Puebla

Supervisada por:

**Dr. Alejandro Díaz Méndez
&
Dr. Mariano Aceves Mijares**

©INAOE 2018

Derechos Reservados

El autor otorga al INAOE el permiso de reproducir y distribuir copias de esta tesis en su totalidad o en partes mencionando la fuente.



Formato: Cesión de derechos

Con fundamento en los artículos 21 y 27 de la Ley Federal del Derecho de Autor y como Titular de los derechos morales y patrimoniales de la obra titulada:

TÍTULO DE LA TESIS: _____

Otorgo de manera gratuita y permanente al **Instituto Nacional de Astrofísica, Óptica y Electrónica** a su Biblioteca, autorización para que publique la obra en cualquier medio, así como también la divulgue entre sus usuarios, investigadores, estudiantes o terceras personas, siempre y cuando reconozcan y se cite expresamente la autoría de la misma.

De tal manera que la obra queda bajo la licencia [Creative Commons CC BY NC NDⁱ](https://creativecommons.org/licenses/by-nc-nd/2.5/mx/), que permite que otros puedan descargar la obra y compartirla con otras personas, siempre que se reconozca su autoría; pero no se puede cambiar de ninguna manera ni se puede utilizar con algún fin comercial.



Nombre: _____

[ORCIDⁱⁱ](http://orcid.org/): _____

CURP: _____

Firma: _____

Fecha: _____

ⁱ <https://creativecommons.org/licenses/by-nc-nd/2.5/mx/>

ⁱⁱ <http://orcid.org/>

DEDICATORIA

***A mi familia, aun en la distancia han sido el motor que me
impulsa día a día.***

AGRADECIMIENTOS

A mi Familia sin su inmenso apoyo este viaje no hubiese podido empezar.

A mi novia, la cual ha sido mi compañera fiel, le agradezco por todo su apoyo y su fortaleza para afrontar las dificultades de la distancia. Infinitas gracias por no rendirte.

Al pueblo de México quienes por medio del CONACyT nos dan la oportunidad de acceder a una educación superior a muchos estudiantes, incluso a personas de otros países como es mi caso, siempre los considerare como un país hermano y los llevaré en el corazón.

A mis Directores: el Dr. José Alejandro Díaz Méndez y al Dr. Mariano Aceves Mijares quienes estuvieron prestos a apoyarme en el transcurso de esta Tesis.

A mis sinodales: La Dra. María Teresa Sanz Pascual, el Dr. Emmanuel Gómez Ramírez y el Dr. Guillermo Espinosa Flores-Verdad, por invertir su tiempo en la revisión de esta Tesis, en especial quiero agradecer la amabilidad del Dr. Emmanuel Gómez, su apoyo me permitió avanzar y concluir con esta tesis y al Dr. Guillermo Espinoza Flores-Verdad por su amor a la enseñanza y el tiempo dedicado, muchas gracias.

Finalmente agradezco a mis amigos quienes me acompañaron en este recorrido, gracias por permitirme conocerlos y llenar tantos momentos de alegría.

RESUMEN

El desarrollo de dispositivos emisores de Luz compatibles con un proceso de fabricación CMOS estándar es de interés en el campo de la electrofotónica para el desarrollo de un gran abanico de aplicaciones a bajo costo.

La búsqueda de materiales que posean propiedades electroluminiscentes y que sean compatibles con un proceso de fabricación CMOS estándar ha sido de gran interés. Un material que posee estas características es el Silicio poroso. Sin embargo, sus propiedades mecánicas no son muy buenas. Otro material que ha sido estudiado y que presenta mejores propiedades mecánicas es el óxido de silicio rico en silicio (SRO), usando este material se han fabricado capacitores emisores de Luz (LECs).

En esta tesis se presenta el diseño y layout de la etapa de potencia y modulación para un circuito integrado electrofotónico que utiliza LECs como emisores de luz. Este CI hace uso del proceso de fabricación del Centro Nacional de Microelectrónica (CNM) del Instituto de Microelectrónica de Barcelona (IMB). Se estudiaron los límites de voltaje de la tecnología para diseñar dispositivos con rompimiento eléctrico más allá de los voltajes estándar usados en esta tecnología. Una vez que se logró determinar los voltajes de rompimiento, se diseñó una bomba de carga Dickson y un Modulador PWM, además se diseñó el layout de estos y se hicieron las respectivas simulaciones post-layout.

Contenido

DEDICATORIA	3
AGRADECIMIENTOS.....	4
RESUMEN.....	5
CAPÍTULO 1: INTRODUCCIÓN.....	9
Planteamiento del Problema:.....	11
Objetivo:	12
Metas:	12
Organización de la Tesis:	12
CAPÍTULO 2: REVISION DE CAPACITORES EMISORES DE LUZ (LECS) Y SELECCIÓN DE LEC PARA EFECTOS DE DISEÑO.....	14
Introducción:.....	14
Definiciones y Revisión de Dispositivos reportados:	14
Selección de topología y modelo eléctrico del LEC para efectos de diseño: ...	18
CAPÍTULO 3: CARACTERÍSTICAS DEL PROCESO DE FABRICACIÓN DEL CNM	23
Motivación:	23
Mecanismos de ruptura en una estructura CMOs:	24
Medición de voltajes de Ruptura para el proceso de fabricación del CNM: ..	25
Extracción de parámetros de transistores MOS a partir de modelo SPICE de los transistores del CNM:	31

CAPÍTULO 4: REVISION Y SELECCION DE ELEVADOR DE VOLTAJE ..	34
Introducción:.....	34
Topologías de elevadores de Voltaje:	36
Convertidor elevador PWM de inductancia conmutada:	38
Convertidor elevador de capacitores conmutados:	42
Comparación de los convertidores descritos:.....	46
CAPÍTULO 5: DISEÑO DEL SISTEMA.....	48
Diseño del Core de la Bomba de carga:	49
Diseño del generador de Reloj:	54
Oscilador de anillo:.....	54
Oscilador de anillo controlado por corriente:	55
Diseño del buffer:.....	60
Diseño del Comparador de Voltaje:	62
Diseño del Switch de salida:.....	66
Diseño del Modulador PWM:	69
CAPÍTULO 6: RESULTADOS Y LAYOUT.....	78
Introducción:.....	78
Bomba de Carga:	78
Oscilador de anillo controlado por corriente:	80
Comparador de Voltaje:.....	82
Modulador PWM:.....	84

CAPÍTULO 7: CONCLUSIONES Y TRABAJO FUTURO	89
Conclusiones:.....	89
Trabajo Futuro:	91
Índice de Figuras.....	92
Índice de tablas	95
Referencias	96
ANEXO 1: Modelos SPICE del proceso del CNM	101

CAPÍTULO 1: INTRODUCCIÓN

La patente del transistor solicitada en el año de 1948 por los investigadores Jhon Bardeen, Walter Houser Brattain y William Bradford Shockley [1], puede ser tomada como punto de inicio de la electrónica actual, rama de la ciencia que estudia la conducción y control de los electrones, y que cambió la forma en que vivimos. En 1960 se marca otro hito en la historia con el desarrollo del láser [2], y el surgimiento de la fotónica [3] cuyo objetivo es la generación, control y detección de las ondas de luz (fotones), con aplicaciones tan variadas como las comunicaciones, la electrónica de consumo, la salud entre otros. La fotónica ha tenido un gran impacto en el siglo XXI y se espera que logre revolucionar la forma en que procesamos la información al reemplazar los electrones por fotones con el consecuente aumento en la velocidad y la disminución en el consumo de energía [4].

El Silicio es el material más usado y ampliamente conocido en la industria de la electrónica porque es fácil de fabricar, abundante y relativamente barato. Sin embargo, este no es un buen material para la fotónica, puesto que al ser un material de banda indirecta su capacidad de emisión de luz es pobre. En contraste con lo anterior se ha reportado generación de luz en matrices de Oxido de Silicio que tienen nano estructuras de Silicio, lo cual, abre la posibilidad de la completa integración de sistemas fotónicos y electrónicos (electrofotónica) [5]. Un material que se ha estudiado pues presenta características electroluminiscente prometedoras es el Óxido de Silicio Rico en Silicio (SRO) [6]. Diversos trabajos se han realizado para mejorar las características electroluminiscentes de este, tales como el campo eléctrico de encendido y la potencia óptica [7] [8].

La electrofotónica como su nombre lo sugiere trata de la convivencia en un solo circuito integrado de ambos enfoques: electrónico y fotónico, ello con el fin de aprovechar todo el desarrollo que ya se ha hecho en el ámbito de la electrónica con los beneficios que se esperan de la utilización de los fotones para ciertas tareas; como, por ejemplo, la ausencia de auto calentamiento en las estructuras de conducción, la posibilidad de transmitir múltiples señales por el mismo medio, entre otras. El principal inconveniente de llevar a cabo una aplicación electrofotónica es la integración del emisor de luz. Un ejemplo de esto puede ser visto en [9], en donde se reporta un sistema electrofotónico integrado el cual consta de un microprocesador que usa dispositivos fotónicos para comunicarse con otros chips. Sin embargo, el único elemento que no se integra es el emisor de luz, esta es obtenida externamente de un láser y acoplada con una fibra al circuito. Actualmente, para aplicaciones en las cuales el emisor está integrado se tiene que recurrir a técnicas que no son compatibles con procesos CMOS estándar las cuales son más costosas. Estas técnicas incluyen la integración heterogénea de materiales III-V por crecimiento epitaxial, por medio de técnicas de bonding o la utilización de iones de tierras raras para generación de luz. Las técnicas mencionadas no son compatibles con un proceso CMOS estándar y por ello resultan costosas y complejas, además de que presentan inconvenientes para alinear el emisor con las guías de onda y no ofrecen suficiente tiempo de vida [10]. La presente tesis expone el diseño de un circuito integrado CMOS, como parte de un sistema electrofotónico totalmente en silicio. El circuito diseñado controla un capacitor emisor de luz (LEC) totalmente compatible con la tecnología de silicio. Este circuito será parte de un sistema emisor de luz, una guía de onda y un sensor de luz, conocido como “transceiver”, basado en SRO usando para ello la tecnología CMOS de $2.5 \mu m$ del CNM de España.

Planteamiento del Problema:

Aunque los LECs (LEC del inglés Light Emitting Capacitor) son totalmente compatibles con un proceso CMOS estándar, aún no se ha diseñado una aplicación electrofotónica que pruebe el funcionamiento tanto de la parte electrónica como de la parte fotónica de manera integrada trabajando en conjunto. En [11] se fabricó un circuito integrado CMOS funcional que incluía un dispositivo con SRO. De esta forma se probó que las propiedades del SRO se conservan si se protege con nitruro durante la fabricación del CMOS, y que el SRO no influye en el funcionamiento del circuito integrado. Sin embargo, no se estudiaron las propiedades electroluminiscentes del LEC, sino que se midieron los índices de refracción y la respuesta fotoluminiscente para ser comparadas con las respuestas estándar del SRO. Por lo anterior, es necesario crear un sistema electrofotónico que permita la verificación de la respuesta electroluminiscente de LECs fabricados en conjunto con circuitería electrónica CMOS estándar.

El principal inconveniente práctico de los LECs es que el campo eléctrico de encendido es alto, lo cual hace que se tengan voltajes de encendido de entre 15V y 35V. Aunque los LECs sean compatibles con un proceso CMOS estándar, es necesario contar con un proceso de fabricación flexible que permita introducir algunos pasos de proceso necesarios para la fabricación del LEC. El principal paso extra es un recocido a alta temperatura (1100°C). Para ello se cuenta con la ayuda del instituto de investigación del CNM el cual cuenta con un proceso CMOS de 2.5 μ m, de doble pozo, con 2 niveles de polisilicio y un nivel de metal, y que es lo suficientemente flexible para permitir la fabricación del LEC. Sin embargo, el

proceso de fabricación del CNM no está pensado para ser de alto voltaje siendo el voltaje nominal de operación de entre 5V a 10V. Por lo que es necesario investigar cuales son los limites reales de esta tecnología pues no están caracterizados.

En esta tesis, se diseñará un circuito con un voltaje de entrada estándar de 5V que permita encender y apagar un LEC cuyo voltaje de encendido está entre 15 y 30 volts. El LEC será parte de un transceiver electrofotónico basado en SRO de manera controlada y completamente integrada dentro de los límites de la tecnología. Para ello se usará el proceso de fabricación de circuitos integrados del CNM.

Objetivo:

- Diseñar un circuito integrado de control que permita encender y apagar un LEC dentro de los límites tecnológicos del proceso del CNM con un voltaje de entrada de 5V.

Metas:

- Seleccionar y diseñar un circuito elevador de voltaje.
- Estudiar los límites tecnológicos del proceso del CNM y aprovecharlo para diseñar un circuito de potencia.
- Diseñar un modulador PWM.

Organización de la Tesis:

En el [Capítulo 2](#) se hace una descripción general de los diferentes tipos de LECs fabricados en el INAOE mencionando su estructura, respuesta electroluminiscente y comportamiento eléctrico, para así seleccionar aquel que va a ser la carga para el posterior diseño.

En el [Capítulo 3](#) se presentan los resultados de la caracterización de voltajes de ruptura de las uniones PN de los transistores fabricados en el CNM, pues estas servirán como límites máximos para el diseño del circuito elevador de voltaje.

En el [Capítulo 4](#) se presentan diferentes topologías de elevadores de voltaje y se selecciona una de estas con base en las especificaciones de la carga y la aplicación.

En el [Capítulo 5](#) se describe el diseño de cada uno de los módulos del sistema, los cuales son: la bomba de carga Dickson y los elementos que requiere para su funcionamiento tales como el circuito de reloj, los buffers, un comparador para regulación y lógica digital de control. Se selecciona y diseña un modulador PWM, además se muestra el comportamiento simulado de cada uno de estos bloques y del sistema trabajando en conjunto.

En el [Capítulo 6](#) se presentan los layouts y las simulaciones post-layout de los bloques diseñados y se definen los voltajes de corrección del punto de operación deseado.

En el [Capítulo 7](#) se presentan las conclusiones y el trabajo futuro.

CAPÍTULO 2: REVISION DE CAPACITORES EMISORES DE LUZ (LECS) Y SELECCIÓN DE LEC PARA EFECTOS DE DISEÑO

Introducción:

En este capítulo se hace una breve revisión de los trabajos relacionados con la fabricación de LECs, enfocándose en los dispositivos fabricados en el INAOE, pues estos son los candidatos a ser integrados en la fabricación del circuito integrado electrofotónico como dispositivos emisores.

Posterior a esta revisión se selecciona y estudia en mayor profundidad el dispositivo seleccionado, ya que este hace las veces de carga para el driver de potencia que se diseñó y por ello sus características son de interés.

Definiciones y Revisión de Dispositivos reportados:

El Capacitor Emisor de Luz es un dispositivo con una estructura del tipo mostrado en la Figura 1, este dispositivo tiene propiedades electroluminiscentes.



Figura 1 Estructura general de un Capacitor Emisor de Luz.

El material responsable de la luminiscencia es el SRO (Silicon Rich Oxide, Oxido de Silicio Rico en Silicio) este material ha sido ampliamente estudiado, como ejemplo

en [12] se hace un estudio teórico importante de sus propiedades físicas y en [13] se comparan las propiedades del SRO fabricado por 2 métodos distintos.

Un parámetro importante del SRO es el valor de exceso de silicio medido por el parámetro R_0 , pues este controla propiedades ópticas y eléctricas importantes. En [14] se determinó que el valor de $R_0=30$ presentaba las mejores propiedades de emisión de luz. Se han llevado a cabo diversos experimentos para mejorar la respuesta luminiscente de los LECs. Por ejemplo, construirlos con capas alternas de SRO con diferente valor de R_0 [7], otro enfoque ha sido el de texturizar la superficie de los contactos para aumentar la inyección [8].

En [15] se diseñó un transceiver electrofotónico, el cual puede ser tomado como el elemento fundamental de una aplicación electrofotónica. Un transceiver está compuesto de un emisor de luz acoplado a una guía de onda y a un sensor, su estructura puede ser vista en la Figura 2. Se probaron estructuras monocapa de SRO y bicapa de SRO con Si_3N_4 , se concluyó que los dispositivos que mejor respuesta electroluminiscente tuvieron fueron aquellos dispositivos fabricados con un exceso de Silicio del 0.46% y con estructura bicapa. En la Figura 3 se puede ver un ejemplo de la emisión de un LEC discreto cuando se le aplican 54V y en la Figura 4 se puede apreciar la respuesta del transceiver en diferentes condiciones cuando se le aplica un voltaje de 25V.

En [7] también se estudió el diseño de un transceiver pero en este los emisores fueron fabricados usando estructuras multicapa de SRO con valores de R_0 diferentes e intercalados, ello con el fin de aumentar la inyección con capas más conductoras de SRO que la de $R_0=30$, tales como las capas con $R_0=5$ o $R_0=10$. Las estructuras analizadas pueden ser vistas en la Figura 5. Se estudió el diseño de la guía de onda,

del sensor y la interconexión de estos. Sin embargo, el diseño del sistema óptico integrado transceiver no fue fabricado.

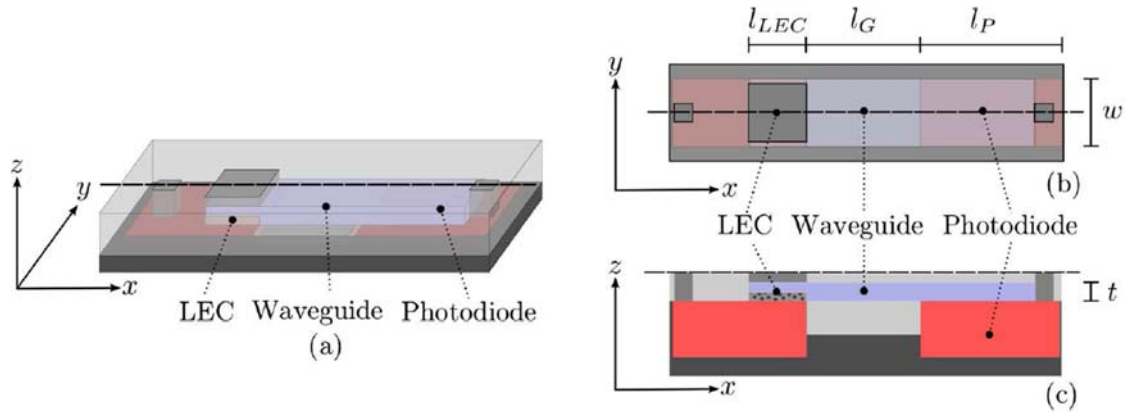


Figura 2 Esquema de Transceiver propuesto en [15]. (a) Vista 3D, (b) Vista superior, (c) Corte Transversal. Extraído de [15].

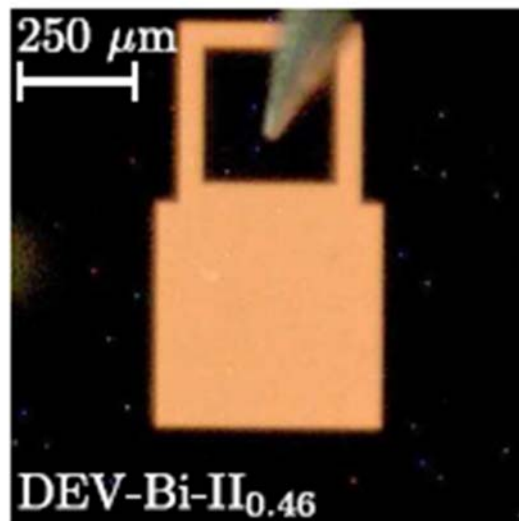


Figura 3. Respuesta electroluminiscente de un LEC Bicapa con exceso de Silicio de 0.46% cuando se aplican 54V Extraído de [6].

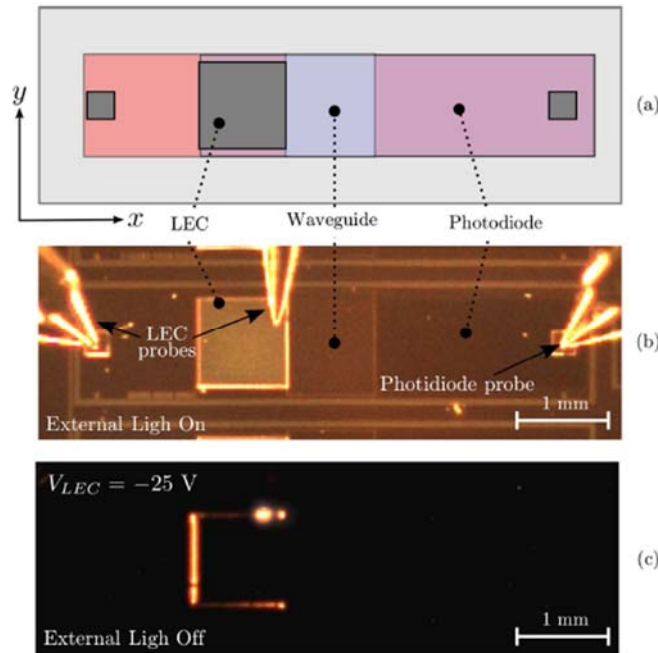


Figura 4. (a) Vista superior del transceiver reportado en [6]. (b) Microfotografía del sistema con luces encendidas. (c) Microfotografía del sistema fabricado con las luces apagadas. Extraído de [6].

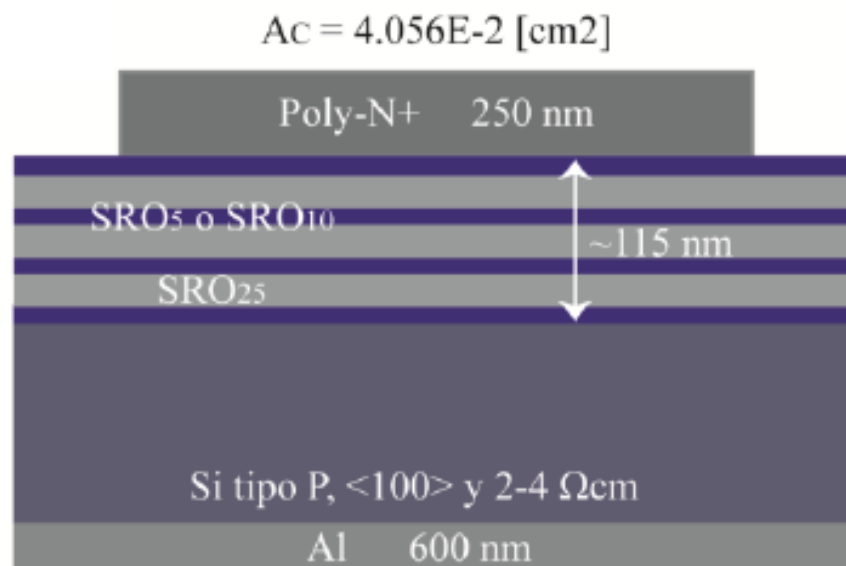


Figura 5. LEC multicapa con variación en R_0 propuesto en [7].

En [8] se construyeron LECs monocapa y multicapa con diferentes condiciones de texturizado ello con el fin de aumentar la inyección de portadores y disminuir el voltaje de encendido, además de aumentar la respuesta electroluminiscente. Se

seleccionaron algunas condiciones de rugosidad promedio y distancia valle pico que fueron aquellas que mejor respuesta electroluminiscente provocaron. Sin embargo, se reporta también que es posible que el texturizado hubiese creado caminos de bajo rompimiento afectando la integridad del SRO.

Selección de topología y modelo eléctrico del LEC para efectos de diseño:

De la sección precedente se observa que se han probado diversas topologías y procesos en la búsqueda de mejorar la respuesta electroluminiscente de los dispositivos fabricados. El comportamiento eléctrico (tales como la capacitancia por unidad de área y la relación corriente-voltaje) de cada LEC perteneciente a una topología con respecto a otra es diferente y, debido a que el dimensionamiento y las características del driver de potencia dependerán de los parámetros del LEC a controlar es necesario seleccionar una topología en específico.

Para la selección de la topología se decidió optar por la propuesta en [6] debido a que es en la única en la que se fabricó tanto el emisor como el receptor de manera integrada, y ello permitió verificar la emisión de luz con la aplicación de un voltaje de 15V el cual, está por debajo de la cota máxima de la tecnología en donde se fabricará el sistema electrofotónico.

Interesa conocer el voltaje mínimo que debe de ser generado por el driver de potencia, pues este valor es un requisito de diseño y además establece el punto de operación del sistema. Para ello se recurre a la figura reportada en [6] y replicada en la Figura 6, esta grafica muestra la corriente fotogenerada sensada en un transceiver. Para hacerla se variaron tres parámetros del transceiver: el potencial inverso aplicado al sensor, el voltaje aplicado al LEC y las dimensiones del LEC

integrado. Se probaron tres dimensiones $l = 0.5 \text{ mm}$, $l = 1 \text{ mm}$ y $l = 2 \text{ mm}$ en donde l representa el lado de un LEC cuadrado. De esta gráfica se puede concluir que el voltaje mínimo para el cual se empezaba a detectar corriente fotogenerada en dicha topología fue de 15 V , por lo tanto se toma este como requisito de diseño.

Como se mencionó previamente, el emisor fabricado en [6] que mejor respuesta electroluminiscente presentó fue un LEC bicapa de SRO y Nitruro de Silicio. La estructura de este puede ser observada en la Figura 7, para efectos de diseño interesa conocer sus características eléctricas y así crear un modelo equivalente.

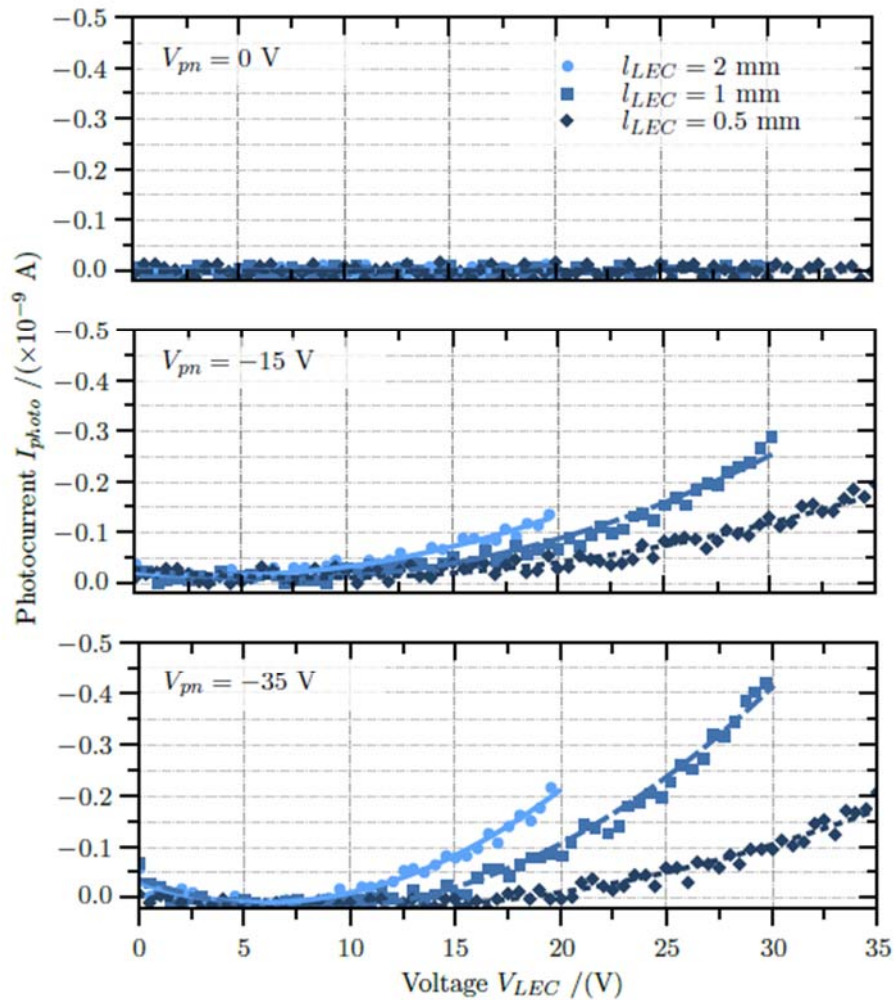


Figura 6. Corriente fotogenerada en el diodo sensor cuando se varia el voltaje de aplicación en el LEC, para diferentes voltajes de polarización inversa del sensor y 3 geometrías distintas, Extraído de [6].

A partir de su estructura capacitiva se propone un modelo compuesto de un capacitor y una resistencia en paralelo, como puede ser visto en la Figura 7. La capacitancia equivalente estaría dada por (1), en donde d_{SRO} representa el grosor de la capa de SRO, $d_{Si_3N_4}$ el grosor de la capa de nitruro de Silicio, $\epsilon_{r_{SRO}} = 4.18$ ($R_0 = 30$), $\epsilon_{r_{Si_3N_4}} = 10$ las constantes dieléctricas del SRO (en el punto de operación) y del nitruro de Si respectivamente, $\epsilon_0 = 8.8541 * 10^{-14} \frac{F}{cm}$ la permitividad del vacío, por último A representa el área del contacto, de esta forma con los parámetros usados en [6] ($d_{Si_3N_4} = d_{SRO} = 30 \text{ nm}$) se tiene un valor de capacitancia por unidad de área $C_A = \frac{C_{eq}}{A} = 86.85 \frac{nF}{cm^2}$.

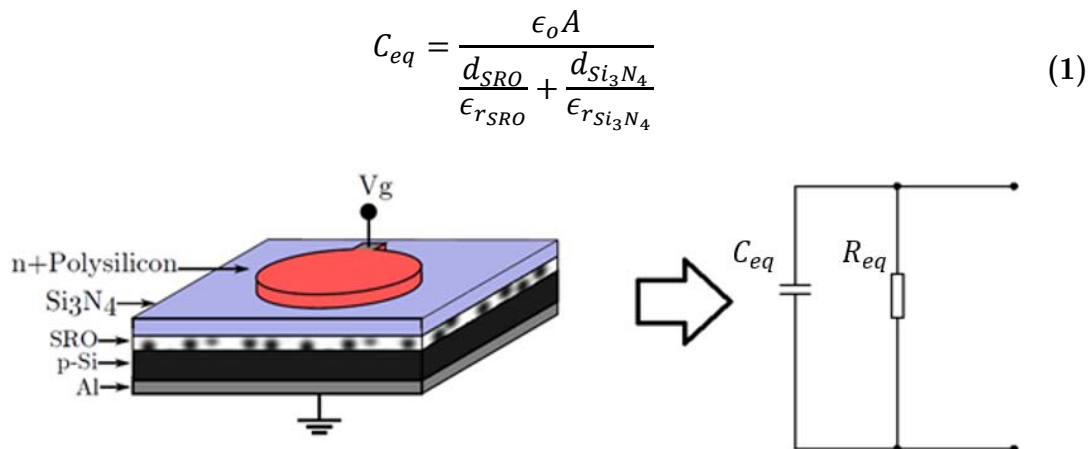


Figura 7. Estructura de LEC bicapa utilizado y su modelo lineal equivalente, Extraído de [6].

Resta por tanto calcular el valor de R_{eq} , para ello se tomaron los datos de la caracterización del comportamiento de la corriente con respecto al voltaje dados en [6], los cuales pueden ser vistos en la Figura 8. Usando la Ley de Ohm y tomando como geometrías un LEC cuadrado de lado 1 mm y grosor 60 nm se calculó el valor de la resistencia equivalente. La grafica del valor de esta resistencia puede ser vista en la Figura 9. De esta se puede observar que la resistencia es no lineal y que es

muy alta en la zona de operación (15V), por esto se despreciará la componente resistiva.

Se desea que el sistema pueda conmutar el LEC a una frecuencia máxima de 10kHz y que se puedan controlar al menos 5 LECs de manera independiente con un área de compuerta cada uno de 1mm^2 . Esto equivale a una capacitancia de carga de $C_{LOAD} = 4.35\text{nF}$.

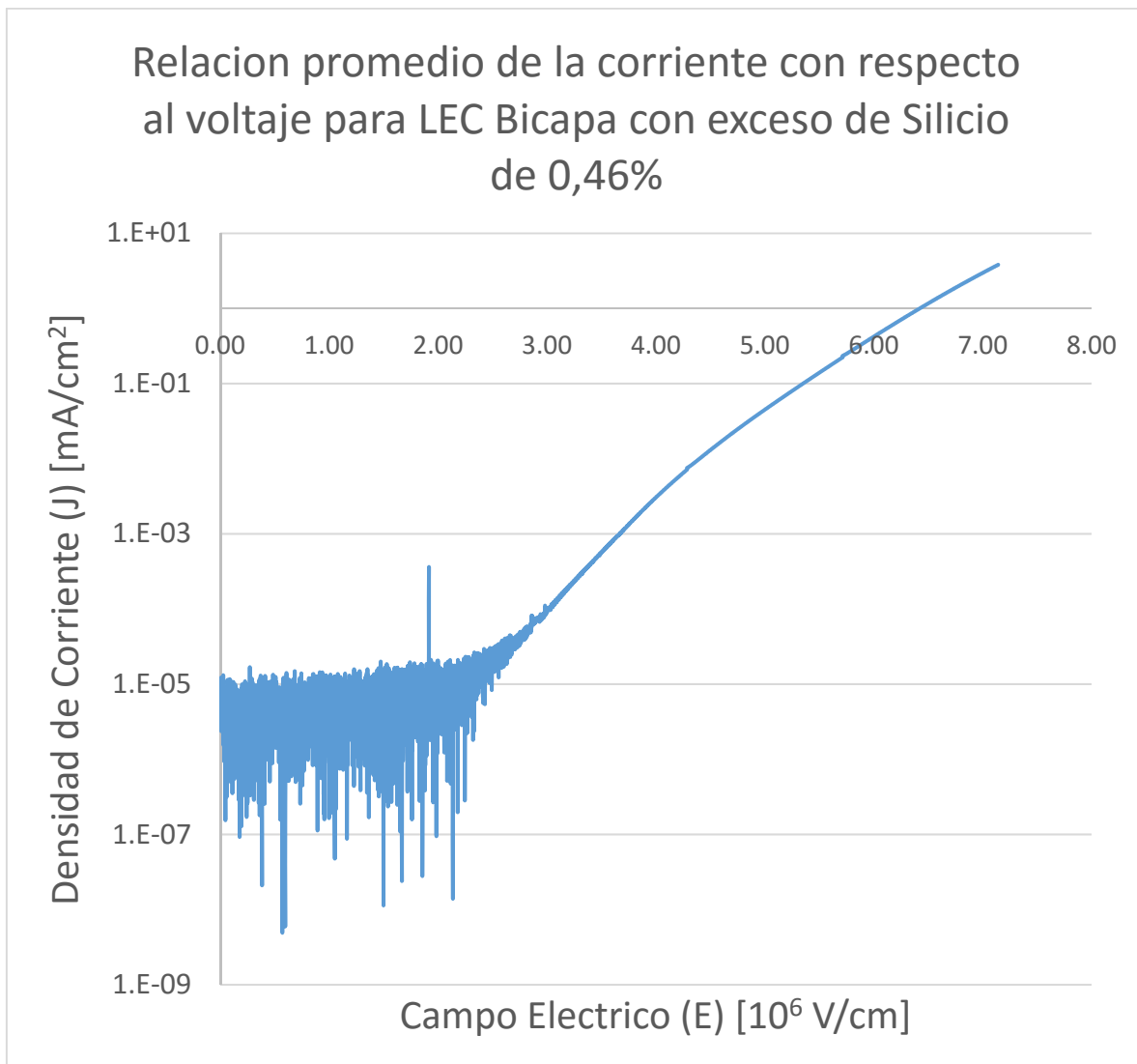


Figura 8. Relación promedio de la corriente con respecto al voltaje para LEC bicapa con exceso de Silicio de 0.46. Extraído de [6].

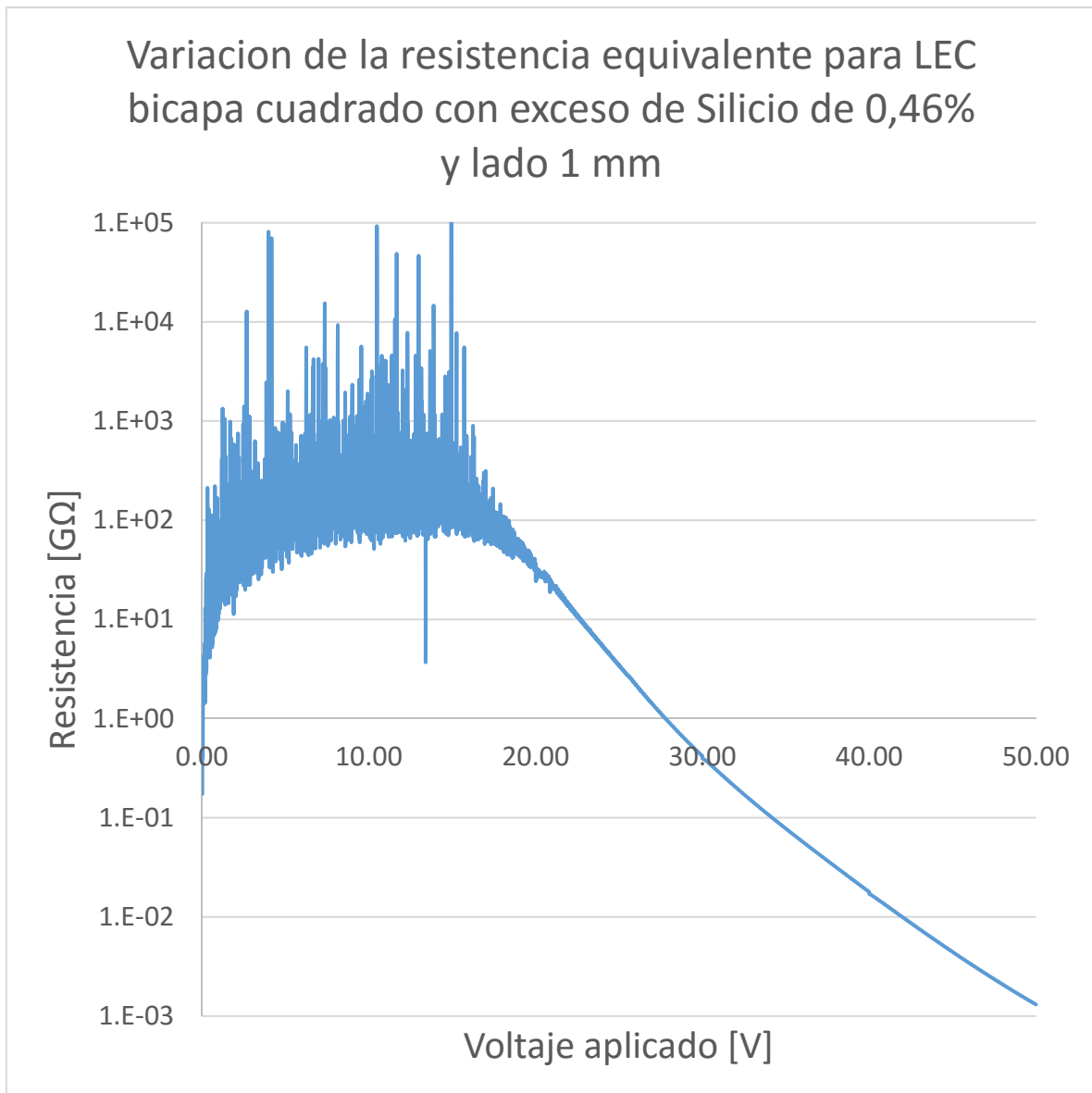


Figura 9. Resistencia contra Voltaje para LEC seleccionado de área 1 mm^2 .

CAPÍTULO 3: CARACTERÍSTICAS DEL PROCESO DE FABRICACIÓN DEL CNM

Motivación:

En esta tesis se desea diseñar un circuito de control para un LEC. El CI debe generar el voltaje necesario para encenderlo, de tal manera que la emisión sea detectada por un sensor electrónico de manera integrada. Este voltaje es alto, por lo cual es necesario investigar los límites superiores de voltaje que se pueden generar de manera integrada en una tecnología específica.

Existen procesos de alto voltaje comerciales que en principio podrían ser utilizados pues los LECs son compatibles con un proceso CMOS estándar. Sin embargo, debido a que se desea un dispositivo completamente integrado (electrónica CMOS y transceiver) es necesario que el proceso a utilizar tenga la facilidad de introducir algunos pasos extra en su proceso estándar para la fabricación del LEC. Esto no se puede hacer en un proceso CMOS comercial. Para la fabricación de los LECs se ha contado con el CNM, pero el proceso con el que cuentan no es de alto voltaje, por ello es necesario investigar los voltajes máximos que pueden ser alcanzables en esta tecnología, ya que estos parámetros no están caracterizados.

Mecanismos de ruptura en una estructura CMOS:

El máximo voltaje que puede ser obtenido por un elevador de voltaje va a estar limitado por los voltajes de ruptura de los dispositivos que lo conforman. Los mecanismos de ruptura clásicos en una estructura CMOS pueden ser vistos en la Figura 10, denotados por: PT (ruptura por punch-trough), oxide BD (ruptura del óxido) y junction BD (ruptura de unión).

La ruptura por Punch-Trough (PT) ocurre cuando el voltaje de drenaje a fuente es tan grande que hace que la región de agotamiento que existe alrededor del drenaje invada la fuente. Este puede ser modificado fácilmente al hacer dispositivos con longitudes de canal (L) más grandes.

El voltaje de compuerta se ve limitado por el voltaje de ruptura del óxido de compuerta, y para un proceso en específico este voltaje estará fijo. Otro voltaje de ruptura importante es el voltaje de ruptura inverso de las uniones PN (junction BD), tales como las uniones entre pozo N y Difusión P^+ o entre pozo N y sustrato (en adelante se denominará a las difusiones tanto de fuente como de drenaje simplemente como difusión puesto que ambas al ser fabricadas en el mismo paso se espera tengan características similares). Dependiendo de la concentración de impurezas en las uniones puede darse ruptura por efecto Zener en uniones altamente dopadas o ruptura por avalancha en uniones ligeramente dopadas [16].

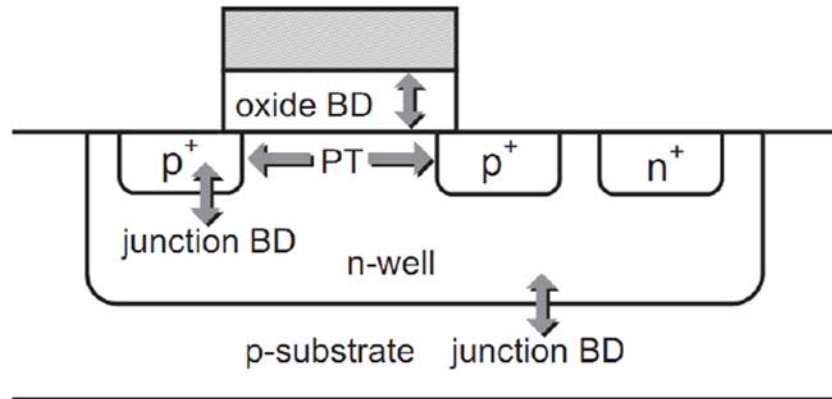


Figura 10. Principales mecanismos de ruptura en una estructura CMOS.

Medición de voltajes de Ruptura para el proceso de fabricación del CNM:

Debido a que los voltajes en los cuales se presenta emisión de luz a simple vista son altos (a partir de 30V), es necesario determinar el voltaje de los diferentes mecanismos de ruptura. Para el proceso del CNM, estos valores no se encuentran reportados. El voltaje nominal de esta tecnología es de $\pm 5V$, para caracterizarlos se usaron las estructuras de un circuito de prueba fabricado en el CNM que puede ser visto en la Figura 11.

Del circuito integrado de pruebas se utilizó la estructura “Modulo 3”, que es la utilizada para la caracterización de transistores MOS, la disposición de pines puede ser vista en la Figura 12.

Se hicieron mediciones de las uniones PN que pueden ser vistas con más detalle en la Figura 13, los resultados de estas y las conexiones usadas para la medición pueden ser vistas en la Tabla 1.

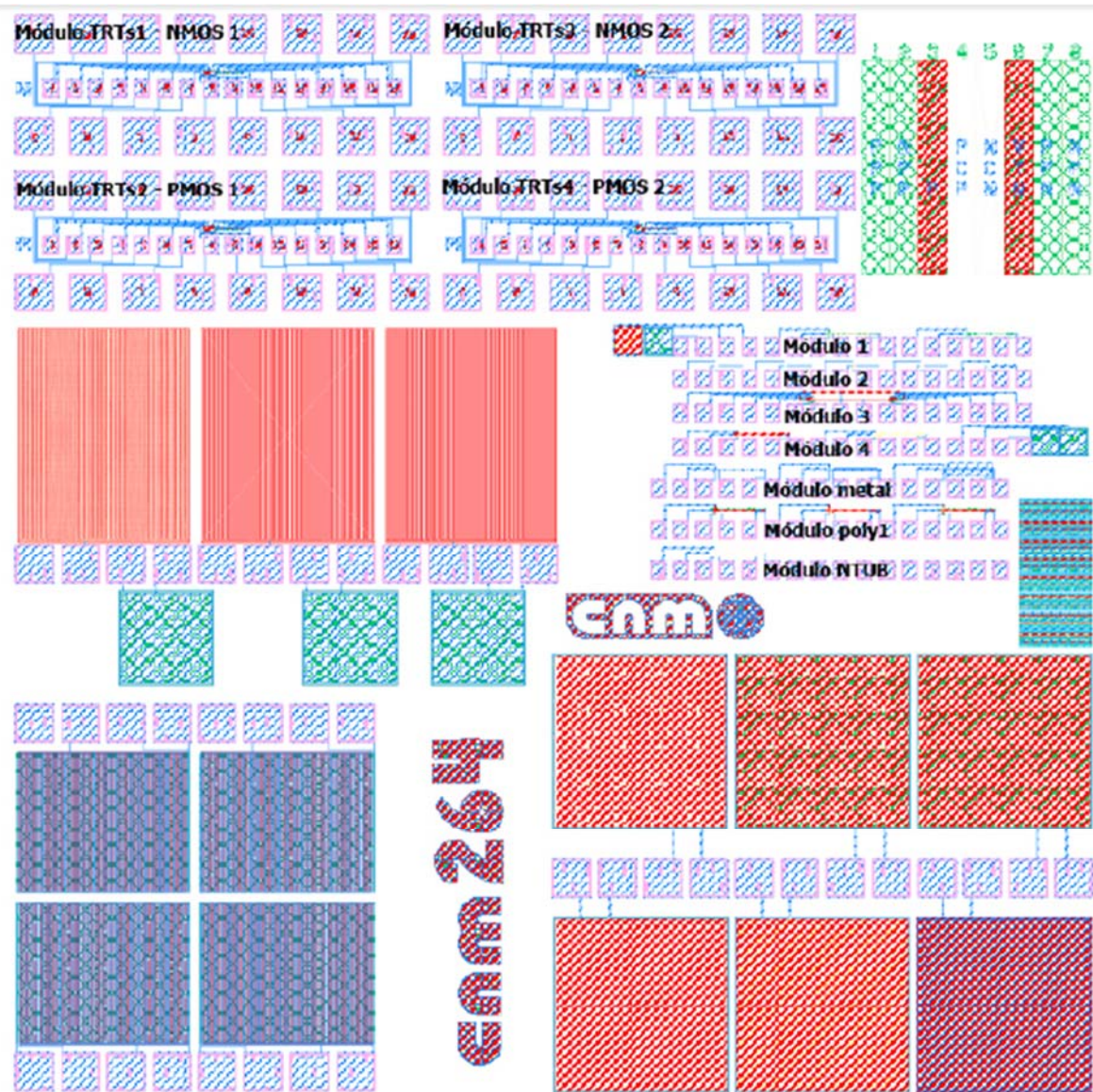
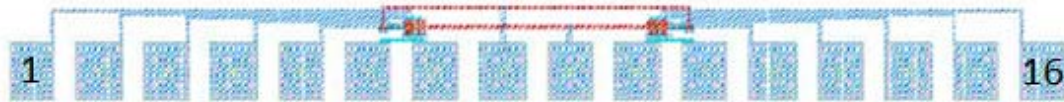


Figura 11. Circuito integrado de pruebas del CNM fabricado en [17].



Pad	Pin	$\frac{W}{L}$	Tipo	Pad	Pin	$\frac{W}{L}$	Tipo	Pad	Pin	$\frac{W}{L}$	Tipo
1	Drain	$\frac{30 \mu m}{30 \mu m}$	NMOS	8	Gate		Campo	10	Source		PMOS
2	Drain	$\frac{3 \mu m}{30 \mu m}$	NMOS	9	Gate			11	Bulk		PMOS
3	Drain	$\frac{3 \mu m}{3 \mu m}$	NMOS					12	Drain	$\frac{3 \mu m}{3 \mu m}$	PMOS campo
4	Drain	$\frac{30 \mu m}{3 \mu m}$	NMOS					13	Drain	$\frac{30 \mu m}{3 \mu m}$	PMOS
5	Drain	$\frac{3 \mu m}{3 \mu m}$	NMOS campo					14	Drain	$\frac{3 \mu m}{3 \mu m}$	PMOS
6	Bulk		NMOS					15	Drain	$\frac{3 \mu m}{30 \mu m}$	PMOS
7	Source		NMOS					16	Drain	$\frac{30 \mu m}{30 \mu m}$	PMOS

Figura 12. Detalle del Módulo 3 y distribución de PADs.

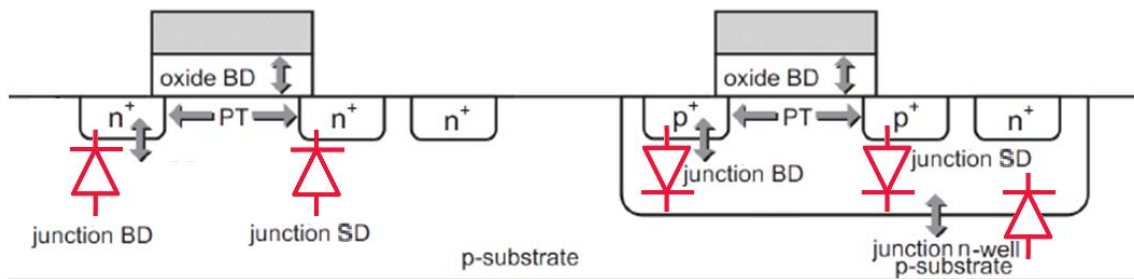
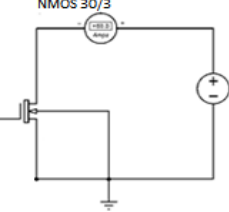
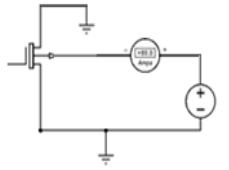
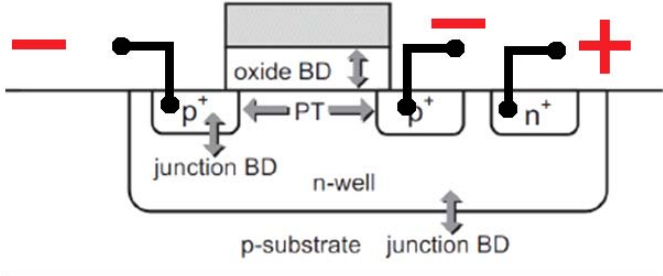
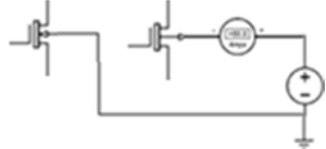
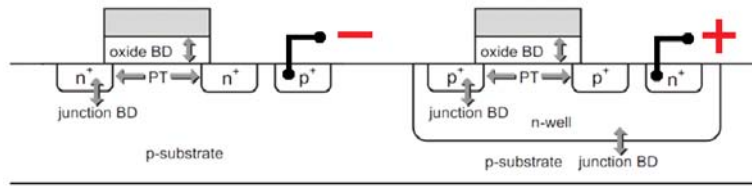
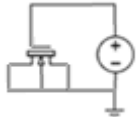


Figura 13. Uniones PN medidas en estructura CMOS.

Tabla 1
Conexiones de las mediciones realizadas y voltajes de ruptura obtenidos.

Estructura	Ruptura de Unión	Conexiones	Voltaje obtenido
<p>Transistor NMOS:</p> $\frac{W}{L} = \frac{30\mu}{3\mu}$	<p>Difusión a Sustrato</p>	<p>NMOS 30/3</p>  <p>Pad 4 → + Pad 6 → - Pad 7 → -</p>	<p>Min=20V Max=24V</p>
<p>Transistores PMOS de dimensiones:</p> $\frac{W}{L} = \frac{30\mu}{3\mu} \text{ y } \frac{W}{L} = \frac{3\mu}{3\mu}$	<p>Difusión a N-WELL</p>	<p>PMOS 30/3 3/3 3/3 Campo</p>  <p>Pad 10 → - Pad 11 → + Pad 12 → - Pad 13 → - Pad 14 → -</p> 	<p>Min=20V Max=27V</p>
<p>Módulo 3</p>	<p>N-WELL a Sustrato</p>	 	<p>Min=21V Max=54V</p>
<p>Módulo 3</p>	<p>Ruptura de Puerta</p>		<p>Típico=40V</p>

En la Figura 14 se muestran las curvas IV para las uniones PN de difusión a sustrato en transistores NMOS para dos dimensiones distintas. Se observa que para aquellas con W más pequeña el rompimiento sucede a un menor voltaje. Por lo tanto, en estructuras que deban soportar voltajes críticos se usaran dimensiones mayores a las mínimas. En la Figura 15 se observan las curvas IV para los diodos en el Pozo N y difusión y en la Figura 16 se grafican tres mediciones de ruptura consecutivas en la compuerta. Se observa que después de la primera medición se degrada el óxido de puerta y por ello el voltaje de ruptura disminuye.

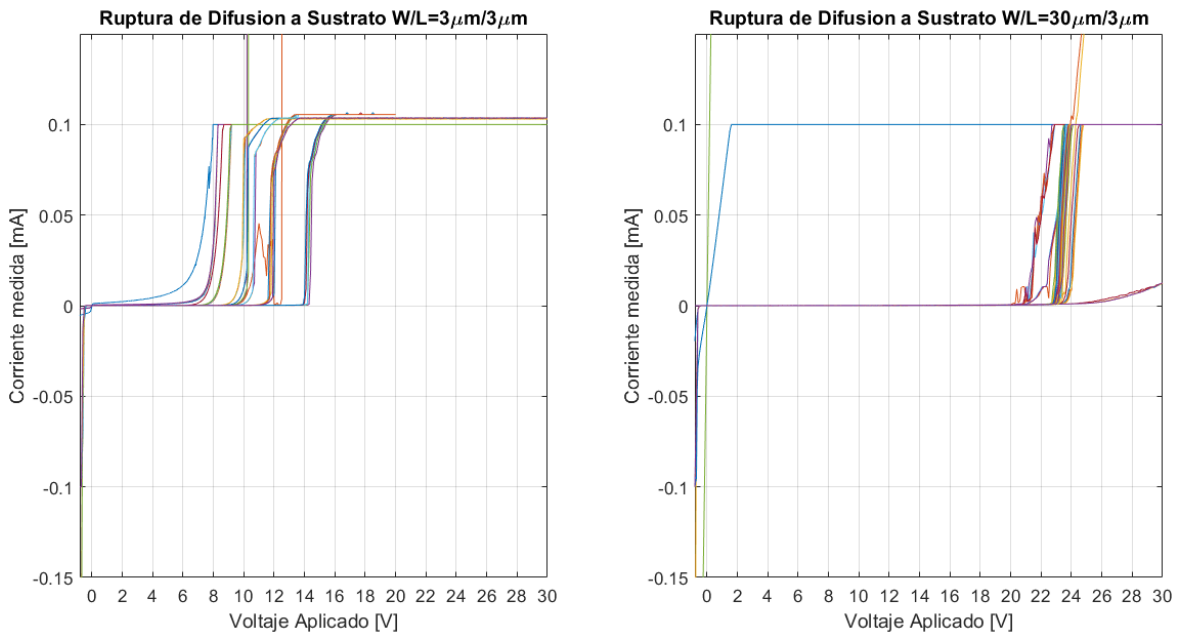


Figura 14. Curvas IV para las uniones PN de difusión a sustrato en transistores tipo N con $\frac{W}{L} = \frac{3\mu}{3\mu}$ y $\frac{W}{L} = \frac{30\mu}{3\mu}$ del circuito integrado de pruebas, en polarización inversa.

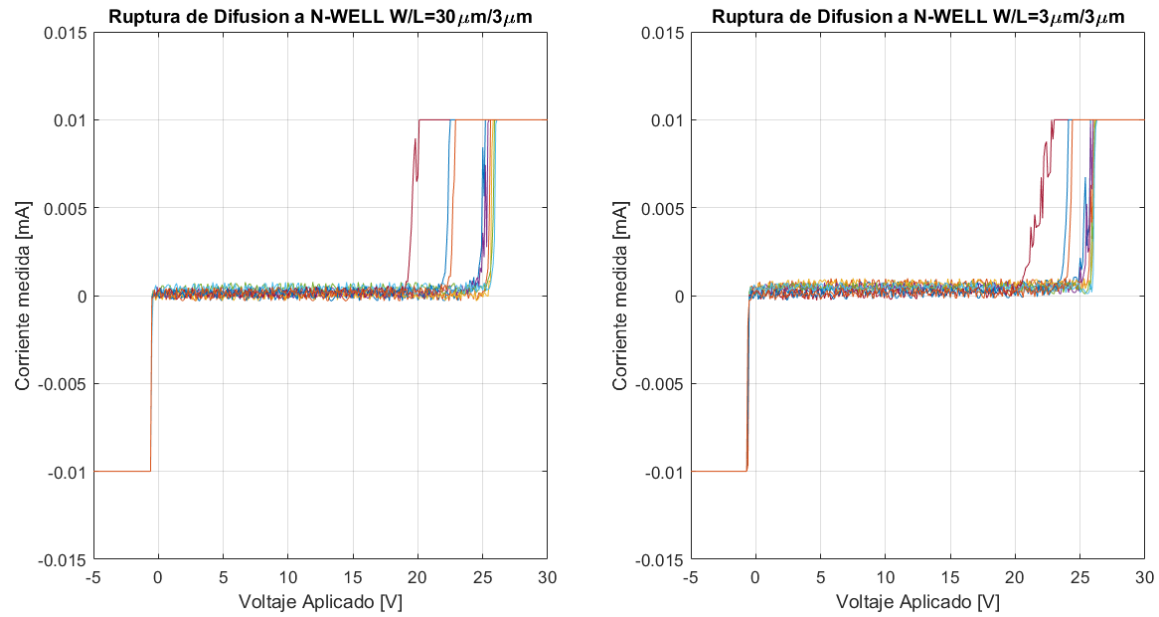


Figura 15. Ruptura en uniones de Difusión a pozo N en transistores tipo P del circuito integrado de pruebas del CNM para dos geometrías distintas $\frac{W}{L} = \frac{3\mu}{3\mu}$ y $\frac{W}{L} = \frac{30\mu}{3\mu}$, en polarización inversa.

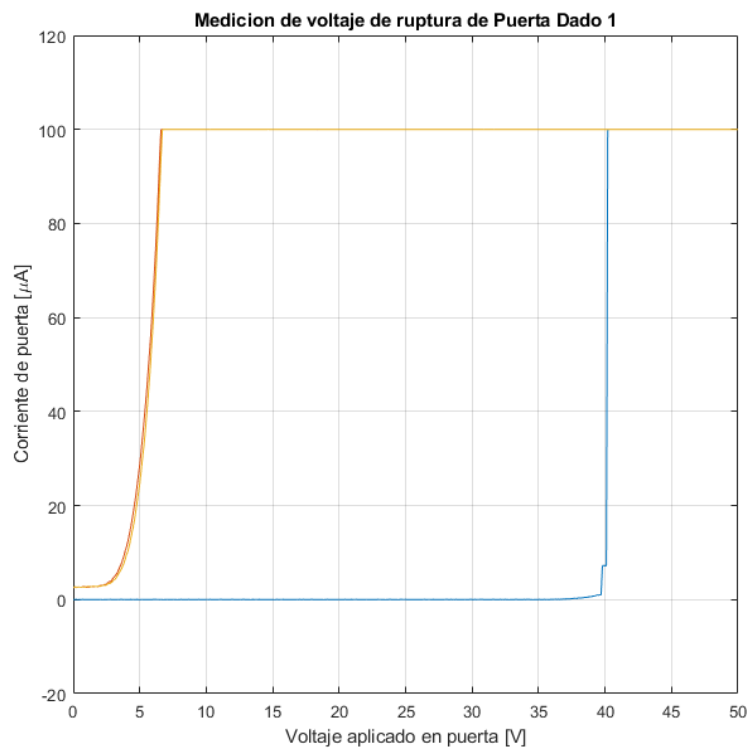


Figura 16. Medición de la ruptura de Oxido de puerta de transistor de circuito integrado de pruebas del CNM.

De estas mediciones se puede observar que el voltaje máximo posible que puede ser alcanzado por esta tecnología es de alrededor de 21V. Como ya se mencionó en el [Capítulo 2](#) el mínimo voltaje que puede generar una respuesta electroluminiscente es de 15V, por lo tanto para efectos de diseño se optará por un circuito elevador con un voltaje de salida de 15V. El voltaje de salida podrá ser regulado entre 2.6 V y 21 V para observar la respuesta del sistema ante mayores voltajes, y de esta forma corroborar el voltaje máximo generado en el circuito integrado.

Extracción de parámetros de transistores MOS a partir de modelo SPICE de los transistores del CNM:

Para el diseño preliminar de circuitos integrados es necesario conocer los parámetros de los transistores del proceso en el cual se va a fabricar; tales como: el voltaje de encendido (V_{th}), la constante eléctrica ($k_e = \mu C_{ox}$) y el factor de modulación de canal (λ).

En la documentación del circuito de pruebas del CNM [18] se reportan los valores de V_{th} y k_e para dos geometrías diferentes estos valores pueden ser vistos en la Tabla 2. Se observa que existe una dependencia entre el valor medido de la constante eléctrica con la longitud del canal, para el diseño se usaran transistores con una longitud de canal de $2L_{min} = 6 \mu m$. Ante la incertidumbre del valor de k_e , se opta por extraer estos parámetros a partir del modelo SPICE de los transistores del CNM.

Tabla 2
Parámetros de transistores de run 7046 del CNM.
Reportados por el CNM.

Variable	$\frac{W}{L} = \frac{30\mu m}{30\mu m}$	$\frac{W}{L} = \frac{30\mu m}{3\mu m}$
V_{thN}	0.95	0.85
V_{thP}	1.175	1.15
$\mu_n C_{ox}$	58.05	161.457
$\mu_p C_{ox}$	17.85	42.379

Los modelos de SPICE utilizados pueden ser vistos en el ANEXO 1, para extraer los parámetros se simuló la configuración de la Figura 17. Se varió el voltaje de drenaje a fuente, el voltaje puerta a fuente y la relación $\frac{W}{L}$ para una $L = 6\mu m$. A partir de estos datos y con ayuda de MatLab se hizo una optimización que minimizase el error entre el modelo de nivel 1 y los datos de simulación con el fin de encontrar el valor de las constantes que mejor se ajustasen a los datos.

En la Tabla 3 se muestra el valor promedio de los parámetros extraídos del modelo SPICE en MatLab para $1 < \frac{W}{L} < 100$ y para $2.5\%V_{DD} < v_{overdrive} < 20\%V_{DD}$ con $V_{DD} = 5V$. Se probaron 200 valores uniformemente espaciados tanto para la relación W entre L como para el Voltaje de puerta a surtidor. Estos serán los valores utilizados en el diseño.

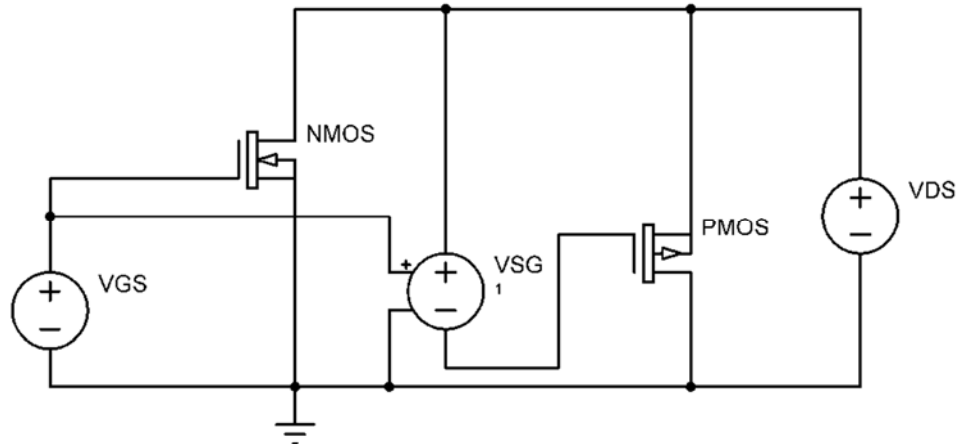


Figura 17. Circuito simulado para extracción de parámetros de proceso.

Tabla 3
Parámetros extraídos de modelo SPICE típico del CNM

Variable	Promedio
V_{thN}	0.9665 V
V_{thP}	1.2659 V
λ_n	$0.0559 V^{-1}$
λ_p	$0.0281 V^{-1}$
$k_n = \mu_n C_{ox}$	$\frac{79\mu A}{V^2}$
$k_p = \mu_p C_{ox}$	$\frac{19\mu A}{V^2}$

CAPÍTULO 4: REVISION Y SELECCION DE ELEVADOR DE VOLTAJE

Introducción:

En el [Capítulo 1](#) se mencionó que es necesario crear un sistema electrofotónico que permita la verificación de la respuesta electroluminiscente de LECs. Para ello se requiere un circuito que sea capaz de encender y apagar los LECs de manera integrada. Se desea que el voltaje de alimentación del sistema sea de 5V, ello debido a que este valor es estándar lo cual es deseable para una aplicación portable, las cuales en general son alimentadas con baterías. Además, se desea que los LECs puedan ser controlados por medio de una señal cuadrada de ciclo útil variable o, de manera independiente por pines externos. Lo anterior con el fin de verificar la frecuencia máxima de conmutación de los LECs, y además poder modular la señal la hace más inmune al ruido. Por lo tanto, es necesario el diseño tanto de un circuito elevador de voltaje, como de un modulador de ancho de pulsos (PWM) y un esquema de control y conmutación.

En la Figura 18 se puede observar un diagrama funcional del sistema planteado. Como señales de entrada se tiene la fuente de alimentación de 5V y señales de control que permiten modificar parámetros de funcionamiento del sistema tales como:

- Frecuencia de la señal PWM
- Voltaje de salida del circuito elevador de voltaje
- Encendido o apagado externo de cada LEC

El elevador de voltaje se encarga de convertir la tensión de la fuente de alimentación de entrada en una tensión mayor en la cual se observe electroluminiscencia en los LECs. Se deseaba que el voltaje de salida del elevador fuese regulable para ello se implementó un lazo de control cuyo voltaje de referencia se suministra por un pin externo. El alto voltaje generado internamente debe de ser suministrado de manera controlada a los LECs para encenderlos y apagarlos. Para ello se diseñó un conmutador de alto voltaje. El voltaje de control de estos conmutadores es generado localmente por un PWM integrado, de este se puede modificar tanto su ciclo útil como su frecuencia de oscilación. Finalmente, el voltaje de salida de los conmutadores es suministrada a los LECs.

Un bloque fundamental es el circuito encargado de convertir el bajo voltaje en alto voltaje, es por ello que este capítulo estará dedicado al análisis de opciones de diseño para este bloque. Los requisitos del elevador de voltaje pueden ser listados a continuación:

- Voltaje de entrada de 5V.
- Voltaje de salida de 15V.
- Frecuencia de conmutación de carga de $10kHz$.
- Capacitancia de carga de $4.35nF$.
- Completamente integrado.
- Carga capacitiva.

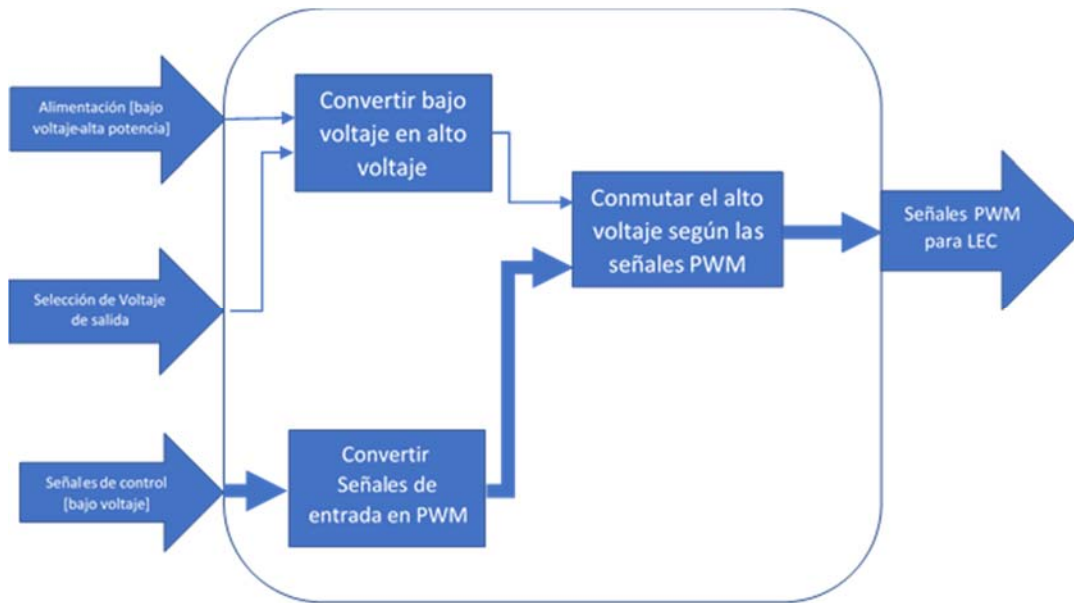


Figura 18. Diagrama funcional de la solución propuesta.

Topologías de elevadores de Voltaje:

La tendencia en los sistemas ULSI y VULSI ha sido disminuir el voltaje de alimentación. Sin embargo, algunas aplicaciones aun requieren de voltajes mayores un ejemplo de ello son las memorias flash y EEPROM [19] [20]. Debido a esto, surge la necesidad de tener circuitos conversores de voltaje, estos han sido extensamente estudiados y existen una variedad muy amplia de topologías. En [21] se hizo un vasto estudio de los diferentes tipos de elevadores de voltaje; en la Figura 19 se puede observar una clasificación general de los diferentes tipos de elevadores que existen. De entre estos se escogieron dos categorías por su sencillez y amplio uso, estos fueron los basados en “Switched Capacitors” (Bombas de Carga) y los “Switched Inductor” de los cuales se hablará con más detalle.

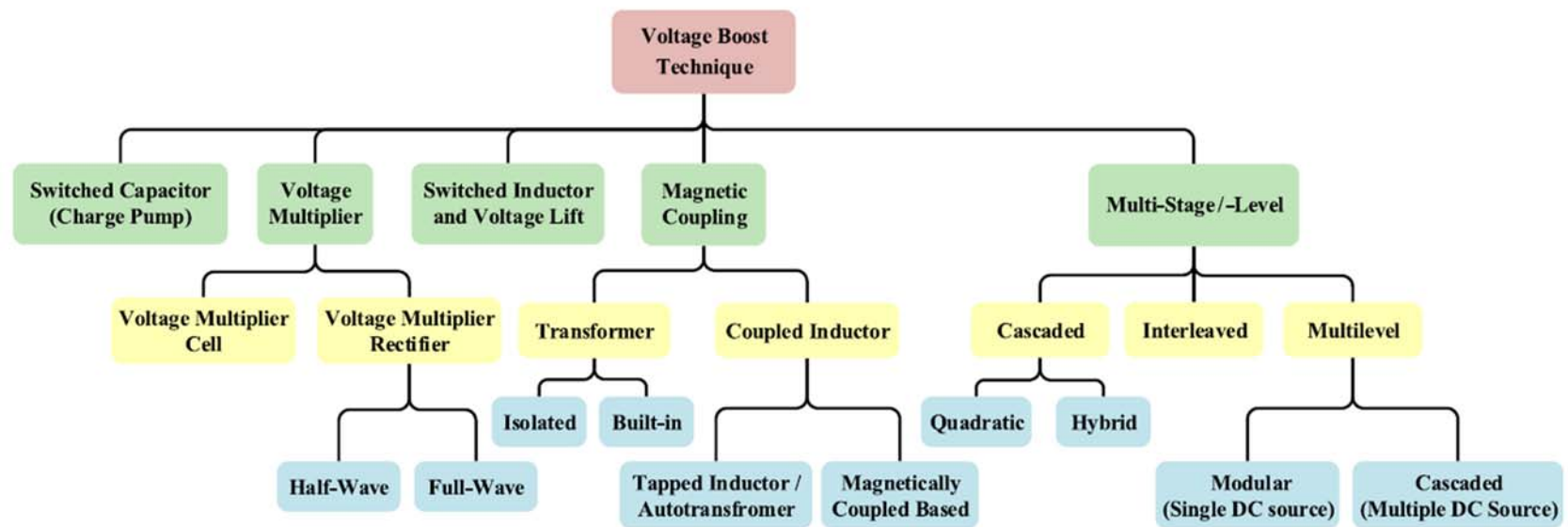


Figura 19. Categorías de técnicas de elevación de voltaje usadas para convertidores DC-DC. Extraído de [21].

Convertidor elevador PWM de inductancia conmutada:

En [22] se hace un estudio profundo de los 3 tipos principales de convertidores DC-DC PWM conmutados que utilizan inductancias, estos son: el “Buck Converter” (Convertidor reductor de voltaje), “Boost converter” (Convertidor elevador) y el “Buck-Boost Converter” (convertidor reductor elevador). A continuación, se procede a describir en mayor detalle el Boost converter.

La estructura de un convertidor elevador puede ser vista en su forma ideal en la Figura 20 (a) y con la realización del conmutador en la Figura 20 (b). El funcionamiento de este circuito puede ser descrito de la siguiente forma, el conmutador puede estar en dos posiciones 1 o 2. Cuando se está en la posición 1 se tiene el circuito equivalente de la Figura 21 (a), en esta posición se almacena energía en forma de campo magnético en el inductor. Cuando se regresa a la posición 2 se tiene el circuito equivalente de la Figura 21 (b) y en esta configuración la energía magnética acumulada es sumada con la de la fuente de tensión y son transferidas al capacitor de salida y a su vez a la carga, hasta que se alcanza el equilibrio en un voltaje estable mayor al voltaje de entrada, el cual va a depender del ciclo útil de la señal de control del conmutador.

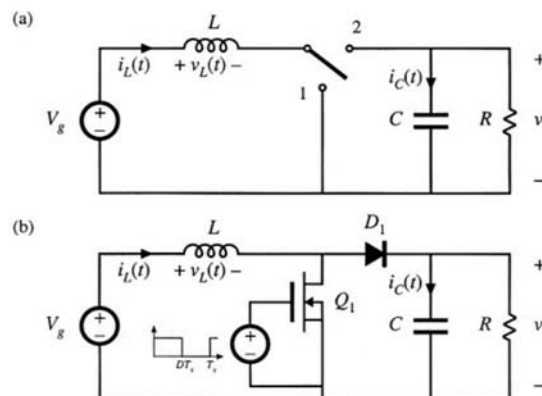


Figura 20. Convertidor elevador, Extraído de [22].

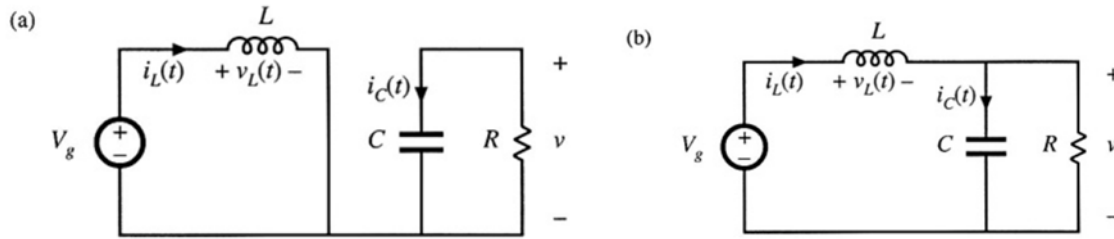


Figura 21. Circuitos equivalentes del convertidor elevador con (a) Switch en posición 1 y (b) Switch en posición 2. Extraído de [22].

Esta misma topología puede presentar dos modos de funcionamiento según la relación que exista entre las variables que lo caracterizan como son: el ciclo útil, la inductancia, la frecuencia y la carga, entre otros. Estos dos modos de funcionamiento son denominados modos de conducción de corriente continua (CCM) y modo de conducción de corriente discontinua (DCM). La diferencia principal es que en el modo de conducción discontinuo la corriente en el inductor llega a hacerse 0 como puede ser observado en la Figura 22, esto cambia drásticamente el comportamiento del convertidor. Las ecuaciones que definen el comportamiento de un convertidor elevador como el mostrado en la Figura 20, pueden ser vistas en la Tabla 4.

En [23] se hace un estudio comparativo de ambos modos de funcionamiento CCM y DCM, ambos tienen sus méritos, por ende no se puede decir que uno es mejor que otro de manera general. Sin embargo, si es de destacar que el diseño de un controlador para un convertidor en modo discontinuo es más sencillo que para el modo continuo, pues en el primero la respuesta natural del sistema es de primer orden y para el segundo es de segundo orden con la inclusión de un cero de fase no mínima, lo cual degrada en gran medida el margen de fase. Por otra parte, el modo continuo tiene la ventaja de que la ganancia en estado estable del sistema no depende de la carga, contrario a lo que sucede en modo discontinuo.

Tabla 4.
Ecuaciones para PWM Boost Converter en modo continuo y en modo discontinuo.

Ecuaciones para modo continuo $k > k_{crit}$		
Definiciones		
	VARIABLES	SÍMBOLOS
	Ciclo útil	D
	Resistencia en serie del inductor	R_L
	Resistencia de encendido del switch	R_{on}
	Periodo	T_s
	Voltaje de entrada	V_g
	Voltaje de salida	V_{out}
	Resistencia de carga	R
	Inductancia	L
1	k	$k = \frac{2L}{RT_s}$
2	Ciclo útil complementario	$D' = 1 - D$
3	Ganancia ideal	$\frac{V_{out}}{V_g} = \frac{1}{D'}$
4	Ganancia con Resistencia de Inductor no nula	$\frac{V_{out}}{V_g} = \frac{1}{D'} \frac{1}{1 + \frac{R_L}{D'^2 R}}$
5	Ganancia con Resistencia de Inductor, Resistencia de Switch no nulas y Voltaje en directa del Diodo.	$\frac{V_{out}}{V_g} = \frac{1}{D'} \frac{1 - D'V_D}{V_g} \frac{1}{1 + \frac{R_L + DR_{ON} + D'R_D}{D'^2 R}}$

6	Eficiencia	$\eta = D' \frac{V_{out}}{V_g} = \frac{1 - D'V_D}{V_g} \frac{1}{1 + \frac{R_L + DR_{ON} + D'R_D}{D'^2 R}}$
7	Corriente promedio en inductor	$I = \frac{V_g}{D'^2 R}$
8	Rizo de corriente en inductor	$\Delta I_L = \frac{V_g}{2L} DT_s$
9	Rizo de Voltaje en carga	$\Delta V = \frac{V}{2RC} DT_s$
Ecuaciones para modo discontinuo $k < k_{crit}$		
Definiciones		
	Porcentaje de tiempo en que el switch está encendido	D_1
	Porcentaje del tiempo en el que el switch está apagado y la corriente en el inductor es diferente de 0	D_2
	Porcentaje del tiempo en el que la corriente en el inductor es 0	D_3
10	Ganancia ideal	$\frac{V_{out}}{V_g} = M = \frac{1 + \sqrt{1 + \frac{4D_1^2}{k}}}{2}$
11	Corriente pico en inductor	$i_{pk} = \frac{V_g}{L} D_1 T_s$
12	Corriente promedio en inductor	$\langle i_D \rangle = \frac{V_g D_1 D_2 T_s}{2L}$

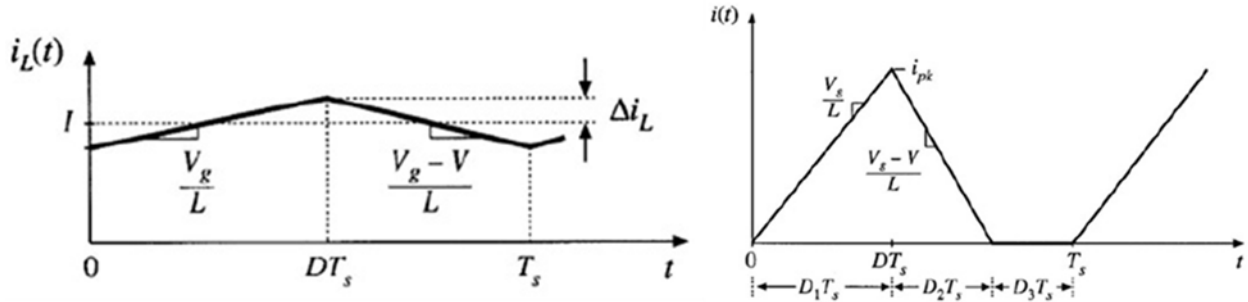


Figura 22. Corriente en el inductor para un convertidor elevador PWM, Izquierda: CCM, Derecha: DCM.

Convertidor elevador de capacitores conmutados:

En [21] se describieron algunas topologías comunes de convertidores basados en capacitores conmutados. En la Figura 23 se pueden observar algunas topologías básicas de estos. El funcionamiento consiste en ir transfiriendo la carga de una etapa a otra, de tal forma que se vaya acumulando la carga y con ello aumentando el voltaje hasta que el sistema alcanza el equilibrio. En [24] se afirma que la bomba de carga tipo Dickson es la mejor para generación de altos voltajes de manera integrada. Esto es debido a que la bomba de carga Dickson es menos sensible a las capacitancias parásitas. Los valores de las capacitancias parásitas de una bomba de carga en un circuito integrado se encuentran usualmente alrededor del 1-10% del valor de la capacitancia unitaria usada en la bomba.

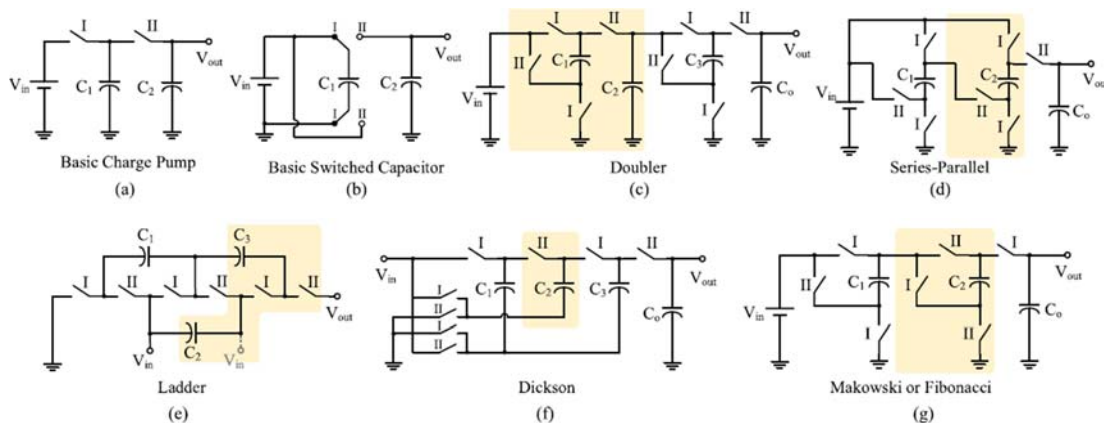


Figura 23. Bombas de carga clásicas y circuitos de capacitores conmutados.

- Bomba de carga Dickson:

Esta topología fue propuesta en [25] y puede ser vista en la Figura 24, tiene la ventaja de que tolera un mayor porcentaje de capacitancia parásita a diferencia de estructuras como la Cockcroft-Walton [24], lo cual es típico en circuitos integrados y ello la hace más conveniente para el diseño integrado. Además, la capacidad de suministro de corriente es independiente del número de etapas del elevador.

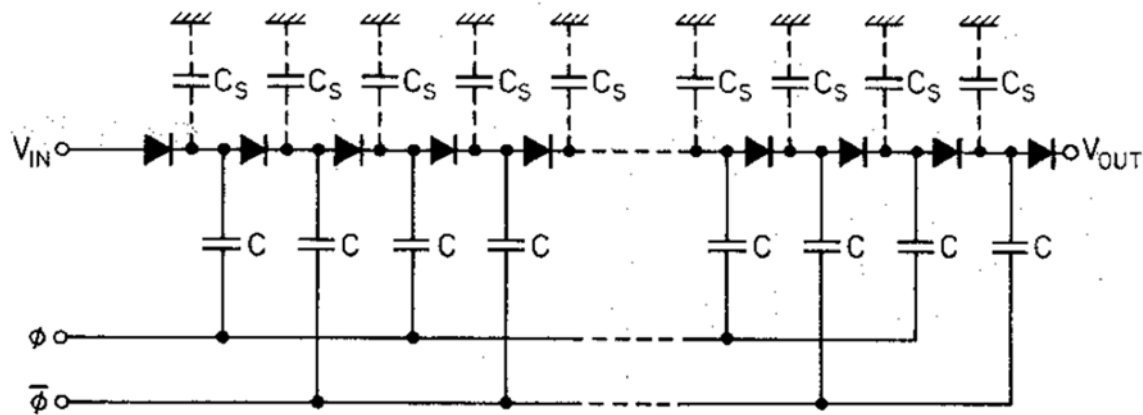


Figura 24. Bomba de carga Dickson, Extraída de [25].

ϕ y $\hat{\phi}$ son dos señales de reloj en fase complementaria de amplitud V_ϕ las cuales están acopladas capacitivamente de forma alternada a los nodos intermedios de la cadena de diodos. Su funcionamiento consiste en la transferencia sucesiva de carga de una etapa a otra a medida que van cambiando las fases de los relojes. Los diodos evitan que la carga transferida se devuelva a la etapa previa.

El funcionamiento de una bomba de carga Dickson de 2 etapas y su símil con un sistema hidráulico puede ser visto en la Figura 25. El capacitor está representado por el tanque, la carga por el agua y el voltaje del capacitor como la altura de la superficie del agua. V_{DD} es de $2V$ y V_{out} es de $4V$ (por simplicidad se supondrán diodos ideales). En la primera mitad del periodo (Figura 25 a), la corriente en el

primer capacitor se detiene cuando el voltaje del primer capacitor llega a 2V y la corriente para de fluir del segundo capacitor al nodo de salida cuando el voltaje en el segundo capacitor desciende a 4V. Al comienzo de la segunda mitad del periodo (Figura 25 b), el voltaje en el primer capacitor incrementa a 4V mientras que el voltaje del segundo capacitor disminuye a 2V. Esta diferencia de voltaje entre los dos capacitores fuerza el flujo de corriente en el segundo diodo, la transferencia de carga se detiene cuando ambos voltajes se hacen iguales. Cuando los dos capacitores tienen la misma capacitancia el voltaje de equilibrio es de 3V, nuevamente al comienzo de la primera mitad del periodo, el voltaje en las terminales superiores se hace 1V y 5V para el capacitor 1 y el capacitor 2 respectivamente, iniciando de nuevo el ciclo. [24].

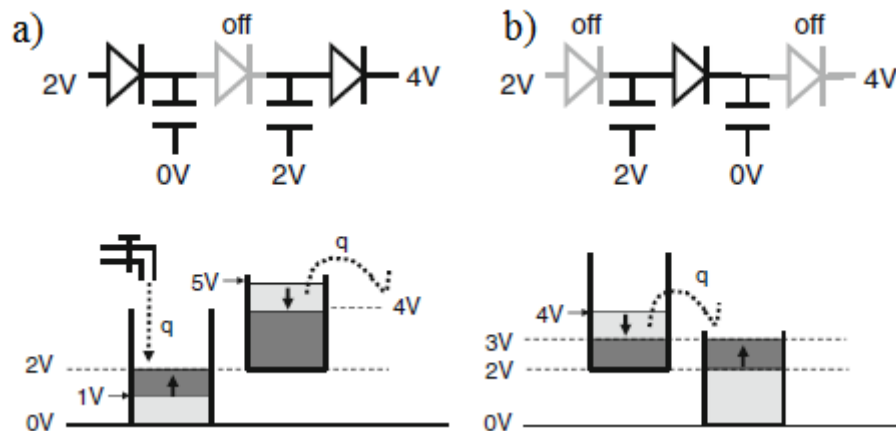


Figura 25. Funcionamiento de Bomba de Carga Dickson, Extraído de [24].

Las ecuaciones que describen el comportamiento de la bomba de carga Dickson están dadas en la Tabla 5. Estas ecuaciones fueron extraídas de [26].

Tabla 5.

Ecuaciones que describen el comportamiento de la bomba de carga Dickson.

Ecuaciones para modo continuo $k > k_{crit}$		
Definiciones		
	VARIABLES	SÍMBOLOS
	Voltaje de entrada	V_{DD}
	Voltaje de Relojes	V_{ϕ}
	Resistencia de carga	R_L
	Frecuencia de Reloj	f
	Voltaje de salida	V_{out}
	Capacitancia por etapa	C
	Número de etapas	N
	Capacitancia de Carga	C_{out}
	Voltaje en directa de Diodo	V_D
1	Voltaje de salida con carga capacitiva teniendo en cuenta la tensión en los diodos	$V_{out} = V_{DD} + N(V_{\phi} - V_D) - V_D$
2	Voltaje de salida con carga capacitiva teniendo en cuenta la tensión en los diodos y la capacitancia parásita	$V_{out} = V_{DD} + N \left(\left(\frac{C}{C + C_s} \right) V_{\phi} - V_D \right) - V_D$
3	Voltaje de salida con carga resistiva teniendo en cuenta la tensión en los diodos y la capacitancia parásita	$V_{out} = V_{DD} + N \left(\left(\frac{C}{C + C_s} \right) V_{\phi} - V_D - \frac{I_{out}}{(C + C_s)f} \right) - V_D$

4	Rizo de Voltaje en carga	$\Delta V = \frac{I_{out}}{fC_{out}} = \frac{V_{out}}{fC_{out}R_L}$
5	Corriente máxima de salida	$I_{out} = C(V_{\phi} - V_D)f$
6	Tiempo de subida	$T_r = \frac{\ln \left[1 - \frac{V_{fin} - (V_{DD} - V_D)}{N(V_{DD} - V_D)} \right]}{\ln \left[\frac{1}{1 + \frac{C}{NC_{out}}} \right]} T_{osc}$

Comparación de los convertidores descritos:

Según [24] desde el punto de vista de potencia los convertidores elevadores basados en inductancia conmutada (switching converters) son usados para entregar potencias típicamente mayores a 100 mW. Por otra parte, los convertidores basados en capacitores conmutados (switched capacitors) son usados para potencias menores a 100 mW. Actualmente se pueden integrar con facilidad tanto capacitores como conmutadores. Sin embargo, es difícil integrar inductores de calidad o gran tamaño. En la Tabla 6 se presenta un cuadro comparativo entre estos dos tipos de convertidores.

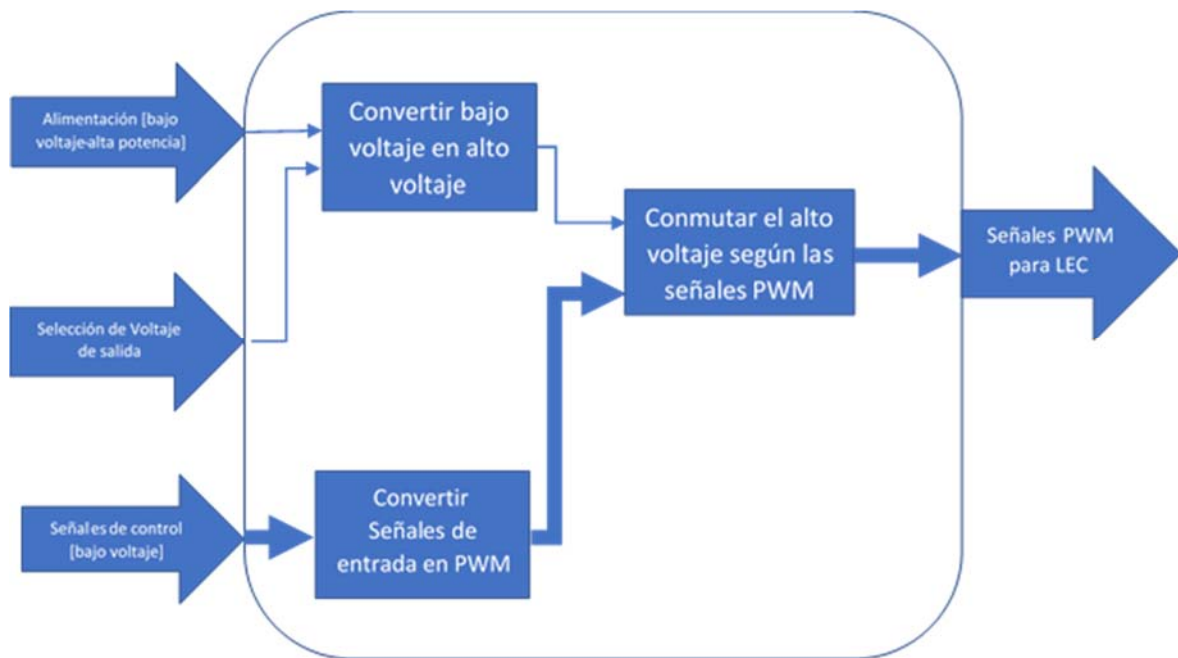
Tabla 6
Características de Switching Converters y Switched Capacitors
 SWITCHING CONVERTER SWITCHED CAPACITOR

Componentes	Inductor Capacitor Conmutador	Capacitor Conmutador
Características	Alta potencia y bajas pérdidas	Alto voltaje y baja corriente o bajo voltaje y alta corriente
Facilidad de ser integrado	Excepto por el inductor	Completamente integrable
$Ganancia > 1$	Boost	Bomba de carga, Multiplicador de voltaje
$1 > Ganancia > 0$	Buck	Switched capacitor reductor de voltaje
$Ganancia < 1$	Buck-Boost	Bomba de carga, Multiplicador de voltaje

Del [Capítulo 2](#) se tiene que la potencia consumida para el LEC discreto, seleccionado con geometría cuadrada de lado 1 mm , en el punto de operación es de 1.26 nW . Lo cual en conjunto con el requisito de que sea completamente integrado perfilan una solución basada en capacitores conmutados como la más apropiada.

CAPÍTULO 5: DISEÑO DEL SISTEMA

En la Figura 18 del [Capítulo 4](#), se mostró el diagrama funcional del sistema a diseñar, el cual se replica por comodidad.



De este se observa que es necesario diseñar tanto un elevador de voltaje como un modulador PWM y un circuito que permita conmutar las cargas, en el presente capítulo se abordará el diseño de estos.

La estructura de una bomba de carga en lazo cerrado puede ser vista en la Figura 26, de esta se observa que es necesario diseñar los siguientes elementos:

- Bomba de carga
- Amplificador Operacional
- Buffers
- Compuertas NAND
- Oscilador

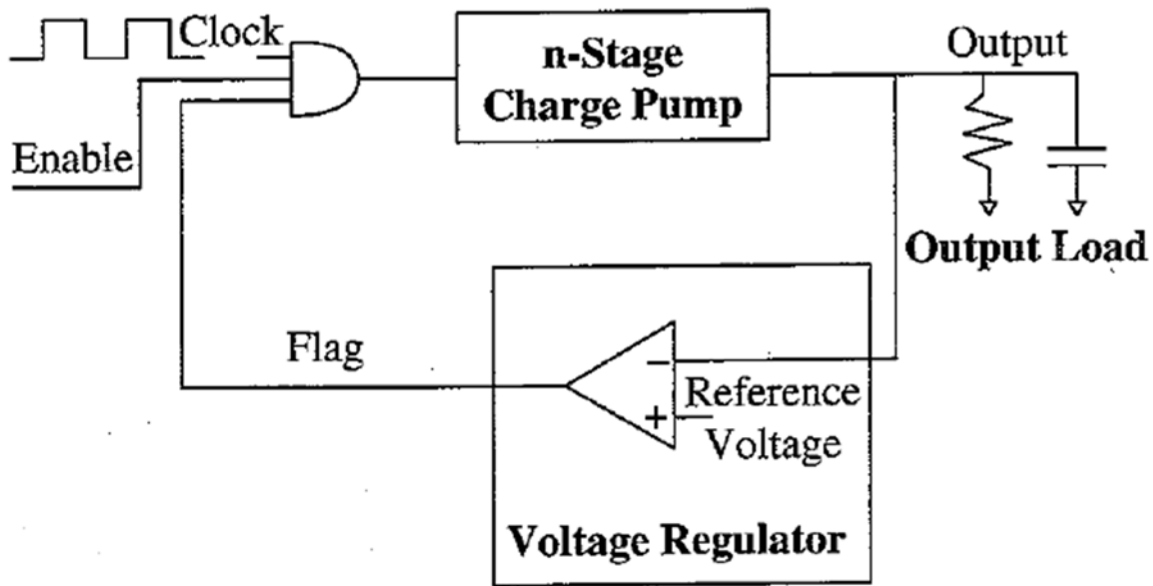


Figura 26. Bomba de Carga en Lazo cerrado. Extraído de [26].

Diseño del Core de la Bomba de carga:

En la tecnología del CNM se cuenta con diodos, y debido a que esta tecnología tiene un voltaje nominal de 5V se optará por el diseño usando diodos reales y no transistores en conexión de diodos como es usual. Lo anterior por simplicidad y porque el voltaje de umbral de los transistores del CNM es mayor al voltaje en directa típico de un diodo de silicio ($V_D = 0.6V$).

De los requisitos de diseño se tiene que se desea un $V_{out} = 15V$, por ello se diseñará para un voltaje de salida un 20% mayor, tal que se tenga un rango de control aceptable, así pues, el voltaje de salida para diseño será de $V_{out} = 15V + 20\%(15V) = 18V$.

La capacitancia parásita (C_s) de cada nodo intermedio de la cadena de diodos afecta el rendimiento de la bomba de carga, por ello es de especial interés disminuirla con buenas estrategias de layout. Para efectos de diseño se recomienda suponerla

como el 5% del valor de la capacitancia unitaria de cada celda de la bomba de carga, así pues $C_s = 5\%C$.

Se escoge el voltaje de los relojes igual al voltaje de alimentación del sistema $V_{DD} = V_\phi = 5V$.

Teniendo en cuenta lo anterior y despejando de (2) en la Tabla 5 se tiene que el número de etapas requerido después del redondeo hacia arriba será de:

$$N = 4$$

Lo anterior limitará el voltaje máximo de salida a $V_{out-max} = 21V$.

Ahora, definiendo un rizo de voltaje máximo de 5% se procede a calcular el valor de la capacitancia unitaria. Para esto, teniendo en cuenta que para la etapa de salida se tendrá un circuito equivalente como el de la Figura 27, y debido a la ausencia de resistencia de carga, el delta de voltaje con respecto al valor almacenado en el capacitor, en la transición anterior, estará dado por (2), en donde δV_ϕ representa el cambio en voltaje que ocurre en el capacitor unitario de celda, el cual en teoría debería de ser igual al voltaje del reloj. Simulaciones mostraron que ello es así en voltajes cercanos al voltaje de salida, pero pasa por un incremento gradual desde el valor inicial del conversor. Para el punto de operación deseado (15V) este toma un valor de $\delta V_\phi = 3.49$.

$$\Delta V = \frac{C}{C + C_{LOAD}} (\delta V_\phi - V_D) \quad (2)$$

Entonces, si se desea un $\Delta V = 5\% * V_{out} = 5\%(15V) = 0.75V$ se requerirá una Capacitancia de celda de $C = \frac{75}{214} C_{LOAD} = 0.35046 C_{LOAD} = 1.52nF$.

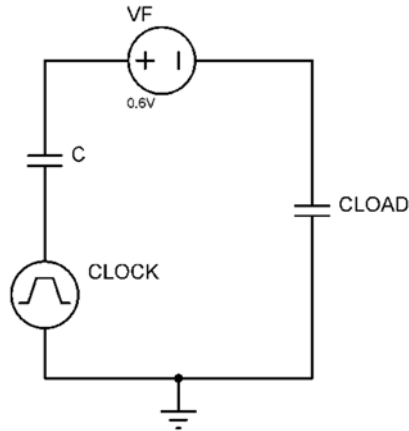


Figura 27. Circuito equivalente para etapa de salida en estado de transferencia de carga.

Por otra parte, es necesario poder conmutar la carga a una frecuencia máxima de 10kHz con un ciclo útil del 50%, esto exige un tiempo de subida de la bomba de carga lo suficientemente rápido, para ello se diseñará para un tiempo de subida igual al 5% del periodo de conmutación del LEC. A partir de esto y la ecuación (6) de la Tabla 5, se puede hallar el mínimo valor requerido de frecuencia de oscilación del reloj la cual es de 2.2MHz .

En la Figura 28 se puede observar la respuesta en lazo abierto del sistema con los siguientes parámetros: $\Delta V = 4.22\%V_{out}$, $t_{rise} = 8\mu\text{s} = 8\% \frac{1}{10\text{kHz}}$, $N = 4$, $C_{LOAD} = 4.35\text{nF}$, $C = 1.52\text{nF}$ y $f = 2.2\text{MHz}$. Para dicha simulación se usaron diodos ideales nivel 1 con parámetros por defecto y fuentes de reloj ideales. Se observa que el t_{rise} es mayor al diseñado. En [27] se menciona que la ecuación (6) de la Tabla 5 presenta un error de alrededor del 10%. Por esto para una sintonización más precisa se graficó la respuesta del tiempo de subida con los parámetros antes mencionados, para diferentes valores de frecuencia, esta puede ser observada en la Figura 29. De esta se observa que con un valor de frecuencia de oscilación de 6MHz se obtiene un tiempo de subida menor al 4%, es por ello que se toma este como frecuencia de diseño. Sin embargo, es conveniente recordar que la frecuencia de oscilación podrá

ser controlada por medio del voltaje en un pin externo, ello con el fin de poder variar la frecuencia cuando se fabrique el circuito integrado y corregir de esta forma variaciones de proceso, además de aumentar la capacidad de suministro de potencia a la carga.

Es de interés tener capacidad de suministrar $200mA$, y para ello con la capacitancia diseñada se requeriría de una frecuencia de oscilación de $f_{200mA} = 36MHz$.

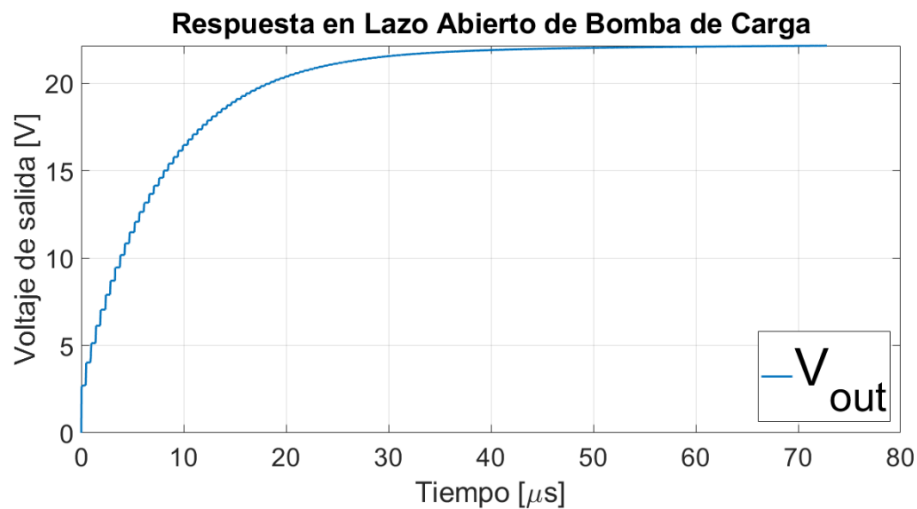


Figura 28. Respuesta de bomba de carga en lazo abierto.

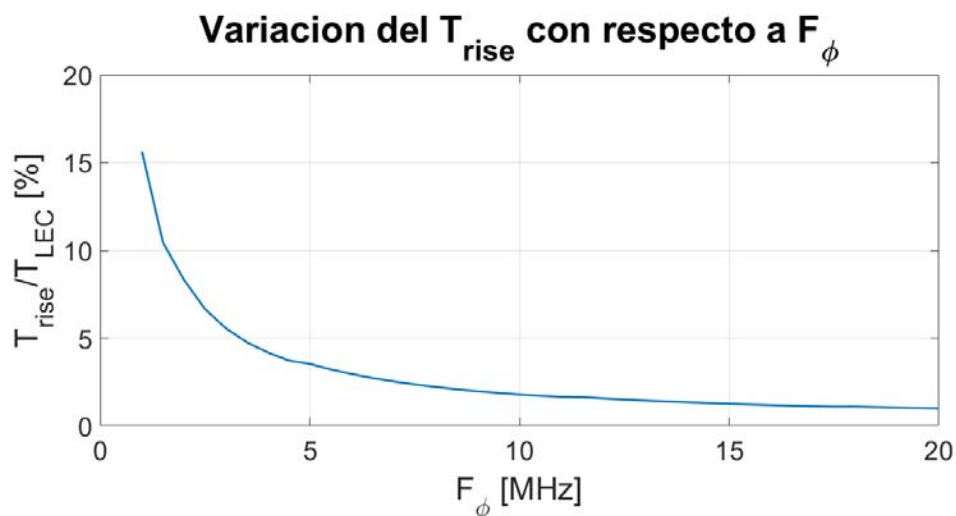


Figura 29. Variación del tiempo de subida de bomba de carga a partir de los cambios en la frecuencia de Reloj.

Es importante que se logre transferir toda la carga de una etapa a otra en un tiempo menor a la mitad del periodo de oscilación del reloj. De lo contrario, la transferencia de carga sería incompleta y afectaría el rendimiento de la bomba de carga. Por lo anterior es necesario hacer un correcto dimensionamiento de los diodos para lograr transferencia completa de carga con el mínimo de área necesaria. Sin embargo, debido a que la relación corriente voltaje de un diodo es no lineal, calcular el área necesaria teóricamente es complicado. Debido a esto se optó por hacer un barrido del área del diodo y con este determinar el valor adecuado. Una gráfica de este barrido puede ser vista en la Figura 30, de esta se observa que si las dimensiones del diodo son muy pequeñas, el voltaje de salida de la bomba de carga se ve afectado puesto que no se transfiere toda la carga. Por otra parte, si las dimensiones del diodo son muy grandes se aumenta en gran medida la capacitancia parásita por celda, lo cual hace que también haya una disminución en el voltaje de salida. Se puede observar entonces que en el rango de $100\mu m$ a $400\mu m$ de lado del diodo se tiene una buena relación entre baja resistencia en directa y capacitancia parásita. Se usarán diodos cuadrados de una longitud de lado de $400\mu m$, esto con el fin de que la frecuencia del reloj pueda ser aumentada sin que se tengan problemas de transferencia de carga.

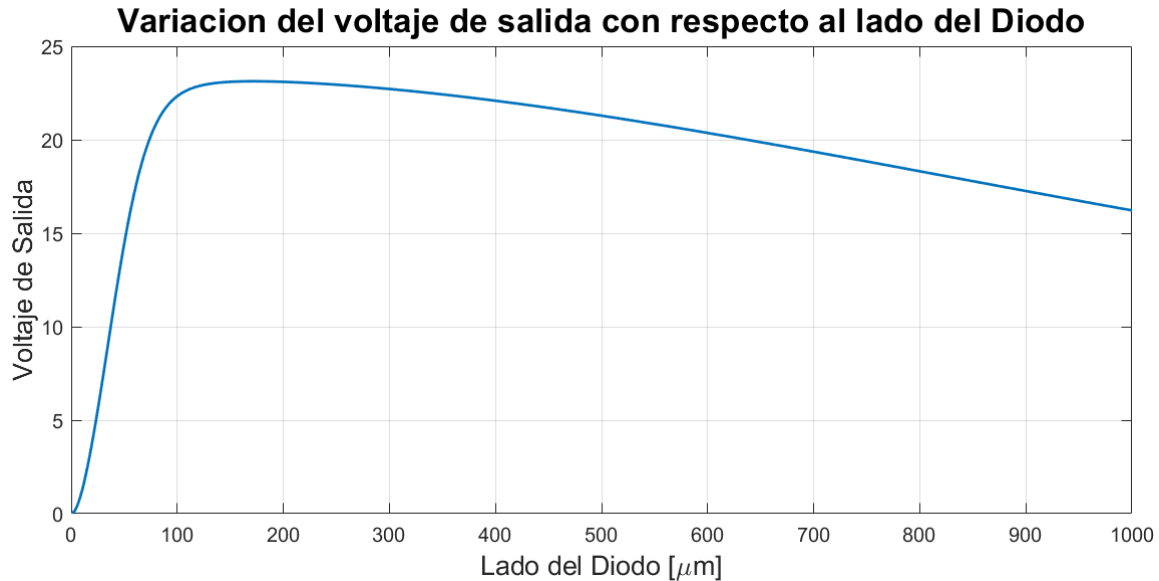


Figura 30. Voltaje de Salida para diferentes dimensiones de los Diodos.

Diseño del generador de Reloj:

Un elemento esencial para el funcionamiento de la bomba de carga es la señal de reloj, de esta importa su amplitud y su frecuencia pues afectan la dinámica de la bomba de carga, en [26] se proponen dos topologías para generar la señal de reloj, estas son:

Oscilador de anillo:

Un oscilador de anillo es una topología compuesta de un número impar de elementos inversores conectados en patrón de anillo. En la Figura 31 se puede apreciar tanto la topología como las formas de onda para un oscilador de anillo de 3 etapas. La frecuencia de oscilación está dada por (3), en donde t_{phl} y t_{plh} son los tiempos de propagación de alto a bajo y de bajo a alto respectivamente. Para compuertas diseñadas de manera simétrica, se tiene que $t_{phl} = t_{plh} = T_D$, de esta forma, la frecuencia de oscilación puede ser reescrita como se ve en (4). En general para producir una frecuencia de oscilación baja, un oscilador de anillo requerirá de

muchas etapas, una estrategia convencional es la de permitir una oscilación a alta frecuencia con pocas etapas y además añadir divisores de frecuencia para obtener la frecuencia de oscilación deseada. Una dificultad que tiene esta topología es que presenta grandes variaciones de voltaje, proceso y temperatura las cuales pueden ser de hasta el 30% del valor típico.

$$f = \frac{1}{N(t_{phl} + t_{plh})} \quad (3)$$

$$f = \frac{1}{2NT_D} \quad (4)$$

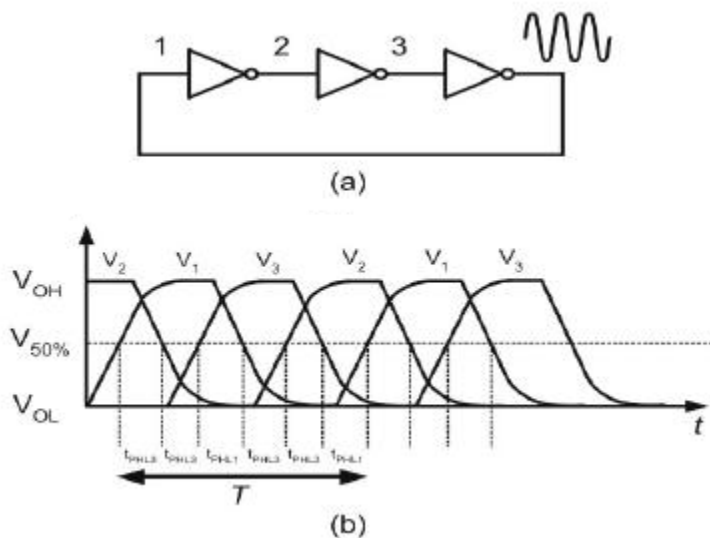


Figura 31. Esquema y formas de onda para un oscilador de anillo de 3 etapas. Extraído de [28].

Oscilador de anillo controlado por corriente:

Un oscilador de anillo controlado por corriente es una variación del oscilador de anillo previamente discutido, en el cual se regula la corriente de cada etapa. Al regularse la corriente de cada etapa se puede controlar la frecuencia de oscilación del oscilador. La topología de este puede ser observada en la Figura 32 y la frecuencia de oscilación está dada por (5) en donde C_{stage} es la capacitancia vista en el nodo X. A partir del modelo digital del transistor esta capacitancia puede ser calculada como

se ve en (6) [29]. Esta configuración tiene la ventaja de que se pueden producir frecuencias de oscilación bajas con pocas etapas además de que la frecuencia es variable.

$$f = \frac{I_{ref}}{NC_{stage}V_{DD}} \quad (5)$$

$$C_{stage} = \frac{3}{2} \frac{\epsilon_{ox}}{t_{ox}} WL + \frac{\epsilon_{ox}}{t_{ox}} WL = 2.5 \frac{\epsilon_{ox}}{t_{ox}} WL \quad (6)$$

Debido a la sencillez y a la capacidad de producir bajas frecuencias con pocas etapas y a que la frecuencia de oscilación puede ser controlada por medio de un voltaje de referencia se seleccionó esta configuración como fuente de reloj.

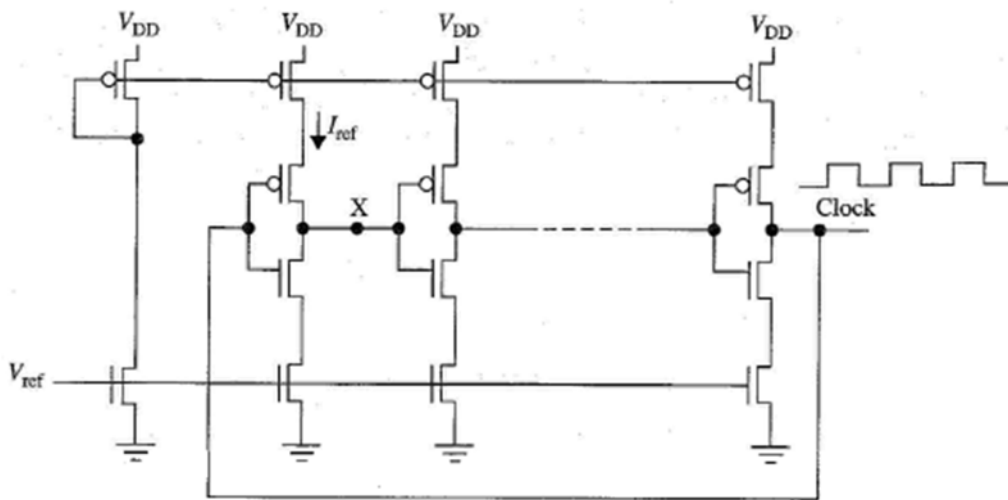


Figura 32. Current Starved Ring Oscillator - Oscilador de anillo controlado por corriente. Extraído de [26].

Para el diseño del Oscilador controlado por corriente se tomaron las siguientes suposiciones, $V_{overdrive} = 10\%V_{DD}$, longitud de canal de transistores pertenecientes a un espejo de corriente $L_{MOSFET-MIRROR} = 2 * 3\mu m$, longitud de canal de transistores pertenecientes a inversores $L_{MOSFET-INV} = 3\mu m$. Se desea que la cantidad de etapas del oscilador de anillo sea la mínima es decir de 3 etapas para disminuir el consumo de área, también se definió una corriente de referencia I_{ref} de $30\mu A$, a partir de esto

se tiene que, con base en la ecuación de saturación del MOSFET y los valores de $V_{overdrive}$ y I_{ref} se puede calcular el valor necesario de relación $\frac{W}{L}\Big|_N$. Se desea un diseño simétrico así que las relaciones $\frac{W}{L}\Big|_P$ estarán dadas por: $\frac{W}{L}\Big|_P = \frac{k_n}{k_p} \frac{W}{L}\Big|_N$, en (7) se puede ver el valor hallado.

$$\frac{W}{L}\Big|_{N-MIRROR} = 3.04 \frac{6\mu m}{6\mu m} \quad (7)$$

Para dimensionar los transistores que conforman los inversores se tiene que la capacitancia mínima del nodo X será aquella de evaluar (6), tanto para el transistor N como para el P que conforman el inversor con $W_{min} = 4.5\mu m$, $L_{min} = 3\mu m$ y sumar sus aportes en paralelo dando lugar a (8), en donde $\epsilon_{ox} = 34.53 \frac{pF}{m}$, $t_{ox} = 37.5 nm$, k_n y k_p los dados en la Tabla 3.

$$C_{X-min} = 2.5W_{min}L_{min} \frac{\epsilon_{ox}}{t_{ox}} \left(1 + \frac{k_n}{k_p}\right) = 62.96fF \quad (8)$$

A partir de (5) se puede determinar cuántas veces se tiene que incrementar el tamaño del inversor de dimensiones mínimas para que la frecuencia de oscilación sea la deseada de $6MHz$, este valor de sobredimensionamiento es dado en (9).

$$N_{inv-min} = 2.12 \quad (9)$$

En la Figura 33 se puede observar la respuesta del oscilador, se observa que la frecuencia de oscilación medida es de $4.8MHz$, posteriormente a partir de simulaciones se redimensionó el inversor para hacer más precisa la frecuencia de oscilación. El factor de ajuste para los inversores fue de 0.81, con este ajuste se tiene la forma de onda de la Figura 34 en donde la frecuencia medida es aproximadamente igual a la diseñada.

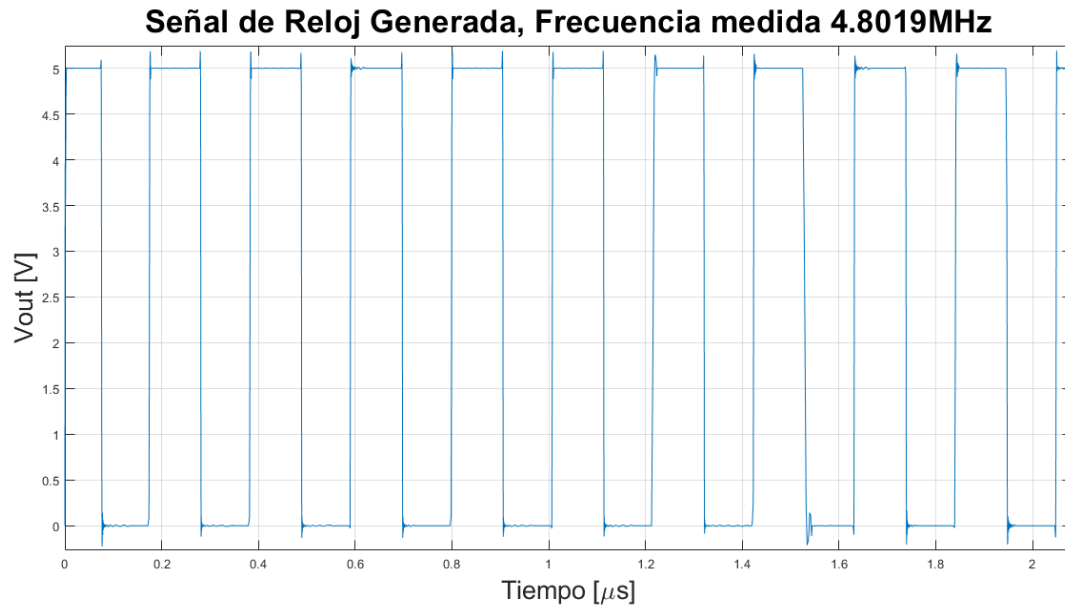


Figura 33. Respuesta de oscilador controlado por corriente.

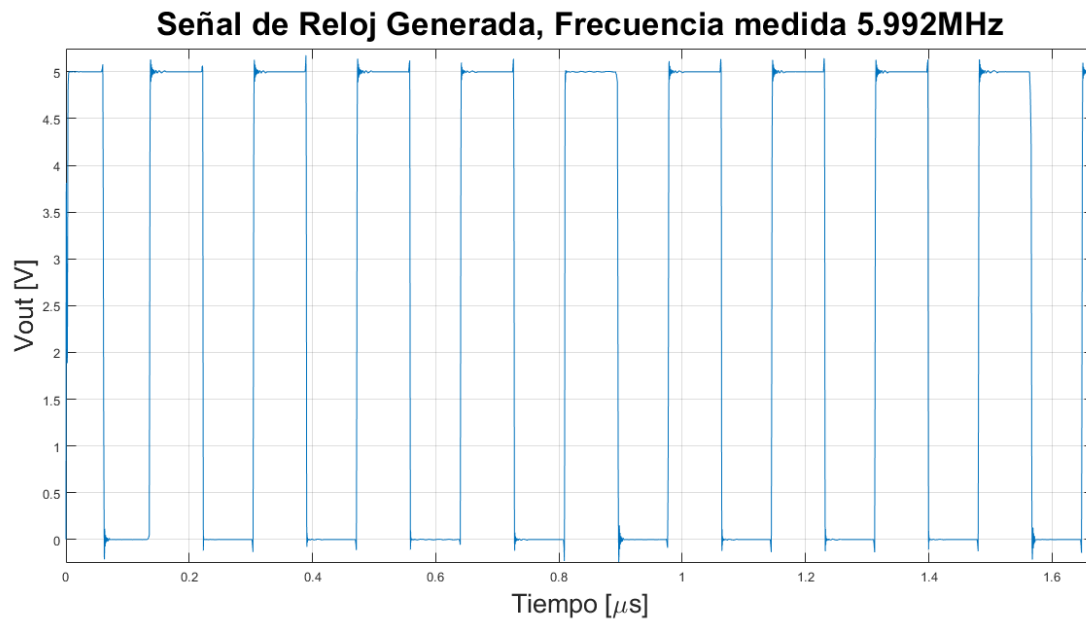


Figura 34. Respuesta del oscilador controlado por corriente después de la sintonización.

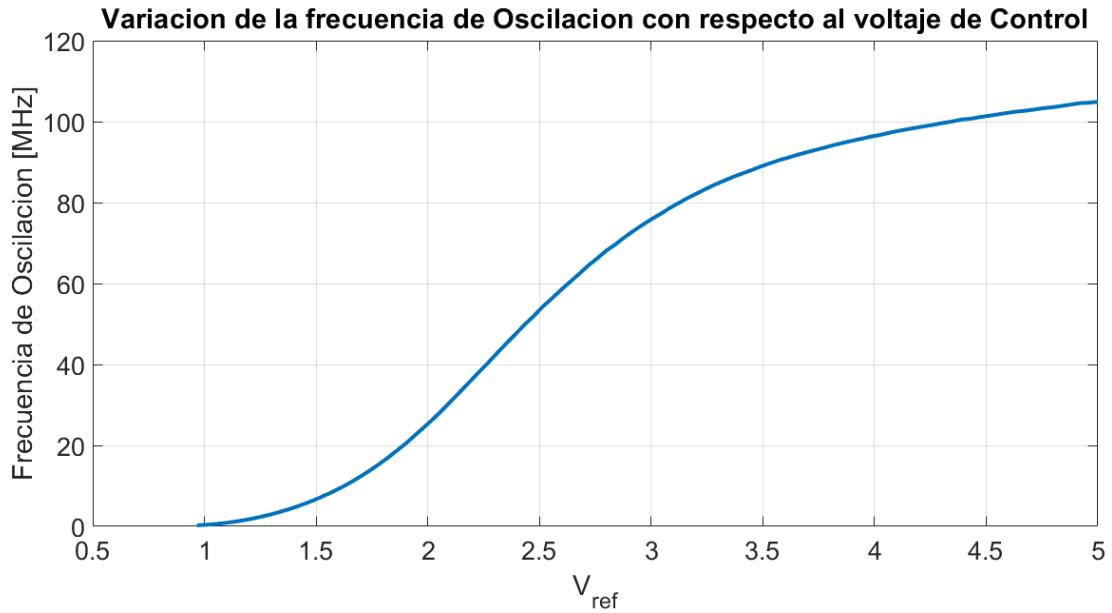


Figura 35. Variación de la frecuencia de Oscilación con respecto al voltaje de control en el Oscilador Controlado por Corriente.

En la Figura 35 se puede observar la curva de respuesta de la frecuencia de oscilación del oscilador controlado por corriente para diferentes voltajes de referencia, se observa que se tiene una frecuencia máxima de oscilación de alrededor de 110MHz.

En la Tabla 7 se condensa el diseño del Oscilador controlado por corriente.

Tabla 7
Dimensiones y parámetros de interés del Oscilador diseñado.

Variable	Valor
Número de etapas N	3
$\frac{W}{L} \Big _{N-mirror}$	$\frac{18.21\mu m}{6\mu m}$
$\frac{W}{L} \Big _{P-mirror}$	$\frac{74.04\mu m}{6\mu m}$
$\frac{W}{L} \Big _{N-inv}$	$\frac{7.74\mu m}{3\mu m}$
$\frac{W}{L} \Big _{P-inv}$	$\frac{31.47\mu m}{3\mu m}$
V_{ref}	1466.50mV
f	6MHz

Diseño del buffer:

No se puede hacer una conexión directa del oscilador a los capacitores de la bomba de carga puesto que este no tiene la capacidad de suministrar la suficiente corriente. Por ello se debe diseñar un buffer de tal manera que no se cargue al oscilador y se pueda suministrar la suficiente corriente a los capacitores de la bomba de carga. En [29] se demuestra que para una topología de buffer dada por inversores crecientes en área como se ve en la Figura 36, el factor de crecimiento de inversor a inversor (A) que disminuye al mínimo el retardo en el tiempo de propagación de la señal es e y que el número de etapas necesarias va a estar dada por (10), dado un par de valores de capacitancia de entrada y de salida C_{in1} y C_{load} respectivamente.

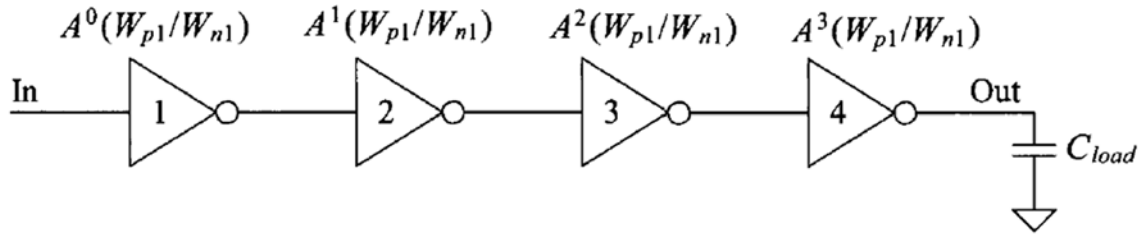


Figura 36. Estructura general de un buffer.

$$N = \ln\left(\frac{C_{load}}{C_{in1}}\right) \quad (10)$$

En [26] se hace un análisis similar con la diferencia de que se considera el factor de actividad de las compuertas y se propone como regla general un factor de crecimiento $A = 4$ el cual es válido para la mayoría de compuertas.

Se definirá el primer inversor de la cadena como un inversor de 5 veces las dimensiones mínimas, esto para no sobrecargar mucho la etapa anterior pero que a la vez no se requieran de tantas etapas para comandar la carga. Siendo así, se tiene una $C_{in1} = 0.27pF$ y una $C_{load} = 2.6nF$. En la Tabla 8 se pueden observar diversos diseños dados diferentes valores de A y diferente cantidad de inversores N . Se muestra el valor de la W más grande que es aquella del transistor P que se encuentra en el último inversor y el retardo en tiempo del buffer, tanto de manera absoluta como su porcentaje con respecto a la frecuencia de oscilación $6MHz$. Se observa que como se esperaba, para un factor de incremento igual a e se obtiene el menor retardo, pero las dimensiones del inversor final son muy grandes en comparación a cuando se usa un factor de incremento de 4 o 10, para estos los tiempos de retardo son tan solo 4% y 10% mayores. Para este diseño se optará por tanto por un factor de incremento de área de 4 y con ello buffers de 6 etapas.

Tabla 8
Retardo de Buffer para diferentes factores de Área y valores de N.

A	N	$W_{MAS\ GRANDE}$	Retardo	Retardo
2	14	8.41 cm	34.66 ns	20.8%
e	10	8.32 cm	30.92 ns	18.55%
3	8	2.25 cm	31.71 ns	19.03
4	6	1.05 cm	37.75 ns	22.65%
10	4	1.03 cm	47 ns	28.2%

Diseño del Comparador de Voltaje:

Un comparador de voltaje es en esencia un amplificador operacional de alta ganancia diseñado para funcionar en lazo abierto. A diferencia de un amplificador operacional un comparador no requiere de compensación de frecuencia [30]. La curva característica de un comparador de ganancia finita y con offset está dada por la Figura 37, para el diseño se utilizó un amplificador de 2 etapas como el visto en la Figura 38.

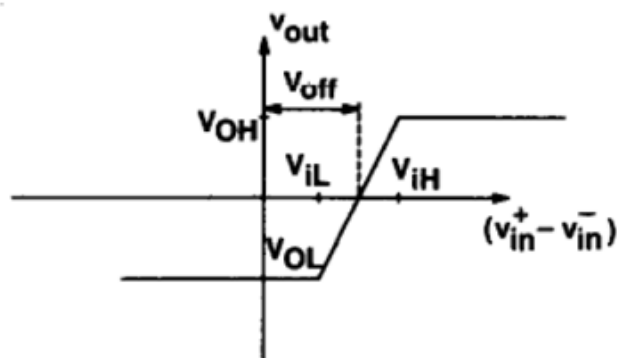


Figura 37. Curva característica de un comparador de ganancia finita y con offset. Extraído de [30].

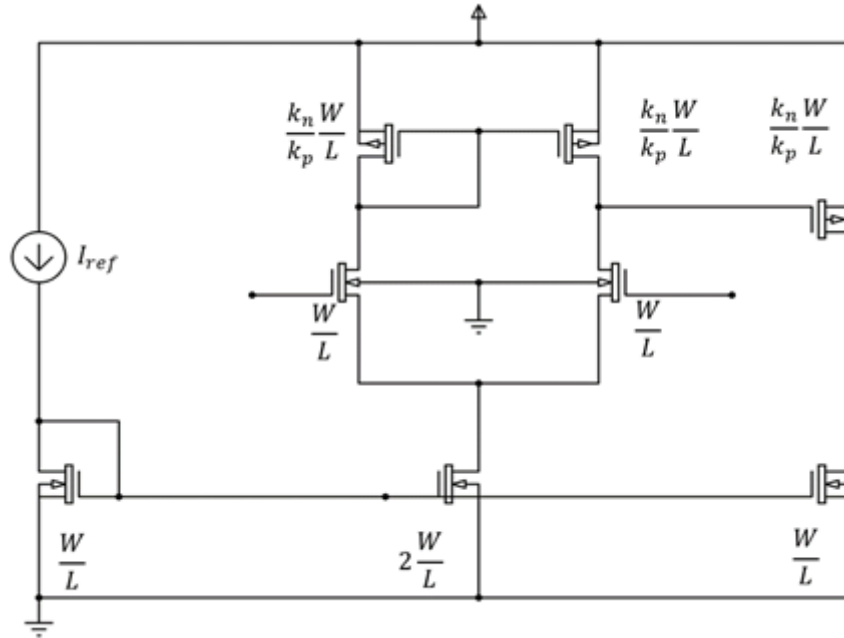


Figura 38. OPAMP de dos Etapas.

La función del comparador de voltaje en este lazo de control es la de regular el voltaje de salida a un cierto valor dado por el voltaje de referencia V_{ref} . Para esto se desea tener la capacidad de sensar el cambio de al menos el 10% del voltaje de rizo diseñado. De la sección “Diseño del Core de la Bomba de carga:” se tiene que el valor esperado de rizo es del 5% de V_{DD} , así pues el voltaje diferencial mínimo estará dado en (11), en donde A_R representa la ganancia de la red de realimentación la cual estará definida por la relación del voltaje de salida deseado (15V) y el voltaje en modo común del comparador, el cual se establecerá posteriormente.

$$\Delta V_{diff-min} = A_R * 10\% * 5\%V_{DD} = 0.025A_R V \quad (11)$$

De la Figura 38 se aprecia que el voltaje mínimo de salida de la primera etapa va a estar dado por: $V_{CM} - V_{th}$, por lo tanto si el V_{CM} es muy alto, el voltaje mínimo de salida será también muy alto, evitará que el transistor P de la segunda etapa entre en trío profundo, se tiene un estado de 1 lógico degradado, por ello se escoge

$V_{CM} = V_{THN} + 2V_{ov} = 1.97V \approx 2V$. Ya establecido el valor de V_{CM} se puede determinar el valor de A_R como se ve en (12). Con el valor de A_R se puede determinar $\Delta V_{diff-min}$. Si se desea un voltaje de salida igual a los rieles de alimentación a partir del voltaje diferencial de entrada mínimo se puede calcular la ganancia mínima necesaria del comparador como se ven en (13).

$$A_R = \frac{V_{CM}}{V_{OUT}} = \frac{2}{15} = 0.13' \quad (12)$$

$$A_{V-min} = \frac{5V}{0.025A_R V} = \frac{5V}{0.025 * 0.13' V} = 1500 = 63dB \quad (13)$$

Se desea también que la respuesta del comparador sea más rápida que la frecuencia de oscilación diseñada. Así pues, se establece un Slew Rate (SR) tal que se pueda hacer una excursión en el voltaje de salida en un tiempo igual al 25% del periodo del reloj, como se ve en (14).

$$SR_{\pm} = \frac{V_{DD}}{25\% \frac{1}{f}} = 0.12 \frac{V}{nS} \quad (14)$$

La salida del comparador irá a una terminal de una compuerta NAND estática, usando el modelo digital dado en [29] se establece la capacitancia de carga como la capacitancia de puerta de un inversor simétrico de dimensiones mínimas, así pues la C_{LOAD} estará dada por (15).

$$C_{LOAD} = 62.96fF \quad (15)$$

Teniendo en cuenta (14) y (15) se puede calcular la corriente de polarización mínima necesaria $I_{ref-min}$ como se ve en (16), se escoge por tanto un valor para $I_{ref} = 10\mu A$.

$$I_{ref-min} = SR C_{LOAD} = 7.56\mu A \quad (16)$$

Escogiendo un $V_{ov} = 10\%V_{DD} = 0.5V$ se puede determinar la relación $\frac{W}{L}$ de la ecuación de saturación del MOSFET, como se ve en (17).

$$\frac{W}{L} = 1.01 \frac{6\mu m}{6\mu m} = \frac{6.06\mu m}{6\mu m} \quad (17)$$

Definida la corriente de referencia y la relación $\frac{W}{L}$ se puede calcular la ganancia de voltaje teórica esperada como se ve en (18). Se hicieron simulaciones para reducir el offset sistemático del OPAMP sintonizando las dimensiones del transistor P de la segunda etapa, la constante de sintonización fue de 1.28. En la Figura 39 se puede observar la curva de DC del OPAMP diseñado, la ganancia del OPAMP y el offset a la entrada. En la Figura 40 se hace un análisis transitorio para verificar el Slew Rate obtenido.

$$A_{v-Teo} = 2267 = 67 \text{ dB} \quad (18)$$

De estas curvas se encuentra que la ganancia simulada fue de 18914 o 85.54 dB, la cual es superior a la mínima requerida por la aplicación que está especificada en (13). También se observa que se tiene un voltaje de offset a la entrada de $6.25\mu V$ y un valor en promedio de $SR = -0.35 \frac{V}{ns}$ el cual también es superior al mínimo requerido.

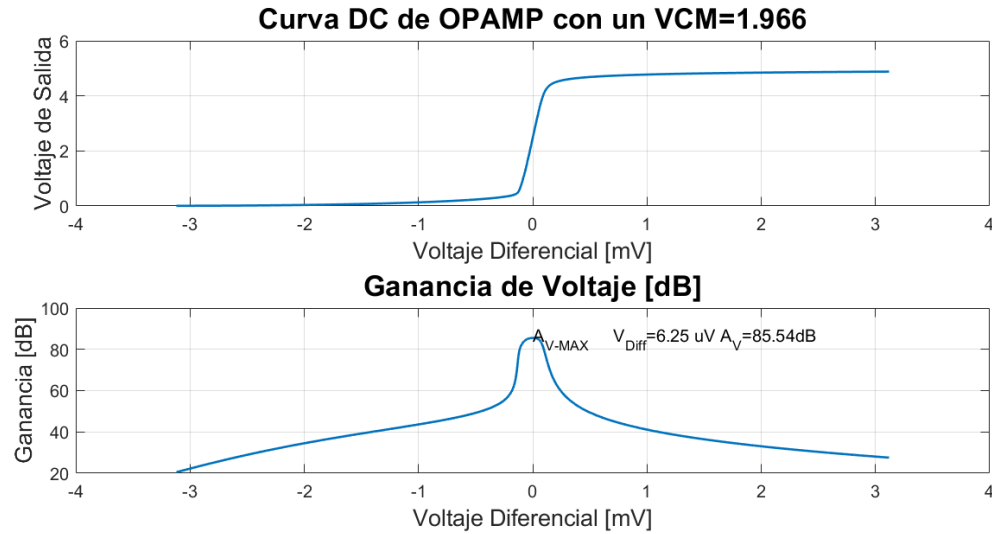


Figura 39. Respuesta de DC de Comparador diseñado.

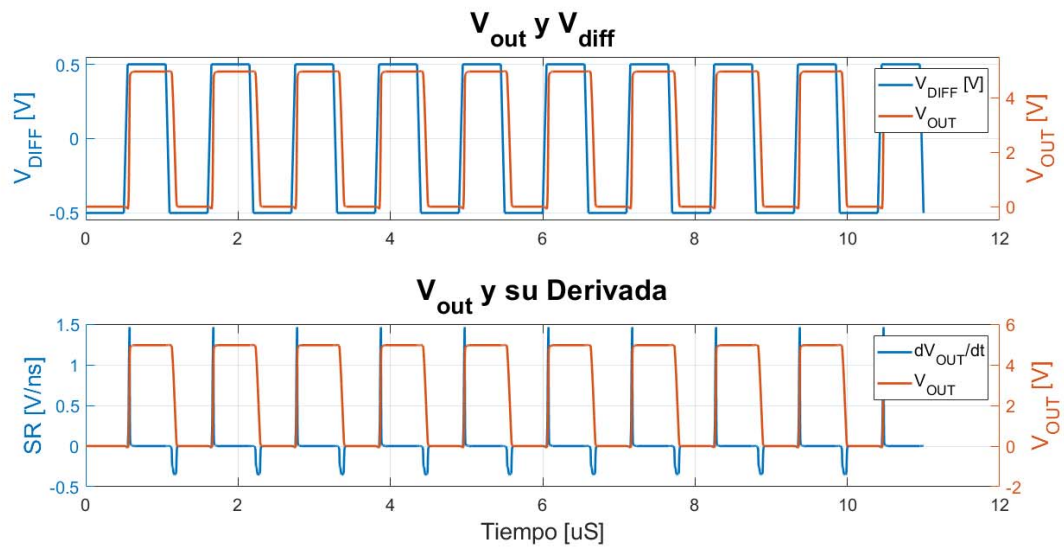


Figura 40. Respuesta transitoria de comparador diseñado.

Diseño del Switch de salida:

Se desea tener la capacidad de poder controlar diferentes cargas con la misma estructura de elevador de voltaje. Para ello el diseño fue llevado a cabo de tal manera que se tuviese la capacidad de controlar al menos 5 emisores del tipo seleccionado.

Por lo anterior es necesario diseñar un switch que permita seleccionar a que cargas se le va a suministrar potencia, esto puede ser visto en la Figura 41.

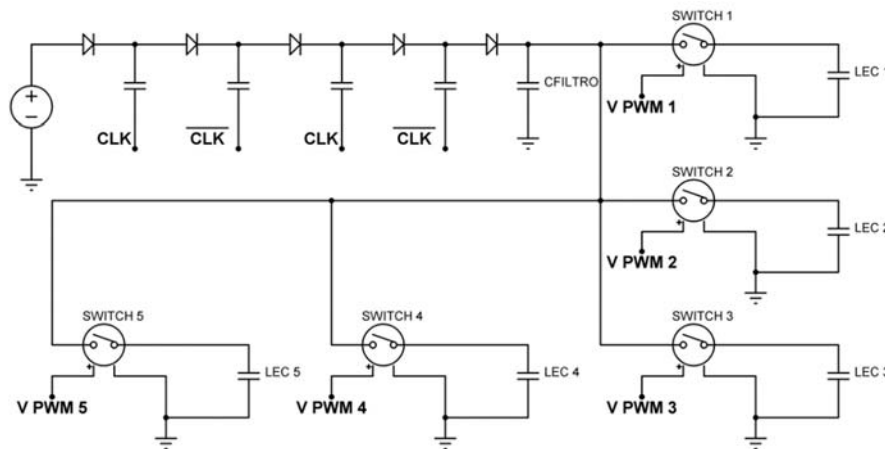


Figura 41. Esquema de conmutación.

Una posible implementación del circuito de la Figura 41 podría ser el circuito de la Figura 42. Sin embargo, para poder empezar a desaparecer el canal en los conmutadores, el voltaje de puerta debería de ser de $13.7V$ o superior. Por lo anterior para usar esta estructura debería de diseñarse a su vez un segundo circuito elevador (de menor potencia). Para evitar ello y hacer el diseño más sencillo se propone la estructura de la Figura 43. En esta los transistores tipo P actúan como switch normalmente abierto debido a que la corriente de puerta es $0A$, esto hace que el voltaje de fuente a puerta sea a su vez de $0V$ y no exista canal. Por otra parte, cuando se cree el canal de los transistores tipo N el voltaje de puerta será un V_{DS} y se cerrará el transistor tipo P. El valor de la resistencia deberá ser tal que la constante de tiempo asociada sea menor al periodo de conmutación del LEC y que a su vez sea mucho mayor que la impedancia de salida de la bomba de carga para no modificar su comportamiento.

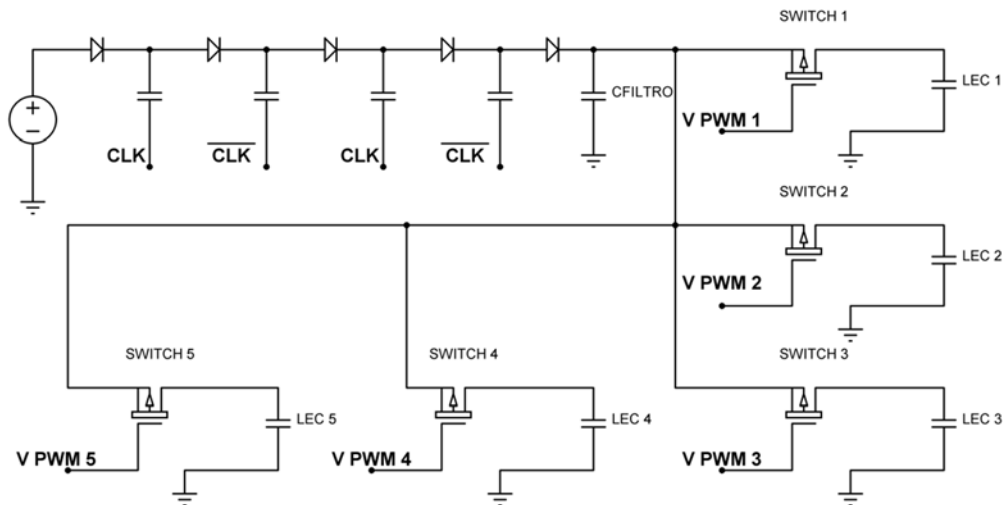


Figura 42. Posible implementación de esquema de conmutación.

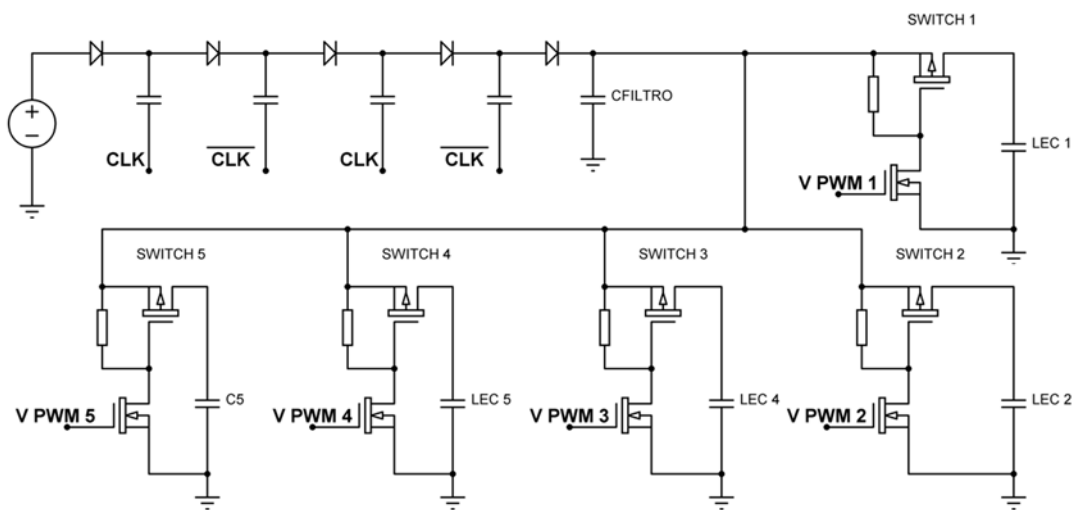


Figura 43. Esquema de conmutación propuesto.

Para que se pueda cargar el capacitor del LEC en un tiempo menor a la máxima frecuencia de conmutación, se define la capacitancia de carga por switch como la quinta parte de la capacitancia de carga diseñada, y estableciendo la constante de tiempo asociada a esta capacitancia y a la resistencia de trío del switch como el 5% de la frecuencia de conmutación máxima del LEC, se tiene que la resistencia máxima de trío estará dada por (19). Con lo cual, la relación $\left. \frac{W}{L} \right|_{P-MIN}$ estará dada

por (20), se establece entonces $\frac{W}{L}\bigg|_P = 10 \cdot \frac{3\mu m}{3\mu m}$ con estas dimensiones la capacitancia de puerta será de $C_{gate-switch} = 83fF$.

Un modelo equivalente de DC para una bomba de carga Dickson fue propuesto en [25] y puede ser visto en la Figura 44. La impedancia de salida para la bomba de carga despreciando la capacitancia parásita está dada en la (21). Se selecciona una resistencia de puerta igual a $100R_{out}$ (tal que no se afecte en gran medida el punto de operación de la bomba de carga). La resistencia de puerta estará dada entonces por (22).

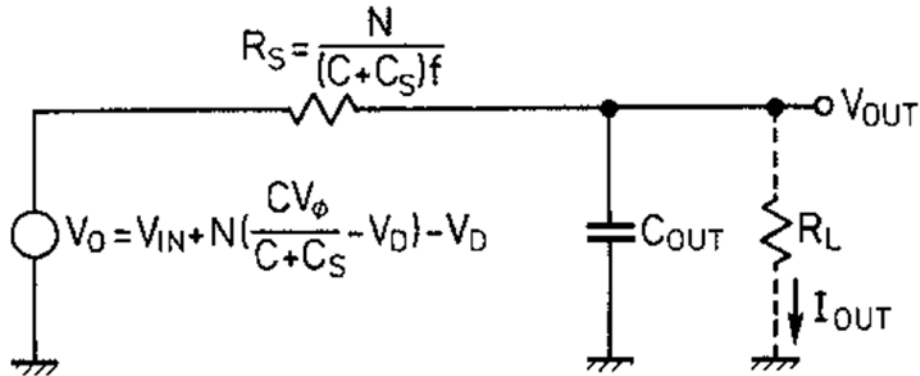


Figura 44. Circuito equivalente de bomba de carga Dickson. Extraído de [25].

$$R_{trio-max} = 1.2k\Omega \quad (19)$$

$$\frac{W}{L}\bigg|_{P-MIN} = 3.1 \quad (20)$$

$$R_S = 460\Omega \quad (21)$$

$$R_{Gate} = 100 \cdot R_S = 46k\Omega \approx 50k\Omega \quad (22)$$

Diseño del Modulador PWM:

Es necesario diseñar un modulador PWM, una señal PWM es inherentemente más inmune al ruido, debido a que la señal modulada solo toma dos valores, el ruido tiene que ser muy grande o la señal tiene que estar muy atenuada para verse afectada

[31]. Es de interés poder cambiar el ciclo útil de una señal aplicada al LEC de manera integrada para estudiar los límites de conmutación de estos.

En [32] se hace una revisión de diferentes tipos y características de PWMs. Para la selección de un método de PWM analizan la respuesta espectral de la señal modulada y seleccionan aquella que produce un menor contenido de armónicos. Esto es importante cuando se desea transmitir información; también se comparan diversos tipos de implementación de PWMs diferenciando dos metodologías, la primera digital y la segunda analógica, la primera tiene errores de cuantización y usualmente está limitada a aplicaciones de baja frecuencia.

En esta tesis se diseñará un LEPWM (Leading Edge Pulse Width Modulator) analógico y el muestreo será del tipo natural.

En la Figura 45 se muestra una implementación típica de un modulador PWM, se usará el comparador previamente diseñado. Para el generador de diente de sierra, en [33] se propone una estructura como la de la Figura 46 y para el integrador la estructura de la Figura 47, por último en [29] se propone la estructura de la Figura 48 para el multivibrador monoestable.

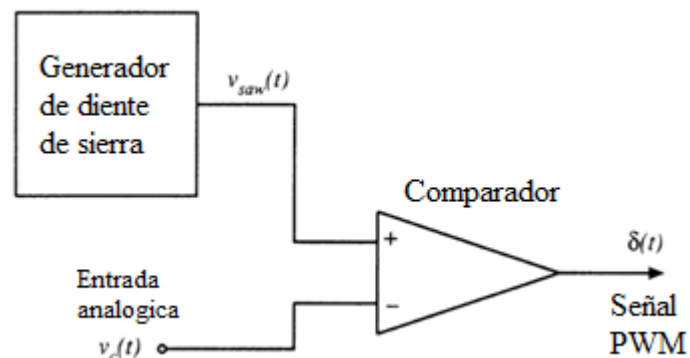


Figura 45. Circuito Simple de un modulador de ancho de pulso. Extraído de [22].

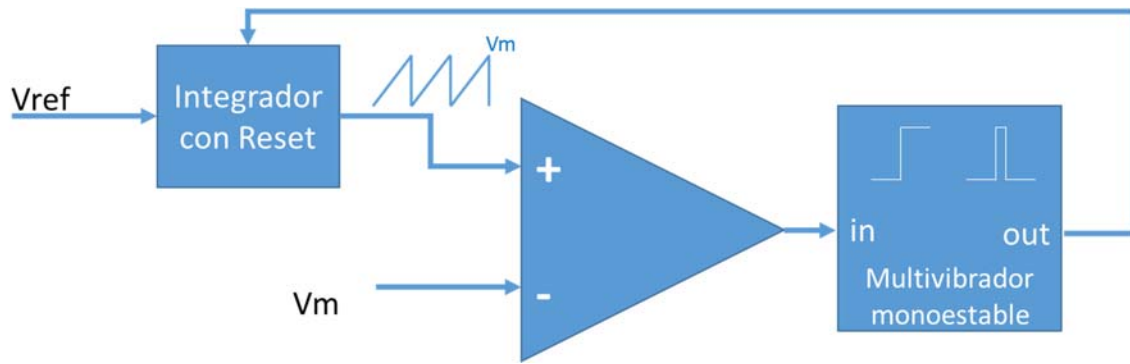


Figura 46. Circuito generador de rampa. Extraído de [33].

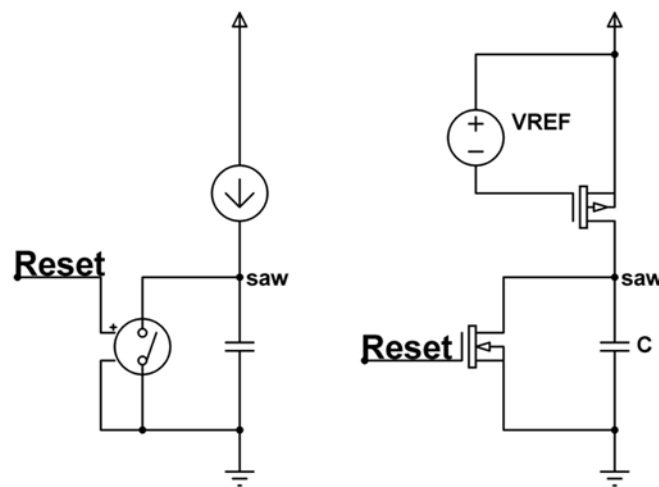


Figura 47. Circuito Integrador

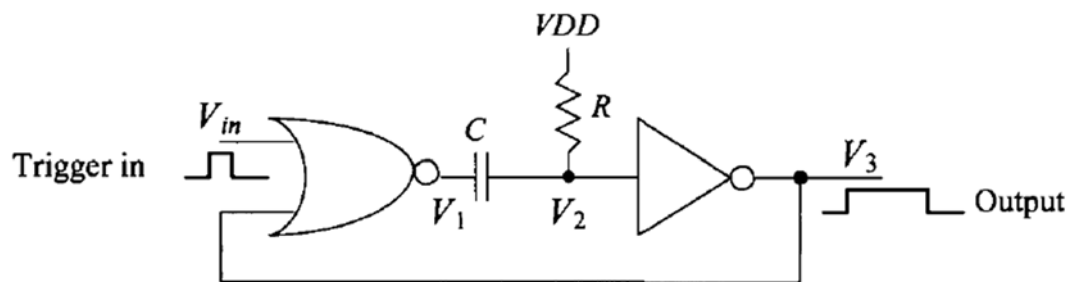


Figura 48. Multivibrador monoestable. extraído de [29].

La frecuencia de Oscilación de la señal de diente de sierra está dada por (23). Para el diseño del integrador se seleccionó una capacitancia de $10pF$ y un voltaje de overdrive del 5% de V_{DD} , además de un voltaje $V_m = 4V$, esto lleva a una corriente

de carga de $I = 0.4\mu A$ y a una relación de aspecto para el PMOS de $\frac{W}{L}\bigg|_P = 0.66 = \frac{3\mu m}{4.56\mu m}$.

$$F_{saw} = \frac{I}{CV_m} \quad (23)$$

El multivibrador monoestable de la Figura 48 a partir de un pulso de entrada produce un pulso de salida cuya duración está dada según [29] por (24). Seleccionando una duración de pulso del 1% del periodo mínimo de conmutación del LEC, y seleccionando una capacitancia de $10pF$ se tiene que se requiere una resistencia de $142.86k\Omega$.

Las compuertas fueron diseñadas con dimensiones mínimas para disminuir los tiempos de retardo y utilizando lógica digital estática complementaria.

En la Figura 49 se puede observar la señal diente de sierra generada, la frecuencia medida en simulación fue de $10.8kHz$, próxima a la diseñada ($10kHz$). En la Figura 50 se puede observar la variación de la frecuencia de oscilación del generador de diente de sierra cuando se varia el voltaje de referencia del transistor PMOS. Se observa que para un $V_{ref} = 1.5V$ se tiene una frecuencia de oscilación próxima a la diseñada y que para $V_{ref} < 1V$ la frecuencia de oscilación es próxima a $0Hz$.

$$t = 0.7RC \quad (24)$$

Ya diseñado el generador de diente de sierra se procede a implementar el circuito de la Figura 45 usando nuevamente el comparador previamente diseñado. En la Figura 51 se puede observar el funcionamiento del mismo para una señal de entrada de tipo sinusoidal con una frecuencia de $100Hz$, un valor DC de $2V$, y una amplitud de $1.18V$, se tiene un ciclo útil máximo del 78% y un mínimo de 12%.

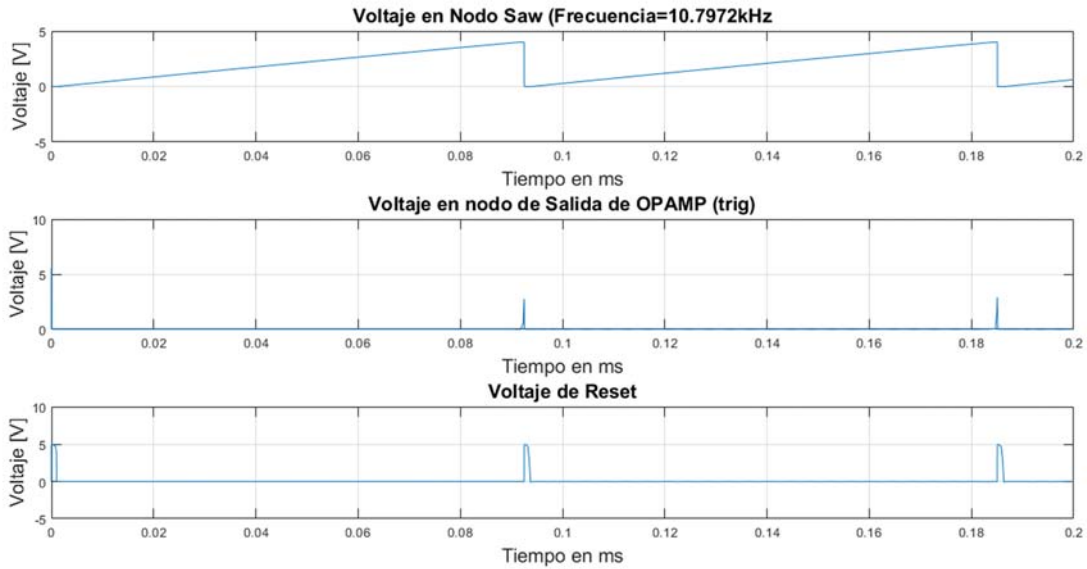


Figura 49. Señal de diente de sierra y señales de control.

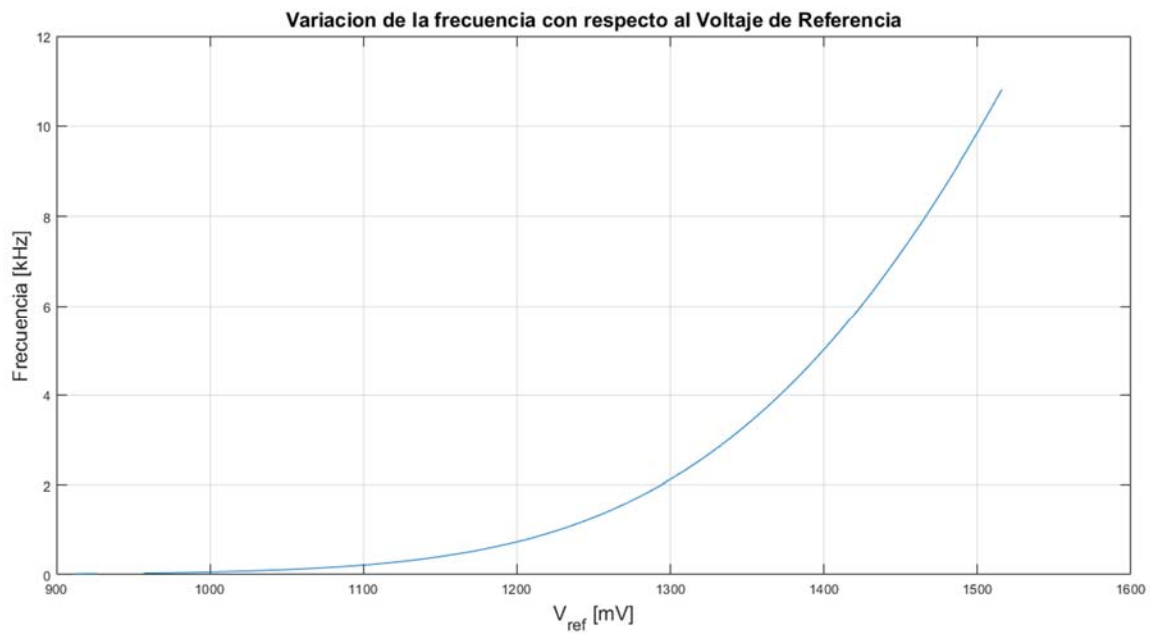


Figura 50. Variación de la frecuencia de oscilación de la señal diente de sierra generada al variar el voltaje de referencia de la fuente de corriente.

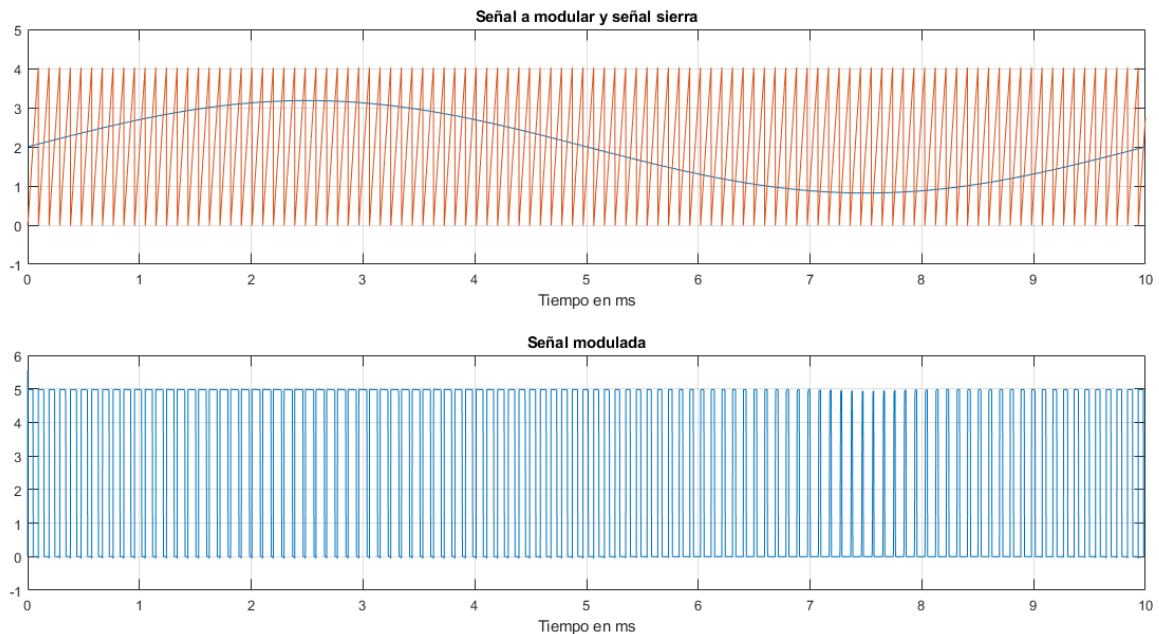


Figura 51. Respuesta del modulador ante una señal de entrada de tipo sinusoidal.

En la Figura 52 se puede observar el diagrama de bloques de manera más detallada del sistema diseñado. En la Figura 53 se observan señales de interés que reflejan el comportamiento general del sistema.

Un ejemplo del funcionamiento del sistema es explicado a continuación: En la Figura 53 (a) se muestra la señal generada por el PWM al aplicar un voltaje de control de ciclo útil de 2V lo cual equivale a un ciclo útil del 50%, esta señal de PWM controla el encendido y apagado de los LECs. Para el tiempo $t = 0$ el voltaje de salida de la bomba de carga es de 0V (Figura 53 (c)), el voltaje de salida del PWM es de 5V, esto indica que inicialmente se desea encender el LEC (Figura 53 (a)); El lazo cerrado de control detecta que el voltaje de salida está por debajo del valor deseado (15V) y por lo tanto activa la señal de Reloj de la bomba de carga (Figura 53 (b)); se observa que rápidamente el voltaje de salida de la bomba de carga y del LEC 1 empiezan a subir hasta llegar al voltaje deseado en un tiempo de aproximadamente $7\mu s$ (los LECs restantes se comportan de la misma manera)

(Figura 53 (b) y Figura 53 (c)). A partir de entonces el lazo de control detecta que se está cerca de la referencia y por ello activa y desactiva el reloj con el fin de mantener el voltaje de salida regulado (Figura 53 (b)). El consumo de potencia en esta zona es menor puesto que el reloj no se encuentra activo constantemente. En el tiempo $t = 48\mu s$ el voltaje del PWM se hace 0V es decir, se desea apagar el LEC (Figura 53 (a)), se observa que el voltaje en este desciende rápidamente (Figura 53 (d)), y además el rizo en el voltaje de salida de la bomba de carga disminuye (Figura 53 (c)). En el tiempo $t = 95\mu s$ el voltaje del PWM vuelve a subir (Figura 53 (a)), se observa que el voltaje de salida de la bomba de carga desciende rápidamente por el intercambio de carga entre la capacitancia de filtro con los LECs (Figura 53 (c)). En ese momento el lazo de control detecta la disminución del voltaje de salida de la bomba de carga y activa el reloj constantemente para contrarrestar este cambio (Figura 53 (b)). En adelante se repite este ciclo de funcionamiento.

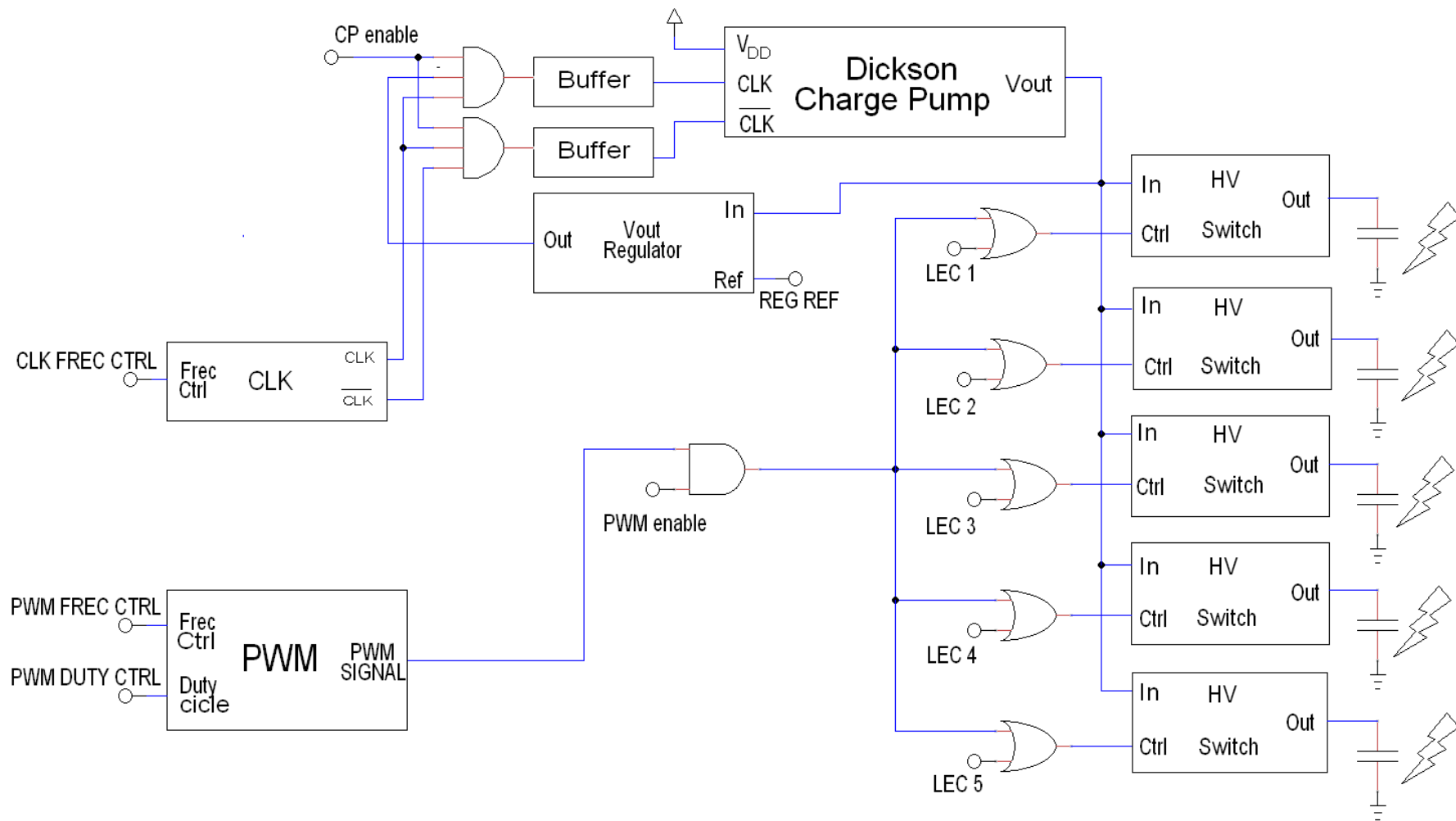


Figura 52. Diagrama de bloques del sistema diseñado.

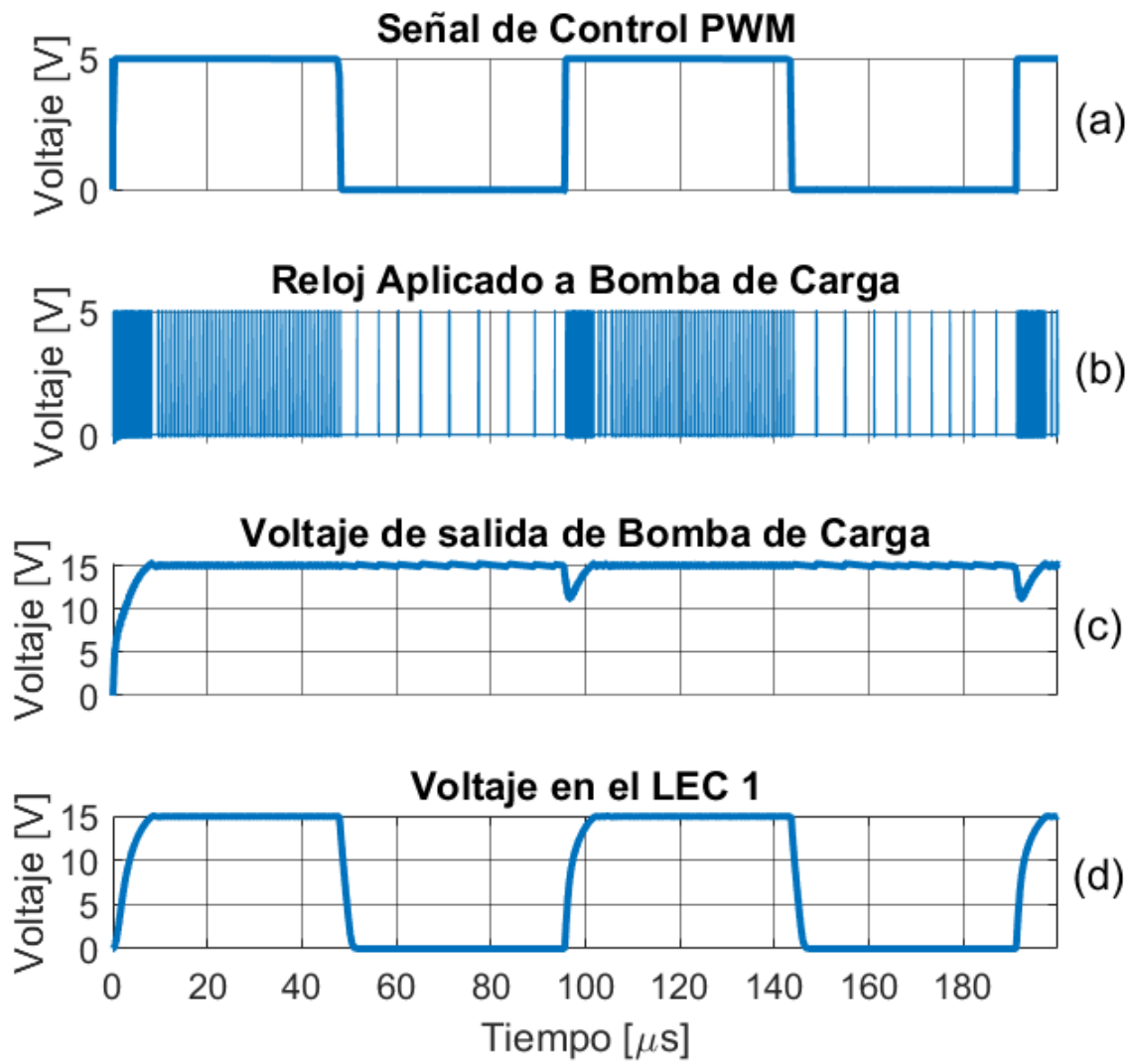


Figura 53. Señales de interés del sistema.

CAPÍTULO 6: RESULTADOS Y LAYOUT

Introducción:

En este capítulo se presentarán los layouts y resultados de las simulaciones post-layout de los bloques diseñados en el capítulo anterior. Se comparan las simulaciones post-layout con las simulaciones ideales, además se definen los voltajes de control necesarios para corregir las desviaciones del punto de operación. Por último se presenta el circuito integrado electrofónico con la inclusión de los transceivers diseñados en [6].

El área del dado es de 2.2 cm por 2.2 cm , este es el dado más grande que puede ser diseñado en el proceso del CNM. Se escogieron las dimensiones más grandes puesto que no es necesario fabricar muchos dados. Se dio preferencia a tener las suficientes estructuras de pruebas y el hacer puntos de conexión grandes para mayor facilidad en el posicionamiento de puntas para la medición.

Para el diseño del Pad Frame se usaron los pads analógicos de la librería “PAD25003” incluida en el kit de diseño. El Pad Frame ocupa un área que corresponde al 2.34% del área del dado.

Bomba de Carga:

La bomba de carga es el componente del sistema que más área consume (8.5%). Los capacitores utilizados fueron fabricados con dos capas de polisilicio y los diodos fueron fabricados usando un pozo n y una difusión tipo P. En la interconexión se evitó cruzar líneas de metal sobre el polisilicio para evitar capacitancias parásitas, pues estas pueden reducir el voltaje de salida de la bomba de carga si son comparables con la capacitancia unitaria de la bomba.

El layout de la bomba de carga puede ser visto en la parte izquierda de la Figura 54. En la parte derecha se observa el esquemático de la bomba de carga (la disposición espacial de los componentes en el esquemático es idéntica a la del layout), en la Figura 55 se observa la respuesta en lazo abierto.

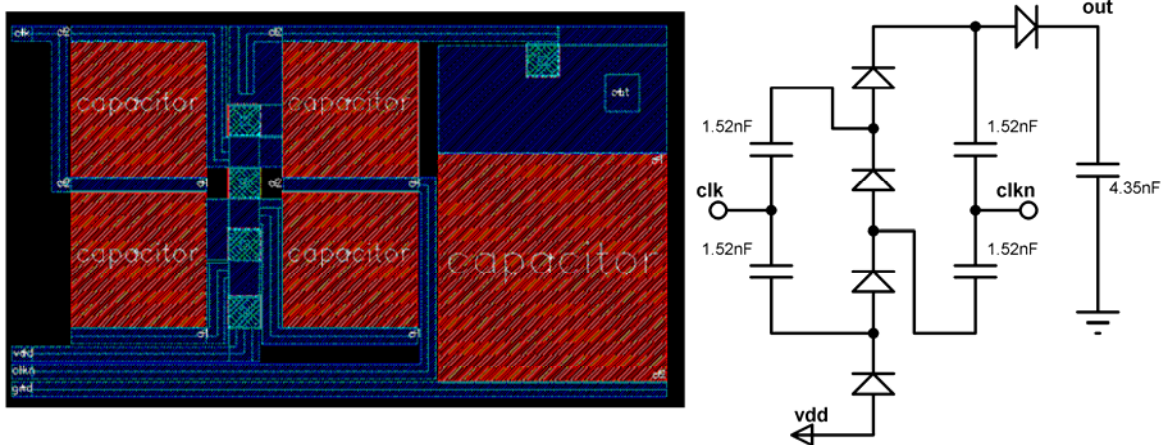


Figura 54. Layout de Bomba de carga.

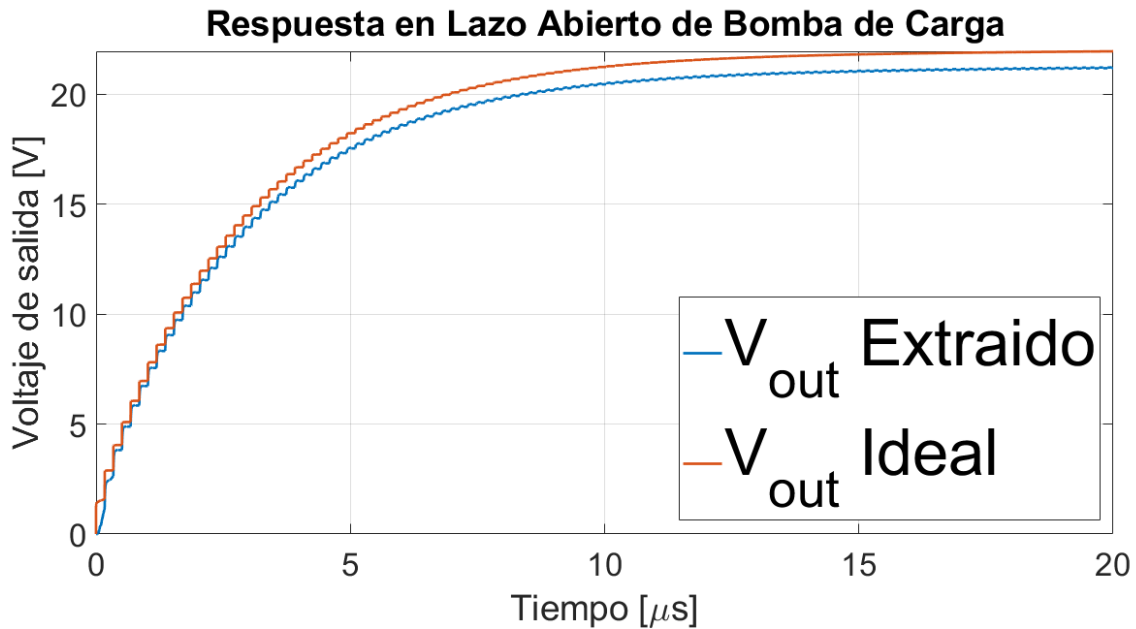


Figura 55. Simulación en Lazo abierto de los modelos de la bomba de carga ideales y con los parámetros extraídos del layout.

Aunque el voltaje de salida de la simulación post-layout, es menor a la simulación ideal (por efecto de las capacitancias parásitas) aún es superior al voltaje deseado (15V), la desviación en el tiempo de subida no fue significativa.

Tabla 9

Comparación de los parámetros de la simulación de la bomba de carga diseñada usando el modelo ideal y el extraído a partir del Layout.

Parámetro	Ideal	Post-Layout
V_{out}	21.94 V	21.16 V
t_{rise}	$3.23\mu s = 3.23\% \left(\frac{1}{F_{LEC}} \right)$	$3.41\mu s = 3.41\% \left(\frac{1}{F_{LEC}} \right)$
Área	-	8.5%

Oscilador de anillo controlado por corriente:

Para el diseño del layout del oscilador de anillo controlado por corriente es de interés disminuir la capacitancia parásita en los nodos y además asegurar el apareamiento de los transistores que conforman espejos de corriente. Para esto se dividieron los transistores en la mayor cantidad de fingers posible. Se hizo uso de transistores dummy y además se diseñó el layout tal que fuese simétrico.

El layout y su esquemático pueden ser vistos en la Figura 56. En la Figura 57 se grafica las respuestas tanto del sistema ideal como del circuito extraído del layout para el oscilador. El rango de frecuencias de oscilación obtenidas para el circuito ideal fue de 258kHz a 104.9MHz para una variación en el voltaje de puerta desde 0.9V a 5V. Para el caso del circuito extraído el rango de frecuencias de oscilación obtenido fue de 78kHz a 69MHz.

De la Figura 57 se ve que existe una diferencia considerable entre el comportamiento del circuito ideal y el que incluye las parásitas. Esto es así debido a que la capacitancia de puerta de los inversores es pequeña ($133.5fF$). Esto hace

que las capacitancias parásitas modifiquen en gran medida el comportamiento del oscilador. El efecto de las capacitancias parásitas es el de disminuir la frecuencia máxima alcanzada lo que no es un inconveniente puesto que no se trabajará en ese rango de frecuencias.

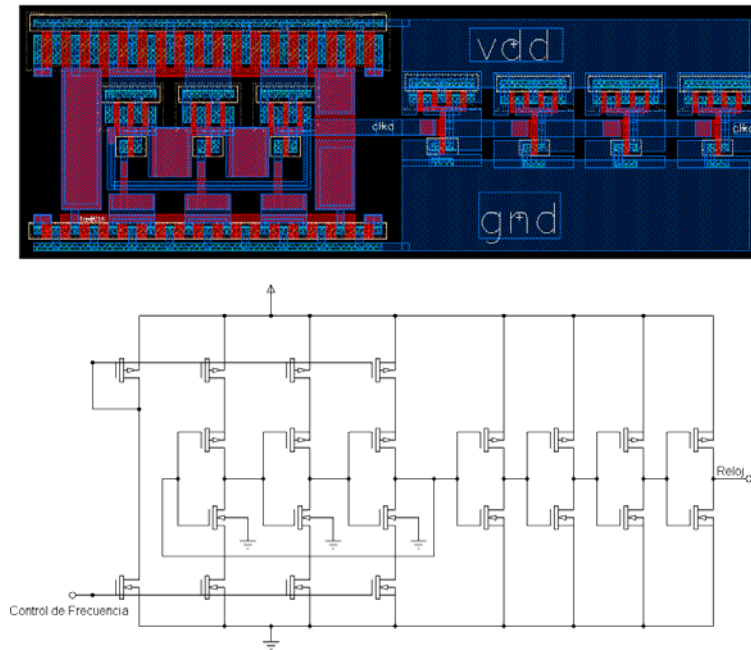


Figura 56. Layout y esquemático del oscilador controlado por corriente diseñado.

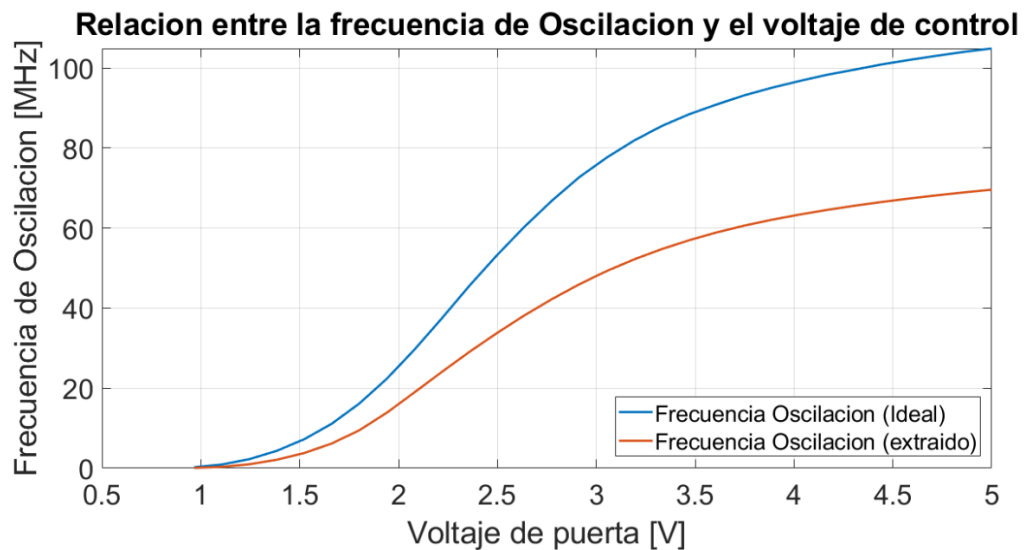


Figura 57. Variación de la frecuencia de Oscilación con respecto al voltaje de control para el oscilador controlado por corriente tanto ideal como el extraído del layout.

Comparador de Voltaje:

El layout del comparador de voltaje se muestra en la Figura 58. Para la polarización de los transistores se usó una referencia de voltaje compuesta por dos transistores MOS conectados en forma de diodo en serie. En la Figura 59 se puede ver la curva de respuesta DC del OPAMP diseñado, tanto en su forma ideal como la obtenida después de la extracción de parásitas. Se observa que aumenta el voltaje de offset, pasa de $-37.5\mu V$ en el modelo ideal a $-387.5\mu V$ en el modelo que incluye los componentes parásitos extraídos.

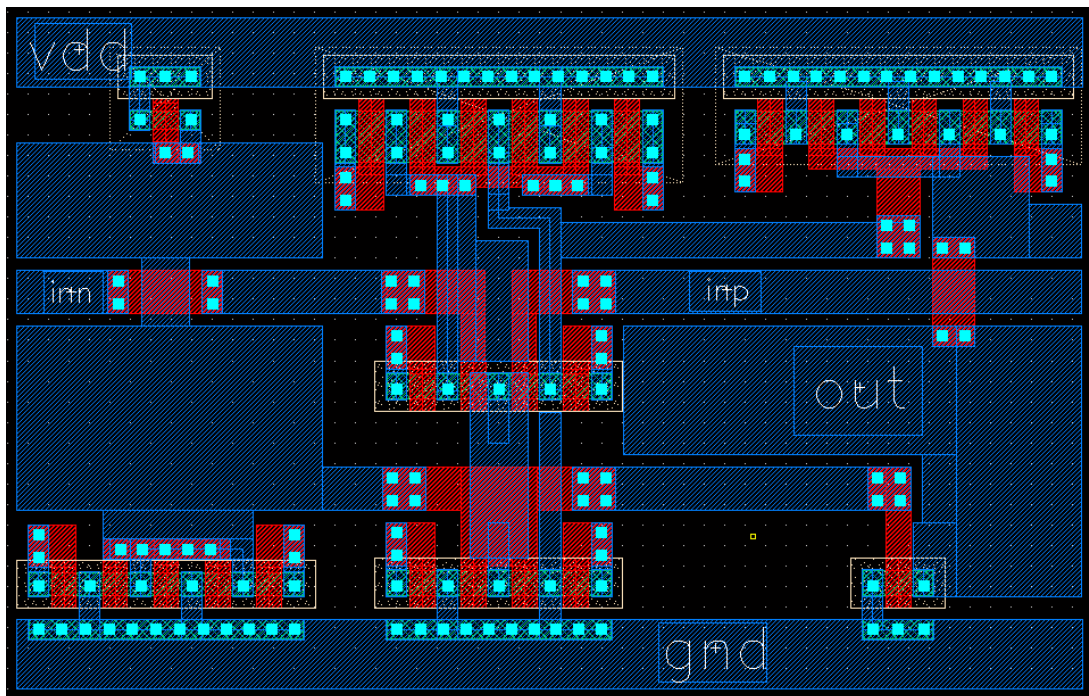


Figura 58. Layout de OPAMP.

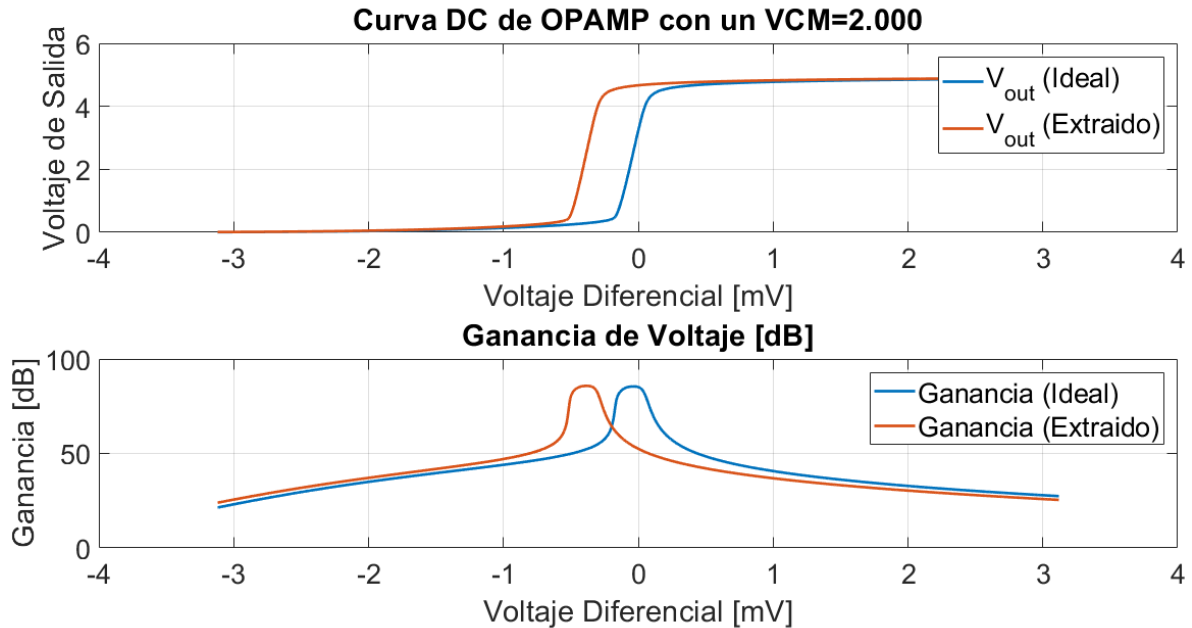


Figura 59. (Superior) Respuesta DC del OPAMP, (inferior) Ganancia del amplificador operacional.

En la Figura 60 se puede observar la respuesta transitoria del OPAMP, de esta se tiene un Slew Rate para el modelo ideal de: $SR_+ = 1.49 \frac{V}{ns}$ y $SR_- = -0.35 \frac{V}{ns}$ y para el modelo que incluye las componentes parásitas de: $SR_+ = 1.12 \frac{V}{ns}$ y $SR_- = -0.22 \frac{V}{ns}$.

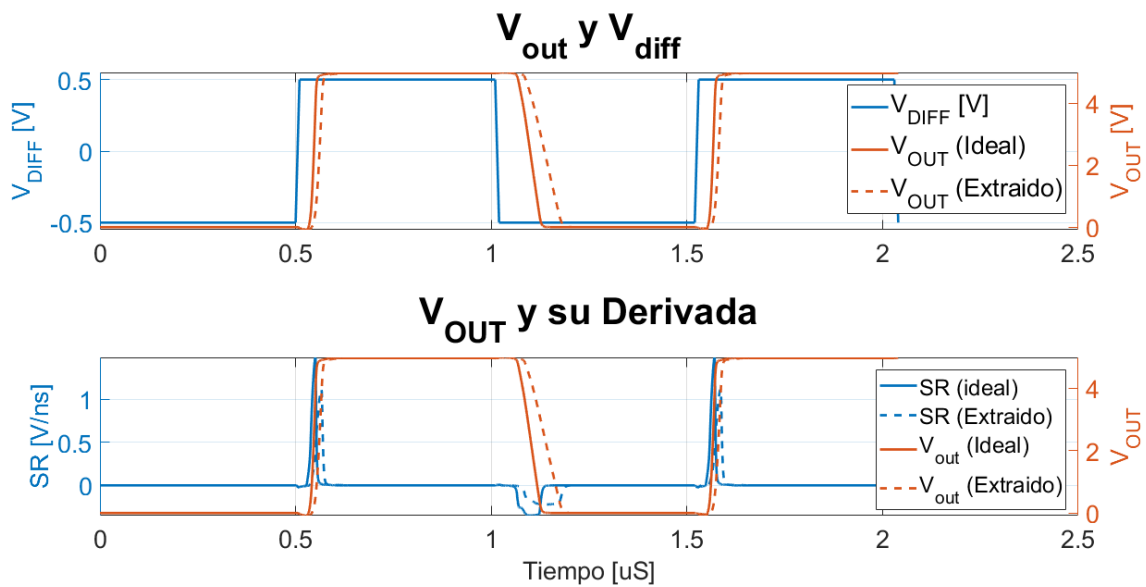


Figura 60. (Superior) Respuesta transitoria del OPAMP, (Inferior) Voltajes de Salida y Slew Rate.

Tabla 10

Comparación de los parámetros de la simulación del amplificador operacional diseñado usando el modelo ideal y el extraído a partir del Layout.

Parámetro	Ideal	Post-Layout
Ganancia	85.47dB	85.78dB
Offset	-37.5 μ V	-387.5 μ V
Slew Rate	+1.49 $\frac{V}{ns}$ & - 0.35 $\frac{V}{ns}$	+1.12 $\frac{V}{ns}$ & - 0.22 $\frac{V}{ns}$

Modulador PWM:

El modulador PWM está compuesto de 2 bloques fundamentales, el generador de diente de sierra de frecuencia regulable y el comparador. El layout de este último fue previamente descrito, el del generador de diente de sierra puede ser visto en la Figura 61. En la Figura 62 se puede ver una comparación de las respuestas tanto ideal como la extraída, se observa que la frecuencia del modelo extraído es de 7kHz la cual es inferior a la diseñada 10kHz. Esto se debió a los cambios en las dimensiones de los transistores para ajustarse a la rejilla, ello no es un inconveniente puesto que se controlará la frecuencia de oscilación por medio de un pin externo. La curva que relaciona la frecuencia de oscilación con respecto al voltaje de control tanto con el modelo ideal como del modelo extraído puede ser visto en la Figura 63.

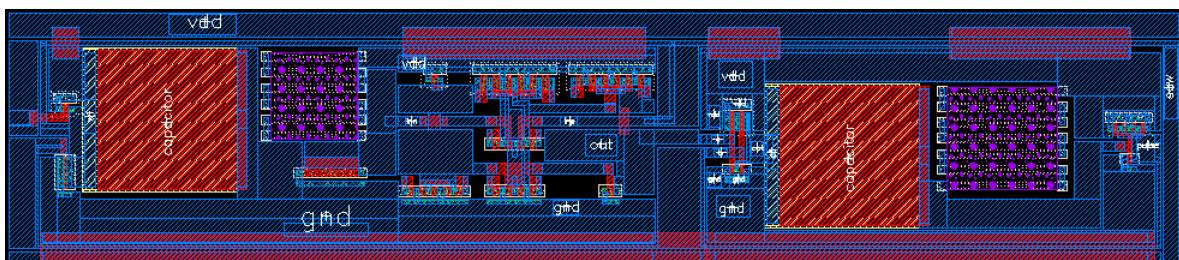


Figura 61. Layout de generador de Diente de Sierra.

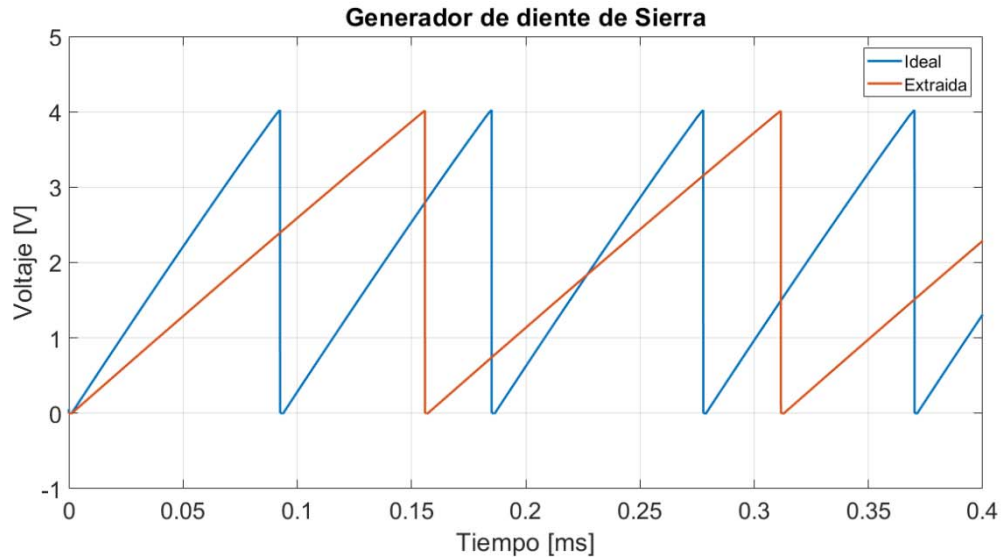


Figura 62. Respuesta transitoria del Generador de diente de sierra con los modelos ideal y extraído.

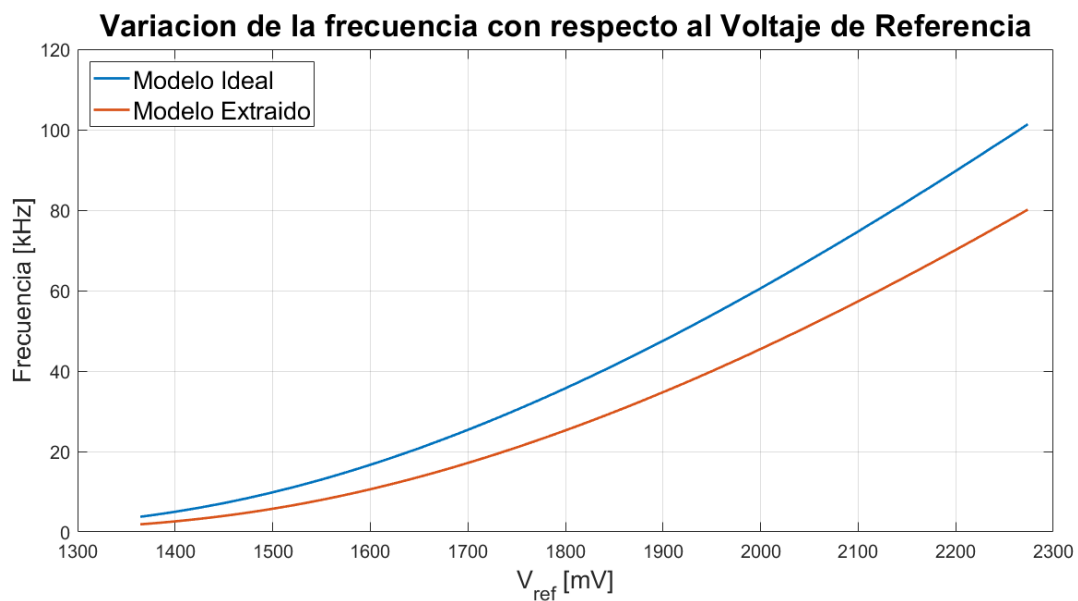


Figura 63. Variación de la frecuencia de Oscilación del generador de diente de sierra para el modelo ideal y para el modelo extraído al variar el voltaje surtidor a puerta del Transistor MOSFET tipo P que hace las veces de fuente de corriente.

En la Figura 64 se puede observar el funcionamiento del modulador PWM extraído para una señal de entrada de tipo sinusoidal con una frecuencia de 100Hz, un valor DC de 2V, y una amplitud de 1V, se tiene un ciclo útil máximo del 75% y un mínimo de 25%.

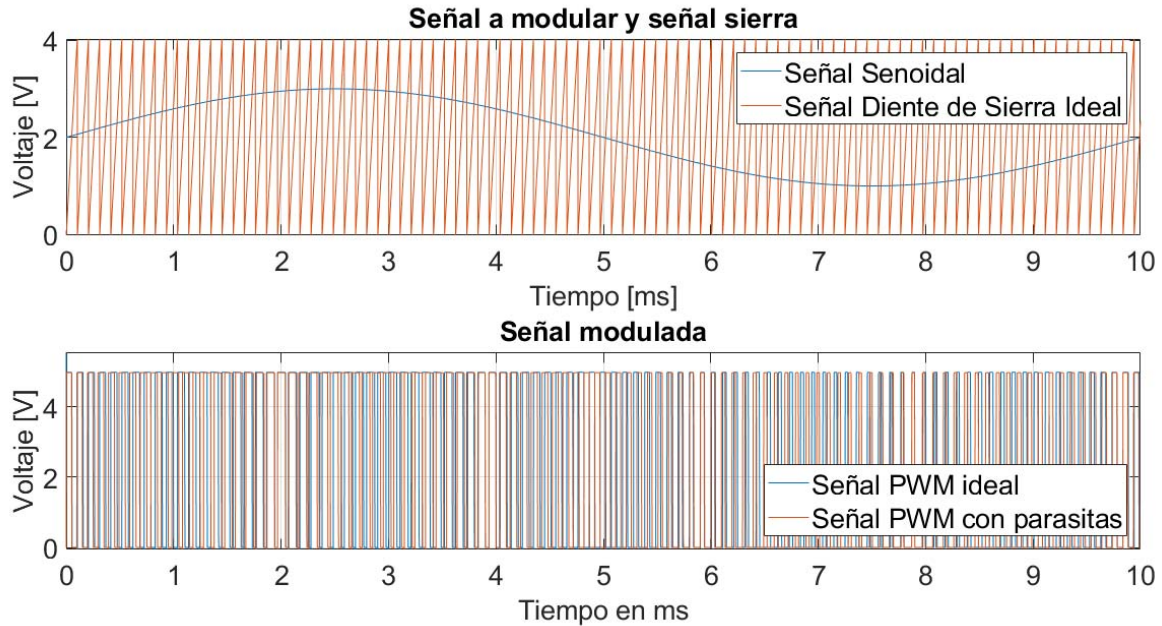


Figura 64. Respuesta del Modulador PWM

En la Figura 65 se puede observar el layout del circuito integrado CMOS para el sistema electrofotónico estudiado. Al unir todos los bloques y hacer la simulación del sistema en conjunto usando como cargas capacitores ideales se tiene la respuesta de la Figura 66. Para esta simulación se usaron 5 capacitores de carga que representan los 5 LECs para los cuales fue diseñado el sistema, además se usó un ciclo útil del 50%. Se puede observar que todos los módulos se encuentran trabajando y que los retardos en la carga y descarga de los LECs son pequeños.

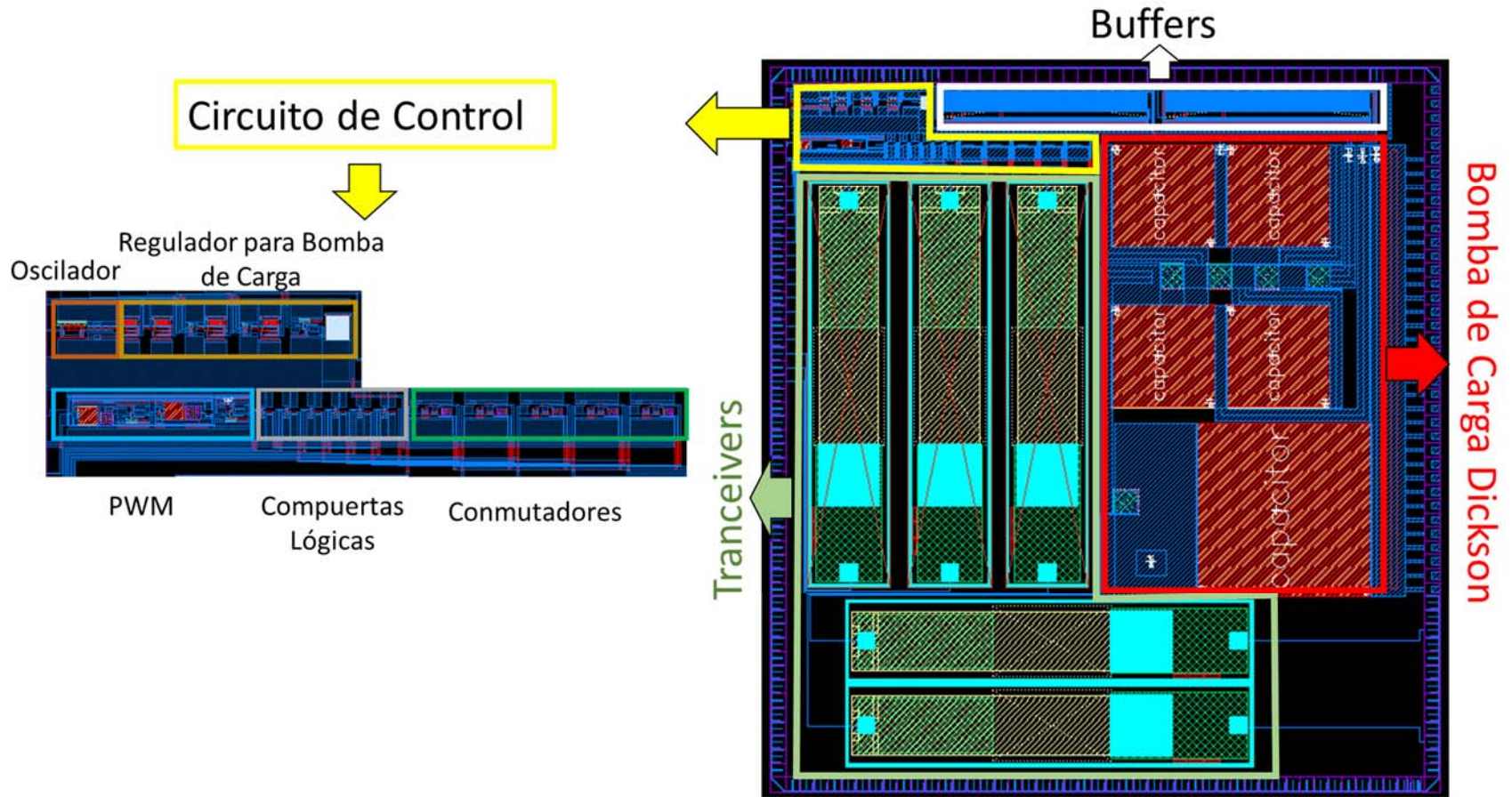


Figura 65. Layout del Sistema Electrofotónico diseñado.

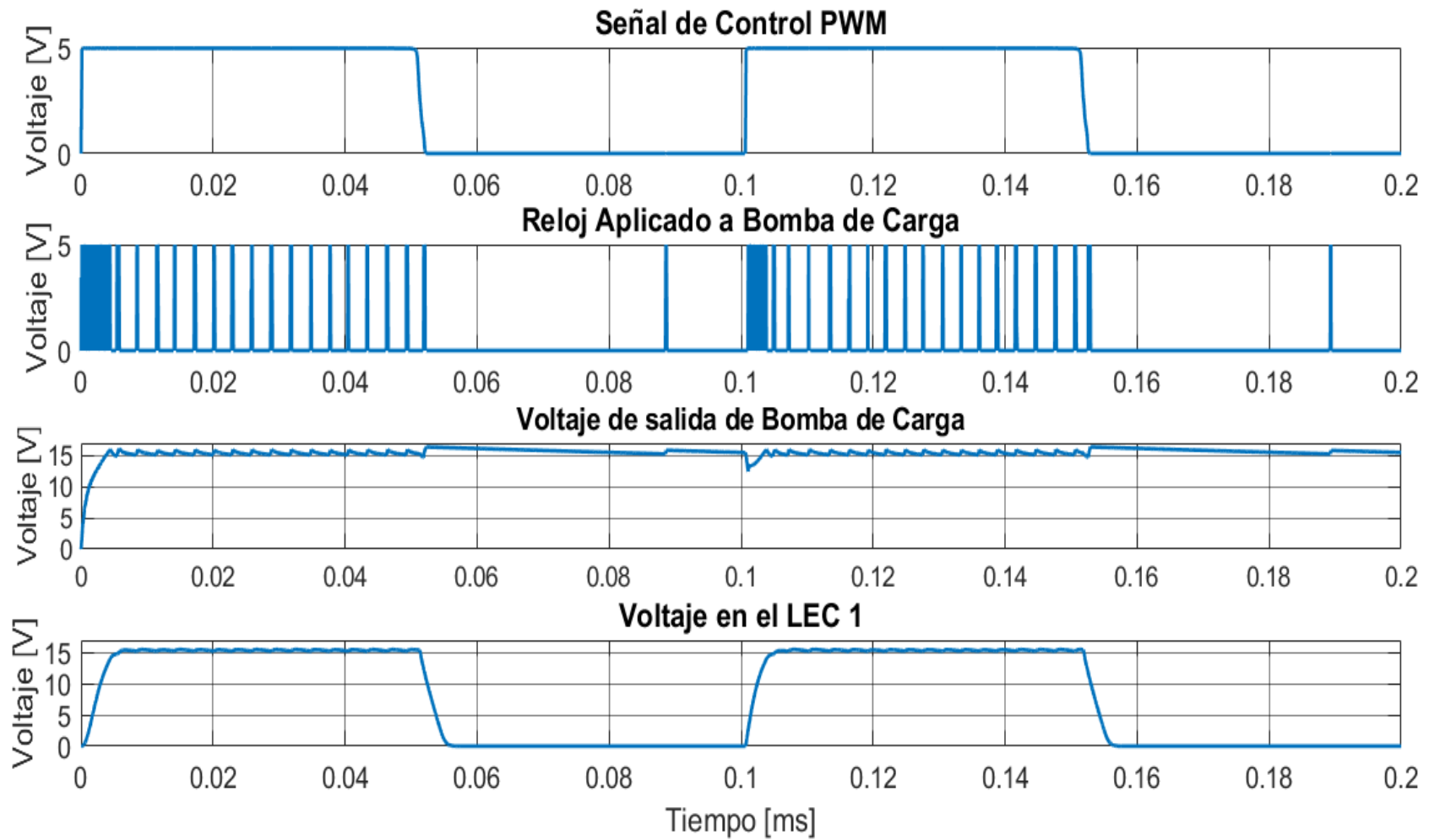


Figura 66. Respuesta del sistema completo con la inclusión de los elementos parásitos.

CAPÍTULO 7: CONCLUSIONES Y TRABAJO FUTURO

Conclusiones:

- En este trabajo de tesis se describieron algunas estructuras de LECs fabricados previamente, de entre estos se seleccionó la propuesta en [15], pues a partir de los datos reportados se corrobora electroluminiscencia al aplicarse 15V. Este voltaje es el menor de entre los dispositivos estudiados, y se encuentra por debajo del voltaje de ruptura de los dispositivos de la tecnología. Teniendo en cuenta lo anterior se puede afirmar que es posible el diseño de estructuras CMOS en el proceso del CNM que operen en voltajes donde se presenta electroluminiscencia en LECs del tipo reportado en [15]; lo cual hace viable una aplicación electrofotónica completamente integrada en el proceso de fabricación de circuitos integrados del CNM.
- Se llevaron a cabo mediciones de voltajes de ruptura de uniones fabricadas en el proceso del CNM, con el fin de establecer los límites de voltaje máximos de esta tecnología, y así utilizar una tecnología de bajo voltaje en una aplicación de alto voltaje. Se obtuvo un voltaje de ruptura promedio de 21V para las uniones de difusión de drenaje o surtidor (para transistores tipo N) a sustrato y de drenaje o surtidor (para transistores tipo P) a pozo N; un voltaje de ruptura de puerta de 40V y un voltaje de ruptura para la unión de pozo N a sustrato de entre 21V a 54V. Estas mediciones permitieron establecer que el voltaje máximo que puede ser generado de manera integrada sin modificar los parámetros de fabricación estándar de los transistores del CNM es de 21V.

- Se hizo una revisión de los principales circuitos elevadores de voltajes estudiando su estructura y principales características para poder seleccionar aquel que más se ajustase a la aplicación planteada. Se concluyó que la bomba de carga Dickson presenta las mejores características para la integración monolítica, y por lo tanto se diseñó una bomba de Carga Dickson de 4 etapas con un voltaje de entrada de 5V y un voltaje de salida máximo de 21V, además con una capacidad de suministro de corriente de 40mA.
- Se diseñaron los elementos necesarios para controlar de manera independiente o de manera conjunta el encendido y apagado de 5 LECs controlados por una señal de ciclo útil variable. Para esto fue necesario diseñar un comparador de voltaje, un oscilador controlado por corriente, un generador de diente de sierra, un multivibrador mono estable y un switch de alto voltaje entre otros elementos de control. Todos los componentes funcionaron dentro del rango de especificaciones diseñados y suficientes para la aplicación. Con el sistema diseñado se puede conmutar el LEC con una frecuencia desde 0Hz hasta 10kHz y con un ciclo útil desde el 25% al 75%.
- Por último, se diseñó el layout del sistema y se hicieron las respectivas simulaciones post-layout verificando el funcionamiento de los principales bloques y del sistema en conjunto. El sistema CMOS diseñado ocupa un área total de 54.33 mm^2 .

Trabajo Futuro:

- Fabricar el circuito integrado diseñado y proceder a la caracterización del sistema.
- Caracterizar con mayor precisión los diodos del proceso del CNM, interesa determinar el tiempo de recuperación inversa, para establecer de esta forma una cota en la frecuencia máxima, y con ello un límite superior en la frecuencia de la señal de reloj aplicada a la bomba de carga.
- Diseñar un nuevo conmutador de alto voltaje usando solamente transistores PMOS para disminuir la probabilidad de ruptura, ya que el voltaje de ruptura de la unión entre el pozo N y el sustrato es mayor a la ruptura de la unión entre difusión y sustrato.
- Proceder al diseño del circuito de sensado y demodulación, para así tener un sistema completo de transmisión y recepción.
- Estudiar el comportamiento del sistema propuesto cuando se integra con otro tipo de LECs

Índice de Figuras

<i>Figura 1 Estructura general de un Capacitor Emisor de Luz.</i>	14
<i>Figura 2 Esquema de Transceiver propuesto en [15]. (a) Vista 3D, (b) Vista superior, (c) Corte Transversal. Extraído de [15].</i>	16
<i>Figura 3. Respuesta electroluminiscente de un LEC Bicapa con exceso de Silicio de 0.46% cuando se aplican 54V Extraído de [6].</i>	16
<i>Figura 4. (a) Vista superior del transceiver reportado en [6]. (b) Microfotografía del sistema con luces encendidas. (c) Microfotografía del sistema fabricado con las luces apagadas. Extraído de [6].</i>	17
<i>Figura 5. LEC multicapa con variación en R_0 propuesto en [7].</i>	17
<i>Figura 6. Corriente fotogenerada en el diodo sensor cuando se varia el voltaje de aplicación en el LEC, para diferentes voltajes de polarización inversa del sensor y 3 geometrías distintas, Extraído de [6].</i>	19
<i>Figura 7. Estructura de LEC bicapa utilizado y su modelo lineal equivalente, Extraído de [6].</i>	20
<i>Figura 8. Relación promedio de la corriente con respecto al voltaje para LEC bicapa con exceso de Silicio de 0.46. Extraído de [6].</i>	21
<i>Figura 9. Resistencia contra Voltaje para LEC seleccionado de área 1 mm^2.</i>	22
<i>Figura 10. Principales mecanismos de ruptura en una estructura CMOS.</i>	25
<i>Figura 11. Circuito integrado de pruebas del CNM fabricado en [17].</i>	26
<i>Figura 12. Detalle del Módulo 3 y distribución de PADs.</i>	27
<i>Figura 13. Uniones PN medidas en estructura CMOS.</i>	27
<i>Figura 14. Curvas IV para las uniones PN de difusión a sustrato en transistores tipo N con $WL = 3\mu\text{m}$ y $WL = 30\mu\text{m}$ del circuito integrado de pruebas, en polarización inversa.</i>	29
<i>Figura 15. Ruptura en uniones de Difusión a pozo N en transistores tipo P del circuito integrado de pruebas del CNM para dos geometrías distintas $WL = 3\mu\text{m}$ y $WL = 30\mu\text{m}$, en polarización inversa.</i>	30
<i>Figura 16. Medición de la ruptura de Oxido de puerta de transistor de circuito integrado de pruebas del CNM.</i>	30
<i>Figura 17. Circuito simulado para extracción de parámetros de proceso.</i>	33
<i>Figura 18. Diagrama funcional de la solución propuesta.</i>	36
<i>Figura 19. Categorías de técnicas de elevación de voltaje usadas para convertidores DC-DC. Extraído de [21].</i>	37
<i>Figura 20. Convertidor elevador, Extraído de [22].</i>	38
<i>Figura 21. Circuitos equivalentes del convertidor elevador con (a) Switch en posición 1 y (b) Switch en posición 2. Extraído de [22].</i>	39
<i>Figura 22. Corriente en el inductor para un convertidor elevador PWM, Izquierda: CCM, Derecha: DCM.</i>	42
<i>Figura 23. Bombas de carga clásicas y circuitos de capacitores conmutados.</i>	42

Figura 24. Bomba de carga Dickson, Extraída de [25].	43
Figura 25. Funcionamiento de Bomba de Carga Dickson, Extraído de [24].	44
Figura 26. Bomba de Carga en Lazo cerrado. Extraído de [26].	49
Figura 27. Circuito equivalente para etapa de salida en estado de transferencia de carga.	51
Figura 28. Respuesta de bomba de carga en lazo abierto.	52
Figura 29. Variación del tiempo de subida de bomba de carga a partir de los cambios en la frecuencia de Reloj.	52
Figura 30. Voltaje de Salida para diferentes dimensiones de los Diodos.	54
Figura 31. Esquema y formas de onda para un oscilador de anillo de 3 etapas. Extraído de [28].	55
Figura 32. Current Starved Ring Oscillator - Oscilador de anillo controlado por corriente. Extraído de [26].	56
Figura 33. Respuesta de oscilador controlado por corriente.	58
Figura 34. Respuesta del oscilador controlado por corriente después de la sintonización.	58
Figura 35. Variación de la frecuencia de Oscilación con respecto al voltaje de control en el Oscilador Controlado por Corriente.	59
Figura 36. Estructura general de un buffer.	61
Figura 37. Curva característica de un comparador de ganancia finita y con offset. Extraído de [30].	62
Figura 38. OPAMP de dos Etapas.	63
Figura 39. Respuesta de DC de Comparador diseñado.	66
Figura 40. Respuesta transitoria de comparador diseñado.	66
Figura 41. Esquema de conmutación.	67
Figura 42. Posible implementación de esquema de conmutación.	68
Figura 43. Esquema de conmutación propuesto.	68
Figura 44. Circuito equivalente de bomba de carga Dickson. Extraído de [25].	69
Figura 45. Circuito Simple de un modulador de ancho de pulso. Extraído de [22].	70
Figura 46. Circuito generador de rampa. Extraído de [33].	71
Figura 47. Circuito Integrador	71
Figura 48. Multivibrador monoestable. extraído de [29].	71
Figura 49. Señal de diente de sierra y señales de control.	73
Figura 50. Variación de la frecuencia de oscilación de la señal diente de sierra generada al variar el voltaje de referencia de la fuente de corriente.	73
Figura 51. Respuesta del modulador ante una señal de entrada de tipo sinusoidal.	74
Figura 52. Diagrama de bloques del sistema diseñado.	76
Figura 53. Señales de interés del sistema.	77
Figura 54. Layout de Bomba de carga.	79

<i>Figura 55. Simulación en Lazo abierto de los modelos de la bomba de carga ideales y con los parametros extraídos del layout.</i>	<i>79</i>
<i>Figura 56. Layout y esquemático del oscilador controlado por corriente diseñado.</i>	<i>81</i>
<i>Figura 57. Variación de la frecuencia de Oscilación con respecto al voltaje de control para el oscilador controlado por corriente tanto ideal como el extraído del layout.</i>	<i>81</i>
<i>Figura 58. Layout de OPAMP.</i>	<i>82</i>
<i>Figura 59. (Superior) Respuesta DC del OPAMP, (inferior) Ganancia del amplificador operacional.</i>	<i>83</i>
<i>Figura 60. (Superior) Respuesta transitoria del OPAMP, (Inferior) Voltajes de Salida y Slew Rate.</i>	<i>83</i>
<i>Figura 61. Layout de generador de Diente de Sierra.</i>	<i>84</i>
<i>Figura 62. Respuesta transitoria del Generador de diente de sierra con los modelos ideal y extraído.</i>	<i>85</i>
<i>Figura 63. Variación de la frecuencia de Oscilación del generador de diente de sierra para el modelo ideal y para el modelo extraído al variar el voltaje surtidor a puerta del Transistor MOSFET tipo P que hace las veces de fuente de corriente.</i>	<i>85</i>
<i>Figura 64. Respuesta del Modulador PWM.</i>	<i>86</i>
<i>Figura 65. Layout del Sistema Electrofotonico diseñado.</i>	<i>87</i>
<i>Figura 66. Respuesta del sistema completo con la inclusión de los elementos parásitos.</i>	<i>88</i>

Índice de tablas

<i>Tabla 1</i>	28
<i>Tabla 2</i>	32
<i>Tabla 3</i>	33
<i>Tabla 4</i>	40
<i>Tabla 5</i>	45
<i>Tabla 6</i>	47
<i>Tabla 7</i>	60
<i>Tabla 8</i>	62
<i>Tabla 9</i>	80
<i>Tabla 10</i>	84

Referencias

- [1] J. Bardeen y W. H. Brattain, «THREE-ELECTRODE CIRCUIT ELEMENT UTILIZING SEMICONDUCTIVE MATERIALS». Estados Unidos Patente 2,524,035, 17 Junio 1948.
- [2] D. CHEN, «Microwave Modulation of a Ruby Laser Output by Absorption,» *IEEE JOURNAL OF QUANTUM ELECTRONICS*, vol. 1, n^o 3, pp. 125-131, 1965.
- [3] T. P. Pearsall, *Photonics Essentials an Introduction with Experiments*, Estados Unidos: McGraw-Hill, 2003.
- [4] D. Meschede, *Optics, Light and Lasers The Practical Approach to Modern Aspects of Photonics an Laser Physics*, Alemania: WILEY-VCH, 2004.
- [5] L. T. Canham, «Silicon quantum wire array fabrication by electrochemical and chemical dissolution of wafers,» *Applied Physics Letters*, vol. 57, n^o 10, pp. 1046-1048, Septiembre 1990.
- [6] A. A. González Fernández, *Studies and integration of Silicon-based light emitting systems*, Barcelona, 2014.
- [7] J. Alarcon Salazar, *Análisis, diseño, fabricación y caracterización de los elementos básicos para integración de un circuito fotónico totalmente en silicio*, Tonantzintla, 2017.
- [8] J. Hernández Betanzos, *Efecto de la rugosidad en el sustrato en las características electro-ópticas en capacitores emisores de luz.*, Tonantzintla, Puebla, 2017.

- [9] C. Sun, M. T. Wade, Y. Lee, J. S. Orcutt, L. Alloatti, M. S. Georgas, A. S. Waterman, J. M. Shainline, R. R. Avizienis, S. Lin, B. R. Moss, R. Kumar, F. Pavanello, A. H. Atabaki, H. M. Cook, A. J. Ou, J. C. Leu, Y.-H. Chen, K. Asanović, R. J. Ram, M. A. Popović y V. M. Stojanović, «Single-chip microprocessor that communicates directly using light,» *Nature*, vol. 528, nº 534, 23 12 2015.
- [10] D. Thomson, B. J. E. Zilki Aaron, T. Komljenovic, T. R. Graham, L. Vivien, D. Marris Morini, E. Cassan, L. Viot, J.-M. Fédéli, J.-M. Hartmann, J. H. Schmid, D.-X. Xu, F. Boeuf, P. O'Brien, G. Z. Mashanovich y M. Nedeljkovic, «Roadmap on silicon photonics,» *Journal of Optics*, vol. 18, nº 7, pp. 5-6, 2016.
- [11] M. Aceves-Mijares, E. Gómez-Ramírez, A. Díaz-Méndez, J. M. Rocha, J. Chávez Pedraza, J. Alarcon-Salazar, S. Román-Lopez, C. Domínguez, Á. Merlos, X. Formatje y S.-M. Alfredo, «Conservation of the optical properties of SRO after CMOS IC processing,» de *Conference on Electronics, Telecommunications and Computers – CETC 2013*, 2014.
- [12] N. Tomozeiu, «Silicon oxide (SiO_x , $0 < x < 2$): A challenging material for optoelectronics,» de *Optoelectronics - Materials and Techniques*, Rijeka, InTech, 2011, pp. 55-98.
- [13] A. Morales, J. Barreto, C. Dominguez, M. Riera, M. Aceves y J. Carrillo, «Comparative study between silicon-rich oxide films obtained by LPCVD and PECVD,» *Physica E: Low-dimensional Systems and Nanostructures*, pp. 54-58, 2007.
- [14] M. Aceves-Mijares, A. Gonzalez-Fernández, R. López-Estopier, A. Luna-López, D. Berman-Mendoza, A. Morales, C. Falcony, C. Domínguez y R. Murphy-Arteaga,

- «On the Origin of Light Emission in Silicon Rich Oxide Obtained by Low-Pressure Chemical Vapor Deposition,» *Journal of Nanomaterials*, pp. 1-11, 2012.
- [15] A. A. González-Fernández, J. Juvert, M. Aceves-Mijares y C. Domínguez, «Monolithic Integration of a Silicon-Based Photonic Transceiver in a CMOS Process,» *IEEE Photonics Journal*, vol. 8, nº 1, pp. 1-13, 2016.
- [16] J. Liu, *PMOS-based Integrated Charge Pumps with Extended Voltage Range in Standard CMOS Technology*, Ontario, 2012.
- [17] E. Gómez Ramírez, *DISEÑO, FABRICACIÓN Y CARACTERIZACIÓN DE UN PIXEL INTEGRADO CMOS DE AMPLIO RANGO DINÁMICO*, Tonantzintla, Puebla: INAOE, 2015.
- [18] CNM, *MEDIDAS CMOS RUN 7036*, Barcelona, 2014.
- [19] S. Atsumi, A. Umezawa, T. Tanzawa, T. Taura, H. Shiga, Y. Takano, T. Miyaba, M. Matsui, H. Watanabe, J. Isobe, S. Kitamura, S. Yamada, M. Saito, S. Mori y T. Watanabe, «A channel-erasing 1.8 V-only 32 Mb NOR flash EEPROM with a bit-line direct-sensing scheme,» de *IEEE International Solid-State Circuits Conference. Digest of Technical Papers*, San Francisco, CA, USA, 2000.
- [20] B. Gerber y J. Fellrath, «Low-Voltage Single Supply CMOS Electrically Erasable Read-only Memory,» *IEEE TRANSACTIONS ON ELECTRON DEVICES*, Vols. %1 de %2ED-27, nº 7, pp. 1211-1216, 1980.
- [21] F. Mojtaba, S. Yam P., G. Saman A., B. Frede y L. Brad, «Step-Up DC–DC Converters: A Comprehensive Review of Voltage-Boosting Techniques, Topologies,

- and Applications,» *IEEE TRANSACTIONS ON POWER ELECTRONICS*, vol. 32, nº 12, pp. 9143-9178, 2017.
- [22] R. W. Erickson y M. Dragan, *Fundamentals of Power Electronics*, Colorado: KLUWER ACADEMIC PUBLISHERS, 2001.
- [23] K. Fronczak, *Stability analysis of switched dc-dc boost converters for integrated circuits*, Rochester Institute of Technology, 2013.
- [24] T. Toru, *On-chip High-Voltage Generator Design*, New York: Springer, 2013.
- [25] J. F. Dickson, «On-Chip High-Voltage Generation in MNOS Integrated Circuits Using an Improved Voltage Multiplier Technique,» *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, Vols. %1 de %2SC-11, nº 3, pp. 374-378, 1976.
- [26] P. Feng y S. Tapan, *Charge Pump Circuit Design*, McGraw-Hill, 2006.
- [27] T. Tanzawa y T. Tomoharu, «A Dynamic Analysis of the Dickson Charge Pump Circuit,» *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, vol. 32, nº 8, pp. 1231-1240, 1997.
- [28] M. G.-D. O.-M. M. Linares-Aranda, «Sincronización de sistemas electrónicos en un mismo circuito integrado,» *Ingeniería, investigación y tecnología*, vol. 13, nº 2, pp. 127-139, 2012.
- [29] R. Jacob Baker, *CMOS Circuit Design, Layout, and Simulation*, New Jersey: WILEY, 2010.

- [30] R. GREGORIAN, **INTRODUCTION TO CMOS OP-AMPS AND COMPARATORS**, WILEY, 1999.
- [31] P. Powers, «Semantic Scholar,» 15 November 2012. [En línea]. Available: <https://pdfs.semanticscholar.org/9a81/700d7ce4d2261140e6dfb4a5e54f2150052d.pdf>. [Último acceso: 22 05 2018].
- [32] O. SAHIN ULAS, ***THE DESIGN OF A HIGH FREQUENCY PULSE WIDTH MODULATION INTEGRATED CIRCUIT WITH EXTERNAL SYNCHRONIZATION CAPABILITY***, Ankara, Turquía, 2017.
- [33] B. Arbetter y M. Dragan, «**FEED-FORWARD PULSE-WIDTH MODULATORS FOR SWITCHING POWER CONVERTERS,**» de *Power Electronics Specialists Conference*, Atlanta, 1995.

ANEXO 1: Modelos SPICE del proceso del CNM

.MODEL N_CNM NMOS(

```
+LEVEL = 53
+VERSION = 3.3      TNOM = 27      TOX = 3.75E-8
+XJ = 1.5E-7      NCH = 1.7E17      VTH0 = 0.860363
+K1 = 1.17296     K2 = -0.05      K3 = 11.2079
+K3B = -1.59332   W0 = 1.00727E-6  NLX = -1E-9
+DVT0W = 0        DVT1W = 0        DVT2W = -0.032
+DVT0 = 4.11104   DVT1 = 0.366189  DVT2 = -0.182099
+U0 = 0.0573986   UA = 1.72783E-10  UB = 5E-18
+UC = 4.01727E-11 VSAT = 1.848E5    A0 = 1.05122
+AGS = 0.111468   B0 = 1.6771E-7    B1 = -5.04982E-9
+KETA = -0.047    A1 = 0           A2 = 1
+RDSW = 3.65E3    PRWG = 0.0338512  PRWB = -1E-3
+WR = 1           WINT = 4.55906E-7  LINT = 9E-7
+XL = 0           XW = 0           DWG = -2.5492E-8
+DWB = 3.22958E-8 VOFF = -0.124454  NFACTOR = 1.04789
+CIT = 0          CDSC = 2.4E-4     CDSCD = 0
+CDSCB = 0        ETA0 = 0.0354838  ETAB = -0.07
+DSUB = 0.56      PCLM = 1.96809    PDIBLC1 = 0.482853
+PDIBLC2 = 0.01   PDIBLCB = 0       DROUT = 0.415163
+PSCBE1 = 5.99202E8  PSCBE2 = 5E-5     PVAG = 0.0141775
+DELTA = 3.6636E-3  MOBMOD = 1        PRT = 0
+UTE = -1.5       KT1 = 0           KT1L = 0
+KT2 = 0          UA1 = 4.31E-9     UB1 = -7.61E-18
+UC1 = -5.6E-11   AT = 3.3E4        NQSMOD = 0
+WL = 0           WLN = 1           WW = 0
+WVN = 1          WWL = 0           LL = 0
+LLN = 1          LW = 0            LWN = 1
+LWL = 0          CAPMOD = 2        CJ = 2.940466E-4
+PB = 0.6681951   MJ = 0.438766     CJSW = 5.450602E-10
+PBSW = 0.4       MJSW = 0.2725869  TCJ = 0
+TPB = 0          TCJSW = 0          TPBSW = 0
+NOFF = 1         ACDE = 1          MOIN = 15
+TPBSWG = 0       TCJSWG = 0        PRDSW = -3.85642E3
+PVSAT = -1.8E5   CGDO = 9.89535E-10  CGSO = 9.89535E-
```

.MODEL P_CNM PMOS(

```
+LEVEL = 53
+VERSION = 3.3      TNOM = 27      TOX = 3.75E-8
+XJ = 1.5E-7      NCH = 1.7E17      VTH0 = -1.52069
+K1 = 0.74278     K2 = -4.93305E-5  K3 = -77.5174
+K3B = -3.17908   W0 = 6.70948E-6   NLX = 1.44524E-8
+DVT0W = 0        DVT1W = 0        DVT2W = -0.032
+DVT0 = 1.61621   DVT1 = 0.15752    DVT2 = -0.05
+U0 = 0.0228166   UA = 2.65041E-9    UB = 4.97595E-18
+UC = -9.99573E-11 VSAT = 5E5        A0 = 0.804733
+AGS = 0.0783374   B0 = 3.55811E-7    B1 = 2.01182E-10
+KETA = -0.047    A1 = 0           A2 = 1
+RDSW = 5.41703E3  PRWG = 0.013649   PRWB = -1E-3
+WR = 1           WINT = 5E-7       LINT = 8E-7
+XL = 0           XW = 0           DWG = -1.44072E-8
+DWB = 5.72498E-8 VOFF = -0.196491  NFACTOR = 0.924527
+CIT = 0          CDSC = 2.4E-4     CDSCD = 0
+CDSCB = 0        ETA0 = 0.3989455  ETAB = -0.07
+DSUB = 0.56      PCLM = 4.3768578  PDIBLC1 = 0.7281865
+PDIBLC2 = 0.0140758  PDIBLCB = 0       DROUT = 0.2398601
+PSCBE1 = 8E8     PSCBE2 = 5E-5     PVAG = 0.0099941
+DELTA = 0.0634845  MOBMOD = 1        PRT = 0
+UTE = -1.5       KT1 = 0           KT1L = 0
+KT2 = 0          UA1 = 4.31E-9     UB1 = -7.61E-18
+UC1 = -5.6E-11   AT = 3.3E4        NQSMOD = 0
+WL = 0           WLN = 1           WW = 0
+WVN = 1          WWL = 0           LL = 0
+LLN = 1          LW = 0            LWN = 1
+LWL = 0          CAPMOD = 2        CJ = 3.728047E-4
+PB = 0.7982792   MJ = 0.4562281    CJSW = 3.946756E-10
+PBSW = 0.587129  MJSW = 0.2658605  TCJ = 0
+TPB = 0          TCJSW = 0          TPBSW = 0
+NOFF = 1         ACDE = 1          MOIN = 15
+TPBSWG = 0       TPBSW = 0         TPBSWG = 0
+TCJ = 0          TCJSW = 0         TCJSWG = 0
+CGDO = 1.2894E-9  CGSO = 1.2894E-9)
```

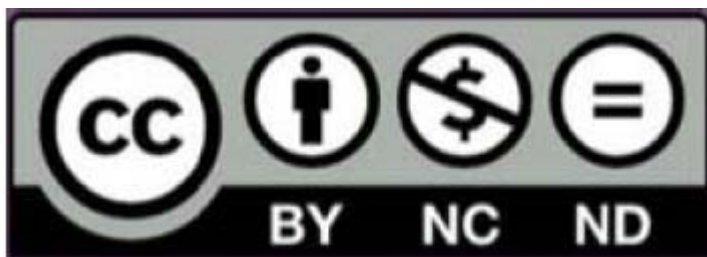
Formato: Cesión de derechos

Con fundamento en los artículos 21 y 27 de la Ley Federal del Derecho de Autor y como Titular de los derechos morales y patrimoniales de la obra titulada:

TÍTULO DE LA TESIS: DISEÑO CMOS DE LA ETAPA DE POTENCIA Y MODULACIÓN PARA UN CAPACITOR EMISOR DE LUZ (LEC)

Otorgo de manera gratuita y permanente al Instituto Nacional de Astrofísica, Óptica y Electrónica a su Biblioteca, autorización para que publique la obra en cualquier medio, así como también la divulgue entre sus usuarios, investigadores, estudiantes o terceras personas, siempre y cuando reconozcan y se cite expresamente la autoría de la misma.

De tal manera que la obra queda bajo la licencia Creative Commons CC BY NC NDⁱ, que permite que otros puedan descargar la obra y compartirla con otras personas, siempre que se reconozca su autoría; pero no se puede cambiar de ninguna manera ni se puede utilizar con algún fin comercial.



Nombre: Fausto Orozco Coy

ORCIDⁱⁱ: 0000-0003-3773-5134

CURP: OOCF950212HNERYS09

Firma: _____

Fecha: 15 de agosto de 2018

ⁱ <https://creativecommons.org/licenses/by-nc-nd/2.5/mx/>

ⁱⁱ <http://orcid.org/>