



**I
N
A
O
E**

Diseño de un proceso de Fabricación de
empaquetado de circuitos integrados tipo SIP
utilizando Teflón

por

M. C. Abel Pérez Fajardo

Tesis sometida como requisito parcial
para obtener el grado de

**DOCTOR EN CIENCIAS EN LA
ESPECIALIDAD DE ELECTRÓNICA**

en el

**Instituto Nacional de Astrofísica,
Óptica y Electrónica**

Junio de 2016
Tonantzintla, Puebla

Supervisada por:

Dr. Alfonso Torres Jácome
Investigador Titular del INAOE

©INAOE 2016

Derechos reservados

El autor otorga al INAOE el permiso de reproducir y
distribuir copias de esta tesis en su totalidad o en
partes.



Dedicatorias

La presente tesis la dedico a mis **padres** por todo el apoyo incondicional que me han dado.

A mí **hermanita** por siempre estar a mi lado y enseñarme cómo enfrentar los problemas, no importando que tan difíciles sean.

A mí **hermano**, por compartir mi vida y ser una guía.

Y de igual forma a todos mis **amigos** durante esta etapa, pero especialmente a José de Jesús Martínez Basilio y Dulce Murías Figueroa.

Agradecimientos.

En la presente sección quiero agradecer a las personas que han contribuido a la creación de la presente Tesis.

Al Dr. Alfonso Torres Jácome, por su incondicional apoyo en todo momento para la realización de este trabajo.

Dr. Reydezel Torres Torres, por siempre impulsarme a elevar la calidad de mis trabajos y por todo su apoyo.

Los miembros del jurado: Dr. Pedro Rosales Quintero, Dr. Edmundo Gutiérrez Domínguez, Dr. Javier de la Hidalga Wade y Dr. David Torres Torres. Por su apoyo para mejorar el trabajo de Tesis.

Al M.C. Diego Mauricio Cortez Hernández, por su ayuda a la caracterización de las líneas de transmisión presentadas en este trabajo.

A la Dra. Svetlana Sejas García, por la realización de las mediciones de adherencia.

Al M. C. Alexander Gómez Rojas, por la fabricación de prototipos de las líneas de Transmisión.

A todos los que laboran en microelectrónica pero en especial a: Adrián Itzmoyotl Toxqui, Victor Aca Aca, Armando Hernández Flores, J. Pablo Alarcón Peña e Ignacio Juárez Ramírez, por su participación en la etapa experimental en este trabajo.

A todos los que laboran en laboratorio de LIMEMS, en especial: Oscar Aponte Bravo, José Gabriel Santiago Hernández y Leticia Tecuapetla Quechol.

A los técnicos del taller de pulido.

CONACYT por el apoyo económico brindado durante esta etapa.

Resumen

El circuito integrado y su integración como dispositivo electrónico, es uno de los inventos que más ha cambiado la vida cotidiana de las personas, a tal grado que varios estudios de nivel de vida de las personas se toman de referencia el acceso a diferentes dispositivos electrónicos, por ejemplo: si se cuenta con una pantalla de televisión en el domicilio, o si se tiene acceso a internet a través de una computadora.

Un circuito integrado (IC por sus siglas en inglés), para ser utilizado en cualquier aplicación, debe de ser empaquetado y así ser manipulado y comunicarse con mayor facilidad con otros dispositivos.

El presente proyecto pretende resolver los requerimientos actuales de empaquetado de circuitos integrados. Estas demandas son muy variadas, debido a que la industria electrónica es muy extensa en sus aplicaciones.

De tal forma cubrir con todas las necesidades de empaquetado electrónico, es un gran desafío. Intentando cubrir con la mayor cantidad de necesidades que pueden tener los sistemas electrónicos en común. Se ha diseñado un proceso de fabricación, con el cual se pretende fabricar dispositivos con muy bajas pérdidas y que sean confiables.

El proceso de fabricación se diseñó, tomando en consideración los equipos que cuenta el INAOE. Los equipos utilizados en el proyecto se encuentran en los laboratorios de electrónica del instituto, también se utilizaron equipos del taller de pulido y taller mecánico.

Parte del proyecto se llevó a la fabricación, dejando como resultado algunos dispositivos (líneas de transmisión), además, de empezar la fabricación de otros dispositivos como inductores.

Al hacer el diseño y parte de la fabricación de este proceso, abre las puertas para que en el INAOE se desarrollen dispositivos pasivos utilizando su propia tecnología que se ha adecuado a los equipos con que se cuenta en los laboratorios y talleres de la institución.

Capítulo 1. Introducción

El circuito integrado y su integración como dispositivo electrónico, es uno de los inventos que más ha cambiado la vida cotidiana de las personas, a tal grado que varios estudios de nivel de vida de las personas se toman de referencia el acceso a diferentes dispositivos electrónicos, por ejemplo: si se cuenta con una pantalla de televisión en el domicilio, o si se tiene acceso a internet a través de una computadora.

Un circuito integrado (IC por sus siglas en inglés), para ser utilizado en cualquier aplicación, debe de ser empaquetado y así ser manipulado y comunicarse con mayor facilidad con otros dispositivos.

El presente proyecto pretende resolver los requerimientos actuales de empaquetado de circuitos integrados. Estas demandas son muy variadas, debido a que la industria electrónica es muy extensa en sus aplicaciones.

La industria electrónica es dividida en cinco principales grupos: automovilístico, estaciones de servicio y sistemas de oficina, sistemas de alta gama, sistemas médicos, portables e inalámbricos como se describen en 2015 iNEMI Roadmap[1].

Esta división permite un mejor estudio de las necesidades de cada grupo. Las necesidades de cada grupo son diferentes, y en algunos productos se pueden ver como contrarias, por ejemplo: en el grupo de los inalámbricos y portables una prioridad es el costo y además deben de ser producidos en alto volumen. Mientras en los productos médicos deben de tener una alta fiabilidad, porque algunas de las aplicaciones de estos equipos pueden ser soportes vitales.

Aún más los productos médicos deben de tener un tiempo de vida considerable pero los portables se deben de considerar casi desechables y obsoletos en poco tiempo. Como los requerimientos de cada grupo de la electrónica son diferentes, sus necesidades de empaquetamiento son varias y diversas.

Aunado a la diversificación de la industria electrónica, tenemos algunos dispositivos donde convergen diferentes dispositivos al mismo tiempo, un claro ejemplo de esto es

el smartphone, donde conviven diferentes dispositivos electrónicos con múltiples y variadas funciones, hacer que todos estos dispositivos converjan en un empaquetado no es una tarea trivial.

De tal forma cubrir con todas las necesidades de empaquetado electrónico, es un gran desafío. Intentando cubrir con la mayor cantidad de necesidades que pueden tener los sistemas electrónicos en común. Se ha diseñado un proceso de fabricación, con el cual se pretende fabricar dispositivos con muy bajas pérdidas y que sean confiables (se pueden incluir otras, pero las anteriores son las más relevantes).

El proceso de fabricación ataca estas necesidades en diferentes maneras, por ejemplo, hacer un dispositivo de bajas pérdidas. Esto es atacado en dos formas, primero se escogen materiales de bajas pérdidas como el teflón y segundo se hace procesos que no generen pérdidas (evitar rugosidad en la interface). La rugosidad en la interface está asociada a las pérdidas por conductor en una línea de transmisión.

Uno de los dispositivos más importantes y abundantes en un empaquetado son líneas de transmisión es por eso el especial énfasis a estos dispositivos, aún más, en la actualidad en cualquier sistema electrónico (computadoras, teléfonos, etc.) existen de 10 a 15 dispositivos pasivos por cada circuito integrado [2].

1.1. Tendencias tecnológicas asociadas con la Ley de Moore

Los retos tecnológicos existentes en las tecnologías de empaquetamiento a través de los años han ido en aumento y tienen actualmente un alto grado de complejidad. Un factor que afecta a esto es la vigencia de “ley de Moore”. Ésta describe que en cierto tiempo (de 18 a 24 meses) se duplican el número de transistores por unidad de área dentro de un chip.

Las predicciones de que la Ley de Moore perderá vigencia en el futuro inmediato debido a limitaciones tecnológicas se han escuchado durante años, siendo hasta el momento prematuras. Sin embargo, dichas predicciones están haciéndose realidad al estar alcanzando los límites fundamentales en el escalamiento de la tecnología

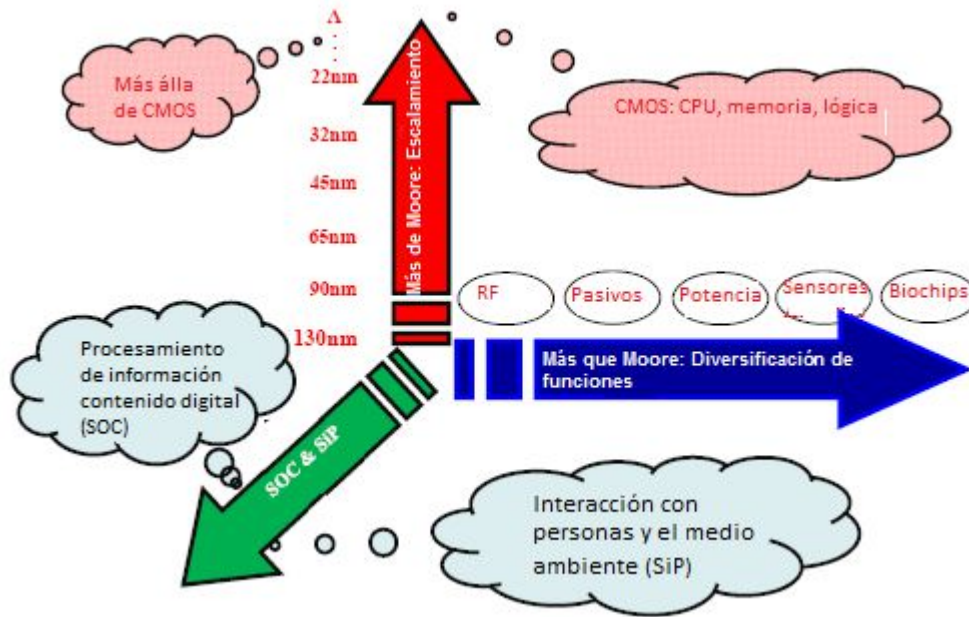


Figura 1.1 Más allá de la escala CMOS [3].

CMOS, que están asociados con dimensiones que ya involucran tratamiento cuántico. Por esta razón, para seguir manteniendo una tasa de crecimiento en el desempeño de los sistemas electrónicos, será necesario el concepto "Más que Moore" [2], a través de la integración más estrecha de los componentes al nivel del proceso de empaquetamiento. Este concepto se ilustra gráficamente en la Fig. 1.1.

Además de las tendencias impuestas por aspectos tecnológicos, las cuales se dirigen hacia una alta integración de circuitos electrónicos y empaquetados, existen las demandas del mercado. Éstas imponen por sí mismas necesidades que apuntan al incremento del desempeño en espacios compactos y a un bajo costo. Actualmente, la solución a estas demandas tiene que ver con el empaquetamiento e interconexión de los IC. Sin embargo, las necesidades antes mencionadas no pueden ser cubiertas por métodos convencionales de empaquetamiento.

Entre las soluciones basadas en el proceso de empaquetamiento existen diversos conceptos. Dos de éstas son conocidas como Sistema en Chip (SoC, por sus siglas en inglés) y Sistema en Empaquetado (SiP) [2]. Estas tecnologías proveen el camino

para el mejoramiento en el futuro inmediato del desempeño, así como para la reducción del consumo de potencia, costo y tamaño de sistemas electrónicos.

Las tecnologías antes mencionadas por si mismas no son una solución única, por esto, dependiendo de la aplicación se utiliza una u otra. Sin embargo, como se ha visto anteriormente, la diversificación de funciones de los dispositivos electrónicos hace que estas dos tecnologías se tengan que utilizar en conjunto.

1.2.- Tecnologías de empaquetamiento de ICs

Para resolver el problema de empaquetamiento, se han desarrollado varias tecnologías. Éstas se pueden dividir en dos grupos: integración en dos dimensiones (2D-integration) e integración en tres dimensiones (3D-integration).

1.2.1.- Integración en dos dimensiones

En la tecnología 2D-integración se puede dividir en dos sistemas para su estudio, que a continuación son descritos:

a) Sistema en un chip (SoC), se define como la tecnología que puede colocar todo los componentes de un sistema en un chip o circuito integrado (IC). SoC busca integrar numerosas funciones del sistema en un sustrato de silicio de forma horizontal. De aquí que esta tecnología que pertenezca a 2D-integration. A pesar de lo excitante y completa que parece esta solución, se puede vislumbrar que si todas las funciones de un sistema electrónico pudieran ser colocadas en un SoC, satisfaciendo las necesidades de diseño y fabricación. Aun así, este tipo de sistemas, carecería tanto como fuente de poder como de disipador de calor, lo que implica agregar conexiones externas. Más aún, en algunas aplicaciones, como las biomédicas, sería muy complicado (imposible) utilizar estos sistemas. Debido a la incompatibilidad de los materiales con seres vivos.

Otro aspecto importante a considerar en un SoC, es la gran variedad de dispositivos debe de contar por ejemplo: microsistemas electromecánicos (MEMS), transistores y

elementos pasivos, como antenas, bobinas y capacitores. Debido a que todos los elementos tienen que estar integrados sobre una oblea de silicio, la fabricación de un SoC se vuelve un proceso complejo, teniendo en cuenta la diversificación y las condiciones particulares de fabricación de cada elemento.

b) Módulo multichip (MCM), es un empaquetado especial donde los ICs, sistemas de radio frecuencia y otros módulos se empaquetan de tal manera que sea utilizado como un solo circuito integrado. Dado que SoC presenta varias limitaciones, como las comunicaciones inalámbricas y por la utilización de cables más largos, opciones de tecnología como MCM han demostrado ser más rentables y con mayores aplicaciones que SoC.

1.2.2.- Integración en tres dimensiones

Las cada vez más demandantes aplicaciones en los dispositivos electrónicos y las vastas aplicaciones que se puede tener con un sistema electrónico, han hecho que la integración en dos dimensiones no sea capaz de resolver todas las necesidades de empaquetamiento. Con lo cual 3D-integration representa una alternativa para cumplir con las demandas de empaquetamiento de equipos cada vez más sofisticados. En esta tecnología también se cuenta con dos tipos de sistema de empaquetamiento, que son descritas abajo.

a) El Sistema en un paquete (SiP), puede ser definido como la combinación de múltiples dispositivos electrónicos activos con diferente funcionalidad, ensamblados en una sola unidad que proporciona múltiples funciones de un sistema o subsistema. Así, un SiP puede contener dispositivos pasivos, MEMS, componentes ópticos, e incluso otros empaquetados [2].

Una vez definido el concepto de SiP, se proceden a discutir los requerimientos demandados a este tipo de tecnología. Dichos requerimientos pueden variar dependiendo de la aplicación, pero en general se pueden considerar que los sistemas implementados en tecnología SiP requieren de:

- Pequeños y especializados factores de forma (form factor)
- Alta densidad de funcionalidad
- Alta frecuencia de operación
- Disipación térmica
- Gran capacidad de memoria
- Alta confiabilidad
- Bajo costo de empaquetado
- Bajo costo de desarrollo
- Rápido tiempo de salida al mercado
- Comunicación inalámbrica (GPS, Bluetooth, celular, etc.)

Ahora bien, se describe algunos de los conceptos mencionados anteriormente. El factor de forma, no es simplemente la forma y el tamaño que debe de tener el empaquetado para cubrir las necesidades de funcionalidad (por ejemplo: el tamaño máximo que puede tener un celular para no ser impráctico). Sino también todas las adecuaciones necesarias para la compatibilidad de características físicas de todos los elementos que conformar el dispositivo.

Un factor más que influye en el empaquetamiento de IC es la alta densidad de funcionalidad. Esto es, que en dispositivo relativamente pequeño como un smartphone, contiene múltiples funciones como: captura y reproducción de video, procesador de texto y comunicaciones inalámbricas, entre otros. Para que un dispositivo sea capaz de capturar video de alta calidad, éste debe de contar con gran capacidad de memoria, ya que el usuario demanda la reproducción de eventos que considera importantes y espera que el tiempo de grabado no sea una limitación severa.

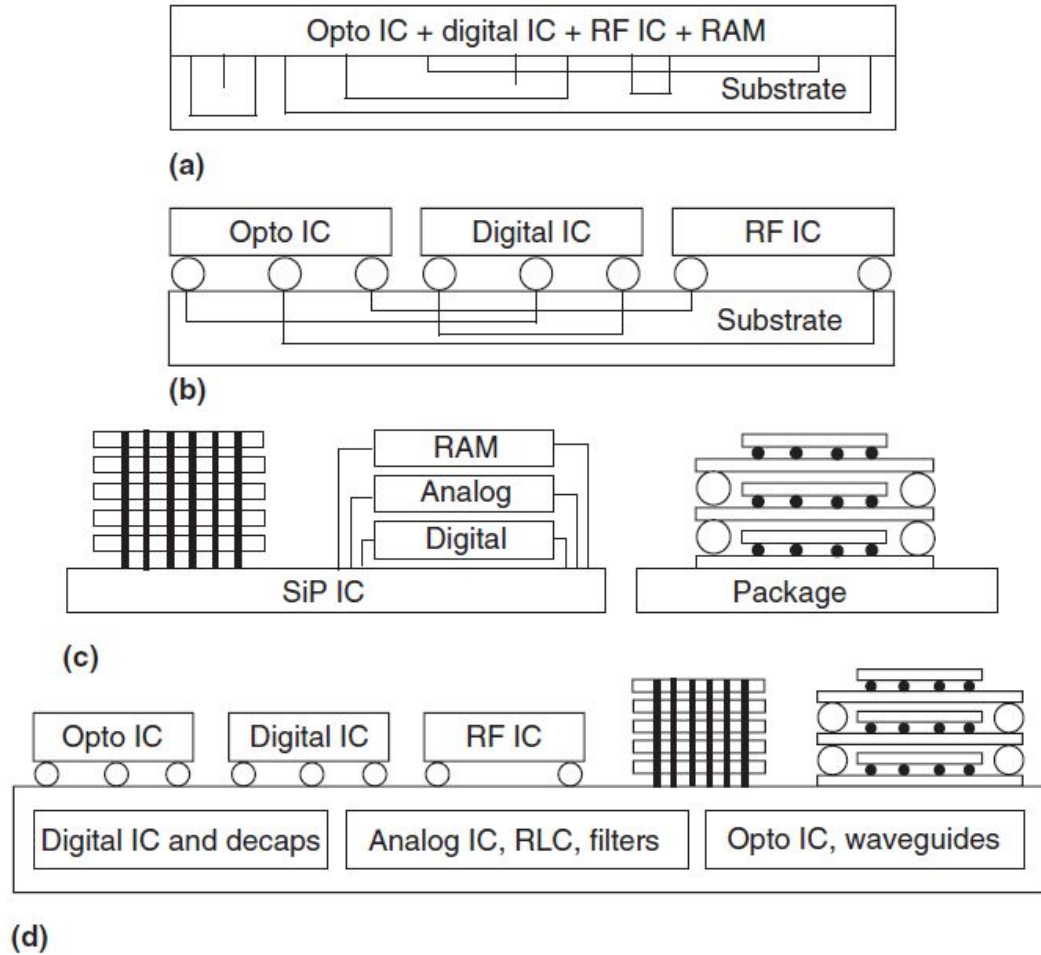


Figura 1.2 Comparación entre SoC (a), MCM (b), SiP (c) y SoP (d) [4].

b) Sistema dentro de un paquete (SoP), este tipo de empaquetamientos son similares a SiP, pero con lo gran diferencia que dentro del empaquetado debe existir elementos pasivos, como: capacitores, inductores, antenas, líneas de transmisión, guías de onda entre otros.

Para ilustrar mejor las tecnologías de empaquetamiento y sus diferencias, se muestra la figura 1.2 con ellas.

En muchas referencias se toma el empaquetado SiP y SoP como uno mismo, de esta forma para este trabajo designaremos como un sistema SiP al que se muestra en la figura 1.2 d.

1.3.- Justificación del tema

En el presente trabajo se ha decidido utilizar dieléctricos isotrópicos (Teflón y Benzociclobutano BCB) para desarrollar la tecnología para un sistema de empaquetado de ICs. Primero se optado por SIP, ya que éste es capaz de cumplir con casi todas las demandas de empaquetamiento de un sistema electrónico. Por ejemplo: El empaquetamiento de MEMS, es un proceso complejo. El empaquetado tiene que darle estabilidad mecánica y térmica, pero al mismo tiempo satisfacer la entrada del estímulo con el cual el MEMS interactuará, este estímulo puede ser tan variado como, la luz, humedad, detección de gases o alguna sustancia química, entre muchas otras [5]. En otras palabras la complejidad del empaquetamiento de un MEMS radica en que se debe estar aislado del medio en que esta. Sin embargo, dejándolo interactuar con la señal adecuada.

Aún más, la necesidad de utilizar elementos pasivos dentro de los sistemas electrónicos, al mismo tiempo interconectarlos con los ICs.

Habiendo definido la tecnología de empaquetamiento que se ha de obtener, se definirán los materiales bases para el empaqueto (metal y dieléctrico). Como se ha mencionado anteriormente la tecnología SiP, es capaz de tener algunos elementos pasivos dentro de él. Para fabricar los elementos pasivos es necesario por lo menos tener un material dieléctrico y un conductor. Uno de los elementos pasivos más abundantes en un empaquetado de ICs son las líneas de transmisión, estos elementos pasivos tienen pérdidas, las cuales se pueden asociar en pérdidas por dieléctrico y pérdidas por conductor. Se ha demostrado que las pérdidas se incrementan en función de la frecuencia. Sobre todo, las pérdidas por dieléctrico y además, teniendo una relación lineal con la frecuencia [6].

De lo anterior la necesidad de utilizar materiales dieléctricos para construir líneas de transmisión con bajas perdidas. Las pérdidas por dieléctrico en una línea de transmisión están asociadas a la tangente de pérdidas ($\tan\delta$) del material dieléctrico. Hay que tener muy en cuenta esta propiedad para poder fabricar líneas de transmisión con bajas perdidas, para ese fin se puede observar la tabla 1.1. La cual compara la

$\tan\delta$ y otras propiedades de materiales comúnmente utilizados en el empaquetamiento.

Tabla 1.1. Propiedades de algunos materiales que pueden servir como sustrato de PCBs [7].

Materia	Poliamida (Kapton)	Poliéster (Mylar)	Fluoropolimeros (Teflón)	FR4
Propiedad				
Constante Dieléctrica	3.4 - 4.0	3.3	2.0 – 2.3	4.65
Tangente de pérdidas ($\tan \delta$)	0.003 – 0.01	0.005 - 0.015	0.00025	0.018
Rigidez dieléctrica (V/mil)	7650	7500	5000	–
Resistencia a la tensión (Mpa)	230	160 – 175	20 – 30	–
Estabilidad dimensional (%)	0.18 – 1.25	1.4 – 1.5	0.3 – 0.5	–
CTE (ppm/oC)*	20 – 45	28 – 31	10 – 15	(xy) 6 – 12 (Z) 65 - 80

* Es una constante que describe cuantos micrómetros se expande el material por cada metro que tiene éste debido a un incremento de un grado centígrado.

Como se puede observar en la tabla 1. Los compuestos fluoropolimeros son algunos de los materiales que cuentan con la $\tan\delta$ más pequeña. Algunos ejemplos de estos materiales son el teflón y el BCB, los cuales han sido elegidos para realizar este proyecto. Todo lo anterior resulta en el siguiente:

Objetivo general

Diseñar una tecnología de fabricación de sistema dentro de un paquete (SIP), utilizando dieléctricos isotrópicos.

Objetivos específicos

Caracterización de dieléctricos (por ejemplo la forma en que se graban y se depositan estos materiales) para su uso adecuado en el sistema SIP.

Desarrollo de un proceso de fabricación para la realización de vehículos de prueba.

Fabricar prototipos para verificar la viabilidad del proyecto.

Con el propósito de cumplir con el objetivo general y los objetivos específicos, este trabajo se ha organizado de la siguiente manera; el capítulo 2 En este capítulo se describirá las propiedades del teflón y la actual tecnología que existe de este material para su aplicación como base para un sistema de empaquetado de circuitos integrados. Se discuten las características de este material que lo hacen un candidato excelente para utilizarlo como dieléctrico en un sistema de empaquetado de circuitos integrados. En el capítulo 3 se propone un proceso de fabricación para obtener una tecnología de empaquetamiento tipo SiP utilizando como base al teflón. El capítulo 4 contiene los experimentos y los resultados que soportan la viabilidad del diseño que se ha propuesto y, finalmente, en el capítulo 5 se dan las conclusiones de esta tesis y se sugiere trabajo a futuro para completar y/o mejorar esta propuesta.

Capítulo 2. Tecnología actual de teflón y Retos en empaquetado de circuitos integrados.

En este capítulo se describirán las propiedades del teflón y la actual tecnología que existe de este material para su aplicación como base para un sistema de empaquetado de circuitos integrados. Se discuten las características de este material que lo hacen un candidato excelente para utilizarlo como dieléctrico en un sistema de empaquetado de circuitos integrados. Además, serán mencionados los retos que se resuelven al utilizar el teflón como son la anisotropía y la falta de homogeneidad en los substratos convencionales. Uno de los desafíos más grandes que se tiene al utilizar teflón es la poca adherencia a metales que este material posee. Por este motivo se le ha dedicado una sección a describir las formas que esta se puede optimizar.

2.1.- Propiedades del Teflón

Politetrafluoroetileno (PTFE) tiene una inusual combinación de diferentes propiedades como alta estabilidad térmica, es inerte químicamente no reacciona con nada a excepción de circunstancias especiales y tiene estabilidad eléctrica.

El PTFE pertenece a la familia de los fluoro-plásticos, este es un polímero lineal sin ramas y es altamente cristalino, teniendo su punto de fusión a los 330 °C. Tiene una constante dieléctrica baja. Es altamente electronegativo, esto se atribuye a la presencia de flúor en la columna principal de la estructura principal del polímero (Véase figura 2.1) [9,10].

La propiedad principal de este material es que es prácticamente inerte, no reacciona con otras sustancias químicas excepto en situaciones muy especiales. Esto se debe básicamente a la protección de los átomos de flúor sobre la cadena carbonada. Tiene un muy bajo coeficiente de rozamiento y gran impermeabilidad, manteniendo además sus cualidades en ambientes húmedos

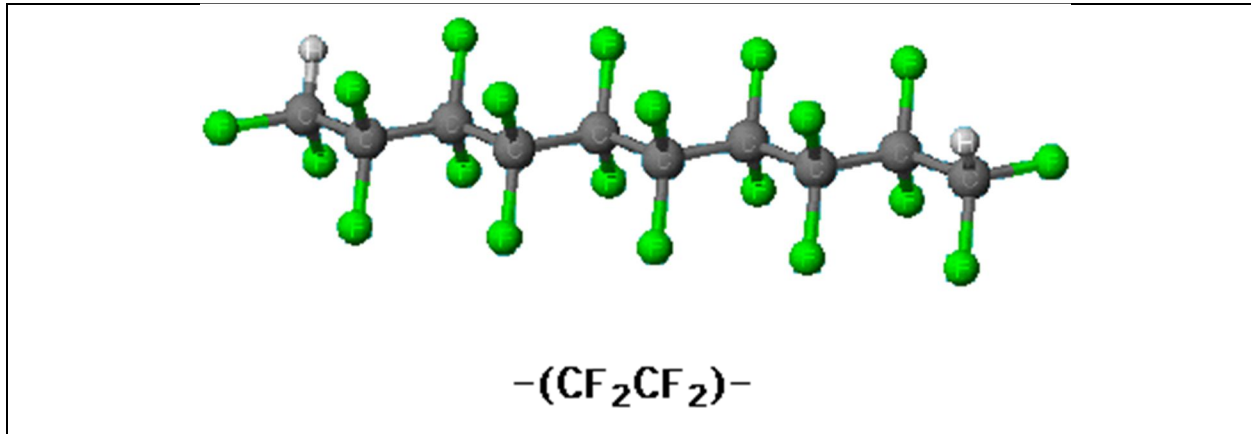


Figura 2.1. Molécula del Teflón, ilustra la protección de las moléculas de F sobre la cadena carbonada [10].

Es también un excelente aislante eléctrico y sumamente flexible, no se altera por la acción de la luz y es capaz de soportar temperaturas desde $-270\text{ }^{\circ}\text{C}$ (3 K) hasta $270\text{ }^{\circ}\text{C}$ (543 K). Su cualidad más conocida es la anti-adherencia.

Debido a estas propiedades el PTFE ha sido exitoso en muy variadas aplicaciones, como aislante para cables, recubrimiento para reactores, utensilios antiadherentes para la cocina y cualquier cantidad de cintas. Sin embargo, debido a la poca adhesión (o nula), su aplicación en varios campos se ha visto limitada [11-15].

2.2.- Adherencia del Teflón.

Como se ha mencionado en la sección anterior, el principal desafío para expandir el campo de aplicación del teflón es la poca adherencia que este tiene, incluso dentro de los polímeros de su clase es el que muestra menor adherencia como se puede ver en la figura 2.2. En comparación con el Perfluoroalcoxialcano (PEF) y el propileno etileno fluorado (FEP por sus siglas en Inglés).

Es muy importante resaltar en la gráfica 2.2, es que los metales que presentan menos adherencia con esta clase de polímeros son el oro y el cobre. Por otra parte el titanio presenta mejor adherencia, por ejemplo en el teflón tiene una adherencia del doble con respecto del aluminio y cromo; además supera por mucho los valores del cobre y oro. Notar que se introduce una figura de mérito para describir la adherencia de

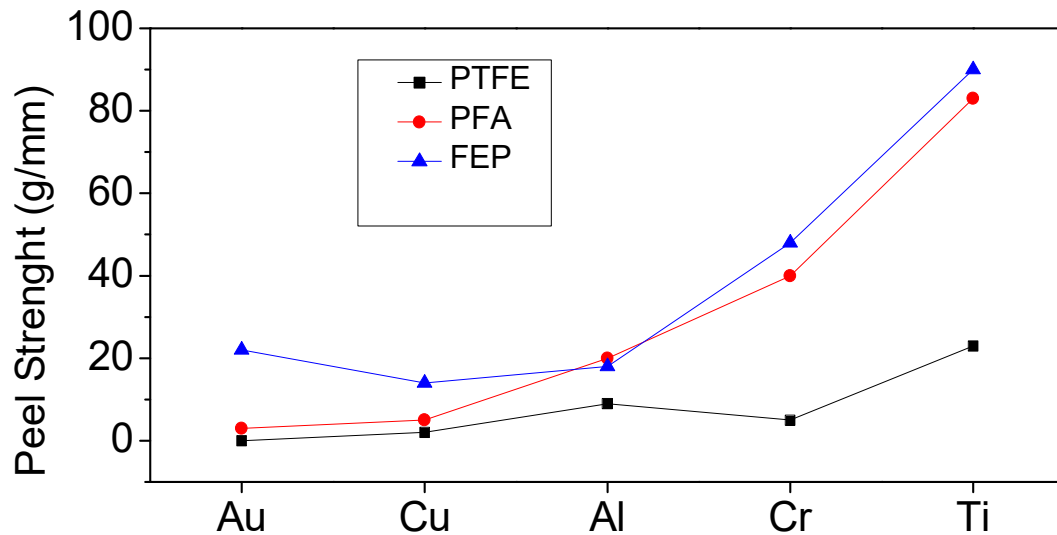


Figura 2.2. Medición de la Resistencia al desprendimiento de PTFE, PFA, FEP sin tratamientos para diferentes metales [16].

películas de metal a sustratos dieléctricos y se llama “peel strenght” o “resistencia al desprendimiento” en unidades de fuerza.

En los siguientes apartados se describirán algunas de las formas para darle adherencia a la superficie del Teflón. Existen diferentes métodos para que la superficie del teflón adquiera adherencia. Los tres métodos más eficientes para promover adherencia a la superficie del PTFE son tratamientos con soluciones químicas, plasmas y haces de iones. Aunque también existen otros métodos como radiación de rayos ultravioleta.

2.2.1.- Procesos con soluciones químicas.

Una de las sustancias más comunes utilizadas para dar adherencia a la superficie del teflón es el naftaleno de sodio, solución que ha sido utilizada en la industria por más de 25 años. Los cambios sufridos en la superficie por este método han sido estudiados utilizando espectroscopia de fotoelectrones de rayos X (XPS por sus siglas en inglés).

La superficie del PTFE tratada con el naftaleno de sodio por 30 segundos reduce la relación de F/C de 2 a 0.17 y introduce grandes cantidades de oxígeno (O/C =0.2).

Cuando se introducen átomos de oxígeno en la superficie del teflón, estos forman grupos carbonilos y carboxílicos [17].

Otra sustancia que también es utilizada para dar adherencia a la superficie del PTFE es sodio en líquido de amonio, pero no se ha utilizado con tanta regularidad como el naftaleno de sodio. Estos procesos son sencillos, pero tienen el defecto de que dañan las propiedades del cuerpo de la muestra no solamente de la superficie.

2.2.2.- Procesos de haces iónicos

En realidad existen un conjunto de equipos que se consideran que pueden producir procesos de rayos iónicos. Algunos sistemas de haces iónicos son muy similares al sistema de plasma [17], o por otra parte pueden utilizarse sistemas de implantación iónica modificados (Utilizados en la microelectrónica principalmente en tecnología CMOS), para emitir los haces iónicos [18]. Los gases más utilizados en este tipo de procesos son argón, oxígeno, nitrato de carbono, entre otros. La forma en que estos procesos dan adherencia a la superficie es mediante la inserción de radicales, dentro del material, pero dejándolos muy cerca o en la superficie, para que estos radicales sean vistos como enlaces libres, que fácilmente se pueden adherir otros elementos como metales.

Este tipo de procesos están ampliamente diversificados en trabajos de biológicos, debido a la propiedad de no reaccionar ante casi ninguna sustancia química, por lo que se utiliza para el cultivo de tejidos y aplicaciones similares.

2.2.3.-Procesos de Plasma

Los gases más utilizados en la modificación de la superficie de los polímeros son oxígeno, hidrógeno, amoníaco y vapor de agua. Hidrógeno con argón o helio puede ser usado para modificar la superficie del teflón [19,20]. Los átomos de hidrógeno retiran los átomos de flúor y contribuyen al proceso de defluoración. El proceso de plasma en general se ilustra en la figura 2.3.

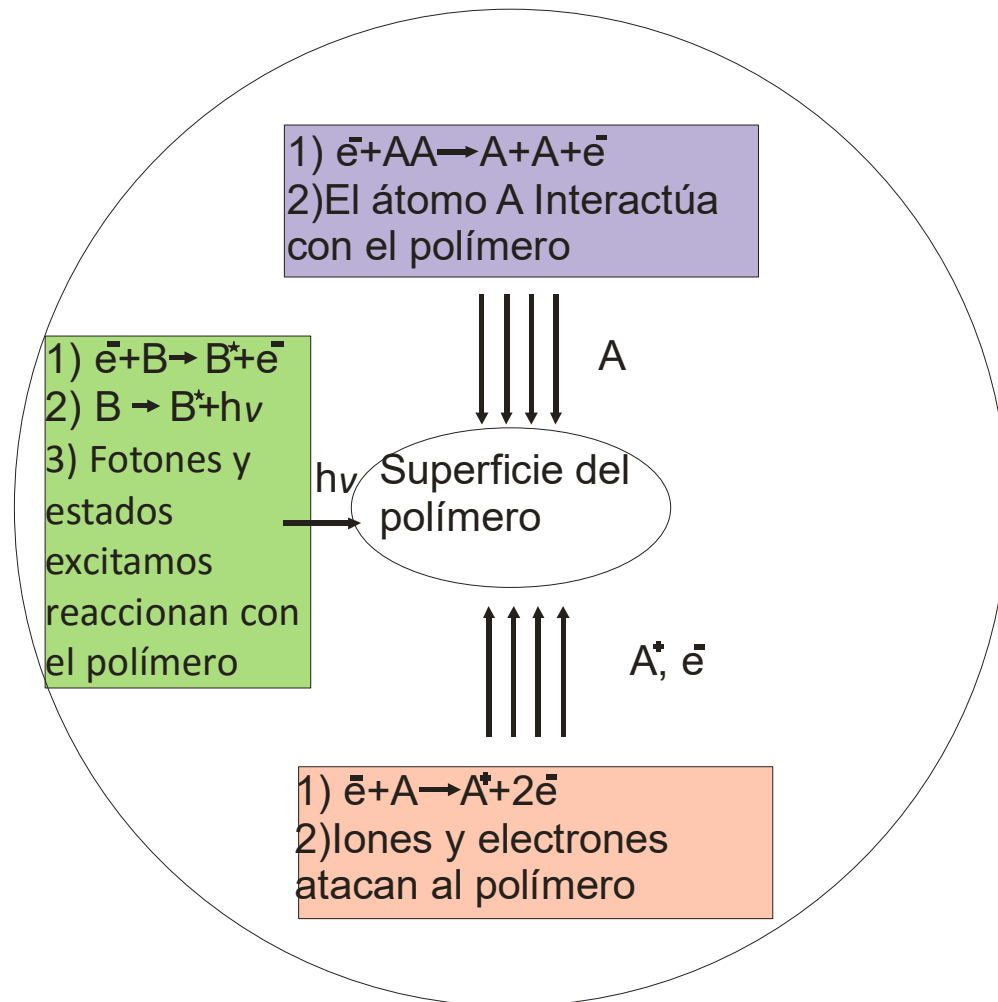


Figura 2.3. Los mecanismos de modificación de la superficie de los polímeros en el tratamiento de plasma [13].
(Por ejemplo AA puede ser N₂, O₂ y B puede ser Ar, Ne, He, H₂, O₂).

La mayoría de los polímeros absorben bien los fotones ultravioleta (UV) y también los fotones ultravioleta generados en vacío (VUV), sobre todo los de $\lambda < 175$ nm, la energía de radiación es suficiente para romper la mayoría de los enlaces del polímero. Existen varios gases (He, Ne, H₂, Ar, O₂, N₂) que en el plasma emiten gran cantidad de fotones VUV. Los fotones VUV con más energía son H₂ y O₂, y son los más eficientes que pueden afectar la superficie del teflón, con una profundidad de 100 a 1000nm, sin causar un cambio significativo en las propiedades de todo el material. VUV o UV radiación provoca enlaces entre diferentes ramas del PTFE. La

defluorinación y el entrecruzamiento de las diferentes ramas de PTFE pueden ser provocados por los fotones de VUV, este mecanismo se puede ver en la figura 2.4.

Más aún, en presencia de oxígeno o nitrógeno o aire se forman enlaces carbón-nitrógeno, carbón-oxígeno en la superficie del PTFE.

Cuando los polímeros tratados con plasma son dejados en ambiente de oxígeno o en presencia de aire, los radicales libres formados por el tratamiento de plasma continúan reaccionando con el oxígeno y forman estructuras que contiene este elemento en la superficie del polímero.

En las anteriores secciones se ha descrito las formas más exitosas de introducir adherencia a los polímeros, en especial al PTFE. Ahora se pasara a describir como se ha estado utilizando el teflón en los procesos actuales de empaquetamiento, partiendo de la utilización del teflón en las actuales tablillas de circuito impreso.

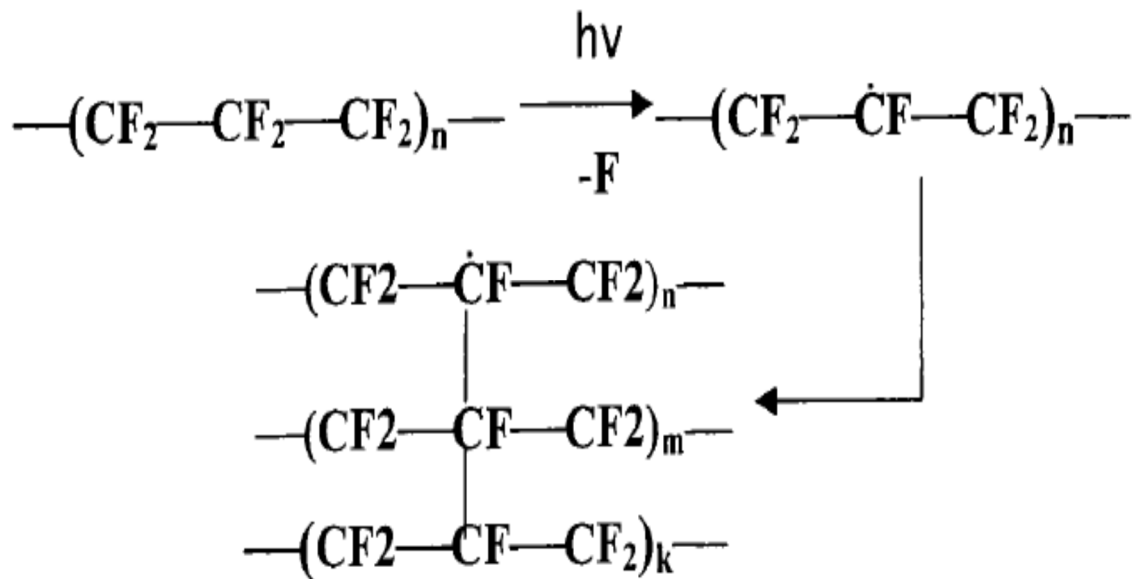


Figura 2.4. Mecanismo de interconexión de diferentes ramas del PTFE [21].

2.3.- Sistemas de empaquetado basada en Teflón.

Hasta ahora no existe comercialmente un empaquetado de circuitos electrónicos que utilice 100% al teflón como dieléctrico, solo se utiliza en la conjunción con otros tipos de materiales como el FR-4 y solamente para ciertas aplicaciones como para la elaboración de antenas y otros componentes que se utilizan en aplicaciones de redes inalámbricas.

En las siguientes secciones de este capítulo se le describirá, la tecnología actual de Teflón en Tablillas de Circuito Impreso (PCB por sus siglas en ingles) y dos de los principales problemas que tienen las PCBs actuales. En estas secciones se hablara de las PCBs porque se pueden considerar uno de los principales elementos en el empaquetado de circuitos electrónicos.

2.3.1- PTFE en tabillas de circuito impreso.

Actualmente ya existen algunas PCBs hechas utilizando teflón, pero en estas tablillas es este material usado en combinación con otros materiales y no como dieléctrico, en esta sección se describirán a grandes rasgos algunos ejemplos de estas y se apuntarán sus limitaciones.

Regularmente el teflón es utilizado en forma de hilos (solo o combinado con hilos de fibra de vidrio), que forman un tejido y para obtener rigidez son embebidos en resina epóxica como se muestra en la figura 2.5. Más adelante en otra sección se detallara las ventajas y desventajas que conlleva la utilización de los materiales en esta forma.

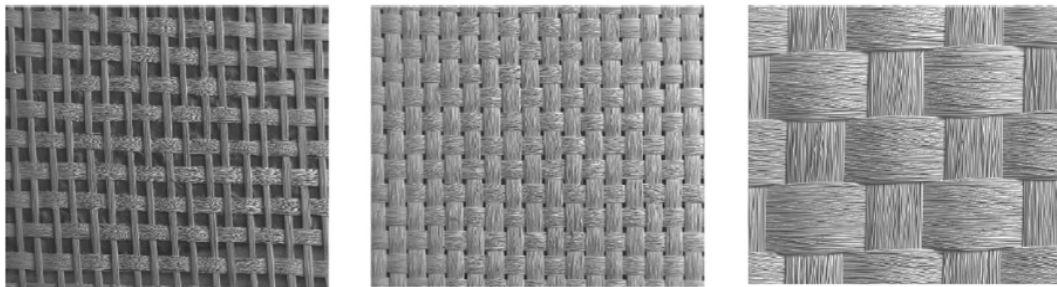


Figura 2.5. Los tejidos más usados en Tablillas de circuito impreso de FR-4[22].

Este tipo de tablillas cada vez son más utilizadas en la producción de tarjetas de circuito impreso para aplicaciones de redes inalámbricas, sobre todo en la elaboración de antenas y estaciones de base. Es más, como las necesidades de las redes inalámbricas cada vez son mayores, la utilización de este tipo de tablillas se seguirá incrementando y llegara a ser un producto regular en la industria de PCB.

Actualmente, no es común encontrar un empaquetado de circuitos integrados que contenga solo tablillas hechas con teflón, por lo general, en un sistema en un paquete (SIP) se cuenta con una combinación de tablillas FR-4 y Teflón, ya que se consideran sistemas mixtos, donde los circuitos de radiofrecuencia y de redes inalámbricas son realizados en PCBs que contiene teflón.

A pesar de que las PCBs comerciales de PTEF son una combinación de materiales, en la actualidad hay tres áreas específicas que necesitan ser resueltas para ser exitosos en los procesos de tablillas de PTFE, los demás aspectos son muy parecidos a los utilizados en las tablillas de FR-4.

1. Preparación en la superficie del cobre
2. Perforación de los materiales que contienen PTFE
3. Metalización a través del Through Hole y la preparación de la superficie del PTFE [23].

2.4.- Problemas actuales de las PCBs

La mayoría de las tablillas de circuito impresos en la actualidad están hechas de FR-4 o similares en su forma de fabricación y su estructura final, esto se debe la falta de homogeneidad y a la anisotropía del FR-4 y de los materiales que se fabrican de forma similar incluyendo algunos que contienen PTEF. La falta de anisotropía y uniformidad, así como los efectos producidos por la rugosidad de la interfaz entre el dieléctrico y el metal son entre los más importantes y notorios y se describen a continuación.

2.4.1.- La falta de isotropía y homogeneidad

La anisotropía del FR-4 es debida a que este material está hecho en base a un tejido de fibra de vidrio (véase Figura 2.6a). Por lo cual, si se fabrican dos líneas geoméricamente idénticas, pero en diferente parte del substrato como lo muestra la Figura 2.6b, la permitividad efectiva (ϵ_r) de las líneas es diferente. Este parámetro es muy importante ya que define tanto la impedancia característica de la línea como la velocidad a la cual viaja una señal en ella.

Es fácil de observar que la línea “L₂” a lo largo de su longitud está sobre una hebra de hilos, mientras la línea “L₁” cruza sobre hebras de hilos y pura resina epóxica alternadamente a lo largo de su longitud. Entonces, debido a que la permitividad del hilo de fibra de vidrio es de alrededor de 3 y la de la resina epóxica es aproximadamente de 6, la permitividad efectiva de “L₁” es mayor a la de “L₂”. Este efecto hace que existan variaciones en las características de línea a línea en el circuito, introduciendo problemas de acoplamiento y variación de fase. La Figura 2.7 muestra el corte lateral de la Figura 2.6b.

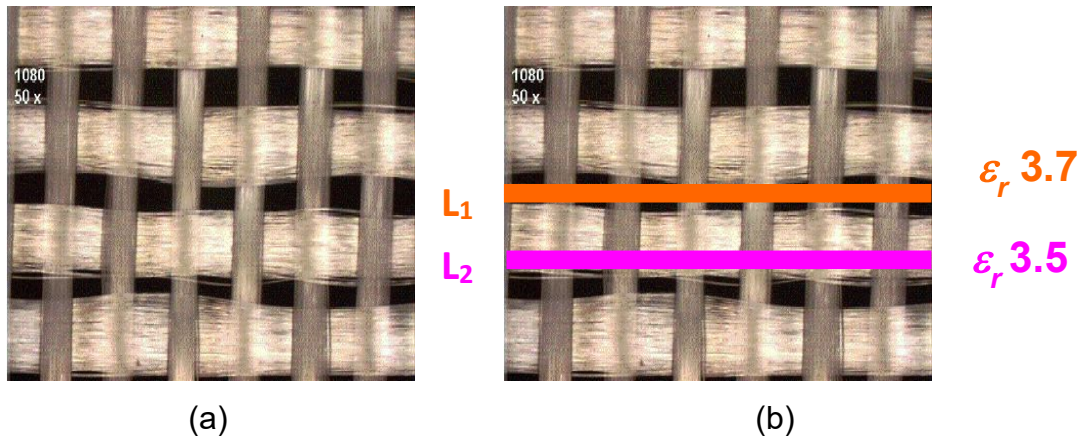


Figura 2.6 (a) Acercamiento del material FR-4. (b) Líneas microstrip sobre FR-4[24].

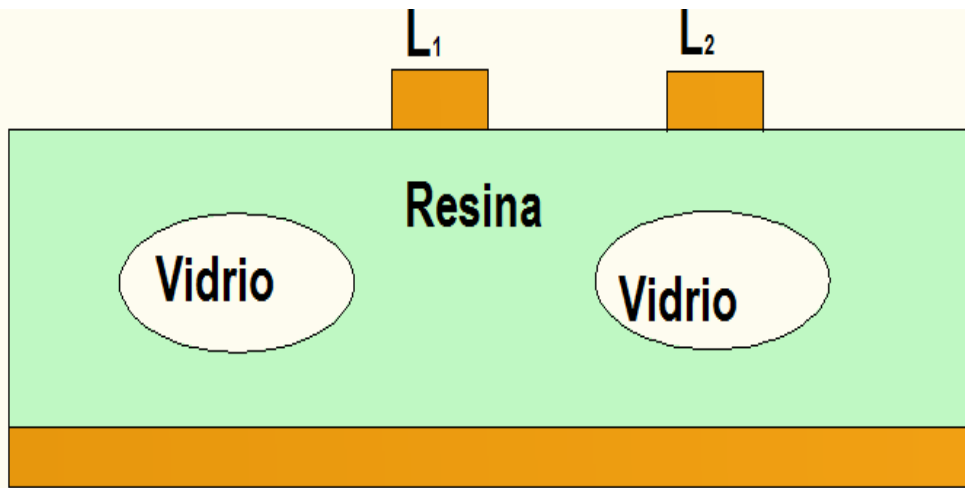


Figura 2.7 Corte transversal del material FR-4 con dos líneas microstrip.

En esta figura se muestra claramente que la parte de la línea “L₂” tiene como dieléctrico la combinación de fibra de vidrio y resina epóxica; por otro lado, la parte de la línea “L₁” que se observa en la figura, solamente tiene como dieléctrico resina epóxica.

2.4.2.- Efecto de la rugosidad en las PCBs

Otra característica no deseable en las líneas de transmisión fabricadas en FR4 es la rugosidad que existe en las interfaces metal–dieléctrico (véase Figura 2.8). Esta se asocia a las pérdidas por conductor mediante un factor de rugosidad (k_r). Este factor es semi-empírico y es, simplemente, un factor que multiplica las pérdidas por conductor ideales (sin rugosidad) de una línea microstrip.

El fenómeno asociado con la rugosidad se ve magnificado a altas frecuencias (del orden de los gigahertz) debido a que es una consecuencia del efecto piel. Así en altas frecuencias la corriente en una línea metálica fluye principalmente en la superficie del conductor, que es donde existe una rugosidad finita. De esta forma, aumenta la resistencia de la línea debido principalmente a la reducción del área transversal por donde fluye la corriente; por lo tanto, se incrementan las pérdidas correspondientes.

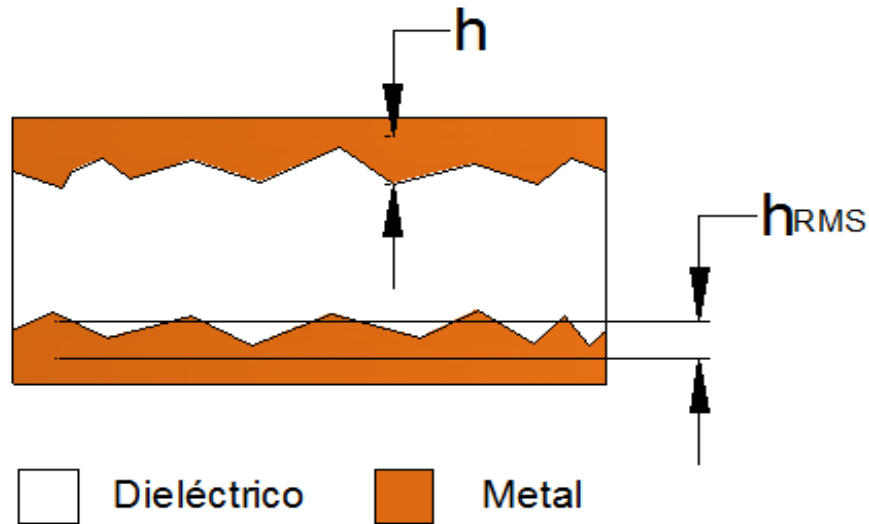


Figura 2.8 Corte transversal de una PCB donde se resalta la rugosidad entre el metal y el dieléctrico.

En la Figura 2.9, se muestra el parámetro k_r en función de diferentes rugosidades a diferentes frecuencias. Al aumentar este factor, aumenta la resistencia de la línea y consecuentemente las pérdidas que sufre una señal al propagarse. De aquí la necesidad de tener una rugosidad lo más pequeña posible.

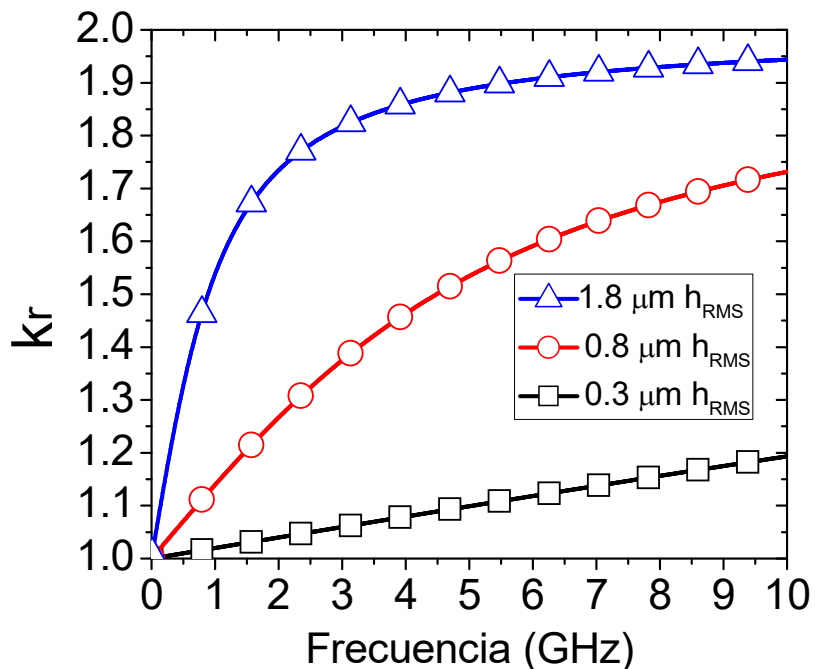


Figura 2.9. El factor de pérdidas por conductor para diferentes valores de rugosidad a diferentes frecuencias.

El valor h_{RMS} de la rugosidad se refiere al promedio de la altura de los picos que se forman en la interfaz entre el dieléctrico y el metal. Así, valores h_{RMS} entre 1.8 y 0.8

μm son comunes de encontrar en PCBs comerciales. Éstas, como se ve en la Figura 2.9, presentan un factor k_r relativamente alto. El caso contrario ocurre con las PCBs que tienen una rugosidad h_{RMS} de $0.3 \mu\text{m}$. Desafortunadamente, no son tan comunes en el mercado debido a su alto costo, ya que para proporcionar suficiente adherencia entre los materiales, requieren de procesos secretos o patentados que elevan su precio.

Las ventajas del teflón han sido descritas a detalle; por el momento, es importante mencionar que al utilizarlo como sustrato se pueden disminuir las pérdidas asociadas a los efectos de la rugosidad. Esto debido a que el teflón en el proceso de fabricación descrito en este trabajo no necesita de rugosidad considerable para proporcionar una buena adherencia con placas metálicas. Además, al ser un material homogéneo e isotrópico, evita variaciones de la permitividad efectiva en líneas de transmisión geoméricamente iguales.

2.5.-Conclusiones

El teflón es muy útil para muchos campos de aplicación, pero su gran desventaja para muchos casos es su poca adherencia, de aquí que sea uno de los principales problemas a resolver. Existen varias opciones para dar adherencia al PTFE, pero se ven limitadas si no se quiere cambiar las características del material. Por tal motivo en este trabajo se ha decidido a utilizar plasma de argón, como promotor de adherencia a la superficie del teflón sin dañar las propiedades de éste.

Solucionando el problema de la adherencia, el teflón se convierte en una buena opción para utilizarlo como dieléctrico en el empaquetado de circuitos electrónicos.

Capítulo 3. Proceso de Fabricación

3.1.-Introducción

En este capítulo propone un proceso de fabricación para obtener una tecnología de empaquetamiento tipo SiP utilizando como base al teflón. En términos generales se hace a continuación una breve descripción del proceso utilizado para desarrollar prototipos. El proceso consta de 5 pasos:

a) Preparación de la superficie

Todo el proceso de fabricación comienza con el acondicionamiento de la superficie de piezas de teflón. Este se realiza en dos etapas, primero piezas de teflón son pulidas para disminuir la rugosidad de la superficie. Segundo se hace un tratamiento con plasma de argón para que el teflón obtenga adherencia, este tratamiento a la superficie del teflón permite que se le adhieran metales. El plasma consiste en un bombardeo de iones sobre la superficie del teflón, que rompe algunos enlaces en la superficie, se permite que se integren algunos oxígenos y se queden enlaces libres lo cual hace posible la adherencia el cobre a la superficie del teflón.

b) Primer metal

El primer metal se deposita mediante evaporación (semilla), mediante procesos litográficos se define donde se requiere engrosar el metal, y posteriormente ese engrosado mediante electro-depósito. La foto-resina ha servido de guía para el engrosado por lo que una vez alcanzado el espesor requerido se remueve. Finalmente, una nueva litografía permite mediante inmersión de la muestra en cloruro férrico, la eliminación de la semilla.

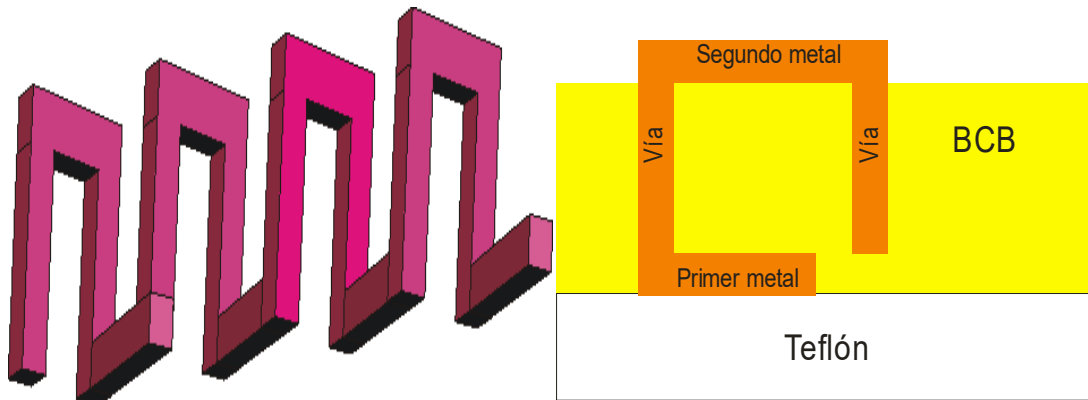


Figura 3.1. a) Inductor en tres dimensiones y b) corte transversal del inductor.

c) Depósito de Benzo-Ciclo-Butano (BCB)

Sobre los patrones metálicos se deposita BCB mediante centrifugado, después mediante un tratamiento de curado se logra dar las características propias del BCB. Después, mediante procesos litográficos sobre el BCB se efectúa un retiro selectivo de este mediante plasma de oxígeno y CF₄.

d) Fabricación de vías

Estos lugares vacíos del BCB son rellenados con cobre mediante electro-depósito para formar vías que se encargaran de conectar el primer nivel de metal con el segundo.

e) Segundo Metal

Sobre el BCB, se hace una evaporación y después mediante procesos litográficos y de electro-depósito se construyen los patrones geométricos del metal superior. Muy parecido al primer metal, pero sin la necesidad de acondicionar la superficie en la cual se deposita el metal. Con esto se permite hacer inductores en tres dimensiones (ver en la figura 3.1) y otros dispositivos complejos. A continuación, se describen de manera más detallada cada uno de los pasos de fabricación mencionados con anterioridad. A continuación se

describe de manera más detallada cada uno de los pasos de fabricación mencionados con anterioridad.

3.2.- Acondicionamiento de la superficie del teflón

El acondicionamiento de la superficie del teflón se ha dividido en dos partes para su descripción el pulido y el tratamiento de plasma con argón. La materia prima inicial son láminas de teflón de 1m X 1m con 4.00 mm de espesor, estas son cortadas a 5 cm X 5 cm, con estas dimensiones se hacen compatibles con los siguientes pasos del proceso, debido a que los equipos del Laboratorio de Microelectrónica son compatibles con estas dimensiones.

3.2.1.- Pulido del Teflón

Las piezas de teflón son pegadas a herramientas metálicas para ser pulidas. Se emplean partículas de alúmina (óxido de aluminio) en suspensión acuosa para este propósito. La diferencia entre pulidores es el tamaño de las partículas que varían de 15 micrómetros a 1 micrómetro, se realiza en un sistema de pulido (véase figura 3.2) dentro del Taller de Óptica del INAOE. Este proceso de pulido se describe con gran precisión en [25].

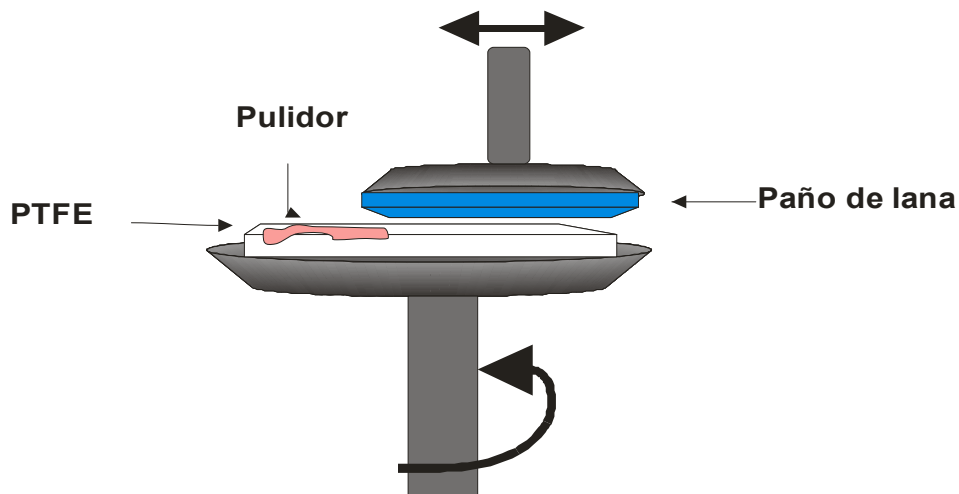


Figura 3.2. Esquema del sistema de Pulido.

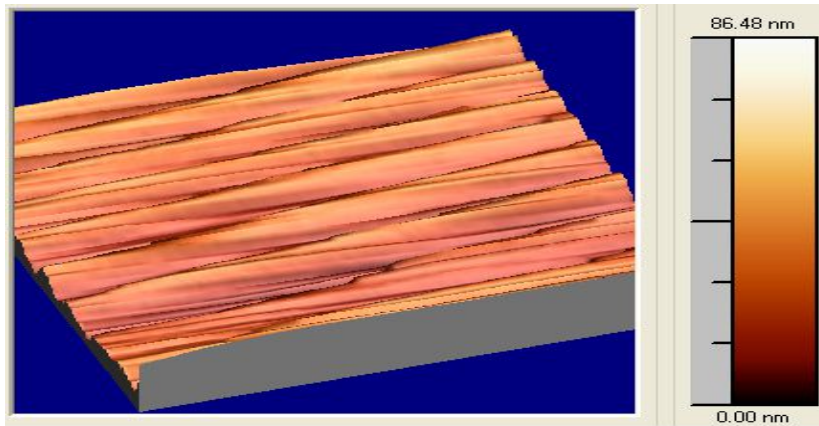


Figura 3.3 Morfología de la superficie del teflón después del pulido, obtenida mediante AFM.

El pulido es un proceso mecánico que utiliza los diferentes diámetros entre pulidores, para así ir reduciendo la rugosidad de manera progresiva. Se logra alcanzar un mínimo, alrededor de 0.30 μm como rugosidad promedio para el presente proceso, la morfología de la muestra se comprueba con un Microscopio de Fuerza Atómica (AFM por sus siglas en inglés) véase figura 3.3.

3.2.2.-Tratamiento de plasma de argón

Una vez alcanzada la rugosidad mínima, se requiere hacer un tratamiento de plasma. Éste es para mejorar la adherencia de la superficie del teflón y evitar desprendimientos de la capa de cobre. El teflón como ya se ha mencionado antes tiene como una propiedad la muy poca adherencia de metales, de aquí la necesidad de realizar un tratamiento para modificar esta característica. El tratamiento que se le dio al teflón para incrementar su adherencia se realizó en presencia de plasma de argón, a lo largo del proyecto el proceso se hizo en diferentes sistemas por fallos en los equipos. El primer sistema que se utilizó fue el PECVD, seguido por el equipo RIE (ambos del laboratorio de microelectrónica) y finalmente se utilizó el equipo de grabado de óxidos (del LIMEMS).

Este proceso fue realizado con plasma de argón, para evitar la formación de algunos compuestos en la superficie del teflón. Además, siempre se buscó producir el mínimo cambio a la morfología de la superficie del PTFE, debido que uno de los objetivos de este trabajo es evitar la introducción de rugosidad a la superficie pulida

3.3.- Primer metal

Para la obtención del primer metal, es necesario realizar este proceso en dos pasos; evaporación y electro-depósito. Primero se deposita una pequeña capa de 300nm por evaporación, que servirá como semilla para el proceso de electro-depósito

3.3.1.- Evaporación

El primer paso para depositar cobre sobre el teflón es el proceso de evaporación. La evaporación se hace utilizando una evaporadora de cañón de electrones, su funcionamiento consiste en llevar a ebullición un metal haciendo incidir en él un flujo de electrones, al evaporarse el metal este se condensa en la superficie del teflón que es colocado en la periferia de la cámara de vacío del sistema de evaporación, formando una película sólida uniforme.

Con el anterior proceso se deposita una capa de cobre (300 nm. de espesor), a continuación se hace un proceso litográfico, éste (utilizando la mascarilla 1 del proceso) servirá como enmascarante para lograr engrosar el metal de manera selectiva.

El metal no puede ser depositado en grandes cantidades por el método de evaporación ya que su razón de depósito es muy pequeña, por ejemplo para depositar 300 nm de Cu, se utiliza un aproximado de 30 minutos de tiempo de depósito (sin contar el tiempo para llegar al vacío, y los tiempos de purga y apagado).

Además, no se puede depositar de manera continua por dos limitaciones tecnológicas del equipo. Primero, al utilizarse la evaporadora, esta se calienta y si es necesario depositar cantidades mayores de una micra, es necesario contar con tiempos de espera para permitir enfriar el equipo. Segundo el Cu fuente (el metal a evaporarse) tiene tamaño finito y reemplazarla toma aproximadamente una hora o más. En otras palabras, si se pueden evaporar grandes cantidades de metal por este método pero se llevaría demasiado tiempo y sería bastante tedioso.

3.3.2.- Electro-depósito de cobre

Por lo mencionado en el apartado anterior resulta que para engrosar el metal se ha decidido utilizar el método de electro-depósito. Este método no requiere como se ha mencionado antes, de una semilla metálica previa. El sistema de electro-depósito consiste en sumergir la muestra en una solución de ácido sulfúrico, sulfato cúprico y agua (figura 3.4). Este sistema tiene razones de depósito más grandes por ejemplo: La razón de depósito de cobre es 25 μ m por decímetro cuadrado por A/hrs [7].

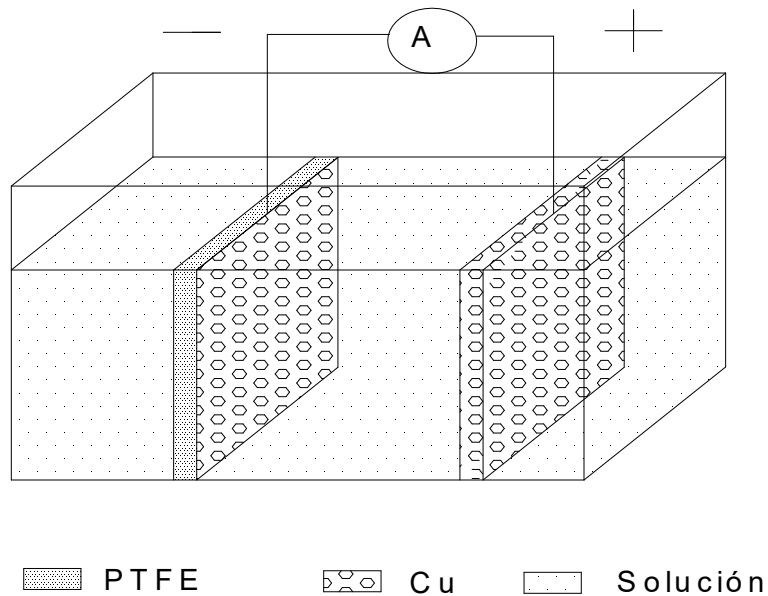


Figura 3.4. Esquema del electro-depósito.

Después del electro-depósito se retira la foto-resina sumergiendo la muestra en acetona y para retirar la acetona de la muestra, se sumerge en agua. A continuación se realiza un proceso litográfico (mascarilla 2 del proceso), este proceso es utilizado para que gran parte de los dispositivos queden conectados y sea posible hacer las vías de interconexión de los metales.

Para terminar el primer metal la muestra se sumerge en cloruro férrico y así quedan estructuras planares y por último se retira la resina, este proceso se ejemplifica en la figura 3.5.

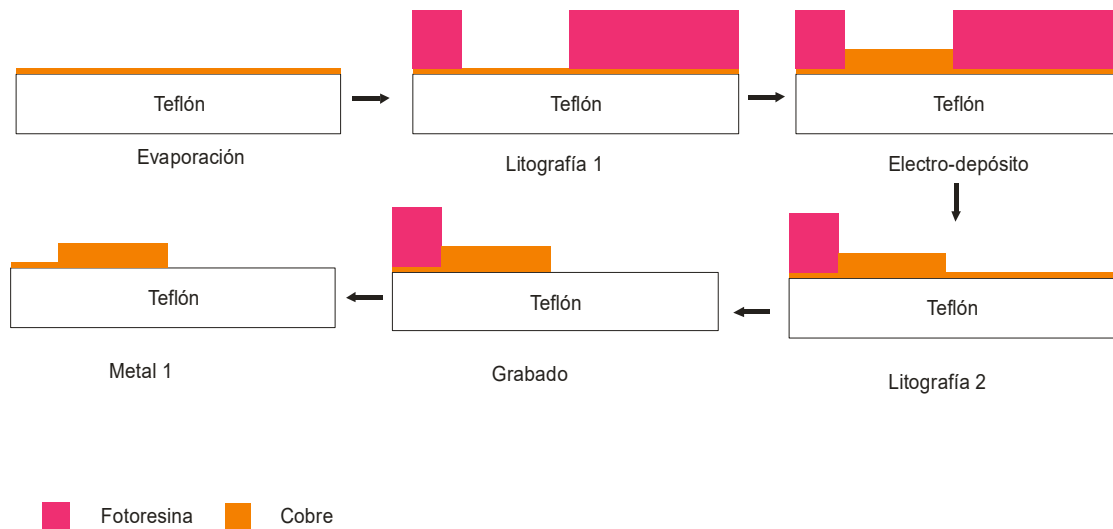


Figura 3.5 Diagrama del proceso del metal 1.

3.4.- Deposito de BCB

Para poder hacer dispositivos pasivos en tres dimensiones es necesario poder depositar un aislante entre los diferentes niveles metálicos del empaquetado. El material seleccionado para este fin es BCB ya que sus características eléctricas son similares al teflón. Además, de que puede ser depositado en forma líquida y se solidifica mediante un proceso de curado. Todo esto ayuda al apilamiento de capas metal-dieléctrico con que debe de contar un sistema de empaquetado de circuitos integrados.

El BCB se deposita mediante un proceso de centrifugado [8], después se hace un proceso de curado durante 12 horas aproximadamente, este proceso se puede acelerar aumentando la temperatura, pero se tiene la limitante de la temperatura de vidrio del teflón (260 °C), de aquí que el proceso dure ese tiempo.

Al finalizar el curado la capa que se depósito de BCB tiene un espesor de 20µm.

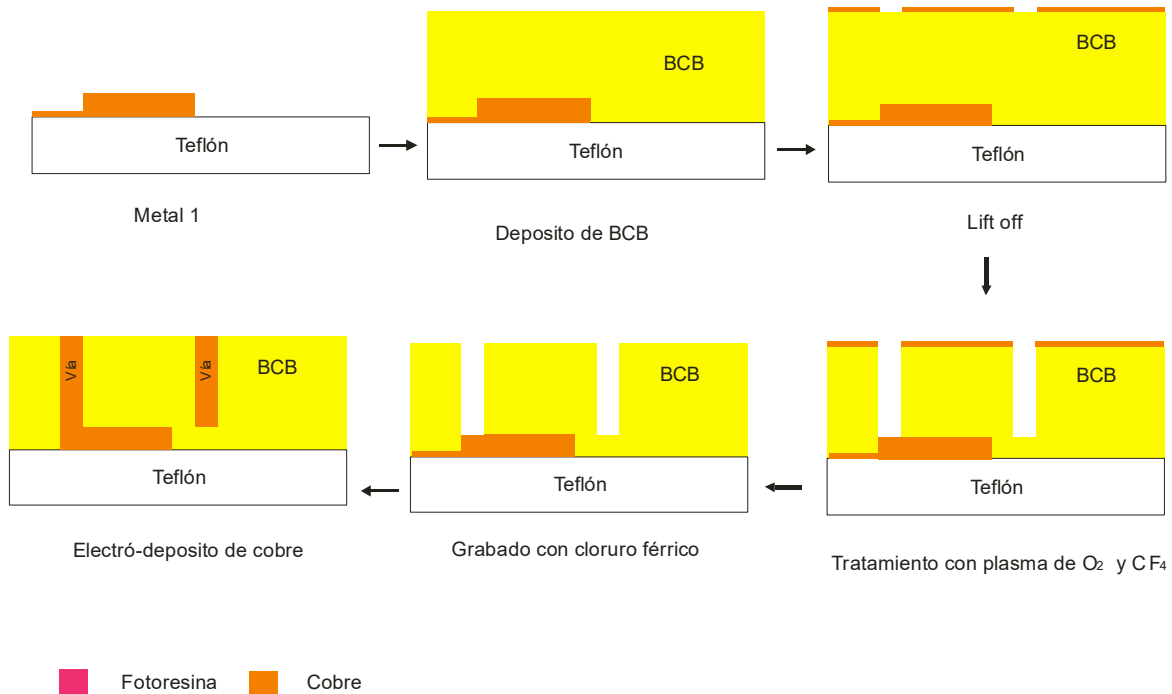


Figura 3.6. Describe desde metal 1 hasta la formación de vías.

3.5.- Fabricación de vías

Cuando ya se cuenta con el BCB solidificado, se utilizan métodos litográficos (utilizando la mascarilla 3) para realizar un proceso de “lift off”. Se utiliza esta técnica de litografía, porque de otra manera no sería posible la alineación y se perdería la coincidencia entre niveles. Por tal motivo se deposita primero la resina y después el cobre mediante evaporación. El metal en este caso servirá como enmascarante, para hacer remoción del BCB selectivamente. La remoción del BCB se hace con un tratamiento de plasma de CF₄ y Oxígeno [8].

El espacio donde se ha removido el BCB va ser ocupado por cobre, este cobre se deposita mediante electro-dépósito de cobre muy similar al utilizado en el metal 1. La figura 3.6 ilustra este paso del proceso.

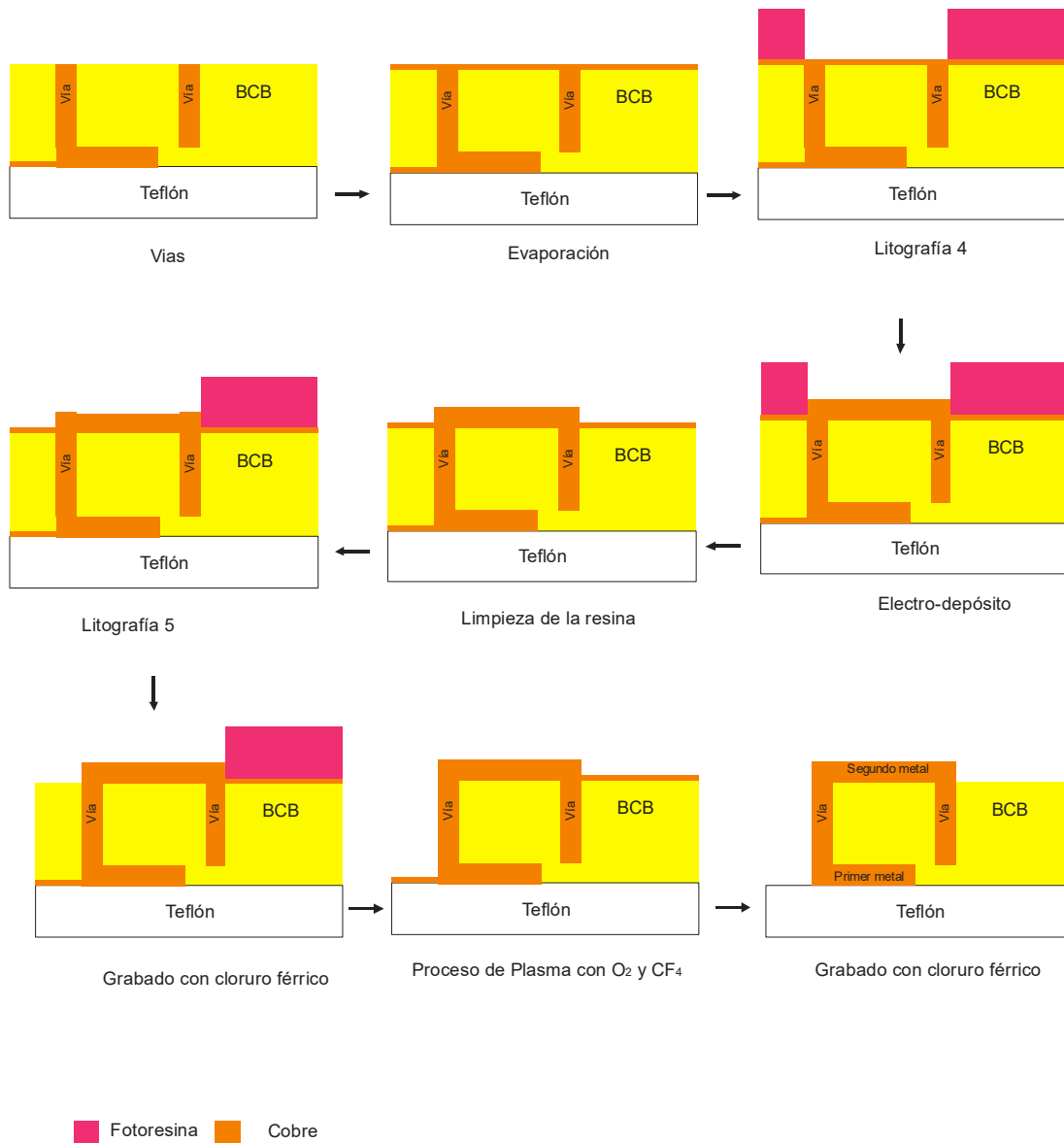


Figura 3.7. Muestra la parte final del proceso desde las vías hasta el segundo.

3.6.- Segundo metal

Las estructuras del segundo metal son realizadas encima del BCB, la fabricación de estas estructuras inicia con un depósito de una capa de cobre (300nm) mediante una evaporación, después se hace una litografía (utilizando la mascarilla 4), para poder hacer crecer selectivamente el cobre a 6 μ m.

Después se retira la resina de la litografía, siguiendo con otra litografía (mascarilla 5). Esta litografía sirve como enmascarante para remover parte del BCB (con plasma de oxígeno y CF₄). Ya removido el BCB la muestra se sumerge en un baño de cloruro férrico de aproximadamente 10 segundos para liberar (desconectar) todas las estructuras y puedan ser medidas. La figura 3.7 muestra esta etapa final del proceso.

3.7.- Conclusiones

En el presente capítulo se ha desarrollado una propuesta de un proceso de empaquetado de circuitos integrados SiP que puede ser realizable con el equipo actual del INAOE. Este permite la realización de componentes pasivos, como inductores entre otros, y que, por la muy baja rugosidad obtenida y homogeneidad del sustrato usado, elimina muchas de las pérdidas que los métodos y materiales convencionales usados en la fabricación de PCBs y empaquetado de CIs convencionales tiene y limitan su rango de aplicaciones

Capítulo 4. Trabajo Experimental y Discusión de Resultados Obtenidos

En esta sección se describen y discuten los experimentos y resultados que dan viabilidad del diseño que se ha descrito en el capítulo tres. Los experimentos se han ordenado en una secuencia que intenta seguir el proceso de fabricación y, al final, se podrán mostrar algunos avances que se han realizado en el desarrollo del proceso de fabricación. Es pertinente hacer notar que una parte muy importante de este trabajo es la caracterización de materiales, con este fin se inicia con la caracterización de los materiales dieléctricos. Un problema crucial para el desarrollo de este trabajo es la nula adherencia de metales al teflón, por lo que iniciaremos por desarrollar un proceso para lograr la adherencia del cobre sobre el PTEF. Las propiedades eléctricas del teflón se caracterizan también en función de la frecuencia. Por otra parte, el BCB se adaptará tanto en su forma de depósito como de curado para ser compatible con el teflón y su grabado.

4.1.- Caracterización de la adherencia entre el PTFE y cobre, con plasma utilizando un sistema RIE

De los métodos mencionados en el capítulo 2 para lograr adherencia de metales al teflón sin modificar su morfología o incrementar la rugosidad superficial promedio, se seleccionó un proceso de plasma, ya que este es uno de los procesos no invasivos al cuerpo del material. Se utilizó el sistema de grabado mediante iones reactivos (RIE por siglas en inglés). En este sistema se hicieron múltiples experimentos buscando las condiciones del plasma (flujo de argón, presión, potencia), que resultaran en adherencia de Cu al teflón y ningún daño a la superficie de este. Se encontró que, invariablemente, un tiempo de proceso de 8 minutos no daña la superficie del teflón y con esta base se realizaron experimentos de adherencia con las condiciones de proceso que se pueden ver en la tabla 4.1.

Tabla 4.1. Condiciones del experimento realizado con la RIE para medir la adherencia entre el PTFE y el cobre.

Presión (mTorr)	Potencia (Watts)	Flujo de Argón (SCCM)
30	250	30
10	250	30
5	250	30
30	250	20
10	250	20
5	250	20
30	250	10
10	250	10
5	250	10
30	150	30
10	150	30
5	150	30
30	150	20
10	150	20
5	150	20
30	150	10
10	150	10
5	150	10
30	100	30
10	100	30
5	100	30
30	100	20
10	100	20
5	100	20
30	100	10
10	100	10
5	100	10

Después del tratamiento con plasma, se evapora una delgada capa de cobre (300nm), que servirá como semilla para depositar 25 μm de cobre con el sistema de electrodepósito mencionado el capítulo 3. La adherencia se determina en base a la figura de mérito “Pell strength”.

La prueba de “Pell strength” funciona de la siguiente manera, se cortan tiras de dimensiones específicas que en este caso son de 4mm x 5cm, se despegan un extremo del cobre al teflón y se le coloca una pinza en la parte de cobre desprendido. Esta pinza ejerce una fuerza controlada, al final se mide la cantidad de fuerza que se ejerció para poder despegar por completo la línea de cobre del teflón. Finalmente se divide la cantidad de fuerza entre el ancho de la línea, para obtener el resultado en unidades de fuerza sobre longitud.

La medición de “Copper Peel Strength Test (CPST)” fue realizada con el equipo XLW (PC) Auto Tensile Tester (este equipo se encuentra en las instalaciones de Isola, en Chandler, Arizona), el cual se muestra en la figura 4.1. Todos los experimentos realizados con flujo de 10 sccm no pudieron ser medidos, debido a la deficiente adherencia que presentaron las muestras, es más algunas se desprendieron mientras se realizaba el proceso de electro-depósito.

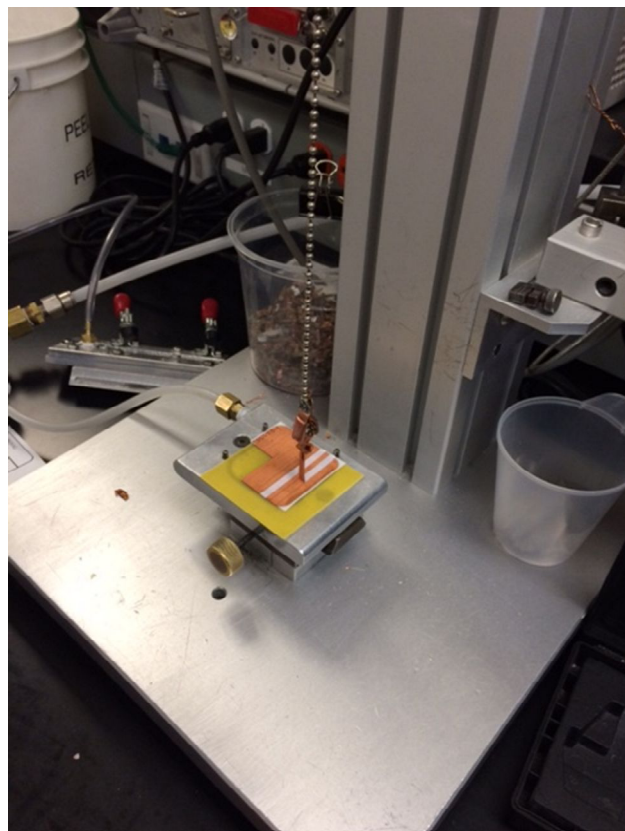


Figura 4.1. Muestra el sistema para medir la adherencia

Los resultados que arrojó la medición CPST, se pueden observar en la figura 4.2, de ellos el que obtuvo mayor adherencia esta alrededor de 70 g/mm (3.9 lb/inchs). Conocer este dato ha sido de suma importancia, para poder compararlo con algunos procesos comerciales que se encuentran de 2.9 a 8 lb/inchs [26,27].

Al comparar el resultado de adherencia, observamos que está dentro de los reportados en comerciales, lo cual es una validación para el proceso de adherencia, es más, este proceso no utiliza la rugosidad de los materiales para obtener la adherencia, lo que es una ventaja para los dispositivos que se realicen en sustratos con muy baja rugosidad promedio (30 nm aproximadamente).

Además esta prueba de adherencia es asociada a la integridad física de los dispositivos que serán construidos sobre la tablilla, lo cual se reportado en “Can peel strength predict the structural integrity of the adhesive bond between the copper and laminate in a PCB?” [27]. Por lo tanto si aseguramos un valor adecuado de adherencia, se puede asegurar la integridad de los dispositivos que se fabricaran.

El experimento de adherencia, no solamente se hizo para obtener la combinación adecuada de la RIE y obtener las características en función de la adherencia es máxima, sino para obtener una tendencia de la adherencia, con los parámetros que se pueden modificar el equipo RIE.

Una de las tendencias más claras del experimento es que si el flujo de Ar dentro de la RIE disminuye, la adherencia disminuye. Por otro lado la relación entre la potencia y la adherencia no es tan clara esto puede ser explicado por un experimento que se reportó en “The Study of Surface Modification of e-PTFE Materials and Their Applications in Micro-arrayed Chips” [28] Donde la potencia y la modificación de la superficie del teflón (ángulo de contacto con el agua), crece hasta un máximo y después decrece en función de la potencia. El ángulo de contacto con el agua está relacionado con la adherencia de la superficie del teflón, de aquí que no se encuentre una correspondencia directa de la potencia.

La presión muestra una relación directa con la adherencia, mientras menos presión, mas adherencia.

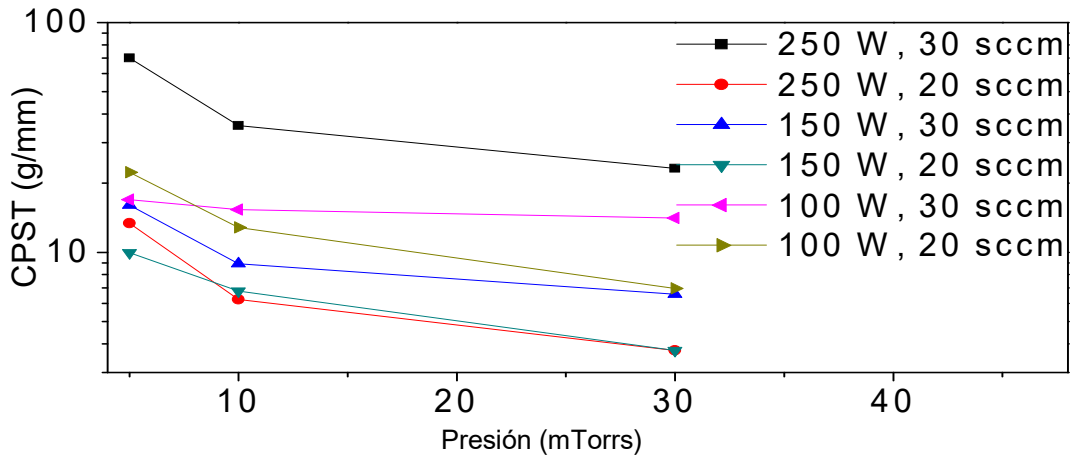


Figure 4.2 Copper Pell Strength Tensile (CPST) en la superficie del teflón pulido con tratamientos de plasma de Ar.

4.2.-Caracterización del Teflón.

El teflón es el material base y que servirá como soporte mecánico para los dispositivos de empaquetamiento en este trabajo. Además se utilizara como dieléctrico, por tal motivo tiene que ser caracterizado, especialmente en altas frecuencias.

Debido a que el teflón ha sido exitoso en varios campos, muchas de sus propiedades son conocidas, Para caracterizar el material eléctricamente, para este fin se tiene que fabricar vehículos de pruebas (líneas de transmisión en este caso). Los vehículos de prueba son los que se caracterizan en función de la frecuencia. Y a partir de esta caracterización, se obtienen las propiedades del dieléctrico, o expresado más estrictamente, las aportaciones del dieléctrico a las propiedades del vehículo de prueba.

En este trabajo los vehículos de prueba que se han diseñado son líneas microstrip, las cuales se han fabricado a partir de piezas de PTFE, después son pulidas sus dos superficies, después, se hace un tratamiento con plasma de Ar. Luego se deposita una capa delgada (300nm) sobre la superficie del teflón, que servirán como semilla para hacer el electro-depósito y tener capas de cobre de 25 μ m de grosor. Finalmente se micromaquinan con un CNC (Controlador Numérico Computarizado). El bosquejo de este proceso se puede ver en la figura 4.3.

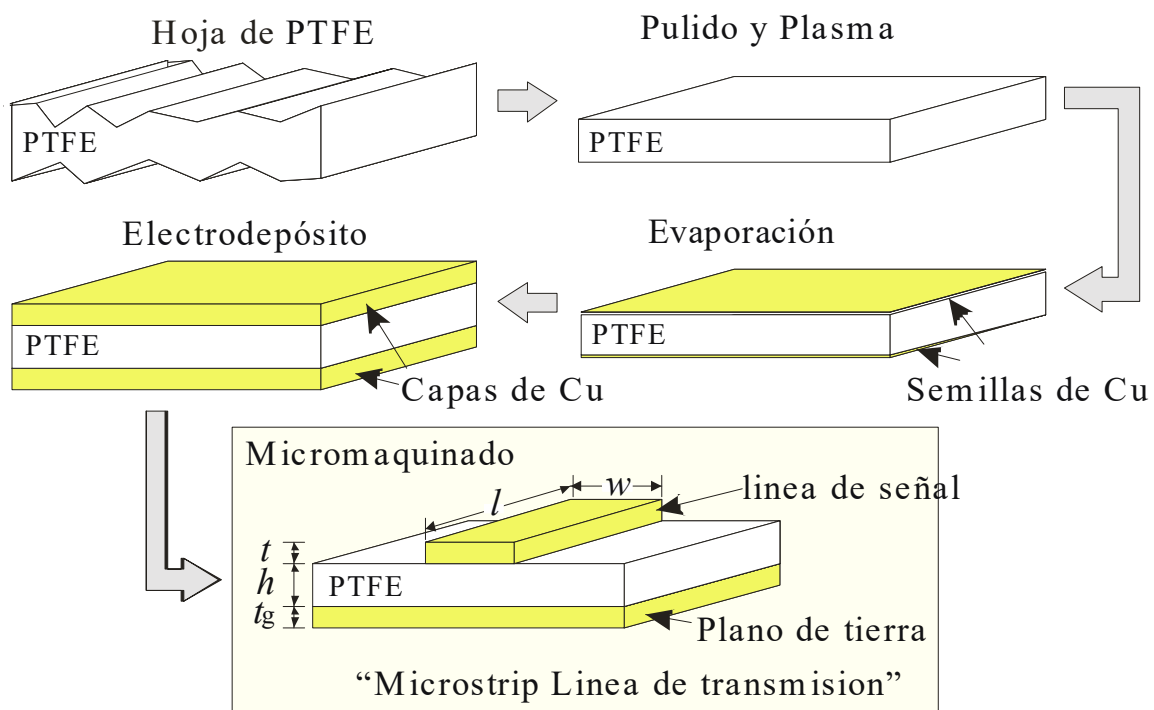


Figura 4.3. Esquema de fabricación de la línea microstrip

Las dimensiones de la línea (w), se obtuvieron a partir del cálculo de la impedancia característica. En primer lugar es conocido que las propiedades del teflón son casi inalterables en función de la frecuencia, por lo que se puede utilizar un modelo simple para el diseño de la impedancia característica (Z_0). Esta, por lo antes dicho, se obtiene de un análisis cuasi estático [29]. Este análisis se describe mediante las siguientes ecuaciones.

$$Z_0 = \frac{\eta}{2\pi\sqrt{\epsilon_{re}}} \ln \left\{ \frac{8h}{W} + 0.25 \frac{W}{h} \right\} \quad \left(\frac{W}{h} \leq 1 \right) \quad (4.1)$$

$$Z_0 = \frac{\eta}{2\pi\sqrt{\epsilon_{re}}} \ln \left\{ \frac{W}{h} + 1.393 + 0.667 \ln \left(\frac{W}{h} + 1.444 \right) \right\} \quad \left(\frac{W}{h} \geq 1 \right) \quad (4.2)$$

donde $\eta = 120\pi$, y:

$$\epsilon_{re} = \frac{\epsilon_r + 1}{2} + \frac{\epsilon_r - 1}{2} F(W/h) \quad (4.3)$$

$$F(W/h) = \begin{cases} (1 + 12h/W)^{-1/2} + 0.04(1 - W/h)^2, & W/h \leq 1 \\ (1 + 12h/W)^{-1/2}, & W/h \geq 1 \end{cases} \quad (4.4)$$

En una línea de transmisión regularmente se buscan dos parámetros que la definen, estos son la impedancia característica (Z_0) y el vector de onda (γ), es importante notar que ambos son cantidades complejas. Z_0 está conformada por una parte real y otra imaginaria, al igual que el vector de onda. La parte real de γ se denomina α que representa las pérdidas de la línea y la parte imaginaria β que es el retraso de fase de la línea

La forma en que se extraen los valores de Z_0 y γ , es mediante la medición de los parámetros “S” de las líneas de transmisión, utilizando un VNA. Cuando ya se han obtenido los parámetros “S”, estos son tratados matemáticamente para obtener Z_0 y γ . Algunos de estos métodos están reportados en [30,31].

El valor Z_0 se ha obtenido exitosamente, como se puede observar en trabajos previos [25,32] sin embargo con el valor de γ se han tenido algunas dificultades, sobre todo con α ya que esta es muy pequeña, y se ha dificultado de sobremanera extraerla de los parámetros “S”.

Sin embargo, se han hecho esfuerzos por obtenerla sobre todo en mejorar la forma en que es medida. Por ejemplo en la figura 4.4 se muestran las mediciones de una misma línea pero cambiando el sistema de medición, lo cual arroja resultados diferentes. No

solamente se ha estado trabajando en mejorar el sistema de medición, sino también, en mejorar la estructuras. Los mejores resultados se han obtenido al mejorar el sistema de medición.

La figura 4.4 muestra tres diferentes mediciones de la misma línea. Pero con diferentes condiciones. La primera medición fue utilizando el VNA de la marca Agilent modelo E8361A.

La segunda medición también fue hecha con el mismo VNA, con la diferencia de que se le han movido algunos parámetros al VNA. El más importante la potencia con que fue hecha la medición, ya que en ésta se utilizó la máxima potencia que podría entregar la fuente la cual es de -5 dBm. Mientras que en la primera medición solo se utilizaron -12dBm.

A diferencia, de la primera y segunda medición la tercera se hizo utilizando un VNA de la marca Anrisu modelo MS4640, hasta el momento esta es la mejor medición que se ha obtenido en este trabajo de una línea utilizando teflón como dieléctrico.

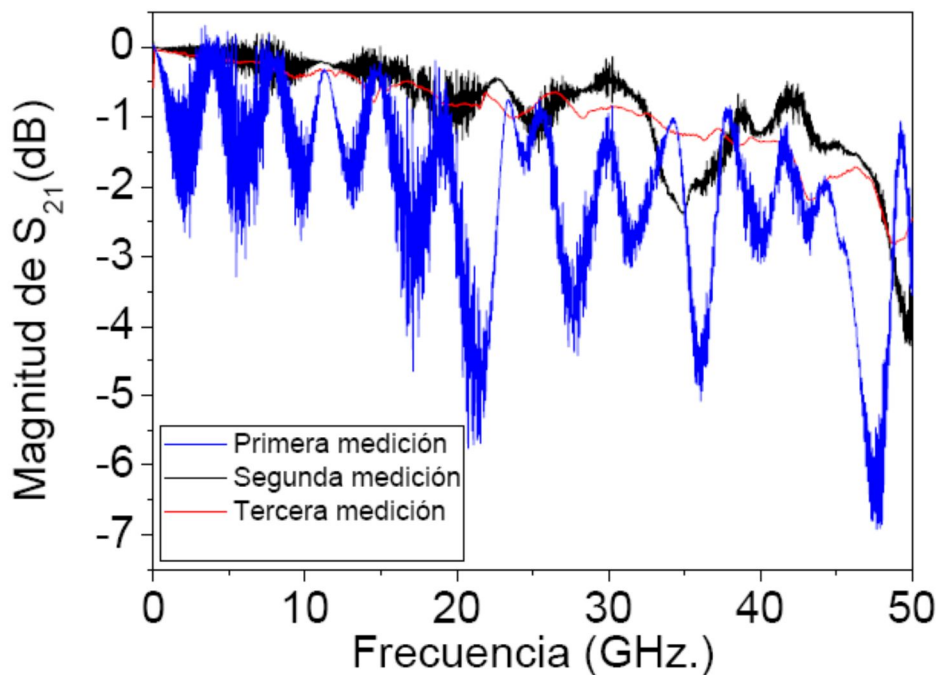


Figura 4.4. Muestra tres mediciones de una línea microstrip con 22mm de largo, $W=1.2\text{mm}$, $h=0.4\text{mm}$ y $t=20\mu\text{m}$.

En la figura 4.4. Se muestra la magnitud del parámetro S_{21} , este parámetro puede ser asociado con las pérdidas por inserción de la línea, pero como se ha mencionado anteriormente las pérdidas de la línea son muy pequeñas y se dificulta de sobremanera medirlas.

El problema de medir dispositivos realizados sobre teflón, no es nuevo, es más, se encuentra reportado en “Determination of the Complex Permittivity of Packaging Materials at Millimeter-Wave Frequencies”[33]. Los resultados mostrados en este trabajo son similares a los que se han obtenido. El artículo trata de explicar que las mediciones salieron de esa manera debido al poco ancho de banda de su dispositivo y a la falta de sensibilidad del equipo de medición.

Tanto en el artículo, como en los resultados obtenidos, se han manipulado utilizando algoritmos línea a línea [30,31]. Los cuales consisten en utilizar los datos de las mediciones de dos líneas de transmisión, para retirar todos efectos no asociados a las líneas, principalmente los pads. Los pads son necesarios para poder acceder a los dispositivos, pero introducen efectos no deseados en las mediciones. De tal forma que se propuso utilizar métodos donde solo se pudiera utilizar una línea [34] para poderla caracterizar, aún más, se desarrolló un método para poder obtener la caracterización eléctrica de la línea de transmisión.

4.2.1.-Método para caracterizar líneas microstrip

El método desarrollado en este trabajo consiste en extraer los parámetros RLGC (resistencia, capacitancia, conductancia y capacitancia), de la línea de transmisión a partir de los resultados experimentales (parámetros S).

A partir de los parámetros RLGC, se calcula el vector de onda γ y la impedancia característica Z_0 . El método se detallara paso a paso.

1.- Se extrae Z_0 y γ a partir de datos experimentales utilizando la ecuación 4.5

$$e^{-\gamma l} = \left[\frac{1 - S_{11}^2 + S_{21}^2}{2S_{21}} \pm \sqrt{\frac{(S_{11}^2 - S_{21}^2 + 1)^2 - (2S_{11})^2}{(2S_{21})^2}} \right]^{-1} \quad (4.5)$$

$$(Z_0)^2 = Z_{REF}^2 \frac{(1 + S_{11})^2 - S_{21}^2}{(1 - S_{11})^2 - S_{21}^2}$$

2.-Determinación de L y C utilizando los valores de Z_0 y γ relacionados con las ecuaciones 4.6 y 4.7.

$$L = \text{Im}\{\gamma Z_0\} / 2\pi f \quad (4.6)$$

$$C = \text{Im}\{\gamma / Z_0\} / 2\pi f \quad (4.7)$$

$$R = \text{Re}\{\gamma Z_0\} \quad (4.8)$$

$$G = \text{Re}\{\gamma / Z_0\} \quad (4.9)$$

3.-Calculando la impedancia característica del modelo con $Z_{0m} \approx \sqrt{L_e/C_0}$ [35], donde L_e es la inductancia externa en altas frecuencias. Para extraer C_0 y L_e , las curvas L y C son graficadas, para encontrar el valor promedio de las curvas. Debido a

que el total de la inductancia es dependiente de la frecuencia ($L_m = R_m/2\pi f + L_e$), el valor de L_e no puede ser obtenido en frecuencias cerca del efecto piel $f\delta \approx 4/\pi\mu\sigma t^2$, así que L_e , tiene que ser calculado por arriba de $400f\delta$, en este valor la inductancia interna tiene un aporte menos del 5% a la inductancia total.

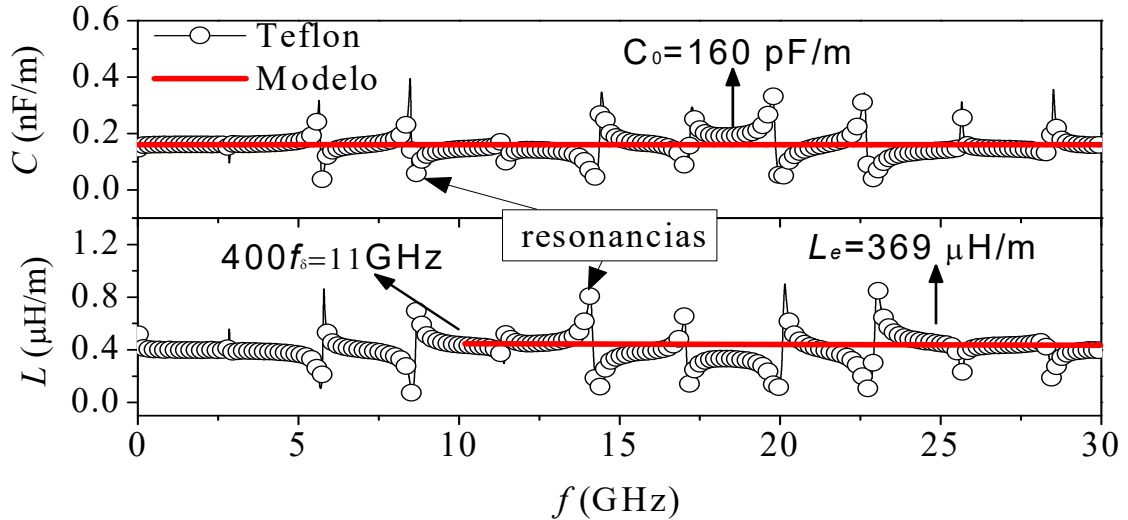


Figura 4.5.- Extracción de C_0 y L_e de datos experimentales, es notorio el impacto de las resonancias en los datos experimentales.

Como se puede ver en la figura 4.5, los valores de inductancia y capacitancia tienen resonancias y de aquí la necesidad de obtener valores medios de las curvas. Estas resonancias son asociadas a los pads, a la longitud de la línea.

4.- Se grafica α/\sqrt{f} contra \sqrt{f} de los datos experimentales y se hace una regresión lineal, para obtener el valor de la intercepción, para extraer k y $\tan\delta$ respectivamente

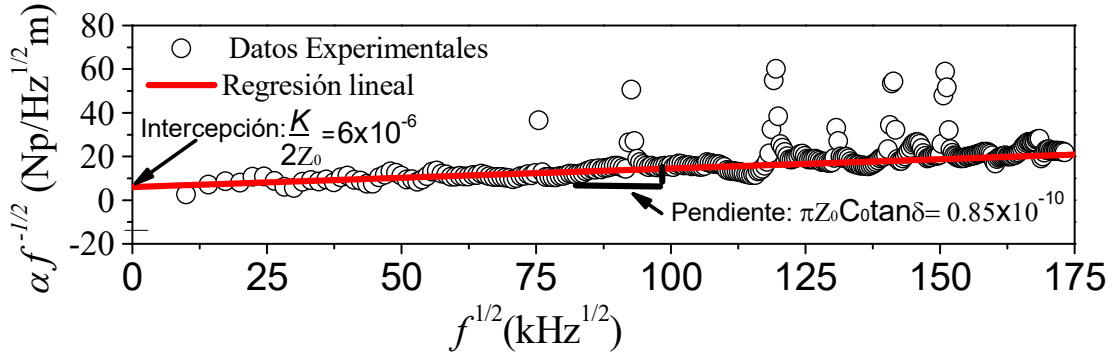


Figura 4.6. Grafica de α/\sqrt{f} en función de la raíz cuadrada de la frecuencia, donde se realizó una regresión lineal para obtener los valores de k y de $\tan\delta$.

5.-Ya que se cuenta con los valores de inductancia, capacitancia, impedancia característica, k y de $\tan\delta$ se puede reconstruir gama, a continuación se grafica solo la parte real que es con la que se ha tenido más problemas (figura 4.7), la cual se obtuvo a partir de las ecuaciones 4.10 y 4.11.

$$\alpha_m = \frac{k\sqrt{f}}{2Z_{cm}} + \pi Z_{cm} C_0 \tan\delta f \quad (4.10)$$

$$\frac{\alpha_m}{\sqrt{f}} = \frac{k}{2Z_{cm}} + \pi Z_{cm} C_0 \tan\delta \sqrt{f} \quad (4.11)$$

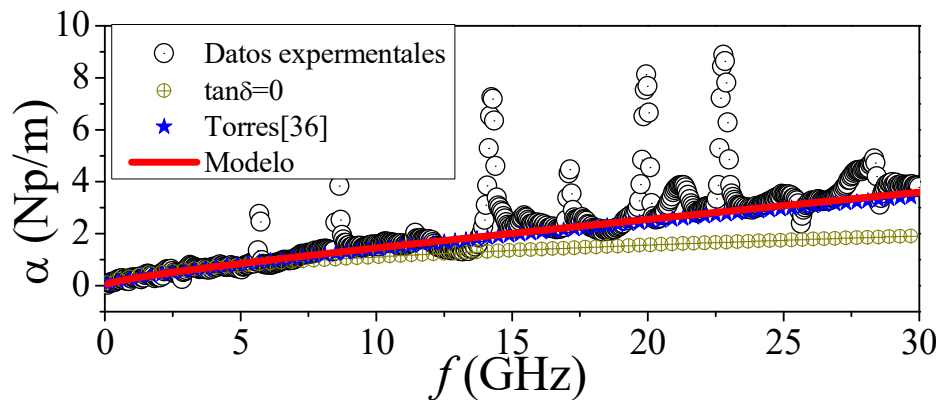


Figura 4.7 Muestra el valor de α , de los datos experimentales comparándolos con el modelo propuesto y el modelo de la referencia [36] y el error que puede existir si se desprecia el valor de la tangente de pérdidas.

Hasta este punto se puede considerar que la línea de transmisión está totalmente caracterizada. Pero en los sistemas actuales de comunicación, es muy común utilizar señales digitales, por lo tanto se decidió validar la línea utilizando un pulso cuadrado de 50 ps de ancho y de 500 milivolts de amplitud, obteniendo como respuesta la figura 4.8.

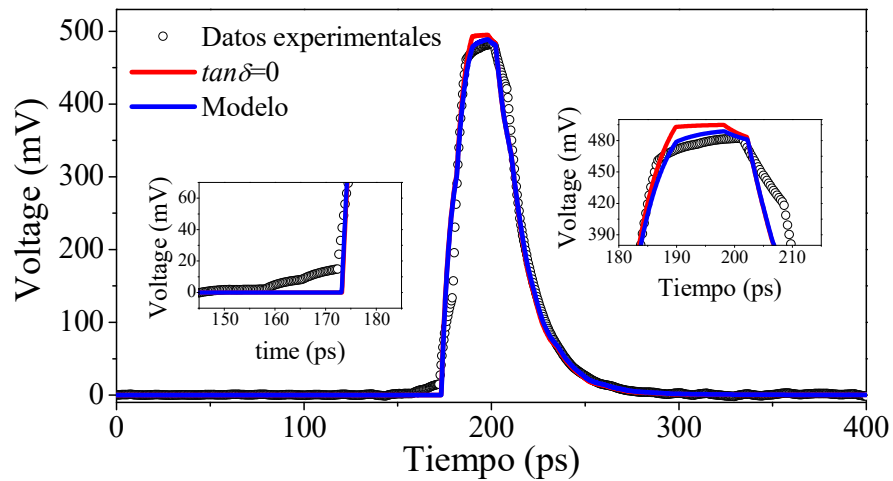


Figura 4.8. Respuesta de la línea de transmisión a un pulso cuadrado.

De la figura 4.8 se puede resaltar la correlación que existe entre los datos experimentales y el modelo propuesto. Claro existe una diferencia, pero el modelo representa los datos experimentales con un error mínimo (casi despreciable).

Ya que se ha terminado de caracterizar el teflón, se pasara a caracterizar el otro dieléctrico utilizado en el proyecto, el Benzo-Ciclobutano (BCB), a diferencia del teflón este material solo se le hizo una caracterización de depósito y grabado.

4.3.- Caracterización de BCB

El BCB puede ser utilizado como dieléctrico en proceso de empaquetado de circuitos integrados, pero para este fin es necesario caracterizarlo. A continuación se describe la forma de caracterizarlo, esperando una película de BCB de aproximadamente 20 μm de espesor.

Todo comienza cuando el BCB es depositado mediante centrifugación con una velocidad de 1500 revoluciones por minuto mediante un espiner, en la tabla 4.2 se describe este proceso.

Tabla 4.2. Condiciones de depósito de BCB

Velocidad (rpm)	Tiempo (seg)
0-1500 (Rampa)	10
1500	30
1500-0 (Rampa)	5

Después del depósito por centrifugado es necesario curar la película de BCB para que sea un sólido. El proceso de curado se realiza en un horno convencional con ambiente de nitrógeno, la tabla 4.3 muestra las temperaturas y los tiempos del proceso de curado.

Tabla 4.3. Temperaturas y tiempos de curado del BCB

Temperatura ($^{\circ}\text{C}$)	Tiempo
Ambiente-100 (Rampa)	15 minutos
100	15 minutos
100-150 (Rampa)	15 minutos
150	15 minutos
150-220 (Rampa)	15 minutos
220	6 horas
220-80 (Rampa)	

Cuando la película de BCB se encuentra formada es necesario medir su espesor, para este fin se le hacen procesos litográficos, para dejar sobre ella algunos patrones geométricos de metal como se puede ver en la figura 4.9. Para que el grabado de la película de BCB sea selectivo.

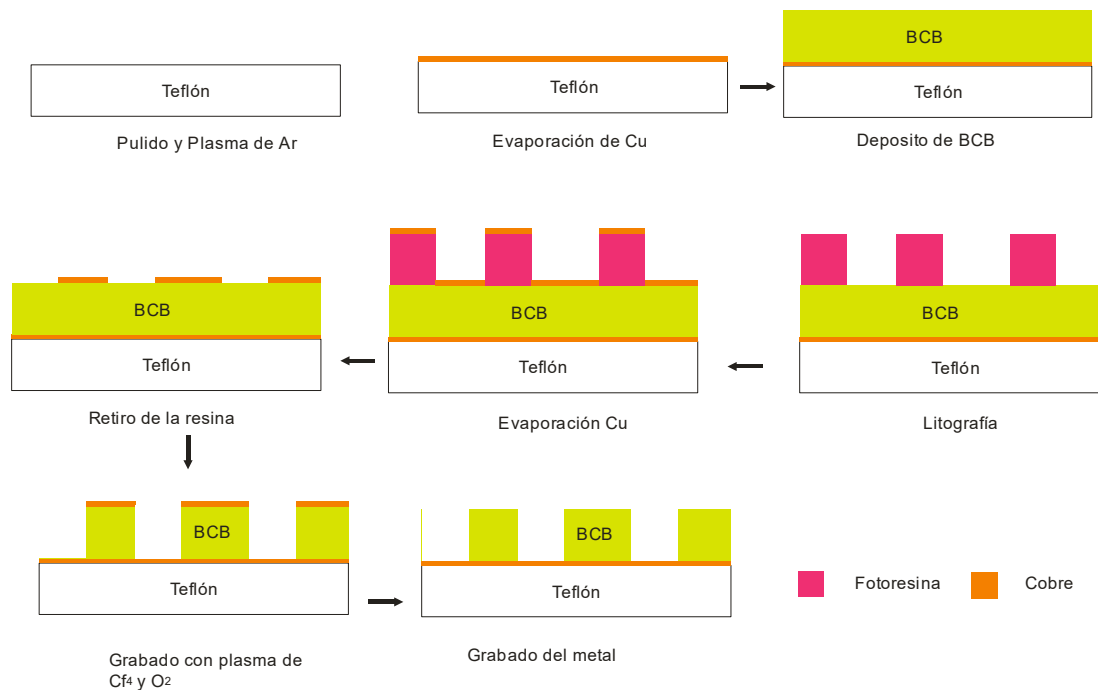


Figura 4.9. Muestra como se realizan los escalones de BCB

El proceso de grabado se realizó en el sistema IPC-RIE en el laboratorio de microelectrónica con la combinación de CF₄ y O₂ como gases reactivos. Cuando se ha concluido el proceso de grabado se procede a medir los escalones con el sistema de perfilometría “alfa-step”, los resultados de estas mediciones se pueden observar en la figura 4.10.

Cabe mencionar que para llegar a estandarizar este proceso se realizaron varias iteraciones modificando alguna variable de éste. Lo anterior se debió, aunque el fabricante ya proporcionaba las condiciones de depósito, curado y grabado. Sin embargo, tuvieron que ser modificadas por varios factores. Por ejemplos, la

temperatura y tiempos de curado. Así como también, la presión de la cámara en la que se realiza el proceso de grabado de BCB.

La temperatura de curado fue modificada, porque era de 280°C y ésta era muy elevada para ser utilizarla con el Teflón, de manera que la temperatura del proceso fue reducida. Dando como consecuencia incrementar los tiempos de curado. Mientras que la presión del proceso de gravado se vio modificada, debido a las limitaciones de equipo que se cuenta en el laboratorio de microelectrónica.

Con los anteriores materiales caracterizados, se procedió a hacer la fabricación, teniendo como resultado casi fabricarla por completo pero se tuvo un desafío que no se pudo superar, este fue que no se pudo alinear la mascarilla tres, debido a la gran diferencia entre planos (20 μm). Pero a continuación se mostrarán algunos avances del proceso de fabricación.

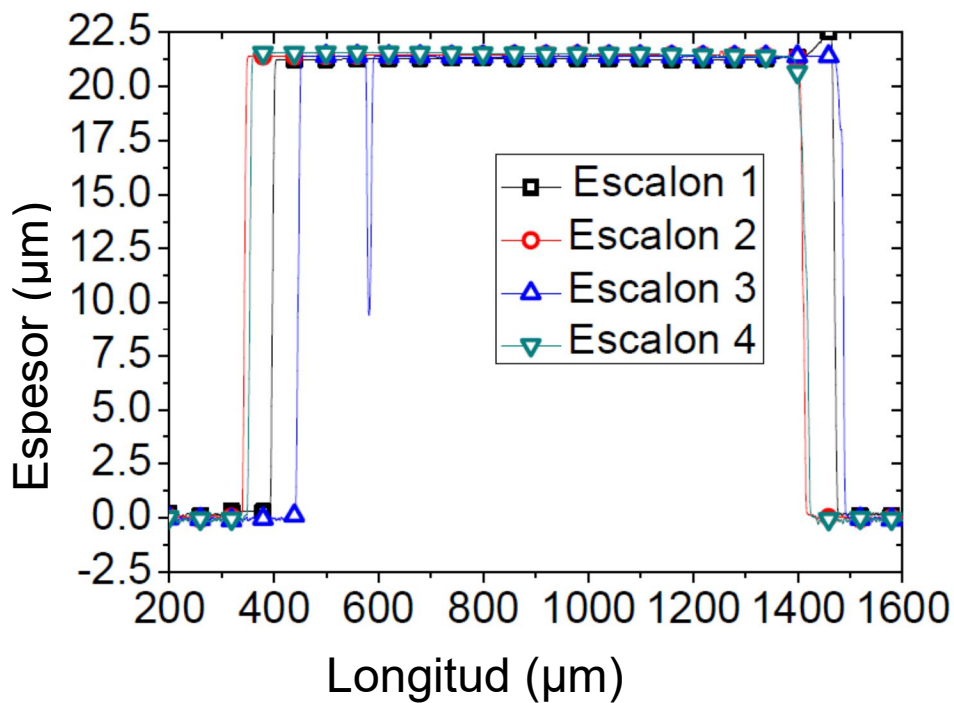


Figura 4.10. Medición de 4 escalones de BCB

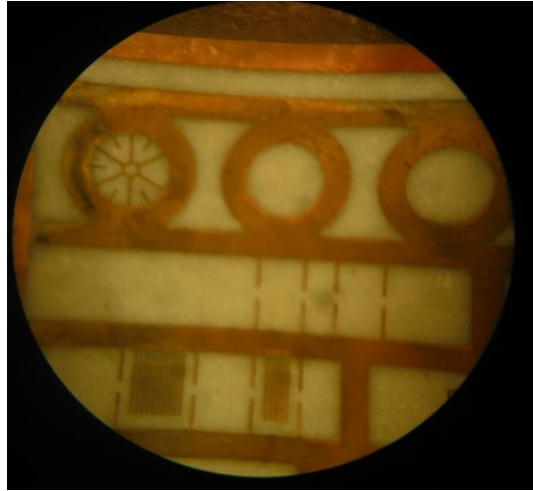


Figura 4.11. Foto del Metal 1

4.4.-Avances del proceso de fabricación

Los dos primeros pasos que se mencionan en el proceso de fabricación fueron exitosos, con lo cual el primer nivel de metal (metal 1) se completó, como se puede ver en la figura 4.11, también se llegó a depositar BCB, pero cuando se intentó alinear la mascarilla 3 con las marcas de alineación que están en la parte interior del BCB, no se obtuvieron los resultados esperados, aún cuando se intentó hacer el proceso de alineación utilizando las estructuras más grandes del proceso (100 μm). No se encontraron resultados alentadores como se puede observar en la figura 4.12.



Figura 4.12.- Enmascaramiento para grabar el BCB

4.5.- Conclusiones

En este capítulo se han descrito los experimentos que sustentan que el proceso de fabricación es viable, es más parte de la fabricación ya fue realizada.

Algunos equipos necesitarían algunas modificaciones, por ejemplo una de las modificaciones que más ayudaría es cambiar los objetivos de la alineadora, que se encuentra en el laboratorio de microelectrónica, por unos de menor resolución. Con esto se lograría una profundidad de foco mayor y así, se podrían alinear diferentes capas con una diferencia de espesores mayor a la actual. Otra mejora que se le podría hacer a este equipo es la iluminación ya que no cuenta con la intensidad suficiente.

Capítulo 5.- Conclusiones y trabajo futuro

Al desarrollar el presente trabajo sobre todo en el área experimental, se encontraron varios desafíos, que se pueden ver como la oportunidad para desarrollar nuevo quehacer de investigación. Además las conclusiones obtenidas serán descritas en la siguiente sección.

5.1.- Conclusiones.

En el capítulo cuatro se muestran algunos experimentos y sus resultados, con los cuales se sustenta la viabilidad de la fabricación del proceso descrito en el capítulo 3.

El valor que se obtuvo de CPST se encuentra dentro de valores comerciales, con lo cual se demuestra que las estructuras que se fabriquen con ese proceso tendrán una integridad física.

Además se desarrolló un método para caracterizar los prototipos de este trabajo, que podría ser utilizado para los dispositivos que se fabriquen utilizando el proceso de fabricación descrito en este trabajo.

En resumen, el proceso de fabricación será factible si se hacen algunas modificaciones a los equipos del laboratorio o al proceso. Por ejemplo se puede poner una capa de BCB más pequeña (alrededor de 5 μ m), para poder ser enfocado el plano de arriba y de abajo del BCB al mismo tiempo.

5.2.-Trabajo Futuro.

La principal opción de trabajo futuro que ha dejado este proyecto es la fabricación y caracterización del proceso de empaquetamiento descrito en este trabajo. Sin embargo, no es la única opción de investigación que abierto. Otros ejemplos claros son la caracterización experimental de la rugosidad en PCBs, desarrollo de métodos para medir dispositivos hechos con dieléctrico de teflón isotrópico. Además, de técnicas de calibración y estándares para técnicas de calibración, entre otros.

En el taller de óptica del INAOE, donde se pulieron las piezas de teflón, se puede controlar la rugosidad que tienen los materiales, de aquí que con diferentes materiales y rugosidades, se pueda caracterizar el fenómeno de la rugosidad en líneas de transmisión. Al hacer esto se podría validar algún modelo descrito en la literatura, o mejor aún desarrollar un modelo que describa los resultados experimentales obtenidos.

Como se ha mencionado ampliamente en este trabajo, todas las ventajas que tiene el teflón al ser utilizado como dieléctrico de dispositivos de alta frecuencia. Se podrían desarrollar elementos utilizando teflón como dieléctrico que servirían para realizar calibraciones de VNA.

Otro tema que abrió este trabajo a la investigación, es cómo puede afectar el tamaño de grano de Cu en las líneas de transmisión. Con el actual sistema de electro-depósito se puede controlar el tamaño de grano que se deposita para formar las líneas de señal y el plano de tierra en las PCBs, si se fabricaran líneas iguales con la única diferencia del tamaño de grano depositado y después son caracterizadas eléctricamente. Así se obtendría como el tamaño de grano del metal afecta a las líneas de transmisión.

Por último, se amplía el abanico de todos los dispositivos que se puedan realizar con BCB, como líneas de transmisión, inductores, antenas, entre otros.

Lista de artículos generados en este trabajo:

Novel PCB fabrication process roughness free for high frequency applications.

Pérez-Fajardo Abel.; Torres-Jacome Alfonso; Torres-Torres Reydezel

Electrical Engineering, Computing Science and Automatic Control (CCE),
2015 12th International Conference on

Year: 2015

Pages: 1 - 3, DOI: 10.1109/ICEEE.2015.7357904

IEEE Conference Publications

Characterization of transmission lines in a novel high-frequency laminate

A. Pérez-Fajardo; D. M. Cortés-Hernández; R. Torres-Torres; A. Torres-
Jácome

2016 IEEE 7th Latin American Symposium on Circuits & Systems (LASCAS)

Year: 2016

Pages: 391 - 394, DOI: 10.1109/LASCAS.2016.7451092

IEEE Conference Publications

Process to improve the adherences of copper to a PTFE plate

Abel Pérez. Alfonso Torres, and Reydezel Torres

Publicado en: "Indian Journal of Materials Science"

Received 19 May 2016; Revised 24 July 2016; Accepted 4 August 2016

Referencias.

- [1] 2015 iNEMI Roadmap executive summary highlights.
- [2] Richard K. Ulrich; Leonard W. Schaper. Integrated Passive Component Technology. IEEE. 2003
- [3] The next Step in Assembly and Packaging: System Level Integration in the package (SiP). Enero 2011
- [4] Sung Kyu Lim, Physical Design for 3D System on Package IEEE Design & Test of Computers November–December 2005.
- [5] Mary Ann Maher, Sebastien Cases, CO-DESIGN STRATEGIES FOR MEMS PACKAGING, IWLPC 2012 CONFERENCE, Noviembre 2012.
- [6] Torres-Torres, R.; Vega-Gonzalez, V.H. An approach for quantifying the conductor and dielectric losses in PCB transmission lines. Electrical Performance of Electronic Packaging and Systems, 2009. EPEPS '09. IEEE 18th Conference on 19-21 Oct. 2009. On pages: 235 – 238.
- [7] Clyde F. Coombs, Jr. Printed Circuits Handbook. Fifth Edition. McGraw-Hill. USA. 2001.
- [8] Processing Procedures for CYCLOTENE 3000 Series Dry Etch Resins, CYCLOTENE Advanced Electronic Resins.
- [9] A. Atta, H. E. Ali, Structural and Thermal Properties of PTFE Films by Argon and Oxygen Plasma, Arab journal of Nuclear Science and Applications, 46(5), (106-114) 2013.
- [10] <http://www.lenntech.com/teflon.htm>.
- [11] D. M. Brewis and I. Mathieson, Adhesion Properties of Fluoropolymers in Modern Fluoropolymers, J.Schiers, Ed., Wiley, London, 1997.
- [12] I. Mathieson, D. M. Brewis and I. Sutherland, J. Adhesion, 46, 49 (1994).
- [13] S. K. Koh, S. C. Park, S. R. Kim, W. K. Choi, H. J. Jung, and K. D. Pae, J. Appl. Polym. Sci., 64, 1913 (1997).
- [14] C. A. Chang, J. E. E. Baglin, A. G. Schrott, and K. C. Lin, Appl. Phys. Lett., 51, 103 (1987).

- [15] C. A. Chang, C. J. Chang, and F. Jones, *Appl. Phys. Lett.*, 59(9), 1069 (1991).
- [16] Chang, Chin-An, Kim, Yong-Kil, Lee, Susan S., *J. Vac. Sci. Technol* 4 (1990) 3306-3313.
- [17] Sung-Ryong Kim. "Studies on the Surface Changes and Adhesion of PTEF by Plasma and Ion Beam Treatments". *Korea Polymer Journal*, Vol. 7, No. 4, pp 250-258 (1999).
- [18] Yoon Jeong Choi, Mi-Sook Kim, and Insup Noh. "Surface Modification of the Polytetrafluoroethylene Films with Treatment of Low Energy Ion Beams" *Biomaterials Research* (2006) 10(4):201-205.
- [19] Inagaki, N., *Macromol. Symp.* 159 (2000) 151-161.
- [20] Liston, E.M., Martin, L., *J. Adhesion Sci. Technol.*, 7 (1993) 1091-1127.
- [21] Egitto, F.D., Matienzo, L. J.; *IBM J. Res. Develop.*, 38 (1994) 423-439.
- [22] http://randy-clemmons.blogspot.mx/2012_04_01_archive.html.
- [23] Mark Hodgson and Chet Guiles. "Everything You Ever Needed To Know to Process PTFE Microwave and RF Printed Circuit Boards (Without Local Anesthesia)". ARLON.
- [24] Tao Liang, Stephen Hall, Howard Heck, Gary Brist. *PCB Transmission Line Modeling for Multi-Gb/s Link Analysis*. DesignCon East 2005.
- [25] Pérez Fajardo, Abel. Torres Jácome, Alfonso. Torres Torres, Reydezel. *Fabricación de circuitos impresos sobre teflón compatible con procesos de microelectrónica*. Tesis de Maestría Instituto Nacional de Astrofísica, Óptica y Electrónica, Noviembre 2011. Tonantzintla, Puebla, México.
- [26] Isola; 370HR Data Sheet.
- [27] Patrick Brooks, Kuldip Johal, Christian Sparing. Can peel strength predict the structural integrity of the adhesive bond between the copper and laminate in a PCB? Atotech Deutschland, Berlin Germany. CPCA March 2004.
- [28] Hsi-Hsin Chien, Kung-Jeng Ma, Po-Min Chung and Chung-Li Chao. The Study of Surface Modification of e-PTFE Materials and Their Applications in Microarrayed Chips. *Chung Hua Journal of Science and Engineering*, Vol. 6, No. 2, pp. 45-51 (2008).
- [29] K. C. Gupta, R. Garg, I. Bahl, and P. Bhartia, *Microstrip Lines and Slotlines*, 2nd ed. Norwood, MA: Artec houses. 1996.

- [30] Reynoso-Hernández, J. Unified method for determining the complex propagation constant of reflecting and nonreflecting transmission lines, *IEEE Microw. Wirel. Compon. Lett.* 2003, 13, (8), pp. 531–533.
- [31] Jhon E. Post. On determining the characteristic impedance of low-loss transmission lines. *microwave and Optical Technology Letters*. Volume 47, Issue 2, pp. 176 – 180, 20 October 2005.
- [32]Chávez Velázquez, Rosa Angelina. Torres Jácome, Alfonso. Torres Torres, Reydezel. Análisis del potencial del PTFE como substrato para la fabricación de circuitos impresos en alta frecuencia. Tesis de Maestría. INAOE. 2007.
- [33]Thomas Zwick, Member, Arun Chandrasekhar, Christian W. Baks, Ullrich R. Pfeiffer, Steven Brebels, and Brian P. Gaucher. “Determination of the Complex Permittivity of Packaging Materials at Millimeter-Wave Frequencies” *IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES*, VOL. 54, NO. 3, MARCH 2006.
- [34] Torre-Torres, R. Extracting characteristic impedance in low-loss substrates, *ELECTRONICS LETTERS* 3rd February 2011 Vol. 47 No. 3.
- [35] S. H. Hall et al. *Advanced Signal Integrity for High-Speed Digital Designs*, Wiley-IEEE Press; Ed. 1, 2009.
- [36]Yungseon Eo et al., “High-speed VLSI Interconnect Modeling Based on S-Parameter Measurements,” *IEEE Trans. Comp., Hyb., Man. Tech.*, Vol. 16, No. 5, pp. 555-562, Aug. 1993.
- [37]V. H. Brecht, F. Mayer, and M. Binder, *Die Angewandte Makromol. Chem.*,33,89 (1991).
- [38] Xiaolu Liao. Surface modification of polytetrafluoroethylene (PTFE) with Vacuum UV radiation from helium microwave plasma to enhance the adhesion of sputtered copper. Rochester Institute of Technology RIT Scholar Works. Thesis/Dissertation Collections.

[39] S. H. Hall et al. Advanced Signal Integrity for High-Speed Digital Designs, Wiley-IEEE Press; Ed. 1, 2009.

Lista de Figuras.

Figura 1.1. Más allá de la escala CMOS.....	3
Figura 1.2 Comparación entre SoC (a), MCM (b), SiP (c) y SoP (d).....	7
Figura 2.1. Molécula del Teflón, ilustra la protección de las moléculas de F sobre la cadena carbonada	12
Figura 2.2. Medición de la Resistencia al desprendimiento de PTFE, PFA, FEP sin tratamientos para diferentes metales	13
Figura 2.3. Los mecanismos de modificación de la superficie de los polímeros en el tratamiento de plasma.....	15
Figura 2.4. Mecanismo de interconexión de diferentes ramas del PTFE.....	16
Figura 2.5. Los tejidos más usados en Tablillas de circuito impreso de FR-4.....	17
Figura 2.6 (a) Acercamiento del material FR-4. (b) Líneas microstrip sobre FR-4.....	19
Figura 2.7 Corte transversal del material FR-4 con dos líneas microstrip.....	20
Figura 2.8 Corte transversal de una PCB donde se resalta la rugosidad entre el metal y el dieléctrico.....	21
Figura 2.9. El factor de pérdidas por conductor para diferentes valores de rugosidad a diferentes frecuencias.....	21
Figura 3.1. a) Inductor en tres dimensiones y b) corte transversal del inductor...	23
Figura 3.2. Sistema de Pulido.....	25
Figura 3.3 Morfología de la superficie del teflón después del pulido, obtenida mediante AFM.....	26
Figura 3.4. Esquema del electro-depósito.....	28
Figura 3.5 Diagrama del proceso del metal 1.....	29
Figura 3.6. Describe desde metal 1 hasta la formación de vías.....	30
Figura 3.7. Muestra la parte final del proceso desde las vías hasta el segundo.....	31

Figura 4.1. Muestra el sistema para medir la adherencia.....	35
Figure 4.2 Copper Pell Strength Tensile (CPST) en la superficie del teflón pulido con tratamientos de plasma de Ar.....	37
Figura 4.3. Esquema de fabricación de la línea microstrip.....	38
Figura 4.4. Muestra tres mediciones de una línea microstrip con 22mm de largo, W=1.2mm, h=0.4mm y t=20um.....	40
Figura 4.5.- Extracción de C_0 y L_e de datos experimentales, es notorio el impacto de las resonancias en los datos experimentales.....	43
Figura 4.6. Grafica de α/\sqrt{f} en función de la raíz cuadrada de la frecuencia, donde se realizó una regresión lineal para obtener los valores de k y de $\tan\delta$	43
Figura 4.7 Muestra el valor de α , de los datos experimentales comparándolos con el modelo propuesto y el modelo de la referencia [36] y el error que puede existir si se desprecia el valor de la tangente de pérdidas.....	44
Figura 4.8. Respuesta de la línea de transmisión a un pulso cuadrado.....	45
Figura 4.9. Muestra como se realizan los escalones de BCB.....	47
Figura 4.10. Medición de 4 escalones de BCB.....	48
Figura 4.11. Foto del Metal 1.....	49
Figura 4.12.- Enmascaramiento para grabar el BCB.....	50
Lista de Tablas	
Tabla 1.1. Propiedades de algunos materiales que pueden servir como sustrato de PCBs	9
Tabla 4.1. Condiciones del experimento realizado con la RIE para medir la adherencia entre el PTFE y el cobre.....	34
Tabla 4.2. Condiciones de depósito de BCB.....	46
Tabla 4.3. Temperaturas y tiempos de curado del BCB.....	46

Índice

Dedicatorias

Agradecimientos

Resumen

Capítulo 1. Introducción.	1
1.1. Tendencias tecnológicas asociadas con la Ley de Moore.	2
1.2.- Tecnologías de empaquetamiento de ICs.	4
1.2.1.- Integración en dos dimensiones.	4
1.2.2.- Integración en tres dimensiones.	5
1.3.- Justificación del tema.	8
Capítulo 2. Tecnología actual de teflón y Retos en empaquetado de circuitos integrados.	11
2.1.- Propiedades del Teflón.	11
2.2.- Adherencia del Teflón.	12
2.2.1.- Procesos con soluciones químicas.	13
2.2.2.- Procesos de haces iónicos.	14
2.2.3.-Procesos de Plasma.	14
2.3.- Sistemas de empaquetado basada en Teflón.	17
2.3.1- PTFE en tabillas de circuito impreso.	17
2.4.- Problemas actuales de las PCBs.	18
2.4.1.- La falta de anisotropía y homogeneidad.	19
2.4.2.- Efecto de la rugosidad en las PCBs.	20
2.5.-Conclusiones	22

Capítulo 3. Proceso de Fabricación.	23
3.1.-Introducción.	23
3.2.- Acondicionamiento de la superficie del teflón	25
3.2.1.- Pulido del Teflón.	25
3.2.2.-Tratamiento de plasma de argón.	26
3.3.- Primer metal.	27
3.3.1.- Evaporación.	27
3.3.2.- Electro-depósito de cobre.	28
3.4.- Deposito de BCB.	29
3.5.- Fabricación de vías.	30
3.6.- Segundo metal.	31
3.7.- Conclusiones.	32
Capítulo 4. Resultados.	33
4.1.- Caracterización de la adherencia entre el PTFE y cobre, con plasma utilizando un sistema RIE	33
4.2.-Caracterización del Teflón.	37
4.2.1.-Método para caracterizar líneas microstrip.	41
4.3.- Caracterización de BCB.	45
4.4.-Avances del proceso de fabricación.	49
	50
4.5.- Conclusiones.	
Capítulo 5.- Conclusiones y trabajo futuro.	51
5.1.- Conclusiones.	51
5.2.-Trabajo Futuro.	51

Lista de artículos generados en este trabajo:	53
Referencias	54
Lista de figuras	58
Lista de Tablas	59