

# Diseño de un regulador de voltaje LDO CMOS para dispositivos médicos implantables

por

## Uriel Alberto Melo Pinzón

Tesis sometida como requisito parcial para obtener el grado de Maestro en Ciencias en el Área de Electrónica en el Instituto Nacional de Astrofísica, Óptica y Electrónica

Supervisada por:

## Dr. José Alejandro Díaz Méndez, INAOE

©INAOE 2016 El autor otorga al INAOE el permiso de reproducir y distribuir copias en su totalidad o en partes de esta tesis



## Diseño de un regulador de voltaje LDO CMOS para dispositivos médicos implantables

Tesis de Maestría

Por:

## Uriel Alberto Melo Pinzón

Asesor: Dr. José Alejandro Díaz Méndez

Instituto Nacional de Astrofísica Óptica y Electrónica Coordinación de Electrónica

Tonantzintla, Puebla.

Noviembre 2016

# Agradecimientos

Primero quiero agradecer a mis padres por la formación que me brindaron y su apoyo para poder llegar a México.

Mi gratitud para el pueblo mexicano por financiar mis estudios a través de la beca CONACyT número 391418.

A mi asesor el Dr. José Alejandro Díaz Méndez, por guiarme en el desarrollo de esta tesis y por reafirmar en mí, el propósito del trabajo de alguien que recibe algo de los demás.

A los jurados de mi examen: Dra. María Teresa Sanz Pascual, Dr. Luis Hernández Martínez y el Dr. Guillermo Espinosa Flores-Verdad por dedicar parte de su tiempo en la revisión de esta tesis.

A todos mis compañeros de generación y amigos especialmente a: Ochoa, Roy, Zapata, Hans, Cinco, Quintas, Javier, Alonzo, Rafa Zamora, Chuy y Alejo. Cada uno de ustedes compartieron su tiempo y amistad, y me acercaron a la gran diversidad cultural de México.

Finalmente a Lyda, por todo lo que hemos compartido. Gracias por tu apoyo y confianza en todo este tiempo, especialmente en los últimos meses.

## Resumen

Dentro de los bloques funcionales que constituyen un dispositivo médico implantable, el desempeño del regulador de voltaje influye fuertemente en la correcta operación del sistema debido a que este sirve como fuente de alimentación a los demás circuitos. En este trabajo de grado se realiza el diseño y caracterización de un regulador de voltaje LDO en la tecnología UMC  $0.18\mu$ m, de acuerdo a las especificaciones de un dispositivo médico implantable.

Se obtiene un regulador con una corriente de polarización de  $8.8\mu$ A y un área activa similar a la de reguladores diseñados en tecnologías más recientes. La comparación de las demás características de desempeño con trabajos reportados previamente, demuestra la viabilidad del diseño para su aplicación en un dispositivo médico implantable que requiera un voltaje regulado de 1.8V, una corriente de carga máxima de 2mA y tenga una capacitancia de carga máxima de 30pF.

# Tabla de Contenido

Agradecimientos	Ι
Resumen	III
Lista de Figuras	IX
Lista de Tablas	XI
1. Introducción a los dispositivos médicos implantables	1
1.1. Estructura de un dispositivo médico implantable	2
1.1.1. Control $\ldots$	3
1.1.2. Comunicación $\ldots$ $\ldots$ $\ldots$ $\ldots$ $\ldots$ $\ldots$ $\ldots$ $\ldots$	4
1.1.3. Adquisición $\ldots$	4
1.1.4. Estimulación $\ldots$	5
1.1.5. Manejo de potencia $\ldots$	6
1.2. Consideraciones en el diseño de circuitos para dispositivos médicos im-	
plantables	7
1.2.1. Variaciones de temperatura $\ldots \ldots \ldots \ldots \ldots \ldots \ldots \ldots$	7
1.2.2. Biocompatibilidad $\ldots$ $\ldots$ $\ldots$ $\ldots$ $\ldots$ $\ldots$ $\ldots$ $\ldots$	8
1.2.3. Área y potencia disipada	8
1.3. Objetivo $\ldots$	8
1.4. Estructura de la tesis	9
2. Reguladores de voltaje LDO	11
2.1. Clasificación de los reguladores de voltaje	11
2.2. Estructura de un regulador de voltaje LDO	13
2.2.1. Elemento de paso	14

		2.2.2. Amplificador de error	15
		2.2.3. Red de realimentación	15
		2.2.4. Compensación en frecuencia	16
	2.3.	Parámetros de desempeño de un regulador LDO	18
		2.3.1. Dropout	19
		2.3.2. Corriente de polarización	19
		2.3.3. Regulación de línea	19
		2.3.4. Regulación de carga	20
		2.3.5. Respuesta en el tiempo	20
		2.3.6. Dependencia térmica	20
		2.3.7. PSR	21
3.	Dise	eño del regulador de voltaje LDO	<b>23</b>
	3.1.	Transistor de paso	24
		3.1.1. Dimensiones del transistor de paso	24
		3.1.2. Capacitancia de la compuerta	25
	3.2.	Amplificador de error	26
	3.3.	Red de realimentación	31
	3.4.	Compensación en frecuencia	33
4.	Car	acterización post-lavout del regulador LDO	41
	4.1.	Características de regulación	41
		4.1.1. Voltaje de <i>Dropout</i>	41
		4.1.2. Regulación de línea	42
		4.1.3. Regulación de carga	43
	4.2.	Área v potencia disipada	43
		4.2.1. Corriente de polarización	44
		4.2.2. Potencia disipada por unidad de área	44
	4.3.	Respuesta en frecuencia	45
		4.3.1. PSR	46
	4.4.	Respuesta en el tiempo	46
	4.5.	Dependencia térmica	48
	4.6.	Ruido	48
	4.7.	Discusión de los resultados	49
	4.8.	Figura de mérito	50

	4.9.	Comparación con trabajos reportados previamente	51
5.	Con	clusiones y trabajo futuro	53
	5.1.	Conclusiones	53
	5.2.	Trabajo futuro	54
Bi	bliog	rafía	55

# Lista de Figuras

1.1.	Estructura general de un dispositivo médico implantable	3
2.1.	Diagramas funcionales de un regulador lineal (a) y un regulador con-	
	mutado reductor (b)	12
2.2.	Estructura de un regulador de voltaje LDO	14
2.3.	Divisor resistivo como red de realimentación	16
2.4.	Diagrama esquemático del amplificador de dos etapas formado por el	
	amplificador de error y el transistor de paso	17
2.5.	Diagrama a bloques de un amplificador de dos estapas con compensa-	
	ción Miller (a) y compensación por realimentación indirecta (b) $\ . \ .$	18
2.6.	Respuesta en DC para un regulador LDO	19
2.7.	Respuesta en el tiempo para un regulador LDO	20
3.1.	Layout del transistor de paso	26
3.2.	Diagrama esquemático del amplificador operacional SBFC $\ . \ . \ .$ .	27
3.3.	Superficies de respuesta para la potencia, ganancia, $GBW$ y $V_{offset}$ del	
	amplificador SBFC	28
3.4.	Layout del amplificador de error	32
3.5.	Diagrama esquemático de la red de realimentación	32
3.6.	Layout de la red de realimentación	33
3.7.	Margen de fase del regulador de voltaje contra capacitancia de com-	
	pensación Miller para $V_{IN} = 2.0$ V	35
3.8.	Respuesta en el tiempo del regulador para $C_{MILLER}$ de 0.5pF (a) y	
	1pF (b) con $V_{IN} = 2.0$ V	35
3.9.	Diagrama esquemático del regulador LDO compensado por realimen-	
	tación indirecta	37

3.10.	. Layout de los capacitores para la compensación en frecuencia	38
4.1.	Voltaje de dropout del regulador de voltaje	42
4.2.	Regulación de línea del regulador de voltaje LDO	42
4.3.	Regulación de carga del regulador de voltaje LDO	43
4.4.	Layout del regulador de voltaje LDO	44
4.5.	Respuesta en frecuencia del regulador para diferentes $V_{IN}$	45
4.6.	PSR del regulador para diferentes voltajes de entrada	47
4.7.	Respuesta en el tiempo del regulador para diferentes voltajes de entrada	48
4.8.	Dependencia térmica del regulador de voltaje	49
4.9.	Ruido del regulador de voltaje para diferentes voltajes de entrada	50

# Lista de Tablas

1.1.	Ejemplos de dispositivos médicos implantables	2
1.2.	Ejemplos de señales bioeléctricas	5
2.1.	Comparación entre reguladores lineales y conmutados	12
2.2.	Corriente de polarización y caída de tensión para diferentes elementos	
	de paso	14
3.1.	Parámetros de la tecnología UMC $0.18\mu\mathrm{m}$ para transistores de $3.3\mathrm{V}$ .	23
3.2.	Especificaciones del regulador de voltaje LDO para dispositivos médi-	
	$\cos implantables \ldots \ldots$	24
3.3.	Capacitancia de compuerta para las regiones de operación del transistor	
	de paso	26
3.4.	Parámetros del transistor de paso	27
3.5.	Coeficientes de los polinomios de segundo orden para ganancia, GBW,	
	potencia y voltaje de <i>offset</i>	29
3.6.	Anchos del canal de los transistores del amplificador de error	30
3.7.	Ganancia en dB del amplificador de error frente a variaciones de pro-	
	ceso y voltaje	30
3.8.	Caracterización del amplificador de error para $V_{DD} = 2.0$ V y	
	$C_{gMpass} = 1.895 \text{pF} \dots \dots$	31
3.9.	Polos y ceros (en kHz) para el regulador de voltaje LDO sin compensar	
	para diferentes voltajes de entrada del regulador y corrientes de carga	34
3.10.	Margen de fase del regulador de voltaje LDO con $C_{MILLER}$ = 0.5pF	
	para diferentes voltajes de entrada, capacitancias y corrientes de carga.	
	Se resaltan en negrita los márgenes de fase más bajos $\ . \ . \ . \ .$	36

3.11	. Comparación del margen de fase del regulador al emplear compensa-	
	ción Miller e indirecta (negrita) $\ldots \ldots \ldots \ldots \ldots \ldots \ldots \ldots \ldots \ldots$	36
3.12	. Tiempo de establecimiento (en $\mu s)$ del regulador de voltaje LDO com-	
	pensado mediante $C_{MILLER}$ e indirectamente	37
3.13	Dimensiones de los transistores y valores de los capacitores que com-	
	ponen el regulador de voltaje LDO	39
4 -1		
	Margen de tase del regulador para diterentes valores de voltaje de en-	
4.1.	Margen de lase del regulador para diferences valores de voltaje de en-	
4.1.	trada y corriente de carga	46
4.1.	trada y corriente de carga $\dots \dots \dots$	46
4.1.	trada y corriente de carga $\dots \dots \dots$	46 49
<ul><li>4.1.</li><li>4.2.</li><li>4.3.</li></ul>	trada y corriente de carga $\dots$	46 49 52

# Capítulo 1 Introducción a los dispositivos médicos implantables

Los dispositivos médicos implantables (IMD) están definidos como sistemas que son introducidos parcial o totalmente en el cuerpo humano mediante un procedimiento quirúrgico o médico, y permanecen dentro del cuerpo humano después del procedimiento, con el objetivo de monitorear o estimular una variable y/o función fisiológica. Estos dispositivos se llaman activos si la energía que los alimenta proviene de una fuente diferente a la generada por el cuerpo humano o la gravedad, tal como la energía eléctrica [1]. Entre las características compartidas por la mayoría de los IMD se encuentran [2]:

- Consumo de potencia bajo
- Confiabilidad alta
- Hacen uso de señales de voltaje bajo (10  $\mu$ V 10 mV)
- Manejan señales de frecuencia baja (< 10 kHz)</li>
- Área reducida

Los avances en Medicina y Ciencias aplicadas han permitido una evolución en el desarrollo de IMD, desde el primer marcapasos en 1958 hasta las actuales interfaces cerebro-máquina, donde uno de los principales catalizadores ha sido la Electrónica. La disminución en las dimensiones de los transistores y el diseño de circuitos de bajo consumo de potencia han permitido la integración de nuevas y mejoradas características a los IMD, expandiendo las posibilidades y campos de acción de los mismos [3].

Dependiendo de la condición médica que se quiera tratar, los IMD pueden realizar únicamente monitoreo y transmisión de los datos de una variable fisiológica, tales como: presión de la vejiga, presión intraocular, nivel de glucosa en la sangre, electrocorticograma (ECoG) etc.; y adicionalmente a la función de monitorear pueden estimular sistemas del cuerpo humano como en el caso de marcapasos y desfibriladores (para la recuperación de la función cardíaca normal), estimuladores cerebrales profundos (contrarrestan las señales eléctricas que desencadenan la enfermedad de Parkinson o epilepsia) y bombas de infusión para la inyección de fármacos (diabetes, dolor crónico). La tabla 1.1 muestra algunos sistemas implantables y el sistema que asisten en el cuerpo humano.

Dispositivo	Sistema asistido	Condición tratada
Implante coclear	Auditivo	Disminución de la capacidad au- ditiva
Desfibrilador / Marcapasos Circulatorio		Fibrilación ventricular / Control de la frecuencia cardíaca
Estimulador gástrico Digestivo		Obesidad
Estimulador de vejiga	Urinario	Síndrome de vejiga hiperactiva / Retención urinaria
Bomba insulina	Endocrino	Diabetes

Tabla 1.1: Ejemplos de dispositivos médicos implantables

## 1.1. Estructura de un dispositivo médico implantable

Un sistema implantable de manera general está conformado por cinco bloques funcionales: Control, Comunicación, Manejo de Potencia, Sensores y Estimulación, tal como se muestra en la Figura 1.1. El bloque de estimulación puede estar presente o no dependiendo de si el IMD va a realizar esta función.



Figura 1.1: Estructura general de un dispositivo médico implantable

### 1.1.1. Control

El tipo de unidad de control y estrategia de control son seleccionados con base en la complejidad en el sensado de la señal y la generación de la señal de control. En el caso más sencillo, que corresponde únicamente al monitoreo de una señal fisiológica, el controlador puede estar conformado por un bloque digital diseñado específicamente para conectar y desconectar los circuitos del IMD conforme recibe comandos de control de una unidad móvil externa, como el presentado por Kilinc et. al en [4].

Por otro lado, si el actuador requiere de una señal de control analógica, como en el caso de dispositivos de asistencia ventricular izquierda (LVAD) los controladores diseñados hacen uso de técnicas de control tradicional (PID), control óptimo o integran diversos métodos de control en conjunto. Los trabajos presentados en [5] y [6] desarrollan prototipos donde implementan técnicas de control para LVAD.

Finalmente, cuando no es posible desarrollar una ecuación de control debido a la complejidad del sistema, se recurre a controladores basados en reglas o controladores difusos, los cuales a partir de un conjunto de intervalos en la señal medida determinan la respuesta de la señal controlada. Este último tipo de controladores tiene lugar en los dispositivos de inyección de drogas [7], usados en diabetes y dolor crónico, ya que dependiendo del intervalo en el que se encuentre el nivel de la variable, por ejemplo concentración de glucosa en la sangre, aumenta o disminuye el flujo insulina inyectada al cuerpo humano.

### 1.1.2. Comunicación

El bloque de comunicación es el encargado de emitir comandos para la configuración del IMD y extraer los datos recopilados por los sensores. La transmisión de información desde una unidad externa al IMD y viceversa se realiza mediante la modulación de los datos sobre una señal electromagnética (también usada para energizar el sistema).

Las técnicas de modulación utilizan la variación de cierto parámetro (amplitud, frecuencia o fase) para codificar los datos a transmitir. Dentro de la técnicas de modulación digital empleadas en IMD se encuentran principalmente: la modulación por desplazamiento de amplitud (ASK), la modulación por desplazamiento de frecuencia (FSK) y la modulación por desplazamiento de fase (PSK). La modulación ASK tiene un bajo consumo de potencia debido a la simplicidad de los circuitos empleados en su implementación, pero es bastante susceptible al ruido y perturbaciones, además de tener una velocidad de transmisión de datos baja comparada con las modulaciones FSK y PSK. Por otro lado, la modulación FSK emplea un ancho de banda más alto a causa del uso de diferentes frecuencias para cada símbolo transmitido, pero se reduce la sensibilidad al ruido al representar los símbolos por cambios en frecuencia y no en amplitud. Finalmente, la modulación PSK puede aumentar aún más la tasa de transmisión de datos, pero con un aumento en la complejidad de los circuitos y por tanto, un mayor consumo de potencia [8].

#### 1.1.3. Adquisición

El bloque de adquisición es el encargado de transformar alguna señal biológica de interés en una señal eléctrica a través de un sensor o transductor. Las señales bioeléctricas se adquieren directamente a través de electrodos, mientras que las señales bioquímicas, como el pH o la concentración de glucosa en la sangre, hacen uso de transistores de efecto de campo sensibles a iones (ISFETs) [9] o sensores ópticos para la detección de la fluorescencia de la sustancia a estudiar al aplicar luz ultravioleta [10]. La tabla 1.2 [11] muestra las características de algunas de las señales eléctricas más estudiadas en el cuerpo humano.

Fuente	Amplitud [mV]	Ancho de Banda [Hz]	Fuente de error en la medida	Aplicaciones
ECG	1-5	0.05-100	Artefactos de movimiento, Interferencia de la línea de potencia en 60/50 Hz	Diagnóstico de isquemia, arritmia, trastornos de la conducción
EEG	0.001-0.3	0.5-40	Térmico(Jhonson), Ruido RF, 50/60 Hz	Estudios del sueño, detección de convulsiones, mapeo cortical
EMG	1-10	20-2000	50/60 Hz, RF	Función muscular, enfermedad neuromuscular, prótesis
EOG	0.01-0.1	DC-10	Potencial de la piel, movimiento	Posición del ojo, estado del sueño, reflejo vestíbulo-ocular

Tabla 1.2: Ejemplos de señales bioeléctricas

De la tabla 1.2 se observa que el rango de las señales bioeléctricas se encuentra en el orden de  $\mu$ V y mV, y el ruido de la línea de potencia se encuentra cerca o dentro del ancho de banda de las señales. Las características mencionadas anteriormente hacen que el bloque de adquisición incluya etapas de amplificación y filtrado para llevar las señales a niveles más manejables y atenuar el efecto del ruido sobre la señal.

### 1.1.4. Estimulación

La estimulación realizada por un IMD sobre algún tejido u órgano del cuerpo humano es efectuada con el fin de recuperar alguna función biológica que se encuentra deteriorada o se ha perdido completamente. La estimulación puede ser eléctrica o química. En el caso de la estimulación eléctrica se tienen circuitos que generan pulsos con frecuencia, ancho de pulso y amplitud variable, como los usados para contrarrestar las convulsiones en eventos de epilepsia [12]. Por otra parte, en la estimulación química se inyectan fármacos con el fin de desencadenar alguna de las siguientes reacciones en el organismo: destrucción de células malignas (tratamiento del cáncer); inhibir la sensación de dolor (dolor crónico); restablecer la deficiencia en la producción de alguna sustancia (diabetes); o normalizar algún signo vital (enfermedades relacionadas con la presión arterial).

El bloque de estimulación puede estar formado simplemente por un arreglo de electrodos y un generador de señales como los utilizados en la estimulación profunda del cerebro [13], o puede requerir de circuitos adicionales para accionar un actuador, específicamente en el caso de bombas de infusión de medicamentos [14].

#### 1.1.5. Manejo de potencia

El flujo de actividades en el manejo de potencia incluyen la adquisición de la energía con la cual se va a alimentar el IMD, la conversión de la señal adquirida a corriente continua (DC), y finalmente, la regulación del voltage de DC para generar una salida estable a pesar de las variaciones en el voltaje de alimentación y la carga del sistema. Para energizar un IMD de manera inalámbrica se cuenta con cuatro mecanismos de transmisión de potencia [3]: electromagnético de alta frecuencia, ultrasonido, inductivo y basado en la resonancia magnética en modo acoplado. A diferencia del uso de señales de RF a frecuencias altas, el ultrasonido no sufre de atenuación de la señal al atravesar los diferentes tejidos, lo que evita el sobrecalentamiento de los mismos [15]. Por otro lado, el acople inductivo permite una mayor eficiencia y penetración de los tejidos, siempre y cuando exista una distancia corta entre la antena externa e interna (distancia menor a las dimensiones de la antena) y una buena alineación entre las antenas [4]. Finalmente, en el mecanismo basado en resonancia se produce un aumento en la eficiencia de la potencia transferida al hacer uso de cuatro inductores [16].

Luego de transmitir al IMD la señal en corriente alterna (AC) proveniente del exterior, esta señal debe ser transformada a una señal DC. La conversión AC-DC es realizada mediante un rectificador de voltaje y un filtro para la atenuación del rizado de la señal rectificada, y también puede incluir circuitos que limiten el voltaje de entrada al rectificador para evitar daños en los otros circuitos del IMD debido a un aumento excesivo en el voltaje de salida [17].

Finalmente, el voltaje producto de la conversión AC-DC y el filtrado entra al bloque de regulación, donde mediante un voltaje de referencia y un lazo de realimentación entre un amplificador operacional y un dispositivo de paso permite obtener un voltaje regulado [18].

## 1.2. Consideraciones en el diseño de circuitos para dispositivos médicos implantables

Adicional a las especificaciones de frecuencia de operación y potencia disipada, las funciones, ubicación dentro del cuerpo y el tiempo de actividad fijan las restricciones que deben tener los circuitos y materiales empleados en el desarrollo de un IMD. A nivel circuital, los sistemas se ven afectados por alteraciones en el voltaje de alimentación, cambios de temperatura que modifican las condiciones de polarización y variaciones en el proceso de fabricación (PVT), además del envejecimiento de los dispositivos. Por otra parte, antes de implantar un dispositivo en el cuerpo humano se deben prever las posibles reacciones bioquímicas y el aumento máximo de temperatura permitido en los tejidos que rodean al IMD.

### 1.2.1. Variaciones de temperatura

El diseño de circuitos integrados para aplicaciones industriales demanda el funcionamiento de los circuitos en un rango de temperatura amplio. Las condiciones de temperatura mínima, nominal y máxima corresponden a -40°C, 60°C y 120°C respectivamente, para las cuales las características de los circuitos diseñados (ganancia, ancho de banda, *etc*) se pueden degradar debido a los cambios en la movilidad de portadores y resistencias de interconexión [19].

El cuerpo humano posee mecanismos de regulación térmica que mantienen la temperatura interna en  $36.9 \pm 0.9^{\circ}$ C (toma oral de temperatura). El valor normal de temperatura puede verse afectado por condiciones ambientales o patológicas que pueden llevar el valor de ésta a un mínimo de hasta  $13.7^{\circ}$ C y un máximo de  $41.5^{\circ}$ C [20]. Con los valores mencionados anteriormente el rango de variaciones de temperatura para circuitos industriales puede ser acotado en el caso de IMDs relajando las especificaciones de diseño.

#### 1.2.2. Biocompatibilidad

La biocompatibilidad se define como la capacidad de un material, presente en un dispositivo, de llevar a cabo una respuesta apropiada en el huésped en una situación específica [21]. Un IMD debe ser encapsulado en un material biocompatible antes de ser introducido en el cuerpo humano debido a que los sustratos de silicio por sí solos generan reacciones adversas en el organismo y se corroen en un lapso de tiempo corto [22].

Dentro de los materiales empleados para encapsular los IMDs se encuentran metales, algunos polímeros y vidrio [23]. Estos materiales ofrecen características variadas para el encapsulamiento como lo son: una resistencia a la corrosión alta, en el caso de metales y vidrios, flexibilidad (al usar polímeros) y hermeticidad en general. En [24] se hace uso de un encapsulado de poliimida para dar soporte mecánico y hermeticidad a un sensor de presión intraocular; los experimentos *in vivo* mostraron una evolución favorable después de quince días de implantar el sensor.

## 1.2.3. Área y potencia disipada

Aunque en un IMD es deseable unas dimensiones pequeñas para no ocasionar incomodidades en los pacientes, se debe prestar atención a la densidad de potencia, la cual corresponde a la razón entre la potencia disipada por el dispositivo y el área que éste ocupa. Una densidad de potencia alta produce un aumento en la temperatura de los tejidos que rodean al IMD. En el caso de ciertos tejidos como los del cerebro el aumento en temperatura debe ser menor a 1°C, valor que arroja una densidad de potencia máxima de 10 mW/cm<sup>2</sup> [25].

## 1.3. Objetivo

El objetivo principal del presente trabajo de grado es el diseño de un regulador de voltaje de bajo *dropout* en una tecnología CMOS (UMC) de  $0.18\mu$ m, que cuente con un bajo consumo de potencia, área reducida y sea capaz de operar en todo el rango de voltajes de entrada y condiciones de carga.

Como objetivos específicos se tienen:

8

- El diseño centrado de un amplificador operacional que cuente con una ganancia alta y un consumo de potencia reducido.
- Diseñar una red de compensación en frecuencia que mantenga una relación baja entre el área del regulador y la potencia consumida.
- La caracterización post-layout del regulador.

## 1.4. Estructura de la tesis

La tesis se encuentra dividida en 5 capítulos. En el capítulo 1 se introducen los dispositivos médicos implantables y los objetivos del trabajo de grado. Luego, en el capítulo 2 se aborda de manera general los reguladores de voltaje y se hace énfasis en la estructura y los parámetros de desempeño de un regulador de voltaje de bajo *dropout*. Después, se muestra el diseño de los elementos que constituyen el regulador en el capítulo 3; dando paso a la caracterización post-layout del regulador en el capítulo 4. Finalmente, en el capítulo 5 se presentan las conclusiones y el trabajo futuro.

1. INTRODUCCIÓN A LOS DISPOSITIVOS MÉDICOS IMPLANTABLES

# Capítulo 2 Reguladores de voltaje LDO

El voltaje de alimentación en los circuitos es susceptible a variaciones en su magnitud debido a cambios en los circuitos de generación de la energía, variaciones de la carga y ruido proveniente de otros bloques. Por otro lado, en el diseño de circuitos analógicos se debe garantizar el funcionamiento de los mismos dentro de fluctuaciones en el voltaje nominal de  $\pm 10\%$  su valor. Por lo tanto, el uso de reguladores de voltaje es necesario para atenuar los efectos de las variaciones anteriormente mencionadas y entregar un voltaje de alimentación estable.

Aunque las referencias de voltaje también son circuitos que generan un voltaje estable, a diferencia de estas, los reguladores de voltaje son capaces de manejar cargas mas grandes. Generalmente las referencias de voltaje entregan corrientes de hasta 1mA, mientras los reguladores de voltaje pueden entregar corrientes en el orden de centenas de mA [26]. En el presente capítulo, se van a mostrar las ventajas del uso de reguladores de voltaje de bajo *dropout* (LDO) en dispositivos médicos implantables, sobre otros tipos de reguladores, los bloques funcionales que forman un regulador LDO y finalmente, como se mide su desempeño.

## 2.1. Clasificación de los reguladores de voltaje

Los reguladores de voltaje se clasifican como lineales o conmutados dependiendo de como se obtiene el voltaje regulado. En los reguladores lineales se compara un voltaje de referencia con un voltaje proveniente de la realimentación, y la señal producida de esta comparación controla el elemento de paso para mantener el voltaje de salida deseado. En un regulador conmutado el elemento de paso es controlado por una señal digital y el voltaje regulado se mantiene en el valor deseado mediante filtros formados por capacitores e inductores.



Figura 2.1: Diagramas funcionales de un regulador lineal (a) y un regulador conmutado reductor (b)

En la Figura 2.1 se muestran los diagramas funcionales para un regulador lineal (a) y un regulador conmutado reductor (b).En el regulador lineal el elemento de paso se comporta como una resistencia controlada por voltaje, mientras que en el regulador conmutado el elemento de paso trabaja como un interruptor. La diferencia en la generación de la señal de control es la que determina principalmente las ventajas y desventajas de cada tipo de regulador. En la tabla 2.1 [26] se listan las diferencias entre reguladores lineales y conmutados.

	Regulador Lineal	Regulador Conmutado
Rango de salida	Limitado $(V_{OUT} < V_{IN})$	Flexible $(V_{OUT} \le V_{IN} \text{ o} V_{OUT} \ge V_{IN})$
Complejidad circuital	Baja	Alta
Ruido	Bajo	Alto
Respuesta dinámica	Rápida	Lenta
Eficiencia	Limitada	Alta
Aplicaciones	Baja potencia	Alta potencia

Tabla 2.1: Comparación entre reguladores lineales y conmutados

Dependiendo de la configuración utilizada por un regulador conmutado, éste puede entregar un voltaje de salida mayor (step-up) o menor (step-down), mientras que en un regulador lineal debido a la caída de tensión a través del transistor de paso, el voltaje de salida es menor al voltaje de entrada. Por otro lado, la complejidad circuital y el ruido en un regulador conmutado son más altas que en un regulador lineal debido a los circuitos para generar la señal digital que enciende y apaga el elemento de paso. Finalmente, en la conversión de potencia un regulador lineal es menos eficiente debido a su principio de funcionamiento, la corriente de polarización del elemento de paso hace que siempre se disipe potencia.

$$\eta = \frac{I_{LOAD}V_{OUT}}{(I_{LOAD} + I_Q)V_{IN}}$$
(2.1.1)

La eficiencia para un regulador lineal esta dada por la ecuación (2.1.1). Para aplicaciones de baja potencia es deseable mantener la corriente de polarización  $(I_Q)$  lo más baja posible, por lo que la eficiencia quedaría dada por la razón entre el voltaje sin regular  $(V_{IN})$  y el voltaje regulado  $(V_{OUT})$ .

La baja complejidad circuital, baja corriente de polarización y la eficiencia para aplicaciones de baja potencia, junto con un voltaje de *dropout* bajo, del cual se profundizará en las secciones siguientes, hacen a los reguladores lineales los circuitos más adecuados para dispositivos médicos implantables.

## 2.2. Estructura de un regulador de voltaje LDO

Un regulador de voltaje LDO está conformado principalmente por cuatro bloques circuitales: un amplificador de error, un elemento de paso, una red de realimentación y una red de compensación, como se observa en la Figura 2.2. Además de los bloques anteriormente mencionados, también se requiere un voltaje de referencia, el cual se toma generalmente de una referencia de voltaje *bandgap* debido a su alta tolerancia a variaciones en el voltaje de alimentación y temperatura. Por último, se pueden tener circuitos que ofrezcan características adicionales tales como protección o que garanticen un voltaje de alimentación en un rango conocido (*power on reset*).



Figura 2.2: Estructura de un regulador de voltaje LDO

## 2.2.1. Elemento de paso

El elemento de paso es un transistor encargado de entregar corriente a la carga. La corriente entregada depende del valor de resistencia del transistor, la cual puede ser controlada mediante corriente (transistores BJT) o voltaje (transitores MOSFET). La corriente de polarización del transistor y la caída de tensión colector-emisor o drenador-fuente, para transistores BJT o MOSFET respectivamente, son los parámetros del elemento de paso a tener en cuenta para reducir la disipación de potencia del mismo.

Parámetro	NMOS	PMOS	NPN	PNP
$I_Q$	Baja	Baja	Media	Alta
$V_{DS}$ o $V_{CE}$	$V_{sat} + V_{GS}$	$V_{SD(sat)}$	$V_{sat} + V_{BE}$	$V_{CE(sat)}$

Tabla 2.2: Corriente de polarización y caída de tensión para diferentes elementos de paso

De acuerdo a la tabla 2.2 los transistores PMOS y PNP tienen la caída de tensión más baja, pero el transistor BJT a diferencia del MOSFET requiere de corriente

adicional para ser polarizado. Por tal razón, el transistor PMOS es el indicado para minimizar la disipación de potencia en cuanto al elemento de paso.

## 2.2.2. Amplificador de error

El amplificador de error produce la señal que controla al elemento de paso. La señal de control se genera amplificando la diferencia entre el voltaje de referencia y el voltaje de salida del regulador, el cual es sensado a través de la red de realimentación. El voltaje de salida de un regulador LDO, como el mostrado en la Figura 2.2, está dado por:

$$V_{OUT} \simeq \frac{V_{IN}}{A_{EA}\beta} + \frac{V_{REF}}{\beta} \tag{2.2.1}$$

El voltaje de salida del regulador  $(V_{OUT})$  depende del voltaje no regulado  $(V_{IN})$ , el voltaje de referencia  $(V_{REF})$ , la ganancia del amplificador de error  $(A_{EA})$  y la ganancia de la red de realimentación  $(\beta)$ , tal como se observa en la ecuación (2.2.1). Si se tiene una  $A_{EA}$  elevada, el voltaje de salida depende únicamente del voltaje de referencia y la ganancia de la red de realimentación. En el trabajo presentado por Montalvo en [27] se encontró que con una ganancia de 70 dB se obtiene un error en el voltaje de salida del 0.02 %.

Dentro de los amplificadores más utilizados en reguladores LDO se encuentran: el par diferencial, el *folded cascode* y amplificadores de dos o más etapas. De los amplificadores anteriormente mencionados solo el *folded cascode* y los de varias etapas alcanzan ganancias elevadas. El primero, mediante el aumento de la resistencia de salida y el segundo por la multiplicación de la ganancia de cada una de las etapas; aunque requieren de varios voltajes de polarización y circuitos de compensación de frecuencia respectivamente.

### 2.2.3. Red de realimentación

La red de realimentación sensa el voltaje de salida del regulador. En la Figura 2.3 se presenta un divisor resistivo como red de realimentación, con ganancia:

$$\beta = \frac{R_2}{R_1 + R_2} \tag{2.2.2}$$



Figura 2.3: Divisor resistivo como red de realimentación

Dado que para un regulador de voltaje con un amplificador de error con ganancia elevada, el voltaje de salida es inversamente proporcional a la ganancia de realimentación; el voltaje de salida del regulador con un divisor resistivo queda dado por:

$$V_{OUT} \simeq \left(1 + \frac{R_1}{R_2}\right) V_{REF} \tag{2.2.3}$$

Estas resistencias a nivel integrado se pueden realizar mediante transistores de tal manera que se disminuya la dimensión del layout y se mejore el *matching* al usar técnicas de layout, como una distribución de centroide común [28].

## 2.2.4. Compensación en frecuencia

El amplificador de error en cascada con el transistor de paso forman un amplificador de dos o más etapas (depende del número de etapas del amplificador de error), por lo tanto cada nodo de los amplificadores en cascada tiene asociado un polo que depende de la capacitancia y resistencia de ese nodo.

El amplificador de la Figura 2.4 tiene dos polos en:  $p_1 = -\frac{1}{R_1C_1}$  y  $p_2 = -\frac{1}{R_2C_2}$ . Los polos pueden moverse por cambios en la polarización o en la carga, de tal manera que el sistema puede volverse inestable para ciertas condiciones de operación. Para garantizar la estabilidad del regulador en todas las condiciones de operación es necesario un circuito de compensación.



Figura 2.4: Diagrama esquemático del amplificador de dos etapas formado por el amplificador de error y el transistor de paso

La compensación de un regulador de voltaje se puede hacer de manera externa o interna. En la compensación externa se fija el polo dominante del sistema en el nodo de salida mediante un capacitor grande (en el orden de  $\mu$ F), mientras que en la compensación interna se utilizan circuitos conectados entre el nodo de salida y alguno de los nodos internos del regulador. Los valores de capacitancia elevados no son integrables en los procesos de fabricación, de ser integrables aumentarían considerablemente el área del circuito; por lo que la compensación interna es la empleada comúnmente en dispositivos médicos implantables.

Al conectar un capacitor entre el nodo de salida y el nodo intermedio como se muestra en la Figura 2.5 (a), el polo de salida se aleja del origen y el polo intermedio se acerca a éste debido al efecto Miller [29]. El valor de capacitancia de compensación aumenta el margen de fase del sistema haciendo estable al mismo. Un efecto negativo de la compensación Miller es la aparición de un cero que degrada el margen de fase del sistema. El cero puede ser cancelado mediante la conexión de un resistor o un seguidor de voltaje o corriente en serie con el capacitor de compensación [28], pero esto conlleva un aumento en el área y consumo de potencia debido a los circuitos adicionales.



Figura 2.5: Diagrama a bloques de un amplificador de dos estapas con compensación Miller (a) y compensación por realimentación indirecta (b)

Si el capacitor de compensación se conecta entre el nodo de salida y un nodo de baja impedancia del amplificador de error, como se observa en la Figura 2.5 (b), se obtienen los mismos beneficios de la compensación Miller sin la generación del cero de transmisión. Este método de compensación se conoce como compensación por realimentación indirecta debido a que la corriente es llevada al nodo de alta impedancia (nodo de salida) de la primera etapa a través de un nodo de baja impedancia [30]. Con la compensación indirecta se logra una disminución en el consumo de potencia y área respecto a la compensación Miller con circuitos activos para la cancelación del cero de transmisión.

## 2.3. Parámetros de desempeño de un regulador LDO

El desempeño de un regulador LDO se determina a partir de las características de regulación, eficiencia en el consumo de potencia y la robustez en el voltaje de salida. Los parámetros medidos en un regulador para determinar su desempeño son el voltaje de *dropout* y la corriente de polarización, que determinan el consumo de potencia; la regulación de línea y carga; y la respuesta en el tiempo, dependencia térmica y PSR (*Power Supply Rejection*), para evaluar la estabilidad del voltaje de salida respecto a variaciones en la carga, temperatura y el voltaje sin regular respectivamente [31]. A continuación se definen cada uno de los parámetros que caracterizan a un regulador LDO.

#### 2.3.1. Dropout

El voltaje de *dropout* es la mínima diferencia entre el voltaje de entrada y el voltaje de salida del regulador cuando el regulador opera en la región de regulación, tal como se muestra en la Figura 2.6. Es deseable un valor bajo para reducir la disipación de potencia del transistor de paso.



Figura 2.6: Respuesta en DC para un regulador LDO

#### 2.3.2. Corriente de polarización

La corriente de polarización es la corriente que consume el regulador cuando no tiene conectada carga. Está dada por la suma de la corriente del amplificador de error, la corriente que polariza el transistor de paso y la corriente de bloques adicionales como circuitos de compensación y circuitos de protección.

## 2.3.3. Regulación de línea

La regulación de línea es la razón entre la variación del voltaje de salida frente a variaciones en el voltaje de entrada  $(\Delta V_{OUT}/\Delta V_{IN})$  para una corriente de carga específica. Se encuentra mediante simulación realizando un barrido en DC del voltaje de entrada y observando el voltaje de salida.

## 2.3.4. Regulación de carga

La regulación de carga corresponde al cambio producido en el voltaje de salida al variar la corriente de carga, es decir, la resistencia de salida del regulador. Está dada por:

$$R_{oLDO} = \frac{\Delta V_{OUT}}{\Delta I_{LOAD}} \tag{2.3.1}$$

## 2.3.5. Respuesta en el tiempo

La respuesta en el tiempo muestra las variaciones en el voltaje de salida para cambios abruptos en la corriente de carga, como se muestra en la Figura 2.7. Se deben especificar el voltaje de entrada y la capacitancia de carga, debido a que cambios en estos valores afectan la magnitud de los sobretiros y el tiempo de establecimiento del regulador.



Figura 2.7: Respuesta en el tiempo para un regulador LDO

## 2.3.6. Dependencia térmica

La dependencia térmica corresponde a la variación en el voltaje de salida del regulador para cambios en la temperatura de operación del circuito  $(\Delta V_{OUT}/\Delta T)$ .
### 2.3.7. PSR

El rechazo a variaciones en la fuente de alimentación es un parámetro en AC que determina qué tan fuerte es la salida del regulador frente a cambios en el voltaje de entrada, es decir:

$$PSR = \frac{V_{OUT}}{V_{IN}} \tag{2.3.2}$$

2. Reguladores de voltaje LDO

# Capítulo 3 Diseño del regulador de voltaje LDO

El diseño del regulador de voltaje LDO se realizó en la tecnología CMOS de  $0.18\mu$ m 1P6M del fabricante UMC. Se usaron transistores de voltaje umbral bajo y nominal, y voltaje de alimentación nominal de 3.3V. La tabla 3.1 muestra algunos de los parámetros de los transistores empleados.

Transistor/Parámetro	$K'[\mu A/V^2]$	$V_{th}$ [V]	W [ $\mu$ m]	L [ $\mu$ m]
NMOS V <sub>thLOW</sub>	200.5	0.314	0.8 - 100	0.5 - 50
PMOS V <sub>thLOW</sub>	56.5	-0.424	0.8 - 100	0.5 - 50
PMOS V <sub>thNOM</sub>	39.8	-0.720	0.24 - 100	0.34 - 100

Tabla 3.1: Parámetros de la tecnología UMC  $0.18 \mu m$  para transistores de 3.3V

Para que el regulador de voltaje cumpla con los requerimientos de un dispositivo médico implantable, éste debe contar con un voltaje de dropout  $(V_{DO})$  y una corriente de polarización  $(I_Q)$  bajas para disminuir el consumo de potencia. Por otro lado, dado que los IMDs se energizan generalmente mediante un acople inductivo, el rango del voltaje entregado por este mecanismo de transmisión de potencia puede variar entre 1.5V y 5.0V, por lo que el voltaje de entrada máximo está limitado por el voltaje que permite la tecnología, el cual corresponde a 3.3V. También, se debe garantizar la estabilidad del circuito para todas las condiciones de carga y voltaje de entrada. Las variaciones de temperatura se tomaron entre 10°C y 50°C con una temperatura nominal de 37°C, de acuerdo a lo descrito en el capítulo 1. Finalmente, se emplea una fuente de voltaje ideal como voltaje de referencia para obtener el voltaje regulado

#### de 1.8V.

Las especificaciones para el diseño del regulador de voltaje LDO se resumen en la tabla 3.2.

Especificación	Valor
$V_{IN}$	2.0 - 3.3V
$V_{OUT}$	1.8V
$I_{LOAD}$	0 - 2mA
$V_{DO}$	$< 200 \mathrm{mV}$
$I_Q$	$< 15 \mu A$
$V_{REF}$	$1.2\mathrm{V}$

Tabla 3.2: Especificaciones del regulador de voltaje LDO para dispositivos médicos implantables

En las secciones siguientes se muestra el diseño de los elementos que componen el regulador de voltaje LDO: el transistor de paso, el amplificador de error, la red de realimentación y el circuito de compensación en frecuencia.

## 3.1. Transistor de paso

#### 3.1.1. Dimensiones del transistor de paso

Como elemento de paso se utilizó un transistor PMOS con una corriente de polarización de  $5\mu$ A. Dado que el elemento de paso funciona como una resistencia controlada por voltaje, se toma la corriente del transistor cuando se encuentra en la región de triodo:

$$I_{SD} = \frac{1}{2} K_P \frac{W}{L} [(V_{GS} - V_{th}) V_{SD} - V_{SD}^2]$$
(3.1.1)

Para  $V_{SD}$  bajos y tomando el voltaje de *overdrive*,  $V_{OV} = V_{SG} - |V_{th}|$ , se tiene:

$$I_{SD} \approx \frac{1}{2} K_P \frac{W}{L} (V_{OV}) V_{SD}$$
(3.1.2)

A partir de la ecuación 3.1.2 se define la resistencia de encendido del transistor como:

$$R_{ON} = \frac{V_{SD}}{I_{SD}} \approx \frac{2L}{K_P W V_{OV}} \tag{3.1.3}$$

El voltaje de *dropout* corresponde a la caída de tensión en el elemento de paso dada por 3.1.4.

$$V_{DO} = R_{ON} I_{LOAD} \tag{3.1.4}$$

Reemplazando la ecuación 3.1.3 en la ecuación 3.1.4 se obtiene el voltaje de *dropout* en función de los parámetros del transistor como se observa en la ecuación 3.1.5.

$$V_{DO} \approx \frac{2LI_{LOAD}}{K_P W V_{OV}} \tag{3.1.5}$$

Finalmente, en vista de que  $V_{OV}$  es igual a  $V_{SD}$  en el límite de las regiones de triodo y saturación; el voltaje de *overdrive* es aproximadamente igual al voltaje de *dropout* y el ancho del transistor queda dado por:

$$W = \frac{2I_{LOAD}L}{K_P V_{DO}^2} \tag{3.1.6}$$

Reemplazando en la ecuación 3.1.6 los parámetros de la tecnología y especificaciones, y tomando la longitud de canal mínima, con el objetivo de reducir las capacitancias parásitas [28], se obtiene un  $W = 862,73\mu m$ .

#### 3.1.2. Capacitancia de la compuerta

La capacitancia de la compuerta del transistor está dada por la suma de la capacitancia intrínseca del transistor y las capacitancias de traslape (*overlap*) de la compuerta con las difusiones. La capacitancia de la compuerta del transistor de paso corresponde a la capacitancia de salida del amplificador de error en un regulador de voltaje; por lo tanto, limita la velocidad del regulador de voltaje debido a la carga y descarga de la misma. El valor de la capacitancia de compuerta varía de acuerdo a la región de operación del transistor, tal como se muestra en la tabla 3.3. Reemplazando

Región de operación	Capacitancia de compuerta	$C_{gMpass}$ [pF]
Corte	$WLC_{OX} + 2C_{GDO}W$	1.895
Triodo	$WLC_{OX} + 2C_{GDO}W$	1.895
Saturación	$\frac{2}{3}WLC_{OX} + 2C_{GDO}W$	1.413

los parámetros físicos y tecnológicos del diseño del transistor de paso se obtiene una capacitancia de la compuerta máxima de 1.895pF.

Tabla 3.3: Capacitancia de compuerta para las regiones de operación del transistor de paso

El layout del transistor de paso se muestra en la Figura 3.1. Se obtuvieron unas dimensiones de  $47.65\mu$ m por  $55.75\mu$ m.



Figura 3.1: Layout del transistor de paso

La tabla 3.4 resume los valores del diseño del transistor de paso para el regulador de voltaje.

## 3.2. Amplificador de error

El amplificador de error seleccionado corresponde a un amplificador operacional cascodo doblado auto-polarizado (SBFC) con pares diferenciales complementarios [32], tal como se muestra en la Figura 3.2. Este amplificador tiene la ventaja de entregar una ganancia alta debido al aumento en la resistencia de salida de la configuración

Parámetro	Valor
Ancho del canal (W)	$862.73 \mu \mathrm{m}$
Longitud de canal (L)	$0.34 \mu \mathrm{m}$
Corriente de polarización $(I_{Mpass})$	$5\mu A$
Capacitancia de la compuerta $(C_{gMpas})$	$1.895 \mathrm{pF}$

Tabla 3.4: Parámetros del transistor de paso

cascodo y a la suma de las transconductancias de los pares diferenciales, además de no requerir de voltajes de polarización adicionales como en el caso del amplificador cascodo doblado.



Figura 3.2: Diagrama esquemático del amplificador operacional SBFC

La longitud de canal (L) de los transistores se escogió de  $5.0\mu m$  de tal forma que aumente la resistencia de los transistores y se disminuya la corriente consumida por el amplificador de error. La corriente consumida por el amplificador se fijó en  $6\mu m$ y la relación de corriente entre los transistores  $M_{N3}$  y  $M_{N4,5}$  se tomó de q = 3/4, lo que resulta en corrientes de  $1.63\mu m$  y  $2.185\mu m$  fluyendo por  $M_{N3}$  y  $M_{N4,5}$ , respectivamente. De acuerdo a Mandal *et al.* [32] para que los transistores permanezcan en saturación se debe cumplir la desigualdad de la ecuación 3.2.1.

$$\frac{W_{MN6}}{W_{MN1}} \le \frac{2}{q} - 1 \tag{3.2.1}$$

Además de que los transistores se encuentren en saturación, se deben tener un consumo de potencia y un voltaje de *offset* bajos para que el amplificador de error entregue un buen desempeño en el regulador de voltaje LDO. Fijando un valor para el W de  $M_{N1}$  y tomando los W de los transistores PMOS como 3.5 veces los valores de sus NMOS análogos (razón entre las movilidades de los portadores de acuerdo a simulaciones), queda por determinar las dimensiones de los transistores  $M_{N6}$  y  $M_{P6}$ .



Figura 3.3: Superficies de respuesta para la potencia, ganancia, GBW y Voffset del amplificador SBFC

En la Figura 3.3 se observan las superficies de respuesta para la potencia, ganancia, GBW y  $V_{offset}$  del amplificador SBFC. Las superficies de respuesta permiten evaluar el comportamiento de diferentes parámetros mediante aproximaciones polinomiales de bajo orden. En el diseño de circuitos, las superficies de respuesta pueden reducir la complejidad en la toma de decisiones y reducir el número de simulaciones e iteraciones para obtener el desempeño requerido [33]. Los contornos en la Figura 3.3 se obtuvieron

a partir de un diseño experimental rotacional central compuesto [34], cuyos datos fueron ajustados mediante polinomios de segundo orden.

Los datos del diseño experimental que van a ser ajustados se obtienen a partir de nueve simulaciones como sigue: para el dato central se toman unos anchos de  $6.4\mu$ m y 22.4 $\mu$ m para los transistores  $W_{N6}$  y  $W_{P6}$ , respectivamente. Las siguientes cuatro simulaciones corresponden a las cuatro posibles combinaciones al variar  $\pm 50 \%$ las dimensiones del dato central. Finalmente, los últimos cuatro datos se obtienen dejando la dimensión de un transistor en su valor central y variando la dimensión del otro transistor en  $\pm \sqrt{2}$  de su valor central.

Los datos se ajustan mediante un polinomio de la forma:

$$p(x,y) = a + bx + cy + dx^{2} + exy + fx^{2}$$
(3.2.2)

Los coeficientes de los polinomios ajustados para cada uno de las características se presentan en la tabla 3.5. Las variables x y y del polinomio 3.2.2 corresponden a los anchos de los transistores  $W_{N6} y W_{P6}$ , respectivamente.

Coeficiente	Ganancia	GBW	Potencia	$V_{offset}$
a	99.88	0.9945	3.843	59.41
b	0.005	0.1794	1.357	19.2
с	-0.051	0.03919	0.334	-5.288
d	-0.003	-0.0086	-0.061	-0.8777
е	0.002	0.0006	0.014	-0.0105
f	-0.0009	-0.0006	-0.005	0.0706

Tabla 3.5: Coeficientes de los polinomios de segundo orden para ganancia, GBW, potencia y voltaje de  $o\!f\!f\!set$ 

De la Figura 3.3 se observa una alta influencia de los transistores  $M_{N6}$  y  $M_{P6}$  en la potencia y voltaje de *offset*. Para disminuir la potencia disipada y el  $V_{offset}$ , los anchos de los transistores  $M_{N6}$  y  $M_{P6}$  se tomaron de  $2\mu m$  y  $30\mu m$ , respectivamente.

La tabla 3.6 muestra los anchos de los transistores que conforman el amplificador de error.

Transistor	Ancho del canal (W)
$M_{N1,2}$	$6.4 \mu \mathrm{m}$
$M_{N3}$	$9.6 \mu { m m}$
$M_{N4,5}$	$12.8 \mu m$
$M_{N6,7}$	$2.0 \mu { m m}$
$M_{P1,2}$	$22.4 \mu \mathrm{m}$
$M_{P3}$	$33.6\mu\mathrm{m}$
$M_{P4,6}$	$44.8\mu\mathrm{m}$
$M_{P6,7}$	$24.0\mu\mathrm{m}$

Tabla 3.6: Anchos del canal de los transistores del amplificador de error

Debido a que la ganancia del amplificador de error afecta algunos parámetros de desempeño del regulador de voltaje como la precisión y la regulación de línea, se realizaron simulaciones PVT para observar el valor mínimo que puede alcanzar la ganancia. En la tabla 3.7 se muestra la ganancia del amplificador de error para las diferentes esquinas de proceso, voltaje y una temperatura de 37°C. Las variaciones en la ganancia respecto a una temperatura mínima de 10°C y una máxima de 50°C fueron de aproximadamente +0.1dB y -0.1dB del valor de ganancia para 37°C, respectivamente.

Los valores de ganancia más pequeños se presentaron para un voltaje de alimentación de 3.3V, con 85.36dB como el mínimo valor de ganancia.

Esquina / $V_{DD}$ [V]	1.9	2.6	3.3
$\mathbf{FF}$	96.06	89.85	85.46
FNSP	99.54	93.02	88.11
TT	100.59	93.91	88.78
SNFP	101.28	94.48	89.16
SS	103.98	97.78	91.99

Tabla 3.7: Ganancia en dB del amplificador de error frente a variaciones de proceso y voltaje

En la tabla 3.8 se resumen las principales características del amplificador de error, y en la Figura 3.4 se muestra el layout del amplificador de error con unas dimensiones de 80.79 $\mu$ m por 64.46 $\mu$ m. En el layout del regulador los transitores NMOS se ubican en la parte inferior y los transistores PMOS están ubicados en la parte superior de la Figura 3.4. Los transistores  $M_{N1}$  y  $M_{N2}$  que componen el par diferencial NMOS fueron interdigitados al igual que los transistores que forman el par diferencial PMOS. Para mantener la razón entre las corrientes de los transistores  $M_{N3}$  y  $M_{N4,5}$ , estos fueron interdigitados y se agregaron transistores dummy en los transistores de los extremos. El procedimiento descrito anteriormente también fue realizado para los transistores  $M_{P3}$  y  $M_{P4,5}$ . Los transistores PMOS ubicados en el centro del layout fueron rodeados por contactos al pozo N, de tal manera que se formarán anillos de guarda.

Parámetro	Valor
Ganancia	100.59 dB
GBW	1.87MHz
Margen de fase	$66.52^{\circ}$
$I_Q$	$5.82\mu A$
$V_{offset}$	$6.65 \mathrm{mV}$
PSRR	77.36dB @ 1kHz

Tabla 3.8: Caracterización del amplificador de error para  $V_{DD} = 2.0 V y C_{gMpass} = 1.895 pF$ 

## 3.3. Red de realimentación

La red de realimentación se realizó con transistores PMOS conectados como diodos, como se muestra en la Figura 3.5. La resistencia  $R_1$  está dada por la resistencia de  $M_{R1}$  y la resistencia  $R_2$  por la suma de las resistencias de  $M_{R2a}$  y  $M_{R2b}$ .

Debido a la elevada ganancia del amplificador de error, el voltaje de realimentación  $(V_{FB})$  se hace aproximadamente igual al voltaje de referencia y la resistencia del transistor  $M_{R1}$  es la razón entre la diferencia de tensión entre sus terminales y la corriente de polarización del transistor de paso, como se muestra en la ecuación 3.3.1.



Figura 3.4: Layout del amplificador de error



Figura 3.5: Diagrama esquemático de la red de realimentación

$$R_1 = \frac{V_{OUT} - V_{REF}}{I_{QMpass}} \tag{3.3.1}$$

La resistencia  $R_2$  queda dada por:

$$R_2 = \frac{V_{FB}}{I_{QMpass}} \tag{3.3.2}$$

Reemplazando los parámetros se obtiene una  $R_1$  de  $120k\Omega$  y una  $R_2$  de  $240k\Omega$ . Los anteriores valores de resistencias se implementaron con transistores PMOS de bajo  $V_{th}$  para reducir las dimensiones de los transistores. El ancho de los transistores para

una longitud de canal de  $1.5\mu m$  se obtiene despejando de la corriente del transistor en saturación, y se obtiene:

$$W_{R1} = \frac{2I_{QMPass}L}{K'_{p}V_{OV}^{2}}$$
(3.3.3)

Para un voltaje de salida de 1.8V y los valores de  $R_1$  y  $R_2$  se obtiene un  $V_{OV}$  de 600mV para cada uno de los transistores que componen la red de realimentación. Reemplazando los valores en la ecuación 3.3.3 se obtiene un W =  $9.33\mu m$ . El layout de la red de realimentación se presenta en la Figura 3.6, con dimensiones de  $32.08\mu m$  por  $30.86\mu m$ .



Figura 3.6: Layout de la red de realimentación

## 3.4. Compensación en frecuencia

En la sección 2.2.4 se mostró el regulador de voltaje como un amplificador de dos etapas, lo que resulta en un sistema con dos polos. La ubicación de los polos del regulador esta dada por:

$$f_{P1} = -\frac{1}{2\pi R_{OEA} C_{gMpass}} \tag{3.4.1}$$

$$f_{P2} = -\frac{1}{2\pi R_{DSMpass}C_{LOAD}} \tag{3.4.2}$$

La ubicación de los polos depende del voltaje de entrada del regulador, la corriente de carga y la capacitancia de carga. La tabla 3.9 muestra la posición de los polos, que caen dentro del GBW, del regulador sin compensar para diferentes voltajes de entrada y condiciones de carga. A diferencia de la simplificación de considerar el regulador como un sistema de dos polos, se observa que al tener la corriente de carga máxima se genera un polo y cero adicional.

$V_{IN}$ [V]	$I_{LOAD}$	0 = 0 m A	I <sub>LOAD</sub> =	$= 2 \mathrm{mA}$
2.0	$p_1 = -0.76$	$p_2 = -121.9$	$p_1 = -0.0084$	$p_2 = -2250$ $p_3 = -4830$ $z_1 = -2860$
2.4	$p_1 = -2.57$	$p_2 = -120.4$	$p_1 = -0.0289$	$p_2 = -4000$ $p_3 = -8700$ $z_1 = -5100$
2.8	$p_1 = -7.33$	$p_2 = -145.6$	$p_1 = -0.7085$	$p_2 = -5400$ $p_3 = -10000$ $z_1 = -7270$
3.3	$p_1 = -19.3$	$p_2 = -434.9$	$p_1 = -2.930$	$p_2 = -6700$ $p_3 = -11760$ $z_1 = -9800$

Tabla 3.9: Polos y ceros (en kHz) para el regulador de voltaje LDO sin compensar para diferentes voltajes de entrada del regulador y corrientes de carga

Si la separación entre los polos no es la suficiente el regulador de voltaje no tiene un margen de fase adecuado, lo cual hace que el sistema sea inestable. La Figura 3.7 muestra la variación en el margen de fase del regulador de voltaje para diferentes capacitancias de compensación Miller, y para corriente de carga mínima y máxima, donde la condición de carga mínima arroja los márgenes de fase más bajos.

Para valores de  $C_{MILLER}$  de 0.5pF y 1pF se obtienen márgenes de fase de 3.35° y 6.87° respectivamente, cuando el regulador no tiene carga. Aún para valores de margen de fase pequeños el regulador se estabiliza, con una tolerancia en el 1% del valor final, en 18.4µs para una  $C_{MILLER} = 1$ pF y en 28µs para una  $C_{MILLER} = 0.5$ pF, como se muestra en la Figura 3.8.

El margen de fase al depender de la posición de los polos varía con el voltaje de entrada y las condiciones de carga. La tabla 3.10 presenta los márgenes de fase para cambios en  $V_{IN}$ ,  $I_{LOAD}$  y  $C_{LOAD}$ . La capacitancia de carga del regulador se



Figura 3.7: Margen de fase del regulador de voltaje contra capacitancia de compensación Miller para  $V_{IN}=2.0V$ 



Figura 3.8: Respuesta en el tiempo del regulador par<br/>a $C_{MILLER}$  de 0.5pF (a) y 1pF (b) con $V_{IN}=2.0{\rm V}$ 

tomó de 30pF y para ver la dependencia del margen de fase respecto a la misma, se consideraron los casos de  $C_{LOAD} = 0$ pF y  $C_{LOAD} = 60$ pF. Se utilizó una  $C_{MILLER} = 0.5$ pF para obtener márgenes de fase en todas las condiciones.

Los peores márgenes de fase se obtienen para valores en el voltaje de entrada de 2.4V y 2.8V junto con la condición de  $I_{LOAD} = 0$ mA y capacitancias de carga de 30pF y 60pF. Esto se debe a la poca separación entre los polos del sistema tal como se mostró en la tabla 3.9 y al acercamiento del polo  $p_2$  (ecuación 3.4.2) al polo  $p_1$  (ecuación 3.4.1) debido al aumento de la capacitancia de carga.

		$V_{IN}$ [V]				
$C_{LOAD}[pF]$	$I_{LOAD}[mA]$	2.0	2.4	2.8	3.3	
	0	28.33°	$13.28^{\circ}$	$6.73^{\circ}$	$8.76^{\circ}$	
0	1	$55.47^{\circ}$	$53.20^{\circ}$	$56.28^{\circ}$	$58.35^{\circ}$	
	2	$57.38^{\circ}$	$53.21^{\circ}$	$54.80^{\circ}$	$58.25^{\circ}$	
	0	$3.35^{\circ}$	$1.23^{\circ}$	$0.53^{\circ}$	6.99°	
30	1	48.74°	$39.56^{\circ}$	$37.12^{\circ}$	$34.42^{\circ}$	
	2	$53.65^{\circ}$	$44.02^{\circ}$	$41.52^{\circ}$	$40.57^{\circ}$	
	0	$2.25^{\circ}$	$1.08^{\circ}$	$1.18^{\circ}$	10.88°	
60	1	$42.57^{\circ}$	$29.26^{\circ}$	$25.88^{\circ}$	$23.43^{\circ}$	
	2	50.04°	$36.07^{\circ}$	$31.58^{\circ}$	$29.76^{\circ}$	

Tabla 3.10: Margen de fase del regulador de voltaje LDO con  $C_{MILLER} = 0.5$  pF para diferentes voltajes de entrada, capacitancias y corrientes de carga. Se resaltan en negrita los márgenes de fase más bajos

Con el peor caso de estabilidad encontrado, se realizó la compensación en frecuencia mediante realimentación indirecta, debido a las ventajas expuestas en la sección 2.2.4. El diagrama esquemático del regulador de voltaje compensado por realimentación indirecta, o indirectamente, se muestra en la Figura 3.9. El valor de los capacitores de compensación  $C_{C1}$  y  $C_{C2}$  es de 2pF. Con el propósito de evaluar cuantitativamente el desempeño del regulador de voltaje al ser compensado directa (compensación Miller) e indirectamente, se obtuvieron los márgenes de fase al emplear una  $C_{MILLER} = 4pF$ , la cual es equivalente en área a los capacitores  $C_{C1}$  y  $C_{C2}$  juntos. La tabla 3.11 muestra la comparación entre los tipos de compensación.

	$V_{IN}$ [V]						
$I_{LOAD}[mA]$	2.0	2	.4	2.	.8	3.	3
0	22.45° <b>25.7</b>	$3^{\circ} 9.53^{\circ}$	$10.37^{\circ}$	$3.5^{\circ}$	$5.13^{\circ}$	4.4°	$8.13^{\circ}$
2	76.78° <b>85.8</b>	<b>5</b> ° 73.33°	$85.69^{\circ}$	$71.97^{\circ}$	$82.66^{\circ}$	$71.86^{\circ}$	$78.87^{\circ}$

Tabla 3.11: Comparación del margen de fase del regulador al emplear compensación Miller e indirecta (negrita)



Figura 3.9: Diagrama esquemático del regulador LDO compensado por realimentación indirecta

El aumento en el margen de fase al compensar indirectamente se corresponde con una disminución en el tiempo de establecimiento del regulador de voltaje, tal como se presenta en la tabla 3.12. La compensación indirecta mejoró el tiempo de establecimiento del regulador en un 23 % en promedio, con un aumento del 2.5 % para  $V_{IN}$ = 2.8V y un aumento del 37 % para  $V_{IN}$  = 3.3V como valores mínimo y máximo, respectivamente.

	$V_{IN}$ [V]					
Compensación	2.0	2.4	2.6	2.8	3.0	3.3
Miller	8.07	12.95	15.41	19.12	28.94	14.35
Indirecta	6.86	9.56	10.58	18.65	20.91	8.93

Tabla 3.12: Tiempo de establecimiento (en  $\mu s)$  del regulador de voltaje LDO compensado mediante  $C_{MILLER}$  e indirectamente

El layout de los capacitores de compensación  $C_{C1}$  y  $C_{C2}$  se presenta en la Figura 3.10, donde se ocupó un área de 111.29 $\mu m$  por 61.07 $\mu m$ . Se emplearon capacitores MIM en una distribución de centroide común con capacitores dummy en los alrededores.



Figura 3.10: Layout de los capacitores para la compensación en frecuencia

En la tabla 3.13 se muestran los valores de los elementos que componen el regulador de voltaje diseñado.

	W/L $[\mu m/\mu m]$		Capacitancia [pF]
$M_{N1,2}$	6.4/5	$C_{C1,C2}$	2
$M_{N3}$	9.6/5	$C_{LOAD}$	30
$M_{N4,5}$	12.8/5		
$M_{N6,7}$	2/5		
$M_{P1,2}$	22.4/5		
$M_{P3}$	33.6/5		
$M_{P4,5}$	44.8/5		
$M_{P6,7}$	24/5		
$M_{PASS}$	862.73/0.34		
$M_{R1,R2a,R2b}$	9.33/1.5		

Tabla 3.13: Dimensiones de los transistores y valores de los capacitores que componen el regulador de voltaje LDO

3. DISEÑO DEL REGULADOR DE VOLTAJE LDO

# Capítulo 4 Caracterización post-layout del regulador LDO

Los resultados que se mostrarán en éste capítulo se tomaron a partir del layout del regulador, el cual se realizó con la herramienta ICstudio de Mentor Graphics<sup>(R)</sup>, tomando en cuenta las resistencias y capacitancias parásitas de las interconexiones. Los parámetros de desempeño del regulador de voltaje presentados en las siguientes secciones se agrupan en: características de regulación, área y potencia disipada, respuesta en frecuencia, respuesta en el tiempo, dependencia térmica y ruido. Finalmente, se realiza una comparación con trabajos reportados previamente.

## 4.1. Características de regulación

Las características de regulación se encontraron a partir de barridos en DC. Éstas incluyen el voltaje de *dropout*, la regulación de línea y la regulación de carga.

#### 4.1.1. Voltaje de *Dropout*

La variación del voltaje de salida del regulador respecto al voltaje de entrada para  $I_{LOAD} = 2$ mA se muestra en la Figura 4.1. El regulador de voltaje se encuentra en la zona de regulación a partir de  $V_{IN} = 1.85$ V. La menor diferencia de voltaje entre la salida del regulador y la entrada del mismo fue de 50.58mV.



Figura 4.1: Voltaje de dropout del regulador de voltaje

#### 4.1.2. Regulación de línea

El cambio en el voltaje de salida respecto al rango de voltaje de entrada en el cual el regulador se encuentra en la zona de regulación se presenta en la Figura 4.2.



Figura 4.2: Regulación de línea del regulador de voltaje LDO

Un cambio en el voltaje de entrada de 1.45V produce un cambio de  $611.54\mu$ V en

el voltaje de salida cuando  $I_{LOAD} = 2$ mA, lo cual resulta en una regulación de línea de 0.421  $\frac{mV}{V}$ .

#### 4.1.3. Regulación de carga

La Figura 4.3 se observa la variación en el voltaje de salida del regulador al variar la corriente de carga cuando  $V_{IN} = 1.9$ V. Al variar la corriente desde su valor mínimo a su valor máximo se obtiene una variación en el voltaje de salida de 674.37 $\mu$ V, arrojando una regulación de carga de 0.337  $\frac{mV}{mA}$ .



Figura 4.3: Regulación de carga del regulador de voltaje LDO

## 4.2. Area y potencia disipada

El área activa del layout del regulador se muestra en la Figura 4.4. La distribución de los bloques en la Figura 4.4 es la siguiente: en la parte superior se encuentra el amplificador de error (izquierda) y el transistor de paso (derecha); mientras que en la parte inferior se ubican los capacitores de compensación (izquierda) y la red resistiva (derecha). Se destaca el ancho en las conexiones del transistor de paso, las cuales fueron tomadas con base en la magnitud de la corriente que pasa por este camino y la máxima densidad de corriente del metal. Las dimensiones del layout corresponden a 158.57 $\mu$ m por 151.23 $\mu$ m.



Figura 4.4: Layout del regulador de voltaje LDO

#### 4.2.1. Corriente de polarización

La corriente que toma el regulador cuando no hay corriente de carga y  $V_{IN} =$  1.9V fue de 8.76 $\mu$ A, de la cual 5.06 $\mu$ A corresponden a la corriente de polarización del transistor de paso y 3.7 $\mu$ A a la corriente del amplificador de error. Debido a que el amplificador es auto-polarizado el aumento en el voltaje de entrada del regulador incrementa la corriente de polarización. Para voltajes de entrada de 2.4V, 2.8V y 3.3V se tienen corrientes de polarización de 20.65 $\mu$ A, 37.23 $\mu$ A y 66.02 $\mu$ A, respectivamente.

#### 4.2.2. Potencia disipada por unidad de área

Como se presentó en le capítulo 1, el aumento en la temperatura producido por la disipación de un IMD no puede ser mayor a 1°C, lo cual resulta en una densidad de potencia disipada de  $10mW/cm^2$ . La potencia disipada por el regulador sin carga es de  $16.65\mu$ W para  $V_{IN} = 1.9$ V. Tomando solo las dimensiones del área activa se obtiene una potencia disipada por unidad de área de  $69.4mW/cm^2$ . Aunque este valor es superior al máximo recomendado hay que considerar que el valor máximo corrresponde a la disipación de un sistema completo, por lo cual con unas dimensiones de mínimo 6mm por 6mm en el IC del IMD se garantiza una disipación de potencia segura.

## 4.3. Respuesta en frecuencia

La respuesta en frecuencia para diferentes voltajes de entrada y corrientes de carga mínima y máxima se presenta en la Figura 4.5, donde se observa una disminución en la ganancia en lazo abierto del regulador al pasar de carga máxima a mínima para todos los voltajes de entrada considerados; lo cual se debe al cambio en la región de operación del transistor de paso. Para voltajes de entrada mayores a 2.4V se presenta una disminución en la ganancia en lazo abierto del regulador, ya que el amplificador de error ve disminuida su ganancia con el aumento del voltaje de entrada; tal como se mostró en el capítulo 3.



Figura 4.5: Respuesta en frecuencia del regulador para diferentes  $V_{IN}$ 

La tabla 4.1 contiene los márgenes de fase del regulador para diferentes condiciones de polarización. De los resultados mostrados y de acuerdo a lo expuesto en la sección

3.4, se garantiza la estabilidad del regulador en todo el rango del voltaje de entrada y para las condiciones de carga mínima y máxima. Para el voltaje de entrada mínimo  $V_{IN} = 1.9$ V, se obtuvieron márgenes de fase de 56.7° y 93.3° para corrientes de carga mínima y máxima respectivamente.

	$V_{IN}$ [V]			
$I_{LOAD}[mA]$	1.9	2.4	2.8	3.3
0	$56.7^{\circ}$	$24.7^{\circ}$	$15.7^{\circ}$	13.8°
2	93.3°	68.9°	$78.6^{\circ}$	$107.6^{\circ}$

Tabla 4.1: Margen de fase del regulador para diferentes valores de voltaje de entrada y corriente de carga

#### 4.3.1. PSR

El rechazo del regulador a variaciones en el voltaje de entrada para diferentes voltajes de operación se observa en la Figura 4.6. El regulador mantiene un PSR alto hasta un voltaje de entrada de 2.4V. Por otro lado, se tiene una disminución en el PSR para carga mínima debido a la caída en la ganancia de lazo cerrado. Para  $V_{IN}$  = 1.9V se obtiene el menor valor de PSR asociado a una frecuencia de 1kHZ y carga máxima. Para los valores de voltaje de entrada de 2.8V y 3.3V el PSR asociado a DC se ve disminuido, pero llega a mantener el mismo valor de DC para frecuencias de hasta 1kHz. El valor de PSR se mantiene debido al aumento en el ancho de banda del regulador para voltajes de entrada altos tal como se presentó en la Figura 4.5.

## 4.4. Respuesta en el tiempo

La respuesta en el tiempo del regulador de voltaje a una variación del tipo escalón en la corriente de carga y diferentes voltajes de entrada es mostrada en la Figura 4.7. En las simulaciones se observa un aumento en el tiempo de establecimiento y overshoot a medida que aumenta el voltaje de entrada. Para un  $V_{IN}=1.9$ V se obtuvo un overshoot de 100mV y el valor máximo de 314mV se presentó para  $V_{IN}=2.4$ V.

La tabla 4.2 presenta con mayor detalle las variaciones en el tiempo de establecimiento para la transición en la corriente de carga y voltajes de entrada en el rango



Figura 4.6: PSR del regulador para diferentes voltajes de entrada

de operación del regulador. Cuando se presenta la transición de corriente de carga máxima a mínima se obtienen tiempos de establecimiento más grandes debido a que el margen de fase del regulador es menor cuando no hay corriente de carga.

Para el caso particular de  $V_{IN} = 1.9$ V se obtuvo un tiempo de establecimento de  $2.88\mu$ s para una banda de establecimiento del 1 %, valor que se ve aumentado a  $11.9\mu$ s al tomar una banda de establecimiento del 0.1 %.

Al realizar variaciones de proceso, el aumento máximo en el tiempo de establecimiento fue de 90 % para la esquina FF, respecto al valor medido en la esquina TT; mientras que para la esquina SNFP se encontró una disminución del 44 %.

Para temperaturas de 50°C y 10°C se obtuvo una variación de  $\pm 18\%$  respectivamente, referida al valor medido para la temperatura nominal de 37°C.



Figura 4.7: Respuesta en el tiempo del regulador para diferentes voltajes de entrada

## 4.5. Dependencia térmica

Al variar la temperatura de -40°C a 120°C, tal como se muestra en la Figura 4.8, se obtuvo una variación máxima en el voltaje de salida de -6.32 $\mu$ V, por lo tanto el coeficiente de temperatura es -44.34nV/°C. Este valor está asociado a un  $V_{IN} = 1.9$ V y corriente de carga máxima.

#### 4.6. Ruido

El ruido que presente el regulador de voltaje afecta directamente a los circuitos conectados al mismo, por lo cual es importante tener una medida de éste parámetro. En la Figura 4.9 se observa la raíz cuadrada de la densidad espectral de potencia del ruido referido a la salida del regulador. El aumento en el voltaje de entrada produce

48

	$V_{IN}$ [V]			
Transición $I_{LOAD}$	1.9	2.4	2.8	3.3
$\min \rightarrow \max$	1.31	0.5	0.21	0.8
$\max \rightarrow \min$	2.88	11.94	6.17	16.8

Tabla 4.2: Tiempos de establecimiento en  $\mu$ s del regulador para diferentes valores de voltaje con una banda de establecimiento del 1% y  $C_{LOAD} = 30 \text{pF}$ 



Figura 4.8: Dependencia térmica del regulador de voltaje

una reducción en el ruido del circuito. Por lo tanto, el seleccionar el voltaje de entrada más alto posible garantiza el menor ruido del regulador.

Para  $V_{IN} = 1.9$ V y una frecuencia de 100Hz, el ruido asociado es 107.7nV/ $\sqrt{Hz}$ , y este valor se puede disminuir hasta 48nV/ $\sqrt{Hz}$  al tener un voltaje de entrada de 3.3V.

## 4.7. Discusión de los resultados

Los resultados presentados en las secciones anteriores son acordes a las especificaciones requeridas por un dispositivo médico implantable, las cuales fueron expuestas en el capítulo 1. El regulador de voltaje diseñado opera en un rango de voltaje de



Figura 4.9: Ruido del regulador de voltaje para diferentes voltajes de entrada

entrada de 1.9V a 3.3V, y es estable para transiciones en la corriente de carga de 0mA a 2mA y viceversa. Aunque el regulador tiene un rango de voltaje de entrada alto, el consumo de potencia aumenta severamente debido al incremento en la corriente de polarización; la cual toma un valor de  $8.8\mu$ A para el voltaje de entrada mínimo pero alcanza un valor de  $66\mu$ A para el voltaje de entrada máximo.

Por otro lado, la disminución en la ganancia en lazo abierto del regulador al aumentar el voltaje de entrada provoca una disminución en el PSR del regulador para frecuencias bajas. También se presenta una disminución de aproximadamente un 50 % en el ruido del regulador al pasar del voltaje de entrada mínimo al máximo.

Teniendo en cuenta toda la caracterización, el rango del voltaje de entrada para el cual el regulador alcanza un mejor desempeño es de 1.9V a 2.4V.

#### 4.8. Figura de mérito

Debido a las variaciones en las especificaciones en los reguladores de voltaje, una figura de mérito (FOM) resulta útil para comparar diferentes trabajos. En el trabajo presentado por Zargham *et al.* [35] se emplea la siguiente FOM:

$$FOM [ns] = C_{OUT} \Delta V_{OUT} \frac{I_Q}{I_{MAX}^2}$$
(4.8.1)

Donde  $C_{OUT}$  corresponde a la capacitancia conectada al nodo de salida del regulador,  $\Delta V_{OUT}$  es el voltaje de *overshoot*,  $I_Q$  es la corriente de polarización e  $I_{MAX}$  es la corriente de carga máxima. Un valor bajo en la FOM significa un buen desempeño del regulador.

El valor de la FOM para el regulador diseñado en este trabajo es de 0.0066ns.

## 4.9. Comparación con trabajos reportados previamente

Dentro de los trabajos de reguladores LDO para aplicaciones biomédicas se encuentran los reportados en [25], [35] y [36]. En [36] se hace uso del mismo amplificador de error utilizado en este trabajo con la diferencia que algunos de sus transistores están polarizados en sub-umbral. El circuito es compensado mediante un seguidor de fuente y las resistencias de la red de realimentación se realizan con un transistor conectado como diodo y un grounded MOS resistor.

Por otro lado, en [35] el amplificador de error corresponde a un par diferencial y el regulador es estabilizado mediante compensación Miller con un capacitor adicional para cancelar el cero de transmisión.

Finalmente en [25], se emplea un amplificador cascodo como amplificador de error. El regulador es compensado indirectamente y se adiciona un capacitor auxiliar de compensación. La red de realimentación se implementa mediante transistores PMOS conectados como diodos y se tiene un circuito para aumentar el PSR.

De acuerdo a la información presentada en la tabla 4.3, el regulador diseñado en este trabajo presenta la corriente de polarización más baja, menor ruido que el regulador reportado en [25] y un área activa similar a [35], aunque [35] fue realizado con una tecnología más reciente. En cuanto a las características de regulación, el regulador presentado en este trabajo es competitivo frente a los valores reportados previamente. Por último, de acuerdo a la figura de mérito, solo [35] supera en desempeño al trabajo aquí expuesto.

Parámetro	[36]	[35]	[25]	Este trabajo
Tecnología	$0.35 \mu \mathrm{m}$	$0.13 \mu m$	$0.18 \mu m$	$0.18 \mu \mathrm{m}$
$V_{drop} \; [\mathrm{mV}]$	47	109	300	50.5
$V_{OUT}$ [V]	1	3.3	1.8	1.8
$I_{LOADmax}$ [mA]	0.5	5	4	2
$I_Q \ [\mu A]$	35.7	12	28	8.8
Reg. Linea $[mV/V]$	39	0.66	0.24	0.42
Reg. Carga [mV/mA]	13	-	0.18	0.34
PSR [dB]	-38 @10MHz	-62 @DC	-	-96 @DC -51 @1kHz
Tiempo de establecimiento @ $C_{LOAD}$ [µs]	$16.6 \\ @0.1\%$	2 @1%	$1.6 \\ @0.1\%$	$\begin{array}{c} 2.88 @1\% \\ 11.9 @0.1\% \end{array}$
$C_{LOAD}$ [pF]	-	2	100	30
Ruido $[\mu V/\sqrt{Hz}]$	-	-	1.1	0.11
Área sin pads $[mm^2]$	0.25	0.022	0.104	0.024
FOM [ns]	-	0.00034	9.8	0.0066

Tabla 4.3: Comparación con reguladores de voltaje LDO reportados

## Capítulo 5 Conclusiones y trabajo futuro

## 5.1. Conclusiones

En esta tesis se presentó el diseño y caracterización de un regulador de voltaje LDO en una tecnología CMOS (UMC) de  $0.18\mu$ m. Se obtuvo un voltaje de *dropout* de 50.5mV; valor medido para un voltaje de entrada de 1.85V, donde el regulador ya se encuentra en la región de regulación. El voltaje de salida del regulador es de 1.7994V para un voltaje de entrada de 1.9V. El regulador puede entregar una corriente máxima de 2mA y tiene una capacitancia de carga de 30pF. Aunque el regulador funciona correctamente en un rango de voltaje de entrada de 1.9V a 3.3V, el desempeño general del regulador es mejor en un rango de 1.9V a 2.4V. Para este rango en el voltaje entrada, la corriente de polarización se mantiene por debajo de  $20\mu$ A. La corriente de polarización más baja es de  $8.8\mu$ A, para un voltaje de entrada de 1.9V. Los resultados obtenidos en cuanto a características de regulación, ruido, área y consumo de potencia hacen que el regulador sea adecuado en aplicaciones de dispositivos médicos implantables.

Dado que el desempeño del amplificador de error limita los parámetros que caracterizan a un regulador LDO como precisión, regulación de línea, PSR, etc., el uso de una configuración auto-polarizada y complementaria, junto con un método basado en el diseño de experimentos para dimensionar algunos transistores permitió obtener un amplificador de error con una ganancia mínima de 85dB. Esta ganancia se determinó a partir de las variaciones PVT dentro de los rangos establecidos en el capítulo 3. Del estudio de estabilidad para diferentes condiciones de operación, realizado en el capítulo 3, se determinó un margen de fase mínimo el cual garantizó que el sistema se estabilizara dentro de un tiempo razonable. A partir del margen de fase encontrado se compensó indirectamente el regulador, alcanzando márgenes de fase y tiempos de establecimiento comparables con los trabajos reportados previamente. Adicionalmente, la corriente de polarización del regulador permaneció baja, debido a que se evitó el uso de esquemas activos de compensación en frecuencia.

La comparación con otros reguladores LDO reportados previamente ratificó el buen desempeño alcanzado por el regulador diseñado. El regulador presentado en este trabajo tiene la corriente de polarización más baja y un área similar a un regulador diseñado en una tecnología más reciente.

## 5.2. Trabajo futuro

- Extender las características del regulador de voltaje de acuerdo a necesidades específicas de un prototipo de IMD.
- Fabricar y medir el desempeño del regulador de voltaje diseñado.
- Integrar el regulador de voltaje diseñado con otros circuitos implicados en el manejo de potencia de un IMD para realizar pruebas sobre tejido vivo.

## Bibliografía

- [1] The Council of the European Communitties. (23 de Agosto de 2016) http://eur-lex.europa.eu/LexUriServ/LexUriServ.do? uri=CELEX:31990L0385:en:HTML.
- [2] M. A. Hannan, S. M. Abbas, S. A. Samad, and A. Hussain, "Modulation techniques for biomedical implanted devices and their challenges," *MDPI Sensors*, vol. 12, pp. 297–319, 2012.
- [3] S. Bhunia, S. Majerus, and M. Sawan, Implantable Biomedical Microsystems. Design Principles and Applications. Elsevier, 2015.
- [4] E. G. Kilinc, M. A. Ghanad, F. Maloberti, and C. Dehollain, "A remotely powered implantable biomedical system with location detector," *IEEE Transactions* on *Biomedical Circuits and Systems*, vol. 9, pp. 113–123, 2015.
- [5] A. Verbeni, R. Fontana, M. Silvestri, G. Tortora, M. Vatteroni, M. G. Trivella, , and P. Dario, "An innovative adaptive control strategy for sensorized left ventricular assist devices," *IEEE Transactions on Biomedical Circuits and Systems*, vol. 8, pp. 660–668, 2014.
- [6] S. S. Asgari and P. Bonde, "Implantable physiologic controller for left ventricular assist devices with telemetry capability," *The Journal of Thoracic and Cardio*vascular Surgery, pp. 192–202, 2014.
- [7] C. A. Jung and S. J. Lee, "Design of automatic insulin injection system with continuous glucose monitoring (cgm) signals," *IEEE-EMBS International Conference on Biomedical and Health Informatics (BHI)*, 2016.
- [8] F. Yuan, CMOS Circuits for Passive Wireless Microsystems. Springer, 2011.

- [9] P. A. Hammond, D. Ali, and D. R. S. Cumming, "Design of a single-chip ph sensor using a conventional 0.6-μm cmos process," *IEEE Sensors Journal*, vol. 4, pp. 706–712, 2004.
- [10] T. Tokuda, T. Kawamura, K. Masuda, T. Hirai, H. Takehara, Y. Ohta, M. Motoyama, H. Takehara, T. Noda, K. Sasagawa, T. Okitsu, S. Takeuchi, and J. Ohta, "In-vitro long-term performance evaluation and improvement in the response time of cmos-based implantable glucose sensors," *IEEE Design and Test*, vol. 33, pp. 37–48, 2016.
- [11] J. G. Webster and H. Eren, Measurement Instrumentation and Sensors Handbook. Electromagnetic, Optical, Radiation, Chemical, and Biomedical Measurement. CRC Press, 2014.
- [12] S. Omar, H. Mostafa, T. Ismail, and S. Gabran, "Low-power implantable seizure detection processor," 2015 IEEE International Conference on Electronics, Circuits, and Systems (ICECS), pp. 496–497, 2015.
- [13] N. Laotaveerungrueng, C.-H. Lin, G. McCallum, S. Rajgopal, C. P. Steiner, A. R. Rezai, and M. Mehregany, "3-d microfabricated electrodes for targeted deep brain stimulation," 31st Annual International Conference of the IEEE EMBS, pp. 6493–6496, 2009.
- [14] H. Gensler, R. Sheybani, P.-Y. Li, R. Lo, S. Zhu, K.-T. Yong, I. Roy, P. N. Prasad, R. Masood, U. K. Sinha, and E. Meng, "Implantable mems drug delivery device for cancer radiation reduction," 23rd International Conference on Micro Electro Mechanical Systems (MEMS), IEEE, 2010.
- [15] J. Charthad, M. J. Weber, T. C. Chang, M. Saadat, and A. Arbabian, "A mmsized implantable device with ultrasonic energy transfer and rf data uplink for high-power applications," 2014 IEEE Proceedings of the Custom Integrated Circuits Conference (CICC), 2014.
- [16] A. K. RamRakhyani, S. Mirabbasi, and M. Chiao, "Design and optimization of resonance-based efficient wireless power delivery systems for biomedical implants," *IEEE Transactions on Biomedical Circuits and Systems*, vol. 5, pp. 48– 63, 2011.
- [17] M. L. Navaii, M. Jalali, and H. Sadjedi, "An ultra-low power rf interface for wireless-implantable microsystems," *Elsevier Microelectronics Journal*, vol. 43, pp. 848–856, 2012.
- [18] R. J. Baker, CMOS Circuit Design, Layout and Simulation. Wiley and IEEE Press, 2010.
- [19] M. Wirnshofer, Variation-Aware Adaptive Voltaje Scaling for Digital CMOS Circuits. Springer, 2013.
- [20] A. Nixdorf-Miller, D. M. Hunsaker, and J. C. H. III, "Hypothermia and hyperthermia medicolegal investigation of morbidity and mortality from exposure to environmental temperature extremes," *Archives of Pathology and Laboratory Medicine*, vol. 130, pp. 1297–1304, 2006.
- d. Р. . E. [21] G. for Industry, Food, B. e. o. m. Drug Adminis-ISO tration Staff. Use of International Standard 10993-1.and within risk (12)testing а management process. de Septiemhttp://www.fda.gov/downloads/medicaldevices/ de 2016)bre deviceregulationandguidance/guidancedocuments/ucm348890.pdf.
- [22] Anfeng al. Is Silicon Im-Wang  $\operatorname{et}$ Suitable for Making plantable **Biomedical** Devices. (27)de Octubre de 2016)https://aiche.confex.com/aiche/2005/techprogram/P15420.HTM.
- [23] A. J. Domb and W. Khan, Focal Controlled Drug Delivery. Springer, 2014.
- [24] F. G. Carrasco, D. D. Alonso, and L. N. de Rivera, "Biocompatibility and implant of a less invasive intraocular pressure sensor," *Microelectronic Engineering*, vol. 159, pp. 32–37, 2016.
- [25] V. M. Bafar and A. Schmid, Wireless Cortical Implantable Systems. Springer, 2013.
- [26] G. A. Rincón-Mora, Analog IC Design with Low-Dropout Regulators. McGraw-Hill Professional, 2009.
- [27] F. M. Galicia, Diseño CMOS de un regulador LDO de alta precisión con protección contra sobrecargas. Tesis de Maestría, Coordinación de Electrónica, Instituto Nacional de Astrofísica, Óptica y Electrónica, México, 2016.

- [28] C. F. V. Arizmendi, A 0.18μm CMOS Internally-Compensated Low-Dropout Voltage Regulator. Tesis de Maestría, Coordinación de Electrónica, Instituto Nacional de Astrofísica, Óptica y Electrónica, México, 2014.
- [29] B. Razavi, Design of Analog CMOS Integrated Circuits. McGraw-Hill, International Edition ,2001.
- [30] V. Saxena, Indirect Feedback Compensation Techniques for Multi-Stage Operational Amplifiers. M.S. thesis, Boise State University, USA, 2014.
- [31] R. Tantawy and E. J. Brauer, "Performance Evaluation of CMOS Low Drop-Out Voltage Regulators," The 47th Midwest Symposium on Circuits and Systems. MWSCAS, 2004.
- [32] P. Mandal and V. Viisvanathan, "A Self-Biased High Performance Folded Cascode CMOS Op-Amp," The 10th International Conference on VLSI Design, 1997.
- [33] L. R. Azuara, Diseño experimental y optimización paramétrica de circuitos integrados analógicos. Tesis Profesional, Instituto Tecnológico de Veracruz, México, 1997.
- [34] W. G. Cochran and G. M. Cox, *Diseños experimentales*. Editorial Trillas, Segunda reimpresión ,1995.
- [35] M. Zargham and P. G. Gulak, "Fully-Integrated, Power-Efficient Regulator and Bandgap Circuits for Wireless-Powered Biomedical Applications," *IEEE International Symposium on Circuits and Systems (ISCAS)*, pp. 2873–2876, 2012.
- [36] P. C. Crepaldi, T. C. Pimenta, R. L. Moreno, and E. C. Rodriguez, "A linear voltage regulator for an implantable device monitoring system," *Analog Integra*ted Circuits and Signal Processing, vol. 65, pp. 131–140, 2010.