



INAOE

Diseño de un Amplificador Lock In con circuito de alineación de fase en tecnología CMOS de $0.18\mu\text{m}$

por

Ing. Misael Yerena Mora

Tesis sometida como requisito parcial para
obtener el grado de

**MAESTRO EN CIENCIAS EN LA
ESPECIALIDAD DE ELECTRÓNICA**

en el

**Instituto Nacional de Astrofísica, Óptica y
Electrónica**

Marzo 2019

Tonantzintla, Puebla

Supervisada por:

Dra. Maria Teresa Sanz Pascual

Investigadora Titular INAOE

Dra. Belén Calvo López

Investigadora Titular Universidad de Zaragoza

©INAOE 2019

El autor otorga al INAOE el permiso de
reproducir y distribuir copias en su totalidad o en
partes de esta tesis



**Diseño de un Amplificador Lock in con circuito de
alineación de fase en tecnología CMOS de $0.18\mu\text{m}$**

Tesis de Maestría

POR:

Ing. Misael Yerena Mora

ASESORAS:

**Dra. Maria Teresa Sanz Pascual
Dra. Belén Calvo López.**

Instituto Nacional de Astrofísica, Óptica y Electrónica
Coordinación de Electrónica

TONANTZINTLA, PUEBLA.

Febrero 2019

Agradecimientos

Un agradecimiento especial a la Dra. María Teresa Sanz Pascual por permitirme formar parte de su equipo de trabajo, por su asesoramiento, dirección y comentarios; y a la Dra. Belén Calvo López por su apoyo y dirección a pesar de la distancia. Gracias a las dos por guiarme y hacer posible el desarrollo y conclusión de esta tesis.

A mis padres, Efren Yerena Herrera y Margarita Mora Gonzalez por la educación y valores inculcados, por su apoyo incondicional y creer en mi. A mis hermanos Efren, Milton y Edith Antonia por sus consejos y formar parte de mi vida.

A todos los compañeros y amigos que he conocido a lo largo de la maestría, por los conocimientos y aventuras compartidas.

Al Instituto Nacional de Astrofísica, Óptica y Electrónica (INAOE), por la oportunidad de realizar mis estudios de posgrado en sus instalaciones; y al CONACYT por brindarme el apoyo con la beca 453058 y al proyecto de Ciencia Basica no. CB-2015-257985.

Resumen

En este trabajo se diseñó un amplificador lock in en tecnología CMOS de $0.18\mu\text{m}$, formado por un amplificador sensible a fase y un circuito de alineación de fase. El amplificador sensible a fase consiste en bloque Amplificador-Modulador basado en una arquitectura de amplificador que utiliza un par diferencial de entrada *Flipped Voltage Follower* con resistencias lineales de degeneración R_x y carga R_L , el cual proporciona una ganancia fija R_L/R_x de 40 dB, mientras que la demodulación queda embebida en la etapa de salida del transconductor, optimizándose así el diseño en términos de consumo de potencia y área. Para concluir la etapa de amplificación sensible a fase se ha diseñado un filtro activo pasa bajas en modo diferencial totalmente integrable.

El circuito de alineación de fase se encarga de ajustar, con un control digital, la fase de la señal de referencia con respecto a la señal de interés. Para ello, utiliza fundamentalmente un comparador con histéresis, para detectar los cruces por $V_{DD}/2$ del nivel en DC de salida, un desplazador de fase variable con un control digital, y un desplazador de fase fijo de 90° .

La palabra de control digital se puede generar mediante un contador de 5 bits (propuesta 1) o bien mediante un registro de aproximaciones sucesivas (SAR), propuesta 2. En el primer caso es posible alinear las fases en un tiempo de 830ms con un error en fase máximo de $\pm 8.6^\circ$, mientras que en el segundo caso es posible alinear las fases en un tiempo de 237ms , con un error en fase máximo de $\pm 4.72^\circ$. Por ello se seleccionó la segunda propuesta para el diseño del sistema completo.

El amplificador lock in resultante tiene una ganancia de 42dB, una reserva dinámica de 33.9dB y permite recuperar una señal de interés de ambientes ruidosos con un error inferior al 4.5 %.

Índice general

Índice general	IX
Índice de figuras	XI
Índice de Tablas	XV
1. Introducción	1
1.1. Objetivos	2
1.1.1. Objetivo general	2
1.1.2. Objetivos específicos	2
1.2. Estructura de la Tesis	2
2. Amplificador sensible a fase	5
2.1. Principio de operación	5
2.2. Bloques básicos de un amplificador lock in	8
2.2.1. Diseño del Amplificador-Modulador	11
2.2.2. Diseño de filtro activo diferencial	17
2.3. Amplificador sensible a fase	19
2.4. Conclusiones.	21
3. Circuito de alineamiento de fase	23
3.1. Metodología propuesta	23
3.2. Circuitos desplazadores de fase	26
3.2.1. Circuito Desplazador de fase variable	27
3.2.2. Desplazador de fase de 90°	34
3.3. Comparador con histéresis	36
3.4. Control digital y controladores de fase	39
3.4.1. Control de fase I: Contador digital	40
3.4.2. Control de fase II: Registro de aproximaciones sucesivas	43
3.5. Amplificador lock in con propuesta I	45
3.6. Amplificador lock in con propuesta II	48
3.7. Comparación de métodos de alineación de fase	51

3.8. Conclusiones	52
4. Amplificador lock in	53
4.1. Arquitectura	53
4.2. Caracterización	54
4.3. Conclusiones	61
5. Conclusiones y trabajo futuro	63
5.1. Conclusiones	63
5.2. Trabajo futuro	64
Referencias	65

Índice de figuras

2.1.	Principio de operación de la detección sensible a fase.	6
2.2.	Diagrama de amplificador lock in básico.	8
2.3.	Funcionamiento de un amplificador lock in ideal cuando la señal de entrada y de referencia están (a) en fase y (b) desfasadas 90°	10
2.4.	Par diferencial degenerado tipo P.	11
2.5.	Flipped Voltage Follower.	12
2.6.	Transconductor basado en el FVF.	12
2.7.	Preamplificador-modulador propuesto.	14
2.8.	Ganancia del circuito preamplificador.	15
2.9.	Funcionamiento del circuito preamplificador-modulador propuesto cuando las señales de entrada están (a) En fase, (b) desfasadas 90° , (c) desfasadas 180° y (d) desfasadas 270°	16
2.10.	Filtro activo diferencial pasa bajas.	17
2.11.	Ganancia de filtro diferencial paso bajo con $f_c = 31.8Hz$, $\frac{R'}{R} = 1$	18
2.12.	Amplificador sensible a fase con filtro activo diferencial.	19
2.13.	(a) Señal de entrada $100\mu V @ 10kHz$. (b) Señal de entrada $100\mu V @ 10kHz$ con interferencias senoidales de $5mV$ a $40kHz$, $100kHz$ y $200kHz$. (c) Amplificación y modulación para la señal v_{in} sin interferencias. (d) Amplificación y modulación para la señal v_{in} con interferencias. (e) V_{oDC} obtenido con un error relativo del 0.03%. (f) V_{oDC} obtenido con un error relativo del 0.12%.	20
3.1.	Cambio de nivel V_{oDC} según el desfase entre señales de entrada v_{in} y V_{ref}	24
3.2.	Diagrama de bloques del amplificador lock in propuesto.	26
3.3.	Circuito desplazador de fase básico.	27
3.4.	Circuito desplazador variable (TPS).	28
3.5.	Desplazamiento de fase considerando variaciones de proceso para una señal de entrada de $500mV @ 10kHz$ utilizando la máxima palabra digital.	32
3.6.	Desplazamiento de fase en función de la palabra de control digital para una frecuencia de operación de: (a) $10kHz$, (b) $20kHz$ y (c) $30kHz$	33
3.7.	Desplazador de fase fijo de 90° programable para diferentes frecuencias.	34

3.8.	Desplazamiento de fase considerando variaciones de proceso para una señal de entrada de 500mV@10kHz.	35
3.9.	Comportamiento de un comparador con histéresis.	37
3.10.	Comparador CMOS con histéresis interna	37
3.11.	Curvas características del comparador considerando variaciones de proceso	38
3.12.	Respuesta en el tiempo del circuito comparador.	39
3.13.	Amplificador lock in con Control de fase I	40
3.14.	Comportamiento de V_{oDC} durante el alineamiento de fase con la propuesta I.	41
3.15.	(a) Diagrama del circuito de control digital I. (b) Contador digital de 5 bits.	42
3.16.	Diagrama a bloques de un amplificador lock in con circuito de sincronización automático utilizando un registro de aproximaciones sucesivas.	43
3.17.	(a) Diagrama esquemático del circuito de control digital propuesto. (b) Registro de aproximaciones sucesivas de 5 bits con control de pulsos de reloj.	44
3.18.	Comportamiento de V_{oDC} durante el alineamiento de fase con la propuesta II.	45
3.19.	Compartimiento del nivel de V_{oDC} durante el proceso de alineamiento de fase de las señales de estrada con un desfase inicial de 210° utilizando la propuesta I.	46
3.20.	Compartimiento del nivel de V_{oDC} durante el proceso de alineamiento de fase de las señales de estrada con un desfase inicial de 270° utilizando la propuesta I.	47
3.21.	Compartimiento del nivel de V_{oDC} durante el proceso de alineamiento de fase de las señales de estrada con un desfase inicial de 266° utilizando la propuesta I.	47
3.22.	Compartimiento del nivel de V_{oDC} durante el proceso de alineamiento de fase de las señales de estrada con un desfase inicial de 210° utilizando la propuesta II.	49
3.23.	Compartimiento del nivel de V_{oDC} durante el proceso de alineamiento de fase de las señales de estrada con un desfase inicial de 270° utilizando la propuesta II.	49
3.24.	Compartimiento del nivel de V_{oDC} durante el proceso de alineamiento de fase de las señales de estrada con un desfase inicial de 266° utilizando la propuesta II.	50
4.1.	Diagrama a bloques del amplificador lock in propuesto.	54

4.2.	Funcionamiento del amplificador lock in propuesto en cada una de sus etapas de operación: (a) Señal de referencia con la salida V_{o+} del amplificador-modulador al inicio de la etapa de alineación de fases, con desfase inicial de 238° . (b) Final de la etapa de alineación de fases con la activación/desactivación de PS90. (c) Comportamiento del nivel de V_{oDC} a lo largo de toda la etapa de alineación y amplificación sensible a fase.	55
4.3.	(a) Error relativo utilizando una frecuencia de corte $f_c = 31.8Hz$. (b) Error relativo utilizando una frecuencia de corte $f_c = 5Hz$	56
4.4.	(a) Error relativo utilizando una frecuencia de corte $f_c = 31.8Hz$. (b) Error relativo utilizando una frecuencia de corte $f_c = 5Hz$	58
4.5.	(a) Error relativo utilizando una frecuencia de corte $f_c = 31.8Hz$. (b) Error relativo utilizando una frecuencia de corte $f_c = 5Hz$	59

Índice de Tablas

2.1.	Dimensiones de los transistores del Preamplificador-modulador	14
2.2.	Caracterización eléctrica	15
2.3.	tabla comparativa de pruebas en amplificador sensible a fase	21
3.1.	Dimensiones de los transistores del circuito desplazador variable	28
3.2.	Frecuencias de operación del banco de resistores	29
3.3.	Valores de capacitancia del banco de capacitores	30
3.4.	Desplazamiento de fase considerando variaciones de proceso para $v_{in}=500mV@10kHz$	32
3.5.	Desplazamiento de fase considerando variaciones de proceso para señales de entrada de 500mV a 10kHz, 20kHz y 30kHz.	35
3.6.	Dimensiones de los transistores del comparador con histéresis	37
3.7.	Rangos de histéresis considerando variaciones de proceso	38
3.8.	Tabla de resultados del amplificador lock in utilizando propuesta de sincronización I	48
3.9.	Tabla de resultados del amplificador lock in utilizando propuesta de alineación de fase II	50
3.10.	Consumo de potencia de cada bloque analógico	51
3.11.	Comparación de propuestas de alineación de fase.	52
4.1.	Tabla de resultados al estimar el error relativo en señales de 10kHz	57
4.2.	Tabla de resultados al estimar el error relativo en señales de 20kHz	57
4.3.	Tabla de resultados al estimar el error relativo en señales de 30kHz	58
4.4.	Comparación de amplificadores lock in integrados	60

Capítulo 1

Introducción

Actualmente, el desarrollo de nuevas tecnologías permite realizar con mayor exactitud el monitoreo de magnitudes físicas y químicas en múltiples ramas de la ciencia. Esto lo llevamos a cabo a través de sensores que entregan una señal eléctrica, la cual necesariamente debe pasar por una etapa de acondicionamiento para recuperar la información debido a las múltiples interferencias o señales indeseadas que modifican la señal eléctrica entregada por los sensores. Existen distintos métodos para realizar mediciones de una señal de interés que está inmersa en ruido con magnitudes muy superiores a la propia señal. Una de ellas es la de detección sensible a fase, la cual es el principio básico de un amplificador lock in [1].

El amplificador lock in es una de las herramientas más empleadas en los laboratorios de investigación en física. Sus aplicaciones se encuentran en campos como el estudio de propiedades en materiales, evaluación de sistemas acústicos, instrumentación en astronomía, propagación de ondas electromagnéticas, etc.[2].

En la práctica, un amplificador lock in puede medir señales con amplitudes tan pequeñas como unos pocos micro voltios. Precisa una señal de referencia (senoidal, triangular o cuadrada), la cual se alinea en fase y se multiplica con la señal de interés de la misma frecuencia (señal inmersa en ruido e interferencias), para obtener una señal modulada, de forma que mediante un filtro pasa bajas se recupera un valor promedio en DC de la señal modulada, a partir del cual se puede realizar una estimación de la amplitud de la señal de interés.

Su propiedad de recuperar señales inmersas en ruido, los hace apropiados para realizar mediciones en entornos fuera de un laboratorio, por lo que surge la necesidad de desarrollar amplificadores lock in integrados para aplicaciones portátiles, siendo esta una línea de investigación en desarrollo[3].

En la actualidad, los amplificadores lock in comerciales poseen circuitos de alineamiento de fase que operan de manera manual, o en algunos casos más complejos, utilizan

circuitos de autocalibración de fase basados en PLL. Con respecto a los amplificadores lock in integrados, muy pocos ofrecen algún tipo de circuitos de autocalibración integrado. Por lo que se vuelve propicio investigar, diseñar e implementar un circuito de alineamiento de fase para amplificadores lock in integrados, que tenga un mínimo error en fase y contribuya en la correcta recuperación de señales inmersas en ruido proporcionando una solución lock in integrada completa.

1.1. Objetivos

1.1.1. Objetivo general

El objetivo principal de esta tesis es diseñar un amplificador lock in con circuito de alineación de fase y filtro pasa bajas totalmente integrables en tecnología CMOS de $0.18\mu\text{m}$.

1.1.2. Objetivos específicos

- Realizar el diseño de un amplificador sensible a fase de bajo consumo y totalmente integrable.
- Proponer metodología para alinear la fase de las señales de entrada.
- Diseñar circuito de alineamiento de fase con el menor error en fase y buena resolución.
- Diseño y caracterización de un amplificador lock in completamente integrable como sistema de medida completo y autónomo.

1.2. Estructura de la Tesis

La organización de la tesis se desarrolla de la siguiente manera. El Capítulo 1 proporciona una breve introducción de los amplificadores lock in y presenta los objetivos de la Tesis

El Capítulo 2 presenta una descripción del principio de operación de los amplificadores sensibles a fase y los bloques que lo conforman. Se realiza una revisión de diversas topologías para el diseño de un nuevo bloque Amplificador-Modulador, así como también se presenta una propuesta de filtro pasa bajas diferencial activo, para finalmente implementar una nueva topología de amplificador sensible a fase.

En el Capítulo 3 se realiza el diseño de dos circuitos de alineación de fase y se presenta el diseño de los bloques que los conforman, tanto analógicos como digitales. Para realizar una correcta alineación el diseño de ambas propuestas se basa en una metodología establecida al inicio del capítulo. Por último se presenta una comparación entre ambos métodos.

El Capítulo 4 muestra el funcionamiento y resultados obtenidos del amplificador lock in propuesto, que se compone del amplificador sensible a fase y el circuito de alineamiento de fases y se realiza una comparación con amplificadores lock in integrados reportados en la literatura.

Finalmente, en el Capítulo 5 se dan a conocer las conclusiones de esta tesis, así como el trabajo a futuro.

Capítulo 2

Amplificador sensible a fase

En este capítulo se describe el principio de operación de los amplificadores lock in, así como los bloques básicos que lo componen: el amplificador sensible a fase, formado por una cadena de amplificación, rectificado síncrono y filtrado; y el circuito de alineación de las señales de entrada y señal de referencia. Posteriormente, se presenta el diseño integrado de un amplificador sensible a fase.

2.1. Principio de operación

Los amplificadores lock in se basan en un método conocido como detección sensible a fase para detectar cambios de amplitud y fase de una señal de entrada con respecto a una señal de referencia de igual frecuencia, siendo capaz de recuperar la información de señales de amplitudes muy pequeñas, sumergidas en señales de ruido incluso miles de veces más grandes [1].

En la figura 2.1 se muestran los bloques básicos que componen un amplificador sensible a fase: una etapa de amplificación de la señal de entrada v_{in} , un multiplicador que proporciona el producto de la señal amplificada $= Av_{in}$ por la señal de referencia V_{ref} , la cual debe tener la misma frecuencia que la señal de entrada, y un filtro pasa bajas, que permite obtener el valor promedio en DC de la señal rectificada, proporcional a la amplitud de la señal de entrada v_{in} .

Como señal de referencia se pueden utilizar diversas formas de onda, típicamente senoidal, cuadrada o triangular [4]. En función del tipo de señal de referencia están presentes más componentes en el espectro de salida del multiplicador, que deben ser eliminadas por el filtro pasa bajas de salida. Para mostrar el principio de operación de un amplificador lock in, se considera una señal de entrada al multiplicador y una señal de referencia, ambas senoidales. La señal de entrada V_{in} está dada por:

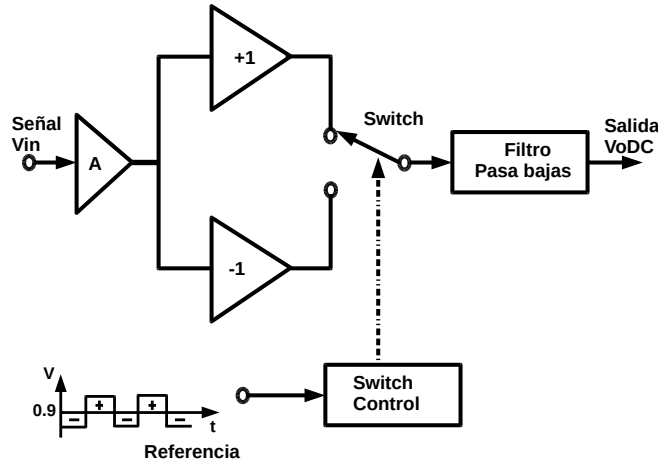


Figura 2.1: Principio de operación de la detección sensible a fase.

$$v_{in}(t) = V_{in} \text{sen}(\omega_s t) \quad (2.1)$$

y la señal de referencia V_{ref} está dada por:

$$V_{ref}(t) = V_{ref} \text{sen}(\omega_r t + \phi) \quad (2.2)$$

donde ω_s y ω_r son las frecuencias de ambas señales, t es el tiempo y ϕ es la diferencia de fase. Para $\omega_r = \omega_s = \omega$, al realizar el producto de ambas señales se obtiene la siguiente expresión:

$$V_{ref}(t)V_{in}(t) = \frac{V_{ref}V_{in}}{2} [\cos(2\omega t + \phi) + \cos\phi] \quad (2.3)$$

El primer término de la ecuación es una señal cosenoidal de frecuencia el doble de la frecuencia de modulación, que deberá ser eliminada por el filtro pasa baja (LPF) de salida. Si esto ocurre, el voltaje de salida resulta:

$$V_{oDC} = \frac{V_{ref}Av_{in}}{2} \cos\phi \quad (2.4)$$

Es decir, se obtiene un voltaje V_{oDC} en DC proporcional a la amplitud de la señal de entrada v_{in} , que alcanza su máximo cuando el desfase entre entrada y referencia es $\phi = 0^\circ$, es decir, cuando ambas señales están alineadas en fase. Si por el contrario, la diferencia de fase es 90° o 270° , el nivel V_{oDC} tiene un valor de $V_{DD}/2$, igual al modo

común, independientemente de la amplitud de la señal de entrada.

Notar que cuando se tiene una señal de entrada con interferencias a diferentes frecuencias de la fundamental o existe ruido con una cierta distribución espectral, todas las componentes de dichas señales indeseadas se eliminan tras la demodulación síncrona por el filtro pasa bajas, de ahí la característica de los amplificadores lock in de recuperación de señales aún en presencia de ruido.

Si se utiliza como referencia una señal de forma de onda cuadrada, se añaden componentes de acuerdo a la siguiente expresión:

$$V_{ref}(t) = \frac{4V_r}{\pi} \left(\text{sen}\omega_r t + \frac{1}{3}\text{sen}(3\omega_r t) + \frac{1}{5}\text{sen}(5\omega_r t) \dots \right) \quad (2.5)$$

de forma que al realizar la multiplicación por la señal v_{in} , se obtiene:

$$V_{ref}(t)v_{in}(t) = \frac{2V_{ref}}{\pi} \left[\cos[(\omega_s + \omega_r)t + \phi] + \cos[(\omega_s - \omega_r)t + \phi] - \frac{1}{3}\cos[(\omega_s + 3\omega_r)t + \phi] - \frac{1}{3}\cos[(\omega_s - 3\omega_r)t + \phi] + \frac{1}{5}\dots \right] \quad (2.6)$$

Al igual que en el caso anterior, el filtro pasa baja (LPF) debe eliminar todas las componentes frecuenciales salvo la componente de DC, que suponiendo $\omega_r = \omega_s = \omega$ está en este caso dada por:

$$V_{oDC} = \frac{2V_{ref}Av_{in}}{\pi} \cos\phi \quad (2.7)$$

De nuevo, el voltaje de salida es proporcional a la amplitud de la señal de entrada v_{in} , es decir, se obtiene el voltaje en DC promedio de la señal producto de la multiplicación de v_{in} por V_{ref} ponderada por el coseno del ángulo de la diferencia de fase.

Como se puede observar, las ecuaciones (2.4) y (2.7) son muy similares. Así, este trabajo utilizará una señal cuadrada como referencia debido a que, además de mejorar la sensibilidad (el nivel de V_{oDC} es un 27 % mayor en las mismas condiciones), permite realizar la función de multiplicación mediante interruptores que dejan pasar la señal o la invierten, simplificando así la topología, lo que resulta en un menor consumo de área y potencia. Como contrapartida, debido a que la onda cuadrada está conformada por un mayor número de componentes en frecuencia (armónicos impares), el error en el nivel de DC a la salida es mayor si no se utiliza un filtro LPF con un ancho de banda lo suficientemente estrecho [4].

2.2. Bloques básicos de un amplificador lock in

El primer bloque de un amplificador lock in, como se muestra en la figura 2.2, es un *amplificador de instrumentación o preamplificador*, que proporciona una elevada ganancia, así como una alta impedancia de entrada, alto rechazo al modo común (CMRR), bajo nivel de ruido en voltaje referido a la entrada, y bajo nivel de offset [5].

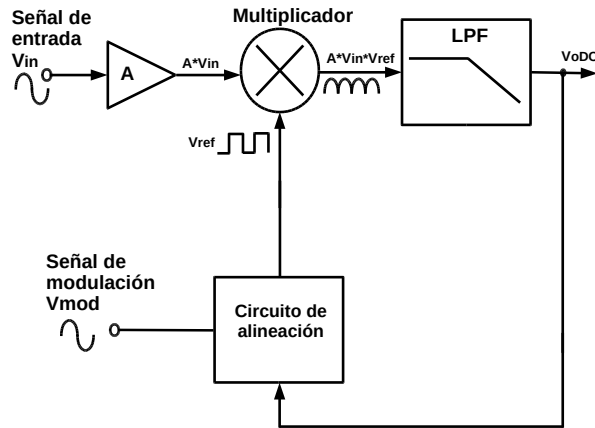


Figura 2.2: Diagrama de amplificador lock in básico.

El segundo bloque es un circuito multiplicador o modulador, el cual funciona, trabajando con señal V_{ref} cuadrada, como un circuito de conmutación y es el responsable de llevar a cabo la detección sensible a fase en el dominio del tiempo. Dado que la señal de interés se multiplica por la señal de referencia, si ambas tienen la misma frecuencia y están alineadas en fase, se obtiene una señal de salida completamente rectificadora cuya componente de DC con respecto a la señal en modo común $V_{DD}/2$ es proporcional a la amplitud de la señal de interés, y que se recupera tras el filtro pasa bajas.

En la mayoría de los amplificadores lock in integrados el filtro pasa bajas es, sin embargo un filtro RC externo de primer o segundo orden [6, 7, 8, 9]. La atenuación del ruido presente en frecuencias cercanas a la frecuencia de operación dependerá de la frecuencia de corte y el orden del filtro. Entre mayor sea el orden del filtro, la pendiente de atenuación será mayor. Sin embargo, para amplificadores lock in integrados esto implica un compromiso entre la atenuación de la banda de transición, el área de integración y el consumo.

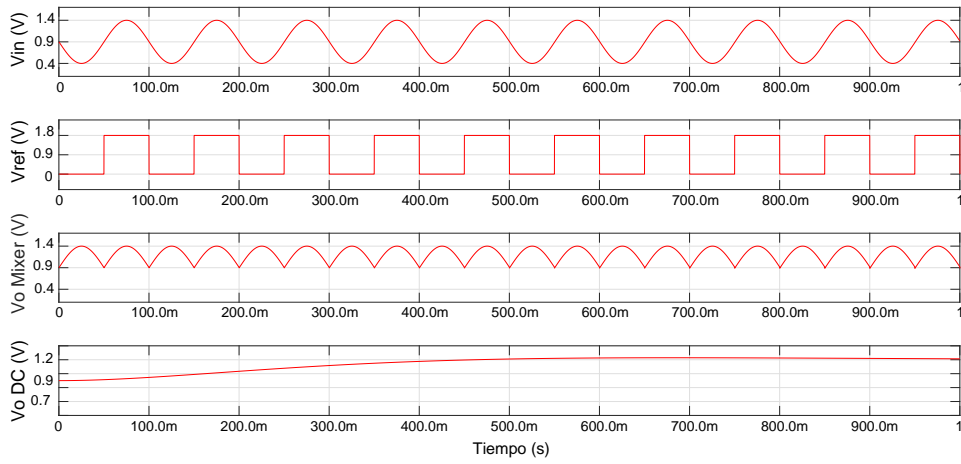
Igualmente, un ancho de banda muy estrecho elimina señales de ruido muy cercanas a la frecuencia de referencia, mientras que un ancho de banda amplio permite el paso a señales indeseables, degradando la precisión en la recuperación. En este sentido, los

amplificadores lock in se pueden considerar como filtros BPF con una frecuencia central igual a la frecuencia de operación f_0 y un factor de calidad Q muy elevado, que se expresa como $Q = (f_0/\Delta f)$, donde Δf es el ancho de banda del filtro pasa bajas de salida. Entre más pequeño sea el ancho de banda del filtro pasa bajas, mayores serán el factor Q y el rechazo al ruido. Sin embargo, la integración de filtros LPF con muy baja frecuencia de corte preservando un área y consumo aceptables no es trivial. Por otro lado, el sistema completo no será más rápido que lo que permita el LPF, debido a que la respuesta transitoria del filtro está determinada por su constante de tiempo $\tau = 1/\Delta f$. Entre menor sea la frecuencia de corte, se eliminarán componentes armónicas más cercanas al nivel de DC, pero se incrementa el tiempo de respuesta de todo el sistema.

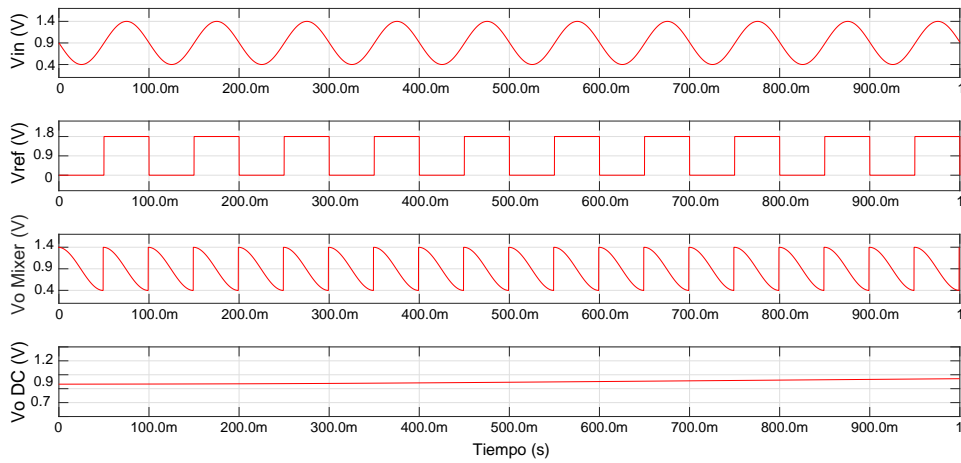
Por último, el circuito de alineación se encarga de detectar y mantener en fase la señal de referencia con respecto a la señal v_{in} para obtener en la salida del amplificador lock in el máximo nivel en DC, proporcional a la amplitud de la señal a recuperar [1].

En la figura 2.3 se muestra el funcionamiento de un amplificador lock in ideal, con una señal cuadrada de referencia V_{ref} para rectificar de manera síncrona la señal senoidal de entrada al multiplicador v_{in} , centrada en $V_{DD}/2$ y de amplitud 0.5V, ambas con una frecuencia de 10Hz. El filtro pasa bajas ($f_c = 0.5Hz, \tau = 318ms$) proporciona el nivel promedio en DC V_{oDC} de la señal rectificada V_{oMixer} . En el inciso (a) se puede observar el caso correspondiente a señales alineadas en fase ($V_{oDC} = 2(v_{in}V_{ref})/\pi$), mientras que el inciso (b) corresponde a un desfase de 90° ($V_{oDC} = V_{DD}/2$).

A continuación se presenta el diseño integrado del amplificador sensible a fase, compuesto por un bloque amplificador-modulador y el filtro pasa-bajas de salida, mientras que el diseño del circuito de alineación, se presentará en el siguiente capítulo.



(a)



(b)

Figura 2.3: Funcionamiento de un amplificador lock in ideal cuando la señal de entrada y de referencia están (a) en fase y (b) desfasadas 90° .

2.2.1. Diseño del Amplificador-Modulador

El primer bloque del amplificador sensible a fase convierte la señal de entrada v_{in} en corriente, amplificándola mediante un amplificador de transconductancia. Un amplificador de transconductancia idealmente funciona como una fuente de corriente controlada por voltaje [10], con un factor de proporcionalidad entre la corriente de salida y el voltaje de entrada llamado transconductancia G_m [11].

Un transconductor básico consiste en un par diferencial $P1$ con resistencia R_s de degeneración en fuente, como se muestra en la figura 2.4 [12].

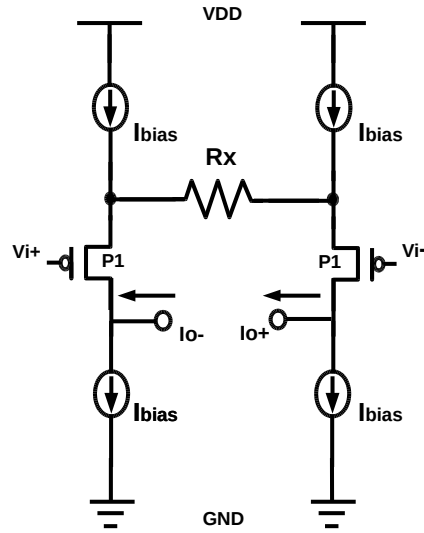


Figura 2.4: Par diferencial degenerado tipo P.

En primera aproximación, la transconductancia de esta etapa tiene un valor dado por:

$$G_m = \frac{(I_{o+} - I_{o-})}{(V_{i+} - V_{i-})} = \frac{g_{m1}}{1 + g_{m1}R_x} \quad (2.8)$$

donde g_{m1} es la transconductancia del par de entrada y R_x es la resistencia de degeneración. Suponiendo que $g_{m1}R_x \gg 1$, entonces 2.8 puede aproximarse por:

$$G_m \approx \frac{1}{R_x} \quad (2.9)$$

Para cumplir la condición $g_{m1}R_x \gg 1$, se puede trabajar con valores de g_{m1} elevados, a costa de aumentar área y consumo, o trabajar con circuitos de gm-boosting. Esta última opción es la que se ha seleccionado, para mejorar la eficiencia. En concreto, cada

transistor del par diferencial se ha sustituido por un Flipped Voltage Follower (FVF). El FVF (figura 2.5), es una celda que funciona como un seguidor de voltaje con características mejoradas, que puede operar con bajos requerimientos de voltaje y cuyo rango de entrada está limitado por P1 y P2 operando en saturación. Es esencialmente un amplificador cascode con retroalimentación negativa donde la compuerta de P1 se usa como entrada y su fuente como salida [13]. Proporciona una muy baja impedancia de salida $R_{out} = 1/g_{m1}g_{m2}r_{o1}$ debido a la retroalimentación de P2, de forma que la ganancia en voltaje (v_o/v_i) es muy cercana a la unidad [14, 15, 16].

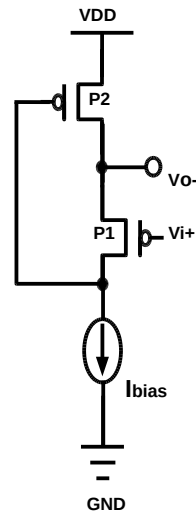


Figura 2.5: Flipped Voltage Follower.

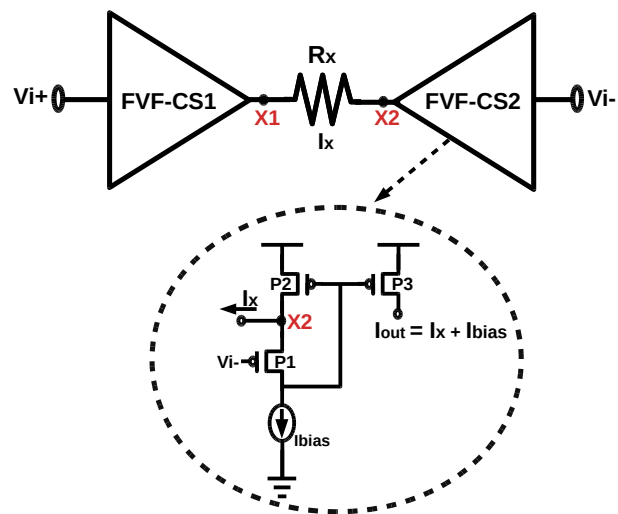


Figura 2.6: Transconductor basado en el FVF.

Así, el preamplificador en este trabajo se basa en el transconductor de la figura 2.6 [17], en el cual se utilizan dos circuitos FVF. La señal de entrada $V_{i\pm}$ se copia a los terminales X1,2 teniendo como resultado un flujo de corriente I_X a través del resistor R_X dado por:

$$I_x \approx \frac{V_{in+} - V_{in-}}{R_x} \quad (2.10)$$

Las variaciones de corriente son absorbidas por P2, que se comporta como un transistor de detección de corriente, y se copian, junto con la corriente de polarización I_{bias} , a la etapa de salida formada por los transistores P3. En la etapa de salida, esta corriente $I_{bias} \pm I_x$, es convertida en voltaje mediante un resistor de carga R_L , el cual determina la ganancia del preamplificador, dada por:

$$A_V = \frac{R_L}{R_x} \quad (2.11)$$

mientras que la tensión en modo común en la salida está dada por:

$$V_{o, cm} = I_{bias} R_L \quad (2.12)$$

Utilizando como base esta arquitectura, en las ramas de salida del preamplificador se agregan transistores cascode que además de mejorar la copia de corriente, trabajan como interruptores, con el objetivo de conmutar las salidas y, por lo tanto, modular la señal. Así el circuito propuesto funciona simultáneamente como amplificador y rectificador síncrono, optimizando con esta aproximación el consumo de área y potencia. En la figura 2.7 se presenta la topología propuesta. Utiliza un par de entrada PMOS con una resistencia lineal de degeneración para minimizar el ruido y aumentar la linealidad. La arquitectura del FVF es modificada con transistores cascode P2C para mejorar el sensado de corriente en los nodos X1 y X2, y las ramas de salida utiliza transistores cascode que actúan simultáneamente como interruptores activándose y desactivándose en función de su tensión de puerta V_{ref} , comportándose como un modulador síncrono con una ganancia A_V . Así, al introducir una señal senoidal, obtendremos una señal amplificada y modulada.

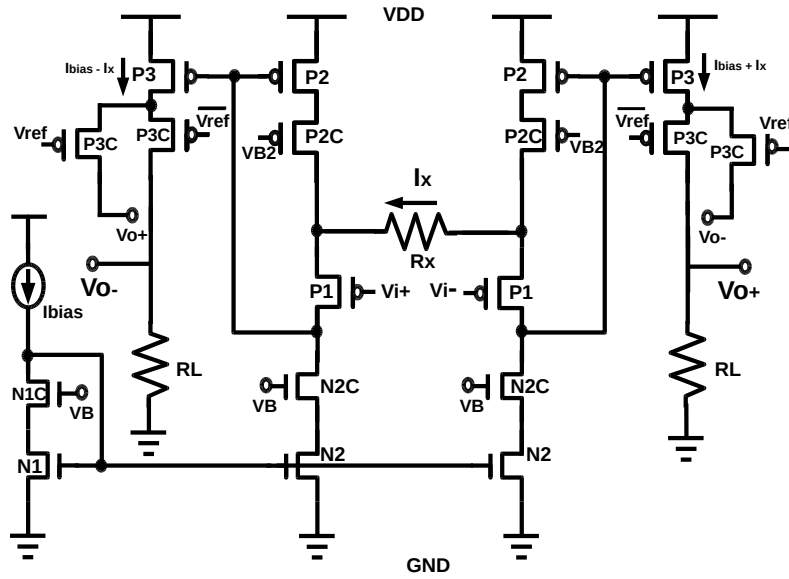


Figura 2.7: Preamplificador-modulador propuesto.

La Tabla 2.1 muestra el dimensionamiento de los transistores del amplificador-modulador, implementado en una tecnología CMOS de 180nm con una tensión de alimentación de 1.8V. Considerando un resistor de degeneración R_x de 100Ω , un resistor de carga R_L de $10k\Omega$ y una corriente de polarización I_{bias} de $90\mu A$, en la Tabla 2.2 se muestran los principales parámetros obtenidos en su caracterización como amplificador, esto es, con $V_{ref} = 1.8V$. Se tiene una ganancia de $42dB$, como se muestra en la figura 2.8, con un ancho de banda de $5.2MHz$ y un consumo de potencia de $804\mu W$.

Tabla 2.1: Dimensiones de los transistores del Preamplificador-modulador

	Transistor			
	P1,P1C	P2,P2C	P3,P3C	N1,2
Dimensiones ($\mu m/\mu m$)	500 / 1	88 / 1	84 / 1	59 / 1

En la figura 2.9 se muestran las señales de salida del amplificador sensible a fase para una señal senoidal de $5mV@10kHz$, con distintos ángulos de desfase entre V_{in} y V_{ref} (0° , 90° , 180° y 270°). Esta última es una señal cuadrada de la misma frecuencia de V_{in} que controla los interruptores en las ramas de salida, y varía de 0 a 1.8V. Los incisos (a) y (d) muestran las señales amplificadas y moduladas entregadas por ambas salidas del amplificador sensible a fase propuesto para $\phi = 0^\circ$, 180° , en los incisos (b) y (d) se muestran las señales de salida $V_{o\pm}$ recortadas de acuerdo al desfase $\phi = 90^\circ$, 270° entre V_{ref} y V_{in} , con un valor promedio nulo.

Tabla 2.2: Caracterización eléctrica

Parámetros	Preamplificador
Tecnología	180 nm
Alimentación	1.8 V
I_{bias}	90 μA
Ganancia	42.15 dB
BW	5.21 MHz
CMRR@100kHz	52 dB
Swing de entrada	± 7.1 mV
Swing de salida	± 887.5 mV
Ruido referido a la entrada (0.1-10kHz)	3.31 μV_{rms}
THD@1kHz, 300mV _{ppoutput}	-53.9dB
Consumo de potencia	804 μW

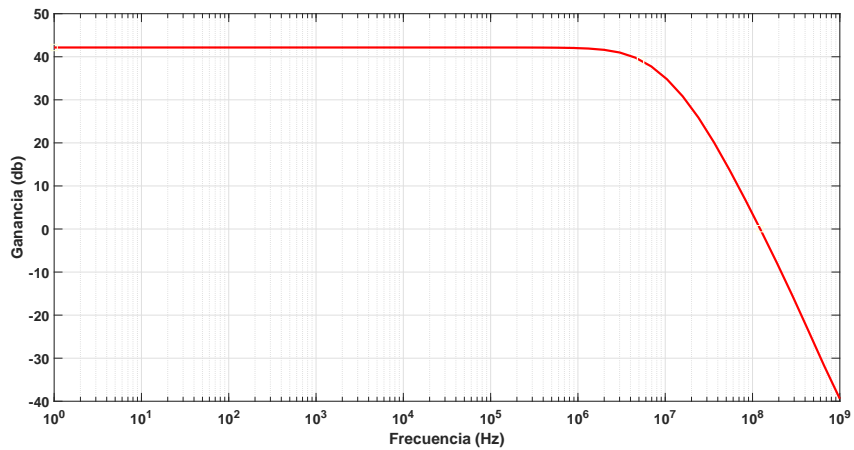
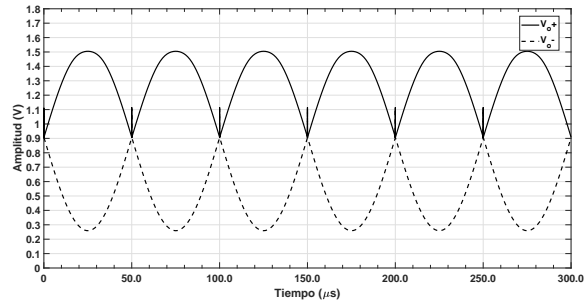
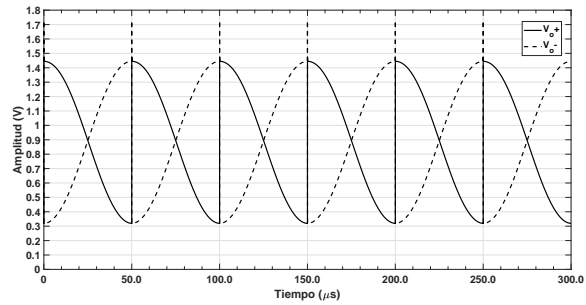


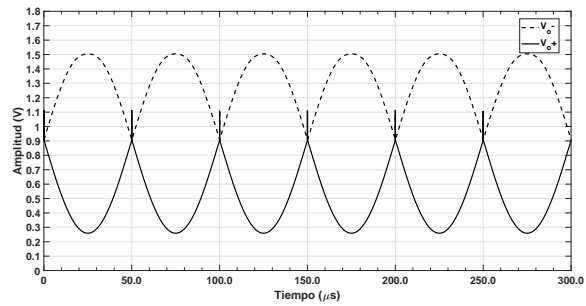
Figura 2.8: Ganancia del circuito preamplificador.



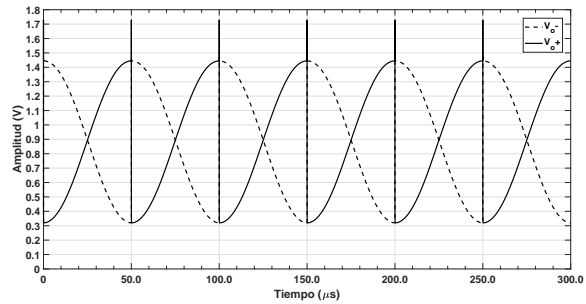
(a)



(b)



(c)



(d)

Figura 2.9: Funcionamiento del circuito preamplificador-modulador propuesto cuando las señales de entrada están (a) En fase, (b) desfasadas 90° , (c) desfasadas 180° y (d) desfasadas 270° .

2.2.2. Diseño de filtro activo diferencial

La última etapa de la cadena de detección sensible a fase es un filtro pasa bajas que proporciona el promedio en DC de la señal modulada. En los amplificadores lock in para aplicaciones portátiles, la necesidad de tener filtros pasa bajas integrados para obtener una solución completamente integrada tiene como principal limitante el área de integración de los elementos pasivos que se requieren, por lo que se tiene un compromiso en la frecuencia de corte alcanzable.

En este trabajo se propone una capacitancia máxima integrada de $50pF$ y una resistencia de $100M\Omega$, lo que resulta en una frecuencia de corte de $31.8Hz$. Puesto que el amplificador-modulador trabaja en modo diferencial, se propone el uso de un filtro activo pasa bajas de entrada diferencial y salida única, como el mostrado en la figura 2.12.

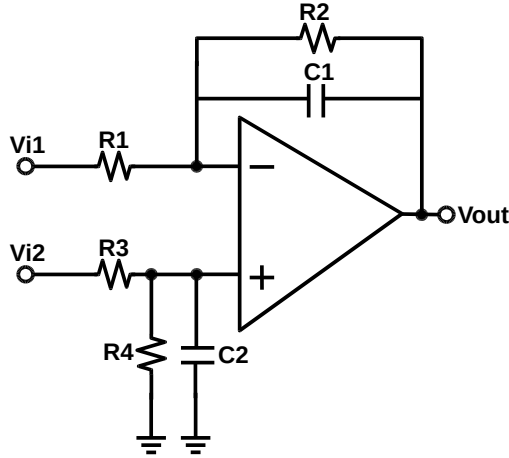


Figura 2.10: Filtro activo diferencial pasa bajas.

Un análisis directo de este circuito proporciona la relación[18, 19, 20]:

$$V_{out} = \frac{\left(\frac{R_2}{1+j\omega C_1 R_2}\right)\left(1 + \frac{R_1(1+j\omega C_1 R_2)}{R_2}\right)}{R_1\left(1 + \frac{R_3(1+j\omega C_2 R_4)}{R_4}\right)} V_{i2} - \frac{R_2}{R_1(1+j\omega C_1 R_2)} V_{i1} \quad (2.13)$$

Si se utilizan resistores $R_1 = R_3 = R$ y $R_2 = R_4 = R'$, así como capacitancias iguales $C_1 = C_2 = C$, entonces la función de transferencia está dada por:

$$H(\omega) = \frac{V_{out}}{V_{i2} - V_{i1}} = -\frac{R'}{R} \frac{1}{(1+j\omega C R')} \quad (2.14)$$

De este modo, la ganancia de baja frecuencia es $-R'/R$ y su frecuencia de corte está dada por:

$$f_c = \frac{1}{2\pi CR'} \quad (2.15)$$

Como celda activa se utilizó un amplificador operacional Miller de dos etapas, el cual tiene una ganancia de lazo abierto de $42dB$ y un margen de fase de 55° . En la figura 2.11 se muestra la respuesta en frecuencia del filtro pasa bajas ($R=100M\Omega, C=50pf$), con ganancia unidad ($R = R' = 1$) y, con una frecuencia de corte de $31.8Hz$.

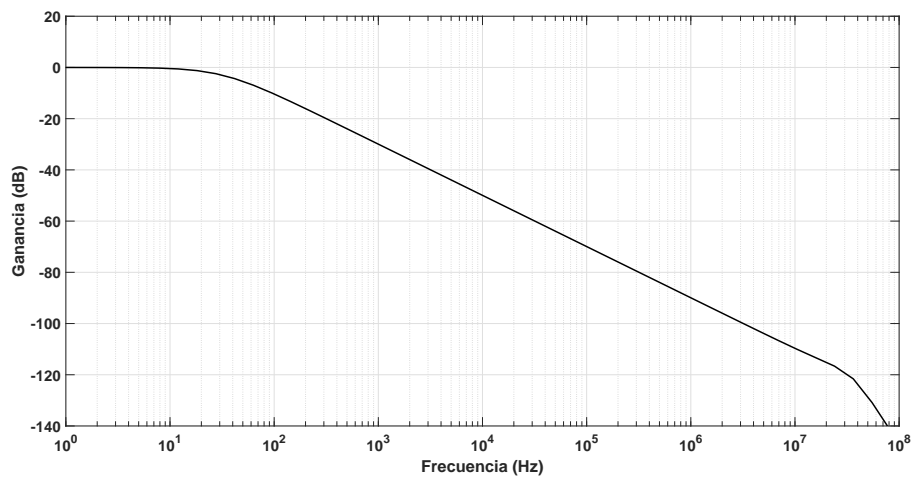


Figura 2.11: Ganancia de filtro diferencial paso bajo con $f_c = 31.8Hz$, $\frac{R'}{R} = 1$.

2.3. Amplificador sensible a fase

La figura 2.12, muestra la conexión del amplificador-modulador con el filtro pasa-bajas de salida. El nivel de salida en DC está dado por:

$$V_{oDC} = 2 \left(\frac{2(v_{in} * A)}{\pi} \right) \cos\phi \quad (2.16)$$

donde A es la ganancia del amplificador-modulador, v_{in} es la amplitud de la señal de entrada. Es decir, la salida es proporcional al doble del valor promedio de la señal v_{in} amplificada y modulada; el factor 2 con respecto al caso nominal procede de operar en modo diferencial.

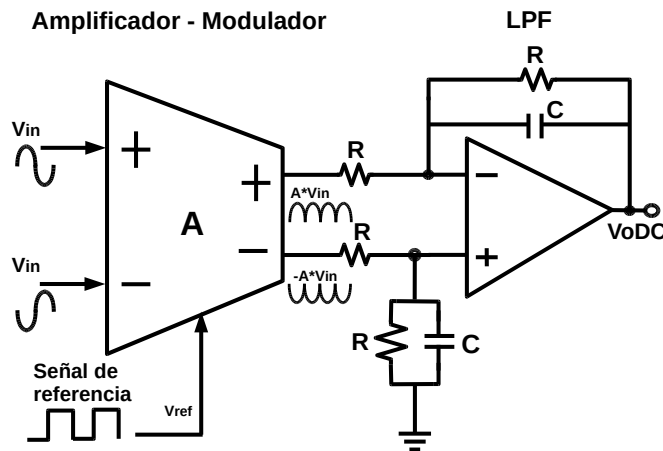


Figura 2.12: Amplificador sensible a fase con filtro activo diferencial.

Para no saturar la salida del amplificador sensible a fase, de acuerdo a la ecuación (2.16), se establece una amplitud máxima de la señal de entrada de $5.5mV$, que corresponde a un nivel de voltaje V_{oDC} máximo de manera ideal de $V_{oDC} = 875mV$. Si el valor de v_{in} es superior, la salida del amplificador sensible a fase se satura.

El comportamiento del esquema conjunto de la figura 2.12 se muestra en la figura 2.13. En el inciso (a) se muestra una señal de entrada v_{in} de $100\mu V @ 10kHz$ sin ningún tipo de interferencia; en el inciso (c) se muestra la modulación y amplificación para esta señal y en el inciso (e), el nivel de V_{oDC} obtenido de $916.2mV$; el porcentaje de error relativo en la estimación del nivel en DC es de 0.03% , comparado con el nivel en DC esperado idealmente $V_{oDCideal} = 915.9mV$. Por otro lado, en el inciso (b) se muestra

la misma señal de $100\mu V @ 10kHz$ pero con interferencias senoidales de $5mV$ de amplitud ($SNR=-33.9dB$) a frecuencias de $40kHz$, $100kHz$ y $200kHz$; en el inciso (d) se muestra la amplificación y modulación para la señal con interferencias y por último, en el inciso (f) el nivel V_{oDC} obtenido, de $917.1mV$, con un error relativo del 0.12% . En la tabla 2.3 se recogen los resultados obtenidos en las pruebas realizadas al amplificador sensible a fase, con una $SNR=-33.9dB$.

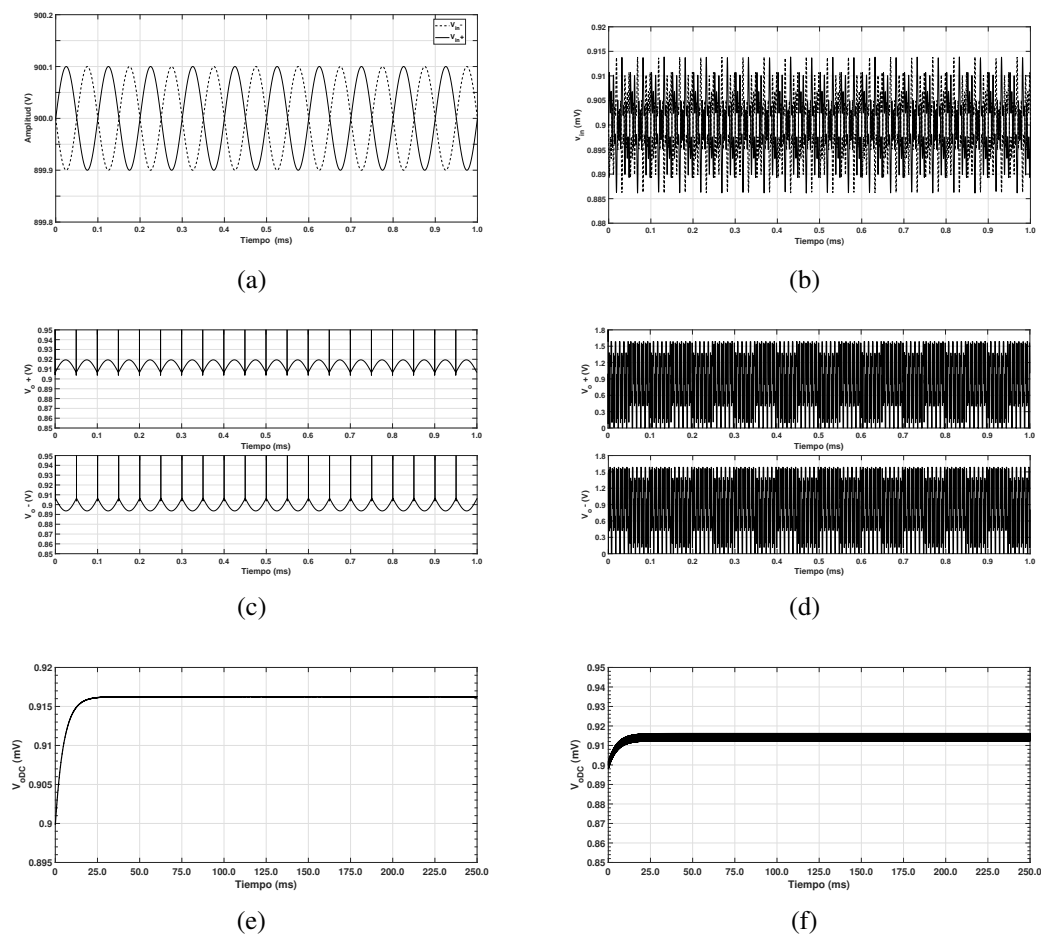


Figura 2.13: (a) Señal de entrada $100\mu V @ 10kHz$. (b) Señal de entrada $100\mu V @ 10kHz$ con interferencias senoidales de $5mV$ a $40kHz$, $100kHz$ y $200kHz$. (c) Amplificación y modulación para la señal v_{in} sin interferencias. (d) Amplificación y modulación para la señal v_{in} con interferencias. (e) V_{oDC} obtenido con un error relativo del 0.03% . (f) V_{oDC} obtenido con un error relativo del 0.12% .

Tabla 2.3: tabla comparativa de pruebas en amplificador sensible a fase

v_{in}	v_n interferencias	V_{oDC} ideal (mV)	V_{oDC} simulaciones (mV)	Error Relativo (%)
$v_{in} = 100\mu V @ 10kHz$	$v_n = 0V$	915.9	916.2	0.03
$v_{in} = 100\mu V @ 10kHz$	$v_{n1} = 5mV @ 40kHz$ $v_{n2} = 5mV @ 100kHz$ $v_{n3} = 5mV @ 200kHz$	915.9	917.1	0.120

2.4. Conclusiones.

En este capítulo se presentó el diseño de cada uno de los bloques que integran el amplificador sensible a fase.

El amplificador-modulador propuesto se basa en un par diferencial con gm-boosting y degeneración de fuente. El Flipped Voltage Follower sensa la corriente y la copia a una etapa de salida con la operación de rectificación embebida mediante interruptores que conmutan en función de la tensión de puerta V_{ref} , al mismo tiempo que funcionan como etapa cascode para mejorar la copia de corriente. De esta manera se obtiene una solución muy compacta, de bajo consumo ($804\mu W$) y con buenas prestaciones, ya que presenta una ganancia de $42dB$, rechazo al modo común de $52dB$, distorsión armónica de $-52dB @ 10kHz$ y un ancho de banda superior a $5MHz$.

Como filtro pasa bajas de salida se propone una configuración de entrada diferencial y salida única con una frecuencia de corte de $31.8Hz$, que proporciona un nivel de DC V_{oDC} proporcional a la amplitud de la señal de interés. Para obtener esta frecuencia de corte, se propone utilizar resistores de $100M\Omega$ y capacitancias de $50pF$. El área aproximada que ocuparía un capacitor MIM de $50pF$ utilizando la tecnología UMC sera de $100\mu m \times 500\mu m$, considerando que esta tecnología tiene una capacitancia de $1fF/\mu m^2$. En el caso de las resistencias de $100M\Omega$, debe ser implementada utilizando transistores en la región lineal de operación, debido a que el polisilicio solo otorga una resistividad de $120\Omega/\mu m^2$, por lo que el área de integración sera muy elevado.

Capítulo 3

Circuito de alineamiento de fase

En este capítulo se realiza el diseño de dos circuitos de alineamiento de fase para amplificadores lock in con el fin de asegurar una correcta operación, manteniendo la señal de respuesta del sensor y la señal de referencia en fase. Las propuestas presentadas en este capítulo se basan en el desplazamiento de la señal de referencia mediante un circuito desplazador de fase manipulado por un circuito de control digital. La primera propuesta utiliza un contador digital para controlar el desplazador de fase, desplazando la señal de referencia hasta encontrar un cruce por cero en el nivel de salida V_{oDC} . La segunda propuesta sustituye el contador digital por un registro de aproximaciones sucesivas para alcanzar más rápido la palabra de control adecuada.

3.1. Metodología propuesta

La propuesta para alinear en fase las señales de entrada al Amplificador-Modulador, se basa en determinar inicialmente en qué cuadrante se encuentra el desfase entre ambas señales. Por ello, se analizan a continuación los cambios en el nivel de salida V_{oDC} del amplificador lock in en función del desfase entre la señal respuesta del sensor (v_{in}) y la señal de referencia (V_{ref}), ambas con la misma frecuencia de operación. En la figura 3.1 se representa de manera ideal los cambios del nivel de DC a la salida, al variar el desfase, entre estas señales, de acuerdo con la expresión (ec.3.1) que se muestra a continuación:

$$V_{oDC} = 2 \left(\frac{2(v_{in} * A)}{\pi} \right) \cos\phi \quad (3.1)$$

Dado que el voltaje de salida es proporcional al coseno del desfase, se obtiene un nivel máximo a la salida cuando ϕ es 0° o 180° , y un mismo nivel V_{oDC} puede corresponder a dos diferentes valores de desfase.

Por otra parte, cuando V_{oDC} es mayor a $V_{DD}/2$ significa que el desfase de V_{ref} con

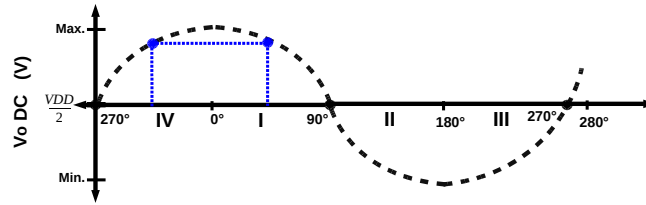


Figura 3.1: Cambio de nivel V_{oDC} según el desfase entre señales de entrada v_{in} y V_{ref} .

respecto a v_{in} se encuentra en los cuadrantes I o IV (de 0° a 90° o de 270° a 360°); en el caso contrario, si V_{oDC} es menor a $V_{DD}/2$, el desfase se ubica en los cuadrantes II o III (de 90° a 180° o de 180° a 270°).

La propuesta para alinear las fases de las señales de interés y referencia se basa en desplazar la señal de referencia mediante un desplazador de fase variable (*TPS* por sus siglas en inglés: *tunable phase shifter*). Inicialmente se determina el cuadrante en que se ubica el desfase inicial en una primera medición de V_{oDC} con el desplazador de fase variable *TPS* con un valor de la palabra de control digital 0, correspondiente a un desplazamiento de fase 0° . A continuación, se realiza una segunda medición de V_{oDC} , aplicando a V_{ref} un desfase de 90° con un desplazador de fase fija *PS90°*. Para detectar el nivel de DC correcto en cada medición, es necesario dejar que transcurran al menos 25ms, teniendo en cuenta que se va a trabajar con un filtro pasa-bajas de salida con frecuencia de corte $f_c=31.8\text{Hz}$. Por ello, se utiliza una señal de reloj de frecuencia 40Hz, para obtener un nivel de V_{oDC} estable. Con estas dos mediciones es posible determinar en qué cuadrante se encuentra el desfase entre la entrada y la referencia actuando en cada caso como se explica a continuación:

Cuadrante IV.

* Se realiza una primera medición de V_{oDC} con $TPS = 0^\circ$. Si V_{oDC} es mayor a $V_{DD}/2$, entonces el desfase se encuentra en los cuadrantes IV o I.

* Se desplaza 90° la señal de referencia V_{ref} utilizando un desplazador de fase fijo *PS90°*, y se toma una segunda medición. Si V_{oDC} continúa siendo mayor a $V_{DD}/2$, entonces significa que el desfase inicial se encontraba en el cuadrante IV, y tras aplicar el desplazamiento de 90° se sitúa en el cuadrante I.

*En este caso, se mantiene conectado el desplazador *PS90°*, y con el desplazador de fase variable (*TPS*) se continúa desplazando la señal de referencia hasta alcanzar un desfase de 90° o, de manera equivalente, hasta que V_{oDC} sea igual a $V_{DD}/2$.

* Cuando se alcanza el cruce por $V_{DD}/2$ el desplazamiento entre las señales es de 90° , por lo que, se desactiva el desplazador fijo *PS90°*, para obtener así un desfase de 0° entre V_{in} y V_{ref} .

Cuadrante I.

*Se completa la primera medición de V_{oDC} con $TPS = 0^\circ$. Si es mayor a $V_{DD}/2$, entonces se tiene un desfase en los cuadrantes *IV* o *I*.

* Se desplaza 90° la señal de referencia V_{ref} utilizando $PS90^\circ$ y se completa una segunda medición. Si V_{oDC} es menor a $V_{DD}/2$, entonces significa que el desfase se encontraba en el cuadrante I, y tras aplicar el desplazamiento de 90° se sitúa en el cuadrante II.

*En este caso, se desconecta el desplazador $PS90^\circ$ para regresar al cuadrante I, y con el desplazador de fase variable (TPS) se continúa desplazando la señal de referencia hasta alcanzar un desfase de 90° o, de manera equivalente, hasta que V_{oDC} sea igual a $V_{DD}/2$.

* Cuando se alcanza el cruce por $V_{DD}/2$, se activa nuevamente el desplazador fijo de $PS90^\circ$, para obtener así un desfase de 180° entre v_{in} y V_{ref} .

Cuadrante II.

* Se realiza una primera medición de V_{oDC} con $TPS = 0^\circ$. Si V_{oDC} es menor a $V_{DD}/2$, entonces el desfase se encuentra en los cuadrantes *II* o *III*.

* Se desplaza 90° la señal de referencia V_{ref} utilizando un desplazador de fase fijo $PS90^\circ$, y se toma una segunda medición. Si V_{oDC} continúa siendo menor a $V_{DD}/2$, entonces significa que el desfase inicial se encontraba en el cuadrante II, y tras aplicar el desplazamiento de 90° se sitúa en el cuadrante III.

*En este caso, se mantiene conectado el desplazador $PS90^\circ$, y con el desplazador de fase variable (TPS) se continúa desplazando la señal de referencia hasta alcanzar un desfase de 270° o, de manera equivalente, hasta que V_{oDC} sea igual a $V_{DD}/2$.

* Cuando se alcanza el cruce por $V_{DD}/2$ el desplazamiento entre las señales es de 270° , por lo que, se desactiva el desplazador fijo $PS90^\circ$, para obtener así un desfase de 180° entre v_{in} y V_{ref} .

Cuadrante III.

*Se completa la primera medición de V_{oDC} con $TSP = 0^\circ$. Si es menor a $V_{DD}/2$, entonces se tiene un desfase en los cuadrantes *II* o *III*.

* Se desplaza 90° la señal de referencia V_{ref} utilizando $PS90^\circ$ y se completa una segunda medición. Si V_{oDC} es mayor a $V_{DD}/2$, entonces significa que el desfase se encontraba en el cuadrante III, y tras aplicar el desplazamiento de 90° se sitúa en el cuadrante IV.

*En este caso, se desconecta el desplazador $PS90^\circ$ para regresar al cuadrante III, y con el desplazador de fase variable (TPS) se continúa desplazando la señal de referencia hasta alcanzar un desfase de 270° o, de manera equivalente, hasta que V_{oDC} sea igual a $V_{DD}/2$.

* Cuando se alcanza el cruce por $V_{DD}/2$, se activa nuevamente el desplazador fijo de $PS90^\circ$, para obtener así un desfase de 0° entre v_{in} y V_{ref} .

Considerando la propuesta para la alineación de fases, en la figura 3.2 se muestra el diagrama de bloques del amplificador lock in completo. El circuito de alineamiento consta de una sección analógica y una digital. La parte analógica comprende los dos circuitos

desplazadores de fase (*TPS*, variable y *PS90*, fija) que se encargan de desplazar la señal de referencia V_{ref} . La señal de referencia V_{ref} se obtiene a partir de una señal senoidal de modulación V_{mod} a la misma frecuencia de operación que la señal v_{in} . Una vez desplazada en fase, la señal V_{mod} es convertida mediante dos circuitos inversores en una señal cuadrada V_{ref} entre 0 y 1.8V, para manipular correctamente los interruptores del circuito amplificador-modulador. Además, se utiliza un comparador con histéresis para determinar si el nivel de V_{oDC} es mayor o menor que $V_{DD}/2$.

La parte digital del circuito de alineamiento consta de un control digital, que interpreta los cambios de estado del comparador para manipular los interruptores sw_{0° y sw_{90° , los cuales se encargan de seleccionar uno de los circuitos desplazadores (*TPS*, variable y *PS90*, fija) para desplazar la señal de referencia, y que, si corresponde, se desactive *PS90* una vez alineadas las fases.

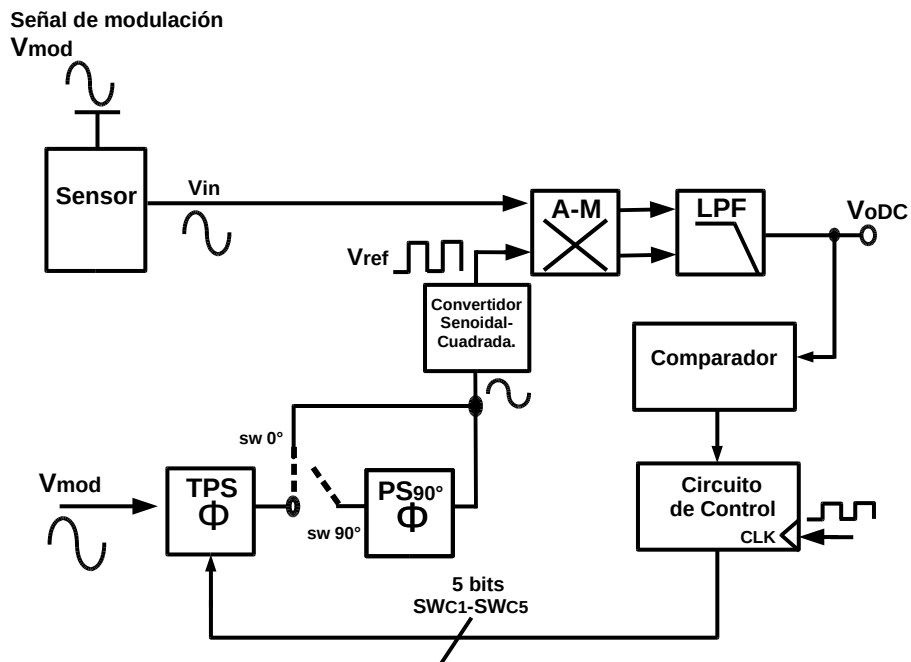


Figura 3.2: Diagrama de bloques del amplificador lock in propuesto.

3.2. Circuitos desplazadores de fase

En la literatura se muestran diferentes tipos de desplazadores de fase, que pueden ser dependientes de la frecuencia, por lo que en el caso de un amplificador lock in se emplearían para una frecuencia de operación determinada, o pueden ser independientes de la frecuencia, es decir, que proporcionan el mismo desplazamiento de fase para un

rango de frecuencias de operación[21].

En este trabajo se utilizarán dos circuitos desplazadores de fase. El bloque *TPS* es programable digitalmente y puede desplazar la fase de una señal de 0° a 96° , en un rango de frecuencias de $10kHz$ a $30kHz$. El segundo bloque desplazador de fase, *PS90*, es un desplazador fijo de 90° , que también funciona en el rango de frecuencias de $10kHz$ a $30kHz$. Este rango de se considera de muy baja frecuencia, por lo que el amplificador lock in puede ser utilizado en aplicaciones portátiles de monitoreo ambiental e incluso en algunas aplicaciones biomédicas en la medición de bioseñales.

3.2.1. Circuito Desplazador de fase variable

El diseño del bloque TPS se basa en un circuito desplazador de fase de primer orden (filtro pasa todo) [22]. Su esquema básico se muestra en la fig. 3.3, y está conformado por dos amplificadores fuente común conectados en cascada con un arreglo RC en la salida de ambas etapas, por lo que la señal de entrada V_{mod} resulta con un desplazamiento en fase debido al arreglo RC de la topología.

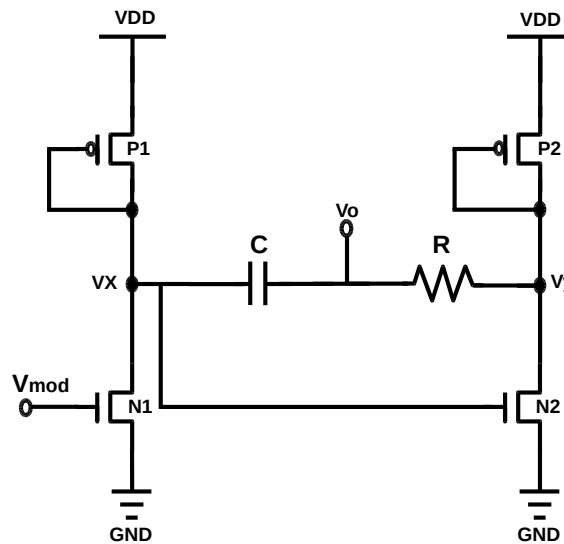


Figura 3.3: Circuito desplazador de fase básico.

La función de transferencia de este circuito viene dada por:

$$\frac{V_O}{V_{mod}} = \frac{(1 - sCR)}{(1 + sCR)} \quad (3.2)$$

La ganancia para baja frecuencia es la unidad, mientras que la respuesta en fase viene dada por:

$$\phi(\omega) = \arctan(-\omega CR) - \arctan(\omega CR) = -2\arctan(\omega CR) \quad (3.3)$$

donde $\omega = 2\pi f$.

Por tanto, V_o es una señal senoidal, de igual amplitud que V_{mod} , pero entre ambas hay un desfase ϕ que depende de RC para la frecuencia de operación f .

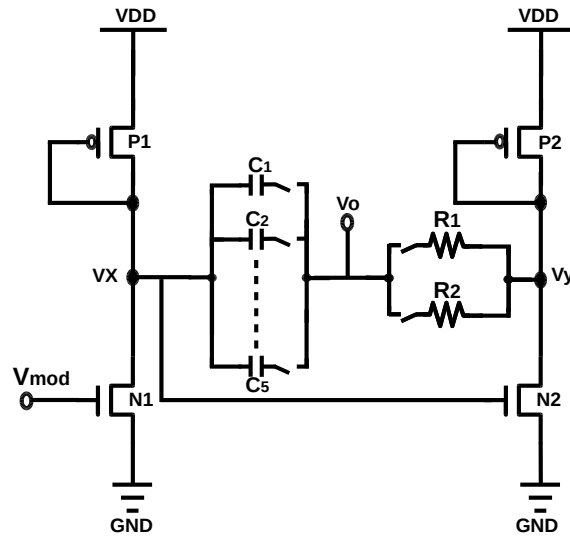


Figura 3.4: Circuito desplazador variable (TPS).

Tabla 3.1: Dimensiones de los transistores del circuito desplazador variable

	Transistor	
	N1,N2	P1,P2
Dimensiones ($\mu m/\mu m$)	1 / 0.36	4.71 / 0.36

Para obtener un desplazador de fase variable, operando en un rango de frecuencias, se emplearon bancos de resistores y capacitancias conectadas en paralelo, tal como muestra la figura 3.4. En la tabla 3.1 se muestran las dimensiones de los transistores del circuito desplazador de fase, los cuales operan en la región de saturación, con una corriente $I_D = 64.5\mu A$, por lo que el circuito demanda un consumo de potencia de $354.6\mu W$. Modificando los valores de capacitancia se ajusta el desplazamiento de fase que se requiera aplicar, y modificando los valores de resistencia podemos ajustar la operación del desplazador según cuál sea la frecuencia de operación. De manera ideal se puede variar una señal de entrada de 0 a 90° con un valor de resistencia fija y un valor

variable de capacitancia. En este caso se eligió trabajar con tres valores de frecuencia de entrada, los cuales son $10kHz$, $20kHz$ y $30kHz$, por lo que se utilizan tres valores de resistencia distintos, como se muestra en la tabla 3.2, considerando una capacitancia de $10pF$.

Tabla 3.2: Frecuencias de operación del banco de resistores

Frecuencia	Resistencia
10kHz	$1.6M\Omega$
20kHz	$800k\Omega$
30kHz	$533k\Omega$

Para activar y desactivar los elementos R y C deseados se utilizan, en serie con cada uno, transistores tipo NMOS como interruptores operando en las regiones de corte y lineal, los cuales tienen una resistencia de encendido de 50Ω y dimensiones de $104\mu m/0.18\mu m$.

Para realizar el diseño del circuito desplazador de fase variable, se debe analizar la relación entre el error relativo y el error en fase ϕ entre las señales de entrada, por lo que, cuando se tiene un desfase $\phi = 0^\circ$:

$$V_{oDC} = \frac{4Av_{in}}{\pi} \quad (3.4)$$

Si se tiene un error relativo X, entonces V_{oDC} va cambiar su valor, por lo que:

$$V_{oDC}' = V_{oDC}(1 - X) \quad (3.5)$$

Si se calcula el desfase de V_{oDC}' , se obtiene:

$$\phi' = \arccos\left(\frac{\pi V_{oDC}'}{4Av_{in}}\right) \quad (3.6)$$

Sustituyendo:

$$\phi' = \arccos\left(\frac{\pi * V_{oDC}(1 - X)}{4Av_{in}}\right) = \arccos\left(\frac{\pi * \frac{4Av_{in}}{\pi}(1 - X)}{4Av_{in}}\right) \quad (3.7)$$

$$\phi' = \arccos(1 - X) \quad (3.8)$$

Si se limita el máximo error relativo (X) en la extracción de la amplitud de la señal de entrada, debido al desfase entre V_{in} y V_{ref} , a $X = 0.5\%$, a partir de la ec.(3.8) se determina que el máximo desfase es de 5.72° .

Por lo tanto, se diseñó el desplazador de tal manera que el máximo error posible en fase (ϕ') son 5.72° . Por otra parte, es necesario que el desplazador proporcione un máximo desplazamiento de fase superior a 90° , con el fin de asegurar que sea posible el alineamiento de fase entre v_{in} y V_{ref} para todos los casos.

Por ello, se utilizó un banco con 5 capacitores, lo que proporciona 32 posibles valores de desplazamiento en fase, con un paso mínimo de 2.81° y máximo de 4.41° , y un rango total de variación en fase de 96° .

El banco de capacitores utilizado queda definido con los valores de capacitancia que se muestran en la Tabla 3.3. Cuando todos los capacitores están conectados en paralelo, para la máxima palabra del control digital, se obtiene una capacitancia total de $9.39pF$, lo que resulta en un desplazamiento de fase de 96.12° , en el rango de frecuencias considerado.

Tabla 3.3: Valores de capacitancia del banco de capacitores

Capacitor	Capacitancia
C_1	$215.8fF$
C_2	$535fF$
C_3	$1.17pF$
C_4	$2.41pF$
C_5	$5.16pF$

Con el fin de determinar el impacto de las posibles variaciones del proceso de fabricación en el desplazamiento de fase, se realizaron simulaciones de esquina: SS (slow-slow), FF (fast-fast), SNFP(slow-fast) y FNFP (fast-slow). Los resultados, considerando una señal de entrada de $500mV$ de amplitud y 10 kHz de frecuencia, se muestran en la tabla 3.4, junto con el resultado nominal (TT: typical-typical). En dicha Tabla se muestra el desplazamiento de fase para el caso en que no se conecta ninguna capacitancia, para el valor mínimo de capacitancia ($215fF$) y para el máximo ($9.39pF$). Se observa que, incluso para el caso típico, existe un desfase entre entrada y salida cuando la palabra digital es cero. Esto se debe a capacitancias parásitas y resistencia de cada uno de los interruptores utilizados en los bancos, por lo que para compensar este efecto se desplazan las señales hasta los 96° y así asegurar que el rango de variación total de fase supera en todos los casos los 90° , lo que permite asegurar que el circuito de control

una palabra de control adecuada para ajustar la fase. Además, en el peor de los casos (SNFP) el máximo paso en desfase es de 4.67° , por lo que se mantiene en el rango de resolución requerida.

En la figura 3.5 se muestra un ejemplo del desplazamiento de una señal de $10kHz$ considerando variaciones de proceso, con la máxima palabra digital. A partir de los datos obtenidos, se concluye que el circuito es capaz de proporcionar un desplazamiento de fase programable en un rango de 90° , incluso considerando variaciones de proceso.

En la fig.3.6 se muestran simulaciones del desplazamiento de una señal senoidal de $500mV$, para las frecuencias de $10kHz$, $20kHz$ y $30kHz$. Para $10kHz$, se utiliza una resistencia de $1.6M\Omega$ y la fase varía desde 4.71° hasta 96.12° , con una resolución que va de 2.1° hasta 4° con una palabra de 5 bits. Para señales con frecuencias de $20kHz$ se utiliza una resistencia de $800k\Omega$ y puede variar la fase desde 5.01° hasta 95.8° , con una resolución que varía de 2° a 4° , y para el caso de señales de $30kHz$ se utiliza una resistencia de $533k\Omega$, y alcanza un desplazamiento de fase que va de 4.42° a 96.05° , con valores similares de resolución de 2° a 4° , debido a la función arco tangente del circuito.

En vista de que el valor de resistencia del banco de resistores es elevado, si se realiza su fabricación con polisilicio, puede ocupar un área considerable de integración, por lo que, los resistores pueden ser sustituidos por transistores operando en la región lineal, o apagados (es decir, operando simultáneamente como interruptores y, si están prendidos, como resistores). De esta manera, se podría combinar el control digital con un ajuste continuo (para compensar variaciones de proceso), reduciendo además el área de integración.

Tabla 3.4: Desplazamiento de fase considerando variaciones de proceso para $v_{in}=500\text{mV}@10\text{kHz}$

Capacitancia (pF)	Fase ϕ ($^{\circ}$)					
	Ideal	TT	SS	FF	SNFP	FNSP
0	0	4.71	4.89	4.42	3.67	5.04
0.215	2.48	8.89	9.21	8.53	8.28	9.03
9.39	86.69	96.12	96.51	95.94	96.51	95.35

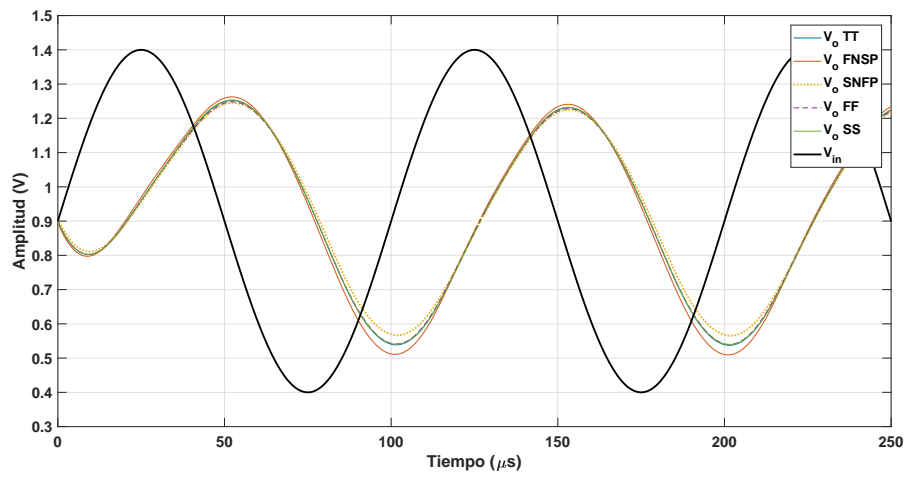
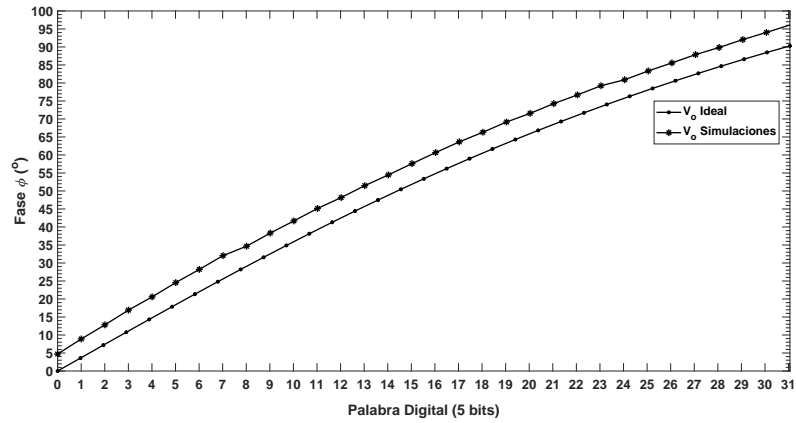
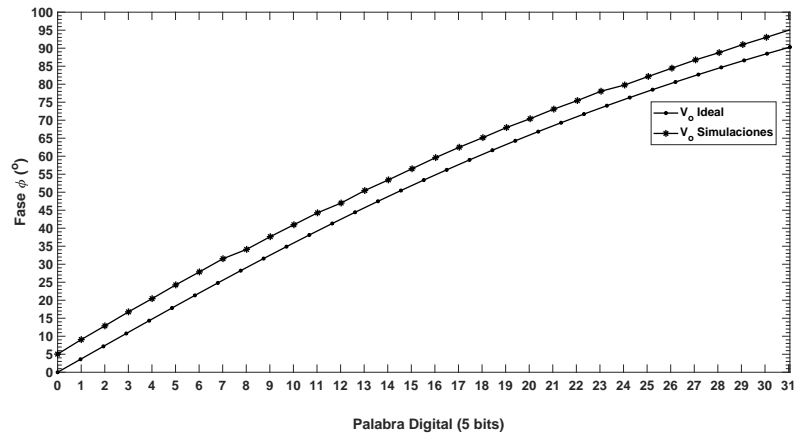


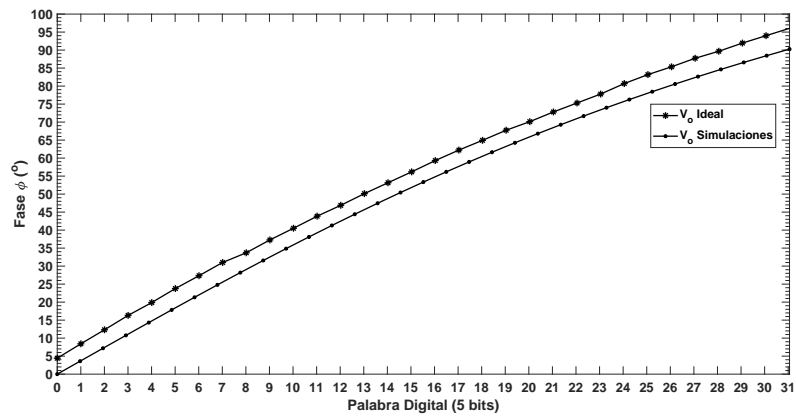
Figura 3.5: Desplazamiento de fase considerando variaciones de proceso para una señal de entrada de $500\text{mV}@10\text{kHz}$ utilizando la máxima palabra digital.



(a)



(b)



(c)

Figura 3.6: Desplazamiento de fase en función de la palabra de control digital para una frecuencia de operación de: (a) 10kHz, (b) 20kHz y (c) 30kHz

3.2.2. Desplazador de fase de 90°

Como se indicó en el apartado 3.1, es necesario un desplazador de fase fijo de 90° (PS90) para llevar a cabo la alineación de fases con el método propuesto. Para ello se utiliza la misma topología que en el apartado anterior, pero con un único capacitor de $9.5pF$ para desplazar 90° la señal de referencia V_{ref} , y con un banco de resistores que en el caso anterior para seleccionar la frecuencia de operación de $10kHz$, $20kHz$ ó $30kHz$.

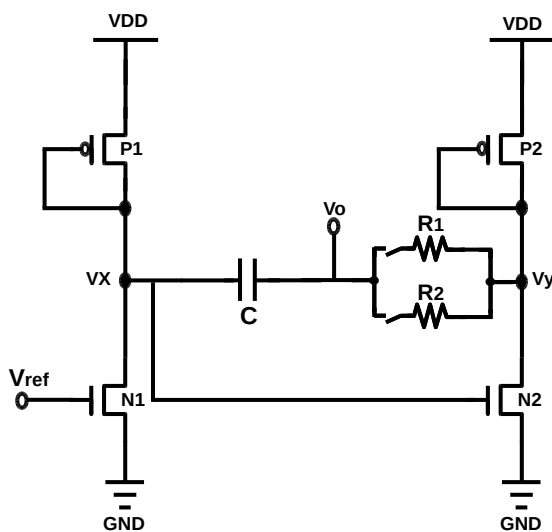


Figura 3.7: Desplazador de fase fijo de 90° programable para diferentes frecuencias.

En este caso, el desfase de 90° debe de ser lo más preciso posible, para no añadir error al desfase final entre las señales. En la figura 3.8 se muestra el desplazamiento de fase entre la entrada y la salida para una señal de $500mV@10kHz$, considerando variaciones de proceso. El máximo error en fase obtenido es de 0.86° , para el caso SNFP.

En la tabla 3.5 se muestran los desplazamientos de fase considerando variaciones de proceso para cada frecuencia de operación; se observan errores de fase de hasta 1.36° y 1.40° para las frecuencias de $20kHz$ y $30kHz$. Estas variaciones en el desfase debido a variaciones de proceso se podrían compensar sustituyendo el banco de resistores por un transistor o banco de transistores operando en la región lineal, con un valor de resistencia sintonizable al variar el voltaje de control en su compuerta.

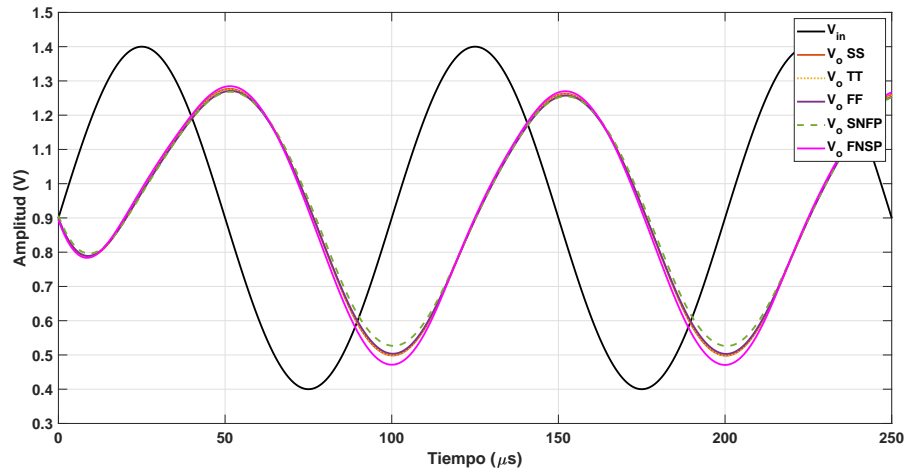


Figura 3.8: Desplazamiento de fase considerando variaciones de proceso para una señal de entrada de 500mV @10kHz.

Tabla 3.5: Desplazamiento de fase considerando variaciones de proceso para señales de entrada de 500mV a 10kHz, 20kHz y 30kHz.

Frecuencia de operación	Fase ϕ ($^{\circ}$)					
	Ideal	TT	SS	FF	SNFP	FNFP
10 kHz	87.36	90.54	90.57	90.68	90.86	89.67
20 kHz	87.36	90.79	91.00	91.08	91.36	89.92
30 kHz	87.36	90.89	90.97	91.29	91.40	89.89

3.3. Comparador con histéresis

Para evitar que se produzcan múltiples transiciones en la salida del comparador cuando la entrada está próxima al nivel de comparación, en este caso $V_{DD}/2$, se necesita un rango de histéresis en torno a dicho nivel. Al aumentar la entrada, se producirá una conmutación en la salida cuando se sobrepase el voltaje de umbral V_{u+} , y la salida cambiará a un estado alto V_{OH} . Al variar el voltaje de entrada en sentido contrario, la conmutación de la salida de V_{OH} a V_{OL} se realizará cuando la entrada sea menor al voltaje de umbral negativo V_{u-} . Esta característica, mostrada en la figura 3.9, evita transiciones espúreas en la salida en entornos con alto ruido.

En este trabajo se determinó que el rango de histéresis debía ser de $20mV$, debido a que el nivel de V_{oDC} puede presentar un rizado de hasta $4mV$ para las señales de entrada V_{in} de máxima amplitud ($5.5mV$), lo cual podría ocasionar el cruce por $V_{DD}/2$ una vez alineadas las fases.

El comparador con histéresis utilizado en este trabajo se muestra en la figura 3.10. Para una corriente de polarización de $12\mu A$ y con un nivel de referencia de $900mV$, el valor deseado de $V_{u\pm}$ se establece fijando las dimensiones de los espejos de corriente (P3-P5, P4-P6), ya que de ellos depende el nivel de histéresis del sistema[23]. El voltaje umbral está dado por:

$$V_{u+} = \sqrt{\frac{I_{bias}}{kn\left(\frac{W}{L}\right)_{N1}} \frac{\sqrt{\alpha} - 1}{\sqrt{1 + \alpha}}} \quad (3.9)$$

donde α es la relación del tamaño de los transistores de los espejos:

$$\alpha = \frac{(W/L)_{p3}}{(W/L)_{p5}} = \frac{(W/L)_{p6}}{(W/L)_{p4}} \quad (3.10)$$

Así estableciendo $\alpha = 1.12$, y con una corriente de polarización de $12\mu A$, se llega al dimensionamiento de los transistores mostrado en la Tabla 3.6. En la figura 3.11 se muestra la curva característica obtenida, con un rango de histéresis de $19.4mV$. Debido a que este rango de histéresis puede afectar la operación de todo el circuito de alineación de fases, se realizaron simulaciones de variaciones de proceso para determinar si el diseño es robusto. En la tabla 3.7 se detallan los rangos de histéresis considerando variaciones de proceso, y se puede observar que en la esquina FF (fast-fast) se da la mayor variación, con una histéresis total de $18.6mV$, por lo que el circuito es robusto a variaciones de proceso.

En la figura 3.12 se muestra la respuesta en tiempo del comparador con histéresis.

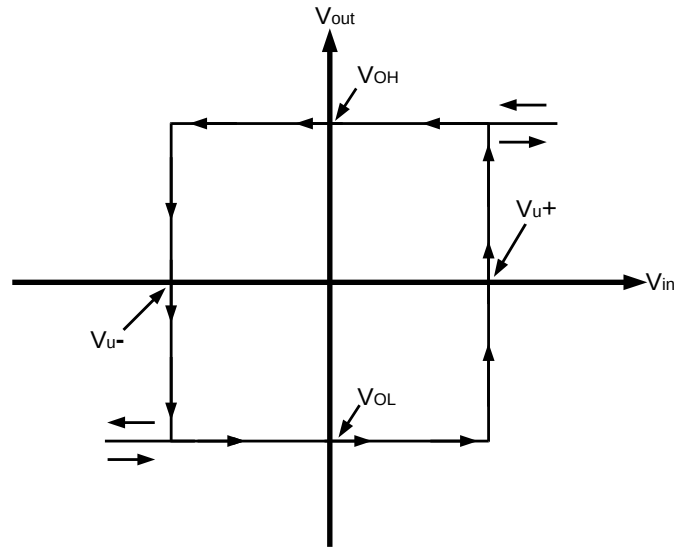


Figura 3.9: Comportamiento de un comparador con histéresis.

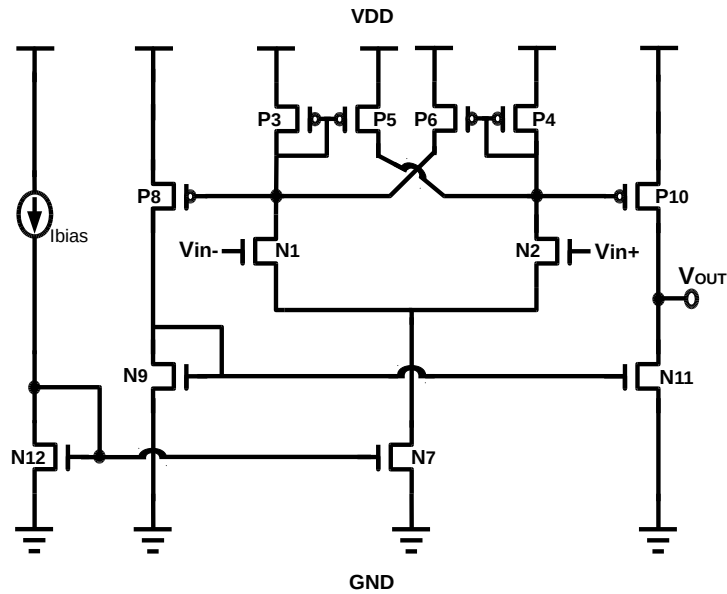


Figura 3.10: Comparador CMOS con histéresis interna

Tabla 3.6: Dimensiones de los transistores del comparador con histéresis

	Transistor				
	N1,N2	N12,N7	N9,N11	P3,P4,P8,P10	P5,P6
Dimensiones ($\mu m/\mu m$)	8 / 0.9	6.4 / 0.9	3.2 / 0.9	15.3 / 0.9	17.2 / 0.9

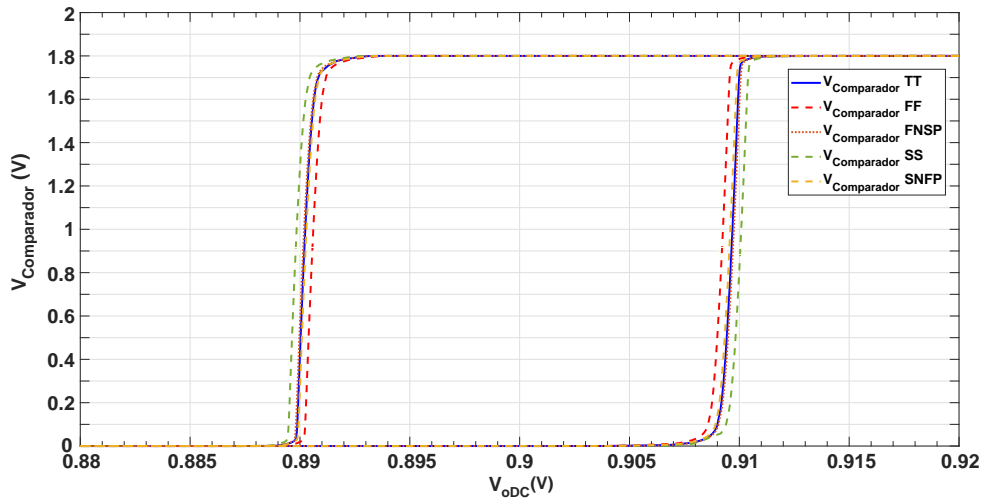


Figura 3.11: Curvas características del comparador considerando variaciones de proceso

Tabla 3.7: Rangos de histéresis considerando variaciones de proceso

	Ideal	TT	SS	FF	SNFP	FNSP
Histéresis Total (mV)	20	19.4	20.2	18.6	19.2	19.5
V_{u+} (mV)	10	9.6	10	9.2	9.5	9.7
V_{u-} (mV)	10	9.8	10.2	9.4	9.7	9.8

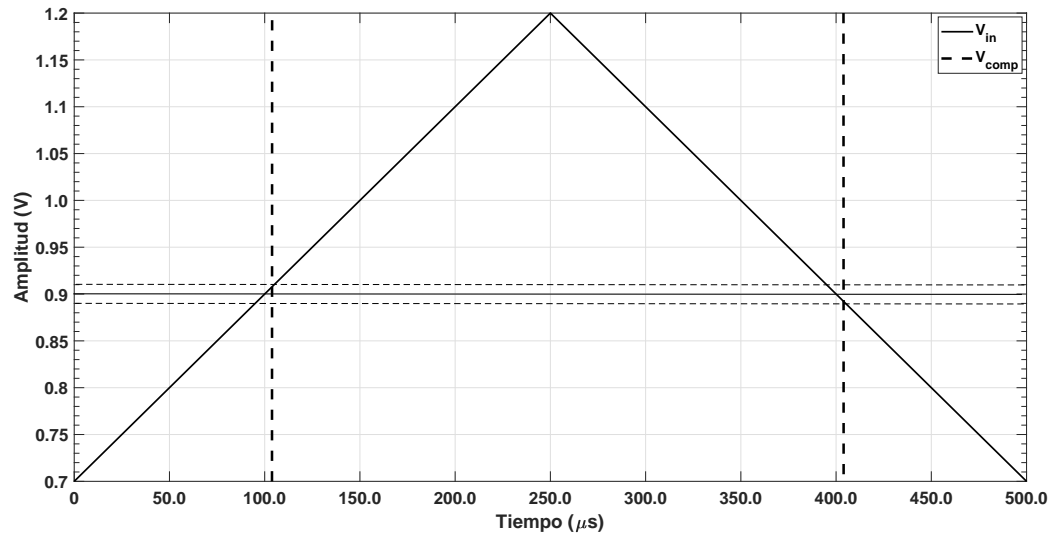


Figura 3.12: Respuesta en el tiempo del circuito comparador.

3.4. Control digital y controladores de fase

El control digital tiene como objetivo manipular los interruptores $sw0^\circ$ y $sw90^\circ$, para completar las dos primeras mediciones de V_{oDC} que permiten determinar el cuadrante del desfase inicial entre señal de entrada y de referencia, y programar el ajuste del desplazador de fase variable, así como activar o desactivar el desplazador de 90° según corresponda.

En esta tesis se proponen 2 circuitos de control, uno utilizando un contador digital y otro utilizando un registro de aproximaciones sucesivas. Ambos utilizan una misma señal de reloj de 40Hz , la cual es establecida de acuerdo a la constante de tiempo τ del filtro pasa bajas, como se explicó en el apartado 3.1.

3.4.1. Control de fase I: Contador digital

En esta primera propuesta se utiliza un contador digital de cinco bits para variar la capacitancia equivalente del circuito TPS , y ajustar así la fase tal como se muestra en la figura 3.13. Este contador es activado/desactivado a través de un control digital mediante un enable. Funciona con un pulso de reloj de $40Hz$, debido a que el filtro pasa bajas en el canal de lectura tiene una constante de tiempo de $\tau = 25ms$, y para funcionar de manera síncrona con la parte digital, el periodo del pulso de reloj debe de ser τ .

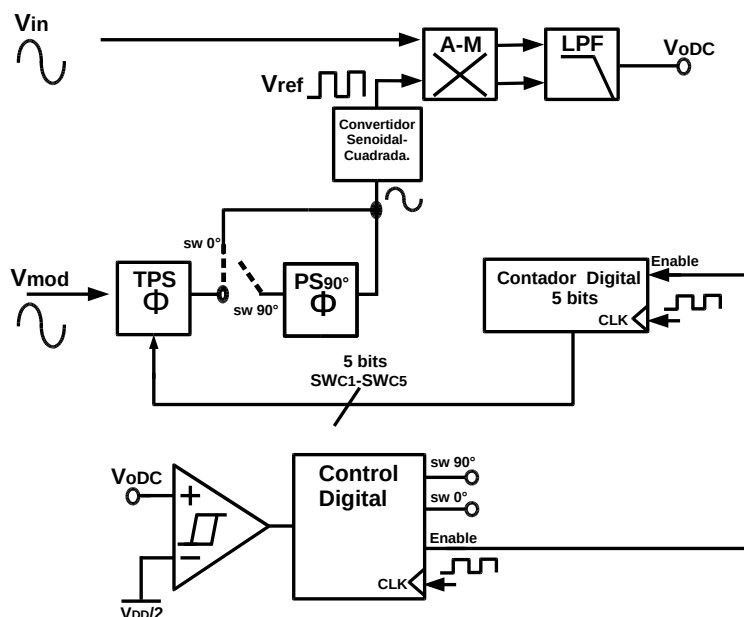


Figura 3.13: Amplificador lock in con Control de fase I

En la figura 3.13 se muestra el diagrama de bloques del amplificador lock in con el control de fase I. El comparador monitorea los cambios en el nivel de V_{oDC} con respecto a $V_{DD}/2$. Los datos entregados por el comparador son almacenados en un registro de entrada paralela formado por tres flip-flops D y son procesados por compuertas XNOR y XOR para verificar si los bits son iguales o no, y así poder determinar en qué cuadrante se encuentra el desfase entre las señales de entrada. En la figura 3.14 se muestra un ejemplo del comportamiento de V_{oDC} durante el proceso de alineamiento de las fases. Como ya se mencionó en el apartado 3.1, durante la etapa de determinación del cuadrante, el circuito TPS está conectado pero no realiza ninguna acción sobre V_{mod} debido a que la palabra de control digital es 0.

A continuación, el control digital activa o desactiva PS90, según cuál sea el cuadrante inicial, tal y como se indicó en el apartado 3.1, y comienza el alineamiento de fase. Se

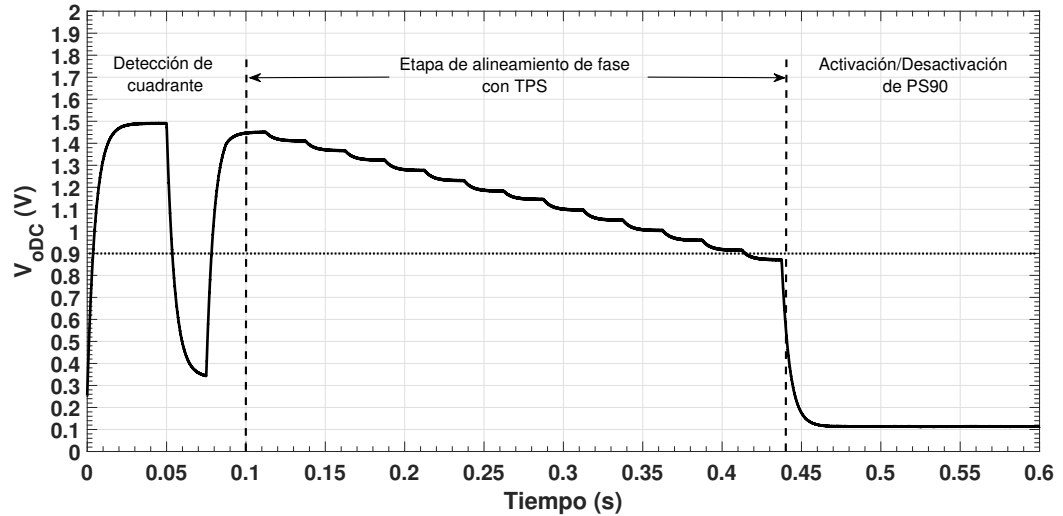
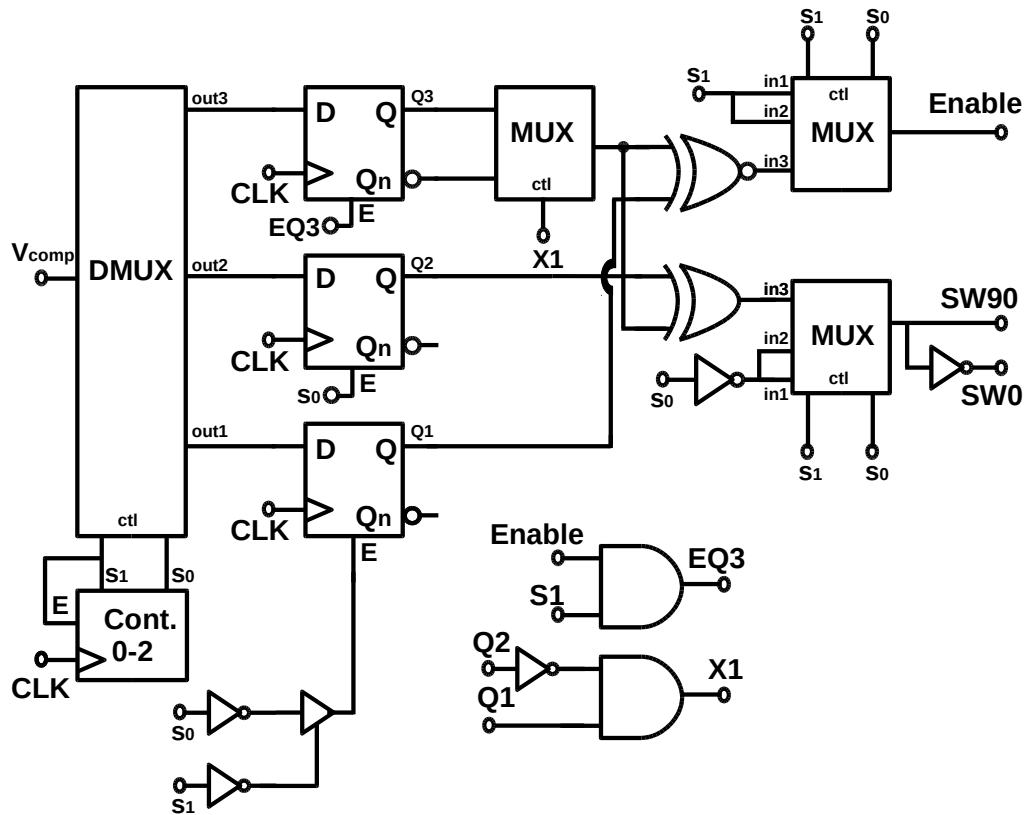


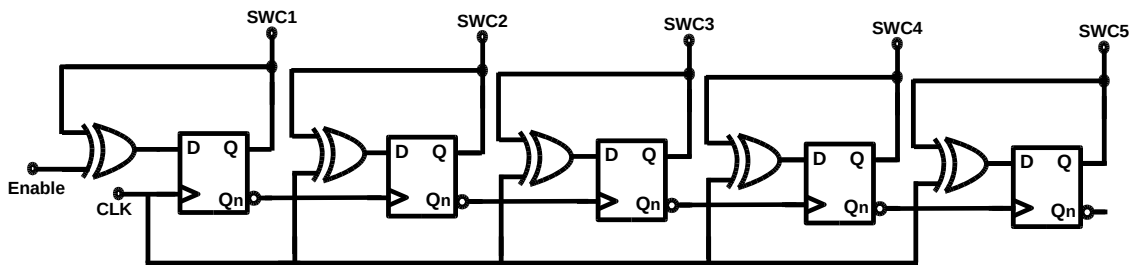
Figura 3.14: Comportamiento de V_{oDC} durante el alineamiento de fase con la propuesta I.

activa el enable del contador digital y V_{ref} comienza a desplazarse, por lo que V_{oDC} comienza a disminuir hasta cruzar por $V_{DD}/2$, momento en el cual v_{in} y V_{ref} están en contrafase. Durante este proceso la salida del comparador sigue siendo enviada al registro, y el control digital no detiene el contador digital hasta que el comparador cambie de estado, momento en que los interruptores $sw0$ y $sw90$ se ajustan para sumar o restar 90° , según el caso, y las fases de v_{in} y V_{ref} quedan alineadas.

En la figura 3.15 se muestra el diagrama a esquemático del control digital del circuito de alineamiento de fases I. En la figura 3.15 (a) se muestra el circuito de control, el cual utiliza un demultiplexor para separar los datos provenientes del comparador para almacenarlos en tres flip-flops D y dos compuertas exclusivas que controlan el enable del contador y los interruptores $sw90$ y $sw0$.



(a)



(b)

Figura 3.15: (a) Diagrama del circuito de control digital I. (b) Contador digital de 5 bits.

3.4.2. Control de fase II: Registro de aproximaciones sucesivas

En esta segunda propuesta de alineación de fase, mostrada en la figura 3.16, se utiliza un registro de aproximaciones sucesivas (SAR) de 5 bits para manipular los interruptores del bloque *TPS*. El control digital es similar al de la propuesta anterior, ya que se procesan los primeros dos datos entregados por el comparador para determinar el cuadrante en que se encuentra el desfase entre v_{in} y V_{ref} y determinar la manera adecuada de manipular los circuitos desplazadores fase. Además, al igual que la propuesta I, funciona con un pulso de reloj de 40Hz . En la figura 3.17 se muestra el diagrama del control digital, los datos entregados por el comparador son separados por un demultiplexor y almacenados en dos flip-flops tipo D, y posteriormente son procesados por dos compuertas, una XNOR y otra XOR, determinando el cuadrante del desfase entre las señales de entrada. A continuación, se activa el registro de aproximaciones sucesivas SAR, y comienza a variar la capacitancia del bloque *TPS* para desplazar la fase de V_{ref} . Finalmente tras cinco pulsos de reloj, se obtiene la palabra de control que establece un nivel de V_{oDC} aproximado de $V_{DD}/2$, es decir, v_{in} y V_{ref} se encuentran en cuadratura. El control digital manipula entonces los interruptores $sw0$ y $sw90$, según sea el caso, para alinear las fases.

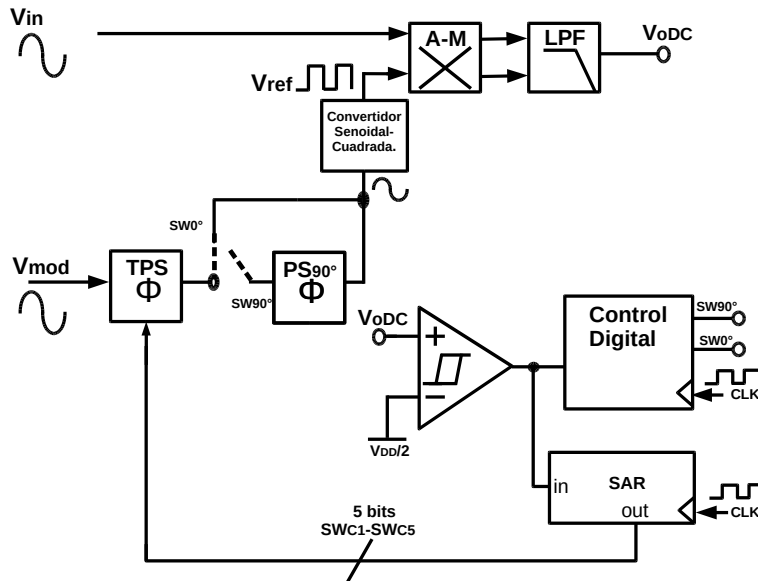
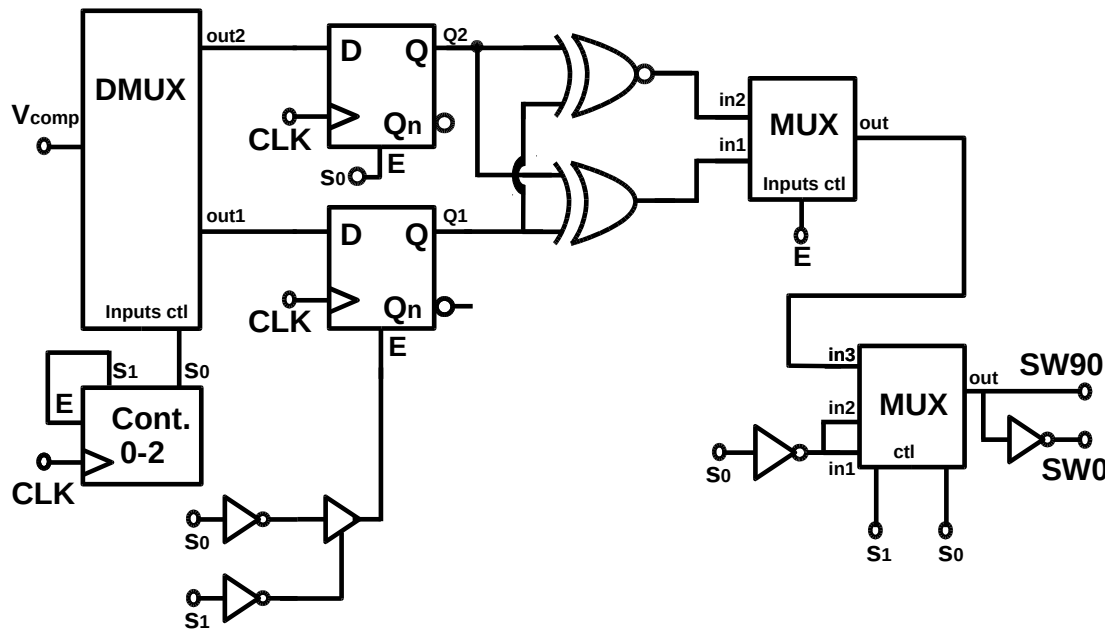
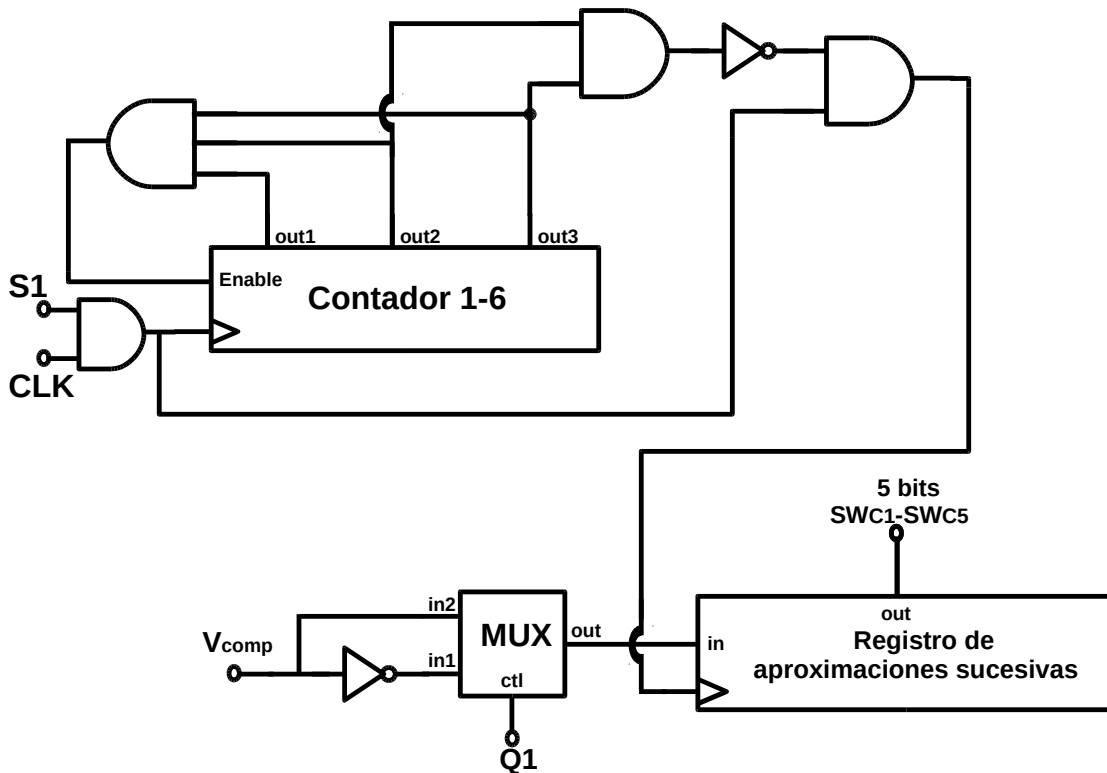


Figura 3.16: Diagrama a bloques de un amplificador lock in con circuito de sincronización automático utilizando un registro de aproximaciones sucesivas.

En la figura 3.18 se muestra un ejemplo del comportamiento de V_{oDC} durante la etapa de determinación del cuadrante, la etapa de ajuste de la fase y la conexión/desconexión del desplazador PS90.



(a)



(b)

Figura 3.17: (a) Diagrama esquemático del circuito de control digital propuesto. (b) Registro de aproximaciones sucesivas de 5 bits con control de pulsos de reloj.

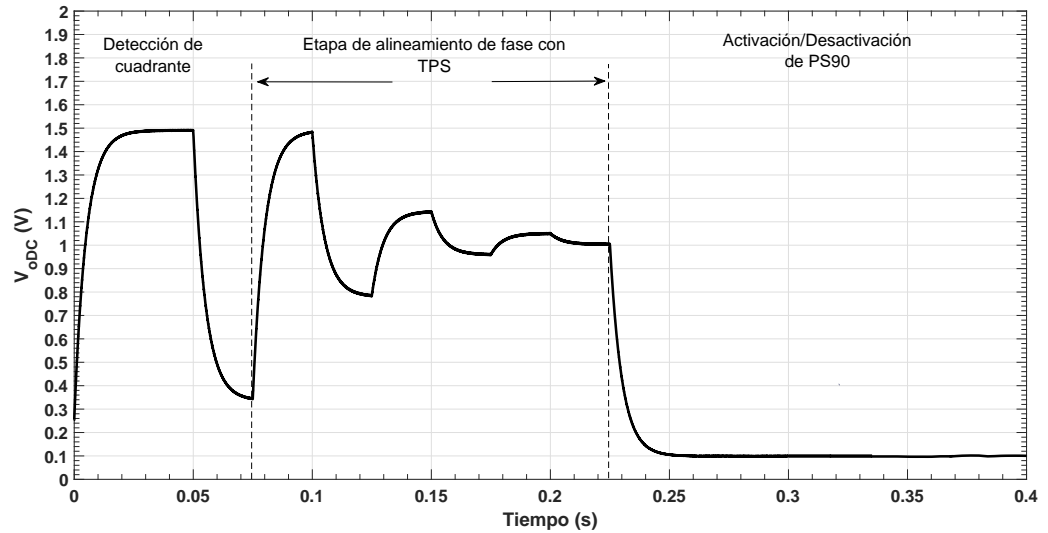


Figura 3.18: Comportamiento de V_{oDC} durante el alineamiento de fase con la propuesta II.

3.5. Amplificador lock in con propuesta I

Para verificar el funcionamiento del control digital, se procedió a unir todos los bloques que conforman el circuito de alineamiento de fases con el amplificador sensible a fase mostrado en el capítulo 2, lo que resulta en el diagrama a bloques de la figura 3.13.

Se realizaron pruebas con distintos valores de desfase inicial entre V_{in} y V_{ref} , y se consideraron los casos críticos que pueden resultar en un mayor error en fase tras el ajuste, lo que afecta directamente al error al estimar la amplitud de la señal de entrada.

Todos los resultados obtenidos son comparados con el valor $V_{oDCideal}$, cuya ecuación se reescribe a continuación:

$$V_{oDCideal} = 2 \left(\frac{2(A * V_{in})}{\pi} \right) \cos\phi \quad (3.11)$$

Donde A es la ganancia del Amplificador-Modulador, V_{in} es la señal de entrada o de interés y ϕ es el desfase entre la señal de entrada y la referencia.

En todas las simulaciones que se muestran a continuación se utilizaron señales senoidales de entrada de $5mV$ de amplitud a $10kHz$ de frecuencia. En la figura 3.19 se muestra la variación de amplitud en el nivel de V_{oDC} para un desfase inicial de 210° entre v_{in} y V_{ref} . Al aplicar el desfase de 90° , se observa un cambio abrupto en V_{oDC} , y el circuito de control determina que el desfase inicial se encuentra en el cuadrante I. El control digital desactiva $TP90$, por lo que V_{oDC} tiende a regresar a su nivel inicial, y el contador comienza a contar, de modo que en cada ciclo de reloj la fase varía, con una resolución

inicial de 4.41° . Debido a ello, V_{oDC} comienza a disminuir hasta que alcanza el cruce por $V_{DD}/2$. En el momento en que se detecta el cruce, el comparador cambia de estado y el control digital detiene el contador. Por último, se activa/desactiva el desplazador de fase $PS90$, de modo que V_{in} y V_{ref} quedan alineados en fase.

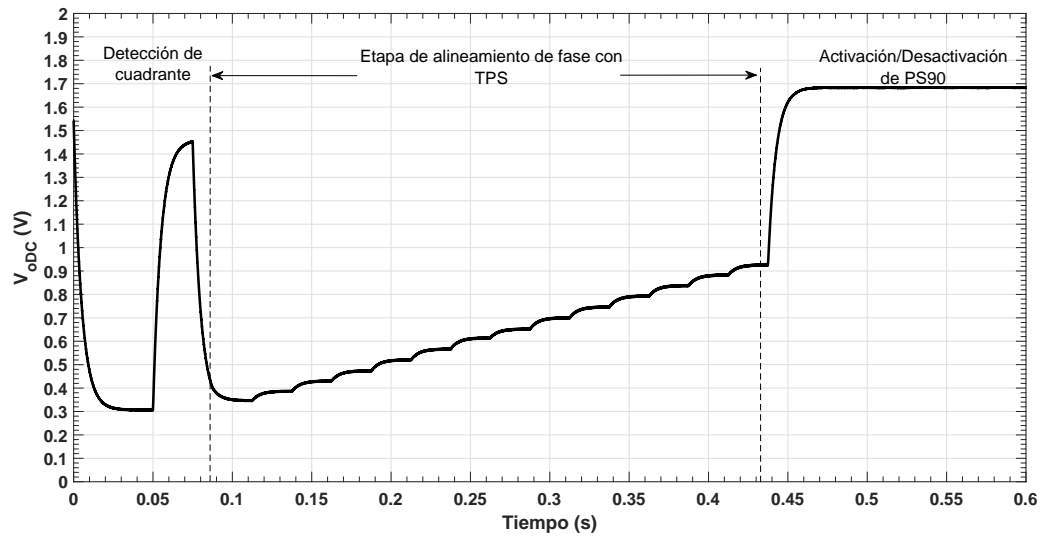


Figura 3.19: Compartimiento del nivel de V_{oDC} durante el proceso de alineamiento de fase de las señales de estrada con un desfase inicial de 210° utilizando la propuesta I.

En la figura 3.20, se muestra el mismo proceso considerando un desfase inicial entre V_{in} y V_{ref} de 270° . En este caso particular, el circuito de control detecta el cruce por cero en la última palabra digital posible, por lo que el tiempo necesario para completar el proceso de alineamiento de fase T_{eMax} hasta el 99% de V_{oDC} es el máximo de $830ms$.

Otro caso crítico se presenta cuando el desfase inicial entre V_{in} y V_{ref} es muy pequeño, por lo que se necesita solo un paso en el desplazamiento de fase para detectar el cruce por $V_{DD}/2$. En este caso, como se muestra en la figura 3.21 el alineamiento en fase se alcanza en poco tiempo pero con un error mayor, debido a que la resolución del circuito TPS en los primeros pasos es de 4.41° , y se necesita un paso más para salir de la zona de operación del circuito comparador y que éste pueda cambiar de estado para que el control digital detenga el desplazamiento de la señal de referencia.

En la tabla 3.8, presenta el error en fase final para distintos desfases iniciales entre la señal de entrada y la de referencia, siendo el desfase inicial de 266° el que corresponde al peor caso.

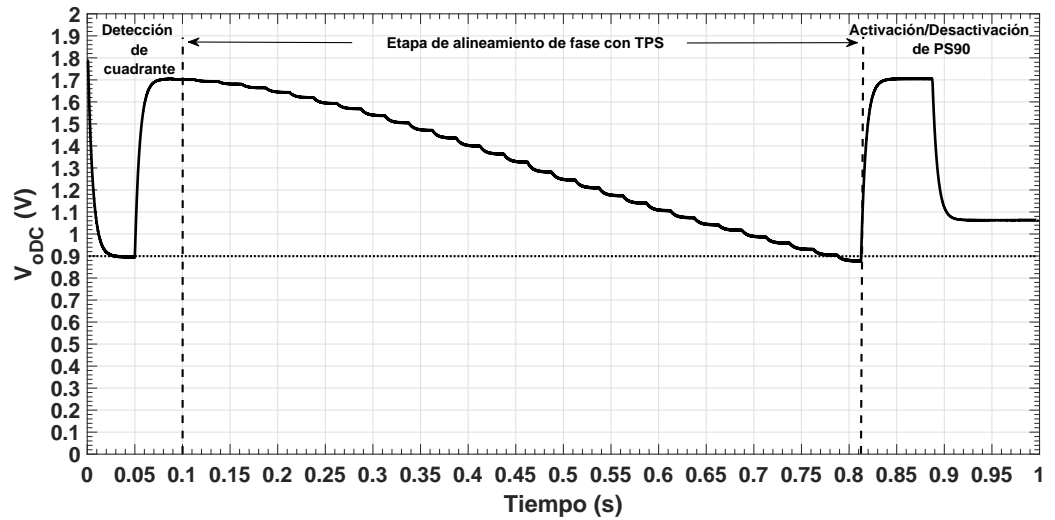


Figura 3.20: Compartimiento del nivel de V_{oDC} durante el proceso de alineamiento de fase de las señales de estrada con un desfase inicial de 270° utilizando la propuesta I.

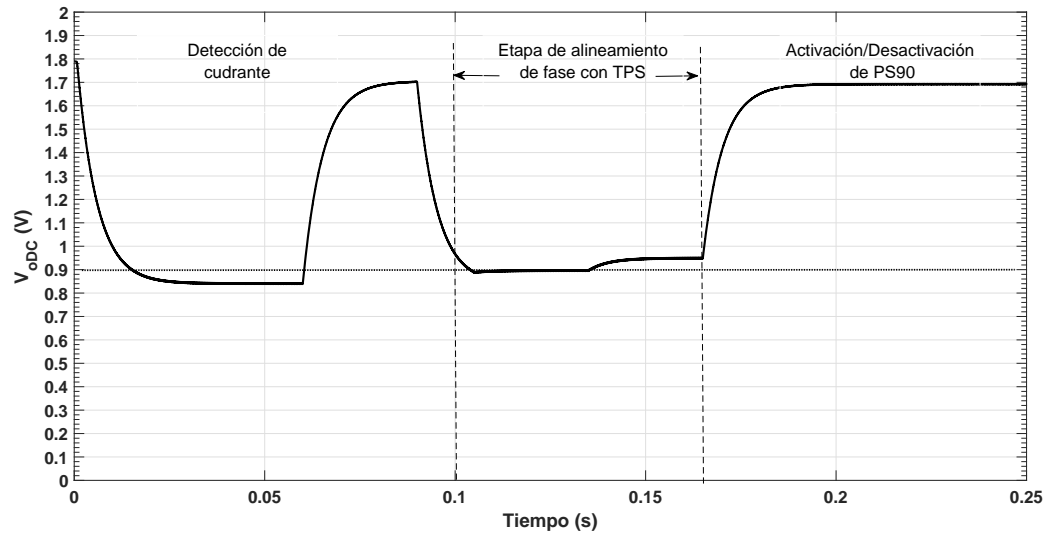


Figura 3.21: Compartimiento del nivel de V_{oDC} durante el proceso de alineamiento de fase de las señales de estrada con un desfase inicial de 266° utilizando la propuesta I.

Tabla 3.8: Tabla de resultados del amplificador lock in utilizando propuesta de sincronización I

Desfase inicial ϕ ($^{\circ}$)	Error en fase ($^{\circ}$)
30	7.56
120	6.41
210	7.56
266	8.60
270	5.56
300	4.66

3.6. Amplificador lock in con propuesta II

Al igual que en el apartado anterior, se realizaron pruebas a la segunda propuesta para alinear las fases de las señales de entrada del amplificador lock in. En este caso se utilizaron las mismas señales de entrada con los mismos valores de desfase que en la propuesta I para poder realizar una comparación de ambos métodos. En la figura 3.22 se muestra el comportamiento del nivel de V_{oDC} al desplazar la fase de V_{ref} , con un desfase inicial de 210° y se puede observar que el tiempo de estabilización del nivel en dc es menor debido a pasos más grandes en el desplazamiento de fase y alcanza más rápido un nivel aproximado a $V_{DD}/2$ para luego aplicar el desfase de 90° y que las señales queden en fase.

En la figura 3.23 se muestra uno de los casos críticos para ambas propuestas de alineación de fase, en donde los circuitos desplazadores de fase deben aplicar el máximo desplazamiento en la fase de la señal de referencia. En este caso se observa cómo el control digital y el control de fase SAR, logran desplazar la señal de referencia hasta que V_{oDC} alcance una amplitud aproximada a $V_{DD}/2$ en solo cinco pulsos de reloj, lo que reduce el tiempo de estabilización del nivel de dc a solo $238ms$.

Al igual que en el apartado anterior, también se realizó una simulación con un desfase inicial en las señales de entrada de 266° . En la figura 3.24 se muestra el comportamiento del nivel de V_{oDC} durante todo el proceso de alineamiento, y se obtuvo un error en fase de 4.41° , En la tabla 3.9 se muestra un resumen de resultados de las distintas simulaciones realizadas para comprobar el correcto funcionamiento de la propuesta II de alineamiento de fase.

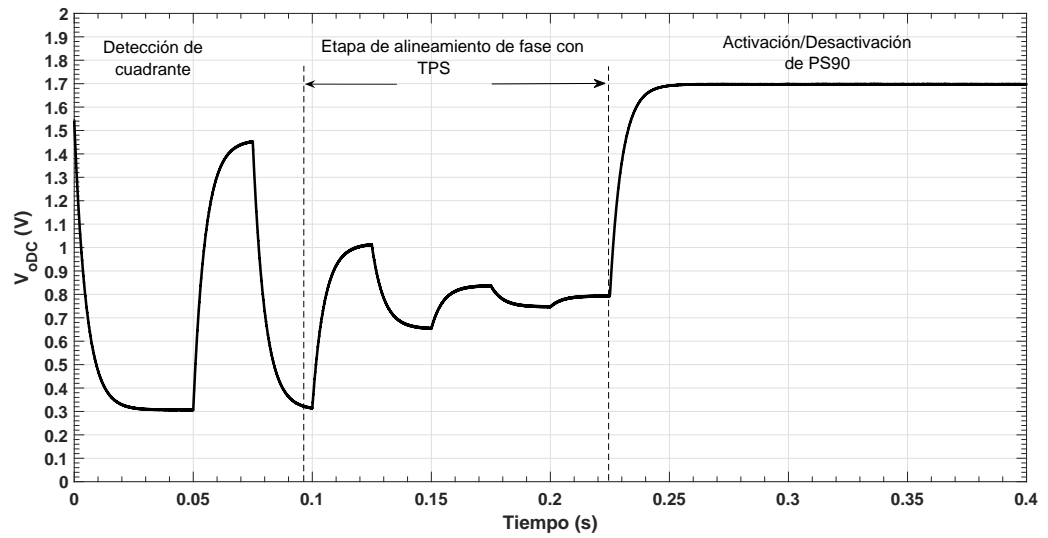


Figura 3.22: Compartimiento del nivel de V_{oDC} durante el proceso de alineamiento de fase de las señales de estrada con un desfase inicial de 210° utilizando la propuesta II.

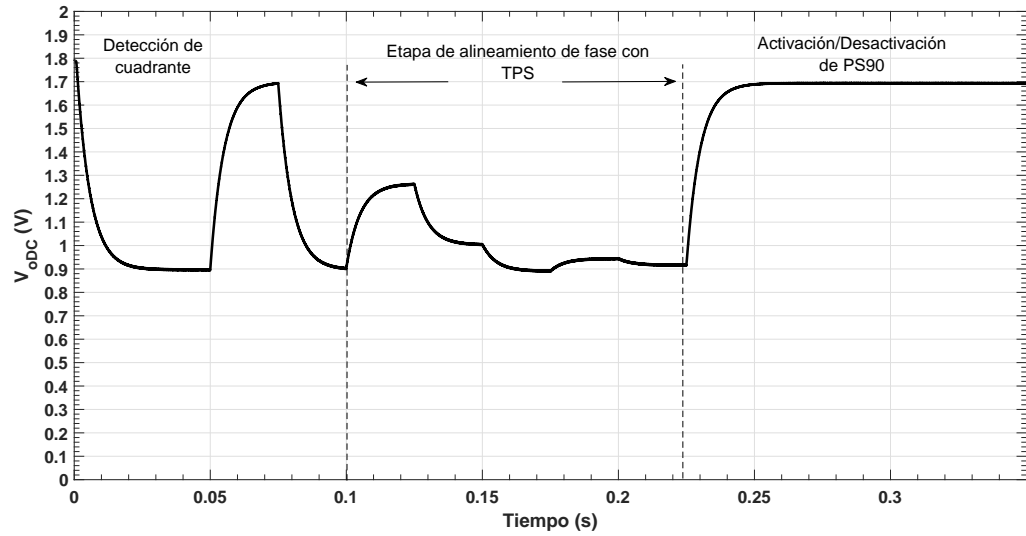


Figura 3.23: Compartimiento del nivel de V_{oDC} durante el proceso de alineamiento de fase de las señales de estrada con un desfase inicial de 270° utilizando la propuesta II.

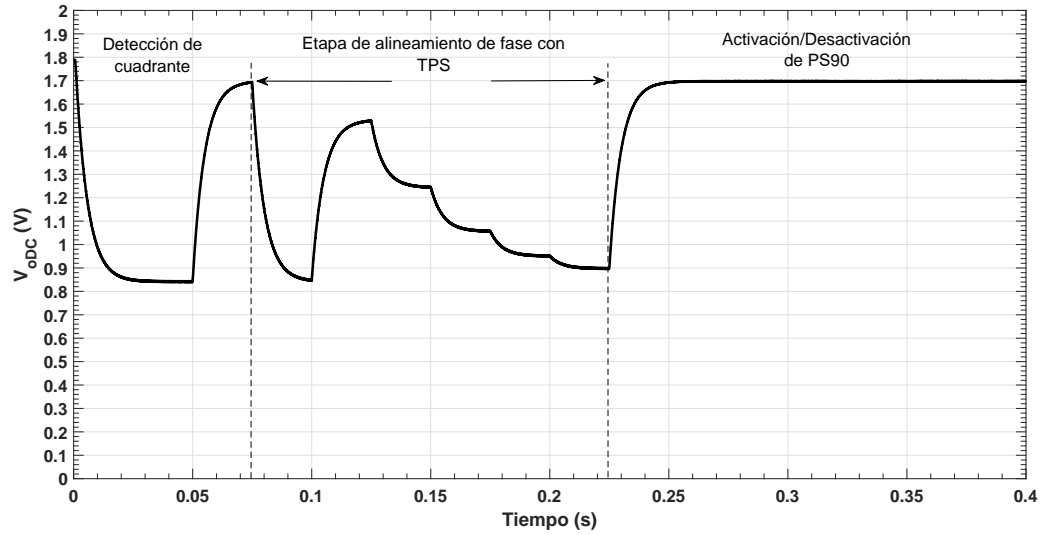


Figura 3.24: Compartimiento del nivel de V_{oDC} durante el proceso de alineamiento de fase de las señales de estrada con un desfase inicial de 266° utilizando la propuesta II.

Tabla 3.9: Tabla de resultados del amplificador lock in utilizando propuesta de alineación de fase II

Desfase inicial ϕ ($^\circ$)	Error en fase ($^\circ$)
30	3.66
120	3.96
210	3.66
266	4.72
270	2.92
300	3.15

3.7. Comparación de métodos de alineación de fase

Se realizó un comparación de ambos métodos en términos del tiempo máximo de estabilización T_{eMax} , el máximo error en fase, y la potencia consumida.

Para realizar una estimación de la potencia consumida para cada una de las propuestas, se obtiene un promedio de la corriente que demanda cada uno de los bloques, tanto analógicos como digitales. La potencia total está dada por:

$$Potencia_{total} = P_{estatica} + P_{dinamica}$$

Donde la potencia estática, es la potencia consumida por los circuitos analógicos, como se resume en la Tabla 3.10.

Tabla 3.10: Consumo de potencia de cada bloque analógico

Bloque	Potencia	Potencia Total
Amplificador-Modulador	$804.6\mu W$	2.205mW
LPF	$626.5\mu W$	
Comparador	$64.7\mu W$	
TPS	$355.6\mu W$	
PS90	$355\mu W$	

La potencia estática de los circuitos digitales es despreciable. A continuación se realiza una estimación de la corriente consumida por la parte digital de cada una de las propuestas de control. Ambas presentan una demanda de potencia del orden de nano amperes en un ciclo de trabajo:

La propuesta I presenta un consumo de potencia por ciclo de trabajo de $15.7nW$ y necesita un máximo 36 ciclos de trabajo para determinar el cuadrante, sincronizar y mostrar un nivel estable de V_{oDC} , por lo que el máximo consumo de potencia del control digital durante el alineamiento de fases es de $565nW$.

En cambio la propuesta II presenta un consumo por ciclo de trabajo de $41.21nW$, y necesita como máximo 9 ciclos para determinar el cuadrante, sincronizar y mostrar un nivel estable de V_{oDC} , por lo que el máximo consumo de potencia del control digital durante el alineamiento de fases es de $370nW$.

En ambos casos el consumo de los circuitos digitales es despreciable frente al consumo de la parte analógica, por lo que no es un factor determinante al seleccionar una u otra opción.

En la tabla 3.11 se resumen las características de ambas propuestas. Para la propuesta I, el tiempo de alineamiento de fase varía dependiendo de cuál sea el desfase a compensar, y en algunos casos puede resultar lenta en comparación con la propuesta II. Además, puede llegar a tener error en fase de 8.6° , equivalente a dos palabras digitales en el ajuste de fase del bloque *TPS*, esto se debe a que V_{oDC} puede llegar a cruzar $V_{DD}/2$ con cierta palabra digital, pero V_{oDC} aun no ha sobrepasado el nivel de histéresis del comparador, por lo que el contador tiene que dar otro paso para salir de esa zona. Este caso no ocurre en la propuesta II, debido a que el registro SAR varía su salida hasta que V_{oDC} llegue a valores aproximados a $V_{DD}/2$ y no depende directamente de esperar un cruce por $V_{DD}/2$ para detenerse y entregar una palabra digital.

Tabla 3.11: Comparación de propuestas de alineación de fase.

	T_e (ms)	Potencia (mW)	Max Error en fase
Propuesta I	830	2.205	$\pm 8.60^\circ$
Propuesta II	237	2.205	$\pm 4.72^\circ$

3.8. Conclusiones

En este capítulo se implementó un circuito desplazador de fase variable (TPS), que desplaza la fase de una señal de entrada en un rango que supera los 90° , con una resolución variable entre 2.81° y 4.41° , con un consumo de potencia de $355\mu W$. También se diseñó un desplazador de fase fijo de 90° , el cual es indispensable para realizar la alineación de fase de las señales de entrada. Finalmente, se presenta un circuito comparador, con una histéresis interna de $20mV$, que evita transiciones no deseadas a su salida cuando V_{oDC} se encuentra cerca de $V_{DD}/2$.

En la parte digital del circuito de alineación de fase, se presentaron dos propuestas: una utilizando un contador digital, y la segunda utilizando un registro de aproximaciones sucesivas. Se realizó una comparación de ambas propuestas para determinar cuál presenta una mayor precisión y exactitud para realizar el alineamiento de fase de las señales de entrada del amplificador lock in. Luego de realizar pruebas de funcionamiento de cada una de las propuestas y realizar una comparación de sus características, se concluye que la mejor opción para realizar la alineación es la propuesta II, debido a presentó un menor error en fase, por lo que se puede realizar la estimación de la amplitud de una señal de entrada V_{in} con mayor precisión, y un tiempo de establecimiento menor.

Capítulo 4

Amplificador lock in

En este capítulo se presenta un amplificador lock in de baja tensión y bajo consumo, implementado en una tecnología CMOS de 1.8V-0.18 μm utilizando el amplificador sensible a fase presentado en el capítulo 2 y la propuesta II de circuito de alineación de fase presentado en el capítulo 3.

4.1. Arquitectura

El funcionamiento del amplificador lock in propuesto 4.1 presenta dos etapas de operación: la etapa de alineación de fase de la señal de referencia con la señal V_{in} , y la etapa de amplificación sensible a fase, en donde se recupera el nivel en DC proporcional a la señal de entrada proveniente de un sensor.

La etapa de alineación de fase, está dividida, a su vez, en la detección de cuadrante, el ajuste programable de fase con un TPS y, por último, la activación/desactivación de PS90.

Para alinear la fase de la señal entrada y la señal de referencia, la señal de entrada debe tener una amplitud mínima de 1mV, ya que es necesario que el cambio de nivel de V_{oDC} en cada paso sea superior al valor de histéresis del comparador que detecta el cruce por $V_{DD}/2$. Esto resulta en un cambio en la señal V_{oDC} de 8.4mV para el mínimo desplazamiento de fase de 2.81° del bloque TPS; con esto se asegura que el nivel de V_{oDC} no necesite más de dos palabras digitales para salir del rango de histéresis y no resulte un desfase elevado entre V_{ref} y V_{in} .

Una vez alineadas en fase la señal V_{in} de amplitud controlada ($> 1mV$) y la señal de referencia V_{ref} , en la etapa de amplificación sensible a fase la señal de interés V_{in} (que puede tener amplitudes de micro voltios) es amplificada, modulada y filtrada por el amplificador sensible a fase presentado en el capítulo 2 para recuperar su amplitud.

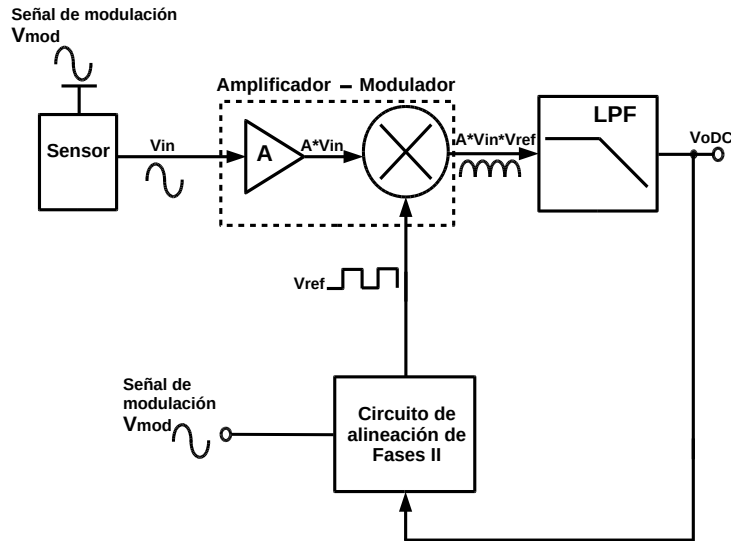
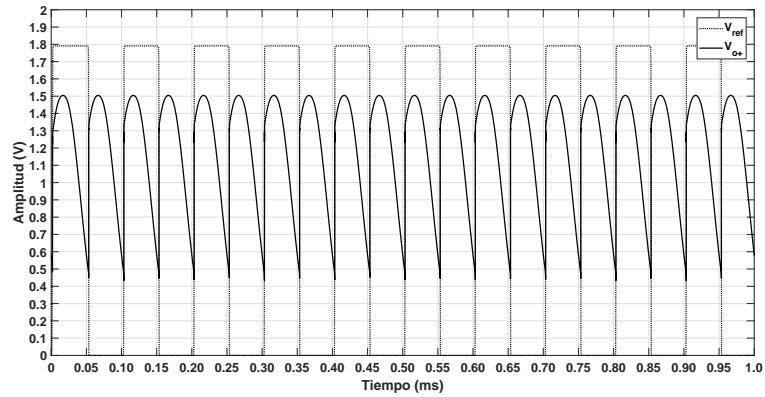


Figura 4.1: Diagrama a bloques del amplificador lock in propuesto.

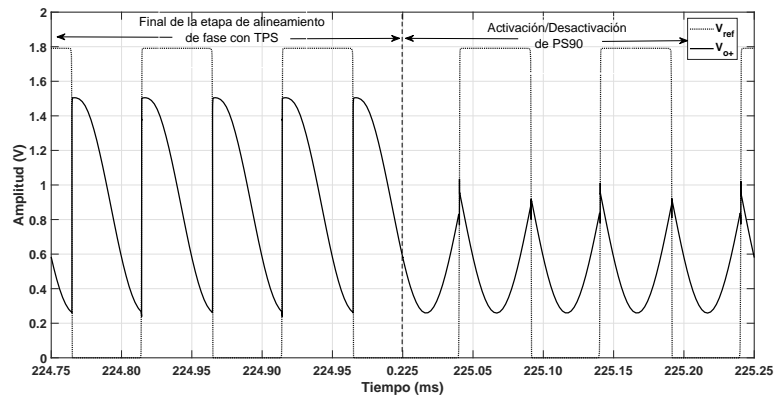
4.2. Caracterización

En la figura 4.2, se muestra el funcionamiento del amplificador lock in propuesto en cada una de sus etapas de operación, para una frecuencia de trabajo de 10kHz. Inicialmente, se tiene una señal $V_{in} = 5mV$ en la etapa de alineación de fases, con un desfase de 238° . En el inciso 4.2(a) se muestra la señal de referencia junto con la salida V_{o+} del amplificador-modulador para este desfase inicial. Posteriormente, en la etapa de alineación de fase, la señal de referencia es desplazada hasta estar en cuadratura con V_{in} y a continuación es desplazada 90° por PS90 para estar en fase con V_{in} , situación que se puede observar en el inciso 4.2(b). Por último, en la etapa de amplificación sensible a fase, la señal V_{in} es devuelta sus condiciones iniciales, $V_{in} = 1mV$, y se espera que idealmente V_{oDC} sea igual a $1.059V$. En el inciso 4.2(c) se puede observar cómo el nivel de V_{oDC} , una vez realizada la alineación de fase, cambia abruptamente su valor debido al cambio en la amplitud de V_{in} , y se recupera un nivel en DC de $V_{oDC} = 1.062V$, que supone un error relativo de 0.28 %.

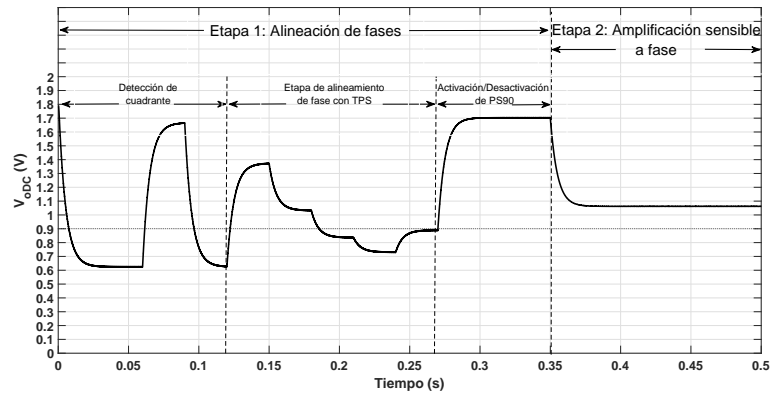
En la etapa de amplificación sensible a fase, el filtro pasa bajas tiene una influencia importante en la precisión del nivel en DC obtenido, como se mencionó anteriormente. En este trabajo se utiliza un filtro pasa bajas de entrada diferencial con una frecuencia de corte de $31.8Hz$, por lo que se tiene un factor de calidad equivalente de $Q=314.4$. Si se utilizan capacitores externos en el diseño del filtro, se puede disminuir la frecuencia de corte y aumentar el factor de calidad como se verá mas adelante.



(a)



(b)



(c)

Figura 4.2: Funcionamiento del amplificador lock in propuesto en cada una de sus etapas de operación: (a) Señal de referencia con la salida V_{o+} del amplificador-modulador al inicio de la etapa de alineación de fases, con desfase inicial de 238° . (b) Final de la etapa de alineación de fases con la activación/desactivación de PS90. (c) Comportamiento del nivel de V_{oDC} a lo largo de toda la etapa de alineación y amplificación sensible a fase.

En la figura 4.3(a) se muestran los errores relativos obtenidos para una señal de interés de $100\mu V$ de amplitud y frecuencia de 10kHz , utilizando señales senoidales de 5mV como interferencia, esto es, para un $DR = 33.97\text{dB}$. Se puede observar que, mientras la frecuencia de interferencia se aleja de la frecuencia de la señal de interés, el error relativo permanece acotado en un porcentaje inferior al 4.5% . Sin embargo, cuando está cerca de la frecuencia de interés, el error tiende a infinito, debido a que el sistema no puede eliminarlas. En la figura 4.3(b), se redujo la frecuencia de corte a 5Hz aumentando el valor de la capacitancia a 318pF , de forma que el factor de calidad Q aumenta su valor a 2000 , y se puede observar cómo el sistema es más selectivo y el error relativo para estimar el valor en DC disminuye considerablemente al 2% .

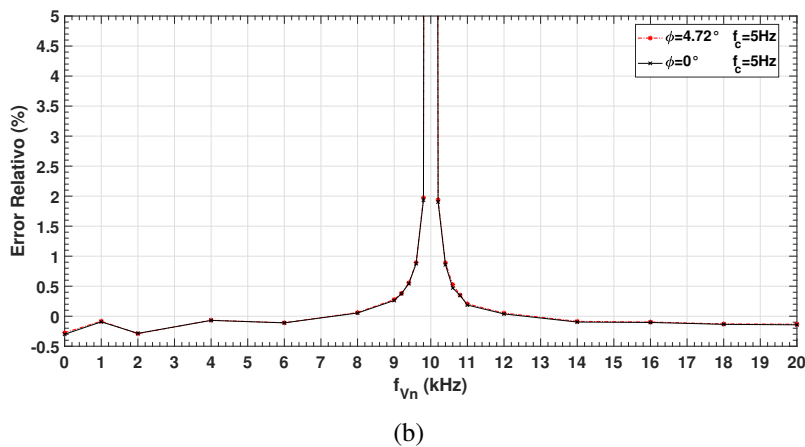
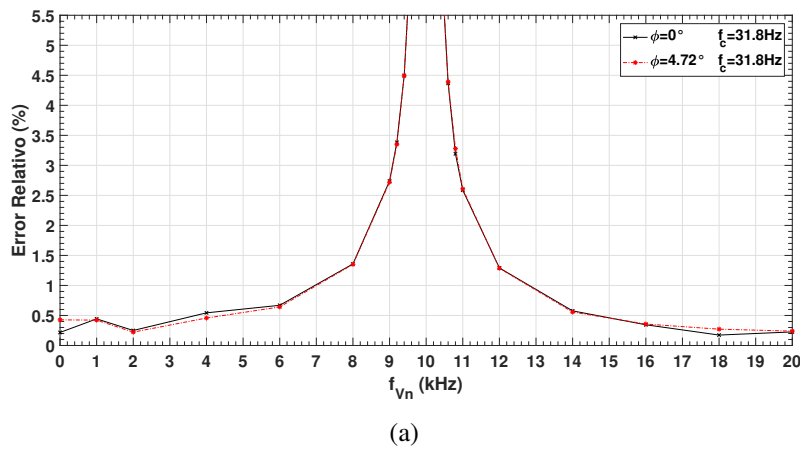


Figura 4.3: (a) Error relativo utilizando una frecuencia de corte $f_c = 31.8\text{Hz}$. (b) Error relativo utilizando una frecuencia de corte $f_c = 5\text{Hz}$.

En la tabla 4.1 se resumen estos resultados de recuperación de señales con interferencias a distintas frecuencias, y se puede observar la influencia que tiene el filtro pasa bajas en la precisión del nivel en DC, por lo que afecta directamente el porcentaje de

error para estimar la señal de entrada, a consta de aumentar el tiempo de adquisición. En los casos comparados, se utilizó una señal $v_{in} = 5mV@10kHz$, con interferencias $v_n = 5mV$ a diferentes frecuencias, y una relación señal a ruido de $-33.9dB$.

Tabla 4.1: Tabla de resultados al estimar el error relativo en señales de 10kHz

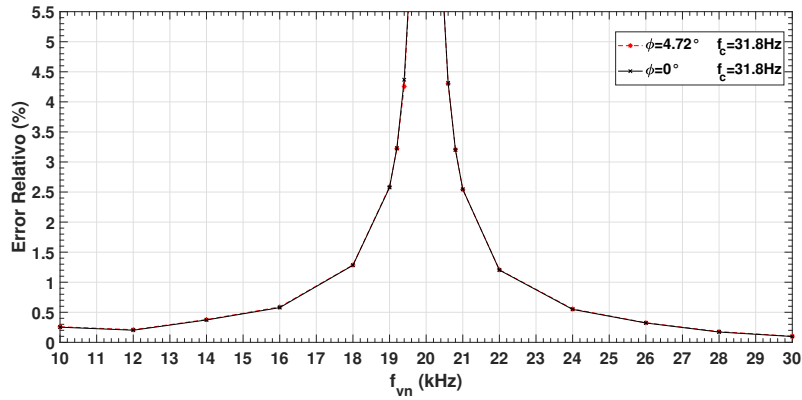
Señal de entrada	V_{oDC} ideal (mV)	31.8Hz		5Hz	
		V_{oDC} sim. (mV)	Error Relativo (%)	V_{oDC} sim. (mV)	Error Relativo (%)
$v_{in} = 100\mu V@10kHz$ $v_n = 5mV@8kHz$	915.9	928.3	1.32	916.5	0.06
$v_{in} = 100\mu V@10kHz$ $v_n = 5mV@9.4kHz$	915.9	957.1	4.47	921.2	0.54
$v_{in} = 100\mu V@10kHz$ $v_n = 5mV@14kHz$	915.9	921.1	0.56	915.7	-0.02

En las figuras 4.4(a) y (b), se muestran los errores relativos obtenidos para una señal de interés de $100\mu V$ de amplitud y $20kHz$ de frecuencia, en donde se mantiene la misma reserva dinámica de $33.97dB$ del caso anterior. En la tabla 4.2 se resumen los resultados de recuperación de señales de $20kHz$ con distintas frecuencias de interferencia.

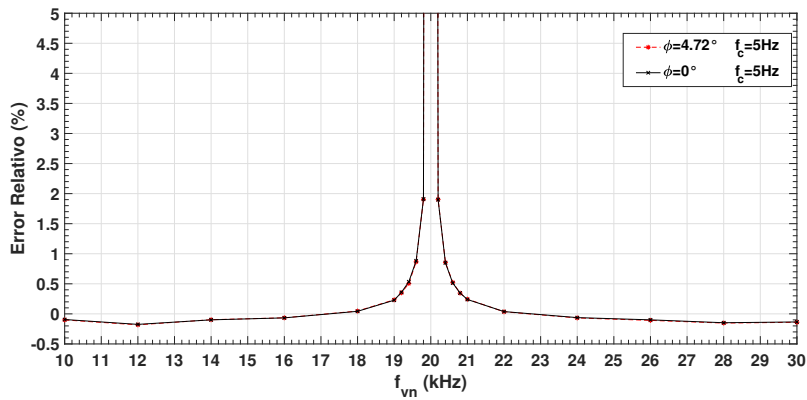
Tabla 4.2: Tabla de resultados al estimar el error relativo en señales de 20kHz

Señal de entrada	V_{oDC} ideal (mV)	31.8Hz		5Hz	
		V_{oDC} sim. (mV)	Error Relativo (%)	V_{oDC} sim. (mV)	Error Relativo (%)
$v_{in} = 100\mu V@20kHz$ $v_n = 5mV@18kHz$	915.9	927.6	1.28	916.3	0.04
$v_{in} = 100\mu V@20kHz$ $v_n = 5mV@19.4kHz$	915.9	954.9	4.25	920.8	0.53
$v_{in} = 100\mu V@20kHz$ $v_n = 5mV@24kHz$	915.9	921.0	0.55	915.3	-0.06

También se realizaron simulaciones en la frecuencia de trabajo de $30kHz$ del amplificador lock in, en la figura 4.5 se muestran los errores relativos obtenidos en señales de entrada de $30kHz$ con la misma relación señal a ruido que los casos anteriores. En la tabla 4.3 se resumen los resultados de recuperación de señales de $30kHz$ con distintas frecuencias de interferencia, en donde se puede observar que el error relativo es un muy similar a los casos anteriores.



(a)

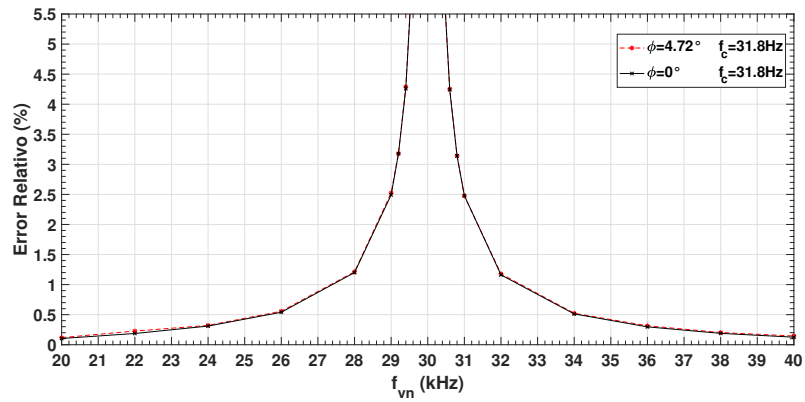


(b)

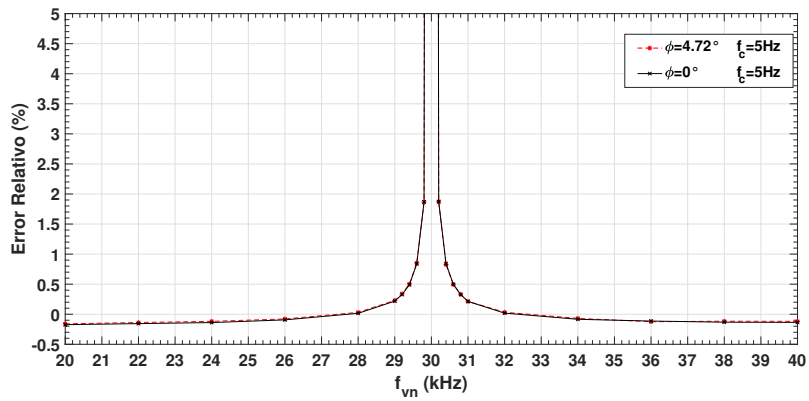
Figura 4.4: (a) Error relativo utilizando una frecuencia de corte $f_c = 31.8Hz$. (b) Error relativo utilizando una frecuencia de corte $f_c = 5Hz$.

Tabla 4.3: Tabla de resultados al estimar el error relativo en señales de 30kHz

Señal de entrada	V_{oDC} ideal (mV)	31.8Hz		5Hz	
		V_{oDC} sim. (mV)	Error Relativo (%)	V_{oDC} sim. (mV)	Error Relativo (%)
$v_{in} = 100\mu V @ 30kHz$ $v_n = 5mV @ 28kHz$	915.9	927.0	1.21	916.1	0.02
$v_{in} = 100\mu V @ 30kHz$ $v_n = 5mV @ 29.4kHz$	915.9	954.9	4.25	920.4	0.49
$v_{in} = 100\mu V @ 30kHz$ $v_n = 5mV @ 34kHz$	915.9	920.6	0.51	915.1	-0.08



(a)



(b)

Figura 4.5: (a) Error relativo utilizando una frecuencia de corte $f_c = 31.8Hz$. (b) Error relativo utilizando una frecuencia de corte $f_c = 5Hz$.

Finalmente, en la tabla 4.4 se muestran las principales características eléctricas del amplificador lock in propuesto. El circuito de alineación de fase tiene un error en fase máximo de 4.72° y necesita un tiempo de estabilización máximo en la etapa de calibración de $237ms$ para completar la alineación en fase de las señales. Además se realiza una comparación con otros amplificadores lock in integrados encontrados en la literatura. Aunque la reserva dinámica de 33.9dB es algo menor que la de otros trabajos, el amplificador lock in propuesto es el único que incluye el circuito de alineación de fases y un filtro pasa-bajas integrable, con un consumo moderado de 2.2mW.

Tabla 4.4: Comparación de amplificadores lock in integrados

Parámetros	[8]	[24]	[25]	[26]	Este trabajo
Tecnología CMOS(μm)	0.35	0.18	0.18	0.35	0.18
Alimentación (V)	± 1	1.2	1.8	1.8	1.8
Ganancia (dB)	10-110	0-40	24.7-42	106	42
Frecuencias (kHz)	77	700	125	0.025	10-30
CMRR (dB)	n.a	97@100kHz	78.3@100kHz	n.a	52@100kHz
Swing de entrada (mV_{pp})	0.01	100	4.5-17	0.02	11
Ruido referido a la entrada ($nV/Hz^{1/2}$)	34@77Hz	n.a	5.9@1kHz	n.a	11.7@10kHz 8.9@20kHz 7.7@30kHz
Offset (mV)	n.a	n.a	n.a	n.a	1.5
LPF integrado	n.a	n.a	n.a	n.a	Sí
f_c (Hz)	0.9	5	0.5	0.1	31.8
DR (dB)	n.a	33	35.5	34	33.9
Alineamiento de fases	No	No	No	Sí	Sí
Max. error en fase ($^\circ$)	n.a	n.a	n.a	n.a	4.72
Tiempo de establecimiento T_e (ms)	n.a	n.a	n.a	n.a	237
Potencia (mW)	3	1.7	0.417	2	2.20

4.3. Conclusiones

En este capítulo se presentó el amplificador lock in basado en la etapa de amplificación sensible a fase presentada en el capítulo 2 y el circuito de alineación de fase de la propuesta II presentada en el capítulo 3.

La arquitectura propuesta, diseñada en una tecnología de $0.18\mu m$ CMOS con una tensión de alimentación de 1.8 V, es una solución completa, que incluye tanto el amplificador sensible a fase como el circuito de alineación de fase. El circuito de alineación de fase presenta un error en fase máximo de 4.72° , una resolución de 2.8° y una potencia de $834\mu W$. El sistema completo, con un consumo inferior a 2.2mW, es capaz de recuperar una señal de interés con $SNR=33.9dB$ con un error relativo inferior a 4.5 %.

Capítulo 5

Conclusiones y trabajo futuro

5.1. Conclusiones

Se presentó el diseño a nivel esquemático y caracterización eléctrica de un amplificador sensible a fase en tecnología CMOS de $0.18\mu m$ con un voltaje de alimentación de 1.8V. El diseño propuesto está basado en una arquitectura de amplificador que hace uso de un par diferencial de entrada FVF con resistencias lineales de degeneración R_x y carga R_L , proporcionando una ganancia fija R_L/R_x de 40 dB, mientras que la demodulación queda embebida en la etapa de salida del transistor, optimizándose así el diseño en términos de consumo de potencia y área.

La ganancia, para una mayor flexibilidad de diseño, puede ser programable sustituyendo la resistencia de degeneración por un arreglo de resistencias programables.

Con respecto a la etapa de alineación de fase, principal objetivo de este trabajo, se realizó el diseño de dos circuitos. Cada una de estas propuestas fueron comparadas en su funcionamiento eléctrico y eficiencia para completar la alineación de las señales de entrada y referencia, eligiéndose la propuesta que presenta un menor error en fase para la implementación de un amplificador lock in completo.

Este permitió recuperar una señal de interés con un error relativo inferior al 4.5 % para señales sumergidas en múltiples interferencias senoidales hasta frecuencias de 9.4kHz para una señal de interés de 10kHz y en el peor caso de alineación. Frente a otras propuestas en la literatura, el amplificador lock in de este trabajo tiene circuito de alineación de fase con un máximo error en fase de 4.72° y propuesta de LPF totalmente integrada, resultando una solución completa con un consumo moderado y un buen compromiso entre sus principales prestaciones.

5.2. Trabajo futuro

Con base a los resultados obtenidos, algunos trabajos a futuro son:

- Explorar alternativas que permitan diseñar un filtro pasa-bajas de muy baja frecuencia de corte para reducir el error relativo al obtener el nivel de salida en DC del amplificador sensible a fase.
- Utilizar técnicas de diseño en la región de subumbral para reducir el consumo de potencia.
- Incrementar la resolución del desplazador de fase y hacerlo programable para que funcione en modo adelanto y atraso para eliminar el desplazador fijo de 90° .

Referencias

- [1] M. L. Meade, *Lock-in amplifiers: principles and applications*. No. 1, Mike Meade, 1983.
- [2] V. Autores, “Departamento de fisica universidad de sonora,” 2006.
- [3] J. Aguirre, N. Medrano, B. Calvo, and S. Celma, “Lock-in amplifier for portable sensing systems,” *Electronics letters*, vol. 47, no. 21, pp. 1172–1173, 2011.
- [4] D. Blair and P. Sydenham, “Phase sensitive detection as a means to recover signals buried in noise,” *Journal of Physics E: Scientific Instruments*, vol. 8, no. 8, p. 621, 1975.
- [5] W. Kester, *Practical design techniques for sensor signal conditioning*. Analog devices, 1999.
- [6] P. Maya-Hernández, M. Sanz-Pascual, A. Díaz-Sánchez, and B. Calvo, “Diseño integrado de un amplificador lock-in compacto de bajo consumo para aplicaciones portátiles,” *Superficies y vacío*, vol. 27, no. 2, pp. 66–73, 2014.
- [7] P. M. Maya-Hernández, L. C. Álvarez-Simón, M. T. Sanz-Pascual, and B. Calvo-López, “An integrated low-power lock-in amplifier and its application to gas detection,” *Sensors*, vol. 14, no. 9, pp. 15880–15899, 2014.
- [8] A. D’amico, A. De Marcellis, C. Di Carlo, C. Di Natale, G. Ferri, E. Martinelli, R. Paolesse, and V. Stornelli, “Low-voltage low-power integrated analog lock-in amplifier for gas sensor applications,” *Sensors and Actuators B: Chemical*, vol. 144, no. 2, pp. 400–406, 2010.
- [9] A. De Marcellis, G. Ferri, and E. Palange, “A fully analog high performances automatic system for phase measurement of electrical and optical signals,” *measurements*, vol. 1, no. 11, p. 16, 2015.
- [10] E. Sanchez-Sinencio and J. Silva-Martinez, “CMOS transconductance amplifiers, architectures and active filters: a tutorial,” *IEE proceedings-circuits, devices and systems*, vol. 147, no. 1, pp. 3–12, 2000.

- [11] A. Gratz, “Operational transconductance amplifiers,” *Synth stromeko*, 2005.
- [12] T. Ndjountche, *CMOS analog integrated circuits: high-speed and power-efficient design*. CRC Press, 2016.
- [13] J. Ramirez-Angulo, S. Gupta, I. Padilla, R. Carvajal, A. Torralba, M. Jimenez, and F. Munoz, “Comparison of conventional and new flipped voltage structures with increased input/output signal swing and current sourcing/sinking capabilities,” in *Circuits and Systems, 2005. 48th Midwest Symposium on*, pp. 1151–1154, IEEE, 2005.
- [14] R. G. Carvajal, J. Ramírez-Angulo, A. J. López-Martín, A. Torralba, J. A. G. Galán, A. Carlosena, and F. M. Chavero, “The flipped voltage follower: A useful cell for low-voltage low-power circuit design,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 52, no. 7, pp. 1276–1291, 2005.
- [15] S. Rout and E. K. Lee, “Design of 1 v switched-current cells in standard CMOS process,” in *Circuits and Systems, 2000. Proceedings. ISCAS 2000 Geneva. The 2000 IEEE International Symposium on*, vol. 2, pp. 421–424, IEEE, 2000.
- [16] S. Karthikeyan, A. Tamminneedi, C. Boecker, and E. K. Lee, “Design of low-voltage front-end interface for switched-op amp circuits,” *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 48, no. 7, pp. 722–726, 2001.
- [17] L. Acosta, R. G. Carvajal, M. Jimenez, J. Ramirez-Angulo, and A. Loper-Martin, “A CMOS transconductor with 90 db sfd and low sensitivity to mismatch,” in *Circuits and Systems, 2006. ISCAS 2006. Proceedings. 2006 IEEE International Symposium on*, pp. 4–pp, IEEE, 2006.
- [18] C. K. Alexander and M. N. Sadiku, *Fundamentos de circuitos eléctricos (5a. McGraw Hill Mexico*, 2013.
- [19] J. Fidler, T. Deliyannis, and Y. Sun, *Continuous-time active filter design*. CRC press, 1998.
- [20] L. D. Paarmann, *Design and analysis of analog filters: a signal processing perspective*, vol. 617. Springer Science & Business Media, 2006.
- [21] S. Al-Shahrani, “CMOS wideband auto-tuning phase shifter circuit,” *Electronics Letters*, vol. 43, no. 15, p. 1, 2007.
- [22] S. Minaei and E. Yuce, “High input impedance NMOS-based phase shifter with minimum number of passive elements,” *Circuits, Systems, and Signal Processing*, vol. 31, no. 1, pp. 51–60, 2012.

- [23] R. Gregorian, *Introduction to CMOS OP-AMPs and comparators*. Wiley New York, 1999.
- [24] M. Valero, N. Medrano, S. Celma, and B. Calvo, “A CMOS 1.2-v 1.7-mw lock-in amplifier for sensing applications up to 0.7-mhz,” in *SENSORS, 2014 IEEE*, pp. 78–81, IEEE, 2014.
- [25] P. M. Maya-Hernández, M. T. Sanz-Pascual, and B. Calvo, “CMOS low-power lock-in amplifiers with signal rectification in current domain,” *IEEE Transactions on Instrumentation and Measurement*, vol. 64, no. 7, pp. 1858–1867, 2015.
- [26] A. De Marcellis, G. Ferri, and A. D’Amico, “One-decade frequency range, in-phase auto-aligned 1.8 v 2 mw fully analog CMOS integrated lock-in amplifier for small/noisy signal detection,” *IEEE Sensors Journal*, vol. 16, no. 14, pp. 5690–5701, 2016.