



INAOE

ADC tipo folding en modo corriente a 10 bits 1 GM/s basado en celdas winner take all

por

Ing. Luis Felipe Salinas Mendoza

Tesis sometida como requisito parcial para obtener el grado de

MAESTRO EN CIENCIAS EN LA ESPECIALIDAD DE ELECTRÓNICA

en el

Instituto Nacional de Astrofísica, Óptica y Electrónica

Diciembre 2018

Tonantzintla, Puebla

Supervisada por:

**Dr. Guillermo Espinosa Flores-Verdad,
INAOE**

**Dr. Luis Antonio Carrillo Martínez,
ITESM**

©INAOE 2018

El autor otorga al INAOE el permiso de reproducir y distribuir copias en su totalidad o en partes de esta tesis



Abstract

Unrelenting growth in digital communications, multimedia and others consumers products in recent years has translated into increasing demands for Analog to Digital Converters (ADCs) of 8-10 bits resolutions and sample rates in excess of 100 MHz. This work shows a 10 bits 1GS/s current mode Folding ADC design in transistor level. This approach is due to voltage mode issues as limited riel supply and the high power consumption in high resolutions (10 bits). The ADC quantizer is based in Winner Take All and comparators and interpolated stage is not required in the present work as do the voltaje mode ADCs. The statics (DNL & INL), and the dynamics characterizations (SNR & ENOB) was done as well as layout development was made using CADENCE Virtuoso, DRC, LVS and paraitic extractions was also perform. The design was fabricated in IMEC technology of 180nm.

Resumen

La creciente demanda en los últimos años de los sistemas digitales, multimedia y otros productos de consumo, ha traído consigo un aumento en la demanda de Convertidores Analógicos Digitales (ADC, por sus siglas en inglés) de 8 a 10 bits con razones de muestreo de más de 100M Hz. El presente trabajo muestra el diseño a nivel transistor de una topología de ADC tipo folding en modo corriente a 10 bits con una razón de muestreo de 1G M/s. La propuesta es producto del análisis de las problemáticas que se presentan al trabajar en modo voltaje, como lo son la dinámica limitada por los rieles de alimentación y el elevado consumo de potencia para altas resoluciones. Como resultado el cuantizador del ADC es implementado mediante un amplificador de plegado basado en celdas Winner Take All, de manera que no es necesario incluir comparadores ni etapas de interpolación en el cuantizador del presente trabajo como en los cuantizadores de los ADCs en modo voltaje. Las caracterizaciones estáticas (DNL e INL), y dinámicas (SNR y ENOB) fueron realizadas, así como el desarrollo del layout utilizando CADENCE Virtuoso. Las verificaciones DRC y LVS así como extracciones de parasitas fueron realizadas para comprobar el comportamiento del circuito en las simulaciones post layout. El diseño fue fabricado con tecnología de 180nm de IMEC.

Justificación

- Se elimina el uso de un cuantizador de dos etapas (pre amplificador y comparador), implementando una topología con un solo comparador basado en celdas Winner Take All.
- El numero de plegados por amplificador de plegado se aumenta al doble de acuerdo a lo reportado en la literatura.
- Reducción en el consumo de potencia del convertidor en un 50 %.
- Compensación a las variaciones de proceso y temperatura del convertidor mediante la implementación de una referencia de corriente sin componentes pasivos y con un coeficiente temperatura ajustable.
- La posible integración completa del convertidor Analógico Digital debido a la implementación del decodificador mediante el uso de un lenguaje de descripción de hardware (Verilog).
- Implementación On Chip de un amplificador de plegado basado en celdas Winner Take All.

Agradecimientos

Agradezco a Dios, por darme tanto por tan poco.

*A mis padres Felipe y Ana María, mis guías en el sendero de la vida...
los amo!*

*A mis hermanos Jaz, Monse, Venus y Moy, no se que seria yo sin ustedes
hermanitos!*

*A mi novia Miriam, por todo su amor y aportes a este trabajo, que
también es tuyo!*

*A mis asesores de tesis Guillermo Espinosa y Luis Antonio Carrillo,
gracias por tantas enseñanzas.*

*A mis amigos y excompañeros de carrera Ángel y Nayeli, porque
llegamos juntos por este sueño... lo logramos muchachos!*

A Eduardo Moctezuma, eres de los amigos que ya no hay.

A mis amigos, Claudia, Andrés, Omar, Fausto y Mike, por todos los momentos vividos.

A mi grupo de trabajo, Gisela, Yair, Juan Pablo, Areli, Campos, Rafa Flores, Rafa Rodriguez y Erick, por todo su apoyo

Al pueblo de México, que por medio de CONACYT me permitieron seguir con mi preparación académica

Índice general

Índice general	XI
Índice de figuras	XIII
Índice de Tablas	XVII
1. Introducción	1
1.1. Un futuro donde todo esta conectado	1
1.2. Bloques del convertidor de datos ideal	2
1.3. Representación de una señal	2
1.3.1. Tipos de representación de una señal	2
1.4. Convertidores Analógico-Digitales (ADC), el enlace entre dos mundos .	3
1.4.1. Filtro Anti-Aliasing	4
1.4.2. Muestreador	4
1.4.3. Cuantización	7
1.4.4. Codificador	7
1.5. Arquitecturas de conversión	8
1.6. Organización de la tesis	9
1.7. Conclusión	10
2. El Convertidor Analógico Digital Tipo Folding	11
2.1. ADC Tipo Flash	11
2.2. ADC Folding en modo voltaje	12
2.2.1. Amplificador de plegado en modo voltaje.	18
2.2.2. Amplificador de plegado par	18
2.2.3. Amplificador de plegado impar	22
2.2.4. Limitaciones en resolución, excursión y velocidad del ADC tipo folding en modo voltaje	25
3. Propuesta de un ADC Tipo Folding en modo de corriente usando celdas WTA	27
3.1. Propuesta de un ADC Tipo Folding en modo corriente	27

3.2.	Referencia de Corriente	29
3.3.	Amplificador de plegado y generador de banderas	33
3.3.1.	Espejos de corriente	38
3.3.2.	Celda Winner Take All	41
3.4.	Ecualizador y conversión a modo voltaje	47
3.4.1.	Conclusión	52
4.	Resultados	53
4.1.	Introducción	53
4.2.	Señales del cuantizador y del generador de banderas	54
4.3.	Curva de transferencia	56
4.4.	Respuesta en el tiempo	57
4.5.	Errores estáticos	59
4.6.	Errores dinámicos	61
4.7.	Figura de merito y estado del arte	62
5.	Diseño Físico	65
5.1.	Proceso de diseño físico	65
5.2.	Layout de un transistor	67
5.3.	Reglas para un buen diseño físico	68
5.4.	Layout de un amplificador de 16 plegados	72
5.5.	Bloques básicos	73
5.5.1.	Espejo de bajo voltaje de entrada	73
5.5.2.	Espejo de bajo voltaje de referencia	73
5.5.3.	Espejo de bajo voltaje de cola	76
5.5.4.	Celda winner take all	76
5.5.5.	Retroalimentación positiva	76
5.6.	Layout del amplificador de plegado completo	78
5.7.	Simulación post layout	81
5.8.	Circuito integrado fabricado	82
6.	Conclusiones	85
6.1.	Trabajo a futuro	86
A.	Decodificador de la referencia de corriente	87
B.	Decodificador del ADC	91
	Referencias	95

Índice de figuras

1.1. Convertidor de datos ideal.	2
1.2. Representaciones de una señal.	3
1.3. Impulso unitario.	5
1.4. Convolución de una señal a) Delta de Dirac, b) Aproximación de la función mediante la Delta de Dirac.	6
1.5. Señal en tiempo continuo y su representación de señal muestreada . . .	7
1.6. Error de cuantización agregado a la señal de entrada para obtener la señal de salida	8
1.7. Comparativa de las distintas arquitecturas de conversión	9
2.1. Diagrama a bloques de un ADC flash.	12
2.2. Diagrama a bloques de un Convertidor Analógico Digital tipo folding. .	13
2.3. Red resistiva de referencia	14
2.4. ADC Folding de 5 bits	15
2.5. Señales de la arquitectura de un ADC tipo folding en modo voltaje de 5 bits	17
2.6. Amplificador de plegado	18
2.7. Amplificador de plegado par	19
2.8. Función de transferencia de un amplificador de plegado par de dos pendientes	20
2.9. Amplificador de plegado impar	22
2.10. Función de transferencia de un amplificador de plegado impar de tres pendientes.	24
2.11. No-linealidad en un amplificador de plegado en modo voltaje.	26
3.1. Diagrama a bloques del ADC Tipo folding propuesto.	28
3.2. Referencia de corriente simple.	30
3.3. Circuito de referencia de corriente.	30
3.4. Circuito de referencia de corriente complementario.	31
3.5. Resultado de simulación de la referencia de corriente: (a) Corriente dependiente de la movilidad del electrón I_N (b) Corriente dependiente de la movilidad del hueco I_P	32

3.6.	Corriente de referencia de salida I_{REF} de la Figura 3.4.	33
3.7.	Estructura de amplificadores de plegado y banderas para un ADC folding en modo corriente de 10 bits.	34
3.8.	Señales de los amplificadores de plegado.	35
3.9.	Señales de las banderas.	36
3.10.	Topología de amplificador de plegado propuesta.	37
3.11.	Espejo de corriente Widlar.	38
3.12.	Espejo de Entrada.	39
3.13.	Espejo de Referencia.	40
3.14.	Espejo de cola.	41
3.15.	Winner Take All Lazzaro	42
3.16.	Función de transferencia de salida de un WTA Lazzaro	43
3.17.	Ganancia en lazo abierto del WTA Lazzaro	44
3.18.	Ganancia del WTA Lazzaro	44
3.19.	Winner Take All Cascode	45
3.20.	Función de transferencia de salida de un WTA cascode	46
3.21.	Ganancia del WTA cascode	46
3.22.	No idealidad en la salida del amplificador de plegado	47
3.23.	Carga con retroalimentación positiva	48
3.24.	Circuito de modulación y conversión a modo voltaje	49
3.25.	Respuesta sin reducción de CFT	50
3.26.	Zoom a la respuesta sin reducción de CFT	51
3.27.	Respuesta con reducción de CFT	51
3.28.	Zoom a la respuesta con reducción de CFT	52
4.1.	Señal de salida del cuantizador	54
4.2.	Acercamiento de la señal de salida del cuantizador	55
4.3.	Señal de salida del generador de banderas	55
4.4.	Curva de transferencia del ADC folding	56
4.5.	Respuesta en el tiempo del ADC ante una entrada senoidal	57
4.6.	Respuesta en el tiempo del ADC ante una entrada triangular	58
4.7.	DNL	59
4.8.	INL	60
4.9.	SNR	61
4.10.	Fundamental	62
5.1.	Diagrama de flujo del proceso de diseño de un circuito integrado CMOS	66
5.2.	Layout de un transistor NMOS de dimensiones mínimas	67
5.3.	a) Transistor con un canal mas ancho, b) Transistor con un canal mas largo	68
5.4.	Variaciones no correlacionadas entre dispositivos	69
5.5.	Comparación de transistores con la misma forma y tamaño	69
5.6.	Múltiples espejos de corriente	70

5.7. Cuadrilátero de transistores	70
5.8. Par diferencial	71
5.9. Dos dispositivos diseñados para mantener la misma temperatura con respecto a la fuente de calor	71
5.10. Transistores dummy	72
5.11. Layout del espejo de bajo voltaje de entrada	74
5.12. Análisis de ruido en la banda de 1Hz-1GHz	75
5.13. Layout del espejo de bajo voltaje de referencia	75
5.14. Layout del espejo de bajo voltaje de cola	76
5.15. Layout de la celda winner take all	77
5.16. Layout del circuito de retroalimentación positiva	78
5.17. Layout del amplificador de plegado completo	79
5.18. Ring pad	79
5.19. Layout del proyecto multichip	80
5.20. Amplificador de plegado en el ring pad	80
5.21. Resultado de la simulación post layout	81
5.22. Chip multiproyecto fabricado	82
5.23. Foto del amplificador de plegado fabricado	82
A.1. Tabla de verdad	87
A.2. Circuito digital para la salida A	89
A.3. Circuito digital para la salida B	90

Índice de Tablas

2.1. Amplificador de plegado par.	20
2.2. Respuesta a diferentes niveles de la señal de entrada en un amplificador de plegado impar.	23
4.1. Especificaciones del ADC.	63
4.2. Comparacion de los ADC folding	64

Acrónimos

ADC *Analog-to-Digital Converter*

WTA *Winner Take All*

M/s *Muestras por segundo*

DRC *Design Rule Checker*

LVS *Layout vs Schematic*

ENOB *Effective Number of Bits*

DNL *Diferential Non-Linearity*

INL *Integral Non-Linearity*

SNR *Signal to Noise Ratio*

FOM *Figure Of Merit*

Capítulo 1

Introducción

El incremento en la demanda de las comunicaciones digitales, multimedia, así como otros productos y servicios en los últimos años, se ha traducido en una creciente demanda de los circuitos que convierten información analógica en digital, conocidos como ADCs (Analog-to-Digital Converter, por sus siglas en inglés), con resoluciones alrededor de 8 a 10 bits y velocidades de conversión superiores a las 100 Megamuestras por segundo (100 MS/sec), sin embargo, en las actuales tecnologías de fabricación de circuitos integrados esto representa una serie de compromisos entre el consumo de potencia, la velocidad y resolución de conversión, que serán abordados en el presente capítulo.

1.1. Un futuro donde todo esta conectado

En el futuro próximo será muy difícil no estar *“En línea”*, debido a que el teléfono móvil, electrodomésticos, automóvil, relojes, señales de tránsito y toda clase de dispositivos estarán comunicados entre si de manera continua. Para lograr este nivel de comunicación entre dispositivos, la quinta generación de comunicaciones (5G) llegará al mercado en la próxima década. El 5G tiene como características principales la reducción de la latencia en un orden de magnitud, (de 15ms de ida y vuelta en 4G a 1ms de ida y vuelta en 5G), el aumento de la velocidad de transferencia de datos por nodo en razón de 100 a 1, (de 1 Mbps - 100 Mbps en 4G a 100 Mbps - 1 Gbps en 5G) y la reducción del consumo de energía por bit transferido en por lo menos una razón de 100 a 1 para mantener el mismo consumo de energía por bit que en la red 4G [1]. Este aumento en la velocidad de transferencia de información exige mejores ADCs que puedan alcanzar elevadas resoluciones al mismo tiempo que trabajan a altas razones de muestreo de la señal de entrada.

1.2. Bloques del convertidor de datos ideal

La funcionalidad de los convertidores de datos se puede dividir en una secuencia de pasos elementales. La Figura 1.1. representa el ADC como la cascada de cuatro pasos a seguir: Filtro Anti-Aliasing, Muestreo, Cuantización y Codificación. En la siguiente sección se muestra la importancia de un filtro continuo en una topología convencional y la labor del muestreo y la cuantización.



Figura 1.1: Convertidor de datos ideal.

1.3. Representación de una señal

La clasificación de una señal puede ser vista de manera trivial como una analógica y la otra digital. Sin embargo, las señales intermedias pueden ser importantes para algunas técnicas de conversión. Lo primero que debemos entender sobre la representación de una señal, es la diferencia entre una señal continua o discreta, ya sea en tiempo y/o amplitud. Una señal continua es aquella que puede tomar cualquier valor dentro de un rango, mientras que, una señal discreta solo podrá tomar valores predeterminados. [2].

1.3.1. Tipos de representación de una señal

Las cuatro maneras en que una señal puede ser representada se muestran en 1.2.

Modulación de amplitud continua: Esta representación puede tomar cualquier valor de amplitud dentro de un rango, y tener derivada, en cualquier instante de tiempo (1.2a).

Modulación de amplitud de pulso: Esta señal puede tomar cualquier valor en su amplitud, pero solo en ciertos instantes de tiempo. Dentro del intervalo discreto de tiempo, la amplitud puede variar (muestreo o seguimiento), o puede ser retenida (por un Sample and Hold). En la Figura 1.2b, el valor en amplitud muestreado corresponde a la línea continua y el valor retenido corresponde a la línea punteada. La señal de modulación de amplitud de pulso es aún analógica. Debe ser cuantizada para obtener una representación de señal digital, en donde un conjunto de bits contiene la información, ésta puede ser en forma serial o paralela.

Señal modulada en código de pulsos (del inglés pulse code modulation, PCM): Esta

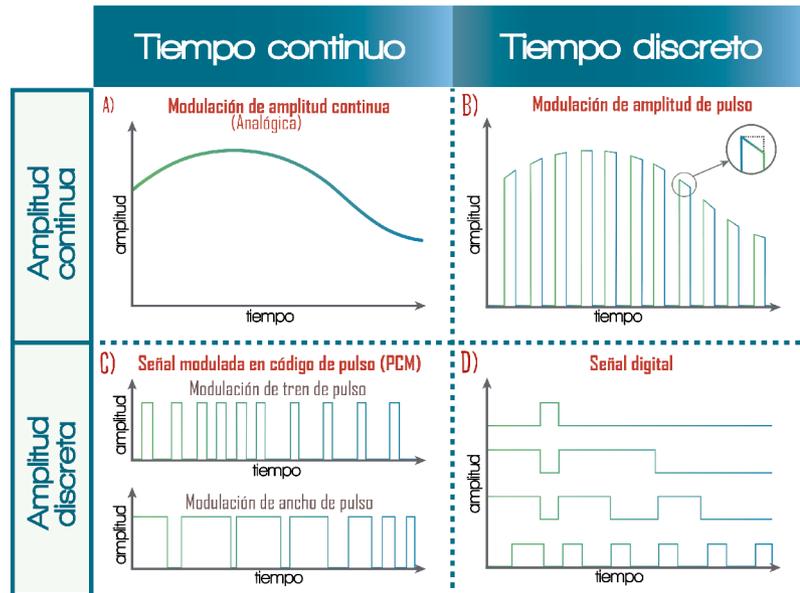


Figura 1.2: Representaciones de una señal.

señal puede aceptar amplitudes discretas, generalmente dos niveles, pero la información en el tiempo puede cambiar en cualquier instante. (1.2c). Esta representación tiene aplicaciones en el control de motores por medio de modulación de ancho de pulso (PWM) y en ADCs de conteo.

Señal digital: Esta señal trabaja con valores discretos en amplitud y de manera periódica en el tiempo (1.2d).

1.4. Convertidores Analógico-Digitales (ADC), el enlace entre dos mundos

Los ADC surgieron para responder a la necesidad de convertir una señal en amplitud y tiempo continuo (Analógico), a una señal en amplitud y tiempo discreto (Digital). La razón de esta conversión es que gran parte del procesamiento de señales se lleva a cabo por medio de microprocesadores digitales debido a la inmunidad al ruido inherente a dicho tipo de codificación de la información.

Para una mejor comprensión del proceso de conversión Analógico-Digital se da una breve explicación acerca de como funciona cada etapa de un convertidor de datos (Figura 1.1).

1.4.1. Filtro Anti-Aliasing

El teorema de Nyquist [3] propone que la frecuencia de muestreo de una señal debe ser por lo menos dos veces la máxima frecuencia de la señal de entrada, de modo que las replicas del espectro en frecuencia originadas por dicho proceso no se traslapen (Aliasing), ya que eso ocasiona distorsión de la información. Por otro lado el ruido tiene un ancho de banda infinito por lo que puede tener componentes en cualquier frecuencia. Por lo tanto, es necesario remover componentes espectrales fuera de la banda de la señal (interferencia), de modo que no degrade el contenido de la señal. Colocando un filtro pasa bajas para limitar la banda de la señal a la entrada del muestreador se alcanza este objetivo. La frecuencia de paso de este filtro debe dejar pasar la señal y rechazar las señales que están fuera de la banda de la misma. Este filtro es llamado "Filtro Anti-Aliasing".

1.4.2. Muestreador

Un muestreador transforma una señal de tiempo y amplitud continua en su equivalente de amplitud continua y tiempo discreto, es decir, en datos muestreados. Idealmente, el muestreador realiza una convolución entre una secuencia periódica de deltas de Dirac y la señal de entrada.

Una señal aperiódica con cierta amplitud y definida en un corto periodo de tiempo, puede ser modelada mediante un impulso unitario, ésta función puede ser definida por partes

$$\delta(t - t_0) = \begin{cases} 0 & 0 \leq t < t_0 - a \\ \frac{1}{2a} & t_0 - a \leq t < t_0 + a \\ 0 & t \geq t_0 + a \end{cases} \quad (1.1)$$

Cuando la función se encuentre entre el intervalo de tiempo $t_0 - a$ y $t_0 + a$, la amplitud es $\frac{1}{2a}$, mientras que en todos los demás intervalos de tiempo, la amplitud es cero, como se muestra en la Figura 1.3a. A medida que a se hace más pequeña, la magnitud de $\delta(t - t_0)$ se hace más grande y el periodo de tiempo más pequeño. Para valores muy pequeños de a , $\delta(t - t_0)$ es básicamente una función de gran magnitud en instantes de tiempo muy cortos, este comportamiento lo podemos observar en Figura 1.3b. La función $\delta(t - t_0)$ se llama impulso unitario porque tiene la propiedad de integración $\int_0^\infty \delta(t - t_0) dt = 1$. Podemos comprobar esta propiedad, integrando en los intervalos de 1.1.

$$\int_{t_0-a}^{t_0+a} \frac{1}{2a} dt = \frac{t}{2a} \Big|_{t_0-a}^{t_0+a} = \frac{t_0 + a - (t_0 - a)}{2a} = \frac{2a}{2a} = 1 \quad (1.2)$$

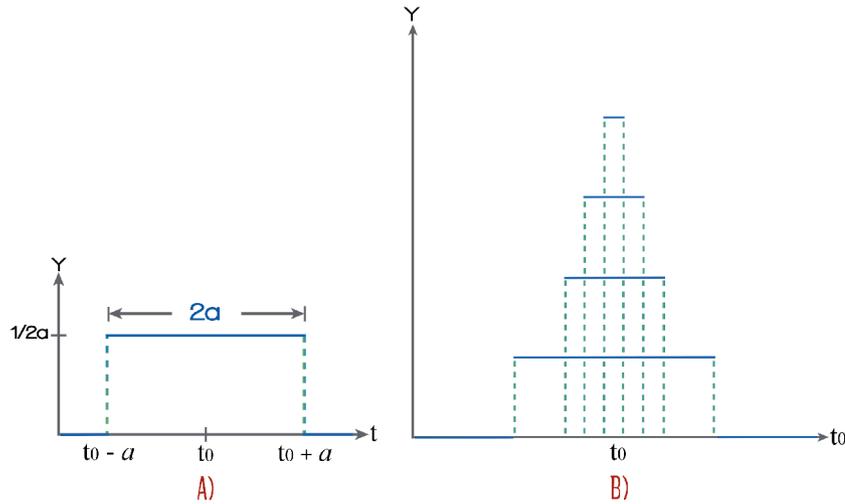


Figura 1.3: Impulso unitario.

En la practica es conveniente trabajar con otro tipo de impulso unitario, una "función" que aproxima $\delta_a(t - t_0)$ a cero y se define por el límite

$$\delta(t - t_0) = \lim_{a \rightarrow 0} \delta_a(t - t_0) \quad (1.3)$$

La Ecuación 1.3, que no es una función en absoluto, se puede caracterizar por las propiedades

$$\delta(t - t_0) = \begin{cases} \infty & t = t_0 \\ 0 & t \neq t_0 \end{cases}, \quad \int_0^{\infty} \delta(t - t_0) dt = 1 \quad (1.4)$$

El impulso unitario $\delta_a(t - t_0)$ se llama función delta de Dirac [4].

La convolución de una señal cualquiera con una secuencia de deltas de Dirac, resulta en una tercera función que en cierto modo representa la magnitud superpuesta de la señal, con una versión trasladada de la delta de Dirac, de forma periódica. Para demostrar como la convolución realiza el proceso de muestreo, la función delta de Dirac estará definida por partes y multiplicada por T para que la magnitud del pulso sea siempre 1, como se muestra en la Figura 1.4a.

$$\delta(t) = \begin{cases} \frac{1}{T} & 0 \leq t \leq T \\ 0 & t > T \end{cases}, \quad T\delta(t) = \begin{cases} 1 & 0 \leq t \leq T \\ 0 & t > T \end{cases} \quad (1.5)$$

La señal que contiene la información será $U(t)$, donde el pulso $\delta(t)$ tiene una duración de tiempo T . Podemos aproximar la función $U(t)$ de 0 a T , como $T\delta(t - T)U(0)$, cuyo valor en amplitud es el valor de $U(t)$ en cero. De la misma forma podemos

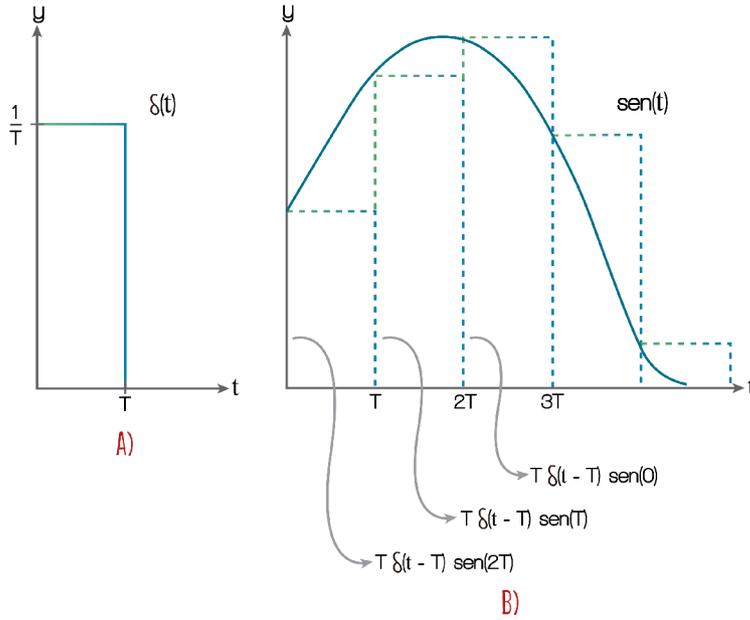


Figura 1.4: Convolución de una señal a) Delta de Dirac, b) Aproximación de la función mediante la Delta de Dirac.

aproximar la función $U(t)$ de T a $2T$ como $T\delta(t - T)U(T)$, cuyo valor en amplitud es el valor de $U(t)$ en T y así sucesivamente para cada intervalo de tiempo, como se muestra en la Figura 1.4b. En general si seguimos con esa misma aproximación, obtendremos la suma de todas las contribuciones $U^*(t)$.

Podemos escribir la definición de la señal de datos muestreados $U^*(t)$ como

$$U^*(t) = \sum_{n=0}^{\infty} T\delta(t - nT)U(nT) \quad (1.6)$$

Aplicando el límite cuando $T \rightarrow 0$, esto se convierte ahora en una integral

$$U^*(t) = \int_0^{\infty} T\delta(t - \tau)U(\tau)d\tau \quad (1.7)$$

Donde $\tau = nT$. Esta integral de convolución calcula la salida del sistema, dividiendo la entrada en pequeños impulsos que están multiplicados por la amplitud de la señal.

Finalmente una señal sinusoidal muestreada real puede ser representada por la Ecuación 1.8, que representa la convolución de una señal seno con una sucesión de deltas de Dirac, como se muestra en la Figura 1.5.

$$Sen^*(t) = Sen^*(nT) = \int_0^{\infty} \delta(t - \tau)Sen(\tau)d\tau \quad (1.8)$$

Donde $Sen(t)$ es la señal continua, $Sen^*(t)$ la señal muestreada Y $\delta(t - \tau)$ es la función delta de Dirac.

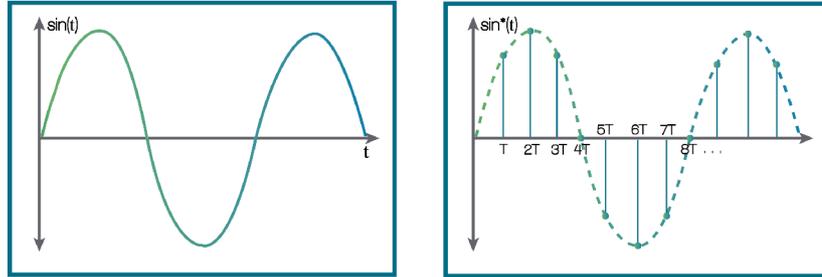


Figura 1.5: Señal en tiempo continuo y su representación de señal muestreada

1.4.3. Cuantización

La cuantización de amplitud cambia una señal muestreada de un nivel continuo a un nivel discreto. El rango dinámico del cuantizador es dividido en igual número de intervalos de cuantización. En la mayoría de los casos, el intervalo de cuantización representa el punto medio del intervalo analógico, pero en algunos otros también el alto o el bajo.

Asumiendo que $X = X_{max} - X_{min}$ es el rango del cuantizador y M es el número de intervalos de cuantización, la amplitud de cada intervalo de cuantización o *paso de cuantización*, Δ , es

$$\Delta = \frac{X}{M} \quad (1.9)$$

Cada n-intervalo esta representado en su punto medio $X_{m,n} = (n + 1/2)\Delta$, cuantizar una entrada fuera de este punto dá como resultado un error. Este error es llamado *error de cuantización*. La salida Y de un cuantizador con entrada X_{in} es

$$Y = X_{in} + \epsilon_Q = (n + 1/2)\Delta; n\Delta < X_{in} < (n + 1)\Delta \quad (1.10)$$

La Figura 1.6 representa el proceso de cuantización. El error de cuantización ϵ_Q se suma a la entrada para obtener la salida cuantizada.

1.4.4. Codificador

Codificar la amplitud cuantizada es la última etapa del ADC. El esquema mas simple de codificación es el utilizado por los convertidores flash, donde, una serie de comparadores generan $(2^N - 1)$ señales cuyo valor alto es 1 y el bajo 0. Esta lógica, llamada termométrica, no es muy efectiva, pues se requieren $(2^N - 1)$ niveles binarios para representar N bits.

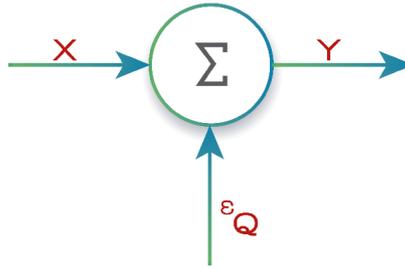


Figura 1.6: Error de cuantización agregado a la señal de entrada para obtener la señal de salida

Unipolar Straight Binary (USB), es otro esquema de codificación. Este esquema se utiliza para señales unipolares. El USB representa el primer nivel de cuantización, $-V_{ref} + 1/2V_{LSB}$ con todos ceros ($\dots 0000$). A medida que la entrada analógica incrementa en un LSB (Less Significant Bit, por sus siglas en inglés), el código digital incrementa en uno y cuando la entrada analógica ha llegado a su máximo nivel de cuantización, $V_{ref} - 1/2V_{LSB}$ el código digital es todos uno ($\dots 1111$).

1.5. Arquitecturas de conversión

Como ya se mencionó al inicio del capítulo, la evolución del mercado electrónico exige sistemas cada vez más eficientes. Debido a estas demandas, los diseñadores han propuesto una gran diversidad de topologías de conversión de la información para mejorar la resolución, velocidad de conversión y el consumo de potencia. Sin embargo, existe un compromiso muy estrecho entre estas tres características, aumentar el desempeño de una, significa degradar el de las otras. A lo largo de los años son muchas las arquitecturas de convertidores que han sido propuestas, cada una de ellas con ventajas y desventajas, de manera que no existe una que sea mejor y gane en todas las características de comportamiento del convertidor. Debido a esto, escoger la mejor arquitectura depende de la aplicación para la cual quiera ser utilizada, esta aplicación definirá la resolución, velocidad y consumo de potencia idóneo para cada caso.

Entre los convertidores más utilizados se encuentran los flash, convertidor paralelo que realiza una conversión por ciclo de reloj. Los folding, convertidores caracterizados por doblar el rango dinámico de entrada en N segmentos para lograr una mayor resolución al costo de una menor velocidad. Los pipeline, convertidores serial donde los datos se mueven una posición por ciclo de reloj. Los SAR (Registro de aproximación Sucesiva), donde el valor es determinado por una serie de pesajes de la señal de entrada hasta llegar al valor más cercano al de entrada. Los Sigma-Delta, que se caracterizan por correr el ruido fuera de banda base y alcanzar las más altas resoluciones. En la Figura 1.7 se muestra una gráfica comparativas de estas

arquitecturas de conversión.

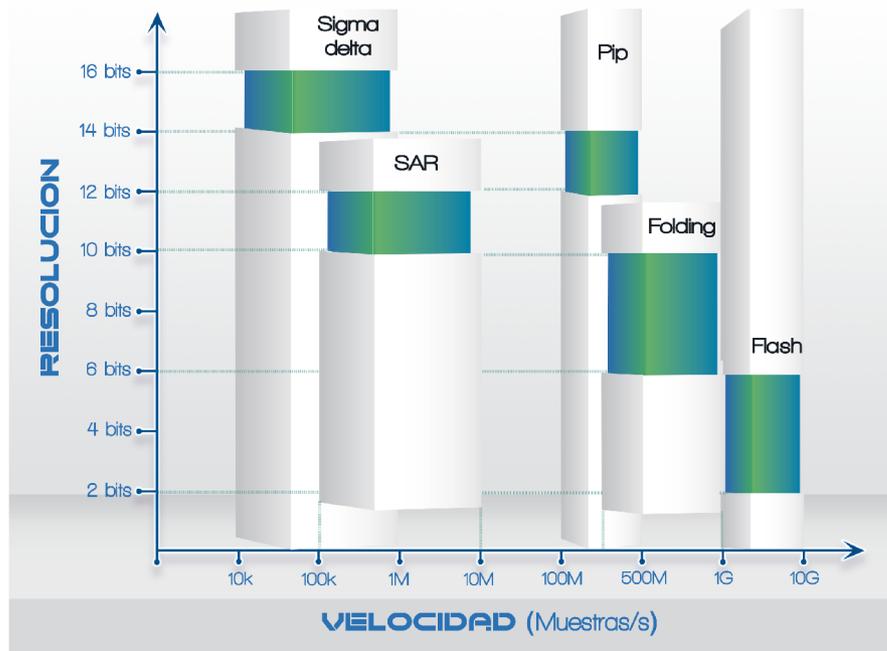


Figura 1.7: Comparativa de las distintas arquitecturas de conversión

1.6. Organización de la tesis

En el primer capítulo se presentó la conversión de los distintos tipos de datos según sus características y las arquitecturas que se encuentran en la literatura de acuerdo a los parámetros de velocidad de conversión y resolución que se pretenda alcanzar. En el segundo capítulo se presenta el convertidor Analógico Digital tipo folding en modo voltaje, así como su modo de operación y las ventajas y limitaciones que representa trabajar en este modo. En el tercer capítulo se presenta la arquitectura del Convertidor Analógico Digital en modo corriente propuesta en este trabajo, donde se justifica la implementación de una referencia de corriente robusta a variaciones de proceso y temperatura, un cuantizador basado en celdas Winner Take All y las diferencias que existen con respecto a la arquitectura que trabaja en modo voltaje. En el capítulo 4 se presentan los resultados obtenidos en esta tesis, señales de salida, curva de transferencia, respuesta en el tiempo, la caracterización estática y dinámica del convertidor Analógico Digital y la figura de merito. En el capítulo 5 se presenta una breve introducción al diseño físico de circuitos integrados, como el layout desarrollado, la simulación post layout y las imágenes del chip fabricado. En el

capítulo 6 se presentan las conclusiones y el trabajo a futuro de esta tesis.

1.7. Conclusión

No existe una arquitectura perfecta o idónea que pueda ser implementada para cualquier situación sin importar las características del problema. Para comenzar a trabajar en el diseño de un Convertidor Analógico Digital es necesario entender la velocidad de conversión y la resolución que tu aplicación necesita y que arquitectura de conversión se adapta mejor a tus necesidades.

Capítulo 2

El Convertidor Analógico Digital Tipo Folding

El Convertidor Analógico/Digital Tipo Folding fue propuesto debido a la necesidad de aumentar la resolución que presentan los convertidores tipo Flash, sin comprometer la velocidad de conversión. La arquitectura Folding utiliza amplificadores de plegado, cuya función es generar pendientes en la salida al comparar la señal de entrada con una serie de referencias, dichas pendientes son utilizadas para la cuantización de datos. Ésta técnica requiere un menor número de amplificadores y comparadores que la arquitectura flash, pero al realizar una conversión paralela las velocidades que pueden ser alcanzadas siguen siendo altas. De acuerdo a la clasificación, el ADC Folding es un convertidor paralelo de segmentación de voltaje [2]. La arquitectura tipo Folding trabaja en resoluciones que oscilan entre 8-10 bits y trabajan a velocidades alrededor de 1 GS/s. [5] - [6].

2.1. ADC Tipo Flash

El ADC flash es la arquitectura de conversión de datos mas simple que ha sido propuesta. Esta topología usa referencias de voltaje generadas a través de un divisor resistivo que divide el rango dinámico en igual número de intervalos de cuantización. Estas referencias de voltaje son tomadas por una etapa de comparadores para convertir la señal de entrada analógica en un código termómetro en la salida [7]. La señal de entrada analógica debe ser filtrada para limitar la banda y después muestreada por un Sample and Hold (S&H) para mantener los niveles de voltaje de entrada estables mientras cada comparador procesa la información, como se muestra en la Figura 2.1.

Para alcanzar una resolución de N bits, se necesitan $2^N - 1$ resistores y comparadores. Esta condición representa una limitación muy importante en resoluciones mayores a 6 bits, debido a que el aumento en el número de resistores y comparadores es exponencial al número de bits a resolver, aumentando el consumo de potencia y área

de forma también exponencial. Otro problema adicional a éste es que los resistores tienen un error de mismatch de hasta del 20%, este problema es crítico al aumentar la resolución del convertidor, así como el mismatch, y voltaje de offset, de los comparadores.

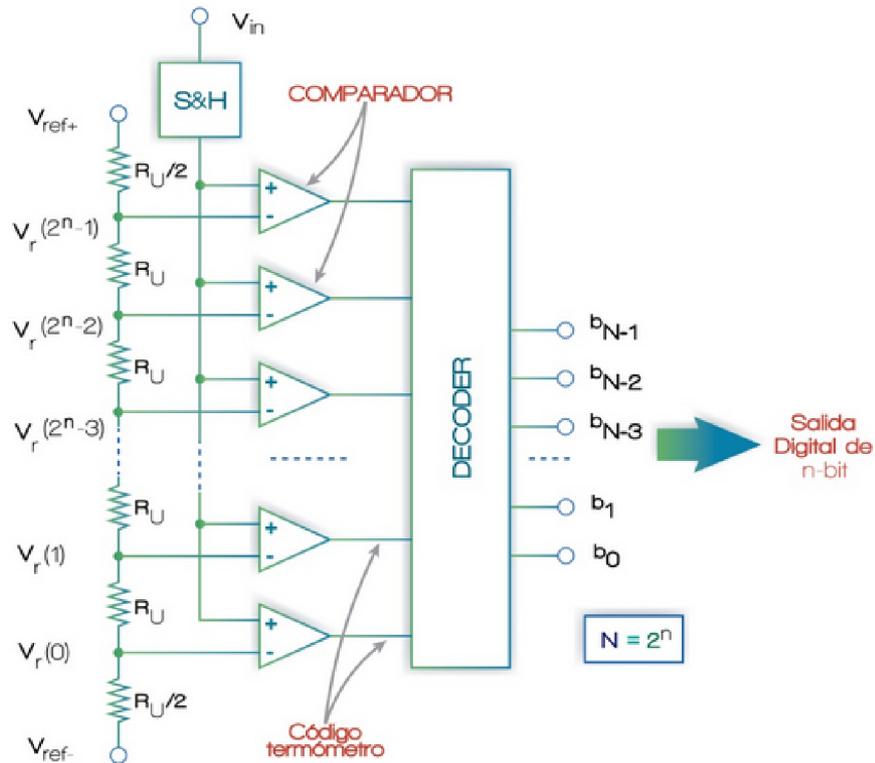


Figura 2.1: Diagrama a bloques de un ADC flash.

La mayoría de los Convertidores Analógico Digital trabajan a resoluciones entre los 4 y 6 bits [8] - [9].

2.2. ADC Folding en modo voltaje

La arquitectura de Convertidor Analógico Digital tipo folding fue propuesta por Arbel & Kutz en 1975 [10] para mejorar la resolución de un convertidor tipo flash sin el aumento de los comparadores que implica esa arquitectura de manera intrínseca ni decrementar significativamente la razón de muestreo. El ADC folding realiza la conversión de datos en dos procesos paralelos, la parte "fina"(folding) y la parte "burda"(flash). En la Figura 2.2 se muestra el diagrama a bloques del proceso de conversión de este ADC.

La parte fina divide el rango dinámico de entrada en secciones del mismo tamaño y la parte burda tiene como función principal generar banderas que indican en que zona del rango dinámico se encuentra el voltaje de entrada, esto es debido a que la parte fina genera códigos termómetro y códigos termómetro inverso, pero no hay una manera de identificar en cual de estos se esta trabajando [11].

La parte fina esta integrada por amplificadores de plegado, cuya función es seccionar el rango dinámico de entrada por medio de pendientes en ciertos puntos de referencia [12]. El número de amplificadores necesarios para un resolver N bits depende de la resolución que se pretenda alcanzar y el número de pendientes para la que fue diseñada cada uno de los amplificadores de plegado. El número de amplificadores necesarios para la conversión de datos esta dado por el máximo número de pendientes alcanzadas por amplificador, como se presenta en la Ecuación 2.1.

$$\text{Amplificadores} = \frac{2^N}{\text{Pendientes}} \quad (2.1)$$

Donde N es el número de bits. La parte burda esta integrada por una arquitectura flash, donde, el número de comparadores que utiliza esta arquitectura depende del número de pendientes de los amplificadores folding.

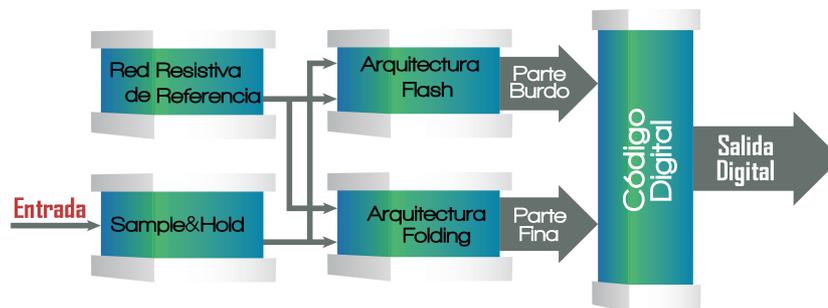


Figura 2.2: Diagrama a bloques de un Convertidor Analógico Digital tipo folding.

El numero de amplificadores de plegado representa los N_1 bits que resolverá la parte fina (4 amplificadores \rightarrow 2 bits, 8 amplificadores \rightarrow 3 bits, etc), y el número total de bits (N), es la suma de los bits resueltos por la parte fina y la parte burda ($N=N_1+N_2$), donde conocemos 2 variables y solo tenemos una incógnita, el número de bits a resolver por la parte burda, N_2 . De manera que el número de bits que representa el número de amplificadores de plegado será N_1 , mientras que la diferencia entre N y N_1 será el número de bits a resolver por la parte burda N_2 ($N_2=N-N_1$).

El número total de amplificadores esta determinado por la Ecuación 2.2.

$$N^\circ \text{ de Amplificadores} = (2^{N_1}) + (2^{N_2} - 1) \quad (2.2)$$

Por ejemplo, en un ADC folding de 5 bits, donde sus amplificadores de plegado fueron diseñados para 4 pendientes, según la Ecuación 2.1, necesita 8 amplificadores para la parte fina. Con 4 pendientes, necesita también 4 comparadores para la parte burda. De modo que los 2 bits mas significativos serán resueltos por la parte burda y 3 por la parte fina. Entonces se necesitan 11 elementos, de acuerdo con la Ecuación 2.3. Comparado con el ADC tipo Flash que necesitan 32 comparadores, el ADC tipo Folding representa un importante ahorro de área de integración y en el consumo de potencia.

$$N^{\circ} de Amplificadores = (2^{N_1}) + (2^{N_2} - 1) = (2^3) + (2^2 - 1) = 8 + 3 = 11 \quad (2.3)$$

Otra característica importante es el paso de cuantización (Δ). Con una alimentación de 1.8V, se tiene un paso de cuantización igual a 56mV (Ecuación 2.4). Este Δ es muy importante porque define los voltajes que deben separar una referencia de voltaje de otra.

$$\Delta = \frac{1.8V}{2^5} = 56mV \quad (2.4)$$

Para un ADC Folding de 5 bits se necesitan 31 referencias de voltaje. Estas referencias de voltaje pueden obtenerse mediante un arreglo de resistencias, como se muestra en la Figura 2.3.

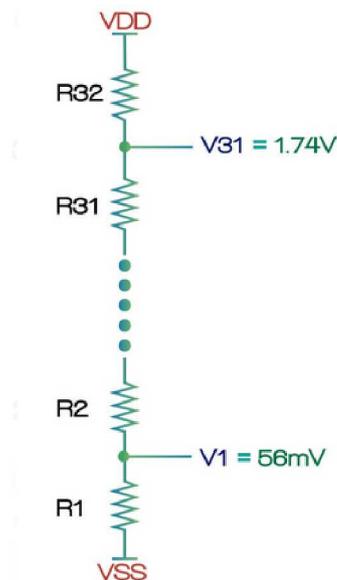


Figura 2.3: Red resistiva de referencia

En la Figura 2.4 se presenta un ADC Folding de 5 bits, donde los comparadores de la parte burda, tienen como referencia $V_{inmax}/4$, $V_{inmax}/2$ y $3V_{inmax}/4$, que representan a V_8 , V_{12} y V_{16} . Los voltajes de referencia de los amplificadores de plegado estarán definidos por esta misma red de resistencias, pero ocuparan todos los voltajes de referencia de la red ($V_1 \dots V_{31}$).

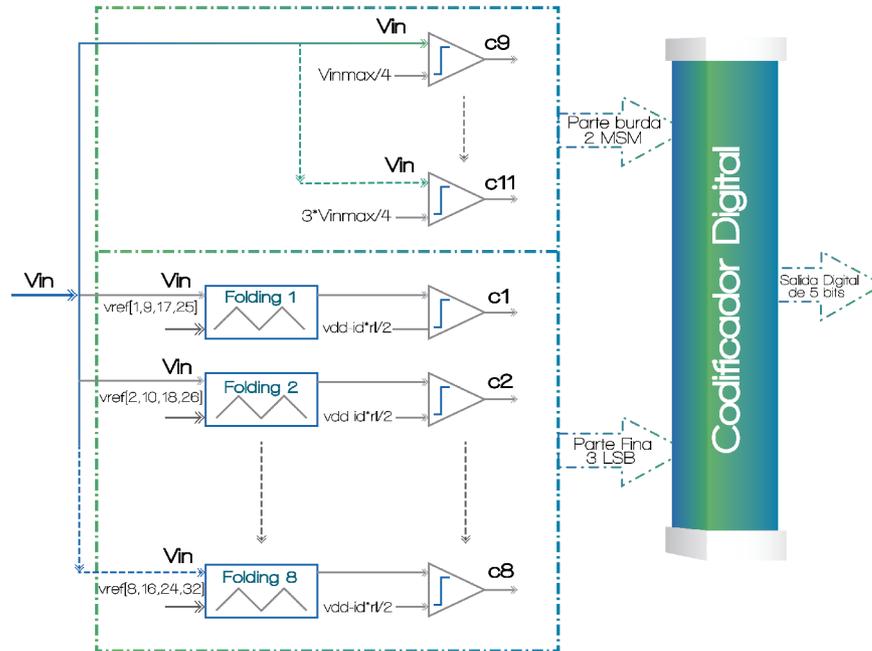


Figura 2.4: ADC Folding de 5 bits

Cuando el voltaje de entrada es menor al primer voltaje de referencia V_{inmin} , los 3 comparadores de la parte burda (c9, c10 y c11), y los 8 amplificadores de plegado (c1 a c8), presentan un cero lógico. Sí el voltaje de entrada supera el voltaje V_{inmin} , la primera pendiente del primer amplificador de plegado (c1), presenta un uno lógico, mientras los restantes amplificadores de plegado y comparadores de la parte burda presentan un cero lógico (c2 a c11). Sí el voltaje de entrada supera el voltaje $V_{inmin} + \Delta$, la primera y la segunda pendiente del primer y segundo amplificador de plegado (c1 y c2), presentan un uno lógico, mientras los restantes amplificadores de plegado y comparadores de la parte burda presentan un cero lógico (c3 a c11). Este proceso se repetirá hasta que todos los amplificadores de plegado presenten un uno lógico (c1 a c8) y los comparadores de la parte burda continuen en ceros lógicos (c9 a c11).

Cuando el voltaje de entrada alcanza a $V_{inmax}/4$, el primer comparador de la parte burda presenta un uno lógico (c9) y los otros dos permanecen en cero (c10 y c11), en ese momento la pendiente del primer amplificador de plegado comienza a disminuir,

presentando ahora un cero lógico (c1), mientras los restantes amplificadores de plegado no han comenzado a disminuir y continúan presentando un uno lógico (c2 a c8). Si el voltaje de entrada supera a $V_{inmax}/4 + \Delta$, la primera y la segunda pendiente de los amplificadores de plegado han comenzado a disminuir, presentando un cero lógico (c1 y c2), mientras los restantes amplificadores de plegado no han comenzado a disminuir y continúan presentando un cero lógico (c3 a c8). Los estados de la parte burda se mantendrán igual hasta que todos los amplificadores de plegado presenten un cero lógico (c1 a c8). Dado este punto, se ha completado el primer ciclo de códigos termómetro y termómetro inverso.

Cuando el voltaje de entrada alcanza $V_{inmax}/2$, el primer y segundo comparador de la parte burda presentan un uno lógico (c9 y c10), mientras el tercero aún se encuentra en un estado de cero lógico (c11). Los amplificadores de plegado comienzan a subir nuevamente y el proceso del segundo código termómetro comienza de nuevo.

Este proceso se repite para $3V_{inmax}/4$, donde todos los comparadores de la parte burda presentan un uno lógico (c9, c10 y c11), y el segundo código termómetro inverso tiene lugar, hasta llegar a V_{max} .

Las señales de respuesta de todo este proceso con sus respectivos códigos binarios de la parte burda y la parte fina, se presentan en la Figura 2.5.

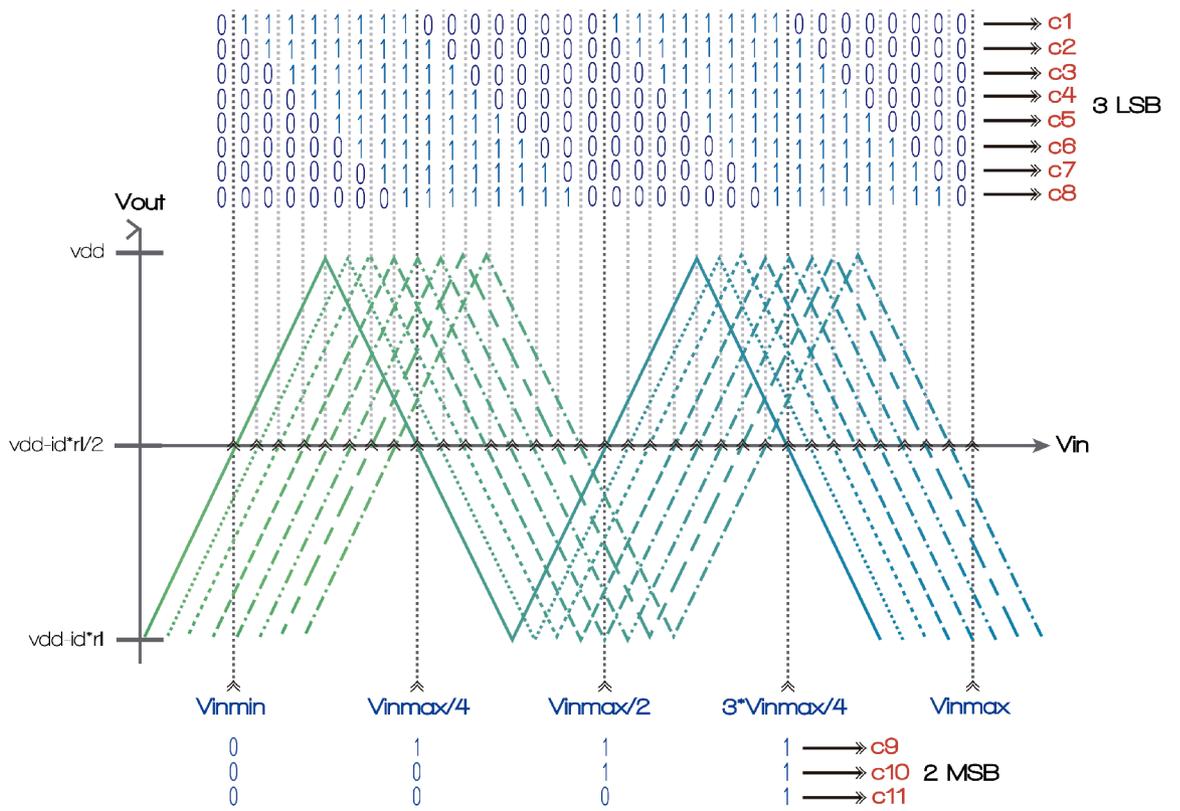


Figura 2.5: Señales de la arquitectura de un ADC tipo folding en modo voltaje de 5 bits

comparten uno, es decir, que existen 3 estados posibles a través del rango dinámico, donde una señal estaría acotada entre V_{DD} y un punto medio, mientras que la otra entre el punto medio y Gnd . El procesamiento digital trabaja con lógica binaria (alto y bajo), el tercer estado (punto medio), sería un estado indeterminado, lo que representa una limitación muy importante en el proceso de cuantización.

Un amplificador de plegado par, en principio, genera dos pendientes. Sin embargo, estas pendientes nunca se cruzan, debido a su comportamiento eléctrico. Para entender este comportamiento, se trabaja con dos pares diferenciales conectados alternadamente a dos cargas resistivas, como en la Figura 2.7, donde supondrá todos los elementos ideales. Para este circuito existen 5 casos posibles que se presentan en la Tabla 2.1.

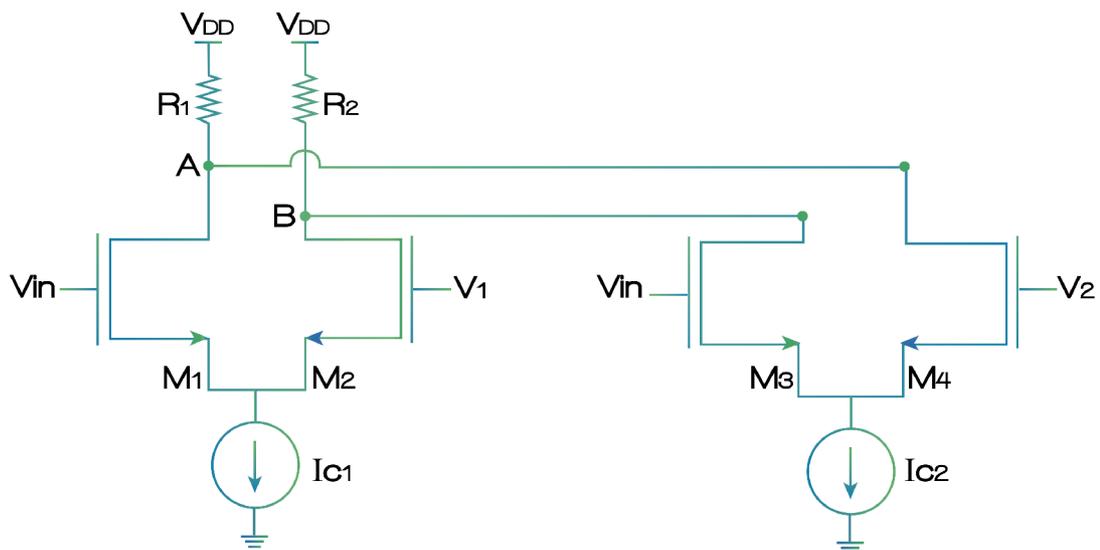


Figura 2.7: Amplificador de plegado par

Debido al modo común, las corrientes de cola I_{c1} e I_{c2} , son la suma de las corrientes que circulan a través de las ramas de los transistores $M1-M2$ y $M3-M4$, respectivamente. Estas corrientes son proporcionales a la señal de entrada y a los voltajes de referencia. Idealmente, el mayor voltaje de compuerta en los transistores del par diferencial, se lleva toda la corriente. De esta manera, a medida que la señal de entrada aumenta, la corriente en cada par diferencial se redistribuye en las ramas A y B.

Cuando la señal de entrada (V_{in}), es menor al primer voltaje de referencia (V_1), en el primer par diferencial, el voltaje en la compuerta de M_2 es mayor que el voltaje en la compuerta de M_1 y por lo tanto, toda la corriente I_{c1} circula a través de la rama B,

Casos	Ramas
$V_{in} < V_1$	$A = V_{DD} - IR$ $B = V_{DD} - IR$
$V_{in} = V_1$	$A = V_{DD} - \frac{3}{2}IR$ $B = V_{DD} - \frac{1}{2}IR$
$V_1 < V_{in} < V_2$	$A = V_{DD} - 2IR$ $B = V_{DD}$
$V_{in} = V_2$	$A = V_{DD} - \frac{3}{2}IR$ $B = V_{DD} - \frac{1}{2}IR$
$V_{in} > V_2$	$A = V_{DD} - IR$ $B = V_{DD} - IR$

Tabla 2.1: Amplificador de plegado par.

como consecuencia, se produce una caída de voltaje IR en esta rama. En el segundo par diferencial, el voltaje en la compuerta de M4 es mayor al voltaje en la compuerta de M3, porque el segundo voltaje de referencia (V_2), es mayor que el primero (V_1), y este a su vez, es mas grande que la señal de entrada (V_{in}). Por lo tanto, toda la corriente I_{c2} circula a través de la rama A y también se produce una caída de voltaje IR en esta rama. De esta forma se explica el primer caso, donde $A = V_{DD} - IR$ y $B = V_{DD} - IR$. La respuesta puede observarse en la sección a) de la Figura 2.8.

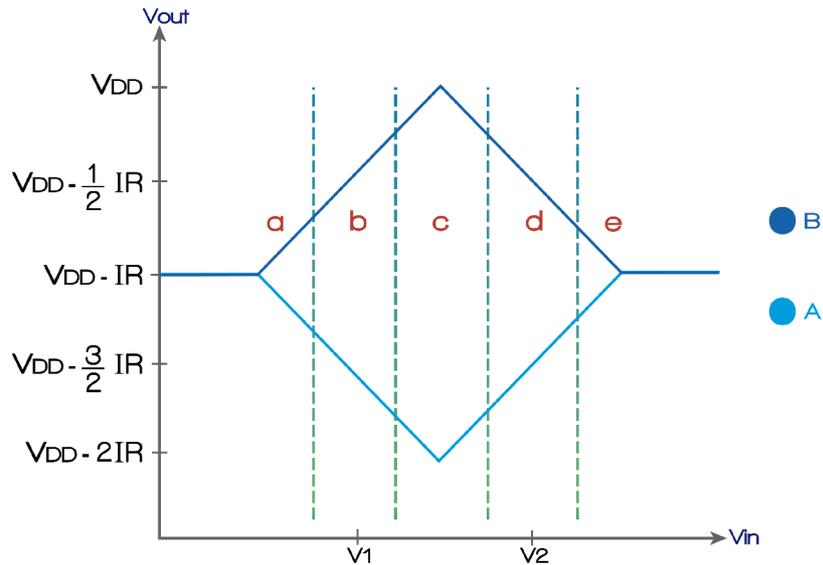


Figura 2.8: Función de transferencia de un amplificador de plegado par de dos pendientes

Cuando la señal de entrada (V_{in}), ha alcanzado al voltaje de referencia (V_1), en el primer par diferencial, el voltaje en la compuerta de M1 es igual al voltaje en la compuerta de M2 y por lo tanto, circula $I_c/2$ por ambas ramas (A y B), como consecuencia, se produce una caída de voltaje $IR/2$ en cada una de las ramas. En el segundo par diferencial, el voltaje de la segunda referencia (V_2), es mayor al voltaje de la señal de entrada (V_{in}), de modo que el voltaje en la compuerta de M4, es mayor al voltaje de la compuerta M3. Por lo tanto, la corriente I_c circula a través de la rama A y se produce una caída de voltaje IR en esta rama. De esta forma se explica el segundo caso, donde $A = V_{DD} - \frac{3}{2}IR$ y $B = V_{DD} - \frac{1}{2}IR$. La respuesta puede observarse en la sección b) de la Figura 2.8.

Cuando la señal de entrada (V_{in}), esta entre el primer voltaje de la referencia (V_1), y el segundo voltaje de la referencia (V_2), en el primer par diferencial, el voltaje en la compuerta de M1 es mayor al voltaje en la compuerta de M2, por lo tanto, toda la corriente de I_c circula por la rama A, como consecuencia, se produce una caída de voltaje IR en esta rama. En el segundo par diferencial, el segundo voltaje referencia (V_2), sigue siendo mas grande que la señal de entrada (V_{in}), de modo que el voltaje en la compuerta de M4 sigue siendo mayor al voltaje de la compuerta M3. Por lo tanto, la corriente I_c circula a través de la rama A y se produce una caída de voltaje IR en esta rama. De esta forma se explica el tercer caso, donde $A = V_{DD} - 2IR$ y $B = V_{DD}$. La respuesta puede observarse en la sección c) de la Figura 2.8.

Cuando la señal de entrada (V_{in}), ha alcanzado al voltaje de referencia (V_2), sucede algo muy parecido a la segunda sección, dando el mismo resultado, pero con el comportamiento de las ramas intercambiado. El primer par diferencial conduce toda la corriente de cola (I_c), por la rama A y produce una caída de voltaje IR en esta rama. El segundo par diferencial conduce la mitad de la corriente de cola ($I_c/2$), por cada rama (A y B) y produce una caída de voltaje $IR/2$ en cada rama. De esta forma se explica el cuarto caso, donde $A = V_{DD} - \frac{3}{2}IR$ y $B = V_{DD} - \frac{1}{2}IR$. La respuesta puede observarse en la sección d) de la Figura 2.8.

Finalmente, cuando el voltaje de la señal de entrada (V_{in}) supera al voltaje de referencia 2 (V_2), sucede también algo parecido a la primera sección, dando el mismo resultado, pero con el comportamiento de las ramas intercambiado. El primer par diferencial conduce toda la corriente de cola (I_c), por la rama A y produce una caída de voltaje IR en esta rama. El segundo par diferencial conduce toda la corriente de cola (I_c), por la rama B y produce una caída de voltaje IR en esta rama. De esta forma se explica el quinto caso, donde $A = V_{DD} - IR$ y $B = V_{DD} - IR$. La respuesta puede observarse en la sección e) de la Figura 2.8.

Como se muestra en la Figura 2.8, las señales A y B, nunca se cruzan. Esta señal no puede ser sometida a procesamiento digital porque posee 3 estados, cuando la naturaleza de este tipo de procesamiento es de solo 2, alto y bajo.

2.2.3. Amplificador de plegado impar

En la sección anterior se expuso la importancia del número de pares diferenciales en un amplificador de plegado para el proceso de cuantización de un ADC tipo folding. En esta sección se estudia el comportamiento del amplificador de plegado con número de pares diferenciales impar.

Un amplificador de plegado impar genera tres pendientes. Para entender el comportamiento eléctrico de esta configuración, se trabaja con tres pares diferenciales conectados también alternadamente a dos cargas resistivas, como se muestra en la Figura 2.9, donde se supone a todos los elementos ideales. Para este circuito existen 7 casos posibles que se presentan en la Tabla 2.2.

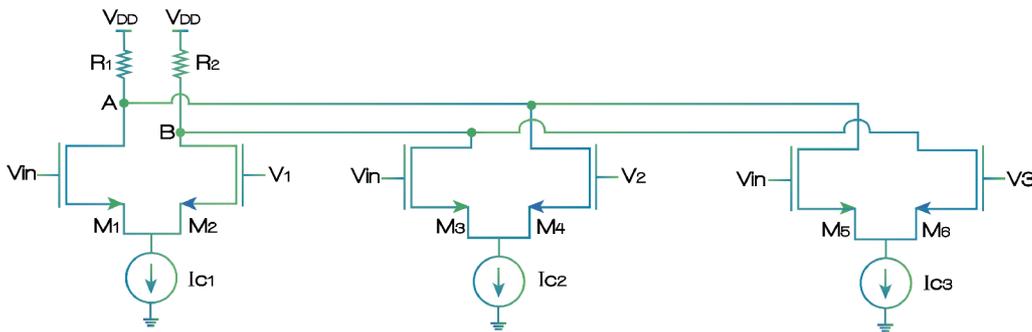


Figura 2.9: Amplificador de plegado impar

De la misma manera que en un amplificador de plegado par, en los amplificadores impares, las corrientes I_{C1} , I_{C2} e I_{C3} , son la suma de las corrientes que circulan a través de las ramas de los transistores M1-M2, M3-M4 y M5-M6, respectivamente. Las corrientes son proporcionales a la señal de entrada y voltajes de referencia, donde, idealmente el mayor voltaje en la compuerta de los pares diferenciales se lleva toda la corriente. A medida que la señal de entrada se mueve por el rango dinámico de entrada, la corriente de cada par diferencial se redistribuye en las ramas A y B.

Cuando la señal de entrada (V_{in}), es menor al primer voltaje de referencia ($V1$), en el primer par diferencial, el voltaje de la compuerta de M2 es mayor que el voltaje en la compuerta de M1 y por lo tanto, toda la corriente I_{C1} circula a través de la rama B, como consecuencia, se produce una caída de voltaje IR en esta rama. En el segundo par diferencial, el voltaje en la compuerta de M4 es mayor al voltaje en la compuerta de M3, porque el segundo voltaje de referencia $V2$, es mayor que el voltaje de referencia $V1$, y este a su vez, es mas grande que la señal de entrada (V_{in}). Por lo tanto, toda la corriente I_{C2} circula a través de la rama A y también se produce una

caída de voltaje IR en esta rama. En el tercer par diferencial, el voltaje en la compuerta de M6 es mayor al voltaje en la compuerta de M4, porque el tercer voltaje de referencia V_3 es mayor que el voltaje de referencia V_2 y V_1 , estos a su vez son mas grandes que la señal de entrada (V_{in}). Por lo tanto, toda la corriente I_{C3} circula a través de la rama B y también se produce una caída de voltaje IR en esta rama. De esta forma, en el primer caso $A = V_{DD} - IR$ y $B = V_{DD} - 2IR$. La respuesta puede observarse en la sección a) de la Figura 2.10.

Casos	Ramas
$V_{in} < V_1$	$A = V_{DD} - IR$ $B = V_{DD} - 2IR$
$V_{in} = V_1$	$A = V_{DD} - \frac{3}{2}IR$ $B = V_{DD} - \frac{3}{2}IR$
$V_1 < V_{in} < V_2$	$A = V_{DD} - 2IR$ $B = V_{DD} - IR$
$V_{in} = V_2$	$A = V_{DD} - \frac{3}{2}IR$ $B = V_{DD} - \frac{3}{2}IR$
$V_2 < V_{in} < V_3$	$A = V_{DD} - IR$ $B = V_{DD} - 2IR$
$V_{in} = V_3$	$A = V_{DD} - \frac{3}{2}IR$ $B = V_{DD} - \frac{3}{2}IR$
$V_{in} > V_3$	$A = V_{DD} - 2IR$ $B = V_{DD} - IR$

Tabla 2.2: Respuesta a diferentes niveles de la señal de entrada en un amplificador de plegado impar.

Cuando la señal de entrada (V_{in}), ha alcanzado al primer voltaje de referencia (V_1), en el primer par diferencial, el voltaje en la compuerta de M1 es igual al voltaje en la compuerta de M2 y por lo tanto, circula $I_c/2$ por ambas ramas (A y B), como consecuencia, se produce una caída de voltaje $IR/2$ en cada una de las ramas. En el segundo par diferencial, el voltaje de la segunda referencia (V_2), es mayor al voltaje de la señal de entrada (V_{in}), de modo que el voltaje en la compuerta de M4, es mayor al voltaje de la compuerta M3. Por lo tanto, la corriente I_{c2} circula a través de la rama A y se produce una caída de voltaje IR en esta rama. En el tercer par diferencial, el voltaje de la tercer referencia (V_3), es mayor que el voltaje de la señal de entrada (V_{in}), de modo que el voltaje en la compuerta de M6, es mayor al voltaje en la compuerta M5. Por lo tanto, la corriente I_{c3} circula a través de la rama B y se produce una caída de voltaje IR en esta rama. De esta forma, en el segundo caso, $A = V_{DD} - \frac{3}{2}IR$ y $B = V_{DD} - \frac{3}{2}IR$. La respuesta puede observarse en la sección b)

de la Figura 2.10.

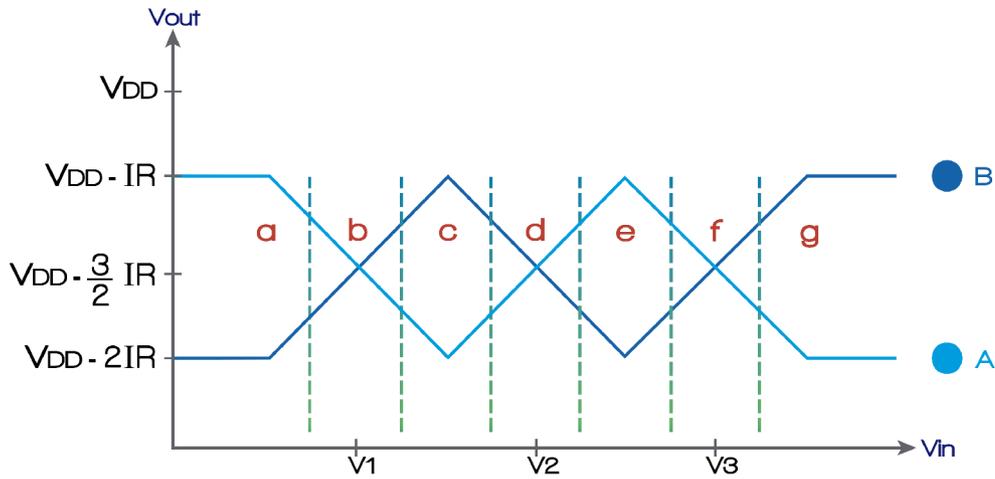


Figura 2.10: Función de transferencia de un amplificador de plegado impar de tres pendientes.

Cuando la señal de entrada (V_{in}), esta entre el primer voltaje de referencia (V_1), y el segundo voltaje de referencia (V_2), en el primer par diferencial, el voltaje en la compuerta de M_1 es mayor al voltaje en la compuerta de M_2 , por lo tanto, toda la corriente de I_{c1} circula por la rama A, como consecuencia, se produce una caída de voltaje IR en esta rama. En el segundo par diferencial, el segundo voltaje de referencia (V_2), es mayor que la señal de entrada (V_{in}), de modo que el voltaje en la compuerta de M_4 es mayor al voltaje de la compuerta M_3 . Por lo tanto, la corriente I_{c2} circula a través de la rama A y se produce una caída de voltaje IR en esta rama. En el tercer par diferencial, el tercer voltaje de referencia (V_3), es mayor que la señal de entrada (V_{in}), de modo que el voltaje en la compuerta de M_6 es mayor al voltaje de la compuerta M_5 . Por lo tanto, la corriente I_{c3} circula a través de la rama B y se produce una caída de voltaje IR en esta rama. De esta forma, en el tercer caso $A = V_{DD} - 2IR$ y $B = V_{DD} - IR$. La respuesta puede observarse en la sección c) de la Figura 2.10.

Cuando la señal V_{in} ha alcanzado a la referencia V_2 , el primer par diferencial conduce toda la corriente I_{c1} por la rama A y produce una caída de voltaje IR en esta rama. El segundo par diferencial conduce la mitad de la corriente I_{c2} por cada rama y produce una caída de voltaje $IR/2$ en cada rama. El tercer par diferencial conduce la corriente I_{c3} por la rama B y produce una caída de voltaje IR en esta rama. De esta forma, en el cuarto caso $A = V_{DD} - \frac{3}{2}IR$ y $B = V_{DD} - \frac{3}{2}IR$. La respuesta puede observarse en la sección d) de la Figura 2.10.

Este mismo procedimiento se aplica para el quinto, sexto y séptimo caso. Como se observa en la Figura 2.10, las señales A y B se cruzan a lo largo de todo el rango

dinámico de entrada, permitiendo de esta forma el procesamiento digital a partir de una señal con solo 2 estados posibles (alto y bajo).

Estos resultados muestran una condición muy importante en el diseño del cuantizador de un convertidor tipo folding. Para el cálculo de la resolución del convertidor, deben tomarse siempre números pares, debido a la formulación de la ecuación 2.3, con números impares se obtendría números fraccionarios de amplificadores de plegado, lo cual no tiene sentido. Sin embargo en la práctica no se puede diseñar un amplificador de plegado con un número par de pendientes debido a que presentan 3 estados, por lo que el diseño se realiza utilizando siempre números pares de pendientes en la fórmula y construyendo el amplificador de plegado con un par diferencial de más, para lograr los cruces. El sacrificio de área y potencia de un par diferencial adicional en cada amplificador de plegado, es un precio que tiene que pagarse para lograr la conversión de datos con esta arquitectura.

2.2.4. Limitaciones en resolución, excursión y velocidad del ADC tipo folding en modo voltaje

Un ADC tipo folding en modo voltaje tiene limitaciones en velocidad y resolución que serán abordados en esta sección.

La primera limitación está relacionada con la excursión de los voltajes de salida de los amplificadores de plegado y el paso de cuantización que se requiere detectar para lograr la resolución deseada para el convertidor. Esto se debe a que el ADC tipo folding en modo voltaje está basado en pares diferenciales los cuales dependen totalmente de la fuente de alimentación, pues ésta define su rango dinámico de salida. A medida que la tecnología aumenta la densidad de integración, los niveles de voltaje de alimentación disminuyen y como consecuencia los pasos de cuantización son cada vez menores, por esta razón, mantener la resolución, y peor aún aumentarla, se ha convertido en un verdadero reto para los diseñadores de convertidores tipo folding en modo voltaje.

La disminución del nivel de voltaje de alimentación obliga a los comparadores a tener ganancias elevadas, mientras la transconductancia se degrada con el escalamiento de los dispositivos, siendo éste un compromiso difícil de sobrellevar, de modo que para tecnologías que trabajan con una alimentación de 1V, la ganancia que necesitan los comparadores para una resolución de 10 bits debe ser de al menos $60dB$, mientras que cada comparador debe trabajar a la velocidad de conversión que está determinada por el *Sample&Hold*.

La segunda limitación se debe a la no-linealidad intrínseca a los pares diferenciales. Los ADC tipo folding en modo voltaje realizan la cuantización de la parte fina a partir de comparadores construidos con pares diferenciales. A medida que el voltaje de entrada en las compuertas de los pares diferenciales cambia a través del rango

dinámico, el punto de operación de los pares diferenciales se mueve entre la región lineal (Triodo) y la region cuadrática (Saturación), así como la transconductancia cambia debido a la variación del V_{GS} , de acuerdo a la Ecuación 2.5. Como resultado se tiene una respuesta no lineal, mas parecida a una onda sinusoidal que a una onda triangular, como se muestra en la Figura 2.11.

$$g_m = \mu_{cox} \frac{W}{L} (V_{GS} - V_{TH}) \quad (2.5)$$

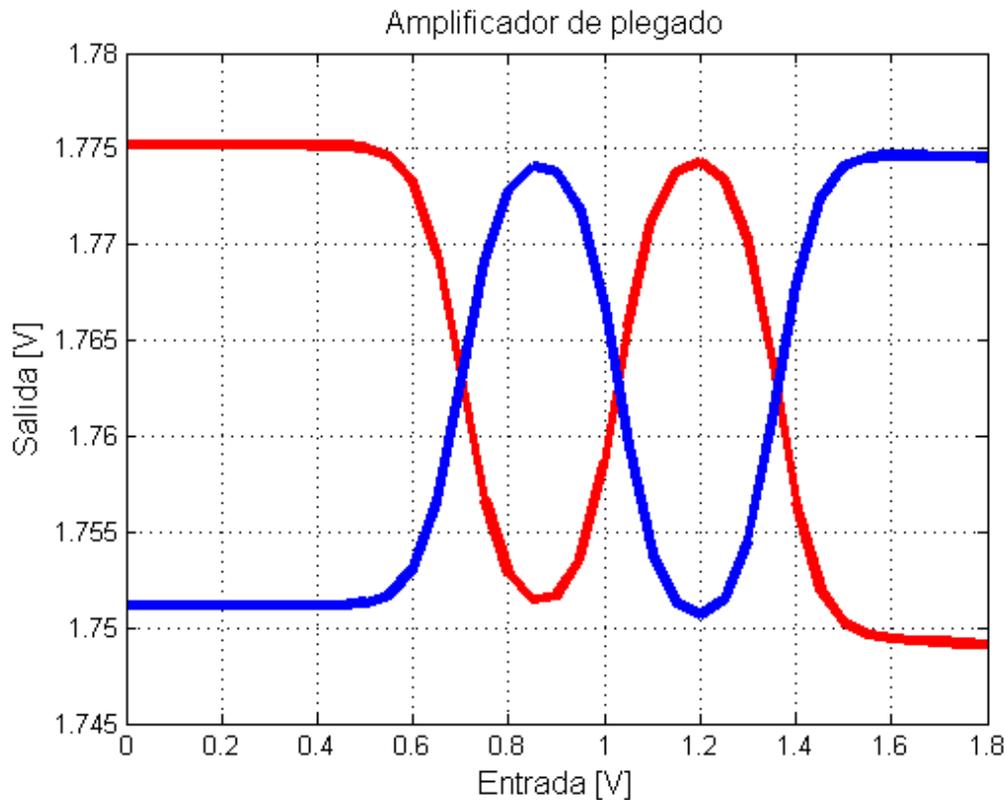


Figura 2.11: No-linealidad en un amplificador de plegado en modo voltaje.

La no-linealidad esta estrechamente relacionada a la velocidad y a la resolución. Mientras mayor sea su no-linealidad, menor es el número de plegados que se pueden realizar con el amplificador de plegado, debido al reducido voltaje que divide a un plegado de otro. Por esta razón, los amplificadores de plegado tradicionales en modo de voltaje, pueden alcanzar un máximo de 9 plegados [14].

Capítulo 3

Propuesta de un ADC Tipo Folding en modo de corriente usando celdas WTA

En éste capítulo se presenta una nueva arquitectura de convertidor Analógico/Digital en modo corriente basado en la celda denominada Winner Take All (WTA, por sus siglas en inglés); donde la función de la celda WTA es la de comparar dos corrientes en sus entradas, la mayor de estas corrientes satura la salida correspondiente a esa entrada, mientras que la otra salida se queda sin corriente. Como se vio en el capítulo 2, la arquitectura en modo voltaje del ADC tipo Folding presenta limitaciones en resolución y velocidad debidas a la reducción del voltaje de alimentación en las tecnologías actuales, y su inherente no-linealidad debida a los pares diferenciales de los amplificadores de plegado.

La arquitectura propuesta soluciona la dependencia de la fuente de alimentación y la no-linealidad mediante la utilización de celdas Winner Take All que trabajan en modo corriente, en lugar de pares diferenciales que trabajan en modo voltaje, para realizar los plegados de la señal de salida. En este capítulo se describen los bloques que conforman la arquitectura propuesta, así como el proceso de diseño de la misma.

3.1. Propuesta de un ADC Tipo Folding en modo corriente

La arquitectura del ADC tipo Folding en modo corriente esta formada por cinco bloques principales: referencia de corriente, generador de banderas, amplificador de plegado en modo corriente con reducción de clock feed through, ecualizador y conversión a modo voltaje y finalmente un decodificador de código termómetro a BCD (del inglés Binary Code Digital), diseñado mediante un lenguaje de descripción de hardware. Esta estructura se puede ilustrar mediante un diagrama a bloques, como se muestra en la Figura 3.1.

En términos generales, la conversión de datos se puede describir de la siguiente forma. La corriente de entrada es copiada al amplificador de plegado y al generador de banderas de manera paralela, estos bloques generan dos salidas, la salida de la parte burda y de la parte fina las cuales han sido ecualizadas y se les ha reducido el clock feed through dentro del amplificador de plegado realizado con las celdas WTA para mejorar la integridad de la señal y finalmente esas señales llega a un decodificador que convierte los códigos termómetro a código binario.

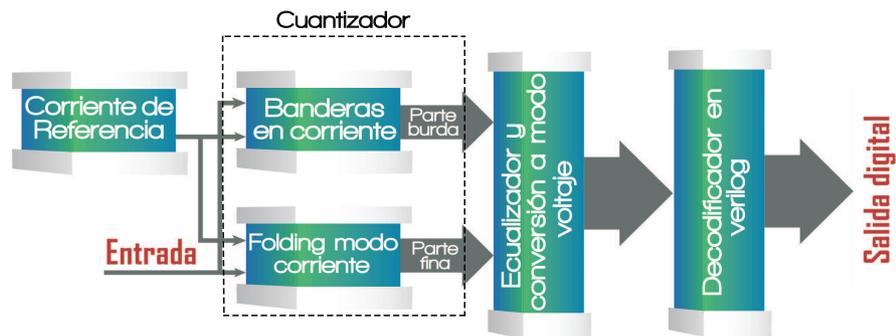


Figura 3.1: Diagrama a bloques del ADC Tipo folding propuesto.

El Convertidor Analógico Digital tipo Folding en modo corriente propuesto en este trabajo posee tres ventajas con respecto a los Convertidor Analógico Digital tipo Folding en modo voltaje reportados en la literatura.

La primera ventaja es que la excursión de la señal de salida del Convertidor Analógico Digital tipo Folding en modo corriente no depende de los niveles de voltaje de la fuente de alimentación, tal característica es importante porque los niveles de voltaje de alimentación se han reducido de manera progresiva junto a la reducción de las dimensiones del canal de los transistores.

En modo voltaje la excursión de la señal de salida está limitada por los voltajes necesarios para mantener los transistores encendidos, como el voltaje de compuerta-fuente (V_{GS}) y el voltaje drenaje-fuente (V_{DS}) para mantener los transistores en saturación, esto implica que la señal de entrada se encontrará en solo una parte del rango dinámico y no de riel a riel del voltaje de alimentación.

La segunda ventaja es que el consumo de potencia del amplificador de plegado (que representa gran parte del consumo de potencia del proceso de conversión) es bajo, debido a que las celdas Winner Take All trabajan con corrientes de cola de alrededor

de $1\mu A$, estas características de consumo son consideradas dentro del diseño en baja potencia.

La tercera ventaja es que se puede prescindir del Sample&Hold, esto se debe a que en modo corriente no es necesario un tiempo de retención para cargar los nodos del comparador, en su lugar, los Winner Take All responden de acuerdo a la corriente que circula a través de ellos. Esta característica es importante, porque la velocidad de conversión no está limitada por el muestreo de la señal de entrada.

Con la presente propuesta se pretende alcanzar una mayor resolución y menor consumo de potencia a paridad de razones de conversión en comparación con los convertidores ADC tipo Flash. La mejora de la resolución se debe a que el amplificador de plegado utilizando la celda Winner Take All puede generar un número mucho mayor de plegados que los amplificadores de plegado basados en pares diferenciales en modo de corriente reportados en la literatura, donde el máximo número de plegados no supera los 16 por amplificador [15]. En el presente trabajo se lograron 32 plegados por amplificador con linealidad, lo que permite trabajar en bajo voltaje de alimentación, a diferencia de los convertidores basados en pares diferenciales [16]. El aumento de la razón de plegado al doble por amplificador, implica que es posible alcanzar 10 bits de resolución usando solo 32 amplificadores, mientras que al usar una corriente de cola de $1\mu A$ para cada celda Winner Take All se traduce en un ahorro considerable de potencia.

3.2. Referencia de Corriente

La referencia de corriente es muy importante en los Convertidores Analógico Digital tipo folding porque los bloques de cuantización dependen del valor de corriente que ésta proporcione, de manera que si la referencia de corriente varía significativamente en PVT (Variaciones de Proceso de fabricación, Voltaje y Temperatura), todo el proceso sufrirá variaciones y degrada significativamente el desempeño del convertidor. La referencia de corriente más simple está formada por un espejo de corriente Widlar con una resistencia conectada como carga [17], como se muestra en la Figura 3.2.

La corriente en esta topología está dada por la Ecuación 3.1, donde la corriente de referencia está determinada básicamente por el resistor R_L , las referencias de corriente más típicas están basadas en este principio. El mayor problema con estas referencias de corriente es que el valor de la corriente depende fundamentalmente del valor de un elemento pasivo como es el resistor, que tiene variaciones de proceso de un $\pm 15\%$ al $\pm 20\%$, y un $\pm 7\%$ en temperatura [13], así como la dependencia de la corriente de referencia a VDD, de manera que cualquier variación en los niveles de alimentación impacta directamente al nivel de corriente de referencia. Esto representa un grave problema para diseñar un sistema robusto a variaciones de PVT.

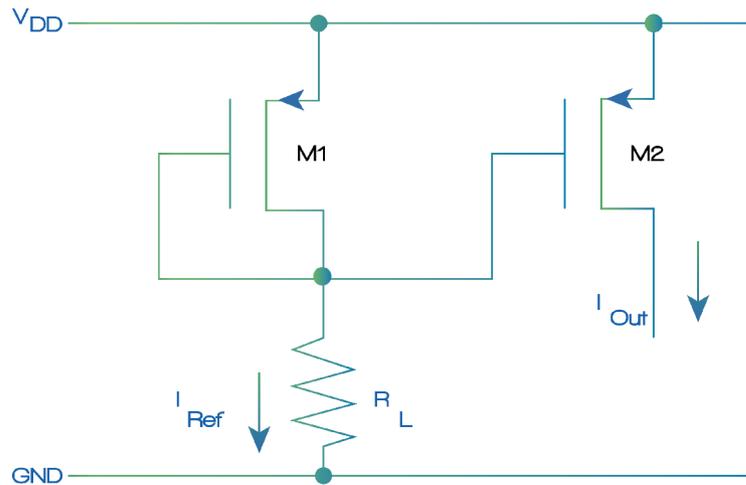


Figura 3.2: Referencia de corriente simple.

$$I_{REF} = \frac{V_{DD} - V_{GS1}}{R_L} \quad (3.1)$$

Para lograr una referencia de corriente robusta a variaciones de proceso, se emplea una referencia de corriente que no utiliza elementos pasivos propuesta por Tetsuya Hirose [18]. Esta referencia de corriente usa un transistor en inversión fuerte (M_{R1}), para fungir como resistencia reguladora de corriente. Todos los transistores que están a su alrededor ($M_1, M_2, M_3, M_4, M_{B1}$), se encuentran en la región de subumbral, permitiendo referencias de corrientes del orden de nanoamperes. El circuito de referencia de corriente utilizado en la presente propuesta se muestra en la Figura 3.3.

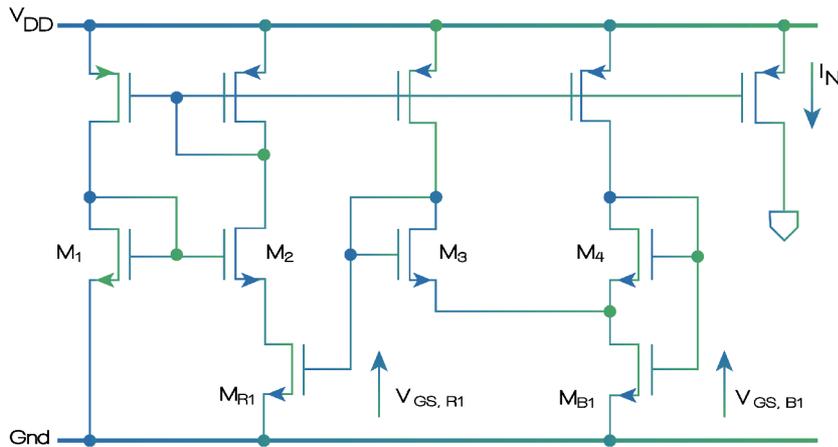


Figura 3.3: Circuito de referencia de corriente.

La corriente del drenador de M_{R1} (I_{NR1}) es generada por su voltaje de compuerta, este voltaje está determinado por los transistores compuestos M_4 y M_{B1} y el diodo M_3 . Ésta misma corriente pasa a través del espejo de corriente conformado por M_1 y M_2 , dicha corriente es reflejada una vez mas por los espejos PMOS y llevada a la salida por el transistor M_N , de manera que la corriente de salida I_N , esta dada por la Ecuación 3.2.

$$I_N = \beta_{M_{R1}} \eta^2 V_T^2 \ln \left(\frac{K_4 I_{NR1}}{K_{B1} K_3 I_0} \right) \quad (3.2)$$

En la tecnología CMOS estándar, existen 2 tipos de portadores de carga, *electrones* y *huecos*, cuya movilidad tienen una diferente dependencia a la temperatura. Usar la diferencia entre ambas nos permite controlar la dependencia a la temperatura de la corriente de salida. Ésto se logra restando la salida de la corriente P a la salida de la corriente N. La corriente I_P puede obtenerse mediante un circuito complementario, como se muestra en la Figura 3.4.

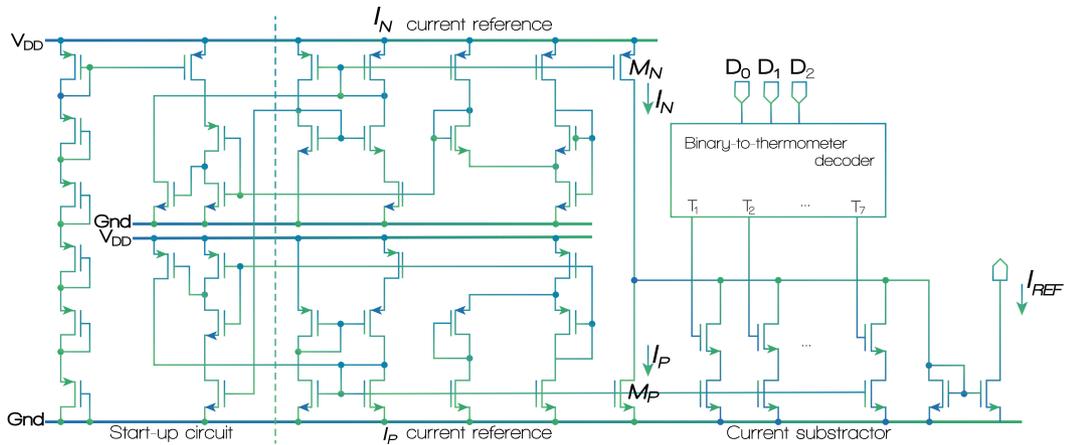


Figura 3.4: Circuito de referencia de corriente complementario.

En la referencia de corriente complementaria, la corriente que se genera por transistores tipo N (parte superior de la Figura 3.4) es reflejada por transistores tipo P y genera la corriente I_N , que sale a través de M_P . Mientras que la corriente que se genera por transistores tipo P (parte inferior de la Figura 3.4) es reflejada por transistores tipo N y genera la corriente I_P , que sale a través de M_N . La corriente I_P se resta de la corriente I_N y el resultado de esta sustracción es reflejado por un espejo de corriente, dicho espejo será el que aporte la corriente de referencia a la salida.

La corriente de la referencia N y la referencia P tienen diferente dependencia a la

temperatura debido a que la movilidad de los portadores de carga (electrones y huecos) también tiene una dependencia a la temperatura distinta, dado que la movilidad de portadores (μ) es parte del comportamiento eléctrico y la corriente de drenaje de los transistores depende de la movilidad de portadores, según la Ecuación 3.3, la referencia N tiene un coeficiente positivo y la referencia P tiene un coeficiente negativo. Estas diferencias de dependencias a la temperatura se puede observar en la Figura 3.5.

$$I_D = \frac{1}{2}(W/L)\mu_N C_{OX}(V_{GS} - V_{TH}) \quad (3.3)$$

La dependencia a la temperatura de los portadores de carga (μ) esta dada por la Ecuación 3.4.

$$\mu = \mu_0(T_0/T)^m \quad (3.4)$$

Donde μ_0 es la movilidad del portador y m es el exponente de temperatura [19].

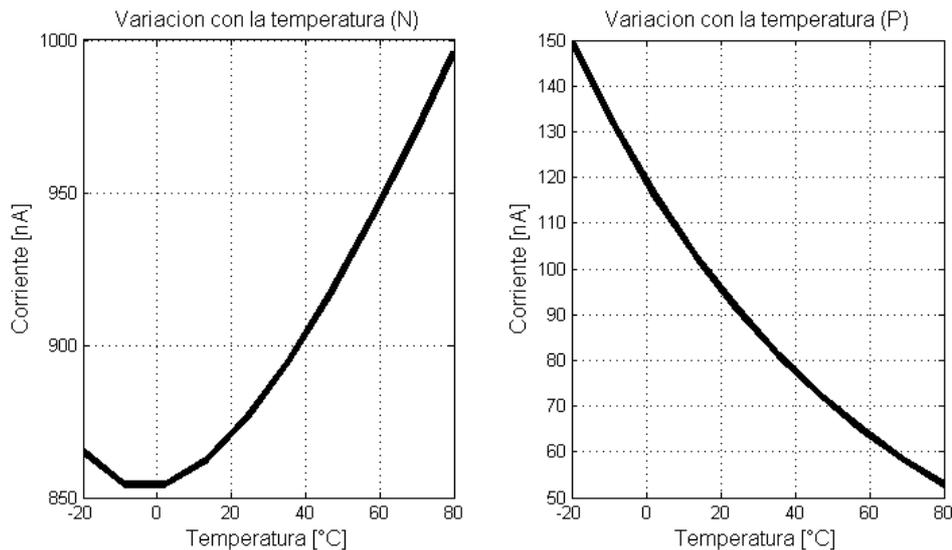


Figura 3.5: Resultado de simulación de la referencia de corriente: (a) Corriente dependiente de la movilidad del electrón I_N (b) Corriente dependiente de la movilidad del hueco I_P .

En la Figura 3.6 se puede observar una reducción muy significativa de la dependencia a la temperatura. Cuando las corrientes que dependen del coeficiente de temperatura de electrones y huecos se resta, por lo que son posibles variaciones menores al $\pm 5\%$ utilizando esta técnica.

Esta topología de referencia de corriente tiene otra ventaja, ya que la corriente de referencia de salida puede ser ajustada por medio de un código binario. Este código binario es convertido a código termómetro por medio de un decodificador. El diseño del decodificador puede encontrarse en el Apéndice A. Cada vez que se aumenta un

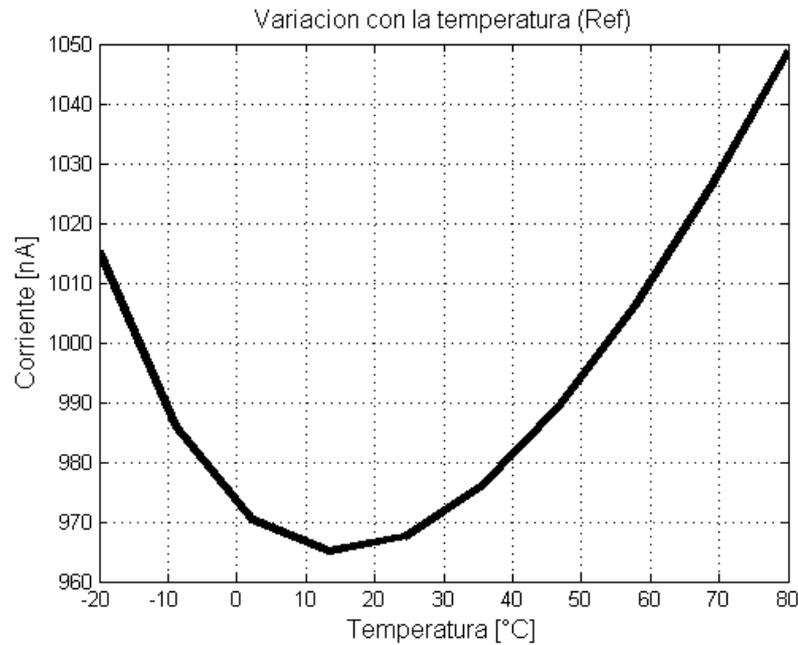


Figura 3.6: Corriente de referencia de salida I_{REF} de la Figura 3.4.

bit en la entrada del decodificador, aumenta un nivel en el código termómetro de salida, la señal que corresponde a éste nivel del código termómetro está conectado a la base de un transistor, que, a su vez esta conectado en cascada con otro transistor, cuya base está conectada en paralelo con la base del transistor de la corriente de salida I_P , Figura 3.4. Todos los niveles del código termómetro están conectados de la misma manera. Así, cuando la entrada del decodificador corresponde a un uno binario, el primer nivel del código termómetro esta en alto, esto hace conducir al primer par de transistores conectados en cascada con una corriente igual a I_P , de modo que a la corriente de referencia de salida se le resta una I_P . Cuando la entrada del decodificador corresponde a un dos binario, el primer y el segundo nivel del código termómetro están en alto, esto enciende al primer y segundo par de transistores conectados en cascada con una corriente igual a I_P , de esta manera se restan ahora $2I_P$ a la referencia de salida.

3.3. Amplificador de plegado y generador de banderas

En esta sección se presenta el proceso de cuantización del convertidor, dicho proceso consiste en dos partes: Los amplificadores de plegado, que representa la parte fina, es el proceso encargado de cuantizar la señal de entrada. Las banderas en corriente, que representa la parte burda, están compuestas por una serie de comparadores que marcan puntos de referencia a lo largo del rango dinámico, y que son necesarios para la decodificación de código termómetro a código binario. Para el diseño del convertidor

tomamos en cuenta que los amplificadores de plegado son capaces de realizar 32 plegados, de modo que, son necesarios 32 amplificadores de plegado para alcanzar una resolución de 10 bits. Este arreglo de amplificadores de plegado genera 32 códigos termómetro y 32 códigos termómetro inverso, por lo que son necesarias también 32 banderas para poder decodificar la información.

La señal de entrada llega de manera paralela a las 32 banderas y a los 32 amplificadores de plegado. Cada amplificador de plegado y cada bandera resulta en una señal de salida. Todas estas salidas van por separado (parte fina y parte burda) a la etapa de ecualización, como se muestra en la Figura 3.7.

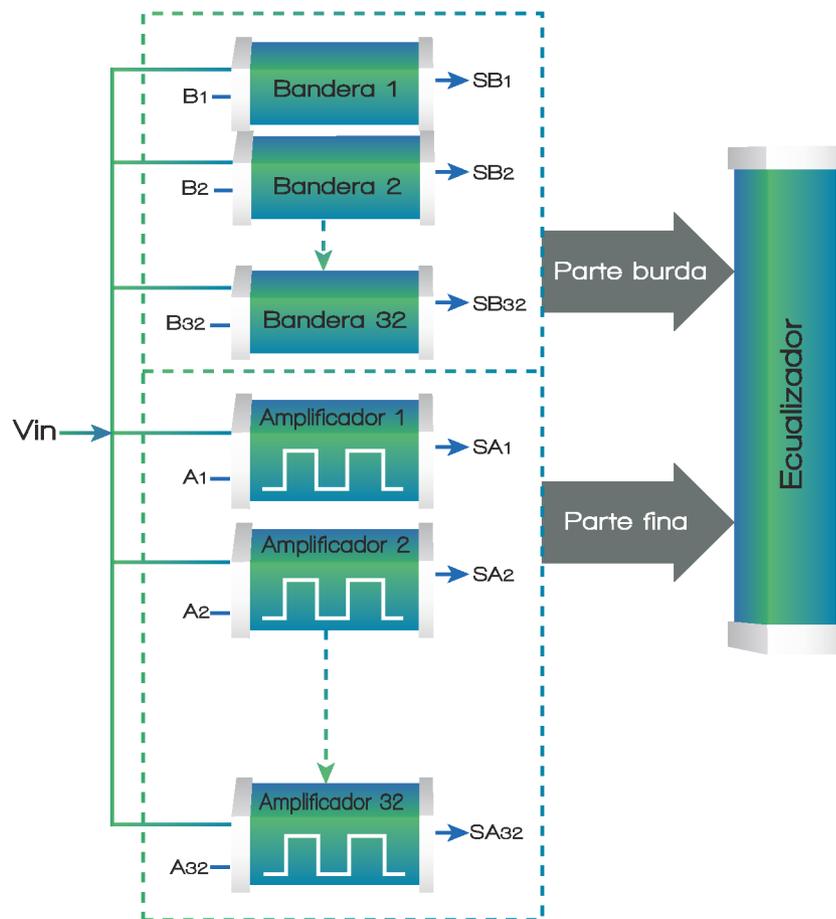


Figura 3.7: Estructura de amplificadores de plegado y banderas para un ADC folding en modo corriente de 10 bits.

Cada uno de los 32 amplificadores de plegado generan su propia señal de salida. Cada

una de estas señales esta conformada por 33 plegados, que, como se vio en el Capítulo 2, es necesario un número impar de plegados para que las señales se crucen y el procesamiento digital sea posible. Estas señales generan 32 códigos termómetro y 32 códigos termómetro inverso, que se encuentran distribuidos a lo largo de 1024 referencias de corriente y 32 salidas. Estas salidas se pueden observar en la Figura 3.8.

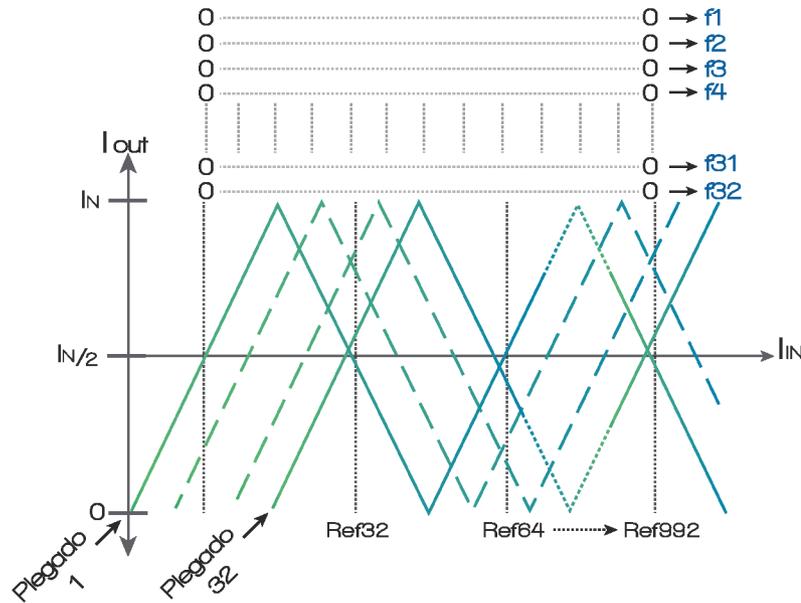


Figura 3.8: Señales de los amplificadores de plegado.

El rango dinámico está dividido en 1024 secciones, cada una presenta un cruce por $I_{IN}/2$, ya sea cuando uno de los plegados se encuentra en transición hacia el estado alto o hacia el estado bajo.

En los amplificadores de plegado, la cuantización está dividida en dos secciones, la parte fina y la parte burda, debido a que la decodificación necesita puntos de referencia a lo largo del rango dinámico para diferenciar cuando empieza y termina cada ciclo de código termómetro y código termómetro inverso. Cada ciclo de códigos termómetro contienen 32 códigos exactamente iguales, solo diferenciados por la posición del rango dinámico en que se encuentran. Para lograr diferenciar entre ciclos de códigos termómetro, se colocan banderas a lo largo del rango dinámico, estas banderas son comparadores en corriente que tienen una entrada a una referencia y la otra a la señal de entrada, esta referencia se encuentra justo después de que cada ciclo de código termómetro y código termómetro inverso ha terminado. Las banderas generan un código termómetro de 32 estados, donde cada estado en alto representa un ciclo de

códigos termómetro y termómetro inverso. Estas 32 banderas se muestran en la Figura 3.9.

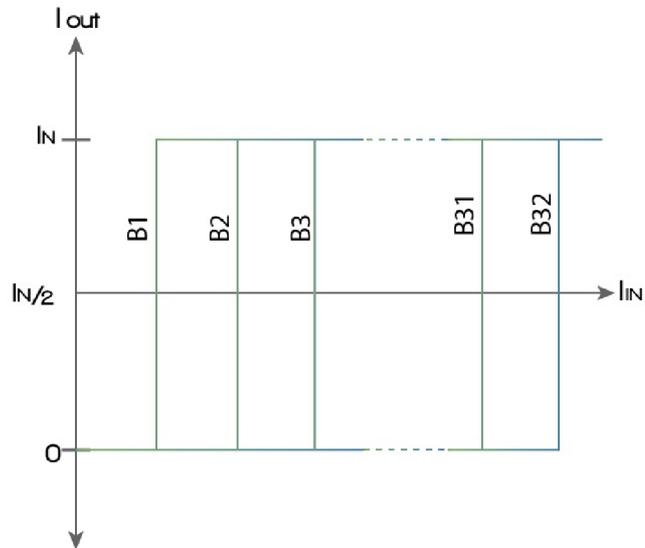


Figura 3.9: Señales de las banderas.

Los amplificadores de plegado que se proponen en este trabajo están constituidos por tres espejos de corriente de bajo voltaje (BV), 32 Winner Take All (WTA), y un punto de suma. El primer espejo de corriente de bajo voltaje copia la señal de entrada en cada uno de los 32 WTA. El segundo espejo de corriente de bajo voltaje genera 32 referencias a partir de la referencia de corriente. El tercer espejo de corriente genera 32 corrientes de cola, todas estas corrientes son idénticas y se generan a partir de la referencia de corriente. Los 32 WTA tienen dos entradas de corriente, una corriente de cola y dos salidas, estas dos salidas se van alternando de un comparador a otro y todas estas salidas llegan a dos diodos que representan el punto de suma, como se muestra en la Figura 3.10.

Para lograr que cada uno de los WTA compare la señal de entrada y su correspondiente referencia, es necesaria la generación de replicas de la señal de entrada. Para lograr este objetivo, es necesario implementar espejos de corriente que distribuyan la señal de entrada entre todos los WTA. La primera opción es el espejo de corriente Widlar.

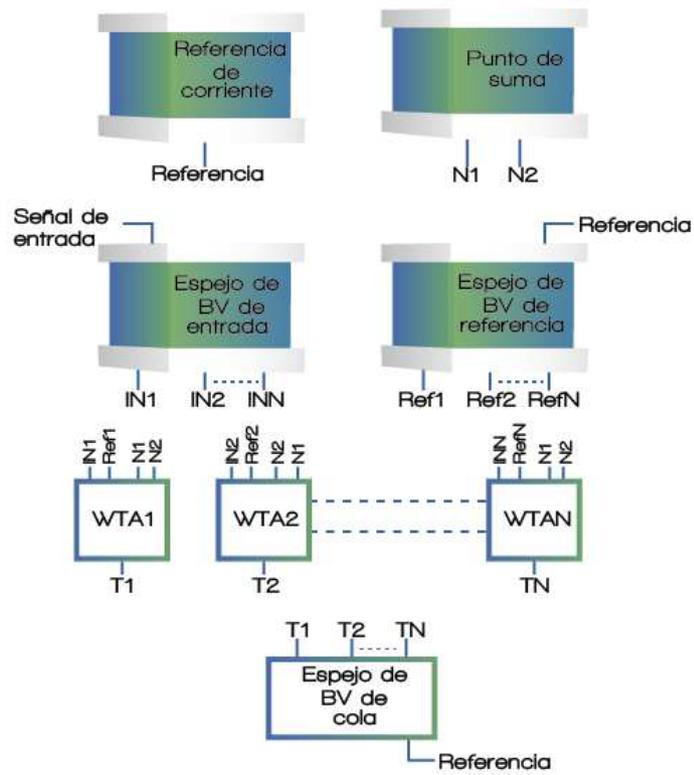


Figura 3.10: Topología de amplificador de plegado propuesta.

3.3.1. Espejos de corriente

El espejo de corriente es un circuito que replica o aumenta/reduce la señal de entrada en la señal de salida, la magnitud de la replica depende de las dimensiones de los transistores de entrada y salida. La mayor limitación que el espejo Widlar, como el que se muestra en la Figura 3.11, representa para el presente trabajo es la calidad de la replica que produce debido a que la corriente en los transistores está en función de su voltaje de compuerta y su voltaje de drenador-fuente, el transistor de entrada tiene el mismo voltaje de compuerta que de drenador-fuente, sin embargo, el voltaje de compuerta y el voltaje de drenar-fuente del transistor de salida son distintos, de manera que la corriente de entrada y la corriente de salida van a tener un error proporcional a la diferencia de los voltajes de drenador-fuente de los transistores de entrada y salida. La corriente de salida con respecto a la corriente de entrada responde a la Ecuación 3.3.

$$I_{OUT} = I_{REF} \frac{(W/L)_2}{(W/L)_1} (1 + \lambda V_{OUT}) \quad (3.5)$$

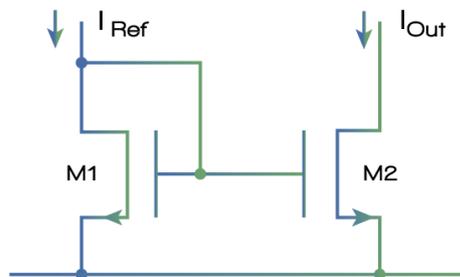


Figura 3.11: Espejo de corriente Widlar.

Existen muchas topologías propuestas que aumentan la resistencia de salida y por tanto la calidad de la replica. Para este trabajo se eligió el espejo de corriente de bajo voltaje (ver la Figura 3.12), debido a que el voltaje de compuerta y el voltaje de drenador-fuente son iguales para los transistores de entrada y los transistores de salida, de manera que la calidad de la replica es mejor que la del espejo Widlar. La única desventaja de este circuito es que necesita polarización para los transistores apilados, sin embargo, esta polarización puede alcanzarse con un divisor de voltaje a base de un transistor tipo P y un transistor tipo N.

La señal de entrada es replicada y distribuida por un espejo de corriente de bajo voltaje tipo P , diseñado con las mismas dimensiones de W/L . En la Figura 3.12, se observa como a través de los transistores MIN_A y MIN_B llega la corriente de la señal de entrada, esta corriente es replicada en los transistores MIN_{1A} Y MIN_{1B} , produciendo una replica de I_{REF} que sale a través de IN_1 . Los transistores MIN_{2A} y MIN_{2B} están conectados a las compuertas de MIN_A y MIN_B , por lo que sale una replica de la señal de entrada por IN_2 . Los siguientes 30 pares de transistores también están conectados a la compuerta de MIN_A y MIN_B , de manera que el espejo genera 32 replicas de la señal de entrada. El espejo de corriente necesita una polarización para sus transistores apilados, dicha polarización se logra mediante un divisor de voltaje formado por el transistores MB_A y el transistor MB_B , un par de transistores tipo P y tipo N en cascada con sus terminales de compuerta comunes y conectadas a la salida. El voltaje de salida (V_O), del divisor, corresponde al voltaje de drenador-fuente del transistor MB_B , donde, el voltaje de drenador-fuente de MB_B está en función de las dimensiones de ambos transistores, como se muestra en la Ecuación 3.4.

$$V_{OUT} = V_{DSB} = \frac{\alpha_2}{\alpha_1 + \alpha_2} V_{DD} + \frac{\alpha_1 V_{TH1} - \alpha_2 V_{TH2}}{\alpha_1 + \alpha_2} \quad (3.6)$$

El espejo de entrada está diseñado con transistores tipo P y por lo tanto necesita voltaje menores a 1 volt. Para asegurar la correcta polarización, se hará uso de un $(W/L)_B = 8$ y un $(W/L)_A = 1$, para obtener un voltaje de salida de alrededor de 0.8V, por lo que el V_{GS} de los transistores MIN_{XA} será de un promedio de 1 V.

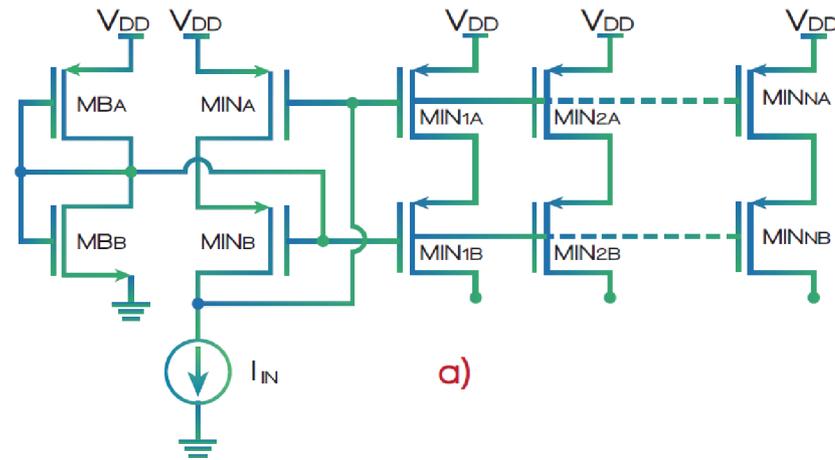


Figura 3.12: Espejo de Entrada.

Las señales de referencia son generadas por medio de las dimensiones W/L de los transistores de un espejo de corriente de bajo voltaje tipo P , donde la corriente de entrada del espejo es la referencia de corriente. La referencia de corriente y las dimensiones de los transistores MR_A y MR_B determinan el factor de multiplicación

para las demás ramas. Es decir, si las relación W/L de los transistores MR_A y MR_B es uno, las relaciones de los transistores $MREF_{1A}$ y $MREF_{1B}$ deben ser de dos, para lograr el doble de la corriente de referencia en $REF1$. Para lograr el triple de la corriente de referencia en $REF2$, los transistores $MREF_{2A}$ y $MREF_{2B}$ deben tener un factor W/L de tres, con respecto a los transistores MR_A y MR_B . De esta manera se ajustan las 32 referencias de corriente de cada amplificador de plegado. Todas las referencias de corriente están separadas por un factor de 32Δ , es decir que en el primer amplificador de plegado la primera refencia es Δ , la segunda es 33Δ , la tercera es 65Δ y así sucesivamente hasta llegar a la referencia numero treinta y tres, que corresponde a 1054Δ . Para este espejo de corriente se emplea la misma polarización que en el espejo de entrada y las mismas dimensiones de los transistores de polarización (Figura 3.13).

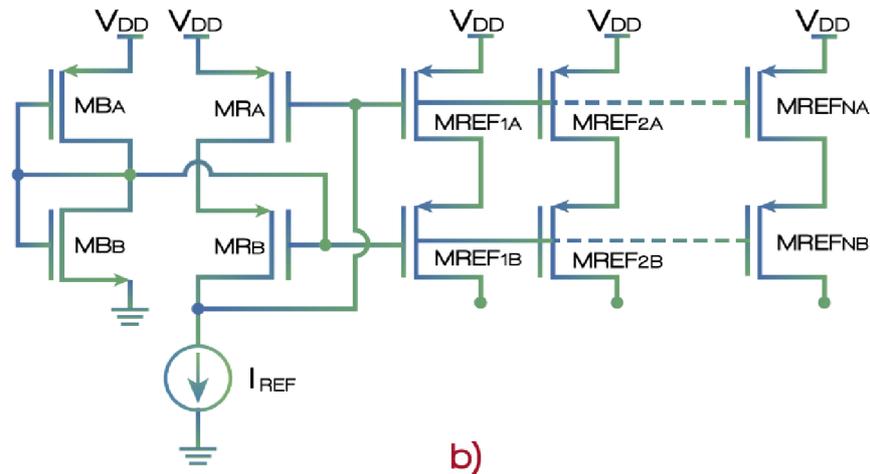


Figura 3.13: Espejo de Referencia.

La corriente de cola es replicada por medio de un espejo de corriente de bajo voltaje tipo N diseñado con las mismas dimensiones de W/L . En la Figura 3.14, se puede observar como la corriente de referencia llega a través de los transistores MT_A y MT_B y es replicada en los transistores MT_{1A} y MT_{1B} , reproduciendo I_{REF} en la salida $T1$. La corriente I_{REF} también es replicada en la salida $T2$, porque las compuertas de MT_{2A} y MT_{2B} están unidas a las compuertas de MT_A y MT_B . La corriente de referencia es replicada en las 32 ramas del espejo de corriente, generando una copia de corriente de cola idéntica para cada WTA del amplificador de plegado. El espejo de cola está diseñado con transistores tipo N y por lo tanto necesita polarizar los transistores apilados, éstos transistores requieren un voltaje de salida de por lo menos 1V. Para asegurar la correcta polarización de los transistores tipo N, las dimensiones de $(W/L)_A = 16$ y un $(W/L)_B = 1$, para obtener un voltaje de salida de 1V.

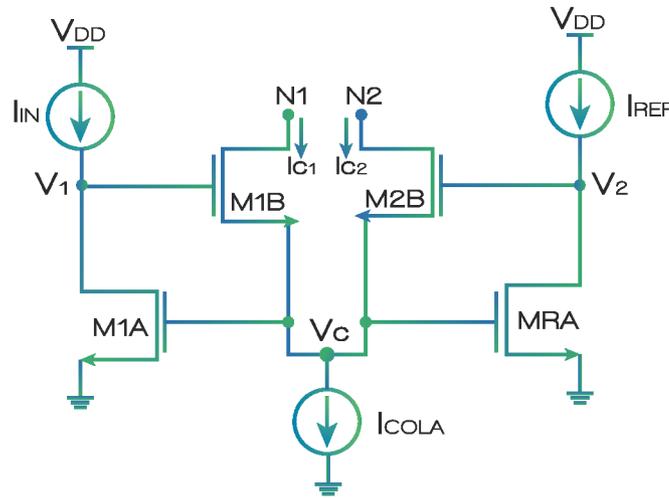


Figura 3.15: Winner Take All Lazzaro

esta manera un lazo de retroalimentación positiva.

A medida que aumenta la corriente I_{C1} , la corriente I_{C2} disminuye, debido a que I_{COLA} es la suma de ambas corrientes. Al disminuir la corriente I_{C2} el V_{DS} de M_{2B} también disminuye. El V_{DS} de M_{2B} continuara disminuyendo hasta que $V_{DS} < V_{GS} - V_{TH}$ y el transistor entre en la región de triodo, donde la ecuación de corriente correspondiente a este punto de operación es $I_D = \frac{1}{2}\mu_{cox}(W/L)(2(V_{GS} - V_{TH})V_{DS} - V_{DS}^2)$. A medida que el V_{DS} del transistor M_{2B} disminuye, también lo hace la corriente de este transistor debido a la ecuación de corriente de drenaje en la región de triodo, dado que el cambio en la corriente responde a una retroalimentación positiva, la disminución de la corriente del transistor M_{2B} continuará hasta que la rama de la corriente I_{C2} quede totalmente inhibida. En la Figura x se muestra un ejemplo donde la corriente de referencia se encuentra en $1\mu A$, como se mencionó anteriormente, en el inicio del rango dinámico de entrada la rama I_{C2} gana toda la corriente dejando a la rama I_{C1} completamente inhibida, cuando la corriente correspondiente a la rama I_{C1} supera a la corriente correspondiente a I_{C2} , la corriente I_{C1} es quien gana toda la corriente dejando totalmente restringida a la corriente de la rama I_{C2} .

Las celdas WTA sufren de dos grandes problemas. La resolución aleatoria debida al mismatch de los circuitos integrados y la resolución limitada debido a la ganancia finita. La resolución aleatoria se soluciona evitando usar dimensiones mínimas y

haciendo un buen layout. La resolución del sistema se debe a la ganancia de lazo abierto, que define la resolución del circuito.

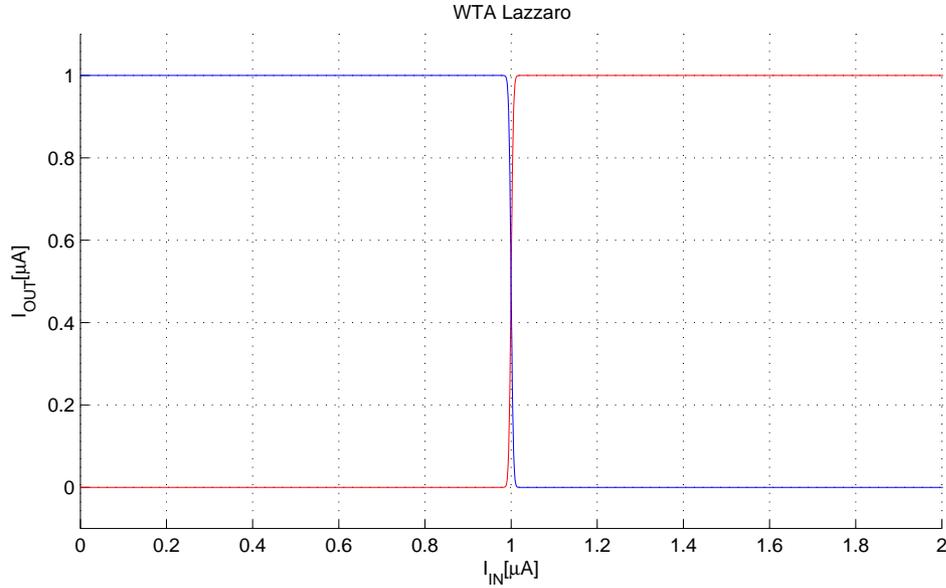


Figura 3.16: Función de transferencia de salida de un WTA Lazzaro

La ganancia de lazo abierto se calcula rompiendo el lazo de retroalimentación de una de las ramas del WTA, como se muestra en la Figura 3.16, Dicha ganancia es el resultado de la multiplicación de la ganancia de un amplificador en configuración de seguidor de fuente y la ganancia de un amplificador en configuración de fuente común (Ecuación 3.7).

$$\frac{V_{OUT}}{V_{IN}} = \frac{gm_{M1}}{gm_{M1} + gmb_{M1}} gm_{M2} R_{out} \quad (3.7)$$

Despreciando el efecto de cuerpo y tomando en cuenta que la ganancia del amplificador en configuración de seguidor de fuente es unitaria, la ganancia resultante es equivalente a la ganancia de un amplificador en configuración de fuente común, como se muestra en la Ecuación 3.8.

$$\frac{V_{OUT}}{V_{IN}} = gm_{M2} || R_{out} \quad (3.8)$$

De acuerdo con la Ecuación 3.8, la ganancia del WTA tiene una dependencia lineal entre gm_{M2} y R_{out} . La ganancia de un amplificador depende de dos factores, la

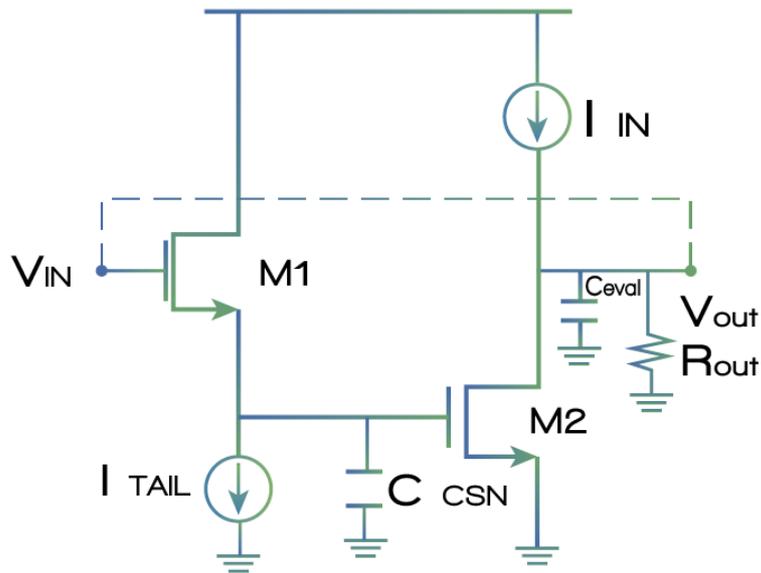


Figura 3.17: Ganancia en lazo abierto del WTA Lazzaro

corriente de entrada y la impedancia de salida, de los cuales solo es posible modificar la impedancia de salida pues la corriente de entrada es un parámetro que no pertenece a las variables de diseño. La topología propuesta por Lazzaro tiene una ganancia limitada a 90 (39 dB), debida a su baja impedancia de salida. La señal de un WTA lazzaro con una corriente de cola y una referencia en $1\mu A$ se muestra en la Figura 3.18.

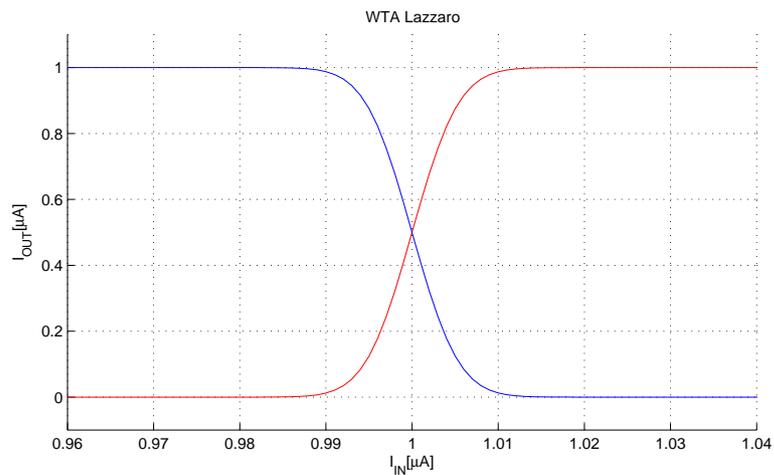


Figura 3.18: Ganancia del WTA Lazzaro

En 1997 Sekerkiran propuso una mejora a la celda de Lazzaro [21] con el proposito de mejorar la resolución de la celda aumentando la impedancia de salida mediante una etapa cascode. La celda mejorada esta compuesta por las mismas dos ramas con la diferencia de que incluye un transistor apilado (M1B y M2B) en el drenaje de cada uno de los transistores en configuración de amplificador en fuente común (M1A y M2A), como se muestra en la Figura 3.19. El comportamiento como comparador de corriente sigue siendo el mismo, cuando una corriente es mayor que la otra la retroalimentación positiva de esa rama genera que la corriente de su rama secundaria gane toda la corriente mientras que la otra rama secundaria es inhibida, cuando la corriente de entrada supera la corriente de referencia se invierten los papeles en la distribución de corrientes, como se muestra en la Figura 3.20.

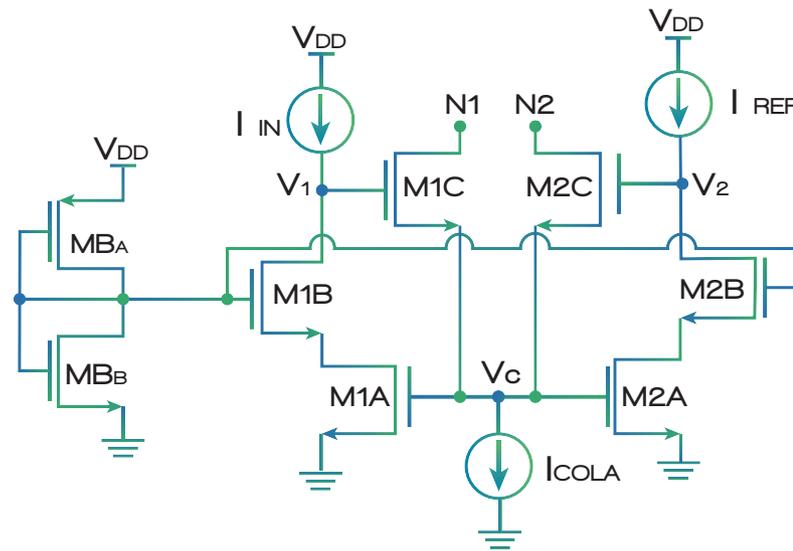


Figura 3.19: Winner Take All Cascode

La diferencia de la celda mejorada con la celda original radica en la ganancia que esta puede alcanzar debido a su mayor impedancia de salida. Aplicando el mismo análisis que en la celda básica, la ganancia esta determinada por el amplificador en configuración de fuente común, pero en este caso la impedancia de salida no esta determinada únicamente por la transconductancia de M1, sino de la multiplicación de las resistencias de drenador fuente de ambos transistores apilados.

$$\frac{V_{OUT}}{V_{IN}} = g_{mM2} r_{DS2} r_{DS3} \quad (3.9)$$

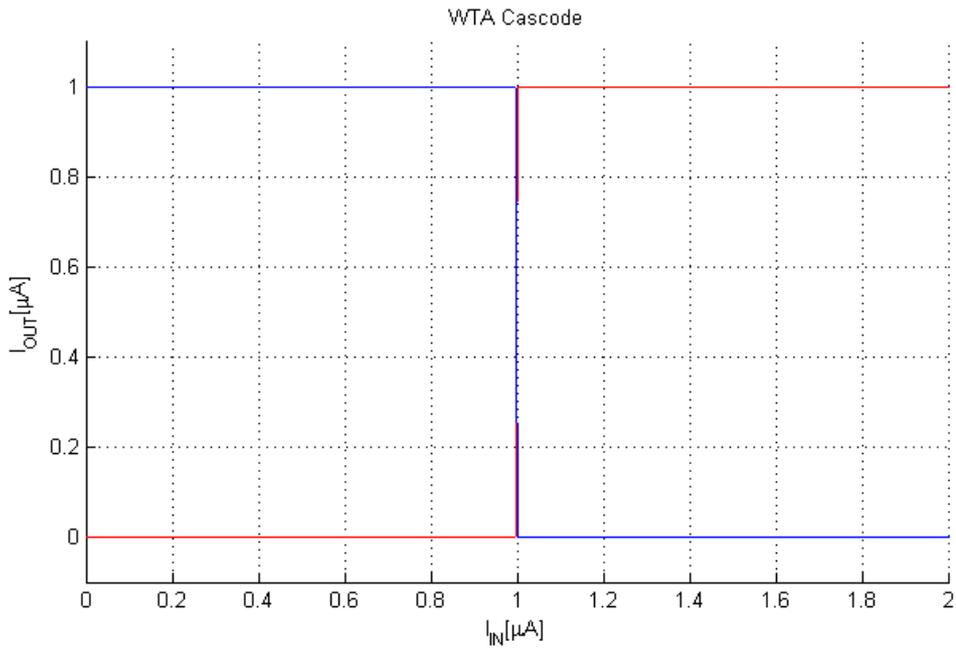


Figura 3.20: Función de transferencia de salida de un WTA cascode

La propuesta de Sekerkiran mejora significativamente la ganancia del comparador, ya que esta celda mejorada puede alcanzar ganancias de hasta 3333 (70dB), como se muestra en la Figura 3.21.

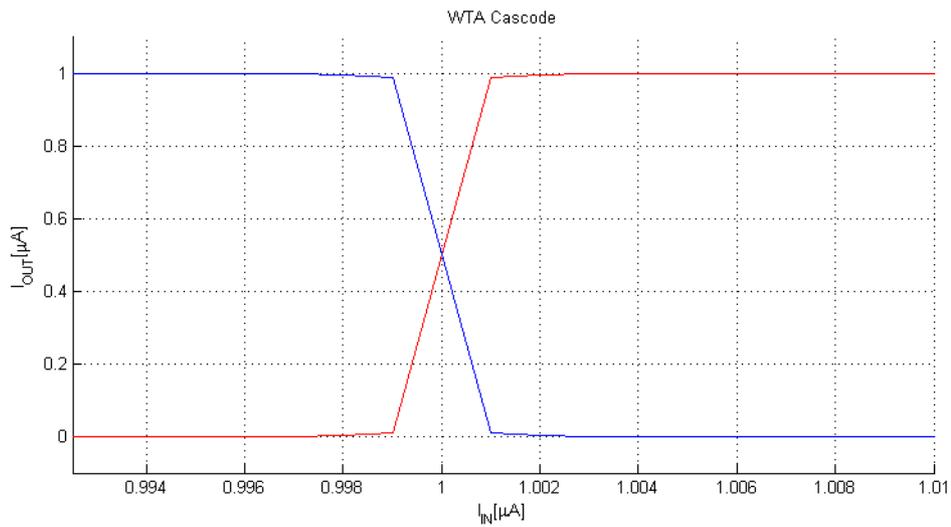


Figura 3.21: Ganancia del WTA cascode

3.4. Ecuador y conversión a modo voltaje

Uno de los problemas mas significativos con los amplificadores de plegado es que a medida que la señal de entrada se mueve a través del rango dinámico, los puntos de operación de los transistores que constituyen los comparadores también se mueven. Esto provoca que los límites alto y bajo de las corrientes de salida del amplificador de plegado no sean siempre constantes y generen una pendiente diferente de cero en el plegado, como se muestra en la Figura 3.22.

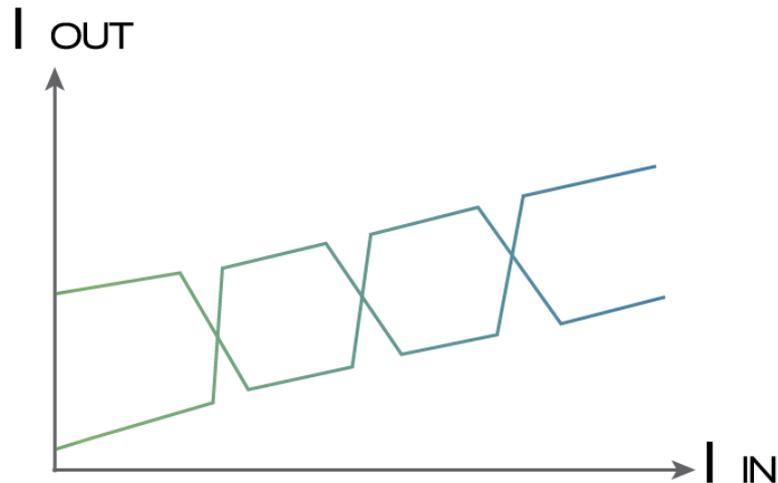


Figura 3.22: No idealidad en la salida del amplificador de plegado

Que la salida del amplificador de plegado posea una pendiente diferente a cero representa un problema para el cuantizador, debido a que ese cambio de pendiente podría provocar estados indeterminados en el proceso de cuantización. El movimiento de la pendiente de los amplificadores de plegado coloca los límites de corriente alto y bajo en diferentes puntos del rango dinámico de salida, si alguna de las salidas del amplificador no se encuentra por debajo del límite para considerarse un cero lógico o por encima del límite para considerarse un uno lógico, el estado se considera indeterminado y esto puede ocasionar errores en la conversión.

Para modular la amplitud de la señal de salida y obtener una pendiente igual a cero fue propuesto un WTA anidado, donde la salida del amplificador de plegado pasa a través de una serie de espejos tipo P (MP1, MP2, MP3 y MP4), como se muestra en la Figura 3.24, y es reflejada hacia otro WTA que realiza la tarea de modulación de señal.

Con el fin de acoplar la salida del convertidor a gran variedad de circuitos, la conversión a modo voltaje en la salida es necesaria, para lograrlo se utiliza un conjunto de diodos con resistencias positivas y negativas, como se muestra en la Figura 3.23. La salida de un par de diodos conectados de manera diferencial aportan una ganancia en pequeña señal positiva o $\frac{2}{g_m}$ (Figura 3.23a), mientras que un par de diodos conectados espalda con espalda generan una retroalimentación positiva y como resultado la ganancia en pequeña señal se convierte en negativa o $-\frac{2}{g_m}$ (Figura 3.23b). La conexión de un conjunto de diodos con resistencias positivas con unas negativas permite obtener resistencia entre $\frac{1}{g_m}$ e infinito. Al diseñar los dispositivos de las mismas dimensiones, estos cancelan la corriente de ac en el circuito provocando que la corriente diferencial sea muy grande (infinita si no existe desapareamiento entre dispositivos). Como resultado obtenemos una carga muy grande para un amplificador (Figura 3.23c), y se reduce significativamente el kickback de los transistores.

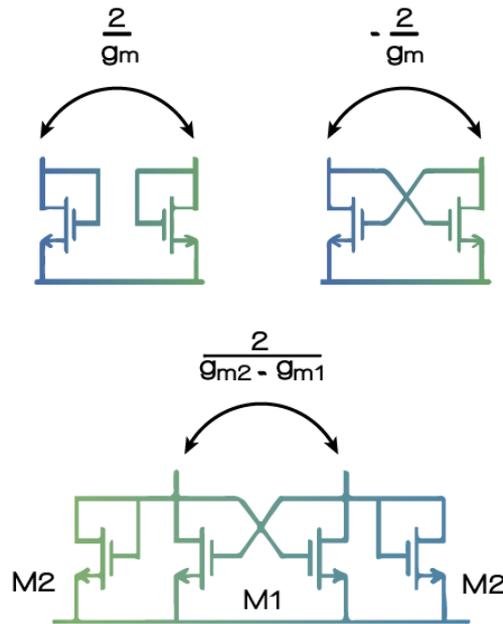


Figura 3.23: Carga con retroalimentación positiva

De manera general, la modulación de amplitud de la señal se realiza mediante una copia de las señales de salida del amplificador de plegado, las corrientes entran al WTA y la señal es modulada y copiada por otro par de espejos que dirigen la corriente

por lo tanto no es posible aplicarlo al cuantizador de un ADC tipo folding, como se muestra en la Figura 3.25.

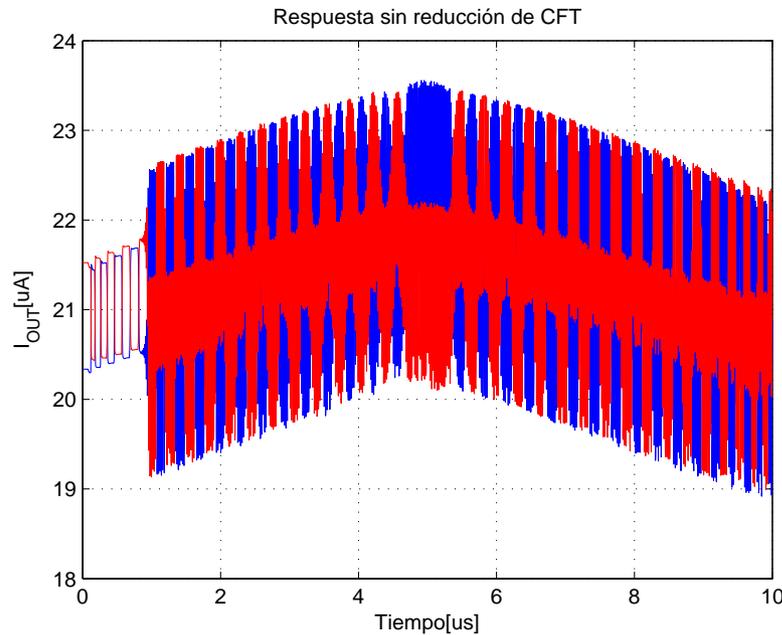


Figura 3.25: Respuesta sin reducción de CFT

La oscilación generada por el kickback de los WTA no permite detectar los cruces de las señales de salida de los WTA, pues las señales están constantemente cruzándose, como se muestra en la Figura 3.26. El efecto de kickback de los transistores se debe a que ninguna corriente puede detenerse abruptamente como si fuese un elemento ideal, cuando los WTA conmutan la rama de conducción, los portadores de carga que están en movimiento poseen una fuerza cinética cuya dirección es modificada por el cambio en el camino conductivo, de manera que los portadores de carga regresan como si se tratara de un “rebote”, estos cambios cargan y descargan los nodos adyacentes a los WTA modificando las señales de salida.

Una vez integrado el ecualizador, el kickback se reduce considerablemente a solo oscilaciones en las partes altas y bajas del amplificador de plegado, como se muestra en la Figura 3.27. Los cruces de las señales de salida del amplificador de plegado son de esta manera mas claras y fáciles de detectar. Un acercamiento a los cruces del amplificador de plegado se muestra en la Figura 3.28.

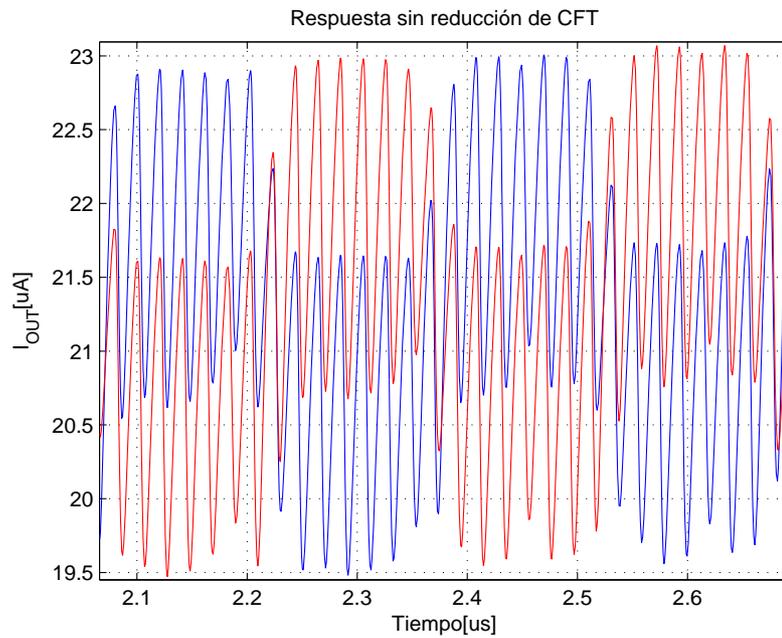


Figura 3.26: Zoom a la respuesta sin reducción de CFT

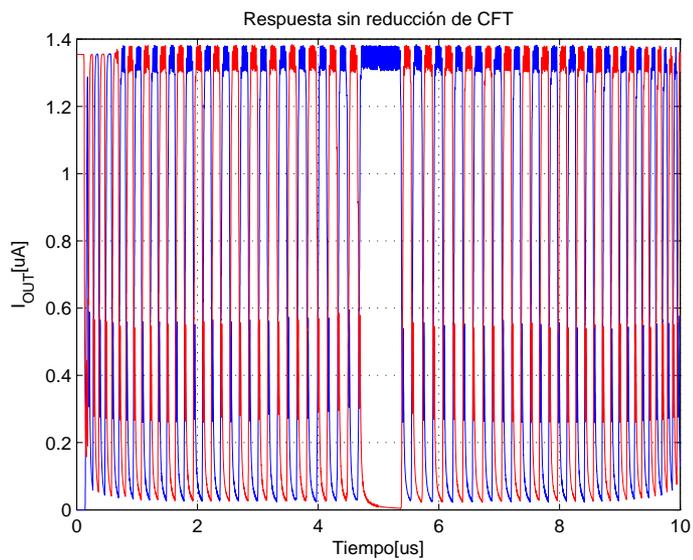


Figura 3.27: Respuesta con reducción de CFT

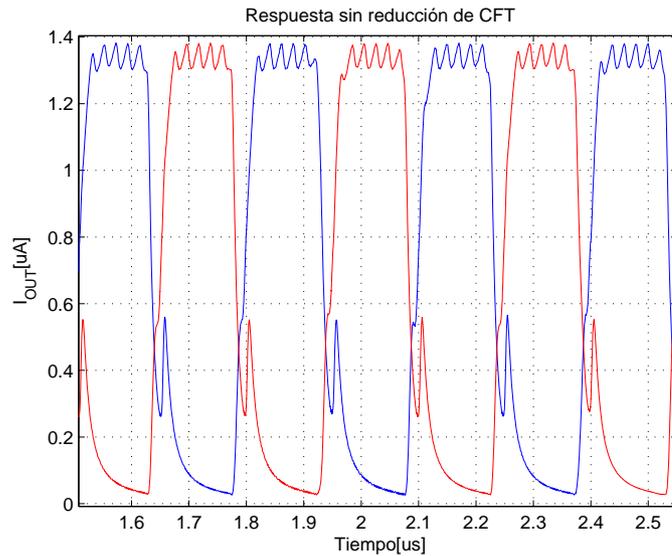


Figura 3.28: Zoom a la respuesta con reducción de CFT

3.4.1. Conclusión

En el presente capítulo se presentó una nueva propuesta de Convertidor Analógico Digital de plegado en modo corriente y sus ventajas con respecto a los ADCs en modo voltaje, así como con los problemas que representa trabajar en modo corriente y las soluciones propuestas para cada uno de ellos.

La propuesta de este trabajo mejora la resolución y el consumo de potencia del convertidor analógico digital tipo folding mediante la implementación de celdas WTA de alta razón de plegado en el cuantizador, alcanzando menores pasos de cuantización y una arquitectura atractiva para la implementación en bajas tecnologías, debido a la no dependencia de los rieles de alimentación.

Capítulo 4

Resultados

4.1. Introducción

En éste capítulo se presentan los resultados obtenidos al caracterizar el ADC folding en modo corriente de 10 bits en tecnología de 180nm, el ADC se diseñó a nivel transistor a una frecuencia de entrada máxima de 1M Hz con una dinámica de entrada de 60uA y fue simulado usando CADENCE Virtuoso. Para probar la propuesta un amplificador de plegado de 16 pendientes fue también fabricado en IMEC, Belgica.

El sistema es completamente integrable, debido a que el decodificador fue implementado en un lenguaje de descripción de hardware (Verilog) compatible con la síntesis digital de CADENCE, logrando de esta forma que el Convertidor Analógico Digital tenga la posibilidad de ser integrado en su totalidad en trabajos futuros. El sistema de señal mezclada fue simulado utilizando Spectre Verilog de manera que las señales analógicas y digitales pueden ser visualizadas en una misma simulación. El código en Verilog se presenta en el apéndice B.

Se presentan las señales del cuantizador y las banderas, la curva de transferencia, transitorio de una señal senoidal así como el transitorio de una señal triangular. También se presentan los resultados obtenidos de los errores estáticos (DNL e INL) y dinámicos (ENOB).

Según la literatura, para caracterizar un ADC se debe utilizar un DAC para reconstruir la señal y un filtro pasa bajas para eliminar las altas frecuencias fuera de la banda de trabajo [22]. El DAC fue implementado utilizando VeliloA y el algoritmo utilizado se presenta en el Apéndice B, mientras que el filtro Butterworth fue implementado en MATLAB.

4.2. Señales del cuantizador y del generador de banderas

Como se vio en el Capítulo 3, el ADC folding propuesto esta dividido por dos bloques principales, el cuantizador, que se encarga de seccionar todo en rango dinámico de entrada y el generador de banderas, que define en que puntos del rango dinámico de entrada termina cada uno de los ciclos de código termómetro y código termómetro inverso. El ADC fue diseñado con un rango dinámico de entrada de 0 a 60uA, en la Figura 4.1 se muestra como la salida del cuantizador secciona todo el rango dinámico, mientras que en la Figura 4.2 se muestra un acercamiento de esa misma señal.

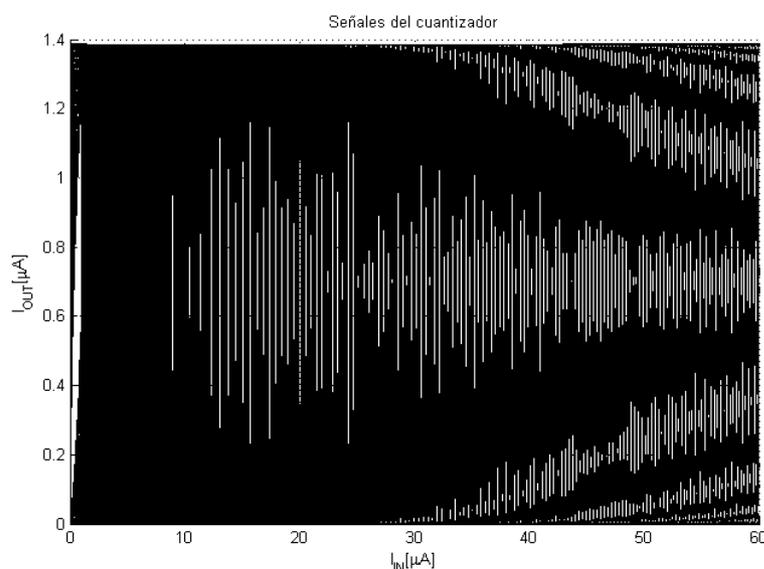


Figura 4.1: Señal de salida del cuantizador

En la Figura 4.3 se muestra la salida del generador de banderas, donde se puede observar como este va generando el cambio de estado de una señal cada cierto periodo, estas señales son las que marcan en termino de un ciclo de codigo termómetro-termómetro inverso y el inicio del siguiente. Otro punto importante a destacar es que en la Figura 4.3 se puede observar como las señales no son del todo uniformes, esto se debe a la degradación de la ganancia en los espejos y que origina el error de ganancia en la curva de transferencia.

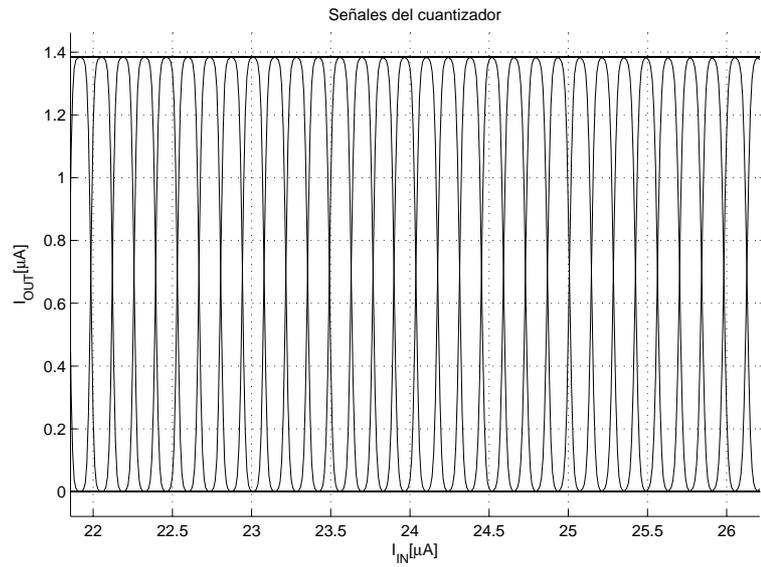


Figura 4.2: Acercamiento de la señal de salida del cuantizador

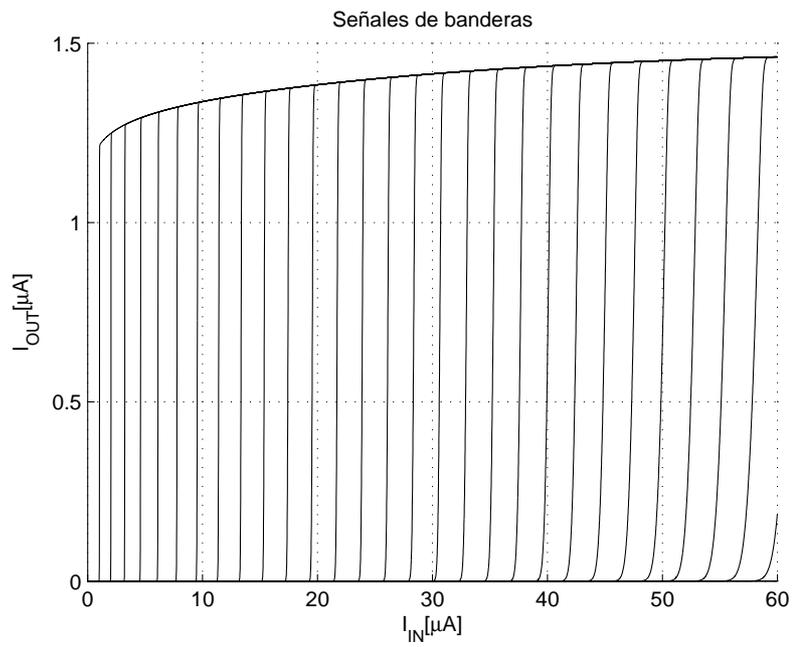


Figura 4.3: Señal de salida del generador de banderas

4.3. Curva de transferencia

La dinámica de entrada de un ADC en operación es en su mejor caso de 70 % de la dinámica de entrada diseñada, esto se debe a que si la señal de entrada saliera de los límites de la dinámica, esto generaría distorsión que afectaría significativamente la relación señal a ruido y por lo tanto el número efectivo de bits. Por esta razón la dinámica de entrada del ADC folding propuesto se encuentra entre 10uA y 50uA, ya que esto representa aproximadamente en 70 % de la dinámica de entrada diseñada. La Figura 4.4 muestra la curva de transferencia del ADC folding en modo corriente de 10 bits. Para medir la curva de transferencia se realizó un análisis en DC donde la señal de entrada es variada desde 10uA hasta 50uA. Como se puede observar en la figura, el convertidor padece de errores de no linealidad.

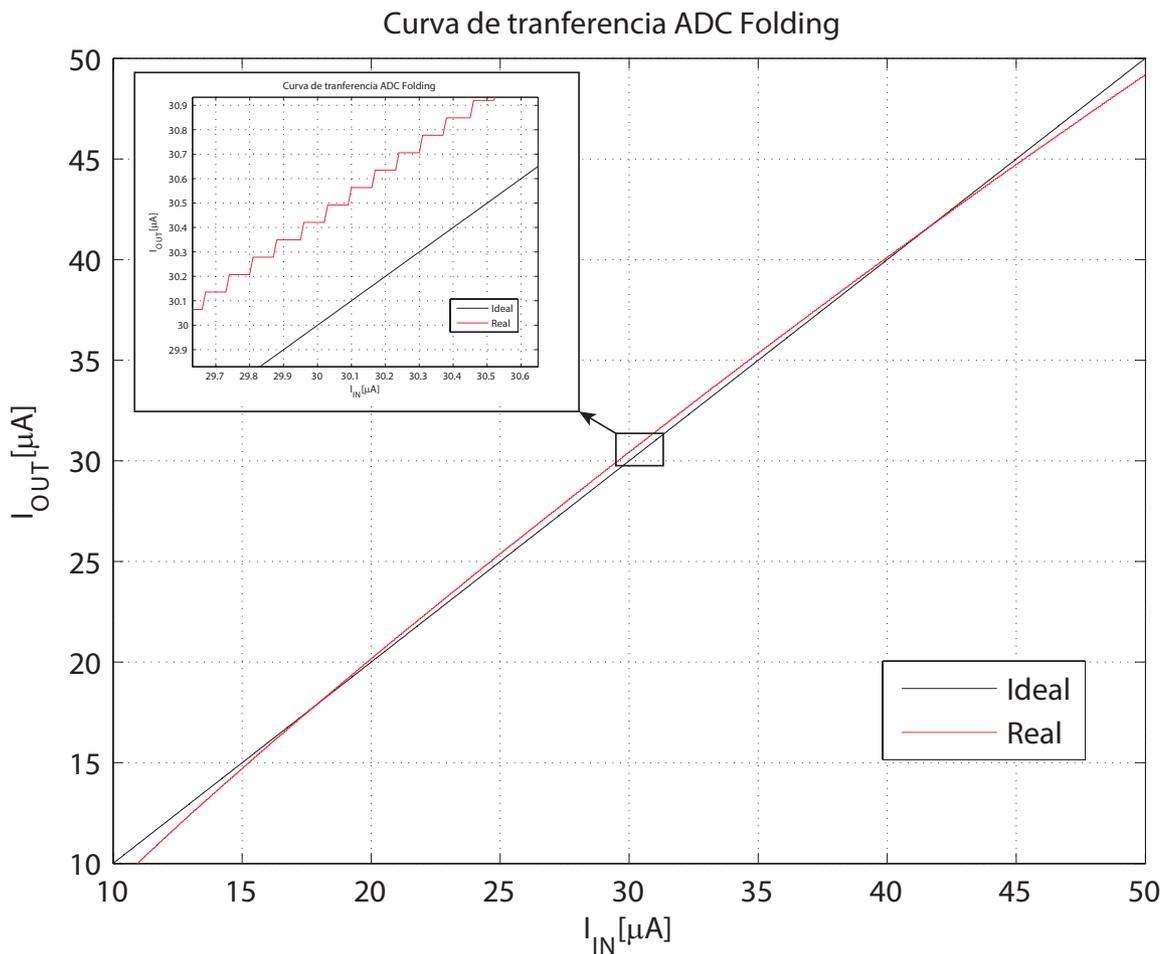


Figura 4.4: Curva de transferencia del ADC folding

4.4. Respuesta en el tiempo

Para probar la respuesta en el tiempo del ADC folding se realizaron dos pruebas, una con una señal de entrada senoidal con una frecuencia de 122k Hz y otra con una señal de entrada triangular con una frecuencia de 100k Hz, que representan frecuencias cercanas a $\frac{1}{10}$ de la frecuencia de entrada máxima. Esta relación entre la frecuencia de entrada con que se caracteriza el ADC y la frecuencia de entrada máxima con que puede operar el convertidor está dentro de lo recomendado en la literatura.

En la figura 4.5 se muestra la respuesta del Convertidor Analógico Digital cuando recibe una señal de entrada senoidal de 40uA de amplitud y de 122k Hz de frecuencia.

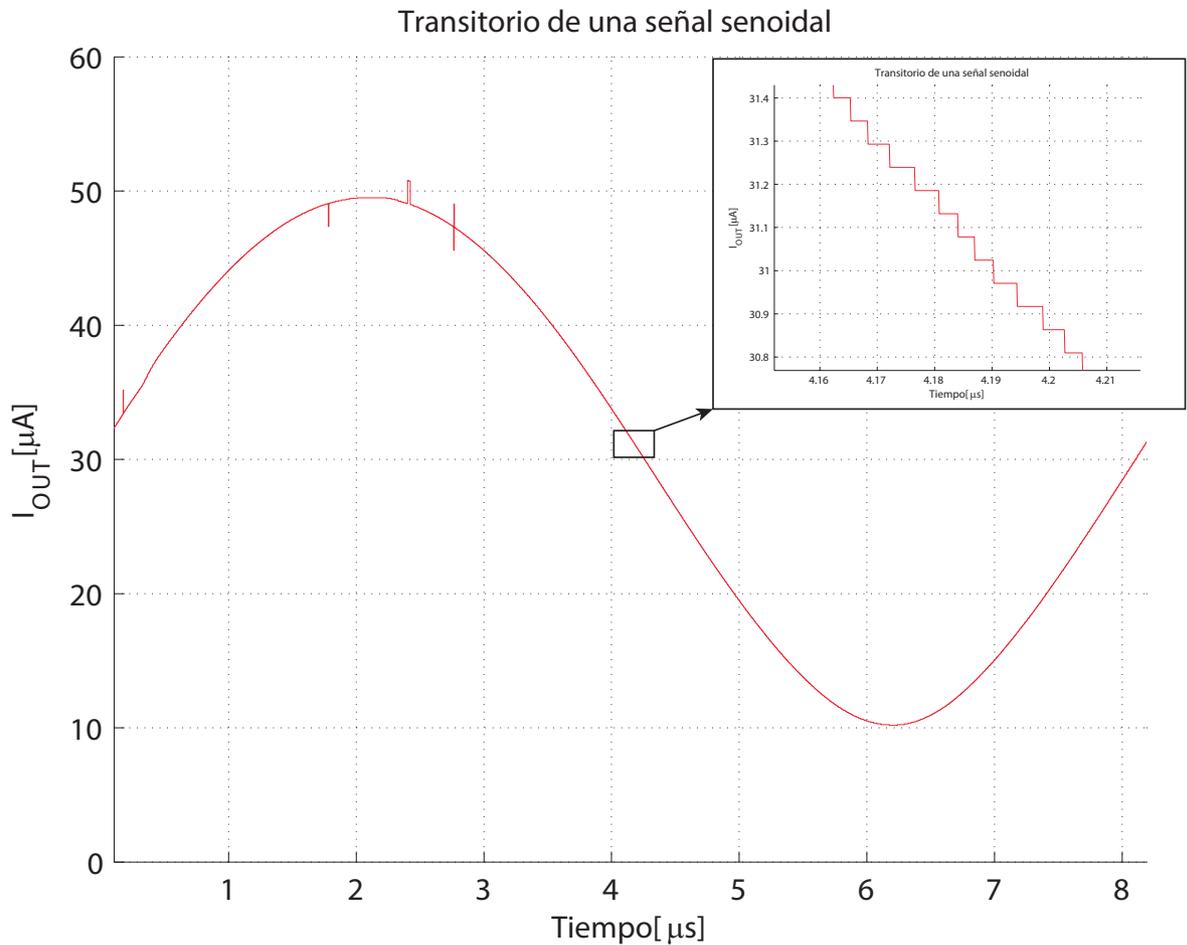


Figura 4.5: Respuesta en el tiempo del ADC ante una entrada senoidal

En la figura 4.6 se muestra la respuesta del Convertidor Analógico Digital cuando recibe una señal de entrada triangular de 40uA de amplitud y de 100k Hz de frecuencia.

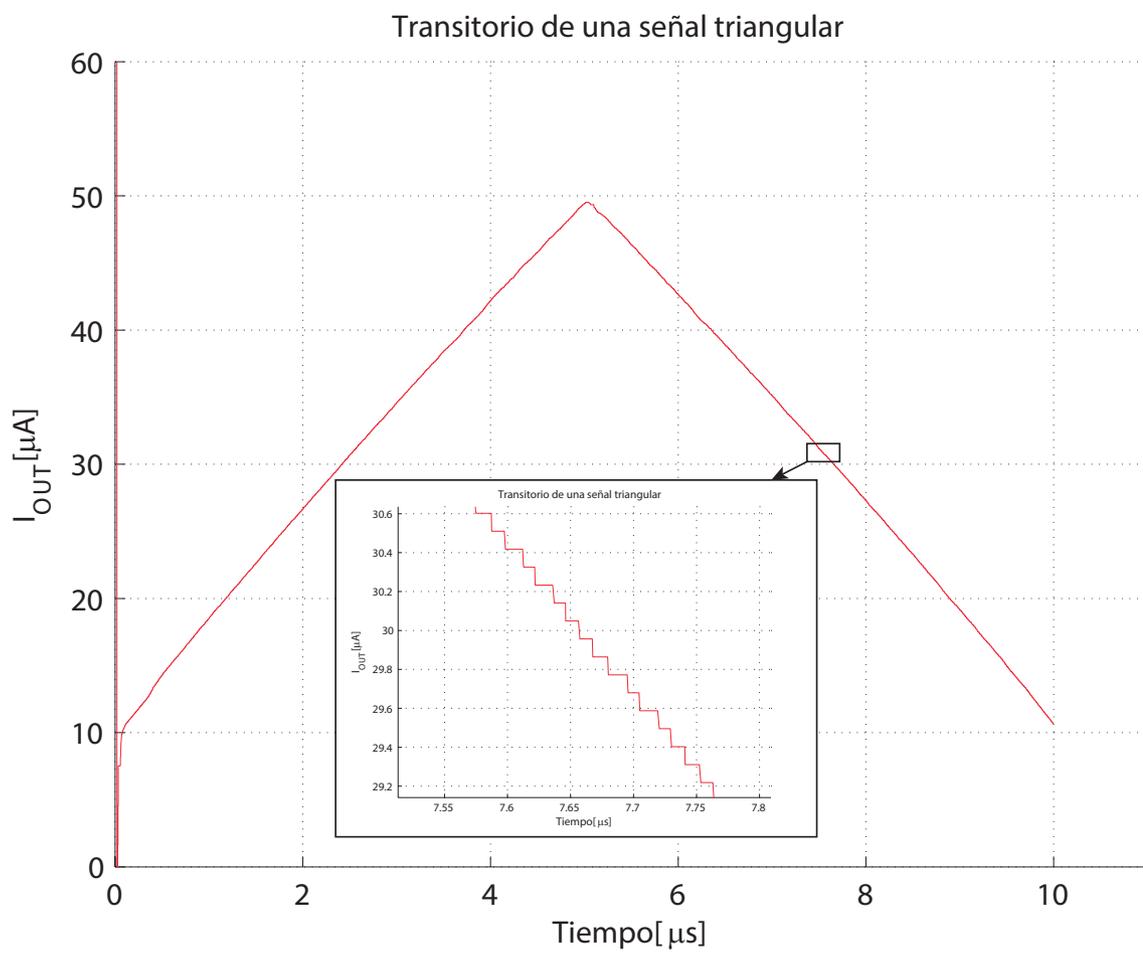


Figura 4.6: Respuesta en el tiempo del ADC ante una entrada triangular

4.5. Errores estáticos

Para medir los errores estáticos se realiza un análisis en DC donde la fuente de corriente de entrada es variada desde 10uA hasta 50uA con pasos de 100pA. En la Figura 4.7 se muestra el DNL obtenido, que es de +0.4LSB/-0.23LSB.

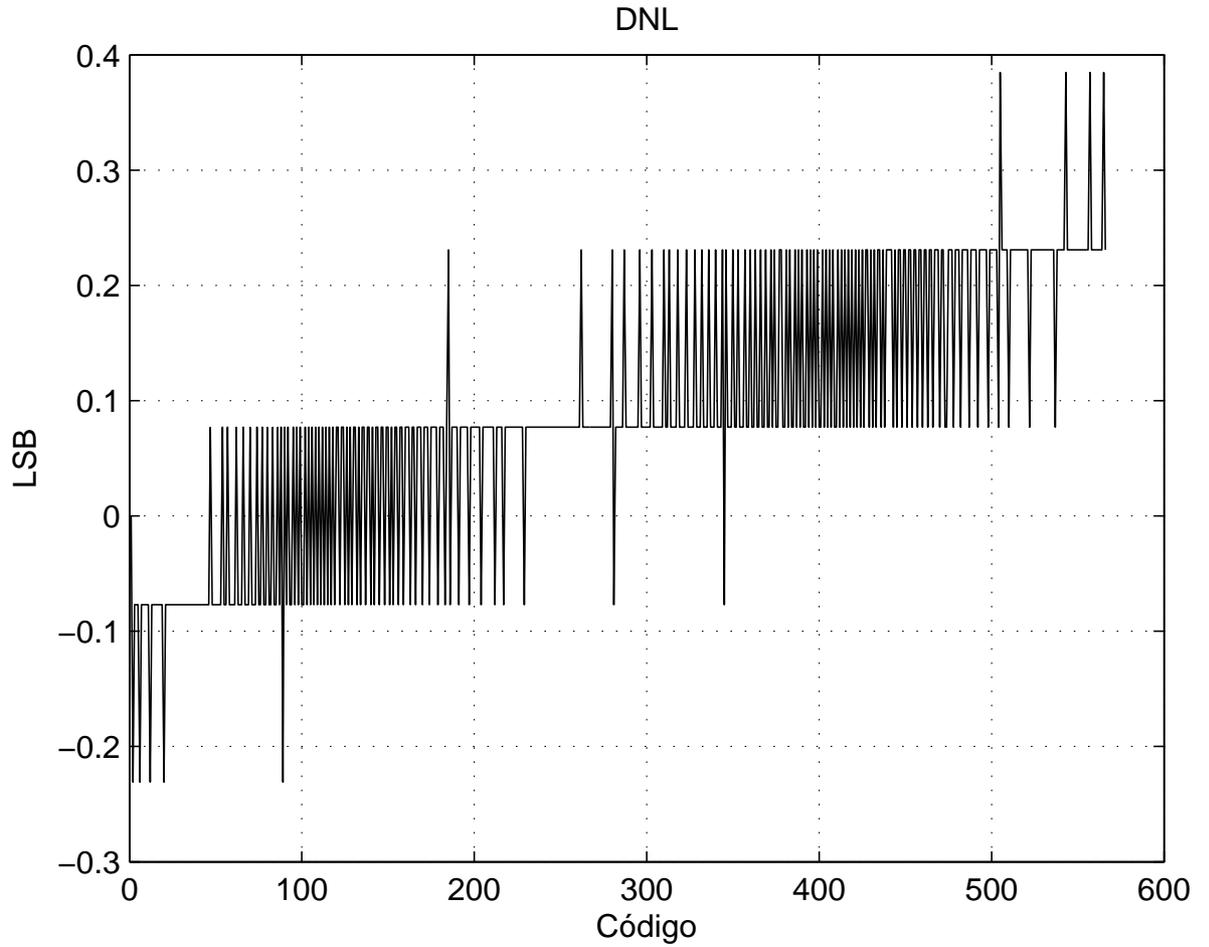


Figura 4.7: DNL

En la Figura 4.8 se muestra el INL obtenido, que es de +12LSB/-18LSB.

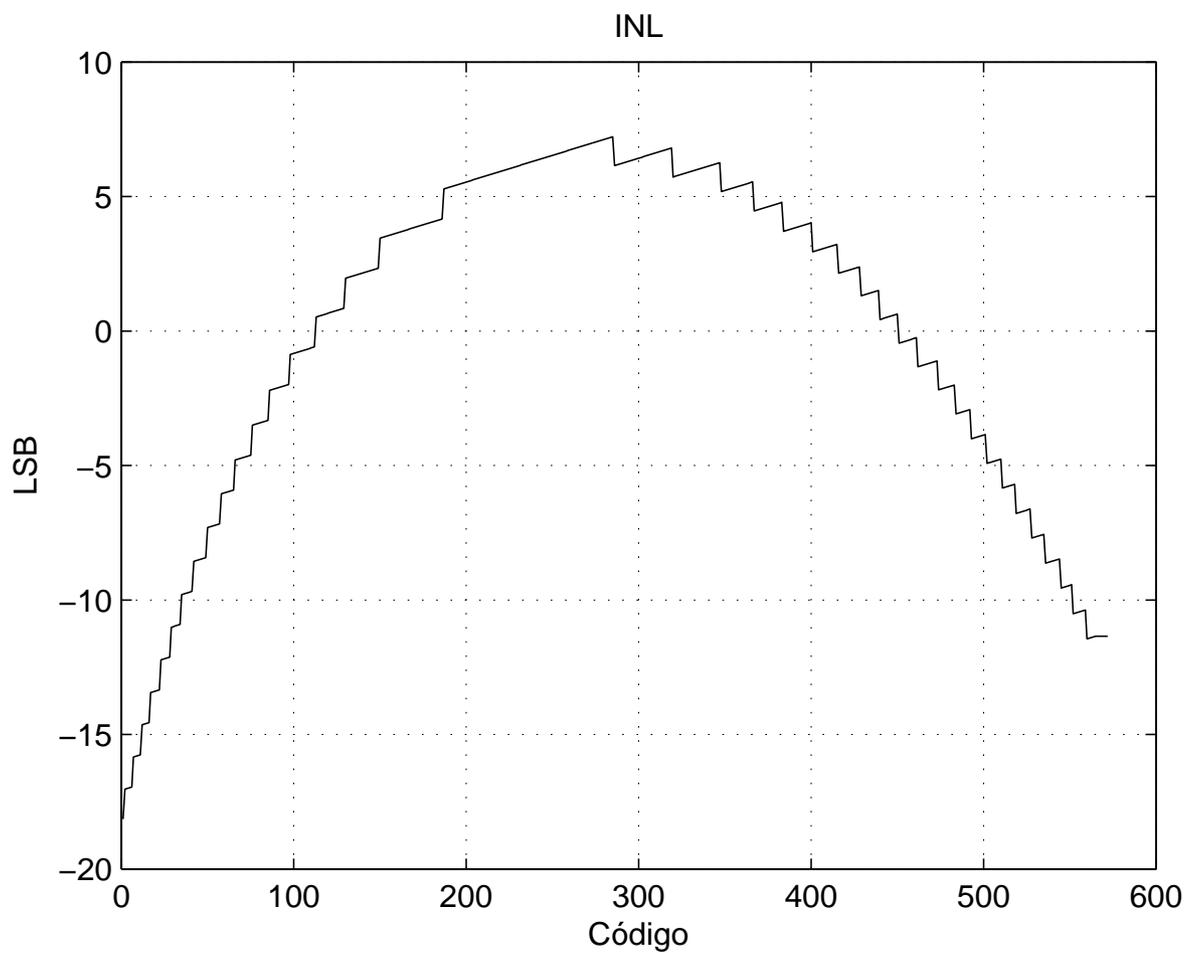


Figura 4.8: INL

4.6. Errores dinámicos

Otra característica importante de un ADC es el ENOB, que está dado por la Ecuación 4.1.

$$ENOB = \frac{SNR_{dB} - 1.76_{dB}}{6.02_{dB}} \quad (4.1)$$

Para obtener el ENOB es necesario primero haber calculado la SNR, que es calculada a partir de la densidad espectral de potencia y la sumatoria de las armónicas a lo largo del espectro de frecuencia. El espectro obtenido y la SNR se muestra en la Figura 4.9.

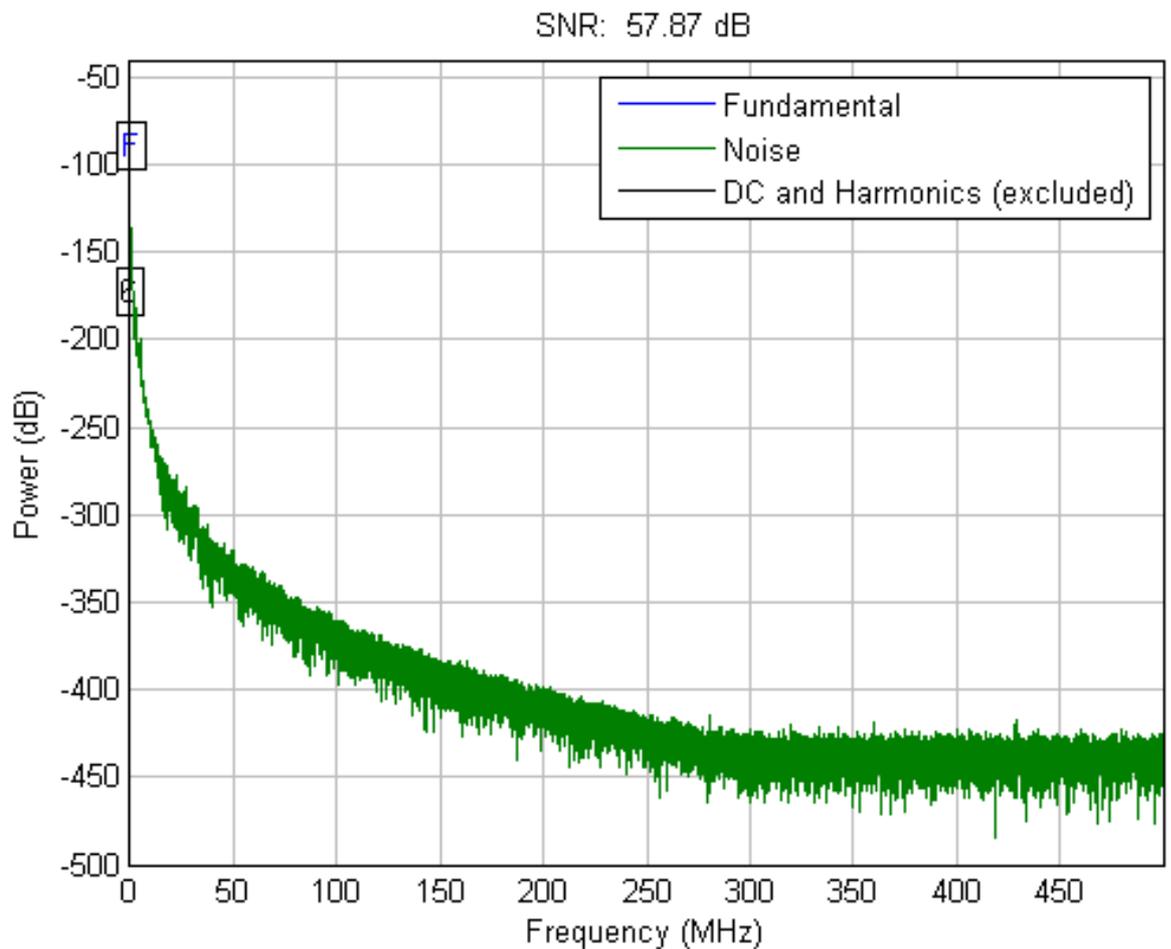


Figura 4.9: SNR

La frecuencia fundamental se encuentra en 122k Hz mientras que el ruido de banda base se distribuye hacia mas altas frecuencias, como se muestra en la Figura 4.10. La SNR obtenida es de 57.87 dB.

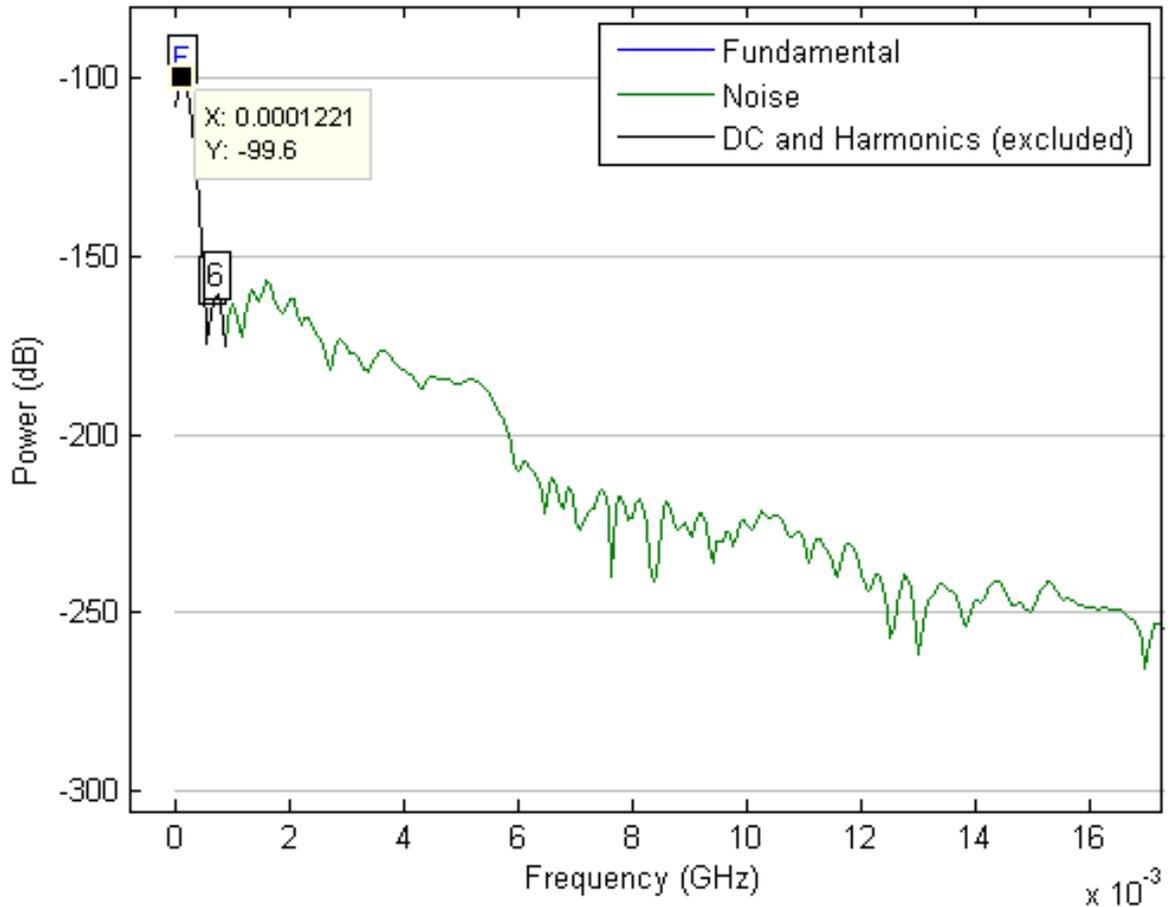


Figura 4.10: Fundamental

Con la SNR determinada podemos encontrar el ENOB mediante la Ecuación 4.1, lo que nos da un ENOB=9.32 bits.

4.7. Figura de merito y estado del arte

La figura de merito es una cantidad usada para medir el rendimiento de un dispositivo. En el caso de los Convertidores Analógico Digitales la FOM mas usadas es:

$$FOM = \frac{Potencia}{f_{in} 2^{ENOB}} = \frac{60mW}{1MHz * 2^{9.32}} = 93.87pj/conv \quad (4.2)$$

Esta figura de merito indica la cantidad de energía que consume el ADC por paso de conversión. De esta manera las especificaciones de este ADC folding se muestran en la Tabla 4.1.

Tecnología	180nm
Alimentación	1.8 V
Fin	1M Hz
SPS(S/s)	1 G
Resolución	10 bits
Rango (IN)	40 uA
ENOB	9.32 bits
DNL(LSB)	+0.4LSB/-0.23LSB
INL(LSB)	+12LSB/-18LSB
Potencia total	60 mW

Tabla 4.1: Especificaciones del ADC.

Los convertidores de datos están sujetos a un constante proceso de investigación y desarrollo debido a los cambios en las necesidades del mercado. Los cambios que traerá consigo la quinta generación de comunicaciones pueden convertirse en una gran oportunidad para explorar nuevos métodos y estrategias de conversión que cumplan con los requerimientos de frecuencia de este protocolo.

La tabla 4.2 muestra un resumen de los datos reportados en arquitecturas folding en los últimos años. Como se puede observar todas tienen ENOB menores a los 9 bits, la mayoría de ellas ni siquiera llegan a 8 bits. En este trabajo se alcanzó un ENOB de 9.32, de manera que es una de las fortalezas de éste trabajo. Otro parámetro importante es la potencia total, donde prácticamente todos exceden los 100mW, llegando a consumir casi 200mW. En el presente trabajo el consumo de potencia es de 60mW, por lo que es la segunda ventaja de éste convertidor. El último parámetro importante es la frecuencia de entrada, donde en promedio presentan una fin de 70MHz, mientras que en el presente trabajo solo alcanza una frecuencia de entrada de 1MHz.

Parámetros	[23]	[24]	[5]	[25]	[26]	Este trabajo
Tecnología	0.35nm	0.13nm	45nm	1um	0.5um	0.18um
Alimentación	3.3 V	1.2 V	1.1 V	3.3 V	3.3V	1.8V
Fin	75M Hz	98M Hz	150M Hz	40M Hz	40M Hz	1M Hz
SPS(S/s)	150 M	200 M	1 G	125M	80M	1G
Resolución	8 bits	10 bits	8 bits	8 bits	8 bits	10 bits
Rango (IN)	—	—	—	—	—	40uA
ENOB	7.85 bits	8.6	7.27	7.11	7.5	9.32
DNL(LSB)	0.0043	+1.01/-0.91	1.5	—	—	+0.4LSB/-0.23LSB
INL(LSB)	—	+1.84/-0.92	5	—	—	+12LSB/-18LSB
Potencia total	150 mW	195mW	120mW	150mW	80mW	60mW
FOM	8.66pj/conv	5.12pj/conv	5.18pj/conv	27.14pj/conv	11.04pj/conv	93.87pj/conv

Tabla 4.2: Comparacion de los ADC folding

Capítulo 5

Diseño Físico

En este capítulo se presenta una introducción al proceso de diseño físico de circuitos integrados CMOS (Layout), y los resultados del chip desarrollado en este trabajo. Los transistores CMOS son utilizados en circuitos de alta escala de integración (VLSI, por sus siglas en ingles), y son asociados con circuitos de cientos de miles o millones de transistores de efecto de campo de metal óxido semiconductor (MOSFET, por sus siglas en ingles). El desarrollo de sistemas VLSI requiere de conocimientos sólidos de diseño físico y de las consecuencias de una mala implementación en los circuitos integrados.

5.1. Proceso de diseño físico

El proceso de diseño de circuitos integrados CMOS consiste en definir las entradas y salidas (especificaciones del circuito), diseño de esquemático, simulación del circuito, diseño físico (Layout), simulación incluyendo parásitas, re evaluación de entradas y salidas, fabricación y pruebas. Un diagrama de flujo de este proceso se muestra en la Figura 5.1. Las especificaciones del circuito rara vez están definidas de manera definitiva, estos van cambiando a medida que el proyecto madura. Estos cambios pueden ser debido a una revaloración de costos y rendimientos, cambios de la estrategia de mercadotecnia o simplemente cambios en la necesidades del usuario final del producto. En la mayoría de los casos estos cambios se producen antes de que el producto pase a la etapa de producción.

La tarea del desarrollo del layout es encargada a un ingeniero de diseño físico. Sin embargo, es muy importante que un diseñador analógico pueda desarrollar un layout (pueda orientar al diseñador físico sobre cómo desarrollar un buen layout), y entender las implicaciones de las parásitas en el comportamiento del circuito integrado. Las parásitas son los cambios o pérdidas en la capacitancia, inductancia y uniones pn [27]. Estos cambios se traducen en problemas de ruptura de uniones, almacenamiento de cargas, transistores latch-up, etc. La comprensión de estos problemas es fundamental en el diseño de circuitos de alta precisión y alta velocidad.

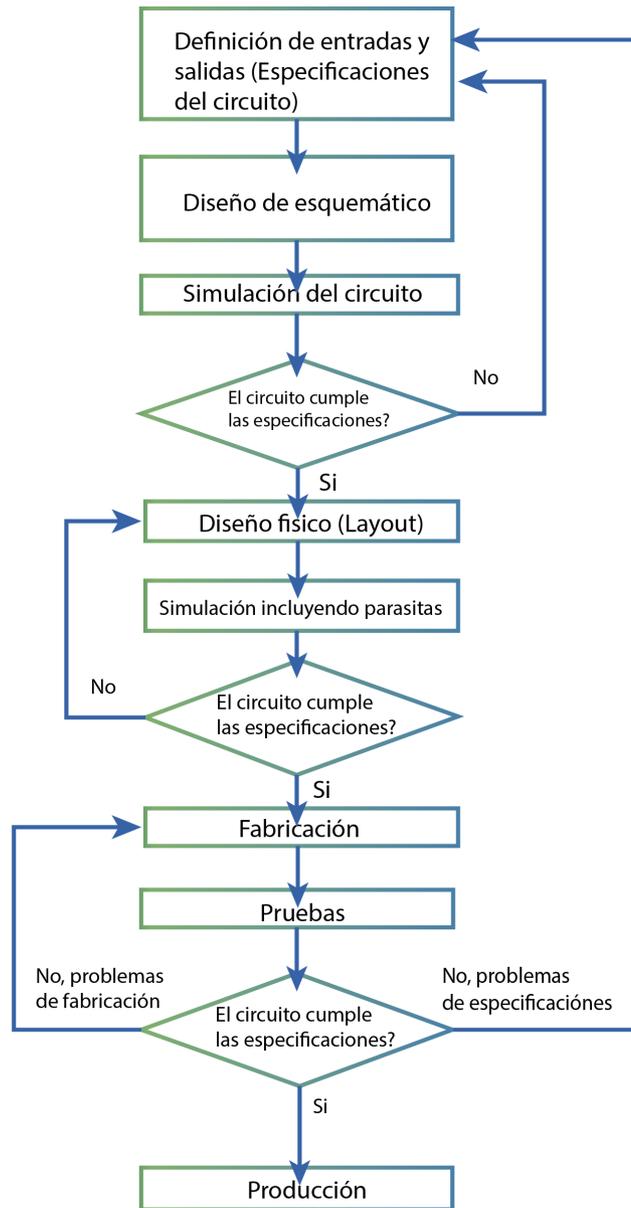


Figura 5.1: Diagrama de flujo del proceso de diseño de un circuito integrado CMOS

5.2. Layout de un transistor

Existen varios programas de diseño de circuitos integrados, todos ellos tienen una herramienta de diseño físico que permite a los diseñadores llevar un circuito de la representación esquemática a la representación física. Aunque cada programa tiene diferencias entre sí, la representación física es muy parecida en todos ellos. En esta sección se muestra una representación física general de un transistor y cómo cambia dicha representación al cambiar el ancho y largo del canal.

El transistor está construido por varias capas de difusiones y metales. Un transistor NMOS debe estar depositado en un pozo tipo P, dentro del cual se depositan dos difusiones tipo N que representan las terminales de drenador y fuente, en medio de estas dos terminales se deposita polisilicio sobre el que se encuentra la terminal de compuerta. La corriente circula a través del circuito integrado por medio de metales, para que estos metales se conecten con las difusiones que se encuentran en capas más profundas se necesita de contactos, que comunican el metal de las capas superiores con las difusiones de las capas inferiores, como se muestra en la Figura 5.2.

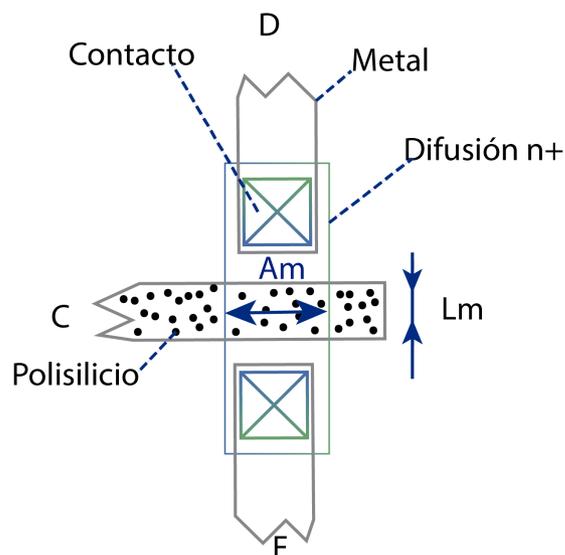


Figura 5.2: Layout de un transistor NMOS de dimensiones mínimas

Las características físicas que un diseñador puede cambiar son principalmente el ancho y largo del canal, sin embargo, en una simulación del circuito esquemático no es posible apreciar cómo cambia el transistor en la implementación física. En la Figura 5.3a) se observa cómo el ancho del canal no separa las terminales del drenador y la fuente, solo aporta más área para que los portadores de carga circulen de una terminal a otra y reduce la resistencia del canal, por este motivo al aumentar el ancho del canal del transistor aumenta la corriente que circula a través del mismo. En la Figura 5.3b)

las terminales de drenador y fuente se separan debido al aumento en el largo del transistor, sin embargo el ancho no cambia, por lo que la resistencia del canal aumenta y no hay una mayor area para la circulación de los portadores de carga, por este motivo la corriente que circula a través del transistor disminuye [28].

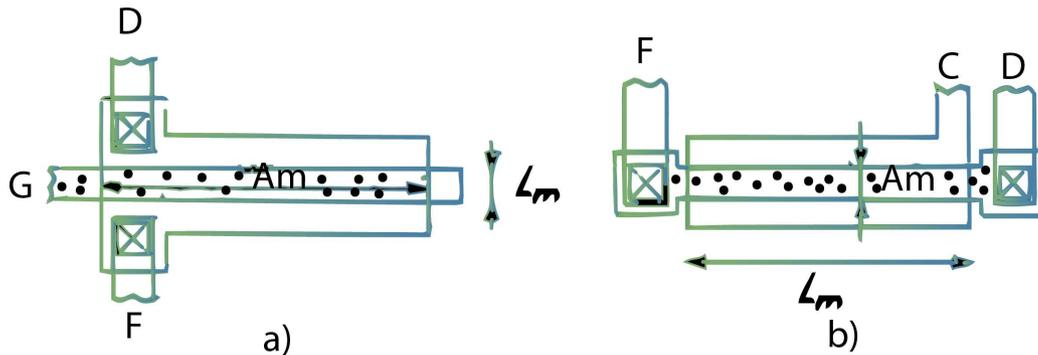


Figura 5.3: a) Transistor con un canal mas ancho, b) Transistor con un canal mas largo

5.3. Reglas para un buen diseño físico

El desempeño de un circuito integrado no solo depende de un buen diseño analógico, la implementación en el proceso de diseño puede ser critico si no se logra un buen diseño físico. Para minimizar los riesgos de discrepancias entre el circuito diseñado y el circuito fabricado existen 8 reglas de diseño físico para mejorar el desempeño de los circuitos integrados.

1. No dimensiones mínimas
2. Misma forma y tamaño
3. Distancias mínimas
4. Estructura de centroide común
5. Misma orientación
6. Misma estructura
7. Misma temperatura
8. Mismo perímetro

No dimensiones mínimas: Existen variaciones no correlacionadas entre un dispositivo y otro que se encuentran en el mismo circuito integrado, debido a las no idealidades del proceso de fabricación donde ningún proceso puede producir dos dispositivos exactamente de las mismas dimensiones, llamaremos a esta variación Δ . Al utilizar dimensiones mínimas el cambio de Δ representa un cambio mas significativo en la corriente del dispositivo que si se utiliza dimensiones de 2Δ o más. Los cambios de corriente con dimensiones mínimas pueden sacar al circuito de las especificaciones para el que fue diseñado, de modo que es recomendable usar por lo menos dos veces las dimensiones mínimas de la tecnologías en que se este trabajando.

En la Figura 5.4 se muestra un ejemplo de estas variaciones, donde en el dispositivo del centro, las dimensiones de ancho y largo son ideales, sin embargo, en el dispositivo de la izquierda el ancho y largo tienen un error de $-\Delta/2$, mientras que en el dispositivo de la derecha el ancho y largo tienen un error de $+\Delta/2$.

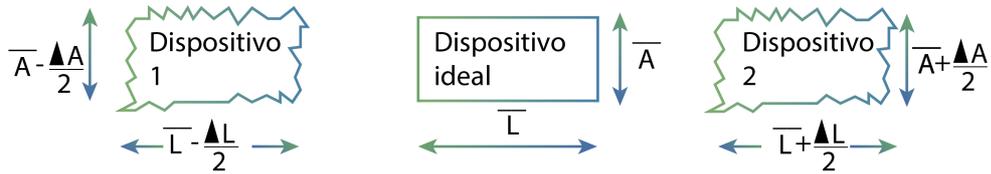


Figura 5.4: Variaciones no correlacionadas entre dispositivos

Misma forma y tamaño: Para asegurar que los transistores tengan el mismo comportamiento eléctrico es necesario que cada transistor de la misma relación W/L tenga la misma forma y tamaño, como se muestra en la Figura 5.5 para un transistor de $W/L=1$.

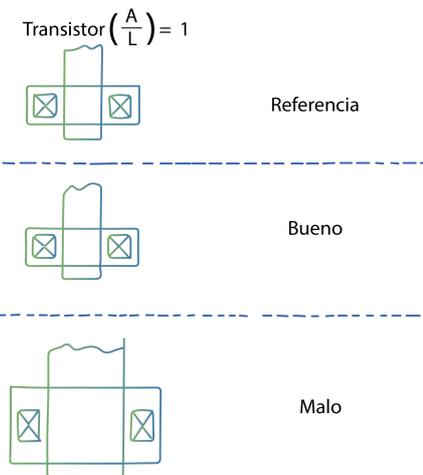


Figura 5.5: Comparación de transistores con la misma forma y tamaño

Distancias mínimas: Al igual que la variación de las difusiones en los transistores, existe una variación en los anchos y posicionamiento de los metales debido a que los procesos de fabricación no son ideales. Estas variaciones pueden ocasionar que al utilizar distancias mínimas dos metales se junten en un nodo común y ponga en riesgo la operación del circuito. En la Figura 5.6 se muestra un mal espaciado entre metales y un buen espaciado entre los mismo. Para aprovechar la correlación de las fluctuaciones espaciales los transistores deben estar cerca el uno del otro, para que las variaciones entre un dispositivo y otro sean menores.

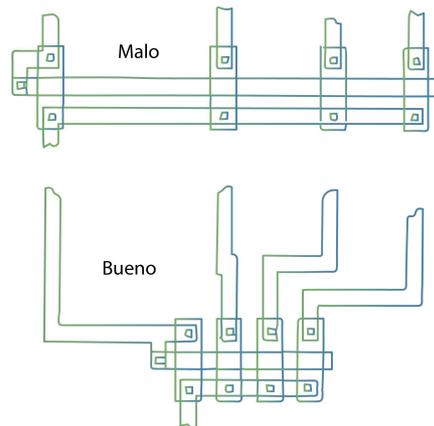


Figura 5.6: Múltiples espejos de corriente

Estructura de centroide común: Para compensar los gradientes constantes los transistores deben tener el mismo centro o estructura de centroide común, como se muestra en la Figura 5.7.

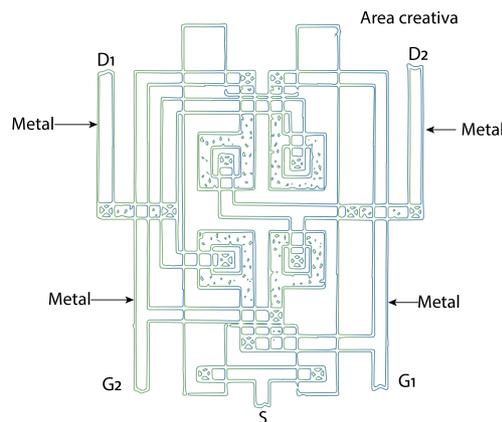


Figura 5.7: Cuadrilátero de transistores

Misma orientación: Para eliminar las asimetrías debidas a los substratos anisotropicos, pasos del proceso de fabricación anisotropicos y estrés después del empaquetado del circuito integrado los transistores deben tener la misma orientación. Ejemplos de buenas y malas orientaciones se muestran en la Figura 5.8.

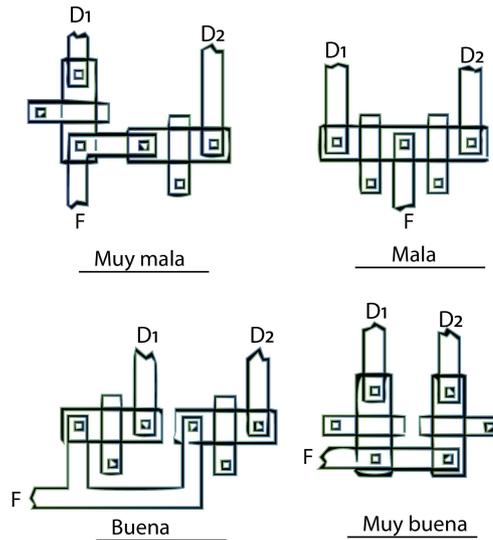


Figura 5.8: Par diferencial

Misma estructura: El diseño físico debe tener siempre la misma simetría para minimizar las fluctuaciones de gradiente, de manera que utilizar la misma estructura en el layout mejora el desempeño del circuito.

Misma temperatura: Cuando existe alguna fuente de energía que disipa calor los dispositivos deben ser colocados de manera simétrica de manera que los cambios de temperatura afectan a todos de la misma manera, como se muestra en la Figura 5.9. Cabe mencionar que si los cambios de temperatura en el chip son despreciables esta regla puede ser omitida.

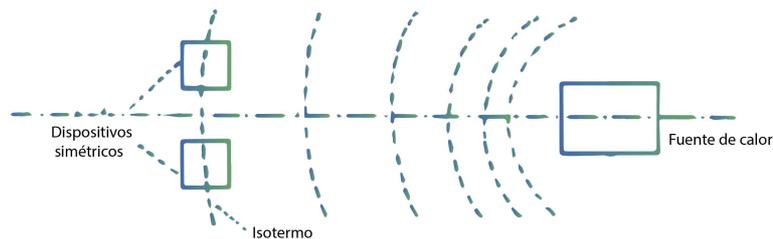


Figura 5.9: Dos dispositivos diseñados para mantener la misma temperatura con respecto a la fuente de calor

Mismo perímetro: Cuando dos o mas transistores se traslapan, sus áreas activas de las uniones no quedan expuestas al desgaste del perímetro debido al proceso de fabricación, para evitar dichas imperfecciones en los transistores de los extremos es necesario implementar transistores falsos (dummy), que no tendrán ninguna función en el circuito fuera de proteger a los transistores de los extremos de las imperfecciones.

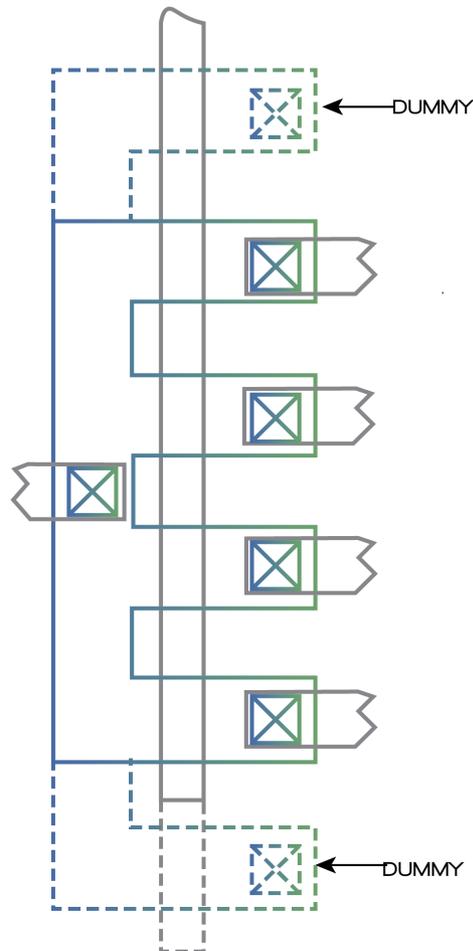


Figura 5.10: Transistores dummy

5.4. Layout de un amplificador de 16 plegados

Como ya se vio en este capítulo, el proceso de diseño implica una serie de etapas progresivas para llegar al circuito integrado. Una de las etapas críticas del proceso de diseño es la etapa de diseño físico, donde los resultados de la simulación del circuito esquemático pueden resultar afectados por parásitas producidas por un mal diseño de

layout.

Una vez que los resultados del circuito esquemático satisfacen las especificaciones propuestas al principio del proyecto, el proceso de diseño físico puede comenzar. Debido a limitaciones económicas el circuito se implemento en un chip multiproyecto junto a otros trabajos de investigación y no fue posible desarrollar el layout del sistema completo porque el área activa asignada a este trabajo no fue suficiente, de manera que probar la propuesta es el propósito principal de este capítulo.

El cuantizador basado en celdas winner take all es el principal aporte de esta tesis, para probar la propuesta se implemento un amplificador de 16 plegados. En la literatura el antecedente de mayor plegados logrados por un mismo amplificador es de 16, en este trabajo se alcanzo un máximo de 32 plegados, sin embargo, debido a las limitaciones del área activa asignada solo pudo ser implementado un amplificador de 16 plegados.

5.5. Bloques básicos

En esta sección se agrupan todos los bloques utilizados en el layout y se explica el diseño de cada uno de ellos. El layout se desarrollo en tecnología de $0.18\ \mu\text{m}$ de IMEC y utilizando el ambiente de diseño Virtuoso, software propiedad de Cadence Design Systems.

5.5.1. Espejo de bajo voltaje de entrada

El espejo de corriente utilizado para recibir la señal de entrada y copiarla a las diecisiete salidas es un espejo de bajo voltaje tipo P donde la razón de ancho/largo es igual a uno, polarizado con divisores de voltaje compuestos por dos transistores. Se utilizó el doble de dimensiones mínimas en ancho ($0.24\ \mu\text{m}$, ancho mínimo) y largo ($0.18\ \mu\text{m}$, largo mínimo), transistores dummy para minimizar los errores de fabricación, los transistores están divididos en "dedos", no se traslaparon metales consecutivos (metal 1 y metal 2, por ejemplo), para minimizar las capacitancias parásitas, los transistores están separados unos de otros por las distancias mínimas y tienen la misma forma. El layout de este bloque mide $70\ \mu\text{m}$ de ancho por $85\ \mu\text{m}$ de alto. El layout de este bloque se presenta en la Figura 5.11.

5.5.2. Espejo de bajo voltaje de referencia

El espejo de corriente utilizado para recibir la señal de la referencia de corriente y copiarla a las diecisiete salidas es un espejo de bajo voltaje tipo P. Para encontrar la relación W/L de los transistores debe considerarse el ruido integrado en banda para los winner take all, este análisis se realiza desde el circuito en su representación esquemática y determinará el nivel de ruido que separa a cada winner take all. El ruido

se integro en la banda de 1Hz hasta 1GHz y los resultados del análisis se muestran en la Figura 5.12.

El ruido de entrada se encuentra en 8.4nA, por lo que considerando los dos WTA que separan una señal de la otra el ruido total sera de 16.8nA por señal. Para asegurar que el ruido no distorsione la señal de salida debe existir por lo menos el doble de separación del ruido total entre una señal y otra.

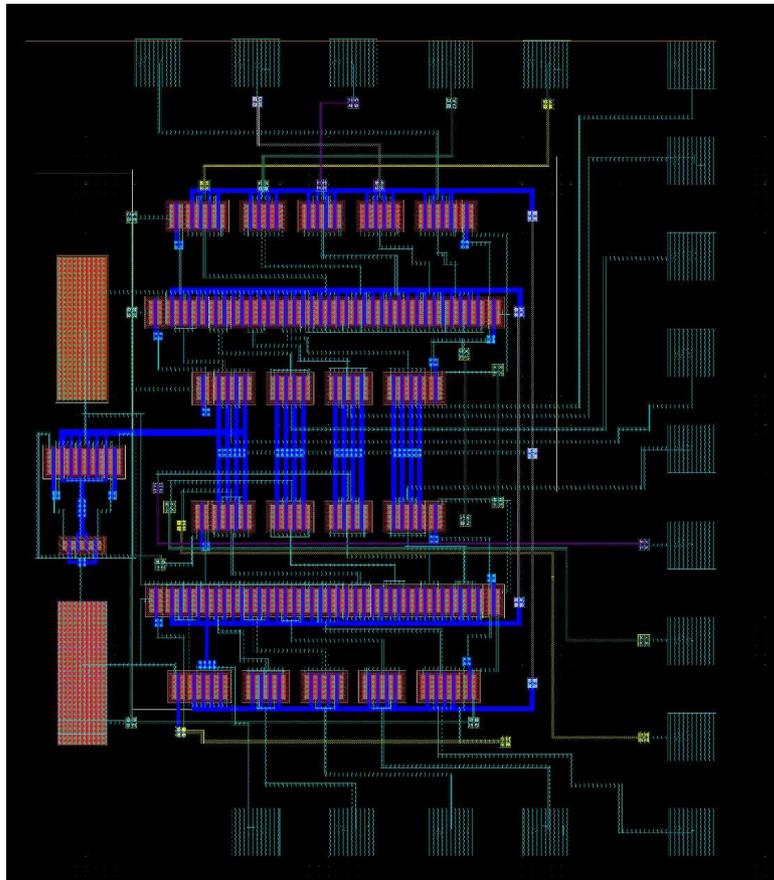


Figura 5.11: Layout del espejo de bajo voltaje de entrada

Para determinar las dimensiones de los transistores del espejo de corriente el ancho y largo de los transistores esta dado por $(W/L)+(W/2L)*N$, donde N es el número de la copia de corriente. Para lograr 16 plegados se necesitan 17 copias de corriente que van a las entradas de los WTA. El layout del espejo de corriente de referencia aplica todas las reglas de diseño físico que se mencionaron anteriormente en este capítulo y mide $130\mu\text{m}$ de ancho y $90\mu\text{m}$ de alto. El layout de este bloque se presenta en la Figura 5.13.

```
Integrated Noise Summary (in V) Sorted By Device Composite Noise
Total Summarized Noise = 0.00162132
Total Input Referred Noise = 8.41732e-09

Device      Param  Noise Contribution  % Of Total
/I4/M11     fn     0.000778417        23.05
/I4/M12     fn     0.000731236        20.34
/I4/M19     fn     0.000485082        8.95

Integrated Noise Summary (in V) Sorted By Noise Contributors
Total Summarized Noise = 0.00162132
Total Input Referred Noise = 8.41732e-09
The above noise summary info is for noise data
```

Figura 5.12: Análisis de ruido en la banda de 1Hz-1GHz

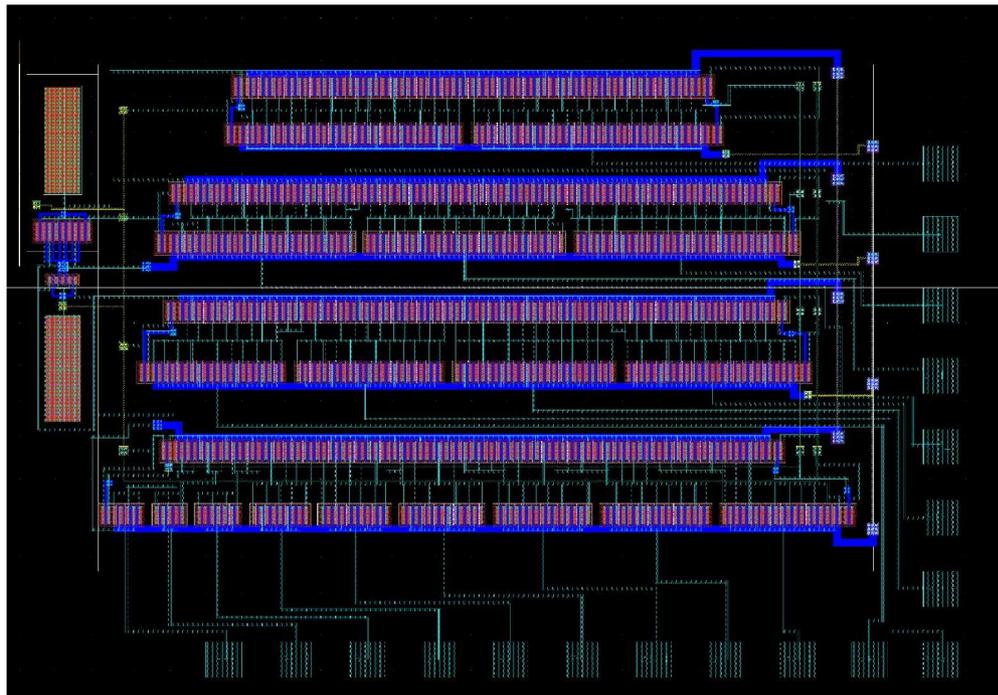


Figura 5.13: Layout del espejo de bajo voltaje de referencia

5.5.3. Espejo de bajo voltaje de cola

El espejo de corriente utilizado para replicar la referencia de corriente en diecisiete copias que tienen la función de permitir el flujo de corriente hacia tierra es un espejo de bajo voltaje tipo N donde la razón de ancho/largo es igual a diez, para que la corriente de cola sea mayor a la corriente que circula a través de las entradas de los WTA. El layout del espejo de bajo voltaje de cola se muestra en la Figura 5.14.

5.5.4. Celda winner take all

La celda winner take all se replica 17 veces más uno que es utilizado para el ecualizador. El WTA esta formado por un divisor de voltaje diseñado con un par de transistores complementarios y seis transistores tipo N que forman el circuito de desbalanceo de corrientes. El layout del winner take all se presenta en la Figura 5.15 y aplica todas las reglas de diseño físico que se mencionaron anteriormente y mide $30\mu\text{m}$ de ancho y $28\mu\text{m}$ de alto.

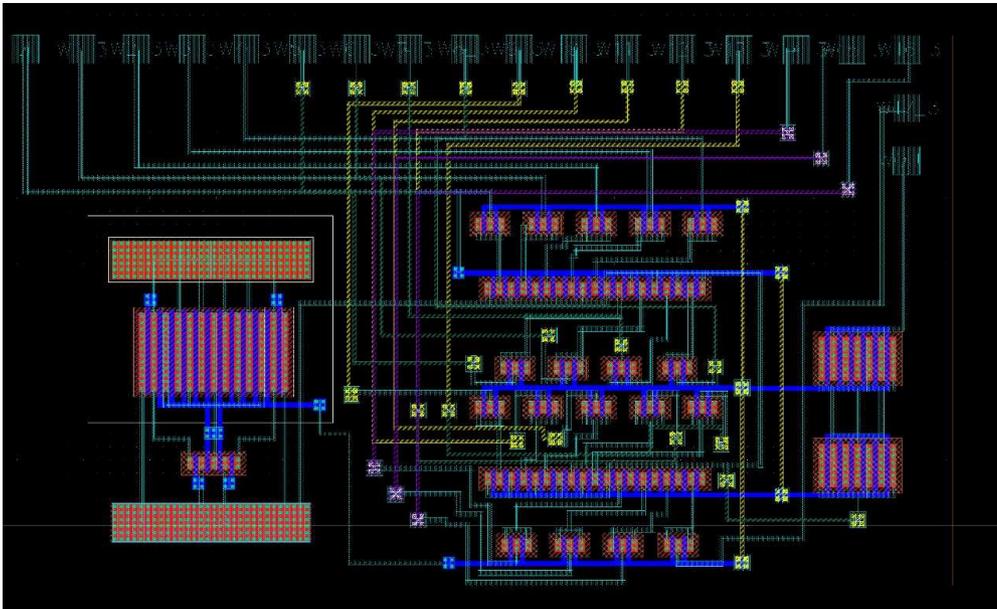


Figura 5.14: Layout del espejo de bajo voltaje de cola

5.5.5. Retroalimentación positiva

La retroalimentación positiva aumenta el voltaje de salida del circuito de niveles bajos de voltaje a niveles de voltaje de riel a riel. El circuito de retroalimentación positiva esta formado por una serie de transistores complementarios y el layout aplica todas las reglas de diseño físico que se mencionaron anteriormente, mide $120\mu\text{m}$ de ancho y $70\mu\text{m}$ de alto, como se muestra en la Figura 5.16.

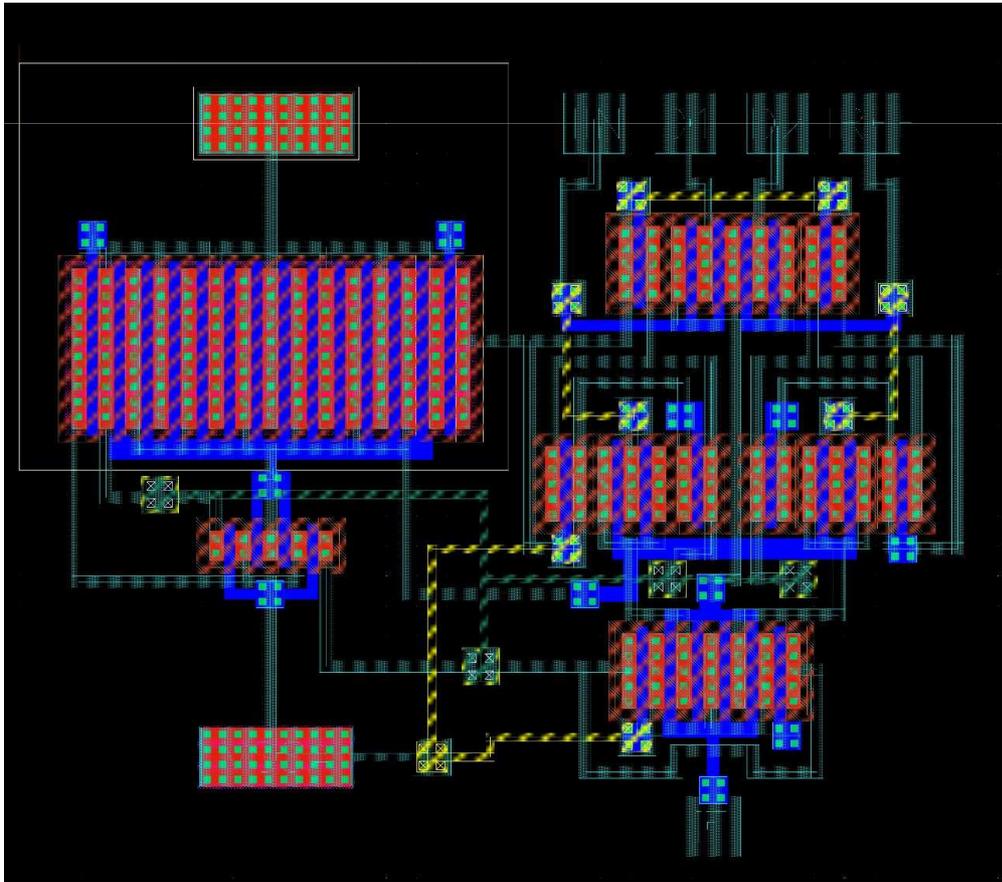


Figura 5.15: Layout de la celda winner take all

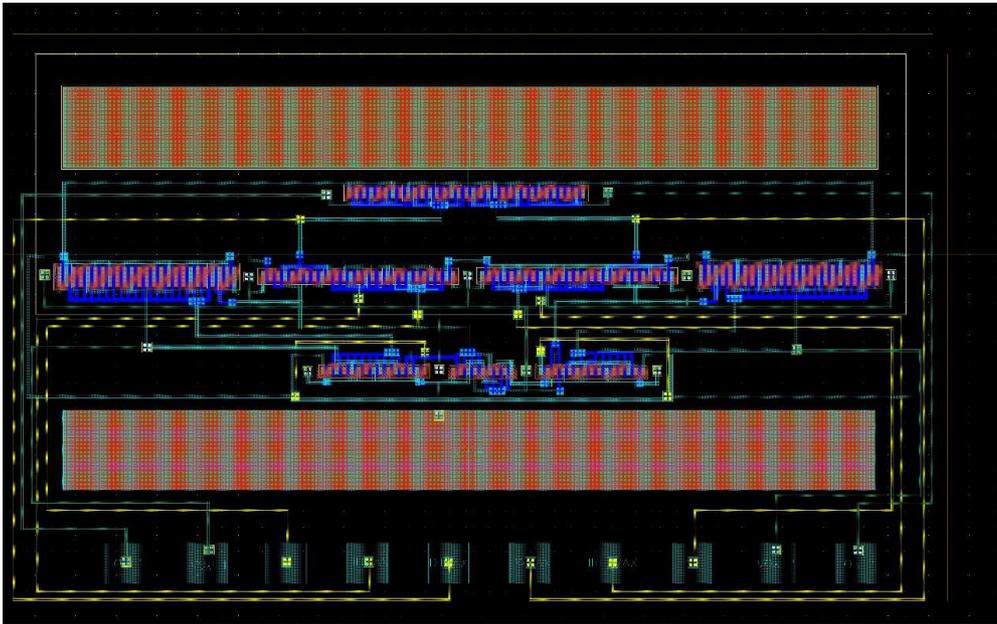


Figura 5.16: Layout del circuito de retroalimentación positiva

5.6. Layout del amplificador de plegado completo

La integración de todos los bloques básicos resulta en un amplificador de 16 plegados que mide $500\mu\text{m}$ de ancho por $200\mu\text{m}$ de alto, como se muestra en la Figura 5.17. El layout del amplificador de plegado esta distribuido con el espejo de corriente de referencia en la parte superior derecha, el circuito de retroalimentación en la parte central superior, el espejo de corriente de entrada en la parte superior izquierda, el espejo de corriente de cola en la parte central inferior y diecisiete WTA al rededor de esta estructura mas uno de ecualización.

Las conexiones entre bloques están concentrados principalmente en la parte interior del layout, mientras que las entradas se encuentran en la parte mas baja del layout, en esa zona se conecta la corriente de entrada, corriente de referencia y corriente de cola, el voltaje de alimentación positivo y negativo en orden de izquierda a derecha, mientras que las salidas se encuentran en la parte superior, justo encima del circuito de retroalimentación positiva, donde se conectan la corriente de salida 1, la corriente de salida 2, el voltaje de salida 1 y el voltaje de salida 2.

Un circuito integrado necesita de un ring pad para proteger a los transistores de las descargas estáticas de quienes los manejan, por lo que el diseño del ring pad que como el que se muestra en la Figura 5.18 es necesario. El ring pad se diseño a partir de los manuales proporcionados por el fabricante y de los abstract contenidos en la caracterización de la tecnología.

El layout de este trabajo esta integrado en un proyecto multichip junto al trabajo de otros compañeros de investigación, como se muestra en la Figura 5.19.

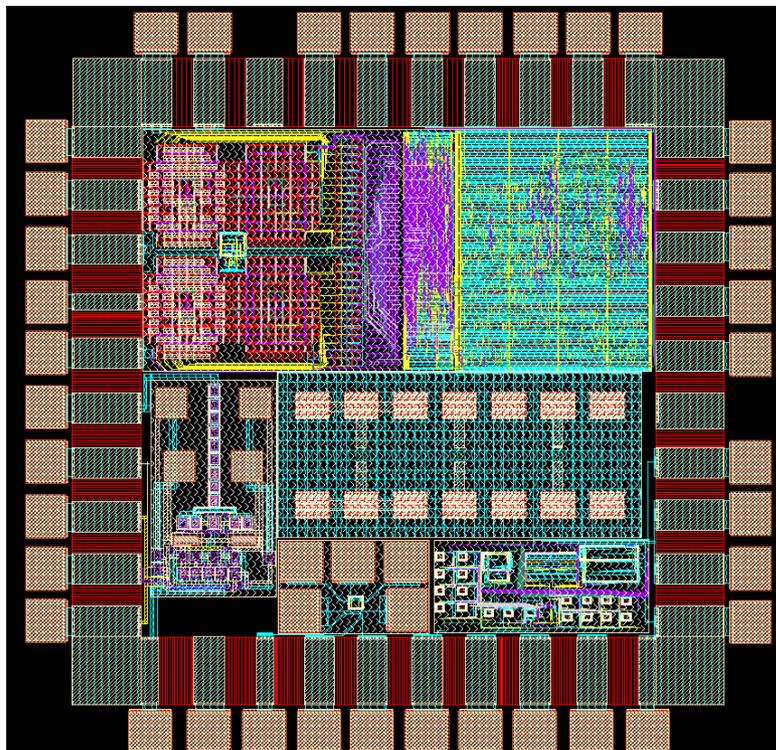


Figura 5.19: Layout del proyecto multichip

El circuito de este trabajo se encuentra en la parte inferior derecha del ring, como se muestra en la Figura 5.20.

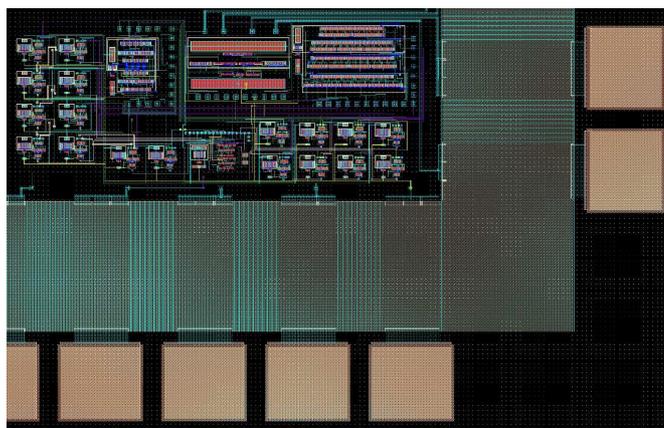


Figura 5.20: Amplificador de plegado en el ring pad

5.7. Simulación post layout

Después de terminar el proceso de diseño físico el circuito integrado debe pasar por una simulación incluyendo las parásitas que aporta la no idealidad del diseño físico, donde cualquier nodo mal diseñado puede causar cambios significativos en el comportamiento del circuito.

Para realizar la simulación post layout el diseño debe pasar primero por una serie de revisiones. La primera es la revisión de reglas de diseño (DRC, por sus siglas en ingles), que revisa que todas las reglas de distancias mínimas y difusiones se cumplan. La segunda es la revisión de Layout contra esquemático (LVS, por sus siglas en ingles), que compara los nodos del layout y revisa que coincidan con los nodos del circuito esquemático. La tercera es la extracción de parásitas a partir del layout, esta paso genera un modelo del circuito que posee resistencias, capacitancias e inductancias parasitas modeladas a partir del layout.

La simulación post layout se realizo utilizando Spectre para generar la extracción de parásitas y el modelo que simula unas fuentes de excitación o entrada y las respuestas a la salida. Para la entrada se realizó el barrido en DC de una fuente ideal de corriente desde $0\mu\text{A}$ hasta $10\mu\text{A}$, mientras que la referencia de corriente se simulo con otra fuente ideal de corriente de $1\mu\text{A}$, la dinámica de salida en voltaje es de 1.6V y la dinámica de salida en corriente es de $120\mu\text{A}$, de manera que los 16 cruces se generan entre $1\mu\text{A}$ y $9\mu\text{A}$, como se muestra en la Figura 5.21.

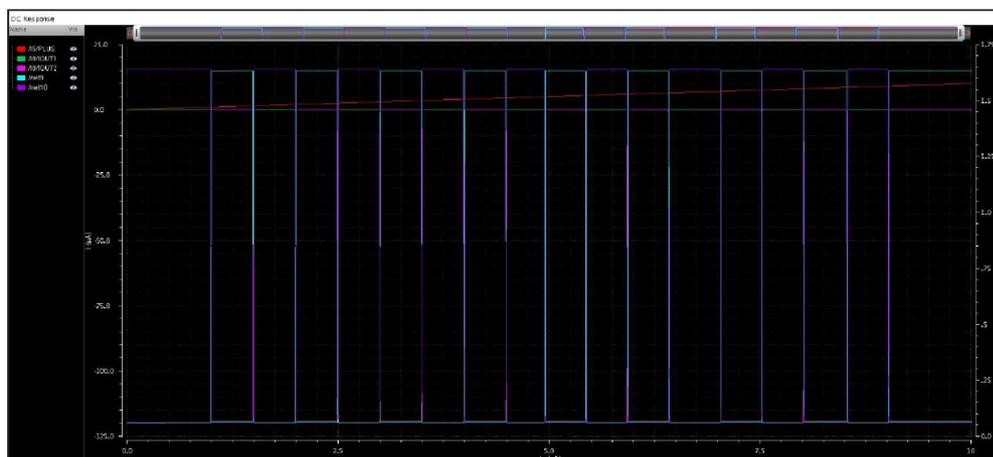


Figura 5.21: Resultado de la simulación post layout

5.8. Circuito integrado fabricado

El circuito integrado enviado por IMEC se recibió en dados y en empaquetados, la fotografía tomada por el microscopio del laboratorio de microelectrónica del INAOE se presenta en la Figura 5.22.

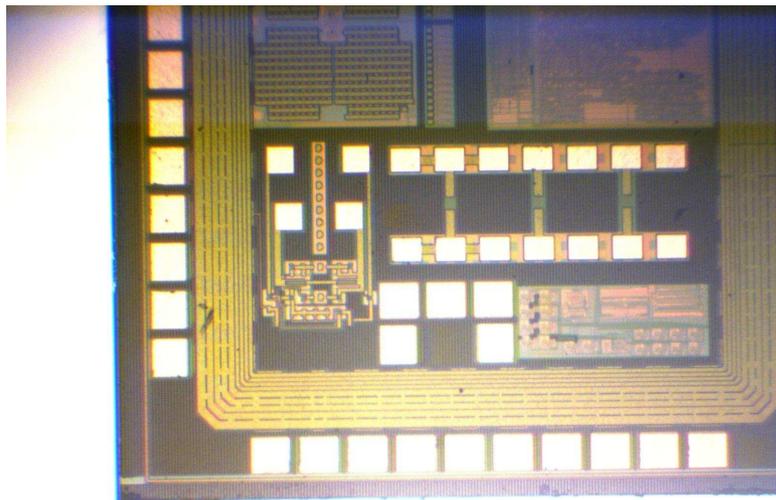


Figura 5.22: Chip multiproyecto fabricado

Un acercamiento del amplificador de plegado fabricado se presenta en la Figura 5.23.

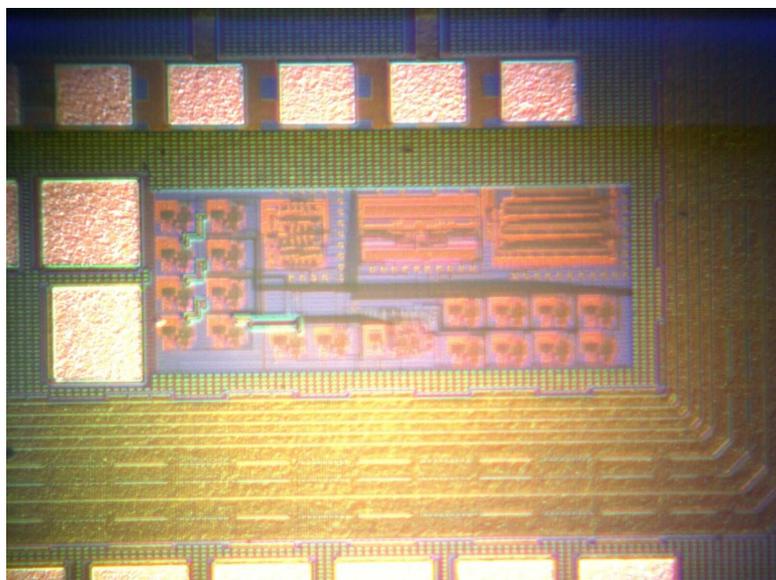


Figura 5.23: Foto del amplificador de plegado fabricado

Por motivos de falta de tiempo en el desarrollo de este trabajo no se realizaron las pruebas del circuito fabricado, por lo que estas mediciones quedan pendientes como trabajo a futuro.

Capítulo 6

Conclusiones

La interfaz con el mundo analógico suele ser uno de los problemas más delicados de los sistemas digitales, por lo que propuestas que ayuden a solucionar las limitaciones que presentan los avances tecnológicos siempre serán necesarias.

En este trabajo de tesis se caracterizó un Convertidor Analógico Digital tipo folding en modo corriente tomando una nueva propuesta de cuantizador basada en celdas winner take all. La propuesta está pensada para solucionar el problema de Convertidores de datos de alta resolución en tecnologías nanométricas actuales. Debido a las limitaciones tecnológicas el circuito se diseñó y fabricó en 180nm, la tecnología estándar en academia, pero al no estar el paso de cuantización limitado por el rango dinámico de los rieles de alimentación que se han reducido cada vez más, la propuesta presenta una posible solución para los convertidores paralelos en las nuevas tecnologías.

Amplificadores de alta razón de plegado fueron el principal objetivo de este trabajo. Para lograr altas resoluciones una alta razón de plegado es necesaria para reducir el número de amplificadores que integran el cuantizador. Mantener bajas las dimensiones de los transistores reduciría sustancialmente el área activa necesaria para fabricar el Convertidor Analógico Digital propuesto, por lo que trabajar en nuevas tecnologías podría mejorar las características del convertidor.

Otro punto importante que se consideró para el desarrollo del convertidor de datos es en mantener bajo el consumo de potencia, para lograr este objetivo cada celda winner take all del cuantizador trabaja con corrientes de carga no mayores a 2 μ A, orden de magnitud de corriente que sería poco factible utilizar en un amplificador operacional en modo voltaje debido a que eso limitaría sustancialmente el ancho de banda de dicho convertidor.

Que el lenguaje de descripción de hardware con que fue desarrollado el decodificador de datos sea compatible con la síntesis digital presenta otra ventaja en este trabajo,

pues el convertidor puede ser integrado completamente.

La integración en silicio del amplificador de plegado de 16 plegados representa un avance en la capacidad de estos dispositivos, pues el límite de plegados que actualmente se reporta en la literatura es alcanzado y potencialmente podría ser superado si se integra el amplificador de plegado como se desarrollo en este trabajo.

6.1. Trabajo a futuro

- Proponer un mejor esquema de decodificación sin utilizar banderas para la parte burda y de este modo eliminar los problemas de decodificación que presenta este trabajo.
- Aumentar la frecuencia de operación del Convertidor Analógico Digital propuesto en este trabajo a por lo menos $50MHz$ para que el convertidor sea mas competitivo comparado con los ADCs encontrados en la literatura.
- Implementar un esquema de Dynamic Element Matching para reducir los errores de no linealidad producidos por el mal match de los transistores que dado la inherente susceptibilidad de las corrientes a cambiar de manera mas significativa que el voltaje, un esquema como este podría mejorar sustancialmente el desempeño del convertidor de datos.
- Diseñar el filtro pasa bajas real para comprobar la relación señal a ruido y el número efectivo de bits presentados en este trabajo.
- Implementar un esquema de compensación de ganancia para mitigar los errores de ganancia que presenta el ADC en la parte alta del rango dinámico de entrada.
- Integrar el Convertidor Analógico Digital en modo corriente completo. Realizar la síntesis digital del algoritmo en Verilog del decodificador para crear el layout que sería integrado con el cuantizador Analógico.

Apéndice A

Decodificador de la referencia de corriente

El decodificador de código binario a código termómetro para la referencia de corriente se diseñó a partir de la tabla de verdad que se muestra en la Figura A.1, utilizando maxitérminos y minitérminos.

	X	Y	Z	g	f	e	d	c	b	a
A ₀	0	0	0	0	0	0	0	0	0	0
A ₁	0	0	1	0	0	0	0	0	0	1
A ₂	0	1	0	0	0	0	0	0	1	1
A ₃	0	1	1	0	0	0	0	1	1	1
A ₄	1	0	0	0	0	0	1	1	1	1
A ₅	1	0	1	0	0	1	1	1	1	1
A ₆	1	1	0	0	1	1	1	1	1	1
A ₇	1	1	1	1	1	1	1	1	1	1

Decodificador
Binario a
termómetro

X Y Z

D₀ D₁ D₂

T₁ T₂ ... T_r

a = x + y + z

b = x + yz

c = x + yz

d = x

e = x(y + z)

f = xy

g = xyz

Figura A.1: Tabla de verdad

La tabla de verdad fue diseñada únicamente para cubrir las necesidades de esta aplicación y las respuestas para las salidas se encontraron utilizando maxitérminos como se muestra a continuación.

$$a = x + y + z$$

$$b = (x + y + z) * (x + y + z)$$

$$b = xx + xy + xz' + yx + yy + yz' + zx + zy + zz'$$

$$b = (x + xy) + x(z + z') + y + y(z + z')$$

$$b = x + x + y$$

$$b = x + y$$

$$c = (x + y + z) * (x + y + z) + (x + y' + z)$$

sustituyendo las primeras dos multiplicaciones que ya se resolvieron en b

$$c = (x + y) * (x + y' + z)$$

$$c = xx + xy' + xz + yx + yy' + yz$$

$$c = x + x(y + y') + xz + yz$$

$$c = (x + x) + xz + yz$$

$$c = (x + xz) + yz$$

$$c = x + yz$$

Para d aplicamos el resultado de c y le agregamos la multiplicación del ultimo estado que falta de la tabla de verdad

$$d = (x + yz) * (x + y' + z')$$

$$d = xx + xy' + xz' + yzx + yy'z + yzz'$$

$$d = (x + xy') + xz' + xyz$$

$$d = x + xyz$$

$$d = x$$

Para e aplicamos el resultado de d y le agregamos la multiplicación del ultimo estado que falta de la tabla de verdad

$$e = x * (x' + y' + z)$$

$$e = xx' + xy + xz$$

$$e = x(y + z)$$

Aplicamos el mismo procedimiento para f y g

$$f = x(y + z) * (x'y + z')$$

$$f = xx'(y + z) + xy(y + z) + xz'(y + z)$$

$$f = xyy + xyz + xyz' + xzz'$$

$$f = xy + xyz + xyz'$$

$$f = xy + xy(z + z')$$

$$f = xy + xy$$

$$f = xy$$

$$g = (xy) * (x' + y' + z)$$

$$g = xx'y + xyy' + xyz$$

$$g = xyz$$

A manera ilustrativa se desarrollaron las combinaciones del circuito digital para a y b, dejando las demás como ejercicios para el lector.

La función booleana que corresponde a la salida a del decodificador es $a = x + y + z$, dichas salidas son negadas para encontrar el circuito complementario como se muestra a continuación.

$$a' = (x + y + z)' \text{ --- } > \text{NMOS}$$

$$a' = x' * y' * z' \text{ --- } > \text{PMOS}$$

El circuito que resulta de estas funciones se muestra en la Figura A.2.

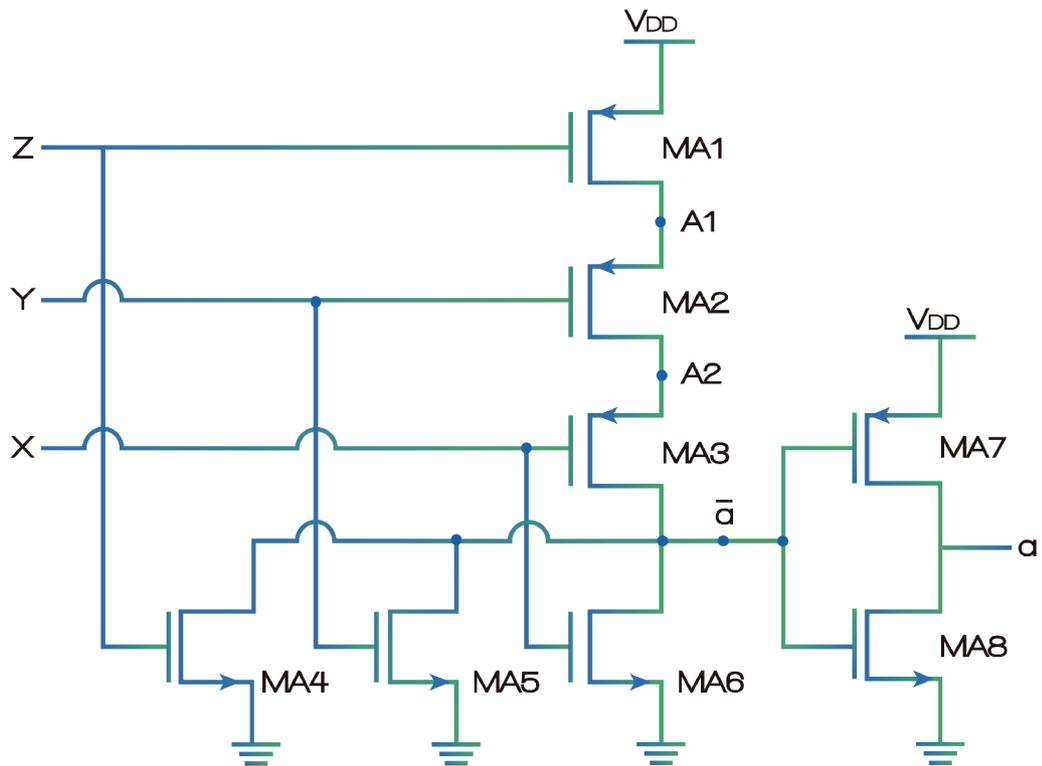


Figura A.2: Circuito digital para la salida A

La función booleana que corresponde a la salida b del decodificador es $b = x + y$, dichas salidas son negadas para encontrar el circuito complementario como se muestra a continuación.

$$b' = (x + y)' \text{ --- } > \text{NMOS}$$

$$b' = x' * y' \text{ --- --- } > \text{PMOS}$$

El circuito que resulta de estas funciones se muestra en la Figura A.3.

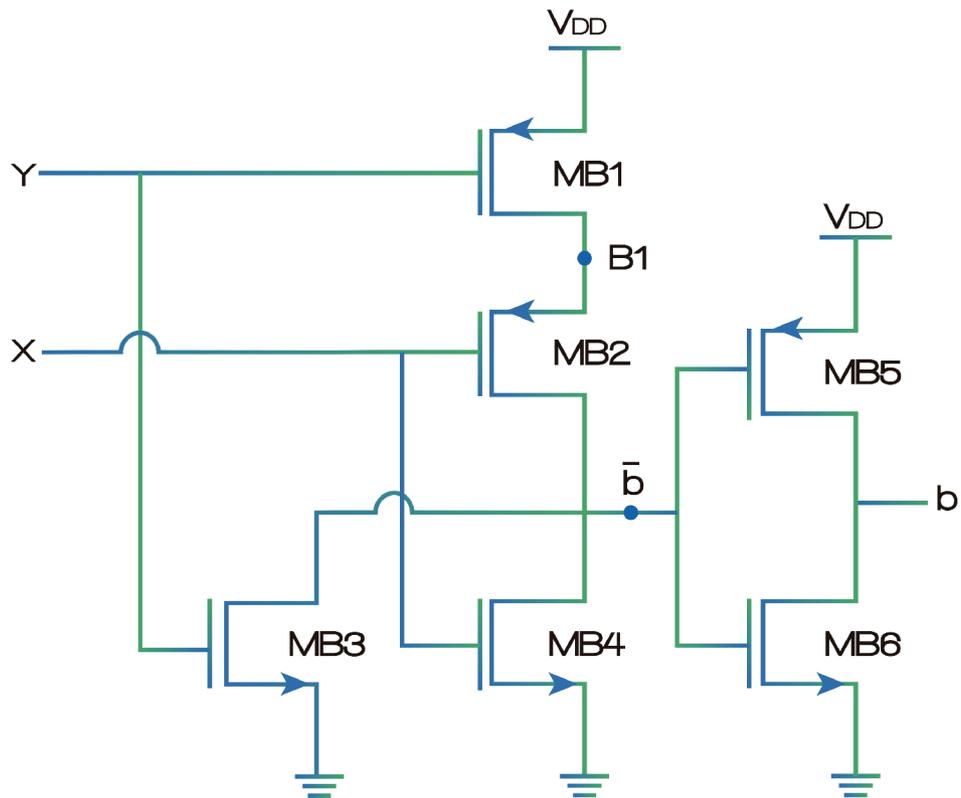


Figura A.3: Circuito digital para la salida B

Apéndice B

Decodificador del ADC

Decodificador en Verilog

Verilog – HDL – for” ADC10bits”, ” Decoder Banderas”” functional”

```
module Decoder ADC(bin, clk, bout, cin1, cin2, cout);
```

```
input[1 : 32]bin;  
input[1 : 32]cin1;  
input[1 : 32]cin2;  
inputclk;  
output[9 : 0]bout;  
output[9 : 0]cout;  
reg[9 : 0]bout;  
reg[9 : 0]cout;  
integeri, count, par, impar;
```

```
always@(posedgeclk)  
begin  
for(i = 1; i < 32; i = i + 1)begin  
if(bin[i])  
count = i;  
elseif(bin == 0)  
count = 0;  
end  
impar = count – simboloporcentaje – 2;  
if(impar == 0)  
par = 1;  
else  
par = 0;
```

```

bout = count;
cout = 0;
if(impar == 1)
for(i = 1; i < 33; i = i + 1)begin
if(cin1[i])
cout = i;
end
elseif(impar == 0)
for(i = 1; i < 33; i = i + 1)begin
if(cin2[i])
cout = i;
end

end
endmodule

```

DAC en VerilogA

VerilogA for ADC10bits, Decoder BanderasA, veriloga

```

“include” constants.vams”
“include” disciplines.vams”

module DecoderBanderasA(bin, cin, bout, cout);
input[9 : 0]bin;
input[9 : 0]cin;
outputbout, cout;
electricalbout, cout;
electrical[9 : 0]bin;
electrical[9 : 0]cin;

parameter realvmax = 1.8;
parameter realvdd = 1;
parameter realoffset = 0;
realdelta1 = vdd/(pow(2, 10) - 1);
realdelta2 = vdd/(pow(2, 5) - 1);
realcount1, count2, count3, count4, cuant, band, sal1, sal2, dato;
genvari;

analogbegin

```

```

for(i = 0; i <= 9; i = i + 1)begin
count1 = count2 + (V(cin[i])/vmax) * pow(2, i);
count2 = count1;
count3 = count4 + (V(bin[i])/vmax) * pow(2, i);
count4 = count3;
end

cuant = count2;
sal1 = count2 * delta1;
V(cout) < +sal1;
count1 = 0;
count2 = 0;

band = count4;
sal2 = count4 * delta2;
V(bout) < +sal2;
count3 = 0;
count4 = 0;

dato = (32 * band) + cuant;
dato = (dato * delta1) + offset;
V(bout) < +dato;

end

endmodule

```

El desarrollo de ambos bloque se realizo con las salidas en modo voltaje.

Referencias

- [1] J. G. Andrews, S. Buzzi, W. Choi, S. V. Hanly, A. Lozano, A. C. Soong, and J. C. Zhang, “What will 5g be?,” *IEEE Journal on selected areas in communications*, vol. 32, no. 6, pp. 1065–1082, 2014.
- [2] D. A.M.J., “Classification of digital-to-analog and analog-to-digital conversion techniques,” *Thesis*, vol. 1, no. 1, p. 89, 1986.
- [3] H. Nyquist, “Certain topics in telegraph transmission theory,” *Transactions of the American Institute of Electrical Engineers*, vol. 47, no. 2, pp. 617–644, 1928.
- [4] G. Zill Dennis and R. Cullen Michael, “Ecuaciones diferenciales con valores de la frontera, ed,” 2006.
- [5] J. Hwang, D. Kim, M.-K. Lee, S.-P. Nah, and M. Song, “Design of a 9-bit 1gs/s cmos folding a/d converter with a boundary error reduction technique,” in *System-on-Chip Conference (SOCC), 2014 27th IEEE International*, pp. 83–87, IEEE, 2014.
- [6] M.-J. Choe, B.-S. Song, and K. Bacrania, “An 8-b 100-msample/s cmos pipelined folding adc,” *IEEE Journal of Solid-State Circuits*, vol. 36, no. 2, pp. 184–194, 2001.
- [7] R. van de Plassche, “Cmos integrated analog-to-digital converters,” 2003.
- [8] M. M. Ayesh, S. Ibrahim, and M. M. Aboudina, “A 15.5-mw 20-gsps 4-bit charge-steering flash adc,” in *Circuits and Systems (MWSCAS), 2015 IEEE 58th International Midwest Symposium on*, pp. 1–4, IEEE, 2015.
- [9] C.-W. Hsu and T.-H. Kuo, “6-bit 500 mhz flash a/d converter with new design techniques,” *IEE Proceedings-Circuits, Devices and Systems*, vol. 150, no. 5, p. 460, 2003.
- [10] A. Arbel and R. Kurz, “fast adc,” *IEEE Transactions on Nuclear Science*, vol. 22, no. 1, pp. 446–451, 1975.

- [11] L. A. Carrillo Martínez, “Adc tipo folding de 7 bits en tecnología soi de 45 nm,” *Thesis*, vol. 1, no. 1, p. 152, 2011.
- [12] M. J. Pelgrom, “Analog-to-digital conversion,” in *Analog-to-Digital Conversion*, pp. 325–418, Springer, 2013.
- [13] A. Anvesha, M. Dave, M. S. Baghini, and D. Sharma, “A process and temperature invariant on-chip resistor and its application,” in *Circuits and Systems (MWSCAS), 2012 IEEE 55th International Midwest Symposium on*, pp. 706–709, IEEE, 2012.
- [14] K. Makigawa, K. Ono, T. Ohkawa, K. Matsuura, and M. Segami, “A 7bit 800msps 120mw folding and interpolation adc using a mixed-averaging scheme,” in *VLSI Circuits, 2006. Digest of Technical Papers. 2006 Symposium on*, pp. 138–139, IEEE, 2006.
- [15] R.-M. Weng and C.-C. Chao, “A 1.5 v high folding rate current-mode folding amplifier for folding and interpolating adc,” in *Circuits and Systems, 2006. ISCAS 2006. Proceedings. 2006 IEEE International Symposium on*, pp. 4–pp, IEEE, 2006.
- [16] M. A. Al-Absi, S. K. Dhar, M. T. Abuelmaátti, and M. A. Elhassan, “A new cmos current mode fast folding amplifier,” in *Electronics, Circuits and Systems (ICECS), 2014 21st IEEE International Conference on*, pp. 183–186, IEEE, 2014.
- [17] F. Maloberti, *Analog design for CMOS VLSI systems*, vol. 646. Springer Science & Business Media, 2006.
- [18] T. Hirose, Y. Osaki, N. Kuroki, and M. Numa, “A nano-ampere current reference circuit and its temperature dependence control by using temperature characteristics of carrier mobilities,” in *ESSCIRC, 2010 Proceedings of the*, pp. 114–117, IEEE, 2010.
- [19] Y. Taur and T. H. Ning, *Fundamentals of modern VLSI devices*. Cambridge university press, 2013.
- [20] J. Lazzaro, S. Ryckebusch, M. A. Mahowald, and C. A. Mead, “Winner-take-all networks of o (n) complexity,” in *Advances in neural information processing systems*, pp. 703–711, 1989.
- [21] B. Sekerkiran and U. Cilingiroglu, “Improving the resolution of lazzaro winner-take-all circuit,” in *Neural Networks, 1997., International Conference on*, vol. 2, pp. 1005–1008, IEEE, 1997.
- [22] S. J. Tilden, T. E. Linnenbrink, and P. J. Green, “Overview of ieeestd-1241”standard for terminology and test methods for analog-to-digital converters”, in *Instrumentation and Measurement Technology Conference, 1999. IMTC/99. Proceedings of the 16th IEEE*, vol. 3, pp. 1498–1503, IEEE, 1999.

- [23] R. M. Senger, P. M. Walsh, and J. Le Ny, "A 150 msamples/s folding and current mode interpolating adc in 0.35 μm cmos," *unpublished*. Available: http://www.eecs.umich.edu/~mpflynn/Design%20Contest/Fall2002/Writ_eUps/4_Senger.pdf.
- [24] Y. Chen, Q. Huang, and T. Burger, "A 1.2 v 200-ms/s 10-bit folding and interpolating adc in 0.13- μm cmos," in *Solid State Circuits Conference, 2007. ESSCIRC 2007. 33rd European*, pp. 155–158, IEEE, 2007.
- [25] M. P. Flynn and D. J. Allstot, "Cmos folding a/d converters with current-mode interpolation," *IEEE Journal of Solid-State Circuits*, vol. 31, no. 9, pp. 1248–1257, 1996.
- [26] A. G. Venes and R. J. van-de Plassche, "An 80-mhz, 80-mw, 8-b cmos folding a/d converter with distributed track-and-hold preprocessing," *IEEE Journal of Solid-State Circuits*, vol. 31, no. 12, pp. 1846–1853, 1996.
- [27] R. J. Baker, "Cmos circuit design, layout, and simulation," *IEEE Press Series on Microelectronics Systems*, vol. none, no. none, p. none, 2010.
- [28] E. Vittoz, "Cmos vlsi design '90," *none*, vol. none, no. none, p. 158, 1990.