



**INAOE**

# **Diseño de Bloques Analógicos para Aplicaciones Biomédicas Usando Resistores de Alto Valor**

por

**Ing. Luis Fernando Martínez Pantoja**

Tesis sometida como requisito parcial para  
obtener el grado de

**MAESTRO EN CIENCIAS EN LA  
ESPECIALIDAD DE ELECTRÓNICA**

en el

**Instituto Nacional de Astrofísica, Óptica y  
Electrónica**

Septiembre 2019

Tonantzintla, Puebla

Supervisada por:

**Dr. Alejandro Díaz Sánchez**

**Dr. José Miguel Rocha Pérez**

©INAOE 2019

El autor otorga al INAOE el permiso de  
reproducir y distribuir copias en su totalidad o en  
partes de esta tesis





---

---

**Diseño de Bloques Analógicos para Aplicaciones  
Biomédicas Usando Resistores de Alto Valor**

Tesis de Maestría

POR:

**Ing. Luis Fernando Martínez Pantoja**

Supervizada por:

**Dr. Alejandro Díaz Sánchez  
Dr. José Miguel Rocha Pérez**

Instituto Nacional de Astrofísica, Óptica y Electrónica  
Coordinación de Electrónica

TONANTZINTLA, PUEBLA.

AGOSTO 2018



# Agradecimientos

---

---

*A mis padres, por su ejemplo, su cariño, su confianza y en especial por su eterno apoyo incondicional.*

*A mis hermanos, quienes han sido mis compañeros y amigos, llenando siempre mi vida de alegría.*

*A Valeria, por apoyarme en mis decisiones, por ser mi compañera incondicional en este largo viaje de la vida.*

*A Isabella, por toda la alegría que has traído a nuestra familia.*

*A mis asesores, Dr. Alejandro Díaz Sánchez y Dr. José Miguel Rocha Pérez por su confianza al permitirme trabajar en su equipo de trabajo.*

*A todos ellos, ¡muchas gracias!*



# Resumen

---

La realización de filtros analógicos para muy bajas frecuencias ( $<100\text{Hz}$ ) completamente integrados en silicio es considerado un desafío de diseño, ya que una frecuencia de corte baja implica una constante de tiempo RC grande. Para su realización se requiere un resistor de valor alto ( $\text{G}\Omega$ ) o un capacitor de valor alto ( $\text{nF}$ ). Sin embargo, en circuitos integrados los valores de R y C no logran alcanzar estos valores pues están limitados al rango de  $\text{M}\Omega$  (con bajo grado de exactitud) y decenas de  $\text{pF}$  con un consumo considerable de área de silicio.

En este trabajo se presentan diferentes circuitos que pueden emular el comportamiento de resistores que alcanzan valores muy altos (llamados también Pseudo-Resistores (PRs)). La idea principal de estos circuitos consiste usar el transistor MOS operando en subumbral donde no existe capa de inversión de portadores, por ello el canal del transistor tiene una alta resistencia asociada. El principal problema del transistor MOS usado como resistor en esta región es que la corriente  $I_d$  tiene un comportamiento exponencial respecto a los terminales de *drenaje*, *fuentes* y *compuerta* que genera distorsión en la señal procesada. Para solucionar este problema, en la literatura se han propuesto circuitos que mantienen la resistencia independiente de los voltajes aplicados en los terminales del PR, pero todas ellas introducen distorsión que se incrementa gradualmente conforme aumenta el voltaje aplicado en sus terminales. En esta tesis se estudian las condiciones bajo las cuales es posible reducir la distorsión de los Pseudo-resistores para que su comportamiento asemeje al de una resistencia ideal. A partir de estas condiciones se proponen 3 topologías de Pseudo-resistores.

Usando los resistores propuestos, se realizó el diseño de dos amplificadores para aplicaciones biomédicas con respuesta pasa banda, los cuales fueron dimensionados utilizando la técnica  $g_m/I_d$ . Los resultados muestran que los circuitos obtenidos tienen mejores características que otros reportados en la literatura.

Finalmente, se diseñaron dos filtros de rechazabanda sintonizados a  $60\text{Hz}$ , uno usando un PR de la literatura y otro con uno del PR propuesto. Las simulaciones muestran que tanto la excursión lineal como el factor de calidad mejoran manteniendo una distorsión por debajo del 1%. Todas las simulaciones se realizaron en HSPICE y  $0,5\ \mu\text{m}$  en tecnología On-semi.





# Abstract

---

The realization of analog filters for very low frequencies ( $< 100\text{Hz}$ ) completely integrated in silicon is considered a design challenge, since a low cutoff frequency implies a large RC time constant. For its realization a high value resistor ( $\text{G } \Omega$ ) or a high value capacitor ( $\text{nF}$ ) is required. However, in integrated circuits the values of R and C fail to reach these values because they are limited to the range of  $\text{M}\Omega$  (with low degree of accuracy) and tens of pF with a considerable consumption of silicon area.

This work presents different circuits that can emulate the behavior of resistors that reach very high values (also called Pseudo-Resistors (PRs)). The main idea of these circuits is to use the MOS transistor operating in subthreshold where there is no carrier inversion layer, so the transistor channel has a high associated resistance. The main problem of the MOS transistor used as a resistor in this region is that the current  $I_d$  has an exponential behavior with respect to the *drain*, *source* and *gate* terminals that generates distortion in the processed signal. To solve this problem, circuits have been proposed in the literature that maintain the resistance independent of the voltages applied to the terminals of the PR, but all of them introduce distortion that increases gradually as the voltage applied to its terminals increases. In this thesis we study the conditions under which it is possible to reduce the distortion of the Pseudo-resistors so that their behavior resembles that of an ideal resistance. From these conditions, 3 Pseudo-resistor topologies are proposed.

Using the proposed resistors, two amplifiers were designed for biomedical applications with band pass response, which were sized using the  $g_m/I_d$  technique. The results show that the circuits obtained have better characteristics than others reported in the literature. Finally, two notch filters tuned at  $60\text{Hz}$  were designed, one using a PR from the literature and another with one from the proposed PR. The simulations show that both the linear excursion and the quality factor improve while maintaining a distortion below 1 %. All simulations were performed in HSPICE and  $0.5\mu\text{m}$  in On-semi technology.



# Índice general

---

---

<b>Índice general</b>	<b>XI</b>
<b>Índice de figuras</b>	<b>XIII</b>
<b>Índice de Tablas</b>	<b>XVII</b>
<b>1. Introducción</b>	<b>1</b>
1.1. Biopotenciales . . . . .	1
1.2. Procesamiento Analógico de Señales Biomédicas . . . . .	2
1.3. Estado del Arte . . . . .	3
1.4. . . . .	4
1.5. Hipótesis . . . . .	5
1.6. Objetivos General y Específicos . . . . .	5
1.6.1. Objetivo General . . . . .	5
1.6.2. Objetivos Específicos . . . . .	5
<b>2. Marco Teórico</b>	<b>7</b>
2.1. Adquisición de Biopotenciales . . . . .	7
2.2. Ruido . . . . .	8
2.2.1. Ruido Térmico . . . . .	9
2.2.2. Ruido Térmico en Resistencias . . . . .	9
2.2.3. Ruido Térmico en Transistores MOS . . . . .	9
2.2.4. Ruido Flicker en Transistores MOS . . . . .	10
2.3. Distorsión Armónica Total y Rango Dinámico . . . . .	11
2.4. Distorsión Armónica Total (THD) . . . . .	12
2.4.1. Rango Dinámico ( <i>DR</i> - Dynamic Range ) . . . . .	12
2.5. Baja Potencia: Transistor MOS en Inversión Débil . . . . .	12
2.6. Amplificador de Biopotenciales . . . . .	14
2.7. Filtro Rechazabanda . . . . .	17
2.8. Resistores de Alto Valor . . . . .	18
2.8.1. Curva Característica de Corriente vs Voltaje de un Resistor . . . . .	19
2.8.2. Pseudo-Resistores o Resistores de Alto Valor . . . . .	21

<b>3. Diseño de Resistores de Alto Valor</b>	<b>23</b>
3.1. Modelo de Pseudo-Resistores de Alto Valor . . . . .	23
3.2. Topologías de Resistores de Alto Valor . . . . .	25
3.2.1. Topología 1: Resistor de $V_{GS}$ Variable . . . . .	25
3.2.2. Topología 2: Resistor de $V_{GS}$ Constante . . . . .	26
3.2.3. Topología 3: Resistor de $V_{GS}$ Constante con Par Diferencial . . . . .	27
3.2.4. Topología 4: Resistor con Seguidor de Fuente y Baterías Flotantes . . . . .	28
3.2.5. Topología 5: Resistor con Doble Source Follower Cruzado (Propuesta 1) . . . . .	28
3.2.6. Topología 6: Resistor de $V_{GS}$ Constante Usando Par diferencial para Promediar Voltajes (Propuesta 2) . . . . .	29
3.2.7. Topología 7: Resistor de Promedio (Propuesta 3) . . . . .	30
3.3. Dimensionamiento de los Resistores de Alto Valor . . . . .	31
3.4. Simulaciones de los Resistores . . . . .	33
3.4.1. Simulaciones en DC . . . . .	33
3.4.2. Simulaciones Transitorias . . . . .	38
<b>4. Diseño de Amplificadores de Biopotenciales y Filtro Rechaza Banda</b>	<b>41</b>
4.1. Amplificador con realimentación y acoplo capacitivo . . . . .	41
4.2. Amplificador de Biopotenciales Propuesto . . . . .	49
4.3. Filtro Rechaza Banda Resultados Experimentales . . . . .	60
4.3.1. Diseño y Simulaciones . . . . .	60
4.3.2. Resultados Experimentales . . . . .	62
4.4. Diseño del Filtro Rechaza Banda . . . . .	64
<b>5. Disertación y Trabajo Futuro</b>	<b>69</b>
5.1. Sumario . . . . .	69
5.2. Disertación . . . . .	70
5.3. Trabajo Futuro . . . . .	71
<b>A. Distorsión Armónica Total en HSPICE</b>	<b>73</b>
A.1. Distorsión Armónica Total (THD) . . . . .	73
A.2. Distorsión Armónica Total usando HSPICE . . . . .	74
A.3. Simulación de Distorsión Armónica Total Usando HSPICE . . . . .	75
A.4. Distorsión Armónica Total Aplicado a una Señal Triangular Periódica . . . . .	78
<b>Referencias</b>	<b>81</b>

# Índice de figuras

---

---

1.1. Rangos de frecuencia y amplitud característica de las señales biomédicas. . . . .	2
1.2. Diagrama de bloques para el procesamiento de señales biomédicas. . . . .	3
2.1. Proceso de adquisición de una señal biológica. . . . .	7
2.2. Modelo de un Electrodo. . . . .	8
2.3. Modelo de ruido térmico en resistores. . . . .	9
2.4. Modelo de ruido térmico en el transistor MOS. . . . .	10
2.5. Espectro de los Ruidos Térmico y Flicker. . . . .	11
2.6. Vista Transversal del MOS. . . . .	14
2.7. Regiones del Transistor MOS en $0.5\mu\text{m}$ . . . . .	14
2.8. Amplificador para biopotenciales. . . . .	16
2.10. Filtro Notch. . . . .	18
2.11. Símbolo del resistor con la dirección de la corriente y caída de potencial. . . . .	19
2.12. Curva característica de un resistor lineal. . . . .	20
2.13. Resistor con configuración diodo. . . . .	21
2.14. Resistor $V_{GS}$ variable. . . . .	21
2.15. Resistor $V_{GS}$ variable con doble voltaje de control. . . . .	21
2.16. Resistor $V_{GS}$ constante con seguidor de fuente. . . . .	22
3.1. Topología general de los resistores de alto valor. . . . .	25
3.2. Resistor $V_{GS}$ variable. . . . .	27
3.3. Resistor de $V_{GS}$ Constante con Par Diferencial. . . . .	28
3.4. Resistor con baterías flotantes. . . . .	29
3.5. Resistor con doble seguidor de fuente cruzado. . . . .	29
3.6. Resistor par diferencial. . . . .	30
3.7. Resistor de promedio. . . . .	31
3.8. Configuración para Caracterización en DC. . . . .	34
3.9. Curva I-V y resistencia de la topología 1 (Figura 3.2) en función del voltaje AB. . . . .	34
3.10. Curva I-V y resistencia de la topología 2 (Figura 2.16) en función del voltaje AB. . . . .	35

3.11. Curva I-V y resistencia de la topología 3 (Figura 3.3) en función del voltaje AB. . . . .	35
3.13. Curva I-V y resistencia de la topología 5 (Figura 3.5) en función del voltaje AB. . . . .	36
3.12. Curva I-V y resistencia de la topología 4 (Figura 3.4) en función del voltaje AB. . . . .	36
3.14. Curva I-V y resistencia de la topología 6 (Figura 3.6) en función del voltaje AB. . . . .	37
3.15. Curva I-V y resistencia de la topología 7 (Figura 3.7) en función del voltaje AB. . . . .	37
3.16. Curvas I-V y resistencia en DC de cada uno de los PRs . . . . .	38
3.17. Distorsión armónica total para cada resistor. . . . .	39
4.1. Amplificador para biopotenciales. . . . .	41
4.2. OTA Folded Cascode. . . . .	42
4.3. Configuraciones para la ganancia diferencial en lazo abierto . . . . .	44
4.4. Configuración para la ganancia en modo común. . . . .	44
4.5. Curva de corriente normalizada para PMOS y NMOS. . . . .	45
4.6. Respuesta AC del OTA folded cascode. . . . .	45
4.7. CMRR del OTA folded cascode. . . . .	46
4.8. Offset del OTA folded cascode. . . . .	46
4.9. Respuesta AC del Amplificador de la Figura 2.8. . . . .	47
4.10. THD para el amplificador de la Figura 2.8. . . . .	48
4.11. Layout del amplificador con realimentación y acoplo capacitivo, área 408 $\mu\text{m}$ x 168 $\mu\text{m}$ . . . . .	48
4.12. Amplificador para biopotenciales propuesto. . . . .	49
4.13. Amplificador de Instrumentación. . . . .	50
4.14. OTA Miller . . . . .	50
4.15. Buffer clase AB. . . . .	51
4.16. Respuesta AC del OTA miller. . . . .	52
4.17. Respuesta AC del OTA miller. . . . .	53
4.18. Barrido en DC del OTA Miller. . . . .	53
4.19. Resistor $R_g$ para el amplificador de instrumentación. . . . .	54
4.20. Resistencia en función del voltaje $V_{cp}$ . . . . .	55
4.21. Curva I-V para el resistor $R_g$ . . . . .	55
4.22. Ganancia del amplificador de instrumentación para $V_{cp} = (-2.0, -1.0)$ V. . . . .	56
4.23. CMRR del amplificador de instrumentación. . . . .	56
4.24. Ganancia del amplificador con la red $RC$ . . . . .	57
4.25. THD para el amplificador de instrumentación con acoplo capacitivo. . . . .	58
4.26. Simulación transitoria del amplificador de instrumentación con ECG. . . . .	59
4.27. Layout amplificador de instrumentación y amplificador celda de prueba. . . . .	59
4.28. Amplificador Miller en Modo Buffer . . . . .	60
4.29. THD para el filtro notch . . . . .	61

4.30. Circuito fabricado en tecnología 0.5 $\mu\text{m}$ ON Semi. . . . .	62
4.31. Respuesta en frecuencia experimental del filtro a 60Hz con $V_{cq} = -750\text{mV}$ . . . . .	63
4.32. Respuesta en frecuencia experimental del filtro a 60Hz con variación en el factor de calidad. . . . .	63
4.33. Respuesta en frecuencia experimental del filtro para diferentes frecuencias de corte. . . . .	64
4.34. Variación del factor de calidad en el filtro notch. . . . .	65
4.35. THD para el filtro notch. . . . .	65
4.36. Simulación transitoria del filtro notch con señal ECG. . . . .	66
4.37. Layout del filtro notch. . . . .	66
A.1. Divisor Resistivo . . . . .	75
A.2. THD contra Amplitud de la Señal Aplicada para una resistor ideal . . . . .	77
A.3. Circuito con onda Triangular . . . . .	79
A.4. Señal Triangular . . . . .	79





# Índice de Tablas

---

---

1.1. Estado del arte de amplificadores para aplicaciones biomédicas. . . . .	4
1.2. Estado del arte de filtros rechaza banda. . . . .	4
3.1. Dimensiones de cada topología. . . . .	32
3.2. Parámetros simulación DC. . . . .	33
3.3. Parámetros simulación transitoria. . . . .	39
3.4. Características de los pseudo-resistores. . . . .	40
4.1. Dimensiones de los transistores para el OTA Folded Cascode. . . . .	44
4.2. Características del amplificador. . . . .	49
4.3. Especificaciones del OTA miller. . . . .	51
4.4. Especificaciones del buffer. . . . .	52
4.5. Especificaciones de diseño del resistor $R_g$ . . . . .	54
4.6. Detalles de diseño de la red $RC$ . . . . .	57
4.7. Características del amplificador de instrumentación. . . . .	58
4.8. Parámetros y dimensiones del amplificador miller para buffer . . . . .	60
4.9. Parámetros y dimensiones amplificador . . . . .	61
4.10. Características obtenidas del filtro. . . . .	67
A.1. Resultados Teóricos y Simulados . . . . .	80



# Capítulo 1

## Introducción

---

Los sistemas de adquisición de señales biomédicas tienen la finalidad de sensor biopotenciales para posteriormente realizar su procesamiento, y por último efectuar la transmisión a un sistema de visualización. Por propósitos prácticos es deseable que las señales biomédicas adquiridas sean procesadas en tiempo real. En la actualidad se busca mejorar la portabilidad de dichos sistemas de adquisición, lo anterior se hace para no limitar las actividades del paciente y realizar un seguimiento continuo, para así poder efectuar un diagnóstico preciso.

El concepto de portabilidad en circuitos integrados involucra retos de diseño como son: bajo consumo de energía, para prologar la vida útil de las baterías, y tamaño reducido, lo cual hace referencia a tener todos los circuitos encargados del procesamiento integrados completamente en silicio.

### 1.1. Biopotenciales

Los biopotenciales se consideran como señales eléctricas producidas por el cuerpo humano, su origen obedece a principios de físicos-químicos que se dan en células de tipo excitables. Dichas células son musculares, secretoras y neuronas las cuales poseen una membrana con permeabilidad selectiva a ciertos iones, lo que permite la existencia de diferentes concentraciones de algunas especies iónicas en el medio intracelular y extracelular. Dichas diferencias generan una distribución asimétrica de iones la cual es compensado con el campo eléctrico generado por los iones que atraviesan la membrana. Es así como se genera el potencial de reposo. Sin embargo, cuando dichas células son estimuladas se produce un potencial de acción, cual se propaga por el medio que lo rodea. Estos se producen continuamente en un gran número de células [1].

Los biopotenciales son producto de la combinación no lineal de todos los potenciales de acción que se disparan en una determinada región y son sensibles a ser medidos en los diferentes lugares donde se originan (músculos, cerebro y sistema endocrino) [2].

Uno de los métodos para medir señales provenientes del cuerpo es usando electrodos en la piel, estos elementos actúan como un transductor que mide la señal generada en el cuerpo por corrientes iónicas, y genera corrientes eléctricas que se pueden procesar y transmitir, para posteriormente realizar el diagnostico médico [1].

Las señales biomédicas (biopotenciales) a ser sensadas poseen características de amplitud y frecuencia que limitan el diseño del sistema de adquisición. En la Figura 1.1 se puede observar el rango de frecuencia y amplitud que tienen las diferentes señales biomédicas, como son: Electrooculografía (EOG), Electrocardiografía (ECG), Electroencefalografía (EEG) y Electromiografía (EMG).

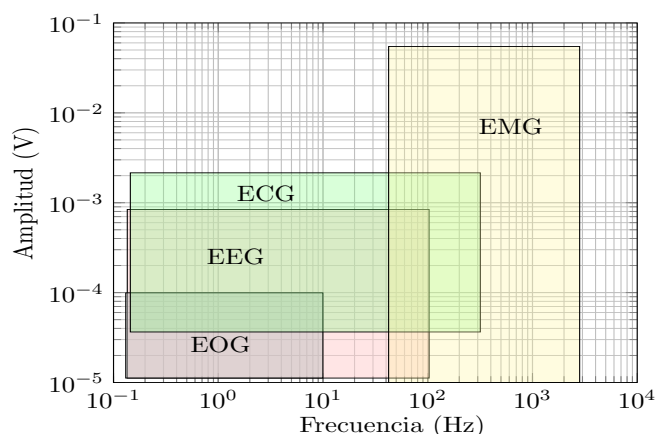


Figura 1.1: Rangos de frecuencia y amplitud característica de las señales biomédicas.

En la Figura 1.1 las señales llegan a cerca 80mV de amplitud y menos de 10 kHz de ancho de banda [3].

## 1.2. Procesamiento Analógico de Señales Biomédicas

Debido a la baja amplitud y ancho de banda reducido de las señales biomédicas es necesario realizar amplificación y filtrado de las señales, por lo tanto, el circuito de acondicionamiento debe cumplir con las siguientes características: ancho de banda configurable, ganancia de amplificación ajustable y alto rango dinámico.

En la Figura 1.2 se puede observar el proceso para realizar un sistema de adquisición de señales, que consta de tres etapas: amplificación y filtrado, un convertidor analógico digital (ADC) y el procesamiento digital de señales [4].

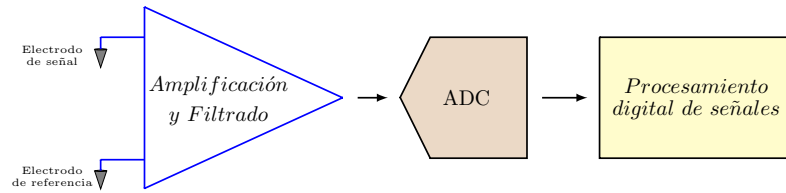


Figura 1.2: Diagrama de bloques para el procesamiento de señales biomédicas.

Después de realizar la medición de la señal usando electrodos, el siguiente paso para obtener un biopotencial es proporcionarle un factor de amplificación, para luego limitar el ancho de banda de la señal (el proceso también puede realizarse al mismo tiempo: filtrar y amplificar en un mismo bloque) para así poder convertir la señal con el ADC, con esa finalidad es necesario diseñar una etapa que cumpla con las siguientes condiciones [3] [5]:

- El amplificador usado debe tener una alta relación de rechazo al modo común (CMRR) con la finalidad de atenuar señales indeseadas provenientes del lugar donde está inmerso el sistema biológico.
- Rechazar los niveles de DC que se generan en la interfaz electrodo-piel.
- Ganancia variable para ajustarla para diferentes tipos de señales como las mostradas en la Figura 1.1.
- Baja disipación de potencia con la finalidad de darle mayor vida útil a las baterías.
- Limitar la frecuencia máxima de adquisición para restringir el espectro del ruido térmico y disminuir el consumo de potencia.

### 1.3. Estado del Arte

El propósito de esta tesis es diseñar bloques adecuados para aplicaciones biomédicas usando PRs que mejoren las características antes mencionadas. Con la finalidad de contextualizar este trabajo, en la Tabla 1.1 se citan algunos trabajos en los cuales se ha diseñado bloques para amplificación con respuesta pasa banda para adquisición señales biomédicas. La Tabla 1.2 se presenta filtros rechaza banda para aplicaciones biomédicas reportados en la literatura.

Como es posible observar en la Tabla 1.1 las etapas de entrada diseñadas se ven limitadas en excursión de entrada y distorsión armónica, lo cual a su vez limita el rango dinámico en el cual puede operar la etapa amplificadora y el filtro rechaza banda, es por ello que diseñar PRs con mejor excursión lineal de entrada es uno de los retos de

diseño que se plantean en esta tesis.

Parámetro	[6]	[7]	[8]	[9]	[10]	[11]	[12]
Tecnología ( $\mu\text{m}$ )	0.35	0.18	0.13	0.18	0.5	0.18	0.35
Alimentación (V)	1.5	1.8	0.8	1.6	3	1.8	N/A
Excursión de salida (Vpp)	N/A	N/A	N/A	N/A	N/A	1	N/A
Ganancia (dB)	51.9-65.6	39.4	49	19.1/37.5	67.8/78	52.5-57.5	41.5
Ancho de Banda (Hz)	1.1-12K	10-7.2K	100-6.2K	100-8K	0.1-8K	4/300-10K	850-8K
Consumo de Potencia ( $\mu\text{W}$ )	26.9	7.92	0.64	69	75	20.8	2
INR ( $\mu\text{Vrms}$ )	3.12	3.5	14	2.36	4.08	2.6/2.38	N/A
Excursión Lineal (mVpp)	N/A	3.35	1	N/A	N/A	1000 (salida)	20
THD (dB)	N/A	-40	<-47.96	N/A	N/A	-37.45	N/A
Carga Capacitiva (pF)	94.1	25.25	N/A	12.6	N/A	24.1	N/A

Tabla 1.1: Estado del arte de amplificadores para aplicaciones biomédicas.

En la Tabla 1.2 los filtros de [13], [14] y [15] no permiten controlar el factor de calidad, esto impide que se puede ajustar después de la fabricación. También los circuitos rechaza banda de [16] y [17] presentan atenuación de la señal sobre la banda de paso, lo anterior muchas veces indeseado debido a que la señales biomédicas son alcanzan grandes amplitudes; por otro lado en [18] se reporta una excursión lineal que se ve limitada a tan solo 10mV. Por ultimo la propuesta de [19] es la que tiene mejor comportamiento, la cual permite una sintonización de la frecuencia de corte y del factor de calidad, sin embargo usa mayor área de silicio para su realización, ya que tiene tres amplificadores y circuitos de fases no traslapadas.

Parámetro	[13]	[16]	[17]	[14]	[19]	[18]	[15]
Tecnología ( $\mu\text{m}$ )	0.18	0.032	0.13	0.18	0.18	0.18	0.25
Alimentación (V)	0.5	0.15	1	1.8	1.8	-0.9	-0.8
Excursión de salida (mVpp)	N/A	N/A	N/A	N/A	N/A	10(THD=2%)	N/A
Ganancia (dB)	0	<20	<0	0	0	0	0
Máxima atenuación (dB)	75	17	96.7	55.4	62.3	28	65
Máxima frecuencia de operación (kHz)	1	300	2.17	N/A	N/A	N/A	N/A
Consumo de Ponencia ( $\mu\text{W}$ )	0.28	0.00019	0.750	25.2	9.9	9	25

Tabla 1.2: Estado del arte de filtros rechaza banda.

## 1.4. Planteamiento del problema

Para satisfacer los requerimientos de diseño se requiere una respuesta pasa banda y una amplificación en el rango de (10,1000), este es uno de los puntos mas importantes en el proceso de diseño, el cual requiere que la frecuencia de corte pasa altas esté en el orden de mHz (rechazar los niveles de DC que pueden saturar el amplificador), también es necesario un filtro rechaza banda con alto factor de calidad para eliminar señales no deseadas (señal de interferencia de la línea de alimentación de 60 Hz).

Para su realización es indispensable constantes de tiempo  $RC$  altas, para llevar esto a cabo se puede optar por usar valores de capacitores y/o resistores de valores altos dentro o fuera del chip. La tendencia actual es usar dichos elementos dentro del chip para mejorar la portabilidad del dispositivo (minimizar el área). Sin embargo, cuando se usan dentro del chip dichos elementos incrementan los requerimientos del silicio, además el valor de resistencias y capacitores se ven limitados a  $M\Omega$  (con alta variabilidad) y a pF respectivamente. Una alternativa es usar Pseudo-Resistores (PRs), estos elementos son circuitos que permiten emular el comportamiento de un resistor, en compensación al consumo de área los PRs se encuentran limitados por la distorsión, lo cual a su vez limita el rango dinámico del sistema y la excursión lineal máxima de las señales de entrada.

## **1.5. Hipótesis**

Implementando técnicas de diseño en inversión débil e inversión fuerte y usando resistores de alto valor con resistencia sintonizable es posible diseñar circuitos con capacidad de amplificación y filtrado con excursión de entrada, ganancia, ancho de banda y consumo de potencia adecuado para diferentes aplicaciones biomédicas (EEG, ECG, EOG, EMG), el consumo potencia puede ser disminuido ya que el espectro de frecuencia de las señales biomédicas no excede los 10 kHz, lo cual permite que los amplificadores operen con muy bajas corrientes de polarización, y con frecuencias de corte bajas. Tanto los PRs como los amplificadores y el filtro rechaza-banda serán diseñados en las tecnologías de CMOS de  $0.5\mu\text{m}$  ON-Semiconductor.

## **1.6. Objetivos General y Específicos**

De acuerdo a la hipótesis anterior es posible plantear los siguientes objetivos.

### **1.6.1. Objetivo General**

Diseñar circuitos para amplificación y filtrado con ancho de banda, ganancia, excursión lineal y consumo de potencia adecuado para procesamiento de señales biomédicas usando pseudo-resistores de alto valor.

### **1.6.2. Objetivos Específicos**

- Estudiar, diseñar y caracterizar diferentes topologías de pseudo-resistores de alto valor propuestos en la bibliografía.
- Proponer y diseñar resistores de alto valor con mejores características de excursión lineal respecto a los propuestos en la literatura.
- Estudiar topologías de etapas de amplificación y filtrado de biopotenciales.

- Diseñar una etapa de amplificación y filtrado con los resistores antes propuestos que cumplan con los criterios de diseño para aplicaciones biomédicas.
- Caracterizar las etapas diseñadas para verificar su adecuado funcionamiento.
- Comparar las etapas diseñadas con sistemas propuestos en la literatura.



# Capítulo 2

## Marco Teórico

---

El cuerpo humano produce continuamente potenciales iónicos generados por células de tipo excitable. Diferentes áreas del conocimiento como la medicina, la física de materiales, la electrónica y la computación han concurrido con la finalidad de poder medir, procesar y visualizar las señales producidas por el cuerpo. En este capítulo se presentan los conceptos fundamentales de un sistema de adquisición de señales biomédicas, seguido de las ideas básicas de biopotenciales, y finalmente se exponen algunos circuitos analógicos que se encargan del procesamiento.

### 2.1. Adquisición de Biopotenciales

La adquisición de biopotenciales consta de un proceso como el mostrado en la Figura 2.1, en el cual se tienen las siguientes etapas:

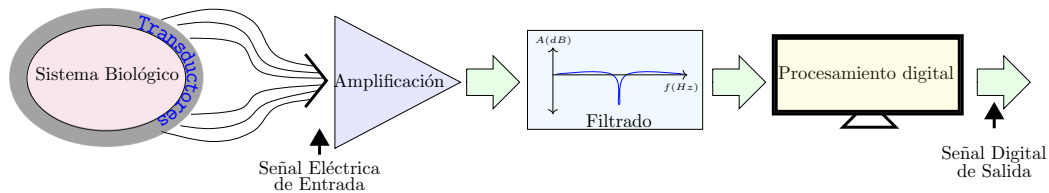


Figura 2.1: Proceso de adquisición de una señal biológica.

- **Transductores:** esta etapa se encarga de medir la señal proveniente del sistema biológico, para este trabajo se considerarán un tipo de transductores no invasivos, específicamente los electrodos, el potencial iónico producido en alguna región del cuerpo es transformado a un potencial eléctrico, entre el medio de la señal medida (piel) y la señal transformada (electrodo) se forma una interface llamada electrodo-piel, la cual juega un papel significativo, ya que esta cuenta con una impedancia alta, es por ello que es necesario en muchos casos usar electrólitos

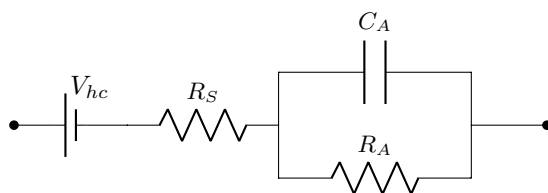


Figura 2.2: Modelo de un Electrodo.

para evitar atenuación y distorsión en la señal [20].

En la Figura 2.2 se muestra un modelo eléctrico de electrodo, en la interfaz se genera un potencial de DC ( $V_{hc}$ ) el cual debe ser filtrado para evitar saturar la etapa amplificadora. También se debe tener en cuenta que el electrodo al ser un material conductor el cual esta separado de la piel por un electrolito tiene capacidad de almacenamiento de carga, esto le confiere un valor capacitivo asociado ( $C_A$ ), el electrolito y la interface electrodo-electrolito tienen una resistencia asociada ( $R_S$ ) y ( $R_A$ ) [21].

- **Amplificación:** este bloque se encarga de eliminar el offset, limitar el ancho de banda y amplificar la señal, para realizar este bloque es necesario diseñar un amplificador y una red de filtrado con respuesta pasa banda, debido a que el ancho de banda de las señales biomédicas máximo está en el orden de 10 kHz, la característica anterior permite restringir el espectro del ruido térmico y ruido  $1/f$ , además debe ser mantenida la mínima distorsión armónica, con la finalidad de maximizar el rango dinámico.
- **Filtrado:** posterior a la amplificación un banco de filtros es requerido con la finalidad de eliminar señales indeseadas, una señal bien conocida que requiere ser eliminada es la señal de la línea de alimentación, la cual posee una frecuencia de 60Hz.
- **Procesamiento digital:** el último paso es realizar el procesamiento digital de la señal biomédica, en este caso la señal es transmitida a un sistema de visualización donde se extraen características morfológicas de la señal para su adecuada interpretación médica [22].

## 2.2. Ruido

El ruido es un proceso aleatorio, lo anterior significa que el valor de amplitud de una señal de ruido no se puede predecir para un tiempo dado, incluso si el valor pasado de la señal es conocido. El ruido obedece a la naturaleza estadística de diferentes fenómenos que suceden en los dispositivos y en el entorno que los rodea. Sin embargo es posible modelar estadísticamente el ruido producido por los dispositivos, aunque no se puede conocer el valor en amplitud instantáneo, si es posible experimentalmente conocer su

ancho de banda, esto se puede saber usando la densidad espectral de potencia producida por este, es así como se ha logrado caracterizar dos tipos de ruido que afectan a las señales analógicas en circuitos integrados, estos son: térmico y flicker, cada uno de ellos se explica en seguida [23].

### 2.2.1. Ruido Térmico

Este tipo de ruido es generado solo en sistemas disipativos, es por ello que está asociado a resistores y estructuras dopadas en capas semiconductoras.

### 2.2.2. Ruido Térmico en Resistencias

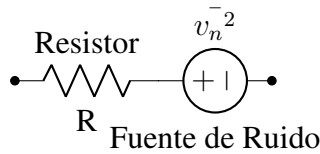


Figura 2.3: Modelo de ruido térmico en resistores.

Se debe al movimiento aleatorio de partículas cargadas en la red cristalina del material, esto hace que se generen fluctuaciones en el voltaje medido, aun cuando la corriente promedio es cero, dicho ruido no es afectado por la corriente directa. Pruebas experimentales muestran que el espectro del ruido térmico es directamente proporcional a la temperatura, en resistencias se modela con una fuente de voltaje en serie con la resistencia como se muestra en la Figura 2.3, donde  $V_n$  es la fuente de ruido la cual puede ser calculada a través de su densidad espectral de potencia de la siguiente forma

$$S_v(f) = 4kTRf \quad (2.1)$$

Donde  $k$  es la constante de Boltzmann,  $T$  es la temperatura y  $f$  la frecuencia, su valor  $V_n^2$  puede ser calculado de la siguiente forma

$$\bar{V}_n^2 = 4kT\Delta f \quad (2.2)$$

Mediante el uso del teorema de Norton se puede cambiar el modelo de una fuente de voltaje en serie con la resistencia por una fuente de corriente en paralelo con el resistor ideal (sin ruido) [23].

### 2.2.3. Ruido Térmico en Transistores MOS

En el transistor MOS operando en la región de saturación y con canal largo se puede considerar el modelo mostrado en la Figura 2.4, el cual tiene como principal fuente de ruido la resistencia de canal, en la Figura se puede observar el valor que tiene dicha

fuente de corriente  $\bar{I}_n$ , donde el factor  $\gamma$  es llamado factor de exceso de ruido, para canales largos es igual a 2/3.

Cuando el transistor MOS trabaja en inversión débil la densidad espectral de potencia puede ser calculada de la siguiente forma [24] [22]

$$\bar{I}_n^2 = \frac{\bar{i}_d^2}{\Delta f} = 4kT \frac{g_d + g_s}{2} \quad (2.3)$$

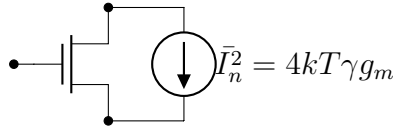


Figura 2.4: Modelo de ruido térmico en el transistor MOS.

#### 2.2.4. Ruido Flicker en Transistores MOS

El ruido flicker muchas veces es también llamado ruido  $1/f$ , este es producido cuando los portadores en movimiento quedan atrapados o liberados aleatoriamente en la interface de Si-SiO<sub>2</sub> y dentro del oxido de compuerta, este es predominante a bajas frecuencias de operación y puede ser modelado con una fuente de voltaje en serie con la compuerta del transistor MOS, dicha fuente de voltaje se calcula con la siguiente expresión

$$\bar{V}_g^2 = \frac{K_F}{C_{ox}WL} \cdot \frac{1}{f} \quad (2.4)$$

El factor  $K_F$  es una constante que depende del proceso de fabricación, cuyo valor es menor para los transistores P que para los N.

Por último en la Figura 2.5 se puede observar el espectro de los ruidos térmico y flicker, el ruido térmico como se muestra en la ecuación 2.1 es independiente de la frecuencia y el ruido flicker es inversamente proporcional a la frecuencia como se muestra en la ecuación 2.4 [4].

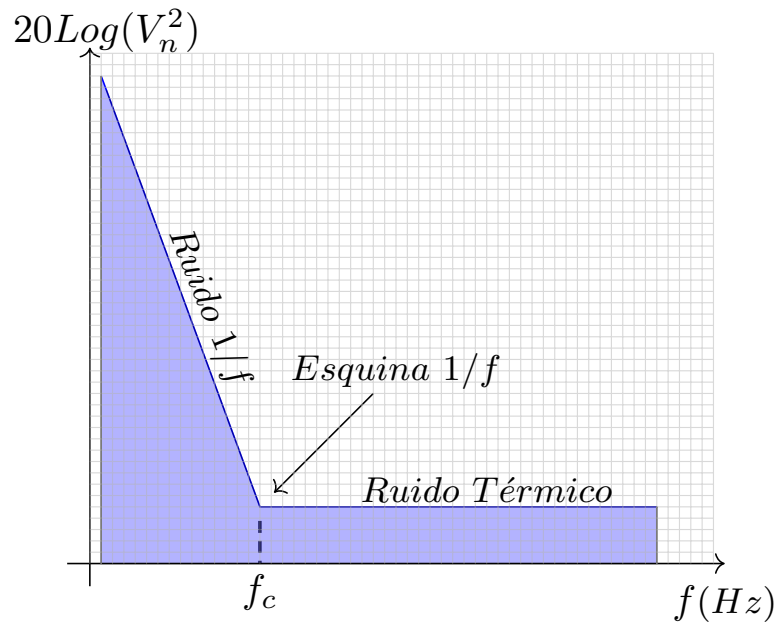


Figura 2.5: Espectro de los Ruidos Térmico y Flicker.

$f_c$  en la Figura 2.5 representa la frecuencia de corte y es el lugar de intersección entre el ruido Flicker y el Térmico.

### 2.3. Distorsión Armónica Total y Rango Dinámico

El concepto de distorsión hace referencia a la medida en que una señal cambia su forma al pasar por un medio. En electrónica la distorsión armónica total se refiere a la diferencia entre la forma de una señal de salida con respecto a la señal de entrada al pasar por un dispositivo electrónico, excepto por un cambio asociado a un factor de escala. Para entender la *THD* es necesario entender las series de Fourier, con las cuales se puede representar cualquier función periódica como la suma ponderada de senos y cosenos, para ello se considera una función  $v(t)$  periódica con periodo  $T$  que se puede expandir en series de Fourier de la siguiente manera:

$$v(t) = \sum_{n=-\infty}^{k=\infty} a_k e^{jk\omega_0 t} \quad (2.5)$$

los coeficientes  $a_k$  se calculan de la siguiente forma

$$a_k = \frac{1}{T} \int_T x(t) e^{-jk\omega_0 t} dt \quad (2.6)$$

Cuando  $k = 0$  se obtiene  $a_0$ , este coeficiente es la componente DC de la señal en un periodo y las siguientes constantes  $a_k$  definen el peso que tienen las siguientes componentes de la exponencial en la señal reconstruida  $v(t)$ , a dichas componentes que

conforman la señal se les llama armónicos de la señal, siendo para  $k = 1$  la componente fundamental de la señal [25, 26].

## 2.4. Distorsión Armónica Total (THD)

Con lo anterior la *THD* se puede definir de la siguiente manera:

$$THD = \frac{\sqrt{\sum_{k=2}^{k=\infty} v_k^2}}{v_1} \quad (2.7)$$

Donde:

- $v_1$  representa el valor cuadrático medio del primer armónico o la señal fundamental de entrada de frecuencia  $f_1$ .
- $k$  es el número del armónico.
- $v_k$  es el valor cuadrático medio del armónico  $k$ .

Para definir completamente la *THD* es necesario definir matemáticamente el valor cuadrático medio de una señal periódica como se muestra en la siguiente ecuación:

$$v_{rms} = \sqrt{\frac{1}{T} \int_t^{t+T} v^2(t) dt} \quad (2.8)$$

Donde T es el periodo de la señal [26].

De acuerdo a 2.7 la Distorsión Armónica Total se puede entender como la proporción en la que aparecen los armónicos de una señal al pasar por un dispositivo el cual fue excitado por una fuente senoidal pura de armónico fundamental  $v_1$  y frecuencia  $f_1$ . Para mayor información de la simulación de *THD* usando HSPICE referirse al apéndice A.

### 2.4.1. Rango Dinámico (*DR* - Dynamic Range )

El rango dinámico es la razón de la máxima excursión de voltaje a la entrada para un nivel de *THD* dado y el ruido referido a la entrada propio del sistema, dicha razón nos dice la mínima magnitud que la señal de entrada debe tener con respecto al ruido para ser procesada adecuadamente [27].

El *DR* esta definido como

$$DR = \frac{V_{rms,max}}{V_{noise,in}} \quad (2.9)$$

## 2.5. Baja Potencia: Transistor MOS en Inversión Débil

El consumo de potencia en circuitos integrados ha llegado a ser una parte importante a la hora de diseñar, con esta finalidad se han buscado estrategias que permitan operar

el transistor MOS con consumo de corriente mucho más bajo que en saturación, es por ello que se ha propuesto operar el transistor MOS en la región de inversión débil, aquí el transistor MOS alcanza corrientes en el orden de nA y pA, lo cual permite reducir considerablemente el consumo de potencia con respecto a la región de saturación donde las corrientes son del orden de  $\mu\text{A}$ .

Consideremos el transistor MOS como se muestra en la Figura 2.6, aquí se considera como un dispositivo totalmente simétrico con todos sus voltajes referidos al potencial de cuerpo, esto quiere decir que el nombre los terminales *Fuente* y *Drenaje* pueden ser escogidos de manera arbitraria y lo realmente importante es la diferencia de potencial entre  $V_D - V_S$  la cual determina la dirección de la corriente, por otro lado también es importante la diferencia de potencial entre  $V_G - V_S$  y  $V_G - V_D$  dichos valores determinan si existen suficientes portadores en el canal para una corriente, otras diferencias de potencial a tener en cuenta son los voltajes  $V_S - V_B$  y  $V_D - V_B$  ( $V_B$  es el voltaje del cuerpo del transistor), ya que una inadecuada polarización puede provocar que la unión PN del cuerpo y el drenaje o la fuente se polarice directamente y conduzca grandes cantidades de corriente.

El modelo en del transistor MOS para saturación y triodo predice una corriente solo cuando la diferencia de potencial entre  $|V_G - V_S|$  ha superado el voltaje umbral, sin embargo la naturaleza física del dispositivo permite que exista una pequeña corriente cuando el voltaje  $|V_G - V_S|$  es menor que el voltaje umbral, dicha corriente es mucho menor que en saturación y triodo y aumenta más rápidamente al aumentar  $V_{GS}$  que cuando se ha superado el voltaje umbral, en la Figura 2.7 se puede observar el comportamiento la corriente del transistor MOS con respecto a  $V_{GS}$ , en dichas curvas es posible ver que para voltajes mayores al voltaje umbral el transistor MOS cumple con la ley cuadrática que se propone en saturación para este, dicha región del transistor es llamada inversión fuerte (triado y saturación), puesto que en esta región el voltaje  $V_{GS}$  ha generado un campo eléctrico lo suficientemente fuerte entre la compuerta y el cuerpo del MOS de tal manera que se ha generado una capa de portadores superficial con carga opuesta a la del cuerpo del MOS.

Cuando el voltaje  $V_{GS}$  es menor que el voltaje umbral se puede observar una región del transistor llamada inversión débil (ver Figura 2.7), llamada así porque no existe realmente una capa de inversión, la cantidad de portadores presentes sobre el cuerpo bajo la compuerta del transistor MOS se debe a una baja probabilidad de generar portadores libres, que existe debido a los iones que se han producido por el campo eléctrico presente bajo la compuerta, una aproximación para modelar matemáticamente dicha región se presenta en 2.10, en esta refleja la simetría que existe del transistor MOS, así tanto el voltaje de drenaje como el voltaje de fuente referido al voltaje cuerpo aportan una componente exponencial a la corriente total, también la diferencia de tales valores determina la dirección de la corriente, es por ello que en la ecuación las exponenciales aparecen restadas [28] [29].

$$I = I_{D0} \exp\left(\frac{V_G}{nU_t}\right) \left[ \exp\left(\frac{-V_S}{U_t}\right) - \exp\left(\frac{-V_D}{U_t}\right) \right] \quad (2.10)$$

El valor de  $I_{D0}$  puede ser determinado con 2.11, la cual es llamada corriente de fuga del canal, el valor de  $n$  se llama factor de pendiente y en muchos casos es considerado una constante,  $\mu$  es la movilidad de portadores,  $C_{ox}$  es el óxido de compuerta por unidad de área,  $U_t$  es el voltaje térmico y  $W/L$  hace referencia a la relación ancho-largo del canal.

$$I_{D0} = 2n\mu C_{ox} \frac{W}{L} U_t^2 \exp\left(\frac{-V_{t0}}{nU_t}\right) \quad (2.11)$$

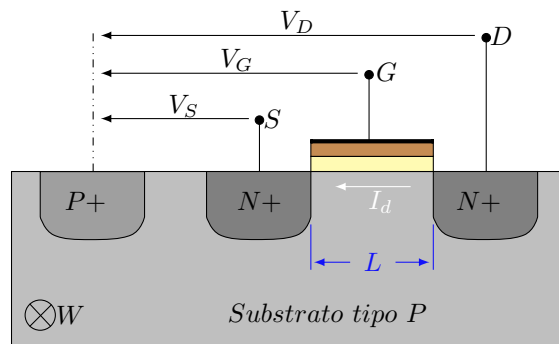


Figura 2.6: Vista Transversal del MOS.

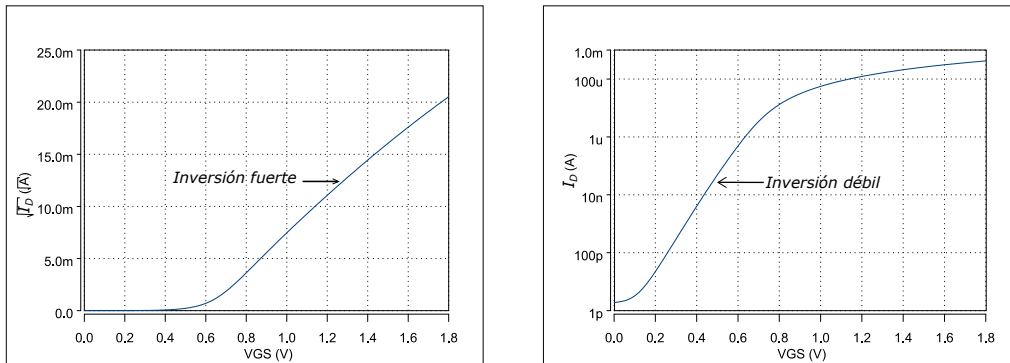


Figura 2.7: Regiones del Transistor MOS en  $0.5\mu\text{m}$

## 2.6. Amplificador de Biopotenciales

Anteriormente, los sistemas de adquisición usaban un bloque de amplificación, con un ancho de banda que estaba limitado por la respuesta en frecuencia propia del amplificador operacional de propósito general, el offset generado por la interface electrodo



piel no era de gran importancia, esto se debía que los rieles de alimentación de tecnologías antiguas estaba en entre  $\pm 15V$ , lo cual dejaba un amplio rango de excursión de la señal tanto a la entrada como a la salida del sistema amplificador, sin embargo en tecnologías modernas los rieles de alimentación han ido disminuyendo, y con ello cada vez hay menos espacio para la señal, en tecnologías submicrómicas ( $0.5\mu m$ ) los rieles de alimentación están en  $\pm 1.65V$ , lo cual es un valor grande en comparación con otras tecnologías, pero teniendo en cuenta el offset de una señal biomédica puede estar en el orden de cientos de mV, y que las señales pueden requerir ganancias entre (10-1000) es posible observar que el bloque de amplificador corre el riesgo de saturarse, es por ello que en la actualidad para el amplificador de biopotenciales como se mencionó anteriormente es requerida una respuesta pasa banda que rechace el nivel de DC.

Los requerimientos de amplificadores para biopotenciales han cambiado desde sus primeros años de diseño, en tecnologías micrómicas es indispensable un bloque amplificador seguido de un filtro con una respuesta pasa altas con una frecuencia de corte ( $f_c$ ) en el orden de Hz, además de un filtro rechaza banda con alto factor de calidad para eliminar señales de interferencia, pero aún después de la aparición de los circuitos integrados (1960) no existía posibilidad de crear un filtro completamente integrado con tales características de frecuencia, ya que una frecuencia de corte de 1 Hz requiere una constante de tipo igual a

$$\tau = \frac{1}{2\pi f_c} = 0.16 \text{ s} \quad (2.12)$$

recordando que una constante de tiempo esta definida como

$$\tau = RC \quad (2.13)$$

es evidente que para lograr 0.16 s se necesita un valor de resistencia de  $1 \text{ G}\Omega$  si se usa un capacitor de 160 pF, en circuitos integrados los valores de resistencias están limitados a  $\text{M}\Omega$  (con alta variación en el proceso de fabricación) y los capacitores a decenas de pF (con gran consumo de área), lo anterior limitó por mucho tiempo a que el bloque de amplificación y filtrado fuera realizado con amplificadores operacionales integrados, y resistores y capacitores discretos (externos).

En la actualidad se han propuesto diferentes etapas de amplificación adecuadas para señales biomédicas las cuales están completamente integradas en silicio, algunas técnicas usan escaladores de impedancia, técnicas de cancelación y división de corriente y pseudo-resistores (PRs) activos con transistores MOS en subumbral [30].

Una topología ampliamente citada en la bibliografía es la mostrada en la Figura 2.8, esta fue propuesta en [31], como se puede observar el amplificador está compuesto por un  $PR$  variable y dos capacitores  $C_1$  y  $C_2$ , dicho amplificador tiene una respuesta pasa banda, el resistor  $PR$  y el condensador  $C_2$  forman un filtro pasa altas con frecuencia de

corte igual a

$$f_h = \frac{1}{2\pi R_{PR} C_2} \quad (2.14)$$

Por otro lado el amplificador tiene un ancho de banda dado por

$$f_l = \frac{G_m}{2\pi A_m C_I} \quad (2.15)$$

donde  $A_m$  es la ganancia sobre la banda de paso del filtro y es igual a  $C_1/C_2$ . Considerando que el PR puede ser sintonizado desde decenas de  $G\Omega$  hasta cientos de  $G\Omega$  es posible observar una  $f_h$  muy baja que puede ser lograda sin necesidad usar capacitores extremadamente grandes. La función de transferencia para este amplificador esta dada por

$$H(s) = -\frac{C_1}{C_2} \left( \frac{sRC_2}{sRC_2 + 1} \right) \left( \frac{1}{1 + \frac{sC_1C_L}{G_mC_2}} \right) \quad (2.16)$$

Dicho filtro no proporciona una ganancia sintonizable para diferentes aplicaciones.

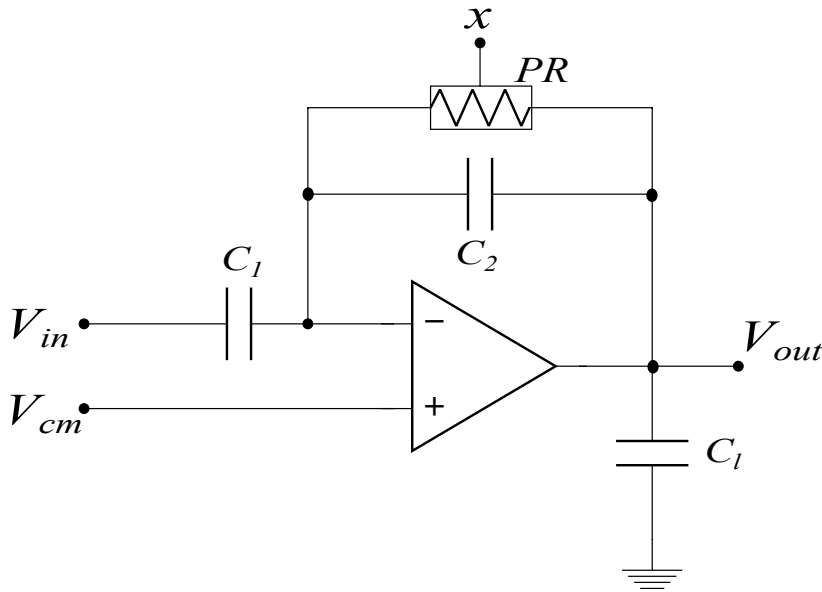


Figura 2.8: Amplificador para biopotenciales.

Una segunda topología comúnmente encontrada en la bibliografía es la que se muestra en la Figura 2.9, dicha amplificador usa un integrador con una constante de tiempo igual a  $R_{PR}C_I$  el cual realimenta negativamente, como resultado el sistema exhibe una respuesta pasa banda con frecuencia de corte pasa altas que está dada por

$$f_l = \frac{1}{2\pi R_{PR} C_I} \quad (2.17)$$

y su frecuencia de corte pasa bajas esta limitada por el ancho de banda del amplificador, en este caso el resistor  $R_{PR}$  sintonizable permite ajustar ancho de banda del filtro, sin embargo la ganancia de esta topología esta dada por la ganancia en lazo abierto del OTA A1 [32].

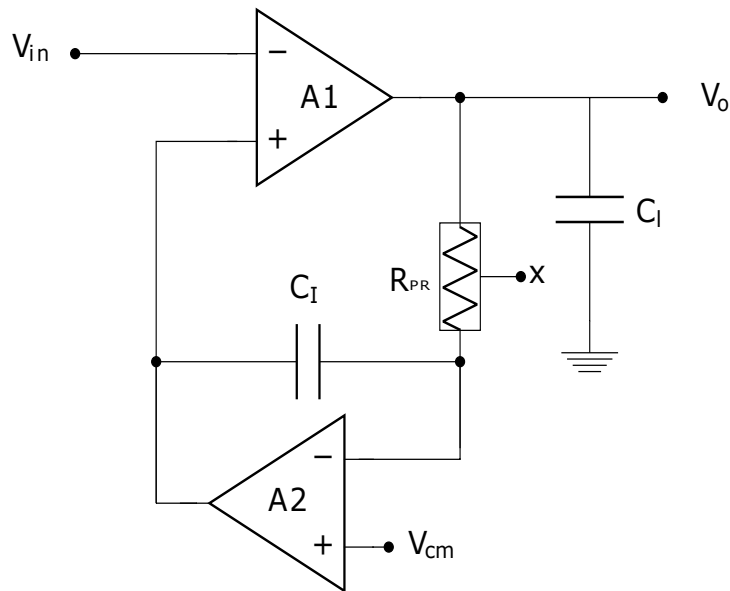


Figura 2.9: Amplificador para biopotenciales 2.

Otra propuesta también usada que permite obtener un alto rechazo al modo común es un amplificador de instrumentación, sin embargo este requiere una mayor área de silicio ya que usa varios amplificadores operacionales. Por otro lado un amplificador de instrumentación convencional exhibe una respuesta pasa bajas limitada por el ancho de banda de los amplificadores que lo conforman, por ello en el capítulo 4 se presenta un amplificador de instrumentación completamente integrado en silicio y adecuado para aplicaciones biomédicas usando resistores de alto valor.

## 2.7. Filtro Rechazabanda

Para el filtro rechaza banda se propone el circuito presentado en la Figura 2.10, dicho circuito tiene una frecuencia de rechazo ajustable implementado a través de una red twin T formada a partir elementos resistivos y capacitivos, además de una red de realimentación positiva que permite ajustar el factor de calidad. La red utilizada para generar la variación del factor de calidad es implementada por medio de un buffer de voltaje y la resistencia  $R_{gq}$  [30]. La función de transferencia general del filtro rechaza

banda de segundo orden está determinada por 2.18.

$$H(s) = \frac{V_{out}}{V_{in}} = \frac{s^2 + \frac{4}{R_{g1}C} \left( \frac{R_x K}{R_{g1}} \right) s + \frac{1}{R_{g1}^2 C^2}}{s^2 + \frac{4(1-K)}{R_{g1}C} s + \frac{1}{R_{g1}^2 C^2}} \quad (2.18)$$

Donde  $w_o$  es la frecuencia central de filtro dada por (2.19) y Q es el factor de calidad, el ancho de banda esta relacionado con el factor de calidad a través de (2.20).

$$w_0 = \frac{1}{R_{g1}C} \quad (2.19)$$

$$Q = \frac{1}{4(1-K)} = \frac{1}{4} \left( 1 + \frac{R_{gq}}{R_x} \right) \quad (2.20)$$

$K$  en las ecuaciones anteriores es la ganancia del lazo de realimentación dado por 2.21

$$K = \frac{R_{gq}}{R_{gq} + R_x} \quad (2.21)$$

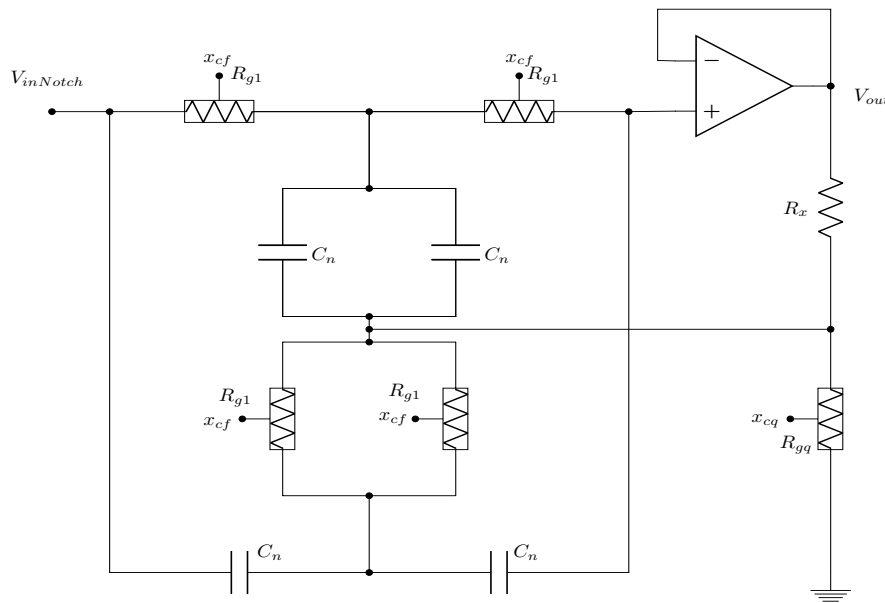


Figura 2.10: Filtro Notch.

## 2.8. Resistores de Alto Valor

Como se mencionó en las secciones anteriores para la realización de filtros para bajas frecuencias se requiere resistores con altos valores de resistencia ( $G\Omega$ ) y/o condensadores con altos valores de capacitancia ( $\mu F$ ), dichos elementos ocupa una área significativa de silicio, es por ello que es necesario emular el comportamiento de estos elementos,

existen diversas formas para solucionar este problema, algunos de ellos son escaladores de impedancia (el factor de escalamiento no es muy grande y no permite sintonización de frecuencia), técnicas de división y cancelación de corriente (problemas de offset y mismatch) y, en los últimos años se ha propuesto resistores de alto valor sintonizables o también llamados Pseudo-Resistores.

### 2.8.1. Curva Característica de Corriente vs Voltaje de un Resistor

Cuando se considera un resistor lineal, se entiende por ello que es un elemento el cual limita el flujo de corriente a través de este, un resistor de este tipo obedece la ley de Ohm, la cual describe una relación lineal entre la corriente y el voltaje, y el factor de proporcionalidad es la resistencia, por lo tanto en una gráfica de la caída de voltaje entre los terminales del resistor contra corriente que pasa por él, se espera una curva como la mostrada en la Figura 2.12.

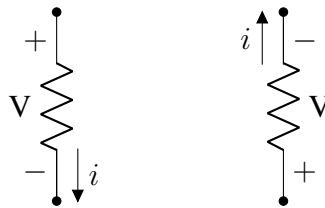


Figura 2.11: Símbolo del resistor con la dirección de la corriente y caída de potencial.

De acuerdo a la Figura 2.12 y la ley de Ohm, la corriente en un resistor lineal esta dada por 2.22

$$V = RI \tag{2.22}$$

donde V es la caída voltaje entre los terminales del resistor.

Con la finalidad de entender lo que representa la ecuación 2.22 es necesario utilizar el concepto de derivada, la cual mide la pendiente de una función en cada punto, de 2.22 y derivando la corriente con respecto al voltaje se obtiene que el valor de resistencia se puede encontrar como se muestra en la ecuación 2.23

$$\frac{dI}{dV} = \frac{1}{R} \tag{2.23}$$

lo cual era de esperarse ya que en un resistor lineal la pendiente es constante, dado que describe una línea recta que pasa por el origen.

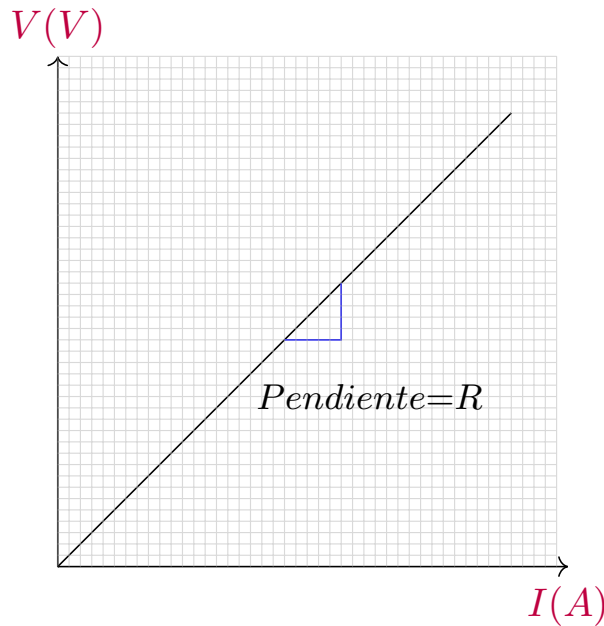


Figura 2.12: Curva característica de un resistor lineal.

Ahora si consideramos una función  $I(V)$  arbitraria la cual se puede expandir en series de Taylor como

$$I(V) = I(a) + \frac{I'(a)}{1!}(V - a) + \frac{I''(a)}{2!}(V - a)^2 + \frac{I^{(3)}(a)}{3!}(V - a)^3 + \dots \quad (2.24)$$

Donde  $I^{(3)}$  denota la tercera derivada de  $I(V)$  con respecto a la variable  $V$ .

Comparando 2.22 y el factor del primer termino de 2.24 se obtiene ecuación 2.23, lo anterior muestra que en un resistor lineal no existe otra competente más que la primera derivada la cual es una constante y define la pendiente ( $1/\text{Resistencia}$  en una curva I-V) de una curva la cual pasa por cero amperios ( $a = 0$ ) para cero voltios ( $V(a) = 0$ ), y que hace referencia a que el valor de  $I(a)$  es cero y físicamente refleja que no existe un valor de constante (offset) que desplace la curva de Voltaje contra Corriente. Tampoco existen segundas, terceras, n-esimas derivadas en la curva las cuales relacionan un comportamiento cuadrático, cúbico y enésimo crecimiento.

Un resistor ideal exhibe una relación lineal como la antes mencionada, sin embargo un resistor real tiene un comportamiento lineal limitado a un rango de voltaje aplicado, en muchas ocasiones los resistores reales tienen muchas de las componentes mencionadas anteriormente.

## 2.8.2. Pseudo-Resistores o Resistores de Alto Valor

Los Pseudo-Resistores son dispositivos que emulan el comportamiento de un resistor. En circuitos integrados se ha usado transistores MOS en las diferentes regiones como saturación (valores moderados de resistencia), lineal (valores bajos de resistencia) e inversión débil (valores altos de resistencia), en cada región de operación los transistores MOS exhiben diferentes valores de resistencia, como se mencionó en la sección 2.5 en la región de subumbral se alcanzan corrientes en el orden de (pA-nA) (alta resistencia). En la bibliografía se han propuesto diferentes resistores de alto valor, algunas de las topologías propuestas se muestran en las Figuras 2.13, 2.14, 2.15 y 2.16. Estas muestran diferentes topologías en las cuales la trayectoria resistiva está dada entre terminales A y B, la idea principal del funcionamiento de dichos circuitos es una trayectoria resistiva formada por los transistores PMOS y un elemento que fija el punto de operación de los transistores, este puede ser una configuración a diodo (Figura 2.13 [33]), un voltaje de compuerta constante (Figuras 2.14 [34] y 2.15 [35]), una fuente de corriente con un seguidor (Figura 2.16 [36]), o un circuito mucho más complejo, un análisis más detallado de estos elementos se presenta en el Capítulo 3, la cual es parte del aporte de esta tesis.

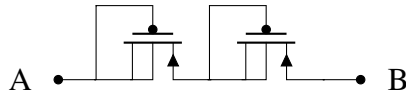


Figura 2.13: Resistor con configuración diodo.

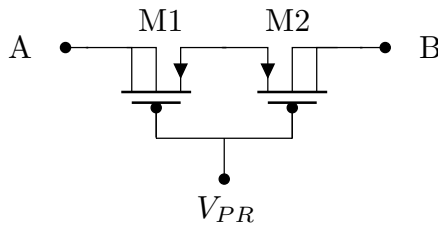


Figura 2.14: Resistor  $V_{GS}$  variable.

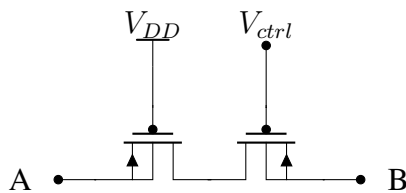


Figura 2.15: Resistor  $V_{GS}$  variable con doble voltaje de control.

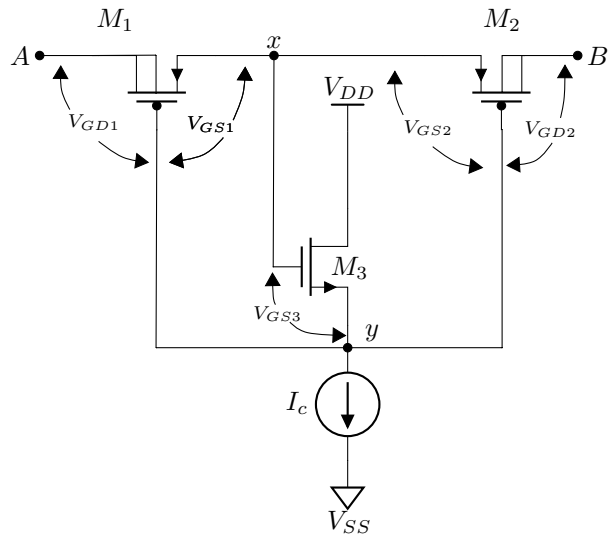


Figura 2.16: Resistor  $V_{GS}$  constante con seguidor de fuente.



# Capítulo 3

## Diseño de Resistores de Alto Valor

---

---

Los Pseudo-resistores de alto valor son elementos útiles para diferentes aplicaciones tales como: polarización de transistores de compuerta casi flotante (quasi-floating gate), técnicas de cancelación de offset, filtros de baja frecuencia y espejos de corriente programable.

Estos elementos están conformados por transistores MOS operando en la región de subumbral, donde la capa de inversión de portadores no se ha generado y por lo tanto el canal tiene una alta resistencia asociada, la característica exponencial en inversión débil hace que la curva de voltaje contra corriente no sea lineal y por lo tanto los PRs tienen una excursión de voltaje lineal limitada, por ello en la bibliografía se ha propuesto diferentes topologías que permiten mejorar esta característica [37].

En este capítulo se presenta el fundamento matemático que permite analizar y extraer algunas características de PRs propuestos en la bibliografía y en esta tesis, las curvas de corriente contra voltaje son obtenidas y la distorsión armónica total generada por cada elemento es calculada.

### 3.1. Modelo de Pseudo-Resistores de Alto Valor

2.10 predice un comportamiento exponencial de la corriente en el transistor con respecto a la compuerta, drenaje y fuente, organizando algunos términos se puede escribir de la forma mostrada en 3.1, luego cambiando las variables  $V_{GnS} = V_G - nV_S$  y  $V_{GnD} = V_G - nV_D$  se puede obtener 3.2.

$$I_d = I_{D0} \left( \exp\left(\frac{V_G - nV_S}{U_t}\right) - \exp\left(\frac{V_G - nV_D}{U_t}\right) \right) \quad (3.1)$$

$$I_d = I_{D0} \left( \exp\left(\frac{V_{GnS}}{U_t}\right) - \exp\left(\frac{V_{GnD}}{U_t}\right) \right) \quad (3.2)$$

La ecuación refleja que el transistor MOS en subumbral es un elemento en el que la corriente es modulada por los voltajes aplicados en sus terminales (todos referidos al voltaje de cuerpo de transistor).

Con la finalidad de encontrar una expresión que permita entender los resistores de alto valor, se expande 3.2 como una aproximación de segundo orden en series de Taylor, como se muestra en 3.3, sin embargo para este caso la ecuación esta compuesta por dos variables  $V_{GnS}$  y  $V_{GnD}$  (la expansión se hizo entorno al los puntos  $V_{GnS} = 0$  y  $V_{GnD} = 0$ ) para ello se necesitó series de taylor multivariable.

$$I_d(V_{GnS}, V_{GnD}) = I(0, 0) + \frac{\partial I(0, 0)}{\partial V_{GnS}} V_{GnS} + \frac{\partial I(0, 0)}{\partial V_{GnD}} V_{GnD} + \frac{1}{2!} \left( \frac{\partial^2 I(0, 0)}{\partial V_{GnS}^2} V_{GnS}^2 + 2 \cdot \frac{\partial^2 I(0, 0)}{\partial V_{GnS} \partial V_{GnD}} V_{GnS} V_{GnD} + \frac{\partial^2 I(0, 0)}{\partial V_{GnD}^2} V_{GnD}^2 \right) \quad (3.3)$$

Después de evaluar las derivadas parciales se obtuvo la ecuación 3.4.

$$I_d(V_{GnS}, V_{GnD}) = I_{D0} \left( \frac{V_{GnS}}{nU_t} - \frac{V_{GnD}}{nU_t} + \frac{V_{GnS}^2}{2n^2U_t^2} - \frac{V_{GnD}^2}{2n^2U_t^2} \right) \quad (3.4)$$

Agrupando los términos lineales y cuadráticos de 3.4 se obtiene:

$$I_d(V_{GnS}, V_{GnD}) = I_{D0} \left( \frac{V_{GnS} - V_{GnD}}{nU_t} + \frac{V_{GnS}^2 - V_{GnD}^2}{2n^2U_t^2} \right) \quad (3.5)$$

De 3.5 es posible afirmar lo siguiente:

- Al obtener las derivadas de orden superior en la serie de Taylor se obtendrán polinomios de mayor grado, lo cual hace que el valor de  $I_d$  crezca rápidamente como lo predice el modelo exponencial.
- El transistor al ser un dispositivo perfectamente simétrico exhibe una relación simétrica entre sus voltajes aplicados en los terminales.
- Las segundas derivadas dejan en la ecuación de  $I_d$  un termino cuadrático, el cual hace que la curva de voltaje contra corriente no sea lineal. Sin embargo si las diferencias de potencial  $V_{GnS}$  y  $V_{GnD}$  son pequeños y valores muy cercanos, los valores  $V_{GnS}^2$  y  $V_{GnD}^2$  serán aun mas pequeños, dejando así diminutos cambios de  $V_{GnS} - V_{GnD}$ , y casi nulos  $V_{GnS}^2 - V_{GnD}^2$ , lo anterior permite obtener cambios de corriente relativamente lineales.

Por otro lado en la bibliografía han propuesto diferentes tipos de pseudo-resistores como los que se muestran en las Figuras 2.13, 2.14, 2.15, 2.16 de la sección 2.8.2. Dichos elementos son implementados usando transistores MOS en la región de subumbral como se mencionó anteriormente. Una topología general de dichos resistores se muestra en la Figura 3.1, donde la trayectoria resistiva consta de dos transistores MOS (PMOS o NMOs) en serie. Para controlar el punto de operación de los MOS un circuito de

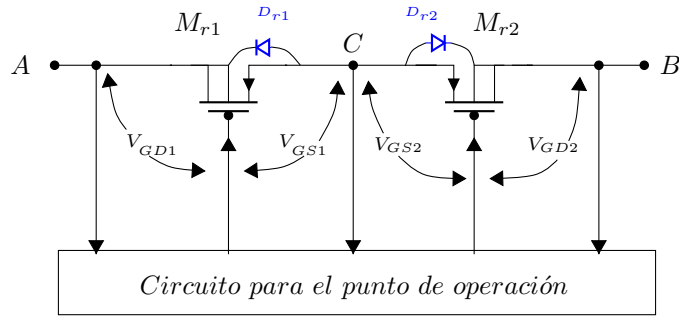


Figura 3.1: Topología general de los resistores de alto valor.

control debe permitir variaciones muy pequeñas de  $V_{GS}$  y  $V_{GD}$  para obtener cambios lineales en la corriente.

Los transistores PMOS tienen un pozo N el cual debe estar conectado a una de las terminales del transistor, es natural conectar dicho pozo al nodo más positivo con la finalidad de mantener las uniones fuente-pozo y drenaje-pozo siempre polarizadas en inversa y evitar que el diodo formado por dichas uniones conduzca grandes cantidades de corriente. Sin embargo en un resistor no hay polaridad en sus terminales, es decir, cualquiera de ellas puede ser más positiva que la otra, pero en el caso de usar un solo transistor se corre el riesgo de polarizar el diodo en directa. Es por ello que en la topología general se propone usar dos transistores de tal manera que los diodos nunca estén polarizados simultáneamente en directa.

Con base en la topología de la Figura 3.1 y 3.5 se puede afirmar que el elemento de control debe mantener las diferencias de potencial  $V_{GS}$  y  $V_{GD}$  controladas de modo que  $V_{GnS}$  y  $V_{GnD}$  se mantenga casi constante y por consiguiente los cambios de corriente sean lineales.

## 3.2. Topologías de Resistores de Alto Valor

### 3.2.1. Topología 1: Resistor de $V_{GS}$ Variable

Uno de los PRs ampliamente utilizados en procesamiento analógico para realización de altos valores de resistencias es el que se muestra en la Figura 3.2 propuesto en [38], este es semejante al mostrado en la Figura 2.14, con la ligera diferencia de los capacitores  $C_1$  y  $C_2$ , las características de dicho elemento son descritas a continuación. El resistor consta de 2 transistores conectados en serie operando en inversión débil polarizados por el voltaje  $V_{cp}$ . El transistor M1 tiene su terminal de drenaje conectado a las compuertas de los transistores  $M_2$  y  $M_3$ , y su compuerta y fuente a  $V_{cp}$ , lo cual hace que opere en región de corte.

Dicho transistor genera un voltaje para establecer el punto de operación de los transistores, también en pequeña señal el transistor  $M_1$  exhibe una resistencia de valor  $R_{DS1}$  y junto con los capacitores forman un filtro pasa-altas de baja frecuencia con una constante de tiempo  $\tau = R_{DS1}C_{1,2}$  que aísla el voltaje de compuerta de los transistores  $M_2$  y  $M_3$  de las componentes DC entre las terminales  $A$  y  $B$ . El voltaje del nodo  $x$  está dado por el voltaje  $V_{cp}$  y las componentes de AC de  $A$  y  $B$  que tienen la suficiente frecuencia para pasar por el filtro pasa-altas, dichas componentes de AC que llegan al nodo se pueden escribir de la siguiente forma:

$$v_x = \frac{v_A + v_B}{2} \quad (3.6)$$

lo anterior es válido cuando los capacitores  $C_1$  y  $C_2$  son iguales.

En la ecuación anterior  $v_x$  representa el voltaje AC (letras minúsculas son usadas para las componentes de AC) y por lo tanto el voltaje total en el nodo  $V_x$  se puede escribir como la contribución DC y AC como se muestra a continuación

$$V_x = V_{cp} + v_x = V_{cp} + \frac{v_A + v_B}{2} \quad (3.7)$$

Es así que los capacitores  $C_{1,2}$  sirven también para realizar un promedio de los voltajes de AC entre los terminales  $A$  y  $B$ , promedio que sirve para mitigar los efectos de los voltajes AC de  $A$  y  $B$  que hacen que los transistores  $M_2$  y  $M_3$  salgan de su punto de operación. Esta estrategia de linealización usando capacitores es descrita en [39].

Cabe destacar que el voltaje  $V_{cp}$  aplicado debe ser menor que cero pero no menor que el voltaje umbral de los transistores  $M_2$  y  $M_3$  para que exista una resistencia alta en el canal.

Con base en el modelo de la Figura 3.1 y 3.5 es posible predecir que el comportamiento de este resistor tendrá una excursión lineal muy limitada, ya que la única señal de entrada que detecta es la proveniente de los capacitores. Sin embargo el punto de operación lo establece el voltaje de control aplicado, lo que hace que los transistores experimenten cambios abruptos de  $V_{GS}$  y a su vez grandes cambios de corriente cuando el voltaje de entrada ( $V_A - V_B$ ) es relativamente grande [22].

### 3.2.2. Topología 2: Resistor de $V_{GS}$ Constante

Con la finalidad de controlar el  $V_{GS}$  y así permitir pequeñas variaciones de corriente en los transistores, en [36] se propuso usar la topología mostrada en la Figura 2.16, dicha propuesta usa un seguidor de fuente como elemento de control, el cual mide el voltaje en el nodo  $x$  y genera un voltaje en las compuertas de los transistores MOS (nodo  $y$ ) que está dado por 3.8. Por lo tanto el voltaje  $V_{GS}$  de los transistores  $M_1$  y

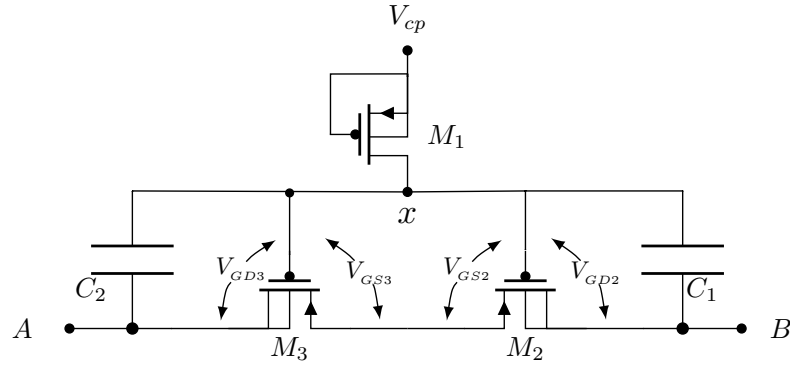


Figura 3.2: Resistor  $V_{GS}$  variable.

$M_2$  esta dado por la 3.9, así se puede observar que la diferencia de potencial entre la fuente y el drenaje de cada transistor queda completamente definida. Sin embargo de acuerdo a 3.5 se puede ver que el los nodos  $A$  y  $B$  con respecto a la compuerta no están completamente definidos, lo cual hace que aun exista un comportamiento exponencial de corriente y como consecuencia se producen cambios de resistencia para grandes voltajes de entrada.

$$V_y = V_x - V_{GS_3} \quad (3.8)$$

$$V_{GS_{1,2}} = -V_{GS_3} \quad (3.9)$$

### 3.2.3. Topología 3: Resistor de $V_{GS}$ Constante con Par Diferencial

Este resistor fue propuesto en [4], el cual su elemento de control es un par diferencial el cual es mostrado en la Figura 3.3, el funcionamiento de dicho elemento se describe a continuación.

El transistor  $M_3$  junto con la fuente de corriente  $I_c$  funcionan como un seguidor de fuente el cual en el nodo  $z$  genera un voltaje  $V_x - V_{GS_3}$ , el transistor  $M_4$  junto con la fuente de corriente  $I_{bias}$  funcionan como una etapa compuerta común, lo cual quiere decir que la fuente del transistor  $M_4$  actúa como la entrada de la señal y genera en el nodo  $y$  una salida de voltaje como se muestra en 3.10. Por lo tanto la diferencia de potencial para la compuerta y fuente de los transistores se puede determinar con 3.11, la cual muestra que el voltaje  $V_{GS_{1,2}}$  generado es en magnitud menor que el generado con la topología anterior en 3.9, esto permite que mayores valores de resistencia puedan ser generados con esta topología. Sin embargo para valores grandes de voltaje de entrada el resistor pierde linealidad debido al poco control de los voltajes de entrada.

$$V_y = V_{DS_4} + V_z = V_{DS_4} + V_x - V_{GS_3} \quad (3.10)$$

$$V_{GS_{1,2}} = V_{DS_4} - V_{GS_3} \quad (3.11)$$

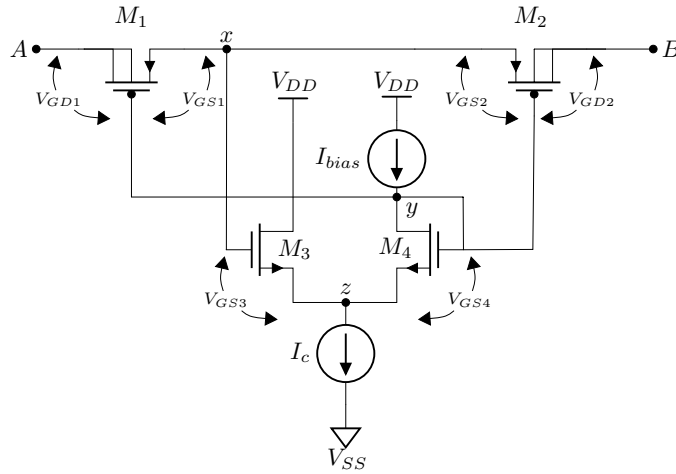


Figura 3.3: Resistor de  $V_{GS}$  Constante con Par Diferencial.

### 3.2.4. Topología 4: Resistor con Seguidor de Fuente y Baterías Flotantes

En la Figura 3.4 el pseudo-resistor usa baterías flotantes formadas por las fuentes de corriente  $I_1$  y los resistores  $R$  propuesto en [4]. Dado que la corriente  $I_1$  que entra a los nodos  $A_1$  es la misma que sale por el nodo  $A_2$  entre esos dos nodos se tiene una diferencia de potencial que emula el comportamiento de una batería flotante, dicho circuito como en el caso del resistor de la Figura 3.3 permite tener valores mas elevados de resistencia, ya que la diferencia de potencial es igual a  $V_{GS_{1,2}} = -V_{GS_3} + V_R$ , lo cual quiere decir que en magnitud la diferencia de potencial aplicado a los transistores es menor que la del transistor  $M_3$  y por lo tanto su corriente es exponencialmente menor.

### 3.2.5. Topología 5: Resistor con Doble Source Follower Cruzado (Propuesta 1)

En la Figura 3.5 se presenta la primera propuesta de esta tesis. La topología consta de dos seguidores de fuente, el seguidor de fuente del transistor conformado por el transistor  $M_3$  y la fuente de corriente  $I_{c1}$  generan una diferencia de potencial entre el nodo  $A$  y  $y_1$  el cual a su vez define  $V_{D_1} - V_{G_2}$ . El otro seguidor de fuente cumple la misma función anterior, este resistor mide y controla dos nodos diferentes por lo cual se esperaría que mejorara la linealidad.

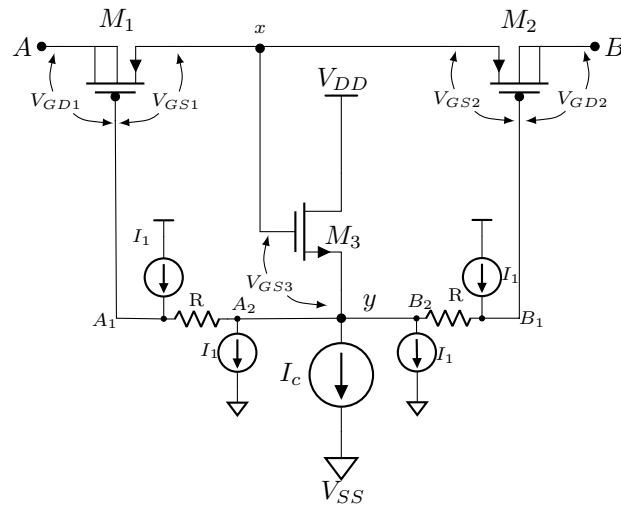


Figura 3.4: Resistor con baterías flotantes.

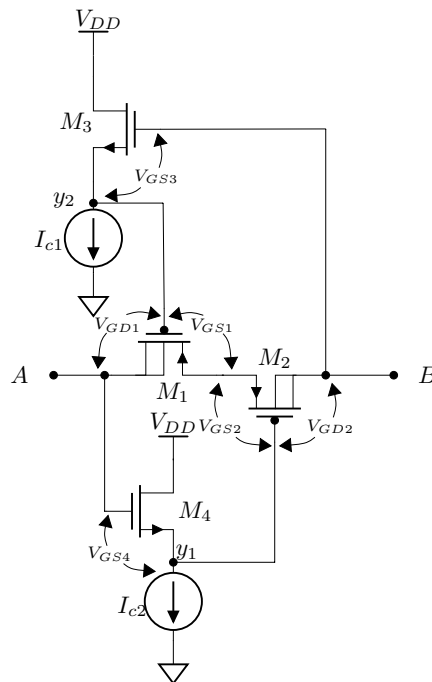


Figura 3.5: Resistor con doble seguidor de fuente cruzado.

### 3.2.6. Topología 6: Resistor de $V_{GS}$ Constante Usando Par diferencial para Promediar Voltajes (Propuesta 2)

Uno de los problemas de las topologías anteriores es que no controlan totalmente los voltajes de todas las terminales del transistor MOS, como se mencionó en la Sección 3.1

para mantener una resistencia constante es necesario definir completamente las diferencias de potencial  $V_{GS}$  y  $V_{DS}$ . Con base en lo anterior se propone la topología mostrada en la Figura 3.6 la cual se sustenta en el trabajo propuesto en [40]. Este PR usa como elemento para fijar el punto de operación un par diferencial, cuya función es medir los voltaje en los nodos  $z$  y  $x$  para luego en el nodo  $y$  realizar un promedio de los voltajes de entrada menos un promedio de los  $V_{GS4}$  y  $V_{GS3}$ , como se muestra en la ecuación 3.12.

Para aumentar el valor resistivo alcanzado los transistores  $M_5$  y  $M_6$  han sido agregados a la topología original, los cuales también operan el subumbral. Bajo estas condiciones el par diferencial presentado fija los voltajes de los transistores  $V_{GS5}$ ,  $V_{GD1}$ ,  $V_{GS6}$  y  $V_{GD2}$ , las condiciones anteriores permiten que los transistores operen sin cambios abruptos de voltaje en sus terminales y como consecuencia los portadores presentes en el canal deberían mantenerse casi constantes, permitiendo lograr altas resistencias ya que no hay cambios abruptos de corriente.

$$V_y = \frac{V_x + V_z}{2} - \frac{V_{GS3} + V_{GS4}}{2} \quad (3.12)$$

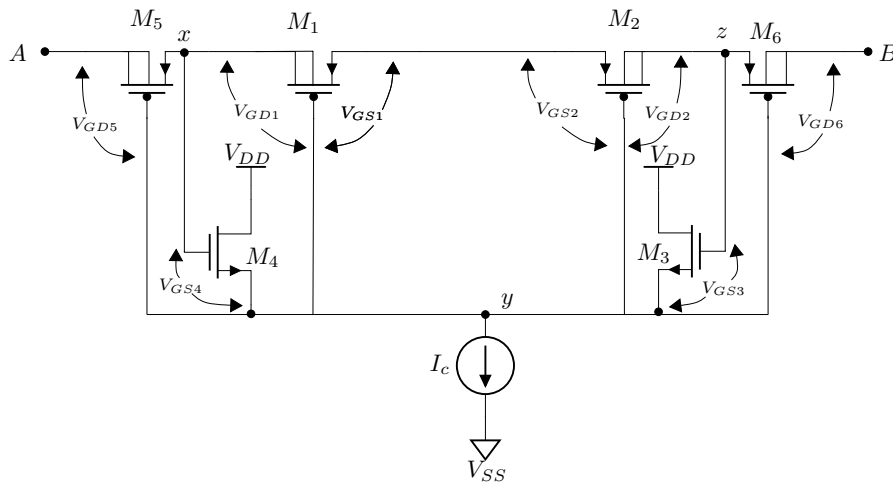


Figura 3.6: Resistor par diferencial.

### 3.2.7. Topología 7: Resistor de Promedio (Propuesta 3)

Esta topología extiende el concepto expuesto en la propuesta anterior y usa un circuito para fijar el punto de operación parecido al de la Figura 3.3, del pseudo-resistor de la Figura 3.6 se puede observar que el nodo  $y$  actúa como un nodo que promedia de las entradas menos un promedio de los  $V_{GS}$  de los transistores, así podemos usar esta estrategia para promediar todos los voltajes en los nodos de los transistores y posteriormente usar una etapa de compuerta común para disminuir en magnitud el voltaje generado en el nodo  $y$  para obtener muy altos valores de resistencia y eliminar los transistores  $M_5$  y



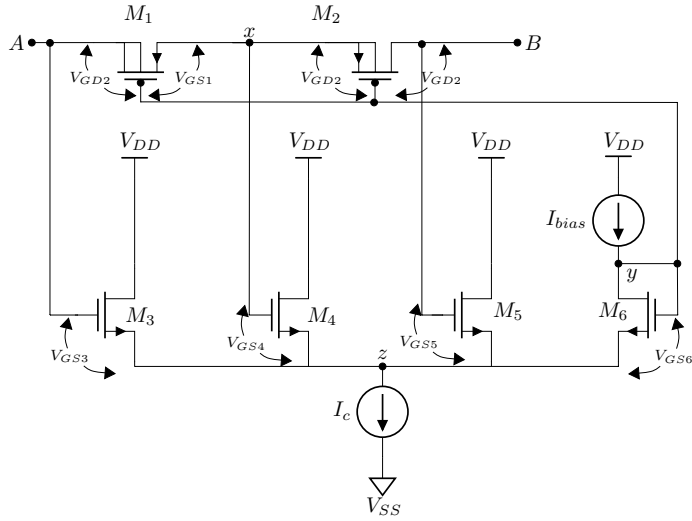


Figura 3.7: Resistor de promedio.

$M_6$  de la propuesta anterior.

$$V_z = \frac{V_A + V_B + V_x}{3} - \frac{V_{GS3} + V_{GS4} + V_{GS5}}{3} \quad (3.13)$$

La Figura 3.7 presenta el resistor propuesto el cual esta compuesto por los transistores  $M_3$ ,  $M_4$ ,  $M_5$  y la fuente de corriente  $I_c$  que hacen el promedio de los voltaje  $A$ ,  $x$  y  $B$  en el nodo  $z$  como se muestra en 3.13 y el transistor  $M_6$  se comporta como una etapa compuerta común la cual toma el potencial del nodo  $z$  y lo resta con el voltaje  $V_{DS6}$ , generando así un voltaje en el nodo  $y$  de  $V_{DS} + V_z$ .

La característica de medir todos los voltajes de entrada permite tener una corriente controlada al punto de pensar que debería existir una corriente constante independiente de la entrada, sin embargo cabe recordar que la ganancia del seguidor de fuente es menor a uno, lo cual quiere decir que en el nodo  $z$  existe una pequeña diferencia con respecto al voltaje de entrada, de esta manera los transistores experimentan pequeños cambios de corriente con respecto al voltaje aplicado y en consecuencia existe una gran resistencia asociada entre los nodos  $A$  y  $B$ .

### 3.3. Dimensionamiento de los Resistores de Alto Valor

Para el dimensionado de los resistores de alto valor se definieron los mismos valores de la relación de aspecto  $\left(\frac{W}{L}\right)_{pmos}$  para los transistores PMOS que conforman la trayectoria resistiva, por otro lado cada elemento de control del resistor se realizó un

	Transistor	$(W/L) [\mu m/mum]$
Topología 1	$M_1, M_2, M_3$	3/1.2
Topología 2	$M_1, M_2$	3/1.2
	$M_3$	10.8/1.2
Topología 3	$M_1, M_2$	3/1.2
	$M_3, M_4$	3/2.4
Topología 4	$M_1, M_2$	3/1.2
	$M_3$	7.5/1.2
Topología 5	$M_1, M_2$	3/1.2
	$M_3, M_4$	10.8/1.2
Topología 6	$M_1, M_2$	3/1.2
	$M_4, M_3$	10.8/1.2
Topología 7	$M_1, M_2$	3/1.2
	$M_3, M_4, M_5$	3/72.4
	$M_6$	42/2.4

Tabla 3.1: Dimensiones de cada topología.

dimensionado diferente, considerando que casi todos los elementos de control se basan en la idea del seguidor de fuente, el valor de  $\frac{W}{L}$  se eligió de acuerdo a las siguientes condiciones:

- Una fuente de corriente define el valor de  $V_S$  del transistor MOS.
- El valor de  $V_S$  es el voltaje de salida que genera  $V_{GS} = V_{in} - V_o$
- El valor de voltaje de entrada ( $V_{in}$ ) menos el voltaje de salida  $V_o$  generan un  $V_{GS}$  apropiado para obtener una corriente fijada por la fuente de corriente.

De acuerdo a lo anterior se puede establecer que para obtener los tamaños adecuados para los elementos de control es necesario que corrientes pequeñas sean fijadas con la fuente independiente para así obtener valores pequeños  $V_{GS}$ , por otro lado desde una aproximación de primer orden es posible ver que en subumbral la corriente es proporcional a

$$I \propto \frac{W}{L} V_{GS} \quad (3.14)$$

por lo tanto para una determinada corriente en el seguidor de fuente el  $V_{GS}$  es mínimo si  $\frac{W}{L}$  tiene valores grandes, con base en lo anterior se obtuvieron las dimensiones de la Tabla 3.1, los voltajes de polarización  $V_{DD}$  y  $V_{SS}$  usados fueron de 1.65 V y -1.65 V respectivamente.

## 3.4. Simulaciones de los Resistores

### 3.4.1. Simulaciones en DC

Para evaluar el comportamiento de los resistores analizados y propuestos se realizó simulaciones en DC. Como se presentó en el marco teórico una curva de corriente contra voltaje de un resistor debería ser una línea recta, esta misma característica se espera obtener en las simulaciones.

para realizar la simulación se consideró la configuración mostrada en la Figura 3.8.

Resistor	Elemento de control ( $x$ )	Barrido	Incremento
Topología 1	$V_{cp}$	(-0.9,-0.8) V	0.01 V
Topología 2	$I_c$	(1,50) nA	5 nA
Topología 3	$I_c, I_{bias}$	(10,35) $\mu$ A, 1 nA (constante)	2 $\mu$ A
Topología 4	$I_1, I_c$	(18-22) $\mu$ A, 50 $\mu$ A (constante)	0.5 $\mu$ A
Topología 5	$I_c$	(1,25) nA	3n
Topología 6	$I_c$	(10-80) nA	10 nA
Topología 7	$I_c, I_{bias}$	(1-19) $\mu$ A, 0.1 nA (constante)	1 $\mu$ A

Tabla 3.2: Parámetros simulación DC.

Con la finalidad de evaluar el comportamiento de los resistores se hizo un barrido desde -0.4 V hasta 0.4 en el voltaje  $V_{in}$  aplicado al  $PR$ , y en el elemento de control se efectuó también un barrido como se muestra en la Tabla 3.2, los resultados de las simulaciones de corriente contra voltaje aplicado y resistencia se muestran en las Figuras 3.9, 3.10, 3.11, 3.14 y 3.15.

Con base en las figuras es posible afirmar que las topologías que presentan una curva más lineal son las dos últimas topologías propuestas en esta tesis. Para comparar la linealidad de cada uno de los PRs considerados en este trabajo se encontró la derivada de la corriente respecto al voltaje aplicado y se halló el valor inverso de esta para obtener la resistencia, al graficar el valor hallado de la resistencia se espera un valor constante, independiente del voltaje aplicado, sin embargo, su valor cambia para valores grandes de la señal de entrada, los resistores propuestos en esta tesis son los que presentan una menor variación para grandes cambios en el voltaje aplicado.

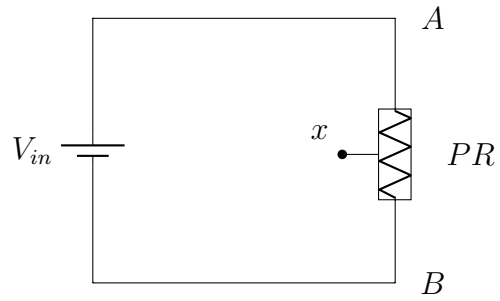


Figura 3.8: Configuración para Caracterización en DC.

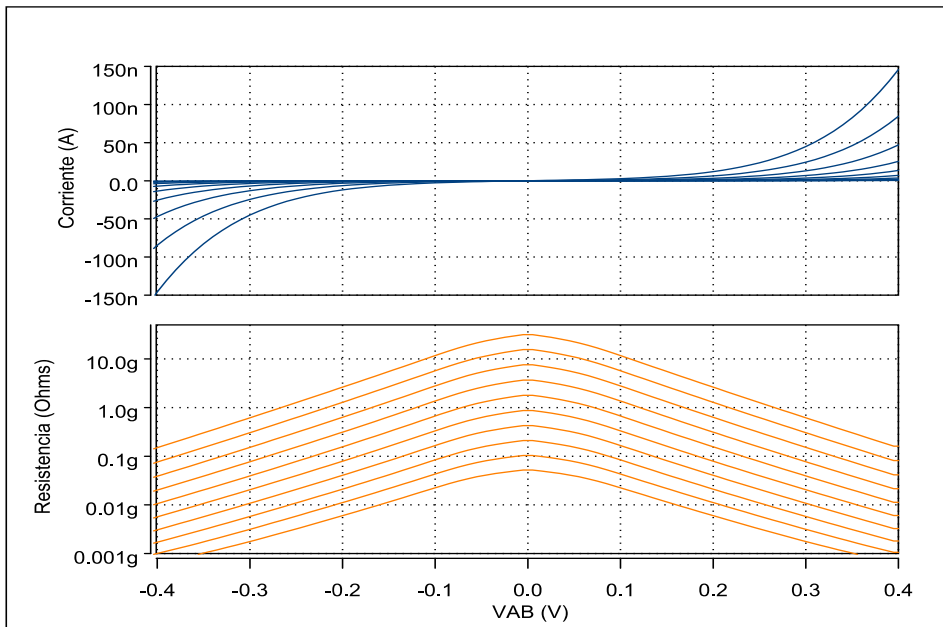


Figura 3.9: Curva I-V y resistencia de la topología 1 (Figura 3.2) en función del voltaje AB.

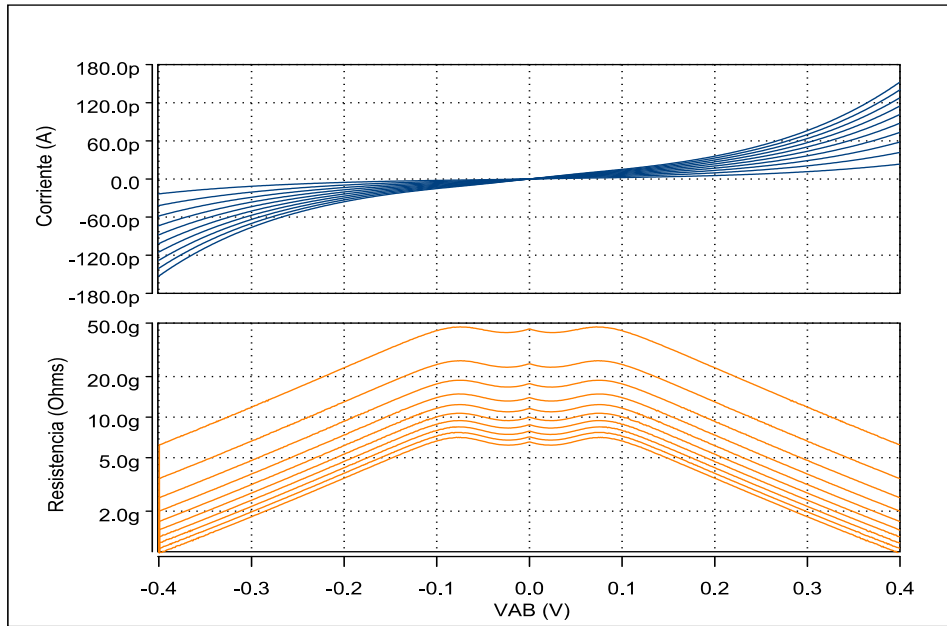


Figura 3.10: Curva I-V y resistencia de la topología 2 (Figura 2.16) en función del voltaje AB.

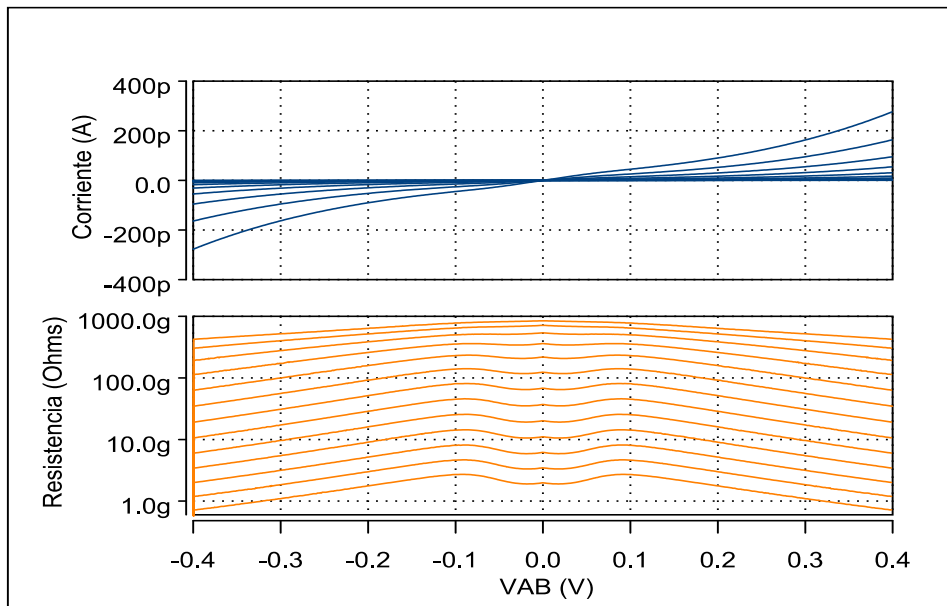


Figura 3.11: Curva I-V y resistencia de la topología 3 (Figura 3.3) en función del voltaje AB.

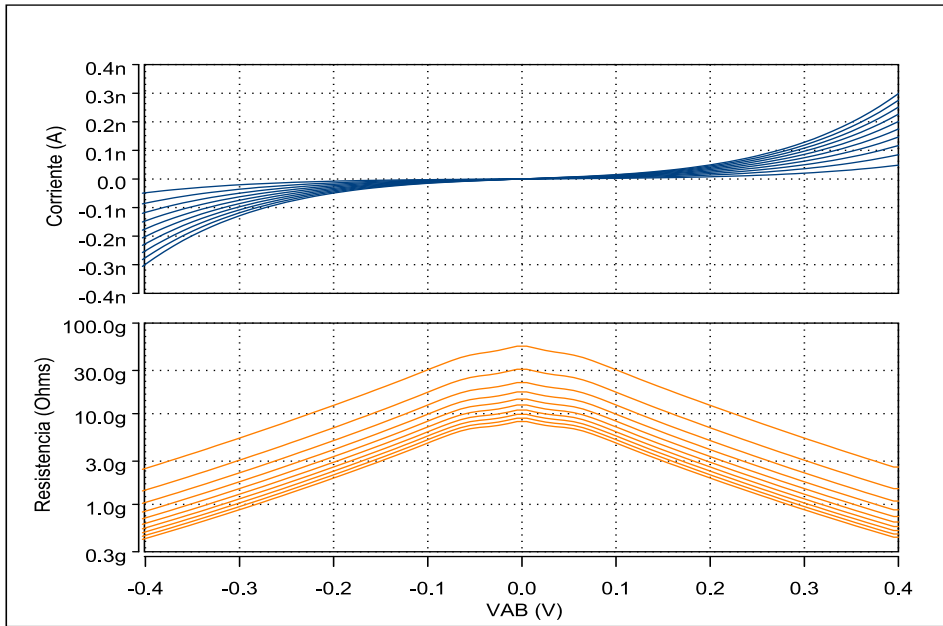


Figura 3.13: Curva I-V y resistencia de la topología 5 (Figura 3.5) en función del voltaje AB.

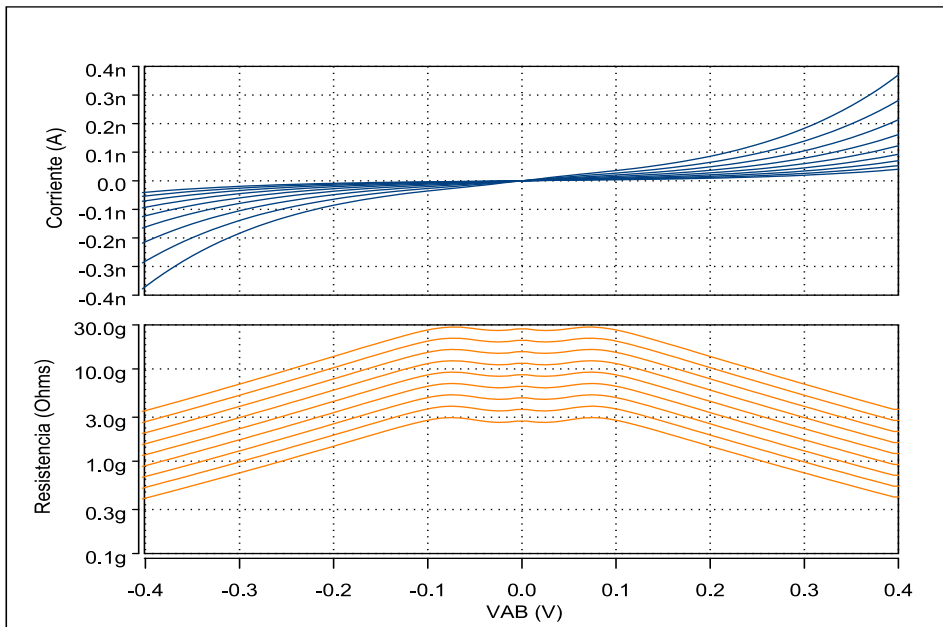


Figura 3.12: Curva I-V y resistencia de la topología 4 (Figura 3.4) en función del voltaje AB.

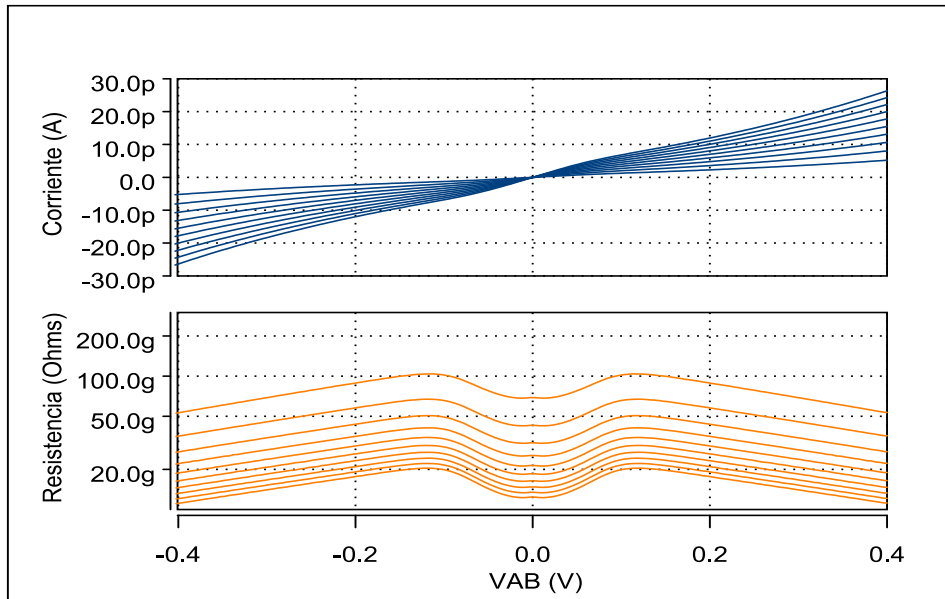


Figura 3.14: Curva I-V y resistencia de la topología 6 (Figura 3.6) en función del voltaje AB.

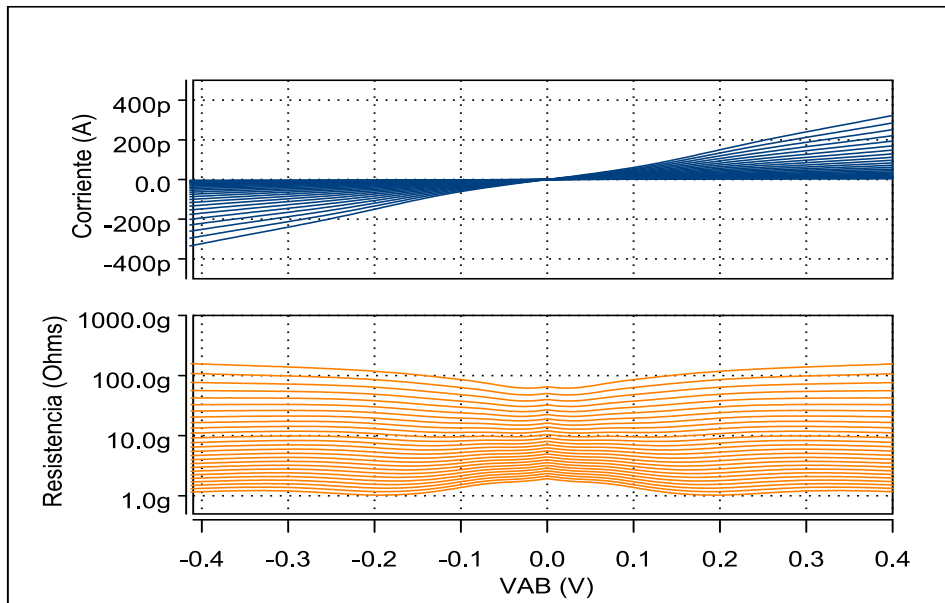


Figura 3.15: Curva I-V y resistencia de la topología 7 (Figura 3.7) en función del voltaje AB.

Por último para realizar una comparación cualitativa de los valores de resistencia alcanzada y las características de cada PR, se fijó cada uno a  $35\text{ k}\Omega$  aproximadamente,

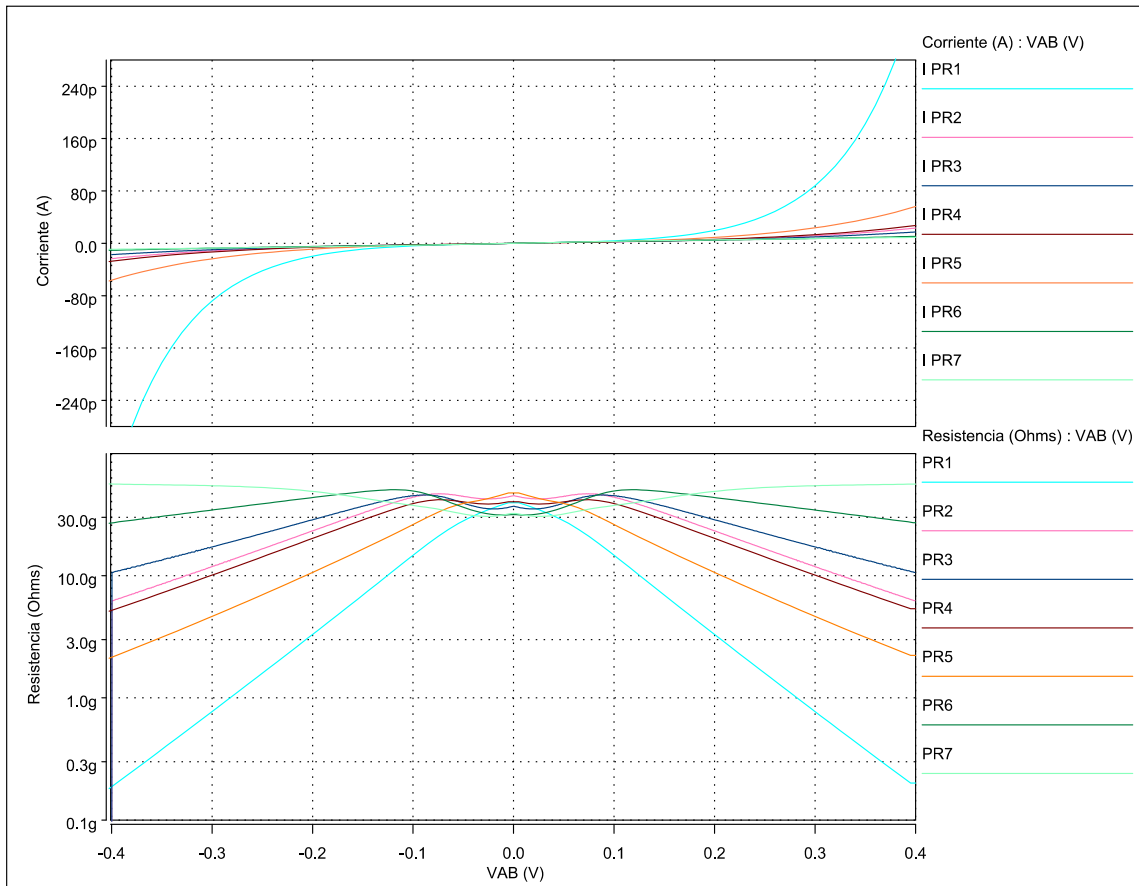


Figura 3.16: Curvas I-V y resistencia en DC de cada uno de los PRs

la Figura 3.16 muestra que las topologías 6 y 7 mantienen el valor resistivo para excursiones de voltaje mayores respecto a los PR 1,2,3,4,5. En la Figura también se puede observar que el PR 1 disminuye su resistencia a mayor razón, lo cual concuerda con lo esperado pues este elemento controla el voltaje de compuerta permitiendo así que  $V_D$  y  $V_S$  cambien y por lo tanto  $V_{GS}$  y  $V_{DS}$ , por otro lado los resistores que mantienen de  $V_{GS}$  constante tienen un mejor comportamiento aunque fallan para grandes excursiones de voltaje.

### 3.4.2. Simulaciones Transitorias

Para la simulación transitoria  $V_x$  se reemplaza por una onda senoidal de baja frecuencia, ver Figura 3.8. En la Tabla 3.3 se muestran los valores de los elementos de control de cada topología para la simulación transitoria de cada resistor.

Para la simulación se realizaron las siguientes consideraciones, el voltaje aplicado fue



Resistor	Elemento de control ( $x$ )	Valor del Elemento de control
Topología 1	$V_{cp}$	-0.56
Topología 2	$I_c$	9 pA
Topología 3	$I_c, I_{bias}$	19.2 $\mu$ A, 1 nA
Topología 4	$I_1, I_c$	30.8 $\mu$ A, 50 $\mu$ A
Topología 5	$I_c$	12 pA
Topología 6	$I_c$	24 pA
Topología 7	$I_c, I_{bias}$	2.7 $\mu$ A, 0.1 nA

Tabla 3.3: Parámetros simulación transitoria.

una onda senoidal de frecuencia 1Hz y un barrido de la amplitud de 1mV hasta 400mV, además, de un tiempo de simulación de 3 periodos de señal y un paso máximo de  $Step = Periodo = 214 = 61.03 \mu s$ .

Para caracterizar la excursión lineal del resistor se hizo un análisis de la distorsión armónica total (THD por sus siglas en inglés) en la corriente generada en el resistor para cada valor de amplitud. Los resultados se presentan en la Figura 3.17 y en la Tabla 3.4.

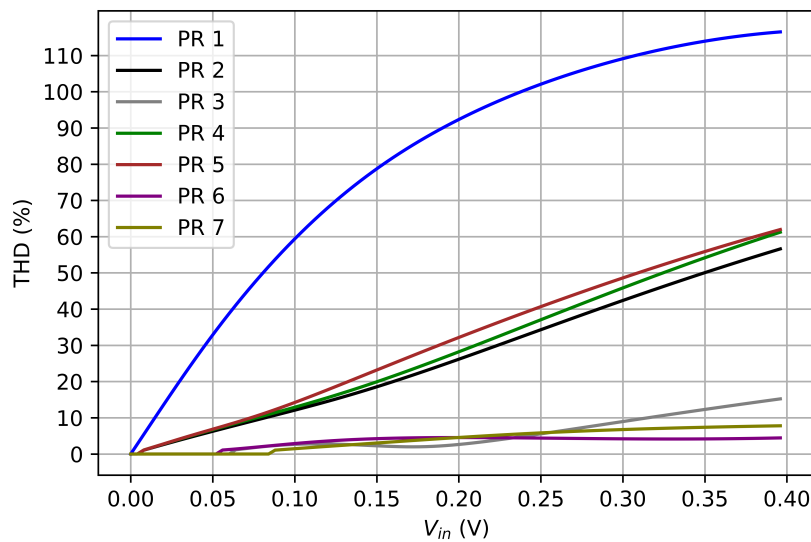


Figura 3.17: Distorsión armónica total para cada resistor.

Topología	Excursión lineal (THD < 1 %)
1	4 mV
2	8 mV
3	64 mV
4	8 mV
5	8 mV
6	52 mV
7	84 mV

Tabla 3.4: Características de los pseudo-resistores.

# Capítulo 4

## Diseño de Amplificadores de Biopotenciales y Filtro Rechaza Banda

---

En el Capítulo 2 se presentó el fundamento teórico de las señales biomédicas y los bloques que conforman un sistema de adquisición, también se estudió el espectro de frecuencias de dichas señales, junto con la amplitud máxima alcanzada. En el capítulo 3 diferentes PRs con capacidad de alcanzar altos valores resistivos fueron analizados, también se estudió la resistencia alcanzada de cada elemento y la excursión lineal a través de un análisis de THD.

En este capítulo se aborda los requerimientos, el diseño y las simulaciones de dos amplificadores de biopotenciales y un filtro notch para rechazar la línea de alimentación (60 Hz) usando Pseudo-resistores de alto valor.

### 4.1. Amplificador con realimentación y acoplo capacitivo

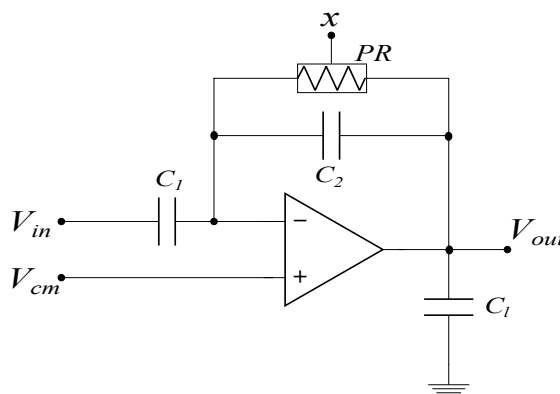


Figura 4.1: Amplificador para biopotenciales.

Para este diseño se usó la topología mostrada de la Figura 4.1, el amplificador de transconductancia utilizado fue el folded cascode, el cual se muestra en la Figura 4.2, para aumentar la ganancia se hizo uso de transistores MOS compuesto en las etapas cascode, el pseudo-resistor empleado fue el de la Figura 3.6, considerando que el nodo *A* sera conectado a la terminal de salida del OTA y el nodo *B* a la terminal inversora.

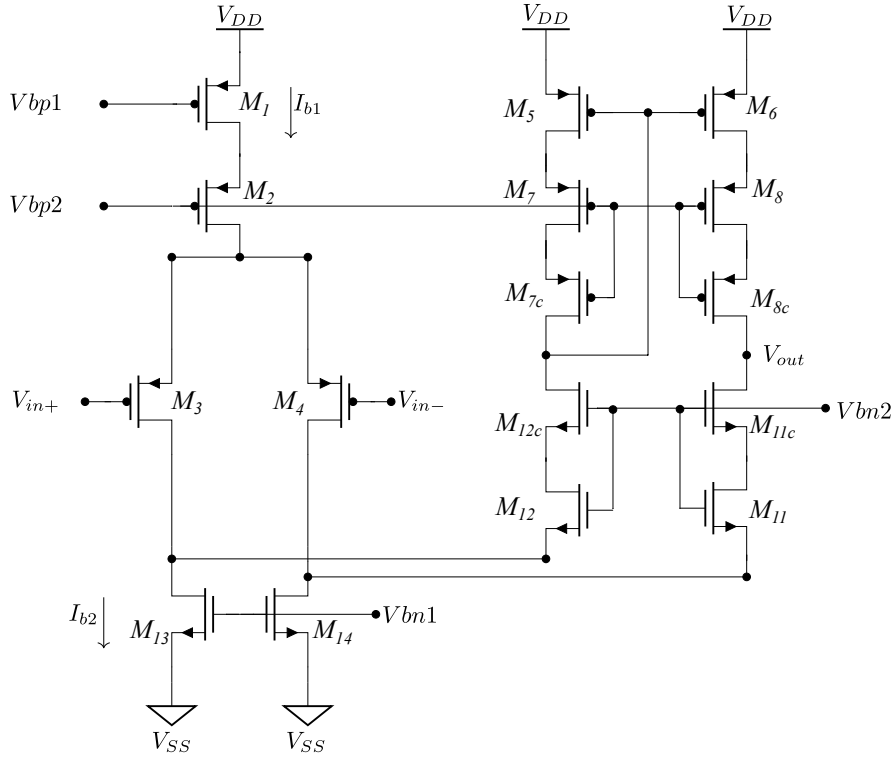


Figura 4.2: OTA Folded Cascode.

Para el dimensionamiento del OTA se usó la metodología  $g_m/I_d$ , la cual relaciona la transconductancia y la corriente de polarización, los cuales definen el producto ganancia ancho de banda y la máxima velocidad de cambio (Slew Rate *SR*) respectivamente. Con base en lo anterior es posible obtener una relación de aspecto  $W/L$  para cada transistor que proporcione las características deseadas del amplificador.

La metodología de  $g_m/I_d$  utiliza las gráficas experimentales o simuladas (con los respectivos modelos de la tecnología usada) de las curvas de corriente normalizada con respecto a la relación de aspecto  $W/L$  contra  $g_m/I_d$ . La corriente normalizada en saturación se puede escribir de la siguiente forma

$$\frac{I_d}{W/L} = \frac{1}{2} \mu C_{ox} (V_{GS} - V_{TH})^2 \quad (4.1)$$

como se puede observar esta cantidad es independiente de  $W/L$ , lo cual quiere decir que si se tiene una curva de dicha corriente con respecto a  $g_m/I_d$  y si existen requerimientos

de diseño que definen un específico valor de transconductancia-corriente, entonces es posible obtener la corriente normalizada y por último encontrar el valor de  $W/L$  que satisface las condiciones de diseño.

Para aplicaciones biomédicas los requerimientos típicos son:

- **Producto ganancia ancho de banda:**  $GBW=1$  MHz
- **Máxima velocidad de cambio**  $SR > 63 \frac{V}{ms}$ , cuyo valor define el  $SR$  mínimo para una señal de 10 KHz con 1 V de amplitud de salida.
- **Capacitor de carga:**  $C_L=2$  pF, valor típico on-chip
- **Fuentes de alimentación:**  $V_{DD}=-V_{SS}= 1.65$

Con base en los requerimientos de diseño es posible obtener el valor de transconductancia necesario a partir de  $GBW$  y la el valor de capacitancia de carga, como se muestra en la ecuación 4.2.

$$g_m = 2\pi GBW C_L = 2\pi \cdot 1 \text{ MHz} \cdot 2 \text{ pF} = 12.6 \mu A/V \quad (4.2)$$

Con la finalidad de obtener un consumo moderado de potencia se eligió un valor de  $I_d = 550 nA$  (para cada rama), el cual genera un  $SR$  de 550 V/ms, y una razón  $g_m/I_d = 22.909$ . De las curvas de corriente normalizada se obtuvo el valor correspondiente para los transistores PMOS y NMOS como se muestra en las Figura 4.5, con base en los valores encontrados el valor de  $W$  para los transistores está dado por

$$W = \frac{I_d}{I_d/W} \quad (4.3)$$

de acuerdo a la ecuación anterior, el ancho de los transistores P y N está dado por la ecuación 4.4.

$$W_{nmos} = \frac{550 \cdot 10^{-9} \text{ A}}{0.017827 \text{ A/m}} = 30.85 \mu m \quad W_{pmos} = \frac{550 \cdot 10^{-9} \text{ A}}{0.004522 \text{ A/m}} = 120 \mu m \quad (4.4)$$

Las dimensiones de los transistores que conforman el OTA son mostradas en la Tabla 3.1. Para realizar la caracterización modo diferencial y en modo común se utilizó las configuraciones mostradas en las Figura 4.3 y 4.4 respectivamente, posteriormente el CMRR fue calculado como la división de estas dos cantidades.

Transistor	(W/L) [ $\mu\text{m}/\mu\text{m}$ ]	m
$M_1, M_2$	30/1.2	8
$M_3, M_4$	30/2.4	8
$M_5, M_6$	30/1.2	4
$M_7, M_8$	30/1.2	4
$M_{7c}, M_{8c}$	30/1.2	12
$M_{11}, M_{12}$	7.8/1.2	4
$M_{11c}, M_{12c}$	7.8/1.2	16
$M_{13}, M_{14}$	7.8/1.2	8
$M_{3c}, M_{4c}$	30/1.2	4
$M_{1c}$	7.8/1.2	4
$M_{2c}$	7.8/1.2	8

Tabla 4.1: Dimensiones de los transistores para el OTA Folded Cascode.

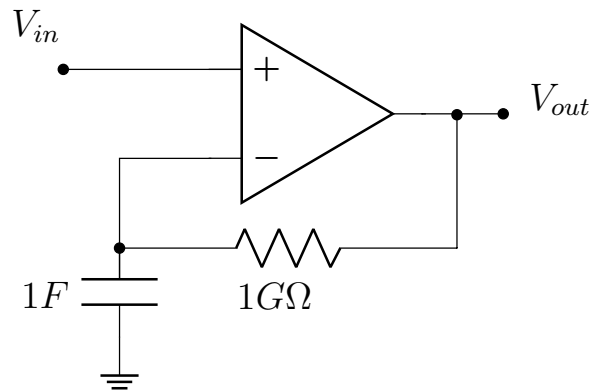


Figura 4.3: Configuraciones para la ganancia diferencial en lazo abierto

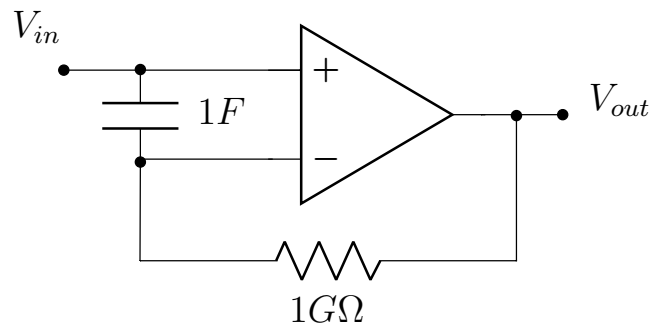
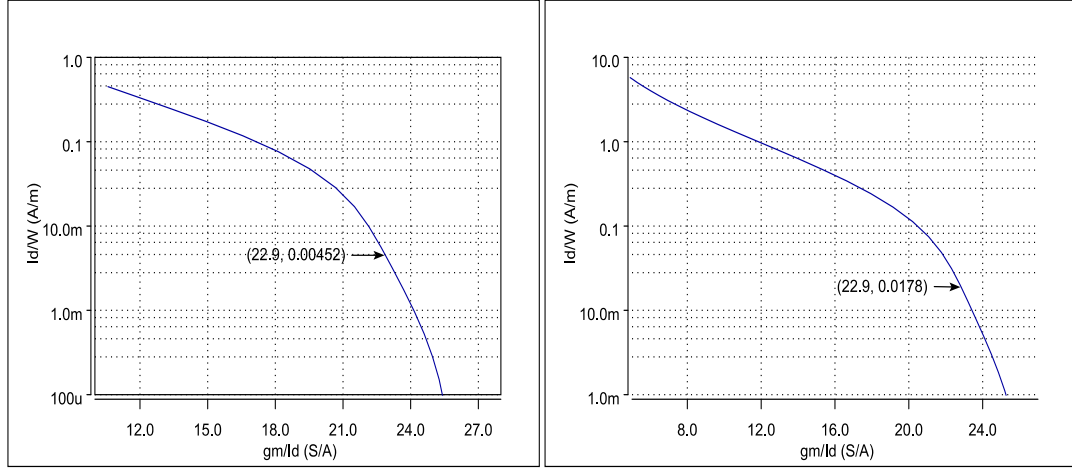


Figura 4.4: Configuración para la ganancia en modo común.



(a) PMOS

(b) NMOS

Figura 4.5: Curva de corriente normalizada para PMOS y NMOS.

La Figura 4.6 muestra la simulación AC del amplificador propuesto, donde es posible observar que el GBW alcanzado es de 1.1 MHz, una ganancia de 80.0 dB y un margen de fase de 73.9°. En la Figura 4.7 se muestra la simulación del  $CMRR$  obtenido para el OTA. Por último en la Figura 4.8 se muestra la excursión lineal de entrada OTA operando el lazo abierto. El nivel de offset a la salida es de  $24\mu V$ .

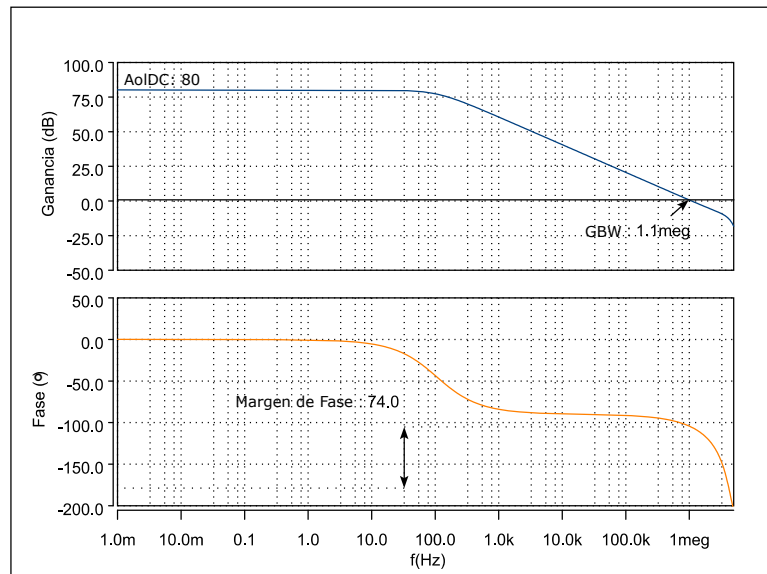


Figura 4.6: Respuesta AC del OTA folded cascode.

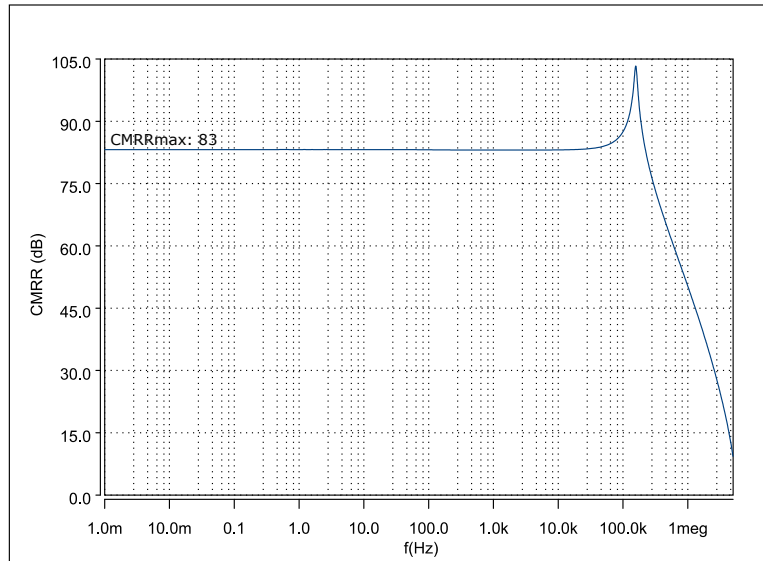


Figura 4.7: CMRR del OTA folded cascode.

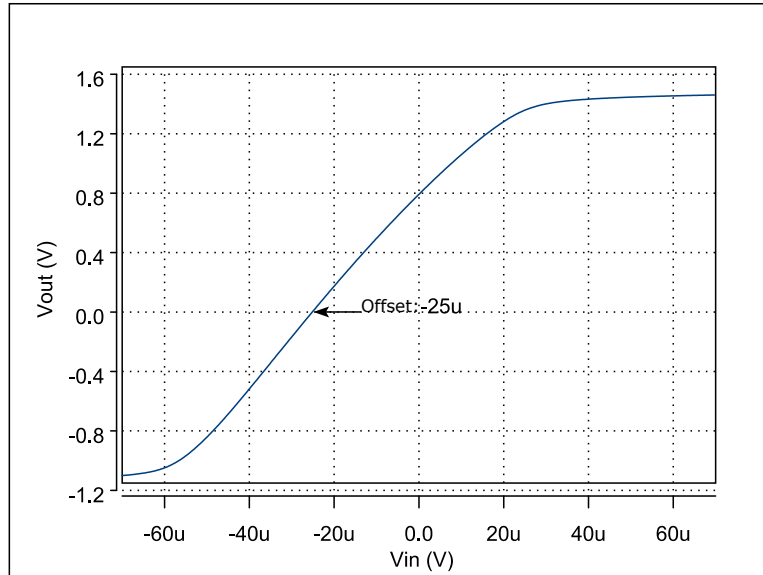


Figura 4.8: Offset del OTA folded cascode.

Posterior al diseño del OTA se integró el pseudo-resistor de la Figura 3.6, junto con los tres capacitores  $C_1 = 10$  pF,  $C_2 = 1$  pF y  $C_L = 2$  pF los cuales conforman el amplificador de biopotenciales de la Figura 2.8. Para este caso la fuente corriente  $I_c$



del pseudo-resistor fue realizada usando un transistor MOS operando en subumbral controlado por el voltaje de compuerta. Los elementos antes mencionados definen una ganancia de 10 V/V o 20 dB, la repuesta AC se muestra en la Figura 4.9. Para la simulación se hizo un barrido de la corriente  $I_c$  usando un voltaje de compuerta desde -1.5 V hasta -1.1 V con pasos de 0.1 V.

Para evaluar la máxima excursión lineal a la entrada se efectuó una simulación transitoria, para ello se ingreso una señal senoidal de frecuencia 500 Hz y se ejecutó un barrido en la amplitud de la señal desde 1 mV hasta 120 mV, posteriormente se realizó un análisis de distorsión total armónica. El resultado de THD es mostrado en la Figura 4.10. En base a la simulación se obtuvo que la distorsión armónica permanece  $<1\%$  para voltajes de entrada menores 218 mV pico a pico.

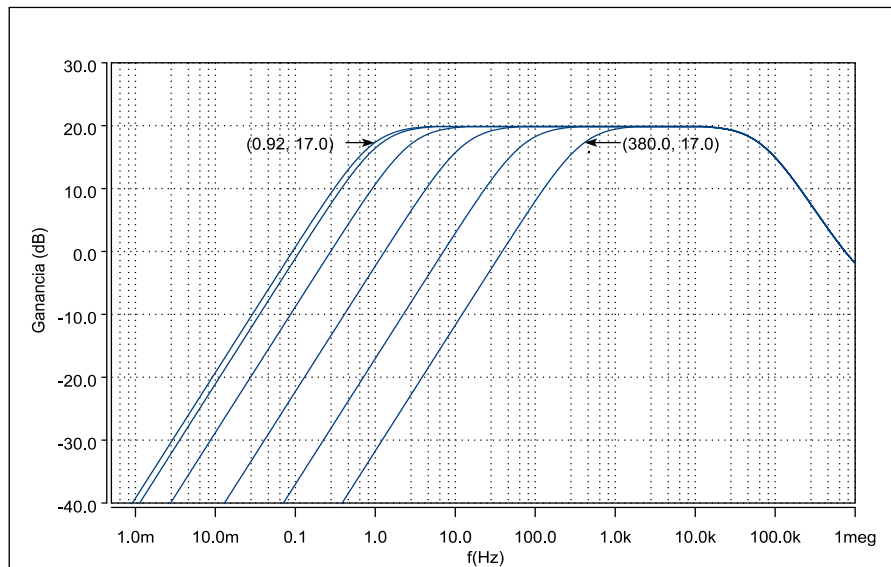


Figura 4.9: Respuesta AC del Amplificador de la Figura 2.8.

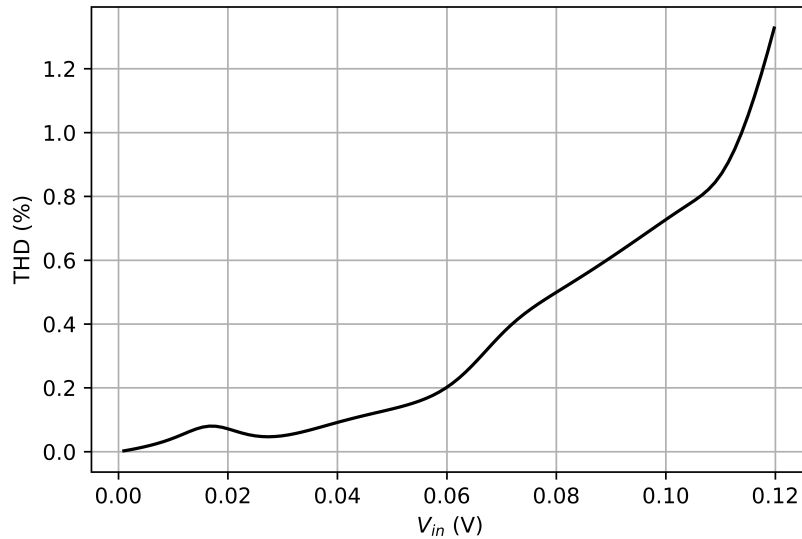


Figura 4.10: THD para el amplificador de la Figura 2.8.

Por último se realizó el patrón geométrico del amplificador, usando las reglas de  $0.5 \mu\text{m}$  de ON-SEMI, el cual cuenta con 3 niveles de metal y dos de polisilicio, el patrón diseñado se muestra en la Figura 4.11.

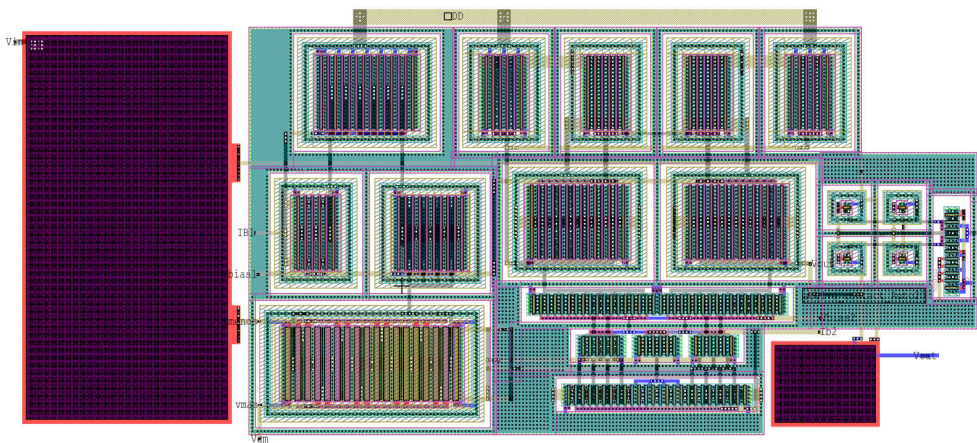


Figura 4.11: Layout del amplificador con realimentación y acoplo capacitivo, área  $408 \mu\text{m} \times 168 \mu\text{m}$ .

Un resumen de las características obtenidas para este amplificador se muestran en la Tabla 4.2.

Parámetro	Valor
Alimentación (V)	1.65
Excursión lineal de entrada (mVpp) (THD < 1 %)	218
Ganancia (dB)	20
frecuencia de corte pasa alta (Hz)	0.92-380
Ancho de banda (kHz)	67
Consumo de Potencia ( $\mu$ W)	10.89

Tabla 4.2: Características del amplificador.

## 4.2. Amplificador de Biopotenciales Propuesto

Para cumplir con todos los requerimientos de diseño antes mencionados es necesario tener un ancho de banda y ganancia ajustable. Para ello en esta tesis se propone usar la topología mostrada en la Figura 4.12, la cual se compone de una amplificador de instrumentación que puede variar su ganancia a través de la resistencia  $R_g$  y su frecuencia de corte baja puede ser sintonizada con la constante tiempo  $\tau = RC$  implementada usando resistores de alto valor.

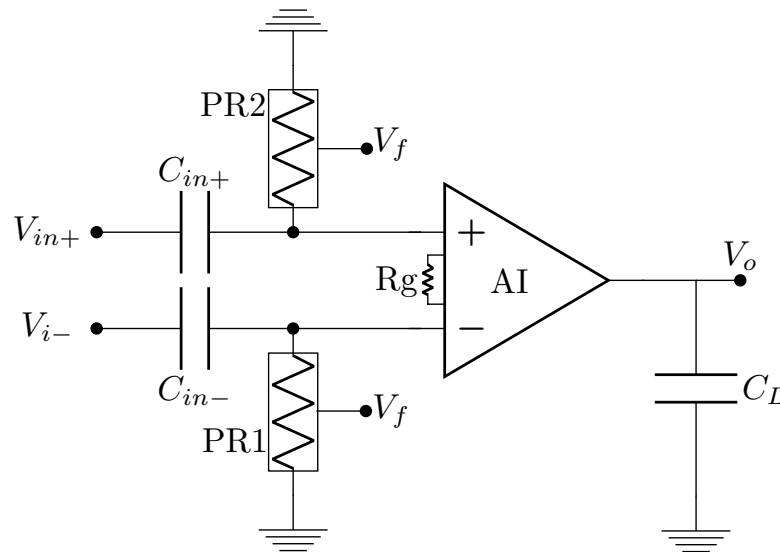


Figura 4.12: Amplificador para biopotenciales propuesto.

Para la realización del circuito anterior es necesario un amplificador de instrumentación (AI). En la Figura 4.13 se muestra la configuración usada para su realización. Su ganancia está dada por

$$\frac{V_{out}}{V_{in}} = \left(1 + 2\frac{R_1}{R_g}\right) \frac{R_3}{R_2} \quad (4.5)$$

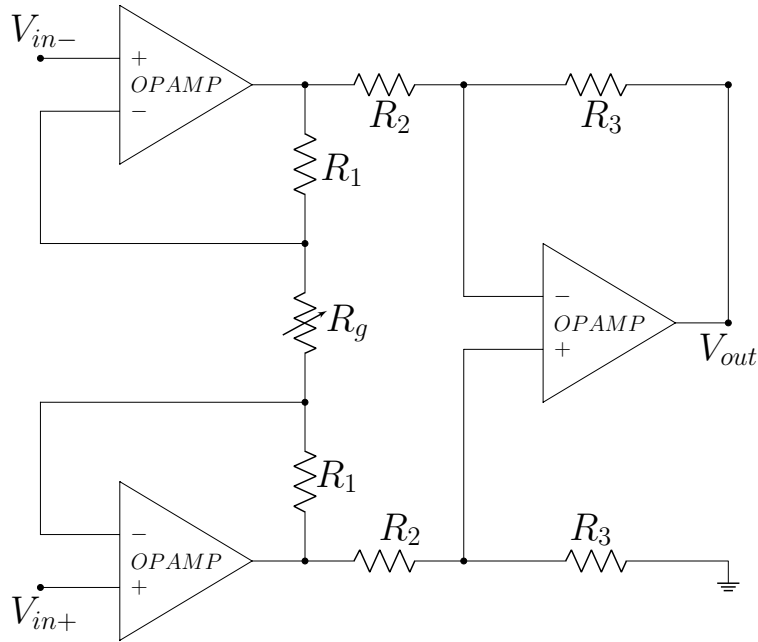


Figura 4.13: Amplificador de Instrumentación.

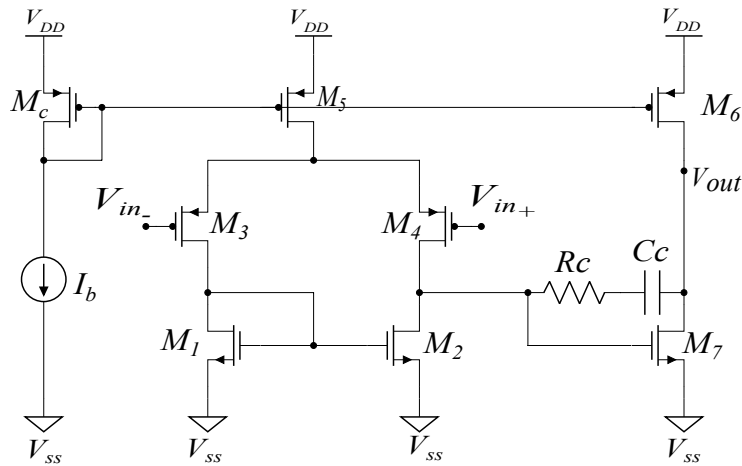


Figura 4.14: OTA Miller

Para el diseño del amplificador operacional se utilizó el OTA miller de dos etapas mostrado en la Figura 4.14. Para obtener una baja impedancia de salida se incorporó un buffer, para este último se usó la topología del OTA Miller de la Figura 4.15 en modo buffer, con la diferencia de que en este caso se usa una red  $RC$  para mejorar el  $SR$  transformándolo a clase  $AB$ , cuya principal ventaja es tener un consumo de potencia estático igual que un amplificador miller convencional pero con la capacidad de generar corrientes mayores que las del punto de operación. Además para la realización del resistor  $R_{large}$  se usó un resistor  $M_{rl}$  en modo diodo (compuerta conectado al drenaj) el

cual actúa como un transistor apagado y por ello exhibe alta resistencia en el canal [41].

Para el dimensionado del amplificador se tuvieron las mismas consideraciones que en la Sección 4.1, y este se realizó usando la metodología  $g_m/I_d$  antes mencionada, las especificaciones obtenidas para el amplificador como para el buffer se muestran en las Tablas 4.3 y 4.4 respectivamente.

Transistor	(W/L)[ $\mu\text{m}/\mu\text{m}$ ]	m
$M_c$	30/1.2	8
$M_1$	7.8/1.2	4
$M_2$	7.8/1.2	4
$M_3$	30/1.2	4
$M_4$	30/1.2	4
$M_5$	30/1.2	4
$M_6$	30/1.2	8
$M_7$	7.8/1.2	8
Red de compensación		
$C_c$ (pF)	2	
$R_c$ (k $\Omega$ )	39	
$I_b$ ( $\mu\text{A}$ )	1.1	

Tabla 4.3: Especificaciones del OTA miller.

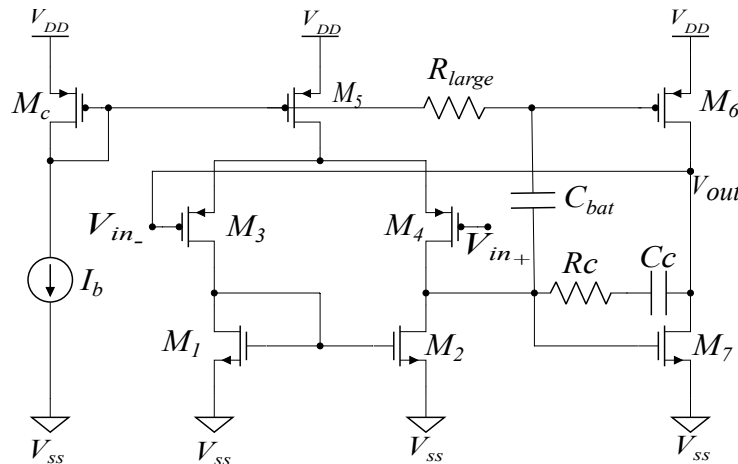


Figura 4.15: Buffer clase AB.

<b>Transistor</b>	<b>(W/L)[<math>\mu\text{m}/\mu\text{m}</math>]</b>	<b>m</b>
$M_c$	30/1.2	8
$M_1$	7.8/1.2	4
$M_2$	7.8/1.2	4
$M_3$	30/1.2	4
$M_4$	30/1.2	4
$M_5$	30/1.2	4
$M_6$	30/1.2	8
$M_7$	7.8/1.2	8
<b>Red de compensación</b>		
$C_c$ (pF)	2	
$R_c$ (k $\Omega$ )	32.5	
<b>Red para SR</b>		
$M_{rl}$ (W/L) [ $\mu\text{m}/\mu\text{m}$ ]	6/12	
$C_{bat}$ (pF)	4	
$I_b$ ( $\mu\text{A}$ )	3.3	

Tabla 4.4: Especificaciones del buffer.

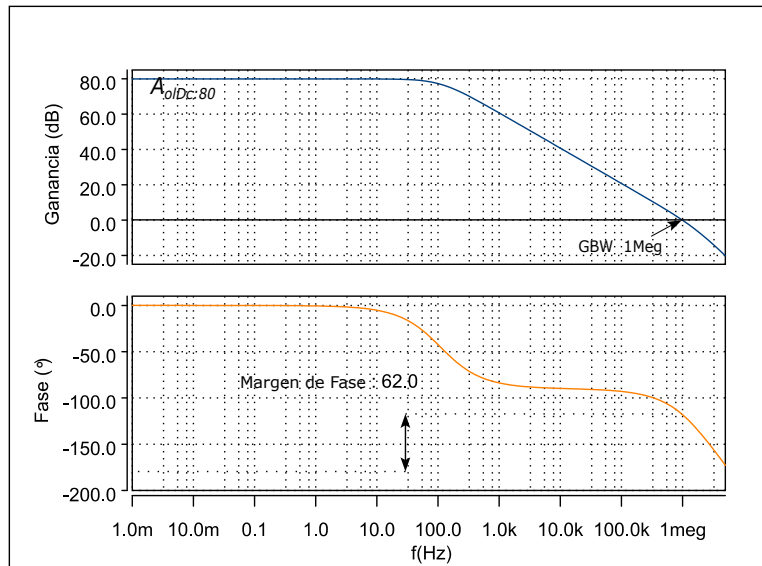


Figura 4.16: Respuesta AC del OTA miller.

La simulación AC del OTA Miller se presenta en la Figura 4.16. Se obtuvo una ganancia

máxima de 80 dB, una producto ganancia ancho de banda de 1 MHz y un margen de fase de  $62^\circ$ , en seguida se realizó la simulación del CMRR como es mostrado en la Figura 4.17. Finalmente una se obtuvo la excursión lineal a la entrada y el offset, Figura 4.18.

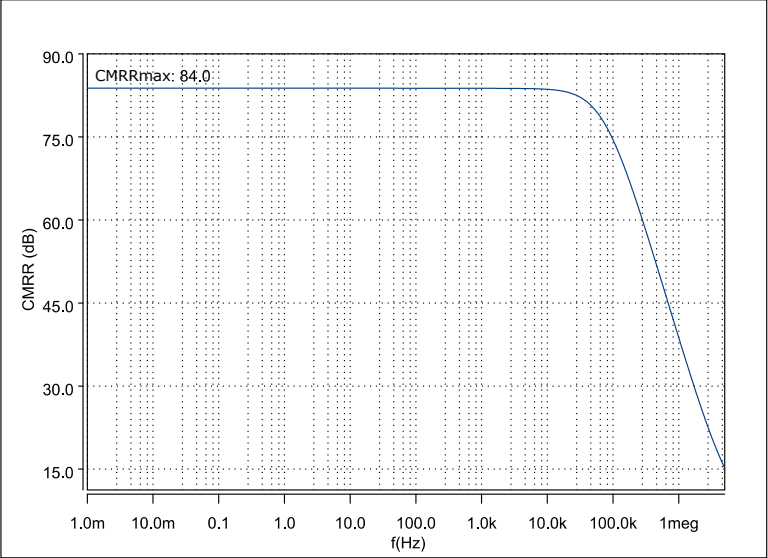


Figura 4.17: Respuesta AC del OTA miller.

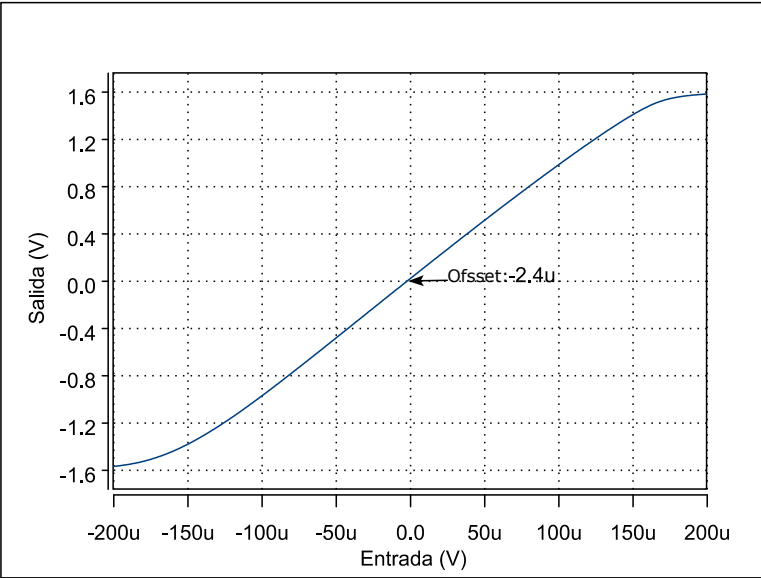


Figura 4.18: Barrido en DC del OTA Miller.

Para la realización del AI, se usaron los siguientes valores resistivos:  $R_1 = R_3 = 200 \text{ k}\Omega$  y  $R_2 = 66.6 \text{ k}\Omega$ . Con la finalidad de obtener un amplificador de instrumentación completamente integrado en silicio en esta tesis se propone usar un resistor activo para emular la resistencia  $R_g$  necesaria para ajustar la ganancia. En este caso se propone la resistencia mostrada en la Figura 4.19, sin embargo, en este caso los transistores operan en inversión fuerte, lo cual quiere decir que el voltaje aplicado en compuerta debe ser mayor que el voltaje de umbral para obtener una resistencia en el orden de  $\text{k}\Omega$ . Los detalles de diseño del resistor se muestran en la Tabla 4.5 [42].

La curva característica de voltaje contra corriente del resistor se presenta en la Figura 4.21, también en la Figura 4.20 se muestra la resistencia obtenida en función del voltaje de control  $V_{cp}$ , los valores alcanzados tienen un mínimo de  $10.5 \text{ k}\Omega$  y un máximo de  $233 \text{ k}\Omega$  para una variación de voltaje desde  $-2 \text{ V}$  hasta  $-1 \text{ V}$ . Con estos valores de  $R_g$  la ganancia esperada del amplificador de instrumentación está en el rango de  $18.22 \text{ dB}$  y  $41.38 \text{ dB}$ .

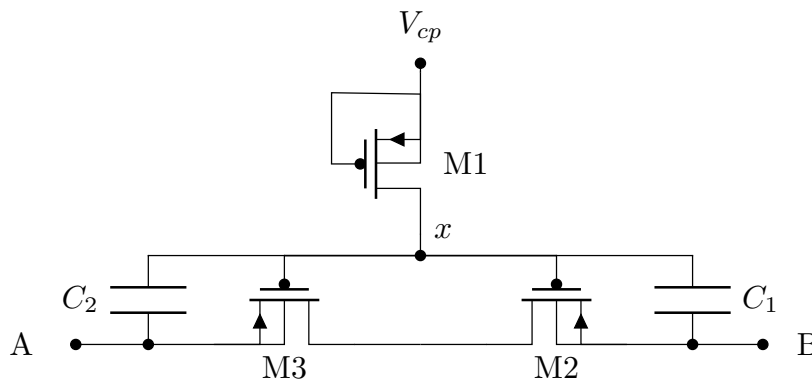


Figura 4.19: Resistor  $R_g$  para el amplificador de instrumentación.

Elementos	Valor	<b>m</b>
$M_1, M_2, M_3$ (W/L) [ $\mu\text{m}/\mu\text{m}$ ]	10.5/3.6	2
$C_1, C_2$ (fF)	600	
$V_{cp}$ (V)	-2.2, -1.0	

Tabla 4.5: Especificaciones de diseño del resistor  $R_g$ .



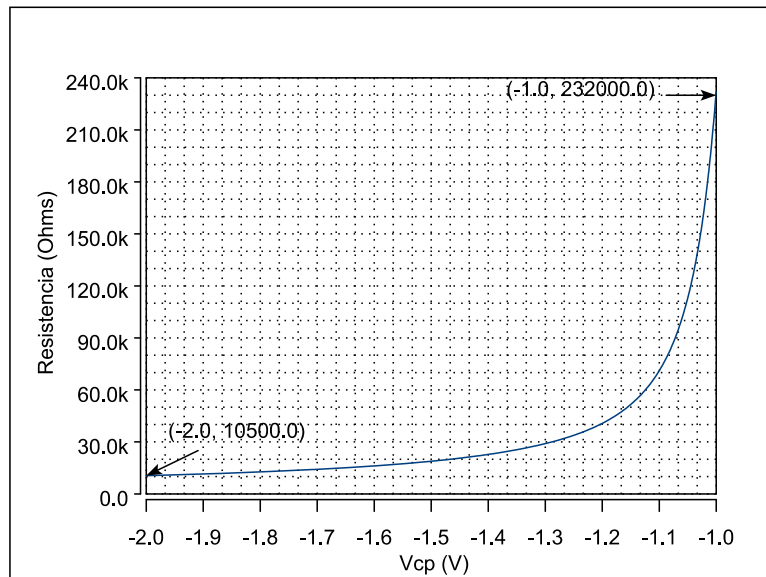


Figura 4.20: Resistencia en función del voltaje  $V_{cp}$

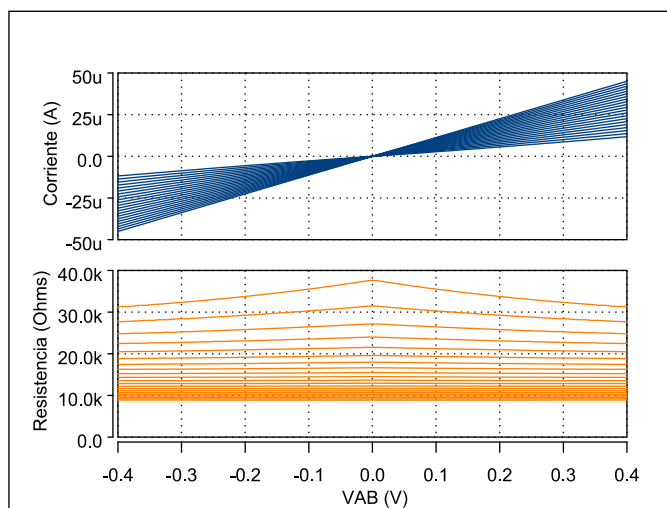


Figura 4.21: Curva I-V para el resistor  $R_g$ .

La Figura 4.22 se muestra la respuesta en AC del amplificador de instrumentación, en la simulación se efectuó una variación del voltaje  $V_{cp} = (-2.0, -1.0)$  V con pasos de 0.17 V, la ganancia obtenida para dicha variación está en el rango de (42, 20) dB, los cuales son valores cercanos a los esperados de acuerdo a la magnitud de resistencia  $R_g$  simulada anteriormente.

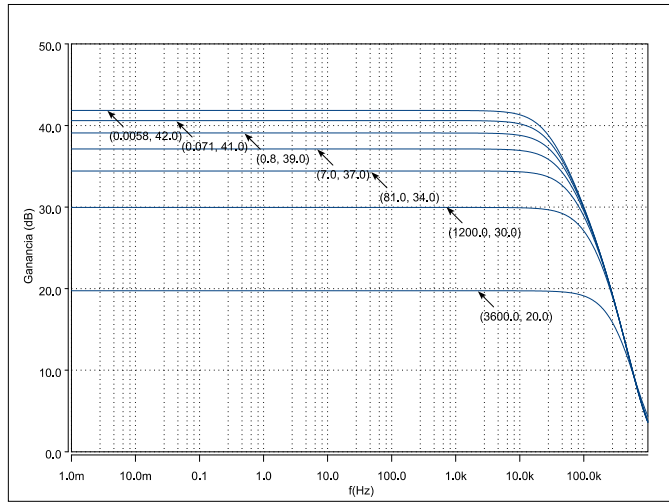


Figura 4.22: Ganancia del amplificador de instrumentación para  $V_{cp} = (-2.0, -1.0)$  V.

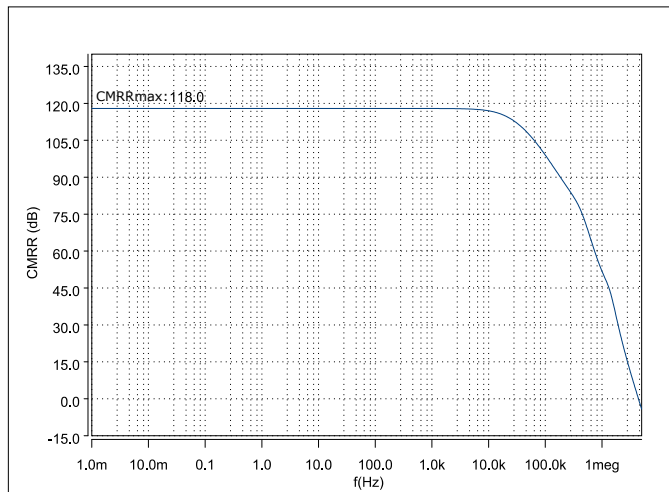


Figura 4.23: CMRR del amplificador de instrumentación.

También se hizo una simulación para evaluar la razón de rechazo al modo común (CMRR por sus siglas en inglés) del amplificador de instrumentación, con dicha simulación se obtuvo la Figura 4.23, con un máximo CMRR de 118 dB y un ancho de banda de 10 kHz.

Por último se incorporó al diseño la red  $RC$  que va a la entrada del amplificador, para

Elementos		Valor
PR1,2	M1,M2 (W/L)	3.2/1.2
$C_{in+}, C_{in-}$ (pF)		1

Tabla 4.6: Detalles de diseño de la red  $RC$ .

ello se usó el resistor de la Figura 2.14, la selección se hizo con base en dos criterios: la primera es que este resistor al ser uno de los menos complejos puede ser implementado sin consumir demasiada área, la segunda, al estar una de sus terminales a la entrada del amplificador de instrumentación y otro a tierra, el resistor no está sometido a grandes voltajes de entrada, lo anterior hace que sea adecuado para esta aplicación. Los detalles de la red  $RC$  se muestran en la Tabla 4.6. Posterior a la integración se realizó una simulación AC variando el voltaje de control del resistor de alto valor en el rango (-0.5,-0.3) V en pasos de 40 mV, los resultados se muestran en la Figura 4.24.

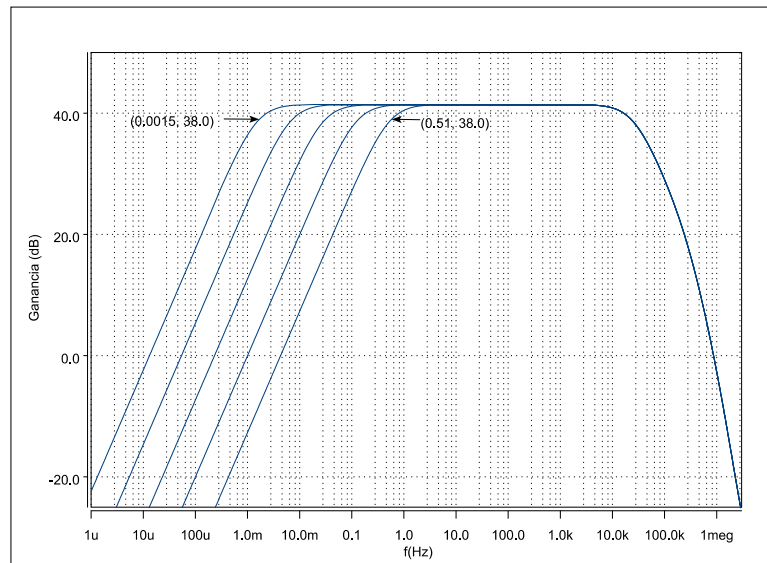


Figura 4.24: Ganancia del amplificador con la red  $RC$ .

Con la finalidad de evaluar la máxima excursión lineal se realizó un análisis transitorio y posterior a esto se hizo la medición de distorsión total armónica. Se utilizó una señal senoidal de 10 Hz y amplitudes de (1-100) mV en pasos de 1mV. La frecuencia de corte pasa altas se fijó a 0.025 Hz con un voltaje de control ( $V_{PR}$ ) de los pseudo-resistores de -0.4 V y una ganancia del amplificador de 20 dB usando un voltaje de  $V_{cp}=-1$  V. Los resultados se muestran en la Figura 4.21, donde podemos ver que la distorsión armónica permanece menor a 1 % para voltajes de entrada menores a 32 mV de amplitud o 64 mV pico a pico.

Para analizar la efectividad del rechazo a los niveles de DC del amplificador propuesto, se realizó una simulación transitoria. La señal de entrada es la de un electrocardiograma real sin procesamiento, obtenida de la página de Physionet, la cual posee una amplitud máxima de aproximadamente 1.5mV. Para emular el offset generado por los electrodos se agregó una fuente de DC de 100 mV a la señal. Los resultados de la simulación se muestran en la Figura 4.26, con lo cual se obtiene una señal libre del offset y con una ganancia de 20 dB.

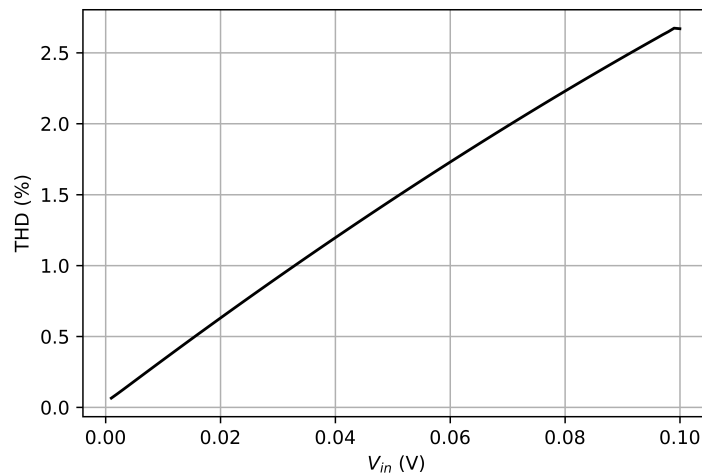


Figura 4.25: THD para el amplificador de instrumentación con acoplo capacitivo.

A fin de finalizar el diseño de amplificador de instrumentación se realizó el patrón geométrico (layout) correspondiente el cual es mostrado en la Figura 4.27.

Un resumen de las características obtenidas del amplificador de instrumentación se muestra en la Tabla 4.7.

<b>Parámetro</b>	<b>Valor</b>
<b>Alimentación (V)</b>	1.65
<b>Excursión lineal de entrada (mVpp) (THD &lt; 1 %)</b>	64
<b>Ganancia (dB)</b>	20-42
<b>frecuencia de corte pasa alta (Hz)</b>	0.0015-0.51
<b>Ancho de banda (kHz)</b>	10
<b>Consumo de Potencia (uW)</b>	87.12
<b>CMRR (dB)</b>	118

Tabla 4.7: Características del amplificador de instrumentación.

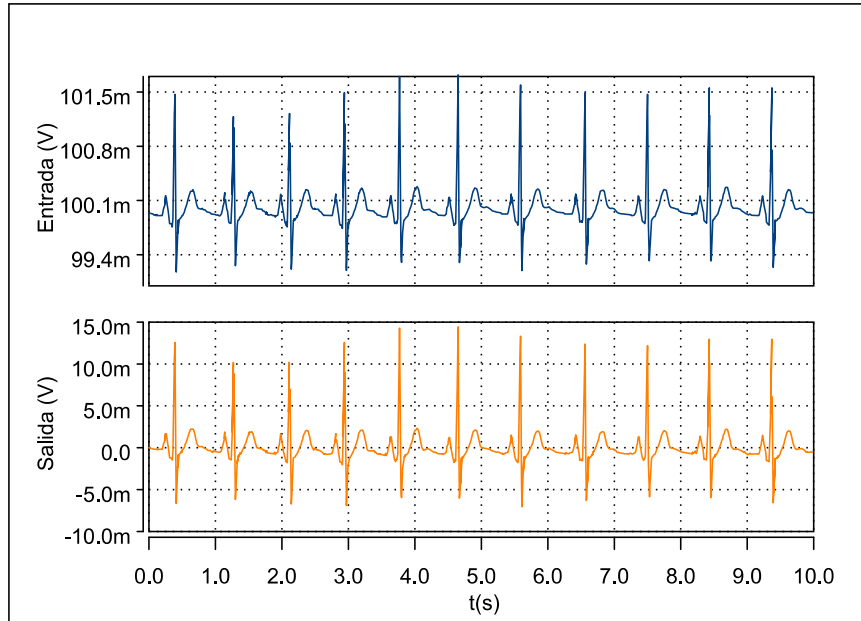


Figura 4.26: Simulación transitoria del amplificador de instrumentación con ECG.

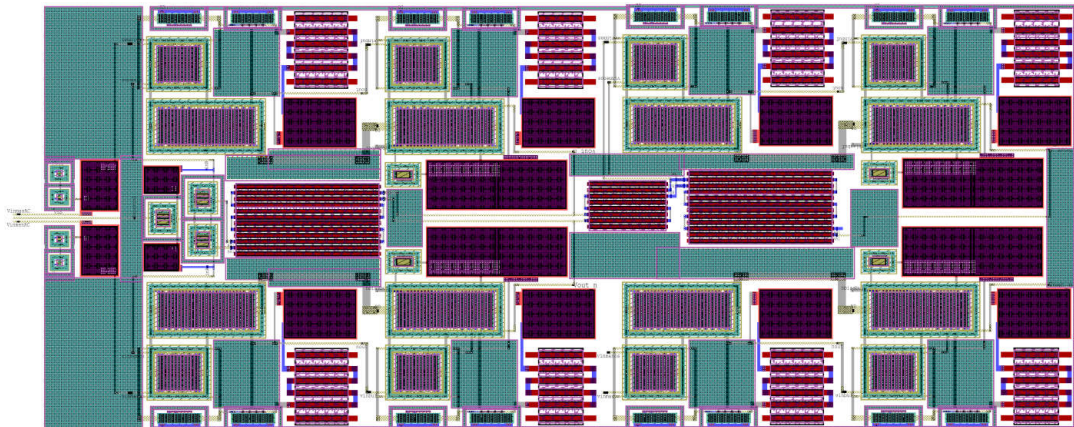


Figura 4.27: Layout amplificador de instrumentación y amplificador celda de prueba.

### 4.3. Filtro Rechaza Banda Resultados Experimentales

El último bloque analógico necesario en un sistema de adquisición de señales biomédicas es un filtro, que permita rechazar la interferencia generada por la línea de alimentación, con esa finalidad en esta tesis se propone usar el filtro ya discutido en la sección 2.7.

#### 4.3.1. Diseño y Simulaciones

Como una primera aproximación al diseño de un filtro rechaza banda, se diseñó la estructura Twin-T analizado en la Sección 2.7, para el buffer se usó la topología miller con par diferencial tipo n en modo buffer de la Figura 4.28, la metodología de diseño  $g_m/I_d$  se utilizó para el dimensionamiento del amplificador, las dimensiones y algunos parámetros se muestran en la Tabla 4.8, el pseudo-resistor usado para la realización del filtro fue el PR de la Figura 3.2. El valor de capacitores empleados  $C_n$  fue de 1pF.

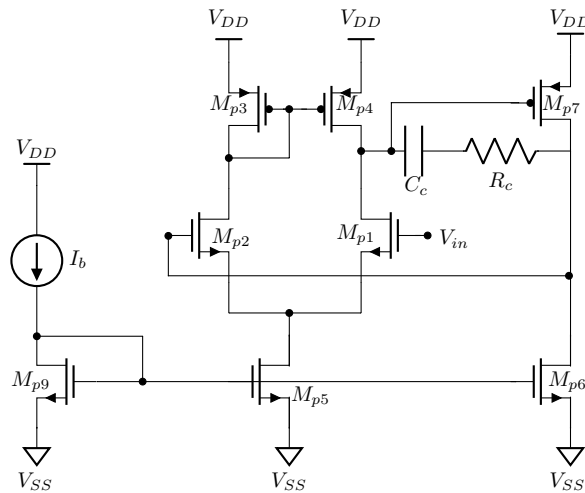


Figura 4.28: Amplificador Miller en Modo Buffer

Parámetro	Valor	Transistor	(W/L) [ $\mu\text{m}/\mu\text{m}$ ]
V polarización	$\pm 1.65$	$M_{n1}, M_{n2}, M_{p3}, M_{p4}, M_{n5}, M_{n9}$	12/1.2
$I_b(M_{n5})$	50 nA	$M_{n6}$	54/1.2
$C_c$	0.5 pF	$M_{p7}$	108/1.2
		$M_{n8}$	6/1.2

Tabla 4.8: Parámetros y dimensiones del amplificador miller para buffer

Parámetro	Valor	Transistor	(W/L)[ $\mu\text{m}/\mu\text{m}$ ]
V polarización	$\pm 1.65$	$M_{n9}, M_{n5}, M_{n6}$	114.3/1.2
Ib	100 $\mu\text{A}$	$M_{n2}, M_{n1}$	57.15/1.2
Cc	8pF	$M_{p3}, M_{p4}$	160.5 /1.2
Rc	1000 k $\Omega$	$M_{p7}$	321/1.2

Tabla 4.9: Parámetros y dimensiones amplificador

Las simulaciones de distorsión armónica de la Figura 4.29 para una señal d 5Hz muestran que el circuito tiene una excursión lineal de  $14.4mV_{pp}$ , por ello para realizar las mediciones del filtro notch una vez fabricado se incorporo un amplificador no inversor con ganancia de  $21V/V$  que posee la capacidad mantener la carga capacitiva que generada por los equipos de medición y a su vez amplificar la respuesta del filtro, la topología usada para el amplificador fue OTA miller, las dimensiones se este se muestran en la Figura 4.9.

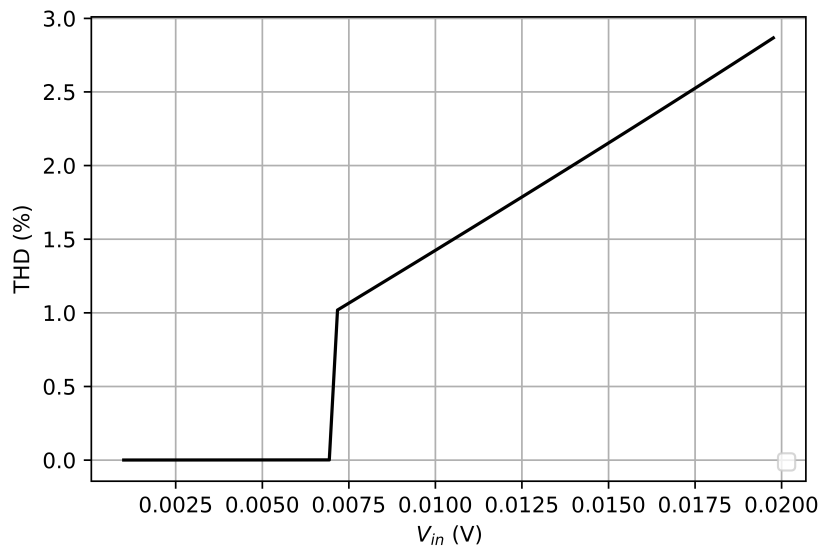


Figura 4.29: THD para el filtro notch

### 4.3.2. Resultados Experimentales

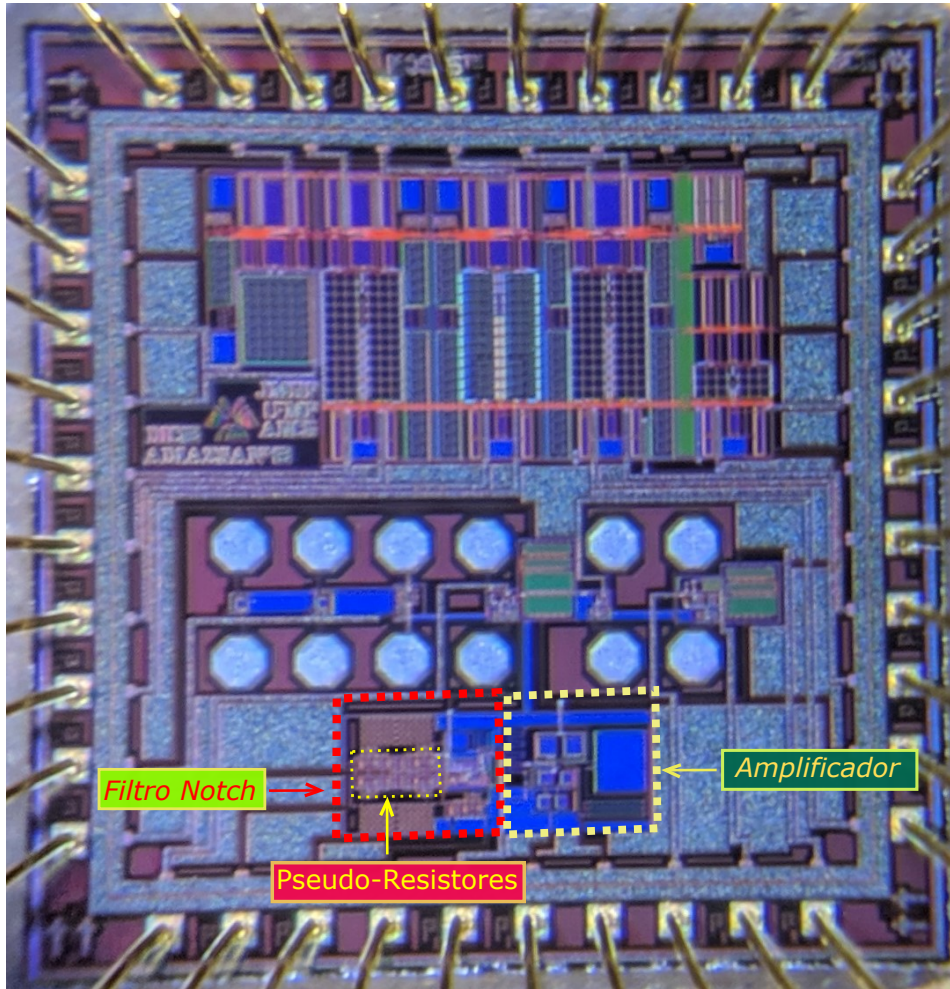


Figura 4.30: Circuito fabricado en tecnología  $0.5 \mu\text{m}$  ON Semi.

La Figura 4.30 muestra el circuito físico, donde es posible observar el filtro notch y el amplificador diseñado. La respuesta en frecuencia del circuito fue obtenida usando el Keysight E5061B LF-RF Network Analyzer, la Figura 4.31 muestra la respuesta del filtro sintonizado a 60Hz usando los voltaje de  $V_{cf} = -560\text{mV}$  y  $V_{cq} = -750\text{mV}$ .

Para realizar una comparación de la variación del factor de calidad se obtuvieron diferentes curvas variando el voltaje  $V_{cq}$  desde  $-1100\text{mV}$  hasta  $-600\text{mV}$  en pasos de  $50\text{mV}$ , cada una de las curvas se almacenó en forma de datos y posteriormente se graficaron todas juntas usando la herramienta GNUPLOT como se muestra en la Figura 4.32.



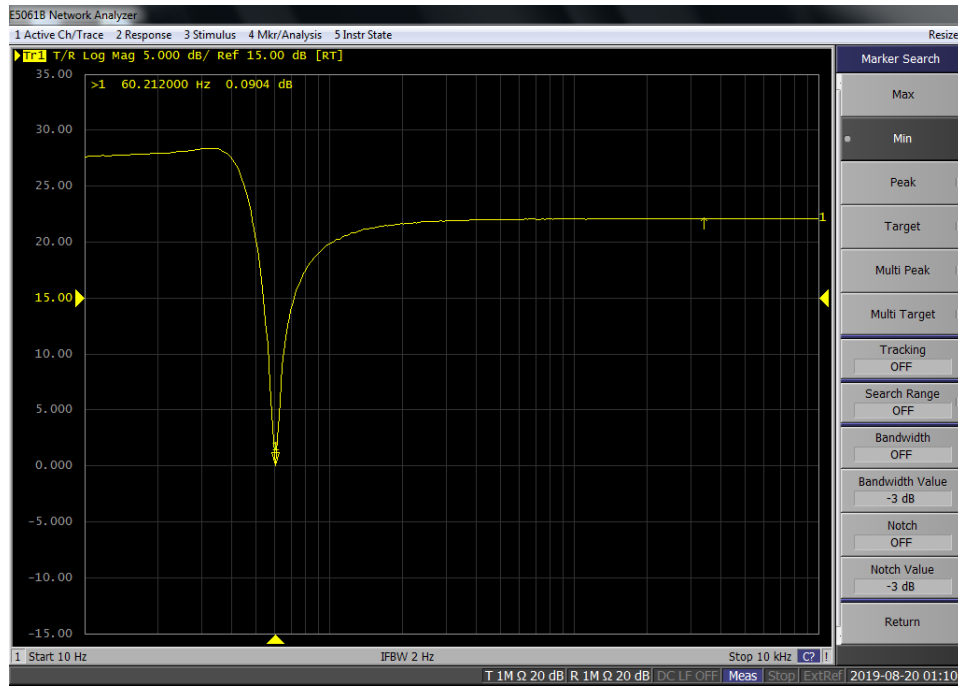


Figura 4.31: Respuesta en frecuencia experimental del filtro a 60Hz con  $V_{cq} = -750mV$ .

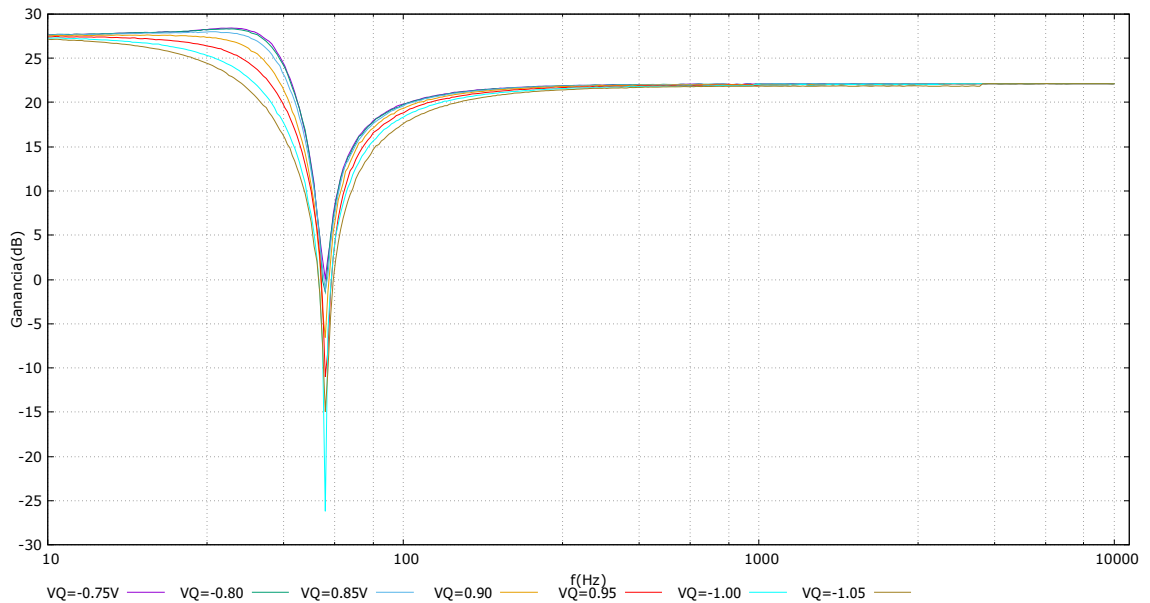


Figura 4.32: Respuesta en frecuencia experimental del filtro a 60Hz con variación en el factor de calidad.

Por ultimo se realizo un barrido en frecuencia desde  $-700mV$  hasta  $-540mV$  en pasos de  $20mV$  manteniendo el voltaje del factor de calidad en  $-950mV$ , los resultados se muestran el Figura 4.33

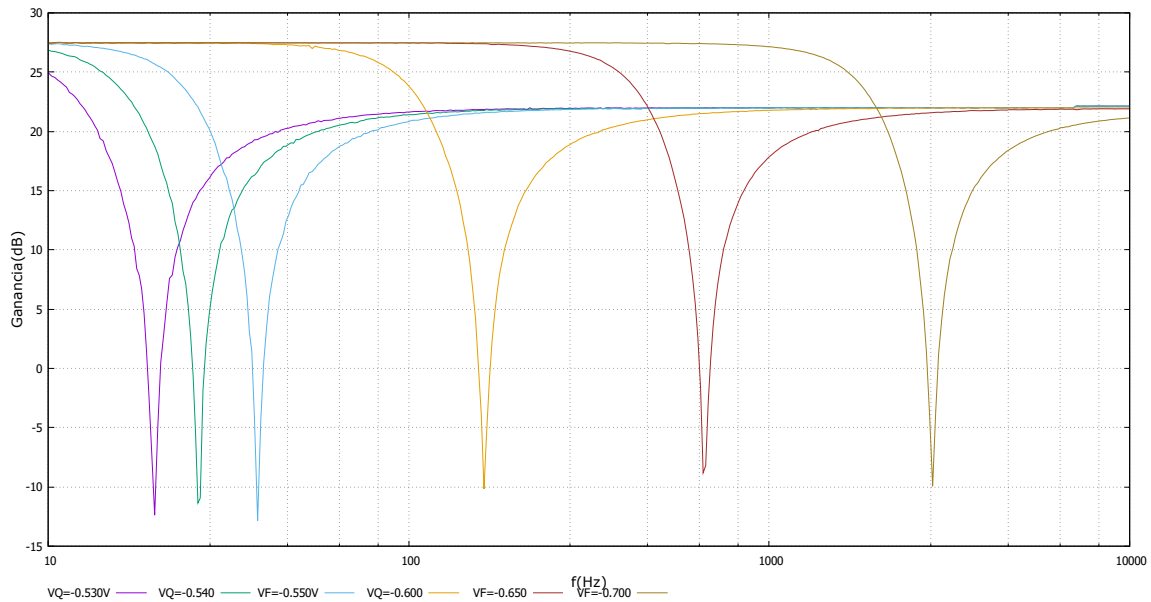


Figura 4.33: Respuesta en frecuencia experimental del filtro para diferentes frecuencias de corte.

## 4.4. Diseño del Filtro Rechaza Banda

Con la finalidad de mejorar la excursión lineal del filtro notch ya diseñado, en este trabajo se propone realizar el filtro Twin-T usando uno de los resistores propuestos. Para su realización se usó el buffer clase *AB* diseñado para amplificador de instrumentación junto con el resistor de la Figura 3.6. El valor de los capacitores  $C_n$  de la red Twint-T es de 1 pF, una vez integrado todos los componentes se hizo la simulación en AC del filtro, para ello se fijó la frecuencia de rechazo en un valor de 60 Hz y se realizó una barrido del voltaje  $V_{cq}$  del resistor  $R_{gq}$  desde -1.2 V hasta -0.2 V en pasos de 0.1 V. La curva obtenida se muestra en la Figura 4.34, la atenuación máxima alcanzada es de -56 dB.

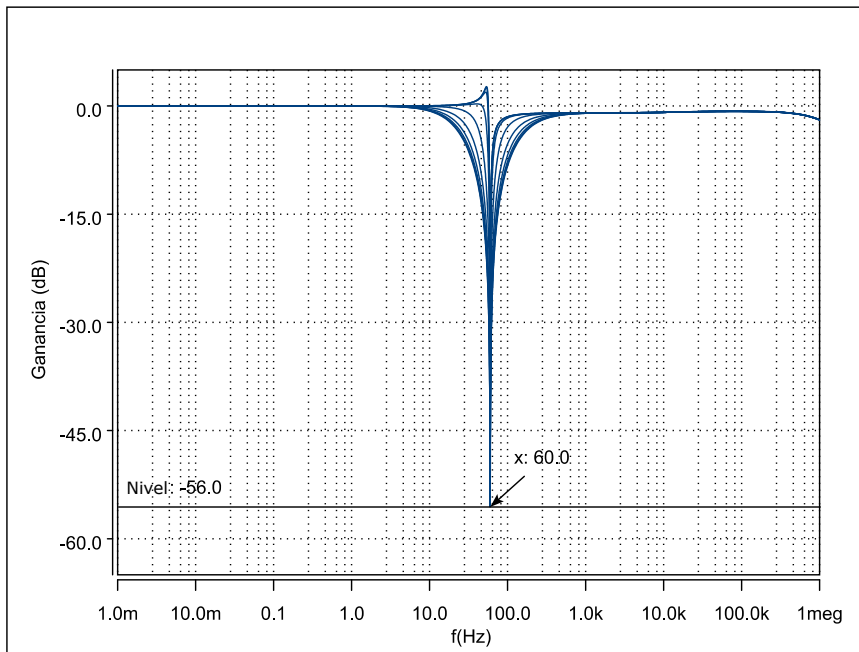


Figura 4.34: Variación del factor de calidad en el filtro notch.

Para evaluar la máxima excursión lineal del circuito se realizó un análisis de *THD* con una señal de 5Hz y un barrido de amplitud desde 1mV hasta 100mV. La gráfica de *THD* obtenida se muestra en la Figura 4.35. El filtro mantiene la distorsión por debajo del 1% para amplitud menores que 78.5mV o 157mV pico a pico.

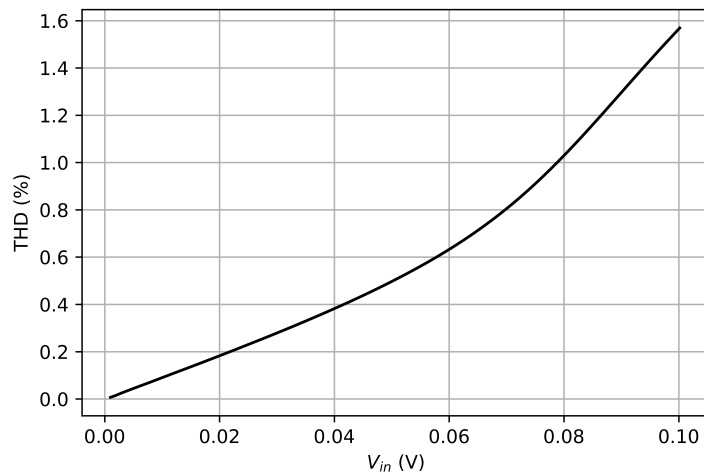


Figura 4.35: THD para el filtro notch.

En seguida se realizó una simulación transitoria teniendo como entrada la señal ECG de la sección anterior pero amplificada 50 veces, también una señal senoidal con amplitud de 20 mV y frecuencia de 60 Hz fue agregada a la señal original. Los resultados de la simulación se muestran en la Figura 4.36, como es posible observar la señal de interferencia es totalmente rechazada y la señal ECG queda libre perturbaciones.

Por último el patrón geométrico del filtro fue realizado, el cual se muestra en la Figura 4.37. Un resumen de las características del filtro notch se muestran en la Tabla 4.10.

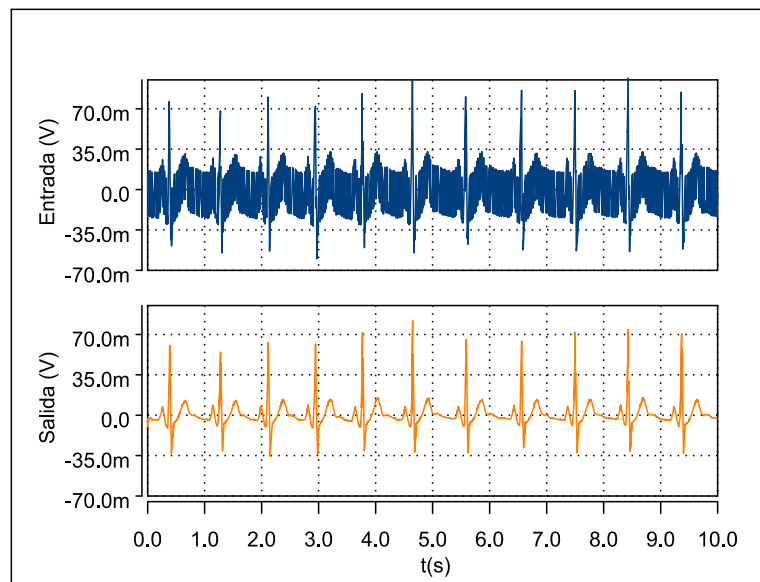


Figura 4.36: Simulación transitoria del filtro notch con señal ECG.

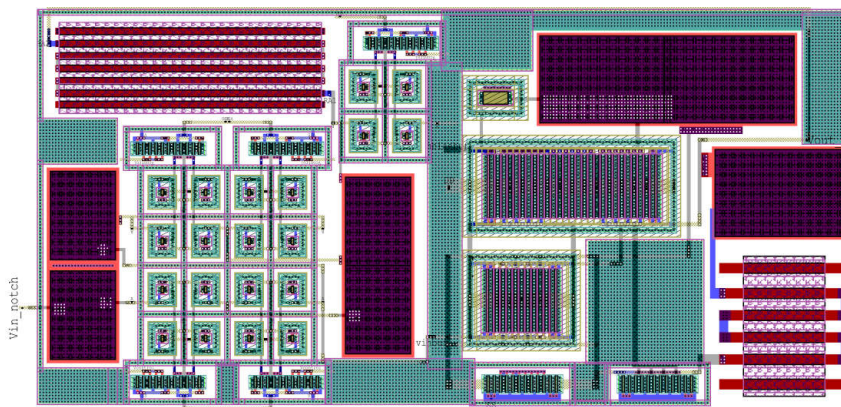


Figura 4.37: Layout del filtro notch.

<b>Parámetro</b>	valor
<b>Alimentación (V)</b>	1.65
<b>Excursión lineal de entrada (mVpp) (THD&lt;1 %)</b>	157
<b>Ganancia (dB)</b>	1
<b>Máxima atenuación (Hz)</b>	56
<b>Ancho de banda (MHz)</b>	1
<b>Consumo de Potencia (uW)</b>	21.78

Tabla 4.10: Características obtenidas del filtro.



# Capítulo 5

## Disertación y Trabajo Futuro

---

---

### 5.1. Sumario

Esta tesis propuso el uso del transistor MOS en la región de subumbral para la realización de resistores de valor alto. Una vez revisado el estado actual de la investigación en este tópico, se seleccionaron 7 topologías para su estudio detallado y comparación de sus principales características. Utilizando las ecuaciones del transistor en subumbral, se muestra que el comportamiento de los PRs es fuertemente no lineal ya que depende de una función exponencial. Tomando como punto de partida esta observación, se simulan en SPICE las topologías seleccionadas para ver su desempeño y se comprueba su alta no-linealidad con la amplitud de la señal de entrada. Se seleccionaron algunas figuras de mérito como la excursión lineal de voltaje y la distorsión armónica como las principales para su comparación.

Dos de las topologías son propuestas de esta tesis, las cuales mejoran tanto la excursión lineal como la distorsión armónica. Utilizando los PRs propuestos, se demuestra que es posible diseñar circuitos con constantes de tiempo grandes, o de manera equivalente, circuitos que operan a frecuencias muy bajas.

Como aplicación de los PRs, se diseñan bloques importantes en la adquisición de biopotenciales: un amplificador, un AI y un filtro rechazabanda para eliminar la frecuencia de 60Hz, utilizando la metodología  $g_m/I_d$  para el dimensionamiento de los transistores y un proceso CMOS de  $0.5\mu m$  de On-Semi. Los resultados obtenidos muestran que el primer amplificador es de bajo consumo de potencia y mejora la excursión lineal con respecto a otras topologías como las de la Tabla 1.1, lo anterior fue posible gracias a que el PR usado tiene una mayor excursión lineal con respecto a otras topologías propuestas anteriormente, también la frecuencia de corte para altas alcanzada con el pseudo-resistor es menor que todos los trabajos de la Tabla 1.1, solo superada por el trabajo de [10]. La principal ventaja de este amplificador es que al ser compacto permite implementar circuitos completamente integrados con muchos canales de adquisición en un mismo chip como es deseado en algunas aplicaciones como EEG.

La segunda topología diseñada fue el amplificador de instrumentación con acople capacitivo completamente integrado, el valor de CMRR alcanzado es mucho mayor que en la primera topología y logra rechazar los niveles de DC lo cual no es posible con un AI convencional. Por otro lado el consumo es mucho mayor que el amplificador de la Figura 2.8. Sin embargo, comparado con otros amplificadores de instrumentación como el de [43] el consumo obtenido es menor, en este caso este amplificador es adecuado para sistemas donde solo se requiere un canal de adquisición. Este amplificador también fue evaluado en una simulación transitoria donde se usó como señal de entrada un ECG.

El último bloque diseñado fue el filtro notch el cual también muestra una mejora considerable en su excursión lineal ya que usa uno de los PRs propuestos, por otro lado, logra obtener una atenuación máxima de -56 dB la cual está al mismo nivel que las encontradas en la bibliografía (ver Tabla 1.2) con la principal ventaja que sobre la banda de paso no proporciona una atenuación como otros filtros lo hacen.

## 5.2. Disertación

Se demostró a nivel simulación que es posible emular el comportamiento de un resistor de muy alto valor usando transistores MOS operando en subumbral, estos elementos prueban ser útiles en aplicaciones donde se requiere constantes de tiempo grandes, con la principal ventaja que los PRs pueden ser completamente integrados en silicio sin usar una área excesiva, como lo hacen los resistores convencionales, sin embargo el consumo de área se ve compensado por la distorsión que producen, pero para muchas aplicaciones el rango lineal proporcionado por estos elementos es suficiente.

Es posible obtener un consumo moderado de potencia con los requerimientos de diseño exactos usando la metodología  $g_m/I_d$ , por otra parte usando los amplificadores junto con los PRs se puede diseñar circuitos para aplicaciones en muy bajas frecuencias con una excursión lineal adecuada para aplicaciones biomédicas.

Los circuitos diseñados en este trabajo logran una excursión de voltaje grande comparado con los de la Tabla 1.1, también el consumo de potencia obtenido es un valor competitivo con respecto al reportado en literatura. También el filtro rechaza banda diseñado con el PR propuesto en esta tesis logra mejorar la excursión lineal con respecto al primer filtro diseñado con el PR encontrado en bibliografía, los filtros diseñados logran valores de atenuación en algunos casos mayores que los de la Tabla 1.2.

Por último el filtro rechaza banda fabricado logra alcanzar muy bajas frecuencias de



corte, lo cual prueba experimentalmente que la resistencia exhibida por el PR está en el orden de  $G\Omega$ , además la frecuencia de corte y el factor de calidad se pudieron sintonizar, probando la utilidad de estos elementos respecto a implementaciones completamente pasivas que no permiten sintonización después de su fabricación.

### **5.3. Trabajo Futuro**

Algunas actividades quedan pendientes debido a limitaciones de tiempo, se mencionan las principales:

1. Caracterizar experimentalmente los resistores del alto valor enviados a fabricar, verificar las curvas de resistencia alcanzada y las distorsión armónica total experimentalmente.
2. Realizar la caracterización de los amplificadores propuestos, determinar la máxima excursión lineal alcanzada y comparar con los valores obtenidos a nivel simulación.
3. Implementar los circuitos en otras tecnologías estándar CMOS como las de 180 nm o 130 nm y realizar una comparación de los rangos alcanzados en estas.
4. Integrar el amplificador de instrumentación con el filtro notch y verificar su adecuado funcionamiento con una señal ECG sea simulada o real.



# Apéndice A

## Distorsión Armónica Total en HSPICE

---

---

### A.1. Distorsión Armónica Total (THD)

El concepto de distorsión hace referencia a la medida en que una señal cambia su forma al pasar por un medio.

En electrónica la distorsión armónica total se refiere a la diferencia entre la forma de una señal de salida con respecto a la señal de entrada al pasar por un dispositivo electrónico, excepto por un cambio asociado a un factor de escala. Para entender la THD (Total Harmonic Distortion) es necesario recordar las series de Fourier, con las cuales se puede representar cualquier función periódica como la suma ponderada de senos y cosenos o como combinación de exponenciales complejas ponderadas, para ello se considera una función  $v(t)$  periódica con periodo  $T$  que se puede expandir en series de Fourier de la siguiente manera:

$$v(t) = \sum_{n=-\infty}^{k=\infty} a_k e^{jk\omega_0 t} \quad (\text{A.1})$$

los coeficientes  $a_k$  se calculan de la siguiente forma

$$a_k = \frac{1}{T} \int_T x(t) e^{-jk\omega_0 t} dt \quad (\text{A.2})$$

Cuando  $k=0$  se obtiene  $a_0$ , este coeficiente es la componente DC de la señal en un periodo y las siguientes constantes  $a_k$  definen el peso que tienen las siguientes componentes de la exponencial en la señal reconstruida  $v(t)$ , a dichas componentes que conforman la señal se les llama armónicos de la señal, siendo para  $k = 1$  la componente fundamental de la señal [25, 26].

Con lo anterior la THD se puede definir de la siguiente manera:

$$THD = \frac{\sqrt{\sum_{k=2}^{k=\infty} v_k^2}}{v_1} \quad (\text{A.3})$$

Donde:

- $v_1$  representa el valor cuadrático medio del primer armónico o la señal fundamental de entrada.
- $k$  es el número del armónico.
- $v_k$  representa el valor cuadrático medio del armónico  $k$ .

Para definir completamente la THD es necesario definir matemáticamente el valor cuadrático medio de una señal periódica como se muestra en la siguiente ecuación:

$$v_{rms} = \sqrt{\frac{1}{T} \int_t^{t+T} v^2(t) dt} \quad (A.4)$$

Donde T es el periodo de la señal [26].

## A.2. Distorsión Armónica Total usando HSPICE

En circuitos integrados la distorsión armónica surge cuando la señal AC (señal de interés) es comparable con la señal DC que establece el punto de operación de dispositivos no lineales, bajo estas condiciones no se cumple las condiciones de pequeña señal y es por ello que aparece la distorsión. HSPICE proporciona una herramienta para calcular la distorsión armónica, el procedimiento a seguir para calcular la distorsión armónica en HSPICE es el siguiente:

1. Definir completamente la fuente AC del circuito.
2. Definir el análisis transitorio como se muestra en seguida:

*.TRAN step stop start tmax*

El valor paso (*step*) es el valor del incremento temporal que se muestra en los resultados a graficar.

El para el tiempo ntotal de simulación (*stop*) es el valor máximo de análisis del análisis transitorio y debe ser al menos un periodo de señal AC, es recomendable que *stop* sea un múltiplo entero del periodo de la señal AC, si no hay periodos completos HSPICE hace el análisis hasta el último periodo completo.

Para obtener un análisis de distorsión es necesario que el máximo incremento temporal (*tmax*) sea de al menos el periodo de la señal dividido 100 ( $tmax \leq T_{signal}/100$ ) [24].

3. Después de definir el análisis transitorio es necesario definir las variables de salida (Output Variable - OVN) a los cuales se pretende calcular la distorsión armónica, para realizar dicha acción HSPICE usa la siguiente sintaxis:

*.FOUR FREQ OV1 OV2 .... OVN*

El comando .FOUR realiza el análisis de Fourier al análisis transitorio anteriormente realizado, para realizar dicha operación se necesita establecer la frecuencia (FREQ), que es la frecuencia fundamental de la señal de entrada AC, lo anterior es necesario ya que el simulador usa el valor cuadrático medio de esta señal para normalizar la magnitud de los siguientes armónicos [24].

También es importante mencionar que .FOUR solo calcula los 9 primeros armónicos, los cuales son mostrados en el archivo de salida de extensión .LIS y luego calcula la THD.

Cabe notar que si se desea medir la distorsión total armónica que genera un dispositivo es necesario medir dicha distorsión con respecto a la amplitud de voltaje que se cae entre sus terminales.

### A.3. Simulación de Distorsión Armónica Total Usando HSPICE

Para la realización de la simulación se tiene en cuenta la siguiente información:

1. Una onda senoidal de 10 Hz de frecuencia.
2. Consideramos que la amplitud de la señal varía desde 0.1 V a 1.0 V y es aplicada a un divisor resistivo de dos resistores de 100 k $\Omega$  cada uno como se muestra en la Figura A.1.

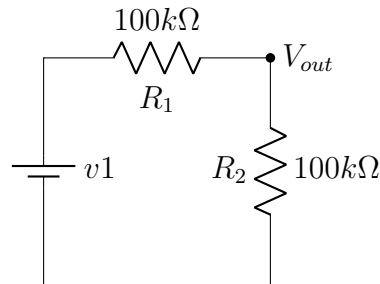


Figura A.1: Divisor Resistivo

El circuito de la Figura A.1 está compuesto por dos resistores ideales los cuales forman un divisor resistivo, la señal de salida es medida en el nodo  $V_{out}$ , el cual es elemento considerado para realizar el análisis de distorsión.

3. El análisis transitorio bajo los criterios antes mencionados se definió de la siguiente forma:

```
.TRAN 0.00078 0.3 0.1 0.00078
```

En este caso se usa un Tmax de 0.00078 s ya que se dividió el periodo de la señal con 128 que es  $2^7$  y se toman tres periodos de la señal.

4. El análisis de Fourier queda definido como se muestra en seguida:

.FOUR 10 a

Donde a es el nodo de interes.

El netlist para realizar la simulación se muestra a continuación:

```

***TOTAL HARMONIC DISTORTION – THD by Luis Fernando Martinez **
**THD IDEAL RESISTOR**
.param amplitud='0.1'

R1          a          0          100k
V1 a 0 DC 0 AC SIN(0 amplitud 10 0 0)
.tran 97us          0.3 s 0.1 s          0.97 us
.four 10          v(a)
.print i(*) v(*)

.alter
.param amplitud='0.2'
.tran 97us          0.3 s 0.1 s          0.97 us
.four 10          v(a)

.alter
.param amplitud='0.3'
.tran 97us          0.3 s 0.1 s          0.97 us
.four 10          v(a)

.alter
.param amplitud='0.4'
.tran 97us          0.3 s 0.1 s          0.97 us
.four 10          v(a)

.alter
.param amplitud='0.5'
.tran 97us          0.3 s 0.1 s          0.97 us
.four 10          v(a)

.alter
.param amplitud='0.6'
.tran 97us          0.3 s 0.1 s          0.97 us
.four 10          v(a)

.alter
.param amplitud='0.7'
.tran 97us          0.3 s 0.1 s          0.97 us
.four 10          v(a)

```

```

.alter
.param amplitud='0.8'
.tran 97us          0.3 s    0.1 s          0.97 us
.four 10          v(a)

.alter
.param amplitud='1.0'
.tran 97us          0.3 s    0.1 s          0.97 us
.four 10          v(a)

.end

```

Los resultados obtenidos de THD contra amplitud se pueden observar en la Figura A.2, en la Figura es posible observar que a pesar que la señal de entrada va aumentando en amplitud no hay cambios en el valor del THD, para cada valor de amplitud se obtuvo el mismo valor de  $THD = 4.5353 \cdot 10^{-9} \%$ , lo cual es lógico ya que es una resistencia ideal y por ello no debería generar distorsión armónica porque las dos resistencias son lineales, sin embargo existe un mínimo porcentaje de distorsión generado por el proceso de discretización de la señal y del circuito generado internamente en simulador.

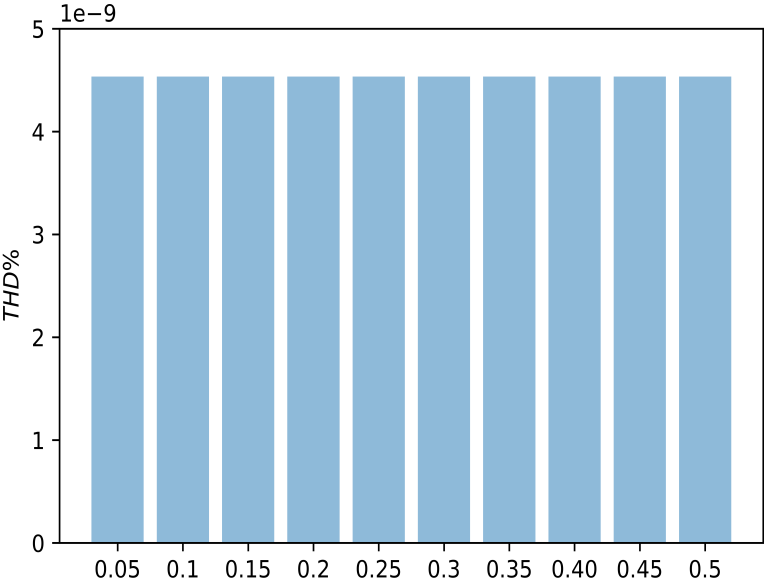


Figura A.2: THD contra Amplitud de la Señal Aplicada para una resistor ideal

Como se de puede observar en la Figura A.2 la amplitud tomada para el THD corresponde a la mitad del voltaje de entrada, las resistencias del mismo valor hacen que el voltaje de entrada se distribuya en igual magnitud en cada resistencia, por lo tanto el voltaje aplicando en la resistencia de interes es solo la mitad del voltaje de entrada.

## A.4. Distorsión Armónica Total Aplicado a una Señal Triangular Periódica

El objetivo de esta simulación es obtener la distorsión armónica generada por una fuente que no es puramente senoidal, para ello se considera una señal triangular periódica aplicada directamente a un resistor como se muestra en la Figura A.3, en esta configuración todo el potencial generado por la fuente se cae a través del resistor  $R1$ , lo cual quiere decir que el simulador medirá la distorsión de la onda cuadrada, y como se muestra en la ecuación A.1 el simulador calcula las primeras componentes de frecuencia que le corresponden a dicha señal.

En la Figura A.4 se puede observar una señal triangular de amplitud 1 y con periodo  $T=1$  s, es bien conocido que al realizar el análisis de Fourier de esta señal el espectro de frecuencia está dado por la siguiente función:

$$a_k = \begin{cases} 0, & k \text{ par} \\ \frac{8}{k^2 \pi^2}, & k \text{ impar} \end{cases} \quad (\text{A.5})$$

para  $k = 1, 2, 3, 4, \dots, n$  [44].

para realizar la simulación se hizo las siguientes consideraciones:

1. La señal tiene una frecuencia de 10 Hz ( $T = 1$  s) y una amplitud que varía de 1 V a  $-1$  V.
2. Tiempo de simulación 1 s que corresponde a 1 periodo de la señal.
3. Paso máximo de simulación  $3 \mu\text{s}$  que corresponde a  $T/2^{15}$ .

Con el objetivo de realizar un análisis comparativo de la THD teórica y la calculada por el simulador, se realizó el cálculo de las 9 primeras armónicas usando la ecuación A.5 para la señal de la Figura A.3.

Para  $k=1$  se tiene la componente fundamental, por lo tanto la componente  $a_1$  está dada por:

$$a_1 = \frac{8}{1^2 \cdot \pi^2} = 810.5694 \text{mV} \quad (\text{A.6})$$

Para  $k=3$  se tiene

$$a_3 = \frac{8}{3^2 \cdot \pi^2} = 90.0632 \text{mV} \quad (\text{A.7})$$

Para  $k=5$  se tiene

$$a_5 = \frac{8}{5^2 \cdot \pi^2} = 32.4227 \text{mV} \quad (\text{A.8})$$

Para  $k=7$  se tiene

$$a_7 = \frac{8}{7^2 \cdot \pi^2} = 16.5422 \text{mV} \quad (\text{A.9})$$



Para  $k=9$  se tiene

$$a_9 = \frac{8}{9^2 \cdot \pi^2} = 10.0070\text{mV} \quad (\text{A.10})$$

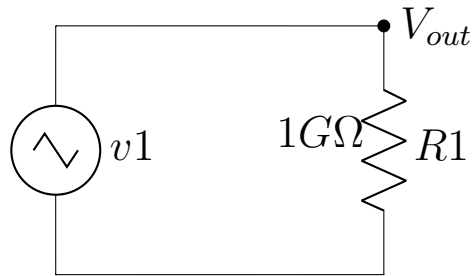


Figura A.3: Circuito con onda Triangular

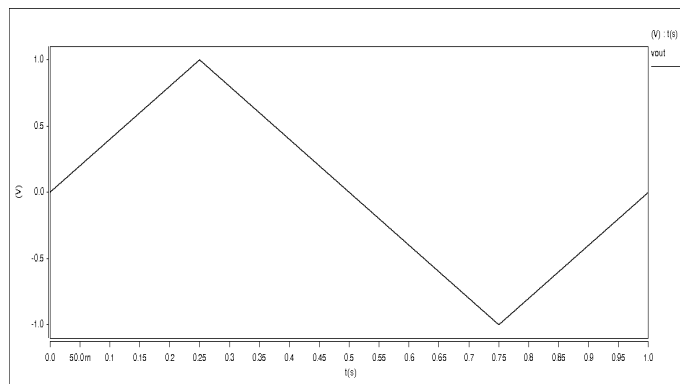


Figura A.4: Señal Triangular

El netlist de la simulación se muestra a continuación

```

***TOTAL HARMONIC DISTORTION – THD by Luis Fernando Martinez **
**THD IDEAL RESISTOR**
.param amplitud='10'

R1          a          0          1G
V1 a 0 DC 0 AC PWL(0 0 0.25 1 0.75 -1 1 0)
.tran 3us          1s          0s          3us
**tmax=0.1/1024
.four 1          v(a)
.print i(*) v(*)

.END

```

Los primeros 9 armónicos de la simulación se muestran en la Tabla A.1.

Número de Armónico	Frecuencia (Hz)	Componente de Fourier Simulado (mV)	Componente de Fourier Teórica (mV)	Error Relativo (mV)
1	1	8.10568E+02	8.10569E+02	1.30000E-03
2	2	4.99667E-05	0.00000E+00	-4.99667E-05
3	3	9.00619E+01	9.00632E+01	1.30000E-03
4	4	9.99433E-05	0.00000E+00	-9.99433E-05
5	5	3.24215E+01	3.24227E+01	1.20000E-03
6	6	1.49940E-04	0.00000E+00	-1.49940E-04
7	7	1.65409E+01	1.65422E+01	1.30000E-03
8	8	1.99965E-04	0.00000E+00	-1.99965E-04
9	9	1.00057E+01	1.00070E+01	1.30000E-03

Tabla A.1: Resultados Teóricos y Simulados

Con base en los resultados teóricos obtenidos anteriormente y los resultados de la simulación de la Tabla A.1 se puede observar que las componentes de orden impar de la simulación tienen efectivamente valores muy bajos del orden de  $10^{-4}$  mV cada valor, dichos valores no son exactamente cero debido al muestreo que se realiza el mismo simulador al momento de calcular las componentes del análisis de fourier.

El THD de la simulación obtenido fue de 12.0474 % mientras que el THD teórico para dicha señal es de 12.1 %, por lo tanto el error relativo es de:

$$E_r = \frac{|12.1 - 12.0474|}{12.1} = 0.4347\% \quad (\text{A.11})$$

Con base en el  $E_r$  es posible afirmar que la simulación de THD realizada es correcta porque el error obtenido de la simulación es bajo ( $< 1\%$ ).

## Referencias

---

- [1] O. G. Martinsen and S. Grimnes, *Bioimpedance and bioelectricity basics*. Academic press, 2011.
- [2] *Bioelectricidad: un enfoque cuantitativo*.
- [3] X. Zou, X. Xu, L. Yao, and Y. Lian, "A 1-v 450-nw fully integrated programmable biomedical sensor interface chip," *IEEE journal of solid-state circuits*, vol. 44, no. 4, pp. 1067–1077, 2009.
- [4] F. Y. Ortega, "Diseño de bloques analógicos para la adquisición de señales encefalográficas," 2012.
- [5] J. Xu, R. F. Yazicioglu, C. Van Hoof, and K. Makinwa, *Low Power Active Electrode ICs for Wearable EEG Acquisition*. Springer, 2018.
- [6] M. Azin, D. J. Guggenmos, S. Barbay, R. J. Nudo, and P. Mohseni, "A battery-powered activity-dependent intracortical microstimulation ic for brain-machine-brain interface," *IEEE Journal of Solid-State Circuits*, vol. 46, no. 4, pp. 731–745, 2011.
- [7] V. Majidzadeh, A. Schmid, and Y. Leblebici, "Energy efficient low-noise neural recording amplifier with enhanced noise efficiency factor," *IEEE Transactions on biomedical circuits and systems*, vol. 5, no. 3, pp. 262–271, 2011.
- [8] Z. Xiao, C.-M. Tang, C. M. Dougherty, and R. Bashirullah, "A  $20\mu\text{w}$  neural recording tag with supply-current-modulated afe in  $0.13\ \mu\text{m}$  cmos," in *Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2010 IEEE International*, pp. 122–123, IEEE, 2010.
- [9] J. Lee, M. Johnson, and D. Kipke, "A tunable biquad switched-capacitor amplifier-filter for neural recording," *IEEE transactions on biomedical circuits and systems*, vol. 4, no. 5, pp. 295–300, 2010.
- [10] S. B. Lee, H.-M. Lee, M. Kiani, U.-M. Jow, and M. Ghovanloo, "An inductively powered scalable 32-channel wireless neural recording system-on-a-chip for neu-

rosience applications,” in *Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2010 IEEE International*, pp. 120–121, IEEE, 2010.

- [11] H. Rezaee-Dehsorkh, N. Ravanshad, R. Lotfi, K. Mafinezhad, and A. M. Sodagar, “Analysis and design of tunable amplifiers for implantable neural recording applications,” *IEEE Journal on Emerging and Selected Topics in Circuits and Systems*, vol. 1, no. 4, pp. 546–556, 2011.
- [12] R. Puddu, C. Carboni, L. Bisoni, G. Barabino, D. Pani, L. Raffo, and M. Barbaro, “A precision pseudo resistor bias scheme for the design of very large time constant filters,” *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 64, no. 7, pp. 762–766, 2017.
- [13] C. Yehoshuva, R. Rakhi, D. Anto, and S. Kaurati, “0.5 v, ultra low power multi standard g m-c filter for biomedical applications,” pp. 165–169, 2016.
- [14] H. Li, J. Zhang, and L. Wang, “A fully integrated continuous-time 50-hz notch filter with center frequency tunability,” pp. 3558–3562, 2011.
- [15] S. A. Mahmoud, A. Bamakhramah, and S. A. Al-Tunaiji, “Six order cascaded power line notch filter for ecg detection systems with noise shaping,” *Circuits, Systems, and Signal Processing*, vol. 33, no. 8, pp. 2385–2400, 2014.
- [16] M. S. Ansari, R. Sinha, and S. Khot, “Ultra-low power 50/60hz notch filter for biomedical signal acquisition using  $32\text{nm}\pm 0.15\text{ v}$  bulk-driven subthreshold cmos otas,” pp. 309–313, 2017.
- [17] J. A. Costa and T. C. Pimenta, “Cmos analog front-end ic for eeg applications with high powerline interference rejection,” pp. 1–4, 2018.
- [18] A. Aqueel and M. S. Ansari, “Subthreshold cmos low-transconductance ota for powerline interference elimination notch,” pp. 510–515, 2017.
- [19] M. A. Sohel, M. Naaz, M. Raheem, and M. Munaaf, “Design of discrete time notch filter for biomedical applications,” pp. 487–490, 2017.
- [20] A. Albulbul, “Evaluating major electrode types for idle biological signal measurements for modern medical technology,” *Bioengineering*, vol. 3, no. 3, p. 20, 2016.
- [21] R. F. Yazicioglu, C. Van Hoof, and R. Puers, *Biopotential readout circuits for portable acquisition systems*. Springer Science & Business Media, 2008.
- [22] L. H. S. Barradas, “A high dynamic range-cmrr and tunable bandwidth front-end amplifier for biomedical applications,” 2015.
- [23] B. Razavi, *Design of analog CMOS integrated circuits*. New York: McGraw-Hill, 2001.

- [24] R. J. Baker, *CMOS: circuit design, layout, and simulation*, vol. 1. John Wiley & Sons, 2008.
- [25] H. P. Hsu, R. Mehra, F. Velasco Coba, *et al.*, *Análisis de Fourier*. 1987.
- [26] B. Boulet and L. Chartrand, *Fundamentals of signals and systems*. Da Vinci Engineering Press Hingham, MA, 2006.
- [27] J. O. Smith, “Mathematics of the discrete fourier transform (dft),” *Center for Computer Research in Music and Acoustics (CCRMA), Department of Music, Stanford University, Stanford, California*, 2002.
- [28] A. Tajalli and Y. Leblebici, *Extreme low-power mixed signal IC design: subthreshold source-coupled circuits*. Springer Science & Business Media, 2010.
- [29] C. C. Enz, F. Krummenacher, and E. A. Vittoz, “An analytical mos transistor model valid in all regions of operation and dedicated to low-voltage and low-current applications,” *Analog integrated circuits and signal processing*, vol. 8, no. 1, pp. 83–114, 1995.
- [30] F. Yáñez-Ortega, J. Rocha-Pérez, A. Diaz-sanchez, C. Muñiz-Montero, and J. Molinar-Solis, “A novel high-value resistor suitable for medical applications,” 06 2012.
- [31] R. R. Harrison and C. Charles, “A low-power low-noise cmos amplifier for neural recording applications,” *IEEE Journal of solid-state circuits*, vol. 38, no. 6, pp. 958–965, 2003.
- [32] B. Gosselin, M. Sawan, and C. A. Chapman, “A low-power integrated bioamplifier with active low-frequency suppression,” *IEEE transactions on biomedical circuits and systems*, vol. 1, no. 3, pp. 184–192, 2007.
- [33] R. R. Harrison and C. Charles, “A low-power low-noise cmos amplifier for neural recording applications,” *IEEE Journal of solid-state circuits*, vol. 38, no. 6, pp. 958–965, 2003.
- [34] H. Kassiri, K. Abdelhalim, and R. Genov, “Low-distortion super-gohm subthreshold-mos resistors for cmos neural amplifiers,” in *2013 IEEE Biomedical Circuits and Systems Conference (BioCAS)*, pp. 270–273, IEEE, 2013.
- [35] Y.-C. Huang, T.-S. Yang, S.-H. Hsu, X.-Z. Chen, and J.-C. Chiou, “A novel pseudo resistor structure for biomedical front-end amplifiers,” 2015.
- [36] A. Tajalli, Y. Leblebici, and E. J. Brauer, “Implementing ultra-high-value floating tunable cmos resistors,” *Electronics letters*, vol. 44, no. 5, pp. 349–350, 2008.

- [37] C. Muñiz-Montero, L. A. Sánchez-Gaspariano, V. H. Ponce-Ponce, M. E. Aguilar-Jáuregui, and O. Espinosa-Sosa, “Procesamiento analógico a partir de elementos altamente resistivos,” *Computación y Sistemas*, vol. 17, no. 4, pp. 609–623, 2013.
- [38] C. Muñiz-Montero, A. Díaz-Sánchez, and R. González-Carvajal, “A very compact khn filter with multidecade tuning,” in *2007 18th European Conference on Circuit Theory and Design*, pp. 44–47, IEEE, 2007.
- [39] A. Torralba, C. Luján-Martínez, R. G. Carvajal, J. Galan, M. Pennisi, J. Ramirez-Angulo, and A. Lopez-Martin, “Tunable linear mos resistors using quasi-floating-gate techniques,” *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 56, no. 1, pp. 41–45, 2009.
- [40] R. Nagulapalli, K. Hayatleh, S. Barker, P. Georgiou, and F. Lidgley, “A high value, linear and tunable cmos pseudo-resistor for biomedical applications,” *Journal of Circuits, Systems and Computers*, p. 1950096, 2018.
- [41] J. Ramírez-Angulo, R. G. Carvajal, J. A. Galán, and A. López-Martín, “A free but efficient low-voltage class-ab two-stage operational amplifier,” *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 53, no. 7, pp. 568–571, 2006.
- [42] A. Torralba, J. Galan, C. Lujan-Martinez, R. G. Carvajal, J. Ramirez-Angulo, and A. Lopez-Martin, “Comparison of programmable linear resistors based on quasi-floating gate mosfets,” in *2008 IEEE International Symposium on Circuits and Systems*, pp. 1712–1715, IEEE, 2008.
- [43] S. E. Paraskevopoulou, A. Eftekhar, N. Kulasekeram, and C. Toumazou, “A low-noise instrumentation amplifier with dc suppression for recording eng signals,” pp. 2693–2696, 2015.
- [44] I. V. Blagouchine and E. Moreau, “Analytic method for the computation of the total harmonic distortion by the cauchy method of residues,” *IEEE Transactions on Communications*, vol. 59, no. 9, pp. 2478–2491, 2011.