



INAOE

Arquitectura de un convertidor analógico digital de plegado basado en celdas winner take all

Por

Rafael Rodríguez Solano

Tesis sometida como requisito parcial para
obtener el grado de

**MAESTRO EN CIENCIAS EN LA
ESPECIALIDAD DE ELECTRÓNICA**

en el

**Instituto Nacional de Astrofísica, Óptica y
Electrónica**

Diciembre 2017

Tonantzintla, Puebla

Supervisada por:

Dr. Guillermo Espinosa Flores-Verdad, INAOE

Dr. Luis Antonio Carrillo Martínez, ITESM

©INAOE 2017

El autor otorga al INAOE el permiso de
reproducir y distribuir copias en su totalidad o en
partes de esta tesis.



*A la memoria de Fidel Solano Baez
y Rafael Rodríguez Domínguez*

Resumen

En los últimos años el incremento de aplicaciones digitales requiere de convertidores analógicos digitales (ADC, por sus siglas en inglés) con elevada tasa de conversión, alta resolución y bajo consumo de potencia, para lo cual han sido propuestas muchas topologías, entre ellas la técnica de plegado, que reduce el número de comparadores ocasionando una disminución en el consumo de potencia; a pesar de sus ventajas el número de bits que se resuelven no es superior a 7.

En este trabajo se presenta una nueva topología para un amplificador de plegado basado en celdas Winner-Take-All (WTA, por sus siglas en inglés), con entrada en modo corriente y salidas en modo corriente y voltaje, y diseñada en tecnología CMOS de $0.18 \mu m$. En este trabajo se implementaron y compararon 3 celdas de WTA, y en base a su ganancia y consumo de potencia se escogió una de ellas para la realización del amplificador de plegado; las corrientes de referencia para los WTA's tienen compensación a la temperatura y para las salidas en voltaje se propone un circuito que reduce el efecto de clockfeedthrough, generado por los interruptores. El amplificador de plegado se diseñó para lograr 32 plegados.

Finalmente, se presenta una nueva topología de un ADC de plegado usando el amplificador de plegado basado en WTA's, el cual presenta diversas ventajas como no usar T&H y comparadores, además de tener salidas en modo corriente y voltaje. Se propone una resolución de 10 bits para el ADC; el sistema fue simulado utilizando HSPICE[®] y los resultados obtenidos muestran un $DNL = \pm 0,1$, $INL = \pm 0,4$ y $ENOB = 7,0646$; esta pérdida de bits, se debe al uso de espejos como entrada para el WTA, la degradación de la impedancia de salida y la poca robustez de los WTA.

Summary

In recent years, the increase in digital applications requires digital analog converters (ADCs) with a high conversion rate, high resolution and low power consumption, for which many topologies have been proposed, among them the technique of folding, which reduces the number of comparators causing a decrease in power consumption; despite its advantages, the number of bits that are resolved is not greater than 7.

This work presents a new topology for a folding amplifier based on Winner-Take-All (WTA) cells, with input in current mode and outputs in current and voltage mode, and designed in CMOS technology. 0.18 μm . In this work, 3 WTA cells were implemented and compared, and based on their gain and power consumption one of them was chosen for the realization of the folding amplifier; the reference currents for the WTA's have compensation for the temperature and for the voltage outputs a circuit is proposed that reduces the effect of clockfeedthrough, generated by the switches. The folding amplifier was designed to achieve 32 foldings.

Finally, a new topology of a folding ADC is presented using the folding amplifier based on WTA's, which has several advantages such as not using T&H and comparators, besides having outputs in current and voltage mode. A 10-bit resolution is proposed for the ADC; the system was simulated using HSPICE textsuperscript textregistered 2007 and the results obtained show a $DNL = \pm 0,1$ and $INL = \pm 0,4$, however, the $ENOB = 7,0646$ this bit loss, it must to the use of mirrors like entrance for the WTA, the degradation of the impedance of exit and the little robustness of the WTA.

Agradecimientos

A mi familia:

A mis padres Rafael Rodríguez y María Teresa de Jesús Solano por apoyarme incondicionalmente, por todo el amor recibido y guiarme en los momentos que más lo he necesitado. Gracias por creer en mi.

A mis hermanos Omar Rodríguez y Osvaldo Rodríguez por su ayuda y apoyo incondicional.

A mis abuelitas Yolanda López y Ricarda Martínez por su gran amor y ser partícipes de mi formación.

A mis padrinos Ponciano Arias y Teresa Sánchez por todos sus consejos y amor. Gracias por acompañarme a lo largo del camino.

A Orlanda Susana Rodríguez por su amor y siempre apoyarme sin importar la distancia.

A Amado Romero y Fermín Castillo quienes siempre me tendieron su mano y ayudaron.

A mis amigos:

Daniela Reynoso, Misael Yerena, Javier Mesalles, Israel Zapata, Andrés Jaramillo, Juan Ayala, Dania Largo, Omar Guillen y Jonathan Santiago por todos los momentos compartidos.

A mis asesores universitarios:

A Jose Luis Fernando Palomeque Loyo y Francisco Javier Gómez González quienes me permitieron conocer el INAOE y me guiaron a lo largo de mi carrera universitaria.

A Dr. Librado Arturo Sarmiento Reyes quien me recibiera en INAOE y me permitiera trabajar la residencia profesional en su grupo.

A mis asesores:

Al Dr. Guillermo Espinosa Flores-Verdad y Dr. Luis Antonio Carrillo Martínez. Por haberme brindado su tiempo, guiarme en los momentos que más lo necesité y estar dispuestos a escucharme.

A mis sinodales:

A Dr. María Teresa Sanz Pascual, Dr. José Alejandro Díaz Méndez y Dr. Víctor Rodolfo González Díaz por su tiempo y valiosos comentarios para mejorar este trabajo.

Al Instituto Nacional de Astrofísica, Óptica y Electrónica (INAOE)

Por haberme admitido en el programa de maestría.

Al Consejo Nacional de Ciencia y Tecnología (CONACYT)

Por el apoyo económico otorgado a través de la beca para estudios de maestría número 625657.

Índice general

Resumen	iii
Summary	v
Agradecimientos	vii
Índice de figuras	xiii
Índice de tablas	xvii
Acrónimos	xix
1. Introducción	1
1.1. Amplificador de plegado	3
1.1.1. Amplificador de plegado par	4
1.1.2. Amplificador de plegado impar	6
1.1.3. Modo voltaje	7
1.1.4. Modo corriente	7
1.2. Arquitecturas de ADC de plegado	9
1.2.1. ADC Típico de plegado	9
1.2.2. ADC de plegado con interpolación	12
1.3. Justificación del trabajo	14
1.4. Organización de la tesis	15
2. Amplificador de plegado basado en celdas winner-take-all	17
2.1. Tipos de WTA	17
2.1.1. Celda de Lazzaro	17

2.1.2.	Celda de Sekerkiran	20
2.1.3.	Celda con ganancia mejorada	24
2.2.	Propuesta del amplificador de plegado basado en WTA	26
2.3.	Realización de la celda básica con fuentes no-ideales	29
2.4.	Referencia de corriente robusta a variaciones de temperatura	31
2.5.	Generación de las corrientes de referencia	33
2.6.	Reducción de ClockFeedThrough	34
2.7.	Comparación del amplificador de plegado	37
2.8.	Conclusiones	38
3.	Arquitectura de un convertidor analógico-digital de plegado basado en celdas WTA	39
3.1.	Arquitectura típica de un ADC de plegado	39
3.2.	Propuesta de arquitectura de un ADC de plegado basado WTA's	42
3.2.1.	Cuantizador	43
3.2.2.	Referencias de corriente	45
3.2.3.	Precarga y carga	46
3.2.4.	Circuito para determinar las banderas	49
3.3.	Diagrama esquemático completo del ADC de plegado basado en WTA's	51
3.4.	Resultados	52
3.4.1.	Curva de transferencia	52
3.4.2.	Estáticos	53
DNL	53
INL	54
3.4.3.	Dinámicos	55
SNR	55
ENOB	55
3.4.4.	FOM	56
3.5.	Conclusiones	58
4.	Conclusiones	59
4.1.	Trabajo futuro	60
A.	Pseudocódigos de Matlab	61
A.1.	Algoritmos 1 (DNL e INL) y 2 (SNR)	61

Bibliografía

69

Índice de figuras

1.1. Representación del compromiso entre velocidad de conversión y resolución	1
1.2. Amplificador de plegado	3
1.3. Amplificador de plegado con $F_{plegado} = 2$	4
1.4. Función de transferencia de un amplificador de plegado con $F_{plegado} = 2$	5
1.5. Función de transferencia de un amplificador de plegado con $F_{plegado} = 3$	7
1.6. Roadmap ADC de plegado	9
1.7. Arquitectura de un ADC de plegado	11
1.8. Implementación de la interpolación en un ADC flash	12
1.9. Señales interpoladas de una arquitectura flash	13
1.10. Implementación de la interpolación en un ADC de plegado	13
1.11. Función de transferencia de un ADC de plegado	14
2.1. Diagrama esquemático de la primera implementación de un arreglo de WTA's de Lazzaro	18
2.2. Diagrama esquemático de dos celdas WTA de Lazzaro	19
2.3. Función de transferencia de dos celdas WTA de Lazzaro	19
2.4. Acercamiento a la función de transferencia del WTA de Lazzaro	20
2.5. Configuración de lazo abierto de la celda de Lazzaro	21
2.6. Diagrama esquemático de dos celdas WTA de Sekerkiran	22
2.7. Función de transferencia de dos celdas WTA de Sekerkiran	22
2.8. Acercamiento a la función de transferencia del WTA de Sekerkiran	23
2.9. Diagrama esquemático de dos celdas WTA con ganancia mejorada	24
2.10. Función de transferencia de dos celdas WTA con gain boosting	25
2.11. Acercamiento a la función de transferencia del WTA con gain boosting	25
2.12. Propuesta de un amplificador de plegado basado en WTA	27

2.13. Propuesta de amplificador de plegado con $F_{plegado} = 16$	28
2.14. Propuesta de amplificador de plegado con $F_{plegado} = 32$	28
2.15. Propuesta de celda básica del amplificador de plegado	29
2.16. Función de transferencia de la celda básica con un $F_{plegado} = 32$	30
2.17. Diagrama esquemático de las referencias de corriente	31
2.18. Diagrama esquemático del amplificador usado en las referencias de corriente	32
2.19. Respuesta a la variación de temperatura de la corriente de referencia	32
2.20. Esquema propuesto para la suma de las referencias de corriente	33
2.21. Propuesta de reducción de ClockFeedThrough y Flip-Flop tipo D	34
2.22. Salidas en modo corriente sin reducción de CFT	35
2.23. Salidas en modo corriente con reducción de CFT	36
3.1. Topología típica de un ADC	40
3.2. Topología típica del cuantizador de un ADC tradicional	40
3.3. Capacitancias parásitas de acopla entre salida y entrada	41
3.4. Topología propuesta de un ADC basado en WTA's	42
3.5. Propuesta del cuantizador del ADC de plegado	43
3.6. Suma de corrientes para la generación de referencias de corriente ($\Delta = 10nA$)	45
3.7. Flip-Flop tipo D	46
3.8. Salidas en modo corriente del cuantizador del ADC de plegado	47
3.9. Salida V_{Q2} en modo voltaje del flip-flop	47
3.10. Salida V_{QN2} en modo voltaje del flip-flop	48
3.11. Circuito de banderas	49
3.12. Banderas para detectar código termómetro y termómetro inverso de un amplificador de plegado	50
3.13. Banderas para detectar código termómetro y termómetro inverso de un amplificador de plegado	50
3.14. Diagrama esquemático completo de la arquitectura de plegado propuesta	51
3.15. Función de transferencia del ADC	52
3.16. Acercamiento a la función de transferencia del ADC	53
3.17. DNL del ADC	53
3.18. INL del ADC	54

3.19. SNR del ADC	55
3.20. Roadmap ADC de plegado con resultado del trabajo	58

Índice de tablas

1.1. Amplificador de plegado impar con $F_{plegado} = 3$	6
1.2. Amplificador de plegado modo voltaje	8
1.3. Amplificador de plegado modo corriente	8
1.4. Roadmap ADC de plegado	10
2.1. Tabla comparativa de amplificadores de plegado	37
3.1. Roadmap ADC de plegado	57

Acrónimos

ADC	<i>Analog-to-Digital Converter</i>
CFT	<i>ClockFeedThrough</i>
DNL	<i>Differential NonLinearity</i>
ENOB	<i>Effective Number Of Bits</i>
FOM	<i>Figure Of Merit</i>
INL	<i>Integral Non-Linearity</i>
LSB	<i>Least Significant Bit</i>
SNR	<i>Signal Noise Ratio</i>
T&H	<i>Track and Hold</i>
WTA	<i>Winner-Take-All</i>

Capítulo 1

Introducción

En los circuitos mixtos la conversión de señales del dominio analógico al digital es una de las funciones más importantes, el circuito que realiza dicha conversión es el ADC (Analog to Digital Converter, por sus siglas en inglés). Las principales características que definen el comportamiento de un ADC son: velocidad de conversión, resolución y consumo de potencia.

Existe un compromiso entre velocidad de conversión y resolución dependiendo de la arquitectura seleccionada, como se muestra en la fig. 1.1.

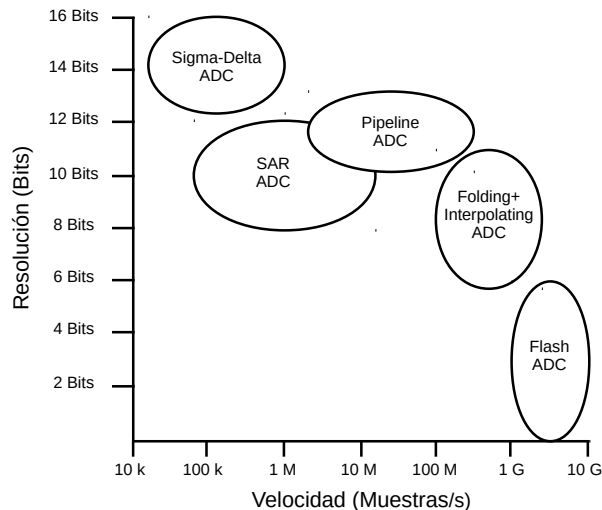


Figura 1.1: Representación del compromiso entre velocidad de conversión y resolución

Una de las arquitecturas más usadas para conseguir velocidades de conversión elevadas (mayores a 1Gmuestras/seg) es la arquitectura flash [1, 2, 3] debido a que realiza una conversión en cada pulso de reloj; esta arquitectura utiliza una escalera

de resistores para generar las referencias de voltaje que requieren para definir los niveles de cuantización, y mediante el uso de comparadores entregar una salida digital en código termómetro. Sin embargo, son necesarios $2^n - 1$ comparadores y voltajes de referencia, donde n es el número de bits, haciendo que esta arquitectura no sea adecuada para lograr una resolución mayor a 8 bits, por ejemplo, para 8 bits de resolución se necesitan 255 comparadores, 255 voltajes de referencia y 255 resistencias generando un consumo de potencia elevado.

Con el fin de minimizar el número de comparadores, en 1975 se desarrolló la arquitectura de plegado [4], la cual consiste en un arreglo de pares diferenciales conectados a una señal de entrada en común y una referencia de voltaje diferente para cada uno de ellos, en la cual, los plegados son generados cuando la señal de entrada es superior a la referencia, estos plegados son comparados con una referencia externa que se encuentra conectada a un comparador y mediante este se generan salidas digitales en código termómetro y termómetro inverso. Sin embargo, el bajo número de plegados ha sido la limitante principal, en la literatura se han reportado 9 [5], ya que para resoluciones mayores a 7 bits constaría de un arreglo de 16 amplificadores de plegado, 16 comparadores, 144 referencias de voltaje y 144 resistencias.

Con el fin de aumentar la resolución se propusieron las arquitecturas híbridas, combinando la arquitectura de plegado con otras tales como flash e interpolación. A pesar de ello los problemas relacionados con consumo de potencia y resolución nuevamente aparecen, debido a que el número de plegados por cada amplificador de plegado no se ve incrementado implicando un alto número de los mismos y en consecuencia aumentando el consumo de potencia, además, del consumo generado por las arquitecturas añadidas.

Para reducir tales problemas, en la presente tesis se presenta una topología novedosa que reemplaza el núcleo del amplificador de plegado tradicional (pares diferenciales y espejos de corriente) con una celda WTA (Winner-Take-All, por sus siglas en inglés), la nueva matriz de WTA evita utilizar comparadores y T&H (Track and Hold, por sus siglas en inglés), además, entrega una salida digital en corriente, permite realizar un elevado número de plegados (32) y, junto con una nueva propuesta de reducción de inyección de carga al canal (CFT, por sus siglas en inglés), generar

una salida digital en voltaje.

1.1. Amplificador de plegado

La topología del amplificador de plegado consiste en un arreglo de pares diferenciales que están acoplados alternadamente en su salida a una carga diferencial, como se muestra en la fig. 1.2. En cada uno de ellos una entrada está conectada a la señal de entrada y la otra está conectada a una referencia de voltaje, donde la referencia de voltaje se genera usando una escalera de resistores. El problema de usar redes resistivas es que los resistores varían $\pm 15\%$ con variaciones de proceso y $\pm 7\%$ con variaciones en la temperatura [6].

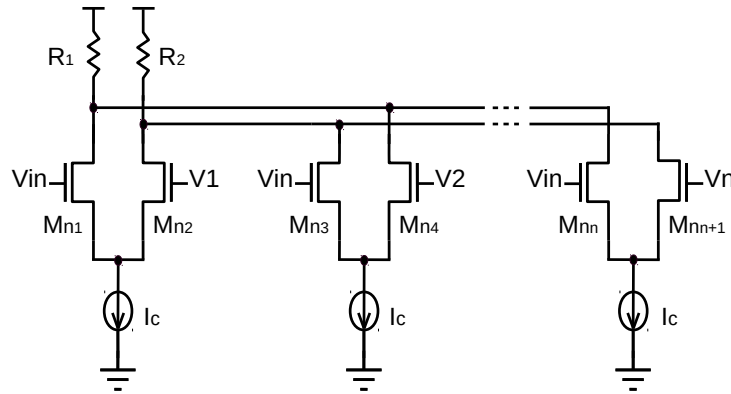


Figura 1.2: Amplificador de plegado

Para esta topología, el número de amplificadores de plegado está definido por

$$N_{plegado} = \frac{2^n}{F_{plegado}} \quad (1.1.1)$$

Donde $N_{plegado}$ es el número de amplificadores de plegado, n es el número de bits y $F_{plegado}$ es el factor de plegado. En las siguientes dos secciones se explicará cual es la diferencia entre usar un $F_{plegado}$ par e impar.

1.1.1. Amplificador de plegado par

Para realizar un amplificador de plegado con un $F_{plegado} = 2$, donde se supone que todos los elementos son ideales, y el voltaje $V_1 < V_2$, se propone la arquitectura presentada en la fig. 1.3.

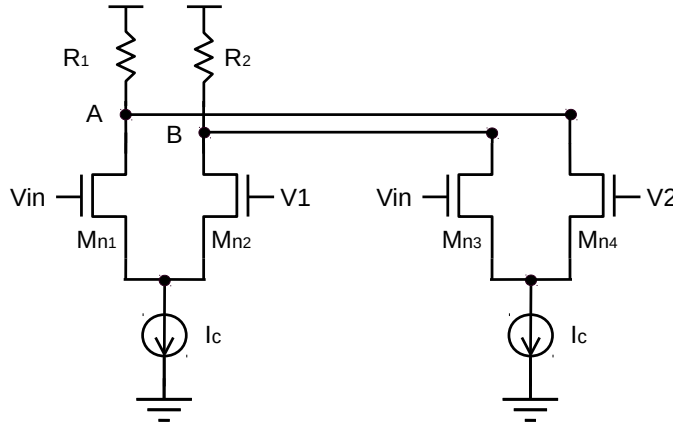


Figura 1.3: Amplificador de plegado con $F_{plegado} = 2$

En el caso cuando $V_{in} < V_1$, los transistores M_{n1} y M_{n3} están en corte, lo que causa que i_c pase a través de los transistores M_{n2} y M_{n4} , generando los voltajes $A = V_{DD} - i_c R_1$ y $B = V_{DD} - i_c R_2$.

Cuando $V_{in} = V_1$, la corriente se divide a la mitad en cada rama del primer par diferencial, por otra parte, el segundo par diferencial mantiene en saturación el transistor M_{n4} y M_{n3} en corte, lo cual, causa una suma de corrientes en los nodos A y B , obteniendo los voltajes $A = V_{DD} - \frac{3}{2}i_c R_1$ y $B = V_{DD} - \frac{1}{2}i_c R_2$.

Y cuando $V_1 < V_{in} < V_{ref2}$, los transistores M_{n2} y M_{n3} están en corte, haciendo que el nodo B alcance V_{DD} , mientras que en el nodo A se produce una suma, dando los voltajes $A = V_{DD} - 2i_c R_1$ y $B = V_{DD}$.

Cuando $V_{in} = V_2$, el transistor M_{n2} continúa en corte; por otro lado, el transistor M_{n3} conduce la mitad de i_c , por lo que los voltajes son $A = V_{DD} - \frac{3}{2}i_c R_1$ y

$$B = V_{DD} - \frac{1}{2}i_c R_2.$$

Finalmente cuando $V_{in} > V_2$, el transistor M_{n4} entra en corte haciendo que i_c pase a través de M_{n3} , mientras que el transistor M_{n2} continúa en corte, dando los voltajes $A = V_{DD} - i_c R_1$ y $B = V_{DD} - i_c R_2$.

Los voltajes A y B tienen entonces la forma de onda mostrada en la figura 1.4, como se observa la excursión de voltaje de salida es limitada, por tanto, se adquiere un compromiso entre el número de plegados y excursión, ya que de aumentar la carga para lograr un mayor número de plegados, el amplificador de plegado podría salir de la región de saturación; por otro lado, si aumentar la corriente de cola el tamaño del par diferencial aumentaría generando capacitancias mayores, disminuyendo la velocidad del circuito.

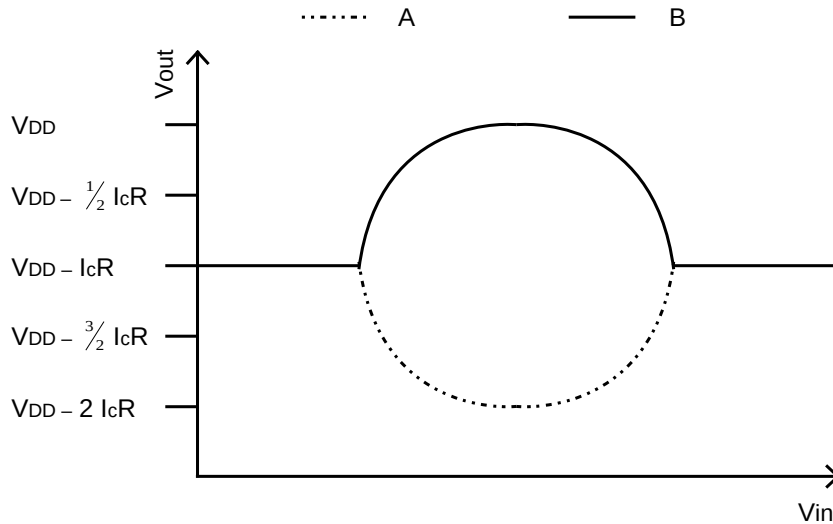


Figura 1.4: Función de transferencia de un amplificador de plegado con $F_{plegado} = 2$

Como se observa en la figura 1.4, la función de transferencia de un amplificador de plegado par no exhibe puntos de cruce entre la señal de entrada y los voltajes de referencia del circuito, esto impide al comparador conectado a la salida del amplificador de plegado entregar salidas digitales, debido a que al estar el comparador de manera diferencial no detectará ningún cruce entre las señales y a la salida del mismo

no habrá cambio.

1.1.2. Amplificador de plegado impar

Ahora, utilizando el amplificador de plegado con un $F_{plegado} = 3$ y tomando las suposiciones anteriormente mencionadas (elementos ideales y $V_1 < V_2 < V_3$), los voltajes obtenidos a la salida son mostrados en la tabla 1.1.

Tabla 1.1: Amplificador de plegado impar con $F_{plegado} = 3$

Casos	Voltajes
$V_{in} < V_1$	$A = V_{DD} - i R_1$ $B = V_{DD} - 2i R_2$
$V_{in} = V_1$	$A = V_{DD} - 3/2 i R_1$ $B = V_{DD} - 3/2 i R_2$
$V_{in} < V_2$	$A = V_{DD} - 2i R_1$ $B = V_{DD} - i R_2$
$V_{in} = V_2$	$A = V_{DD} - 3/2 i R_1$ $B = V_{DD} - 3/2 i R_2$
$V_{in} < V_3$	$A = V_{DD} - i R_1$ $B = V_{DD} - 2i R_2$
$V_{in} = V_3$	$A = V_{DD} - 3/2 i R_1$ $B = V_{DD} - 3/2 i R_2$
$V_{in} > V_3$	$A = V_{DD} - 2i R_1$ $B = V_{DD} - i R_2$

Como se puede observar hay puntos de cruce entre las señales en los casos $V_{in} = V_1$, $V_{in} = V_2$ y $V_{in} = V_3$, con los cuales, el comparador a la salida del amplificador de plegado podrá entregar salidas digitales; a pesar de ello, la excursión de los voltajes de salida se hace aún menor, con lo cual, de incrementarse el número de plegamientos, la excursión puede llegar a ser comparable con el ruido y no ser detectable por el comparador.

La función de transferencia del amplificador de plegado impar se muestra en la figura 1.5.

Se puede observar que es posible detectar puntos de cruce entre V_{in} y V_{ref} , por lo que, para el resto de la tesis las operaciones utilizarán un número par en $F_{plegado}$, sin embargo, su implementación será impar.

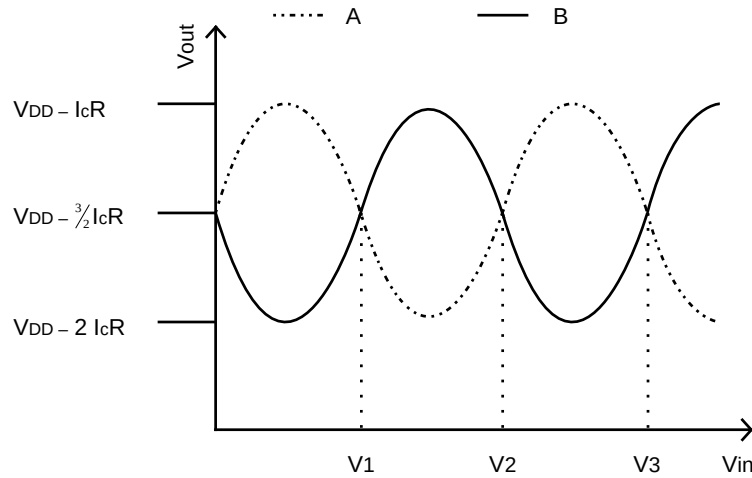


Figura 1.5: Función de transferencia de un amplificador de plegado con $F_{plegado} = 3$

1.1.3. Modo voltaje

Los amplificadores de plegado en modo voltaje es la topología más comúnmente usada, sin embargo, debido a que está construido en base a pares diferenciales, los problemas de la excursión máxima de los voltajes de salida en tecnologías nanométricas; y a que la velocidad de plegado está limitada debido a la fuente de voltaje de alimentación [7] hace que esta arquitectura no sea adecuada para lograr una buena excursión ni una buena linealidad. En la gráfica 1.2 se muestran los trabajos más destacados en amplificadores de plegado en modo de voltaje.

Como se puede observar en la tabla los trabajos realizados en el amplificador de plegado en modo de voltaje el rango de excursión es limitado [5] y no se generan más de 9 plegados.

1.1.4. Modo corriente

Los amplificadores de plegado en modo corriente están basados en espejos de corriente, los beneficios que conlleva lo anterior es la linealidad y excursión máxima, ya que no está ligada a la fuente de voltaje de alimentación [12]. Se han propuesto diferentes maneras de implementar amplificadores de plegado utilizando espejos de corriente [12, 13, 14, 15], sin embargo, algunos de ellos usan comparadores [12, 15]

Tabla 1.2: Amplificador de plegado modo voltaje

Referencia	Año	VDD (v)	$F_{plegado}$	Tecnología	% VDD rango de plegado	% VDD excursión de salida
[8]	1997	5	6	1 μm BiCMOS	-	-
[9]	1998	3.2	5	0.5 μm BiCMOS	-	-
[10]	2006	1.2	9	90 nm	-	-
[11]	2010	3.3	8	0.35 μm	-	-
[5]	2014	1	9	45 nm PD SOI-CMOS	90 %	22 %

incrementando el consumo de potencia. Por desgracia en la literatura no se informa de la potencia requerida para realizar una conversión con este tipo de amplificadores.

En la tabla 1.3 se enumeran las características de los últimos trabajos en amplificadores de plegado en modo de corriente.

Tabla 1.3: Amplificador de plegado modo corriente

Referencia	Año	VDD(volts)	Barrido de la señal de entrada	$F_{plegado}$	Tecnología
[13]	2000	3	10 μA	5	350 nm
[12]	2006	1.5	60 μA	4	180 nm
[14]	2014	1	20 μA	4	180 nm
[15]	2015	1.8	20 μA	4	150 nm

Como se puede observar en la tabla, en los últimos años se han realizado trabajos para desarrollar nuevas topologías de amplificadores de plegado basados en espejos de corriente, a pesar de la linealidad y excursión máxima, en todos los casos el factor de plegado no es mayor a cinco, lo cual, limita su uso.

1.2. Arquitecturas de ADC de plegado

Hay dos tipos de arquitectura de convertidores analógico-digital (ADC, por sus siglas en inglés), el primero, comúnmente llamado “típico”, constituido por un ADC flash y uno de plegado, y el segundo basado en interpolaciones; mismos que serán descritos en las siguientes secciones. La figura 1.6 muestra gráficamente los últimos trabajos en ADC de plegado, mientras que a tabla 1.4 muestra sus características.

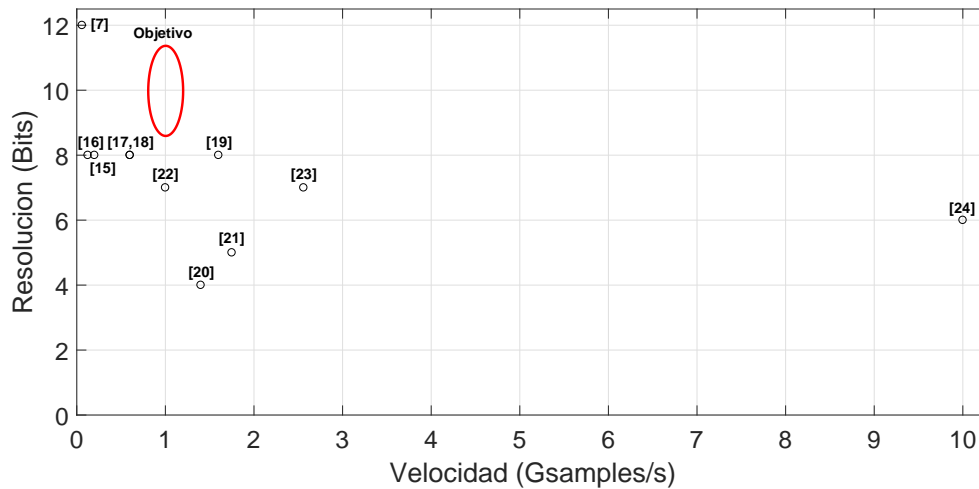


Figura 1.6: Roadmap ADC de plegado

1.2.1. ADC Típico de plegado

Esta arquitectura consiste en un ADC flash con uno de plegado trabajando en paralelo, donde el primero resuelve la parte gruesa, y el segundo la parte fina, de una palabra digital. Esta arquitectura ADC utiliza una escalera de resistores para generar sus referencias de voltaje, mismas que se compararán con el voltaje de entrada, la topología se muestra en la fig. 1.7. Los principales problemas de su uso es la no monotonicidad, códigos perdidos y errores de sincronización.

El ADC flash requiere $2^n - 1$ comparadores para una conversión de n -bits, por lo cual, diseñar un convertidor de 8 o más bits no es adecuado ya que implicaría el uso de al menos 255 comparadores incrementando el consumo de potencia de manera

Tabla 1.4: Roadmap ADC de plegado

Referencia	f_{in} (MHz)	Bit	ENOB	GS/s	Tecnología	Arquitectura	INL (LSB)	DNL (LSB)	Potencia (mW)	SNR (DB)	FOM (J/step)
[16]	1	8	6.4	0.125	0.35 μm CMOS	Folding Flash	+1.5/-1.2	+0.7/-0.5	110	42.4	-
[17]	5	8	7.5	0.60	0.35 μm CMOS	Flash with Interpol Averaging Folding	0.8	0.4	200	-	2.8p
[18]	4	8	7.5	0.60	0.18 μm CMOS	Folding Interpolation	0.7	0.5	207	46.5	-
[19]	50	8	7.26	1.60	0.18 μm CMOS	Folding Averaging and Interpolation	± 0.35	± 0.15	774	46	-
[20]	20	4	3.8	1.40	0.13 μm CMOS	Folding Interpolation	<0.2	<0.3	62	25	-
[21]	220	5	4.7	1.75	90 nm CMOS	Folding Flash	<0.3	<0.3	2.2	28.5	50f
[22]	250	7	6.46	1	65 nm CMOS	Folding Averaging and Interpolation	± 0.6	± 0.3	60	40.7	-
[5]	10	7	6.5	2.56	45 nm SOI CMOS	Folding	0.49	0.3	5.2	41.33	2.79p
[23]	100	6	4.3	10	65 nm CMOS	VTC + TDC	0.49	0.28	98	27.2	504f

considerable, sin embargo, trabajando con el ADC de plegado donde el número de comparadores se rige por la ecuación 1.1.1 hace una importante reducción de los mismos, por ejemplo, si se desarrolla un ADC de 5 bits, con sólo un ADC flash el número de comparadores sería de 31, sin embargo, suponiendo se asignan 2 bits para ADC flash y el resto a la ADC de plegado donde $F_{plegado} = 2$, el total de los comparadores será

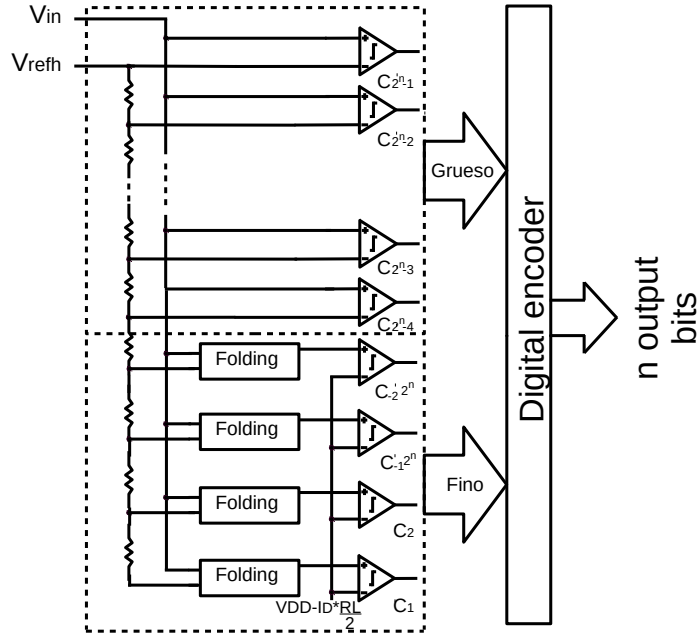


Figura 1.7: Arquitectura de un ADC de plegado

$$(2^{n_{flash}} - 1) + \frac{2^{n_{plegado}}}{F_{plegado}} = 3 + 4 = 7 \quad (1.2.1)$$

Como se puede apreciar en la ecuación anterior uno de los principales beneficios es el reducir el número de comparadores, sin penalizar la velocidad de conversión [24, 3]; a pesar de ello se presentan aún varios inconvenientes, se puede observar que si $F_{plegado}$ aumenta el número de comparadores será menor, sin embargo, el número de plegados logrados está limitado por el voltaje de alimentación [12, 25], además, existen problemas relacionados a la sincronización de salidas debido a las capacitancias parásitas, por otra parte, los voltajes de referencia generados a través de los resistores pueden causar valores imprecisos y un gran consumo de área [26].

1.2.2. ADC de plegado con interpolación

Un interpolador genera una señal eléctrica intermedia entre otras dos señales eléctricas. Este tipo de técnica se combina a menudo con la arquitectura de plegado para reducir el número de amplificadores de plegado conectados a la señal de entrada para resolver cierto número de bits [27]. Debido a que el número de plegados es menor a 10, la interpolación permite aumentar el número de plegados usando un red de resistores. Se toma como ejemplo la aplicación de un interpolador en la arquitectura flash, el cual, se presenta el siguiente diagrama.

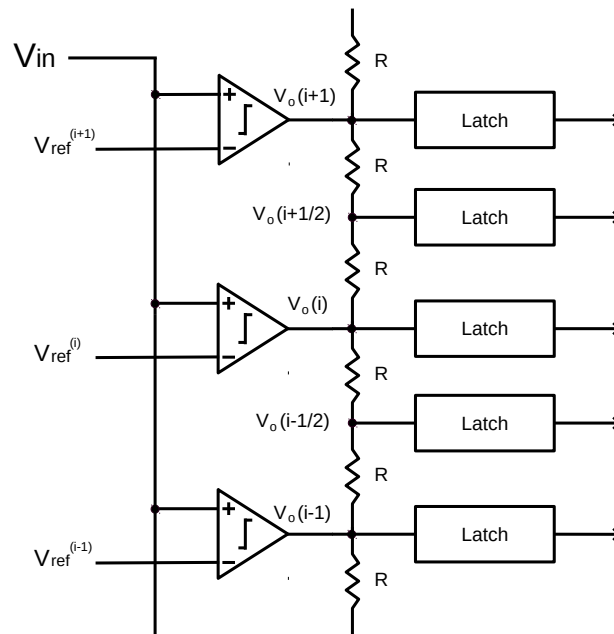


Figura 1.8: Implementación de la interpolación en un ADC flash

Suponiendo que la señal de entrada se desplaza desde cero hasta su valor máximo; mientras aumenta, se activa el latch de $V_{ref}^{(i-1)}$ seguido de $V_{ref}^{(i-\frac{1}{2})}$ y así sucesivamente hasta $V_{ref}^{(i+1)}$ en código termómetro. Como resultado, se han creado más niveles de referencia entre $V_{ref}^{(i-1)}$ y $V_{ref}^{(i+1)}$, sus valores interpolados se muestran en la fig. 1.9.

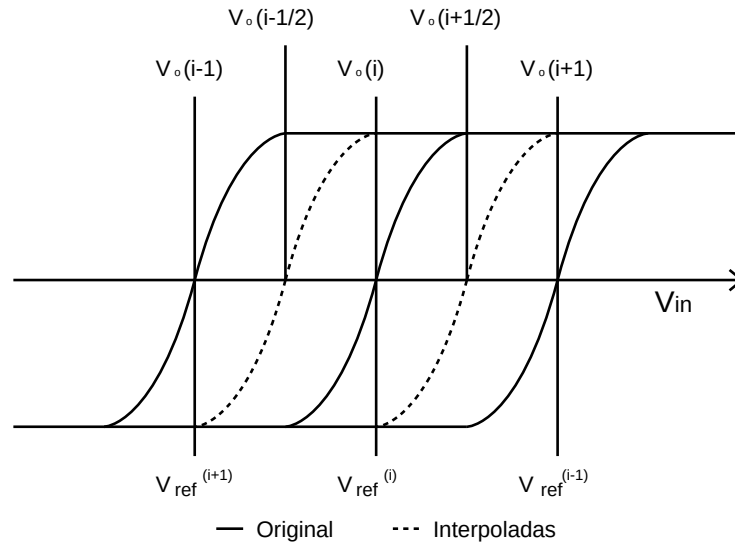


Figura 1.9: Señales interpoladas de una arquitectura flash

Basándose en el ejemplo anterior, se aplica la interpolación a la arquitectura de plegado de la manera mostrada en la fig. 1.10, obteniéndose la función de transferencia mostrada en la fig. 1.11.

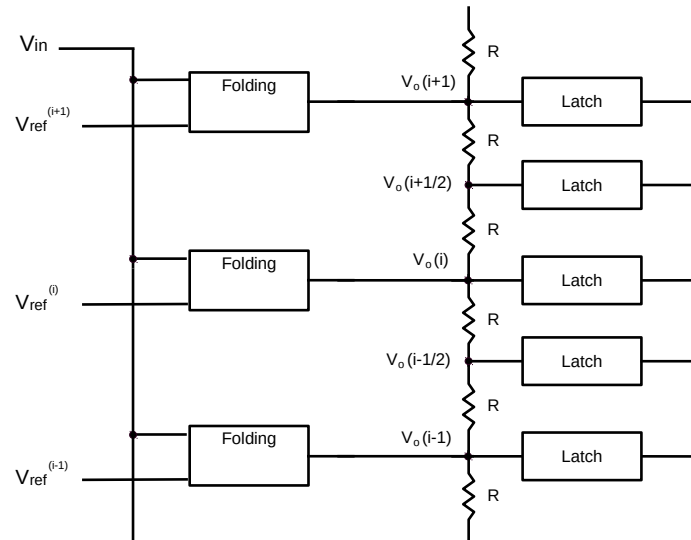


Figura 1.10: Implementación de la interpolación en un ADC de plegado

Donde $V_{int} = (V_{F1} + V_{F2})/2$, la señal interpolada es más pequeña que las señales generadoras [28]. Es importante que el cruce por cero de la señal generada se

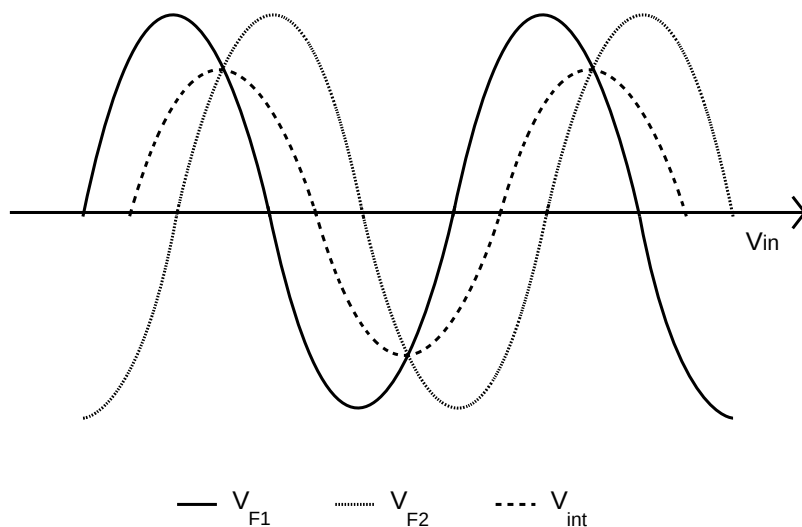


Figura 1.11: Función de transferencia de un ADC de plegado

encuentre en medio de las dos señales generadoras V_{F1} y V_{F2} ya que un error en esos cruces por cero puede provocar errores de linealidad. Como se puede concluir, el uso de interpoladores permite obtener señales adicionales sin aumentar el número de amplificadores de plegado. Sin embargo, el uso de redes resistivas incrementa el consumo de potencia, además de ser susceptibles a variaciones de proceso y temperatura [6], pudiendo ocasionar no monotonicidad. Un amplificador de plegado con un alto número de plegados (32), permite aumentar la resolución de un ADC sin la necesidad de usar interpoladores.

1.3. Justificación del trabajo

La arquitectura de plegado ha demostrado ser una opción eficaz para reducir el número de comparadores sin comprometer velocidad de conversión y consumo de potencia [4]; sin embargo, el bajo número de plegados limita su resolución a 8 bits.

En el amplificador de plegado en modo voltaje, el bajo número de plegados está relacionado a la fuente de alimentación, la cual, en nuevas tecnologías ha disminuido,

generando un compromiso entre el número de plegados y la resolución; debido a esto, se ha optado por el amplificador de plegado en modo corriente, ya que el número de plegados no está relacionado a la fuente de alimentación. Sin embargo, las topologías aún están en desarrollo y no han logrado que el factor de plegado se incremente, ocasionando que se eleve el número de amplificadores para realizar conversiones mayores a 8 bits; otro problema es el uso de comparadores después del amplificador de plegado, que causan un incremento en el consumo de potencia y la complejidad de la arquitectura.

Con el fin de aumentar la resolución se han implementado otras arquitecturas tales como la flash e interpolación, a pesar de lograr aumentar la resolución, el bajo número de plegados vuelve a ser la limitante, ocasionando que se eleve el consumo de potencia.

Para reducir los problemas mencionados se ha propuesto una nueva topología que reemplaza el núcleo del amplificador de plegado (pares diferenciales y espejos de corriente) con un *WTA* en modo corriente. Utilizando el nuevo arreglo de *WTA* propuesto se obtienen salidas digitales en corriente reduciendo la complejidad del sistema al no usar comparadores, T&H y voltajes de referencia. Además, se reduce el consumo de potencia y se logra hacer un elevado número de plegados ($F_{plegado} = 32$). Finalmente, se añade una nueva propuesta de reducción de clockfeedthrough (CFT) que permite, mediante el uso de flip-flops, obtener salidas en modo voltaje.

1.4. Organización de la tesis

La tesis se organiza de la siguiente manera: El capítulo 2 explica el *WTA* y su papel fundamental en la sustitución de los pares diferenciales y espejos de corriente, también se muestran los resultados de la propuesta del amplificador de plegado. El capítulo 3 muestra la propuesta de diseño de la arquitectura para el ADC de plegado y una revisión de cada uno de sus bloques, así como los resultados obtenidos de las simulaciones con el programa HSpice[®] 2007. En el capítulo 4 se muestran las conclusiones de este trabajo, así como el trabajo futuro. En el apéndice A se presenta un pseudocódigo en MATLAB[®] para caracterizar el ADC.

Amplificador de plegado basado en celdas winner-take-all

En este capítulo, se describe la celda WTA, sus características, el criterio de elección y, su implementación como amplificador de plegado. Se muestran simulaciones del número de plegados.

2.1. Tipos de WTA

En esta sección se presentan los principales tipos de WTA, las propiedades de cada uno, así como su función de transferencia.

2.1.1. Celda de Lazzaro

El concepto de WTA inicialmente se propuso para redes neuronales [29]. En la figura 2.1 se observa la primera implementación de un WTA.

Como se puede observar en la figura 2.1, el diagrama está compuesto de tres celdas cada una formada por un par de transistores ($M_{11} - M_{21}, M_{1k} - M_{2k}$ y $M_{1n} - M_{2n}$); existe un nodo que comparte cada WTA; el cual, está asociado con el potencial V_c , cuyo objetivo es seleccionar la celda ganadora, para lo cual, cada celda contribuye con una corriente a través del transistor T_{2_2}, T_{2_k} y T_{2_n} y para aplicarlo localmente, cada celda WTA responde al voltaje V_c , usando el transistor T_{1_1}, T_{1_k} y T_{1_n} . Este comportamiento es en tiempo continuo y sin el uso de relojes.

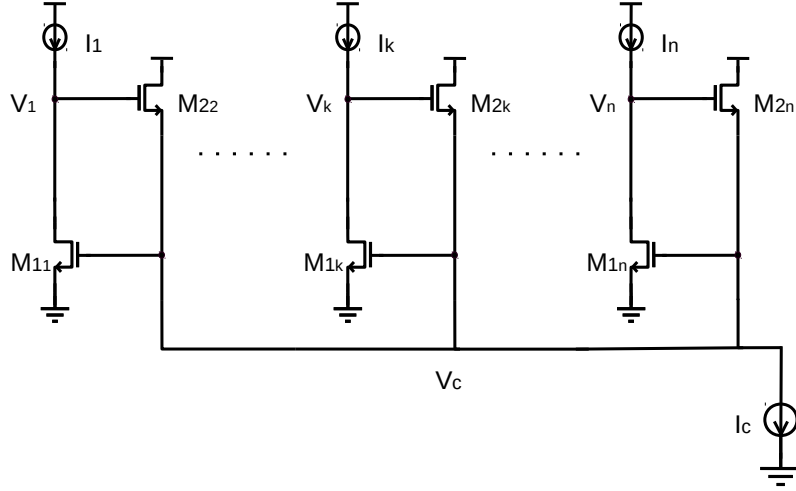


Figura 2.1: Diagrama esquemático de la primera implementación de un arreglo de WTA's de Lazzaro

Se utilizará la figura 2.2 para explicar el funcionamiento del WTA. Considere que $I_{in} = I_{Ref} \equiv I_m$, donde I_m es un valor de corriente; por lo que los transistores M_{11} y M_{21} tendrán el mismo voltaje de compuerta a fuente, y ambos conducirán I_m ; por lo tanto, los voltajes de drenaje V_1 y V_2 serán iguales. Los transistores M_{12} y M_{22} tienen voltajes de fuente, drenaje y compuerta idénticos y, por ello, conducen una corriente idéntica $I_{M_{12}} = I_{M_{22}} = I_c/2$. Por lo cual, para las corrientes de entrada iguales, se obtienen voltajes de salida iguales.

Ahora considere la entrada $I_{in} = I_m + \delta_i$ e $I_{Ref} = I_m$. El transistor M_{11} conduce δ_i más que el transistor M_{21} , lo cual provoca que el voltaje de drenaje a fuente de M_{11} aumente, al mismo tiempo aumenta el voltaje de compuerta del transistor M_{12} , por lo que aumenta la corriente de $I_{M_{12}}$; debido a que la suma de $I_{M_{12}} + I_{M_{22}} = I_c$ la corriente que pasa a través del transistor $I_{M_{22}}$ es $I_{M_{22}} = I_c - \delta_i$, lo que genera que el voltaje compuerta fuente de M_{21} disminuya, y a su vez disminuya el voltaje de drenaje a fuente (V_2). De continuar incrementando la corriente de entrada I_{in} , M_{21} deja de operar en saturación y llevaría a $V_2 = 0$, ocasionando que M_{22} deje de operar en saturación, por lo que M_{12} conduce toda la corriente de modo común I_c . La función

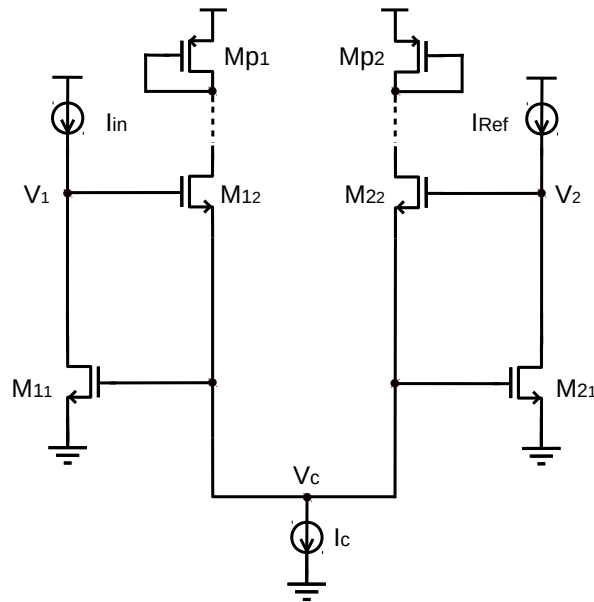


Figura 2.2: Diagrama esquemático de dos celdas WTA de Lazzaro

de transferencia se muestra en la figura 2.3.

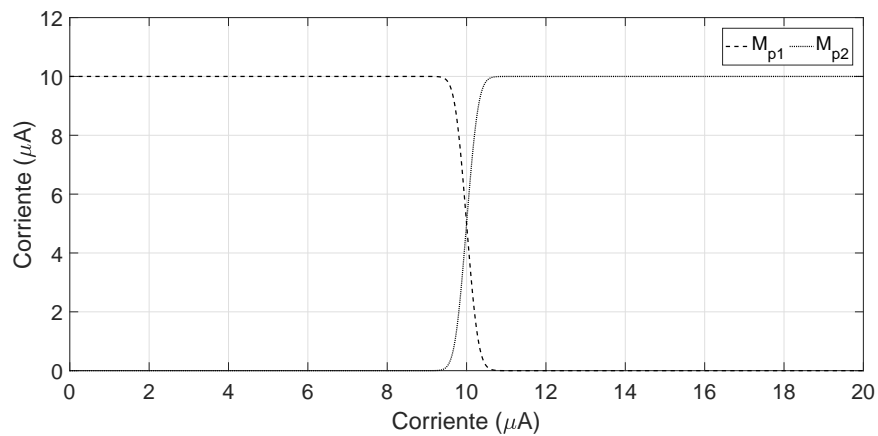


Figura 2.3: Función de transferencia de dos celdas WTA de Lazzaro

Como se observa, la función de transferencia muestra una respuesta similar un par diferencial y; se realiza un acercamiento a la función de transferencia en la figura 2.4.

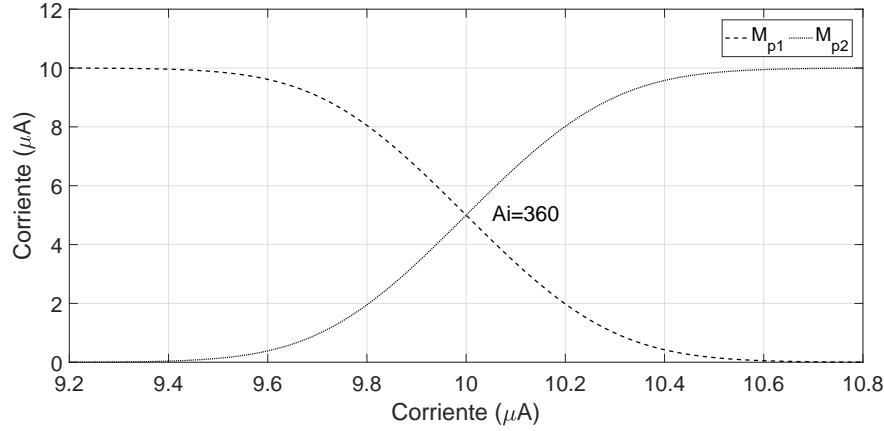


Figura 2.4: Acercamiento a la función de transferencia del WTA de Lazzaro

Se aprecia en la imagen que la transición de alto a bajo es de manera gradual.

2.1.2. Celda de Sekerkiran

En 1997 Sekerkiran propuso una mejora a la celda de Lazzaro [30], principalmente en dos aspectos, la limitación de la resolución que se deriva del desacoplamiento entre dispositivos (mismatch), en la cual depende de la variación de los parámetros físicos y geométricos; para reducirlo y/o compensarlo se pueden implementar diversas técnicas, como evitar utilizar dimensiones mínimas en los transistores MOS, realizar la descripción física de los dispositivos (layout) mediante la técnica de transistores interdigitados [31]; y el error sistemático de la resolución, este factor se atribuye a la ganancia finita en lazo abierto de las etapas de ganancia. Cuanto mayor sea la ganancia, mayor será la resolución. La fig. 2.5 representa la configuración en lazo abierto de una celda de Lazzaro.

La ganancia de lazo abierto esta dada por

$$A_v = \left(\frac{gm_{M_{12}}}{gm_{M_{12}} + gmb_{M_{12}}} \right) gm_{M_{11}} R_{out} \quad (2.1.1)$$

Donde $gm_{M_{12}}$ y $gm_{M_{11}}$ son la transconductancia en pequeña señal de M_{12} , y M_{11} , $gmb_{M_{12}}$ es la transconductancia de sustrato en pequeña señal de M_{12} y R_{out} es el paralelo de los resistores de salida $R_{out-source}$ asociadas con la corriente de entrada y M_{11} . [30]

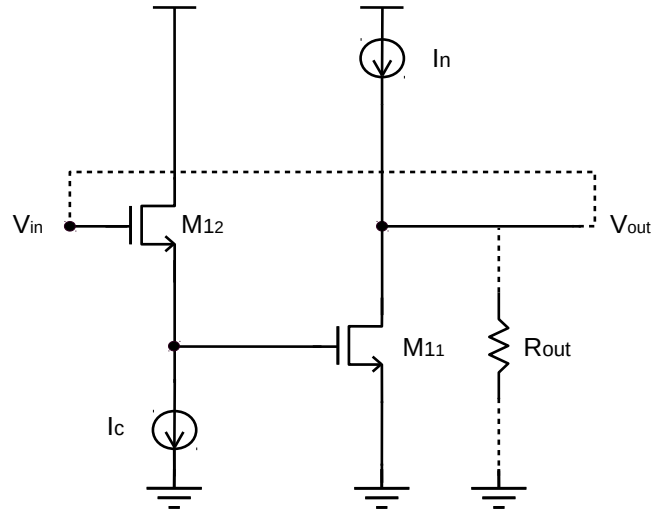


Figura 2.5: Configuración de lazo abierto de la celda de Lazzaro

El voltaje diferencial entre los nodos de evaluación de la celda ganadora y su sucesor puede suponerse que es igual a la caída de voltaje a través de R_{out} generada por su corriente de entrada diferencial. La ganancia depende linealmente de $g_{m_{M11}}$ y R_{out} lo cual implica tener valores elevados para esas variables si se desea una ganancia mayor.

Dado que la corriente a través de M_{11} es la corriente de entrada y no es un parámetro de diseño, la única forma de lograr una alta transconductancia de M_{11} es aumentar su relación de aspecto (W/L); sin embargo, la consecuencia será la reducción de la resistencia de salida. Por esa razón, se utiliza una configuración cascode para mejorar la resistencia de salida ($g_{m_{13}} r_{ds_{13}} r_{ds_{11}}$), la configuración se muestra en la fig. 2.6.

Suponiendo $I_{in} > I_{Ref}$, el nivel de voltaje de salida del ganador (V_1) es igual a la suma del voltaje compuerta fuente de M_{12} que conduce la corriente de modo común (I_c) y el voltaje drenaje fuente de M_{13} y M_{11} que conducen el máximo de la corriente de entrada aplicada. Por otro lado, el nivel de voltaje de salida para el perdedor (V_2) es igual a $M_{23} - V_{th}$. La máxima separación entre los niveles de salida del ganador y perdedor se obtiene disminuyendo M_{23} por lo tanto, el voltaje de drenaje de M_{21} se reduce al límite de la región lineal. Como este límite

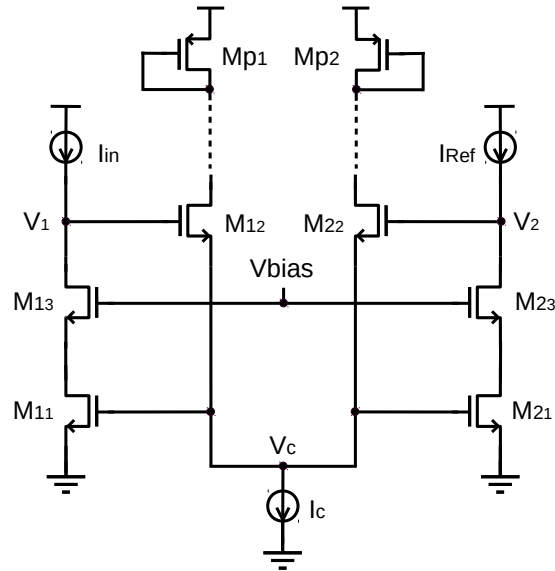


Figura 2.6: Diagrama esquemático de dos celdas WTA de Sekerkiran

depende de la corriente de entrada máxima (I_{in}), la solución más simple es mantener la compuerta de M_{23} a un nivel constante, lo que permite que M_{21} operar en saturación incluso en el peor de los casos donde la entrada máxima se aplica a una de las celdas. La función de transferencia del cascode WTA se muestra en la figura 2.7.

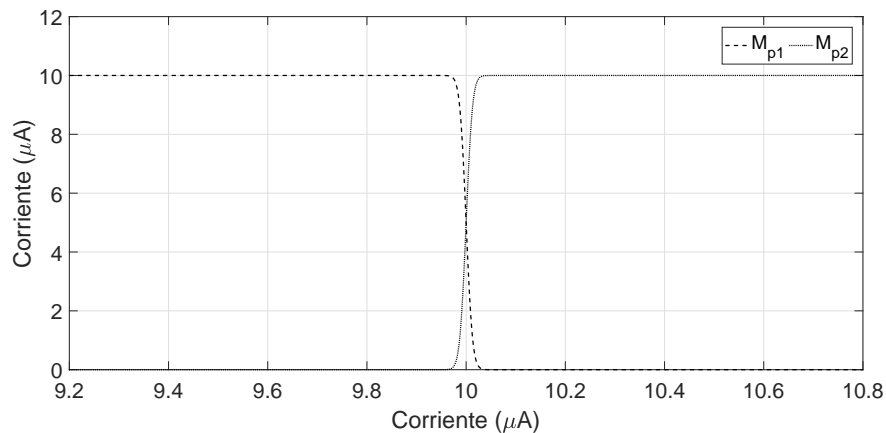


Figura 2.7: Función de transferencia de dos celdas WTA de Sekerkiran

Se realiza un acercamiento a la función de transferencia en la figura 2.8

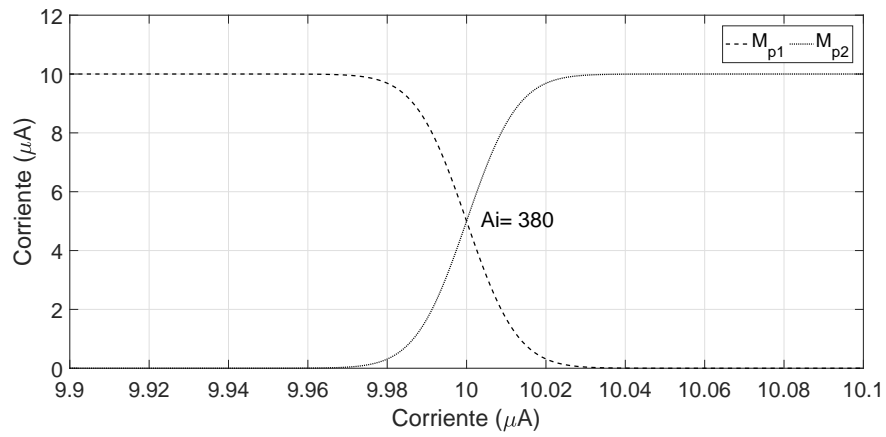


Figura 2.8: Acercamiento a la función de transferencia del WTA de Sekerkiran

Como se puede apreciar dado que la ganancia es mayor, la transición es más rápida que la del WTA de Lazzaro (fig. 2.4).

2.1.3. Celda con ganancia mejorada

La técnica de ganancia mejorada (gain boosting) [32] implica utilizar una retroalimentación mediante un amplificador para mejorar la impedancia de los circuitos cascode sin penalizar velocidad. El diagrama esquemático implementado se muestra en la fig. 2.9.

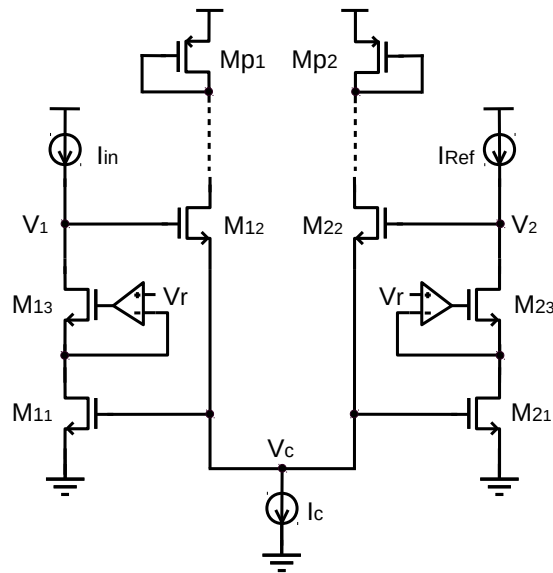


Figura 2.9: Diagrama esquemático de dos celdas WTA con ganancia mejorada

La salida del amplificador está conectada a la compuerta del transistor M_{13} , aumentando así la impedancia de salida del circuito [32]. Esta técnica permite obtener un comportamiento de alta ganancia en DC con una elevado ancho de banda de un amplificador de una sola etapa de ganancia. La respuesta obtenida se muestra en la fig. 2.10.

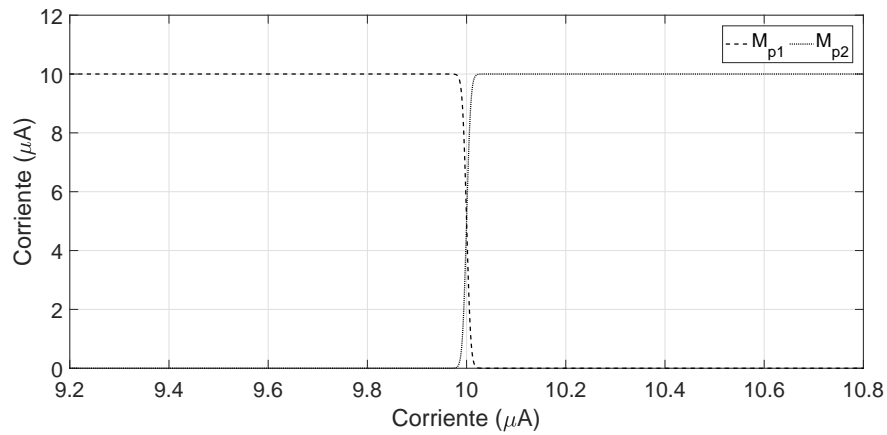


Figura 2.10: Función de transferencia de dos celdas WTA con gain boosting

Se realizará un acercamiento a la función de transferencia de la fig 2.10

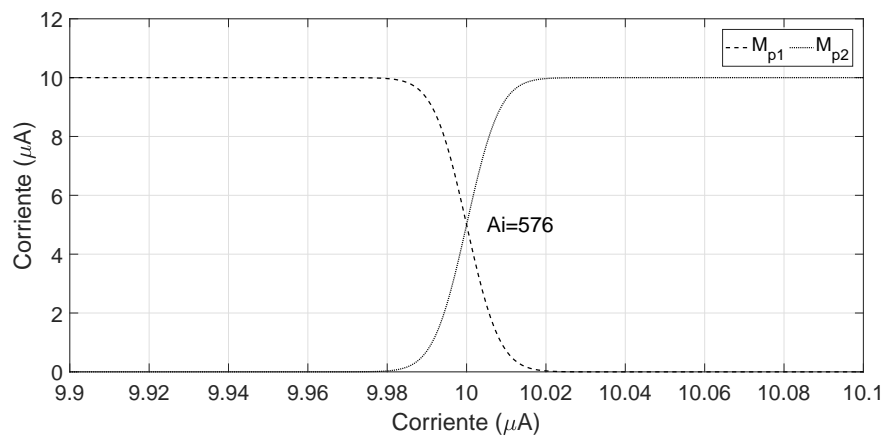


Figura 2.11: Acercamiento a la función de transferencia del WTA con gain boosting

La ganancia en la función de transferencia es aún mayor que la presentada en el WTA de Sekerkiran (fig. 2.8).

2.2. Propuesta del amplificador de plegado basado en WTA

El amplificador de plegado tradicional en un ADC es acompañado por un T&H, este entrega un valor estable por un tiempo al amplificador, tiempo en el cual el convertidor realiza la conversión.

En la presente propuesta se sustituye el núcleo del amplificador de plegado (el cual es tradicionalmente realizado con pares diferenciales), por WTA's, dado que el WTA permite la comparación continua entre la corriente de entrada y las corrientes de referencia, no es necesario el uso del T&H, generando un ahorro en el consumo de potencia y área de silicio.

Para seleccionar una de las celdas de WTA presentadas anteriormente se establecen como criterios el consumo de potencia y la ganancia en la función de transferencia, por lo cual, se opta por el WTA de Sekerkiran, debido a que WTA de Lazzaro presenta la menor ganancia; y que el WTA con gain boosting presenta un consumo de potencia mayor, debido al uso de dos amplificadores por cada celda WTA; en cambio, el WTA de Sekerkiran ofrece un buen compromiso entre la ganancia de la función de transferencia y agregando solo un transistor por rama. El arreglo propuesto se presenta en la fig. 2.12.

Como se observa en la figura 2.12, las salidas de los WTA's están acopladas de manera alternada a una carga activa diferencial. De acuerdo con la ecuación 1.1.1 ($N_{plegado} = 2^n / F_{plegado}$), para lograr un bajo número de amplificadores de plegado, es necesario un gran número de $F_{plegado}$.

Con el esquema de la figura 2.12 se propone un $F_{plegado} = 16$, recordando la subsección "Amplificador de plegado impar" es necesario implementar una celda impar para generar formas de onda que generen puntos de cruce entre la señal de entrada y sus respectivas referencias de corriente; por lo que, la realización será con 17 WTA's. La corriente de modo común (I_c) propuesta es de $10\mu A$, lo cual garantiza que la señal no se vea inmersa en ruido, ya que el ruido para una celda es alrededor

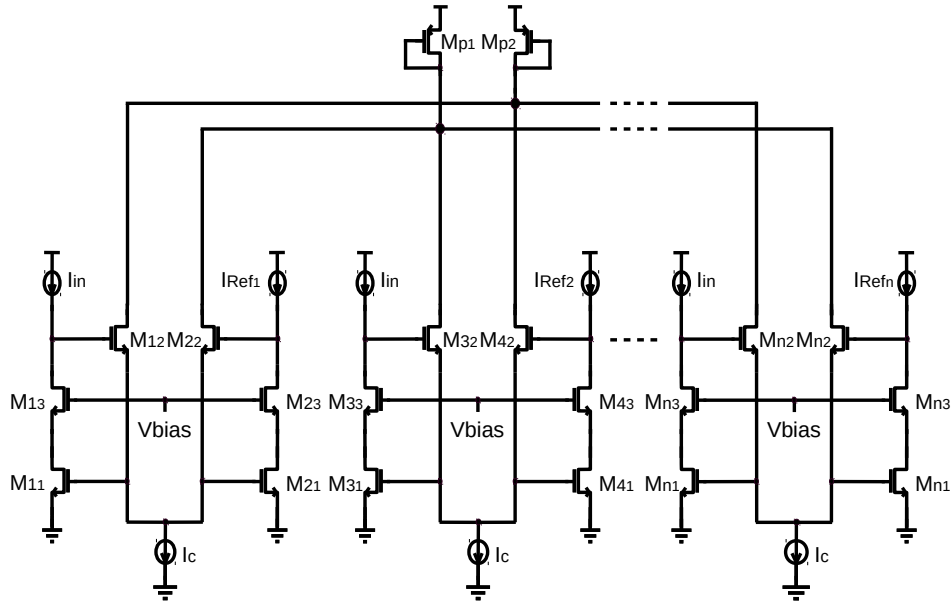


Figura 2.12: Propuesta de un amplificador de plegado basado en WTA

de 1 nA y para el caso de un ADC de 10 bits se tienen un paso de cuantización de 10 nA ; la señal de entrada propuesta como vehículo de prueba para el funcionamiento de la celda es de $10\mu\text{A}$.

Para la tecnología UMC $0,18\mu\text{m}$ los parámetros son: $\mu_{cox_n} = 340\mu\text{A}/\text{V}^2$ y $v_{th} = 0,5\text{V}$; considerando que los transistores están en la región de saturación y para dimensionar el WTA se usa una corriente de polarización de $10\mu\text{A}$ como punto de operación. Además, considerando una señal de entrada de $10\mu\text{A}$ la corriente máxima que circulará a través del WTA será de $20,56\mu\text{A}$. Con el valor previamente obtenido se realiza una simulación en DC con el programa HSPICE[®] 2007 y los resultados son presentados en la fig. 2.13.

En la figura 2.13 se muestra que es posible realizar 16 plegados con la topología propuesta; este amplificador de plegado resuelve 4 bits, en comparación a la manera tradicional, la cual, solo permitiría resolver 3 bits para modo voltaje y 2 bits para el modo corriente, ya que el máximo número de plegados reportado es de 9 y 5 respectivamente [5, 13]. Con el fin de incrementar la resolución y reducir el número

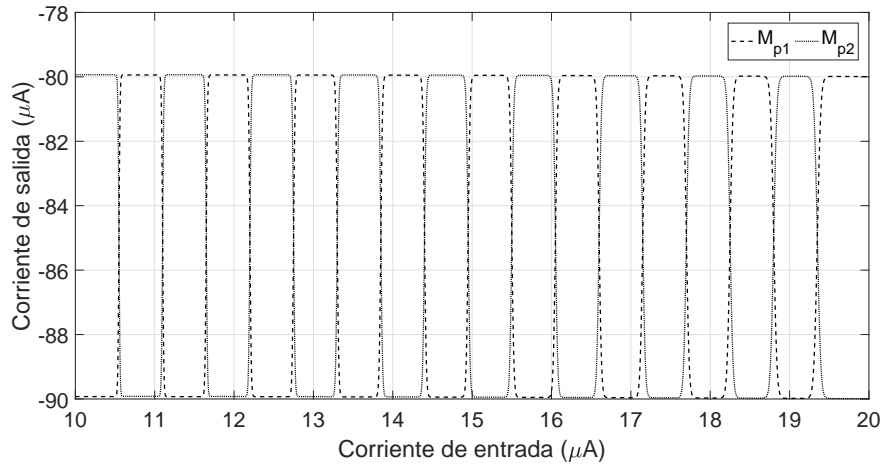


Figura 2.13: Propuesta de amplificador de plegado con $F_{plegado} = 16$

de amplificadores de plegado, se incrementa $F_{plegado} = 32$; se usan los valores previamente calculados y el resultado se muestra en la fig. 2.14.

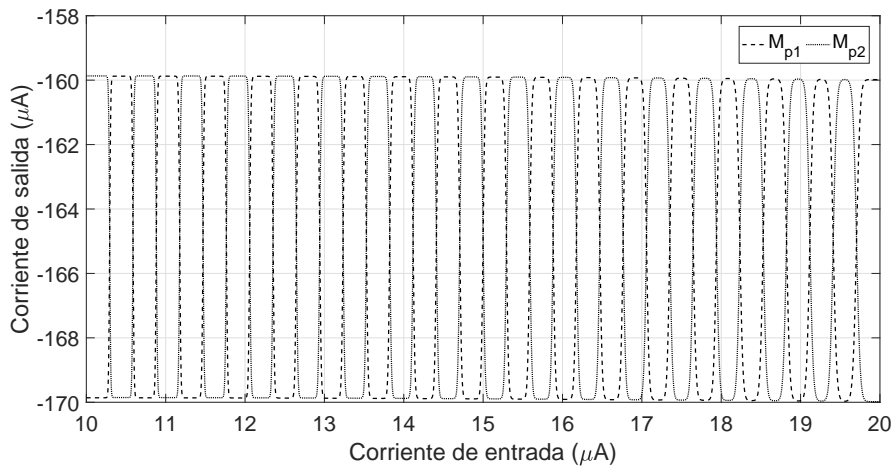


Figura 2.14: Propuesta de amplificador de plegado con $F_{plegado} = 32$

Como se puede apreciar, existe una pérdida de ganancia conforme aumenta la señal de entrada. Esto no afecta en la detección de los puntos de cruce entre la señal de entrada y las referencias de corriente; la pérdida se debe a la degradación de la impedancia de salida debido a la corriente que maneja el par de diodos.

2.3. Realización de la celda básica con fuentes no-ideales

La sección anteriormente presentada muestra el WTA usando fuentes ideales para la corriente de modo común y para las corrientes de entrada y referencia, las cuales son reemplazadas por espejos de bajo voltaje tipo n para la corriente de modo común y espejos de bajo voltaje tipo p para las fuentes I_{in} e I_{Ref} ; esta propuesta se muestra en la fig. 2.15.

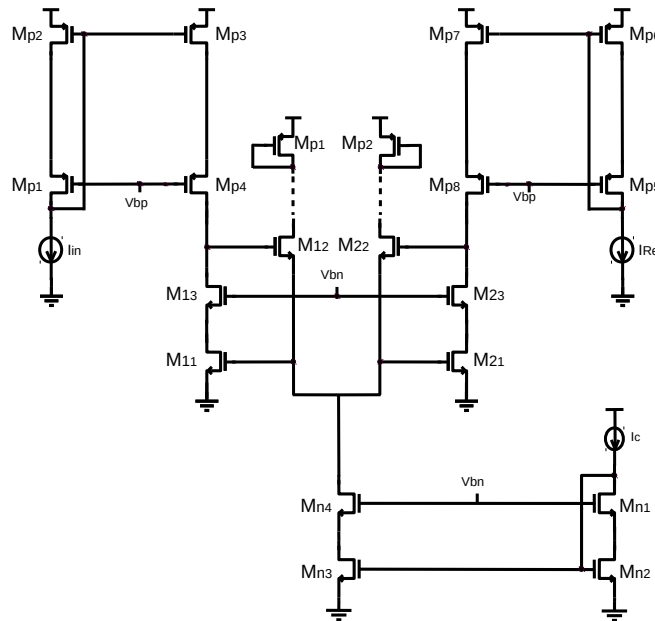


Figura 2.15: Propuesta de celda básica del amplificador de plegado

Se dimensionan los transistores para el espejo de bajo voltaje tipo p considerando el V_{bp} debe ser al menos $V_{gs} + V_{Dsat}$ y que la corriente que circula por ellos es de $20,56\mu A$; el dimensionamiento de la transistores M_{p1} y M_{p2} , estará en función de la corriente de modo común y el número de amplificadores de plegado usados. El resultado obtenido de la simulación es mostrado en la fig. 2.16.

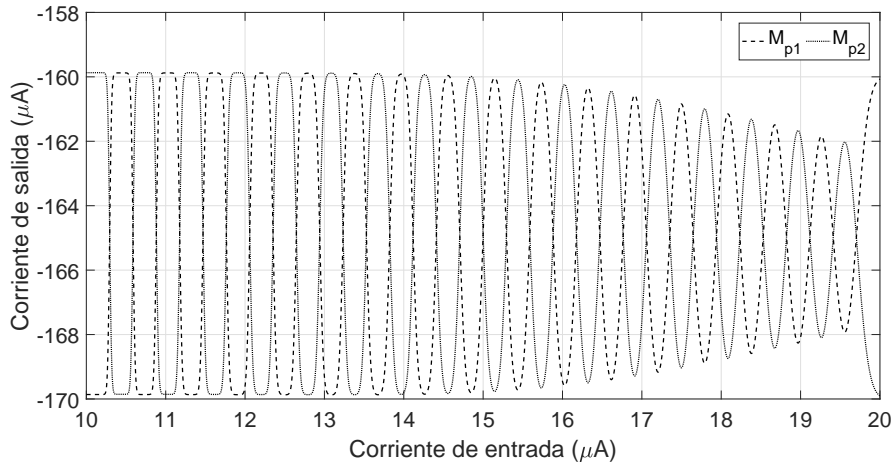


Figura 2.16: Función de transferencia de la celda básica con un $F_{plegado} = 32$

En la fig. 2.16 se aprecia una atenuación debido a la degradación de la impedancia de salida, y a que la impedancia de salida que muestra el espejo de bajo voltaje para la corriente de modo común no es infinita.

2.4. Referencia de corriente robusta a variaciones de temperatura

Las corrientes de referencia [33], se utilizan para determinar los niveles de cuantización (puntos de cruce de la señal de salida del amplificador de plegado), las cuales ofrecen compensación a la temperatura, debido a que el circuito emplea una relación entre los coeficientes de temperatura independientes del proceso de la resistencia y el voltaje de compensación. La fig. 2.17 muestra el diagrama esquemático utilizado.

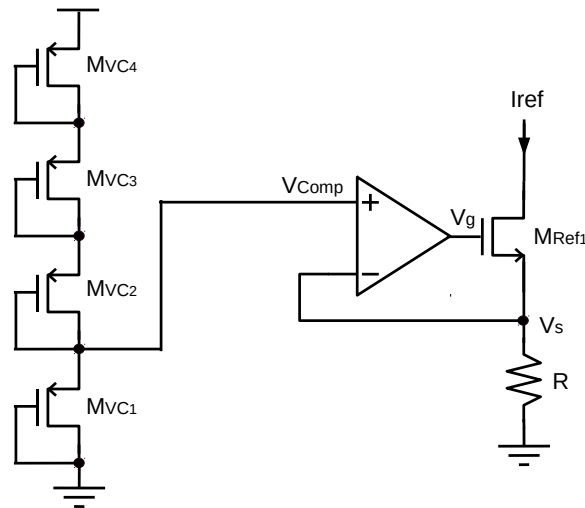


Figura 2.17: Diagrama esquemático de las referencias de corriente

La clave es generar un voltaje de compensación (V_{comp}), de modo que el coeficiente de temperatura (TC) de la resistencia R se cancele en la corriente de salida. El núcleo de este circuito son transistores tipo p apilados en conexión diodo, los cuales, tienen un tamaño diferente para producir un voltaje de compensación cuyo TC es similar; los transistores PMOS se usan para evitar el efecto del cuerpo. El esquema con el que se diseñó el amplificador se muestra en la fig. 2.18.

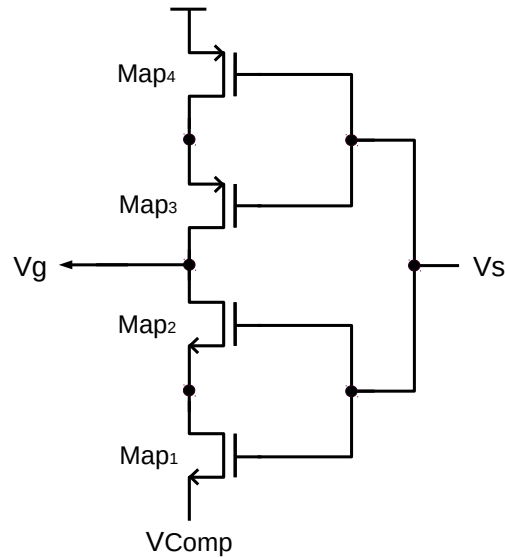


Figura 2.18: Diagrama esquemático del amplificador usado en las referencias de corriente

Se realiza la implementación para una corriente de referencia de $10 \mu A$ y el resultado es mostrado en la figura 2.19.

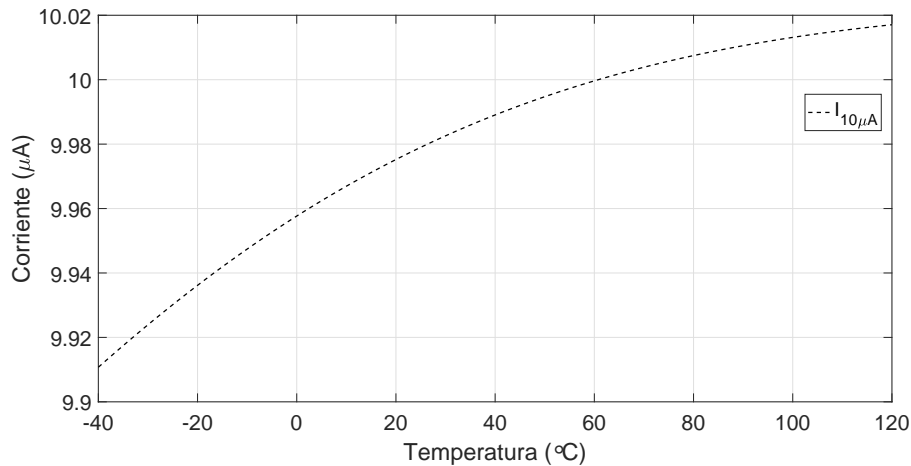


Figura 2.19: Respuesta a la variación de temperatura de la corriente de referencia

Como se observa, la variación que presenta en el intervalo de -40 a 120 ° con respecto a la temperatura es de $106 nA$, equivalente al 1% de variación.

2.5. Generación de las corrientes de referencia

Para generar los valores de las corrientes de referencia a partir de la combinación de corrientes principales se usa el esquema propuesto en la figura 2.20.

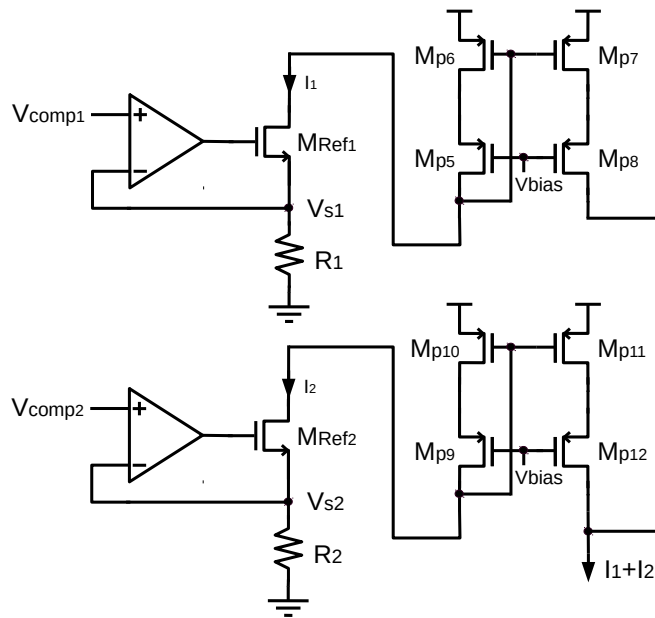


Figura 2.20: Esquema propuesto para la suma de las referencias de corriente

Como se observa en la figura 2.20, la salida de las referencias de corriente (M_{Ref1} y M_{Ref2}) es copiada a través de espejos de bajo voltaje tipo p, donde cada uno de los nodos de salida están conectados entre si, de esta manera, se realiza una suma de corrientes, misma que será conectada al WTA. Mediante el uso del esquema propuesto se generan para la aplicación final 1056 referencias de corriente a partir del uso de solo 28 corrientes principales.

2.6. Reducción de ClockFeedThrough

Con el fin de poder acoplarse a diversos circuitos, se propone una etapa que permite obtener salidas en modo de voltaje a través de las salidas en modo corriente, para lo cual se utilizará un flip-flop tipo D, el cual hace uso de relojes e interruptores. Estos últimos, al pasar del estado de encendido a apagado y viceversa introducen una inyección de carga (CFT) al sistema, con lo cual las salidas en modo corriente se ven modificadas. Para evitar la pérdida de códigos y linealidad debido a las variaciones de las salidas en modo corriente se propone un nuevo esquema de reducción del CFT, el cual se muestra en la fig. 2.21.

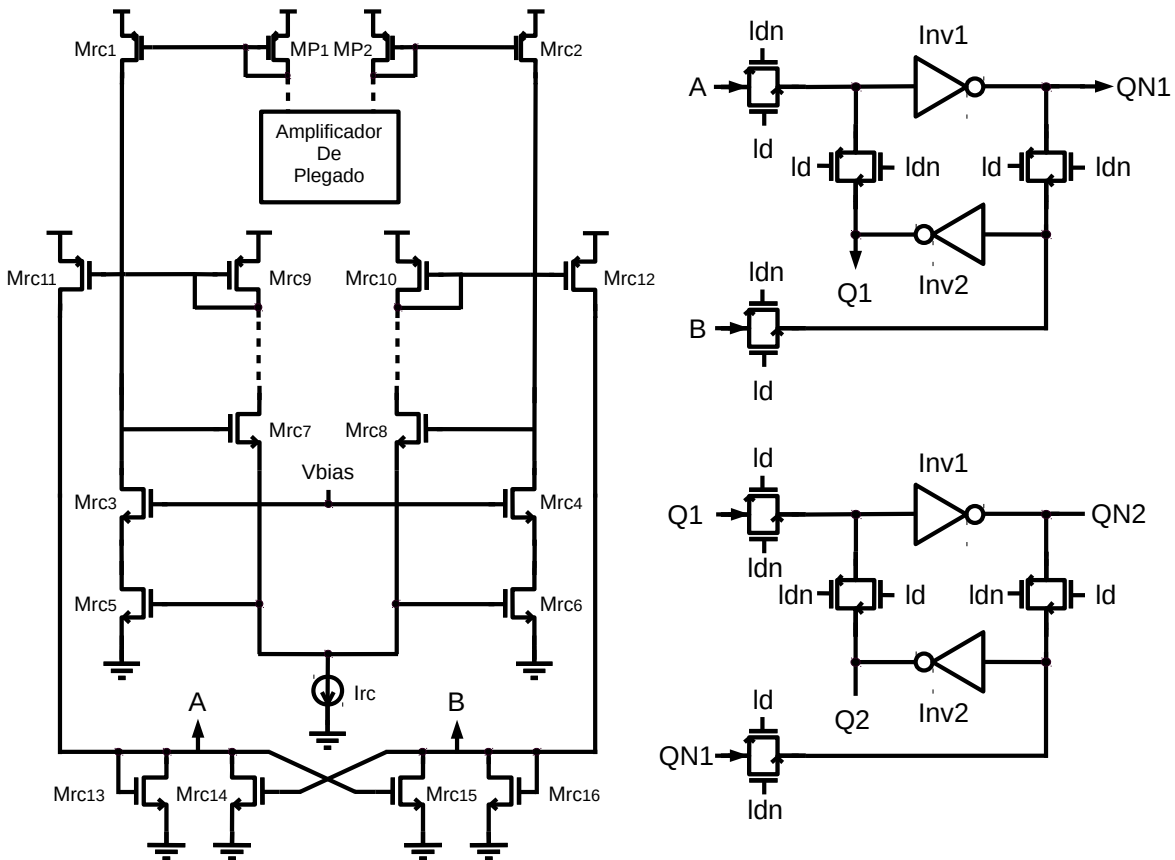


Figura 2.21: Propuesta de reducción de ClockFeedThrough y Flip-Flop tipo D

La salida en modo corriente se encuentra en los transistores M_{P1} y M_{P2} , a través de los transistores M_{rc1} y M_{rc2} es copiada y, entra a un segundo WTA conformado de los transistores $M_{rc3} - M_{rc8}$ cuya salida se encuentra en los transistores M_{rc9} y

M_{rc10} , la cual es similar a la presentada por los transistores M_{P1} y M_{P2} , pero con un pequeño retardo de alrededor de $50ns$, posteriormente genera los voltajes A y B , a través, de una retroalimentación positiva.

El uso del segundo WTA permite que la inyección de carga que introducen los switches del flip-flop al conmutar se distribuya entre los transistores $M_{rc3} - M_{rc8}$, de tal forma que la salida en corriente de los transistores M_{p1} y M_{p2} no se vea distorsionada; además, el hecho de ser un WTA permite que uno de los transistores M_{rc9} o M_{rc10} conduzca toda la corriente de modo común, mientras que el otro se quede completamente apagado, esto permite generar voltajes cuyos niveles de encendido y apagado queden completamente diferenciados, con lo cual se evitan códigos erróneos en las salidas de modo voltaje; por otro lado, el uso de la retroalimentación positiva ($M_{rc13} - M_{rc16}$) hace que el circuito sea biestable manteniendose completamente encendido o apagado, autopolarizandose y no dejando caer el nivel de DC [34].

En la figura 2.22 se muestran las salidas en modo corriente obtenidas sin la propuesta de reducción de CFT.

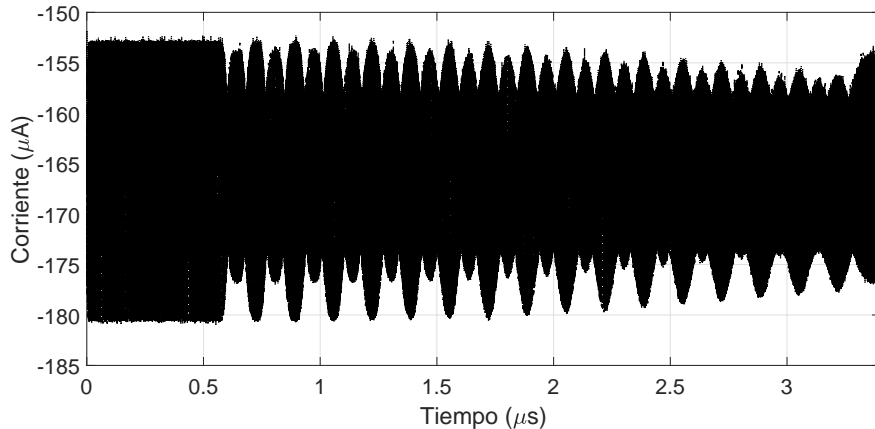


Figura 2.22: Salidas en modo corriente sin reducción de CFT

Como se puede observar, el CFT proveniente del reloj afecta a las salidas en modo corriente, ocasionando que se ve inmersa en ruido y evitando se detecten los cruces de las señales; causando que no se obtengan salidas en modo voltaje. Ahora, en la figura 2.23 se muestran las salidas en modo corriente obtenidas al usar la propuesta de reducción de CFT.

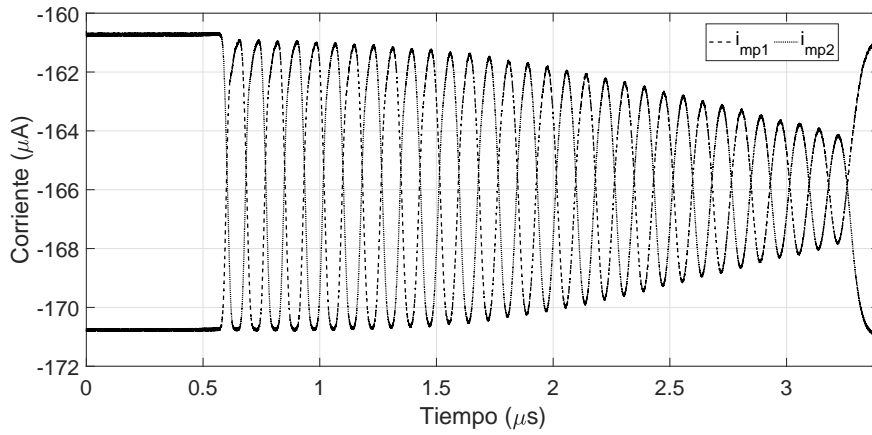


Figura 2.23: Salidas en modo corriente con reducción de CFT

Como se puede apreciar se encuentran los cruces definidos en las señales, ya que el CFT se ve atenuado, por lo cual se puede obtener salidas en modo voltaje.

2.7. Comparación del amplificador de plegado

Se propone una figura de mérito la cual es:

$$FOM = \frac{DS * \#P}{DE * Pot} \quad (2.7.1)$$

Donde DS es la dinámica de salida, $\#P$ es el número de plegados, DE es la dinámica de entrada y Pot es la potencia; la FOM en este caso entre mayor sea es mejor; se compara el amplificador de plegado de este trabajo con los reportados en [35] y los resultados se muestran en la tabla 2.1.

Tabla 2.1: Tabla comparativa de amplificadores de plegado

Amplificador de Plegado	Modo Voltaje	Current Steering	Low Voltage, Low Power	Este trabajo
Tecnología	0.13 μm	0.13 μm	0.13 μm	0.18 μm
Número de Plegados	4	4	4	5
Potencia	300 μW	23.7 μW	22.3 μW	18.89 μW
Dinámica de Entrada	1.4 V	1.4 V	1.4 V	50nA
Dinámica de Salida	1 μA	1 μA	1 μA	250nA
FOM (Plegado/W)	9.52 m	120.55 m	128.12 m	1.05 Meg

Como se puede observar el consumo obtenido es menor al de todos, y la FOM obtenida es la mejor de todas.

2.8. Conclusiones

En este capítulo se ha desarrollado un nuevo esquema de amplificador de plegado, reemplazando el núcleo tradicional basado en pares diferenciales y espejos de corriente por WTA's; la presente propuesta exhibe una función de transferencia en modo corriente diferencial sin la necesidad de usar comparadores, además, mediante la implementación de la propuesta de reducción de clockfeedthrough se generan salidas modo voltaje evitando códigos errores y distorsión de las salidas en modo corriente.

La presente propuesta de interconexión de los WTA's permite elevar el número de plegados a 32, siendo superior a todo lo reportado anteriormente en la literatura donde el máximo número de plegados era de 9 para modo voltaje y 5 para modo corriente [5, 13].

Debido a la constante comparación entre la señal de entrada y las referencias de corriente se evita el uso del $T&H$; al ser en modo corriente el WTA se evita el uso de redes resistivas, generando un ahorro en consumo de potencia y área; la generación de referencias de corriente se hace a través de un esquema robusto a temperatura, y mediante el uso del esquema propuesto para la suma de corrientes, se generan a partir de 28 referencias principales 1056 para la aplicación final que es un ADC de 10 bits.

Existe una pérdida de ganancia conforme aumenta la señal de entrada, esto no afecta la detección de los puntos de cruce entre la señal de entrada y las referencias de corriente; la pérdida se debe a la degradación de la impedancia de salida debido a la corriente que manejan el par de diodos.

Arquitectura de un convertidor analógico-digital de plegado basado en celdas WTA

En el presente capítulo se describirá la arquitectura típica de un convertidor analógico-digital (ADC) de plegado, los componentes que lo integran y las desventajas que presentan dichas topologías; a su vez es descrita la nueva arquitectura ADC de plegado basado en WTA's, la cual elimina la necesidad del uso de T&H y comparadores; además de ofrecer salidas en modo voltaje y corriente. Como ejemplo se realiza el diseño de un ADC basado arquitectura propuesta, con una resolución de 10 bits y una dinámica de la señal de entrada de $10.56 \mu A$.

3.1. Arquitectura típica de un ADC de plegado

Un convertidor analógico-digital (ADC) realiza la conversión de señales del dominio analógico al digital. Las principales características que definen el comportamiento de un ADC son: velocidad de conversión (muestras/seg), resolución (bits) y consumo de potencia (mW).

La topología, o arquitectura, típica para el convertidor analógico-digital es mostrada en la figura 3.1.

En esta arquitectura, el T&H es usado para entregar un valor estable de la señal de entrada por un cierto tiempo, en el cual el cuantizador realiza su operación y

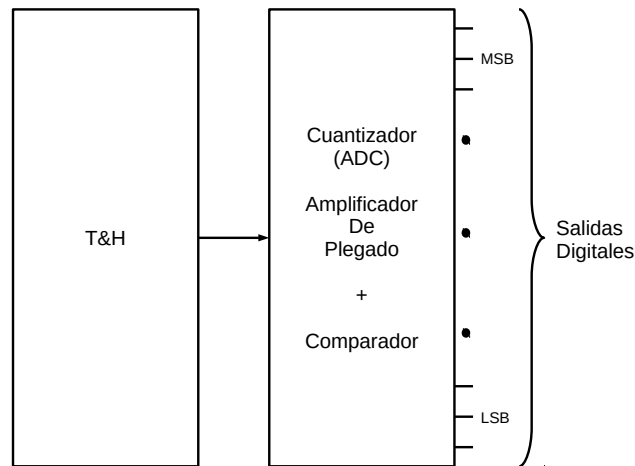


Figura 3.1: Topología típica de un ADC

genera las salidas digitales. Para un ADC de plegado tradicional el cuantizador consta de los amplificadores de plegado junto con comparadores, los cuales están formados de un preamplificador y una etapa con retroalimentación positiva, los cuales se muestran en la figura 3.2.

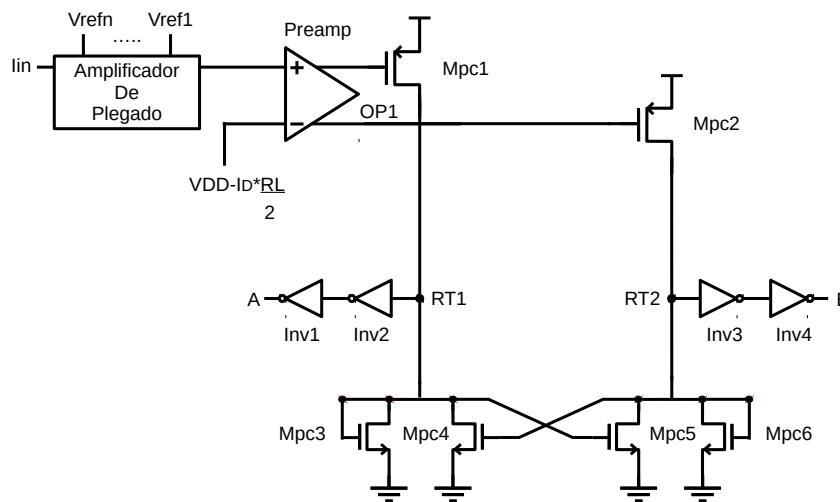


Figura 3.2: Topología típica del cuantizador de un ADC tradicional

En este sistema de la figura 3.2, el preamplificador es usado para obtener un par de valores, alto y bajo, los cuales serán copiados por los transistores M_{pc1} y M_{pc2} a la etapa de retroalimentación positiva, con lo que se obtendrán un par de valores estables, los cuales a través de los inversores ofrecen las salidas negadas y no negadas.

El uso del preamplificador limita el paso del ruido de kickback [34]; este ruido se genera por grandes variaciones de voltaje en los nodos de la retroalimentación positiva RT_1 y RT_2 (fig. 3.3), lo que causa perturbaciones en la señal de entrada del comparador; dado que el preamplificador tiene una alta impedancia de salida limita el ruido de kickback de los nodos RT_1 y RT_2 hacia el preamplificador, por lo que el uso del mismo es indispensable para el correcto funcionamiento del ADC.

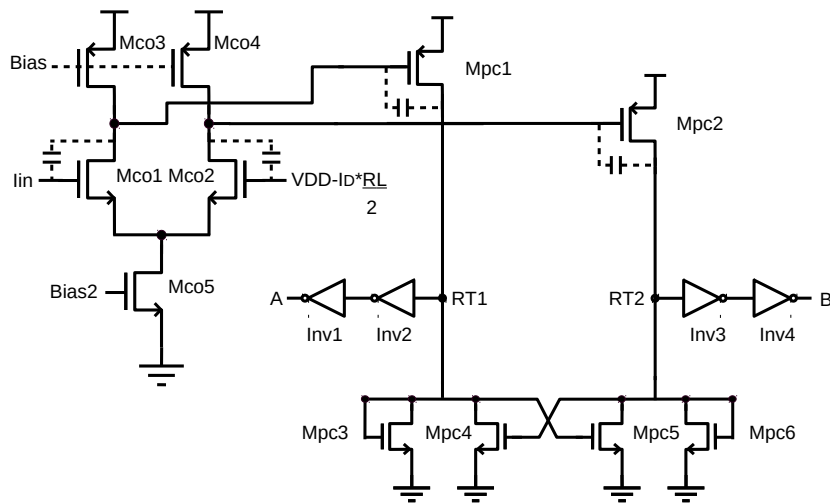


Figura 3.3: Capacitancias parásitas de acopla entre salida y entrada

Como se ha visto hasta el momento el uso del ADC de plegado tradicional presenta varias limitaciones, tales como el uso de un T&H, el cual limita la velocidad y consume área de silicio y potencia. Una de las soluciones a este problema es usar topologías sencillas [36, 37, 38], sin embargo, esto provoca que su robustez a variaciones de proceso, voltaje y temperatura sea nula, además de tener problemas de clockfeedthrough, etc. Otro problema es el uso de un gran número de comparadores

(128 para modo voltaje y 256 para modo corriente para resolver 10 bits), ya que incrementan fuertemente el consumo de potencia; además, debido al uso de amplificadores de plegado tradicionales, los cuales no superan más de 9 plegados en modo voltaje y 5 plegados en modo corriente, se requiere de una gran cantidad de los mismos para lograr como máximo 7 bits de resolución (16 y 32 respectivamente); finalmente las referencias de voltaje son generadas a partir de redes resistivas, las cuales tienen problemas en el consumo de potencia, consumo de área de silicio y ruido térmico. Por lo que se propone en la siguiente sección un nuevo esquema de ADC de plegado basado en amplificadores de plegado con WTA's propuesto en el capítulo 2.

3.2. Propuesta de arquitectura de un ADC de plegado basado WTA's

Anteriormente fueron mencionados diversos problemas relacionados a la arquitectura de un ADC de plegado tradicional, por lo que se propone una nueva topología de ADC de plegado basado en WTA's y se muestra en la figura 3.4.

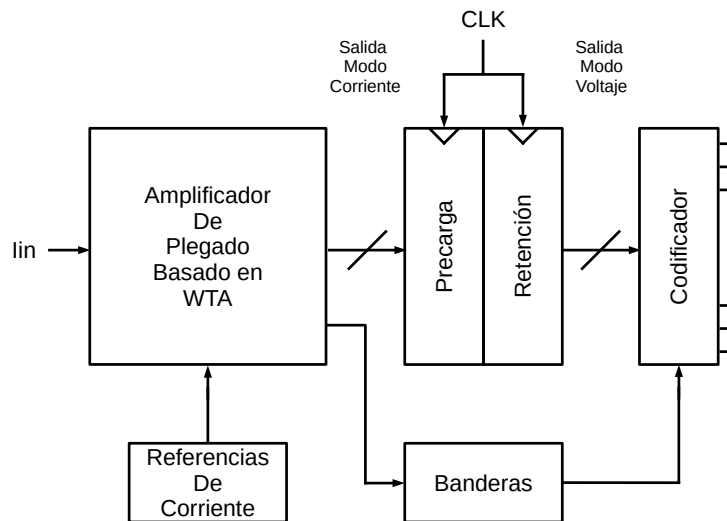


Figura 3.4: Topología propuesta de un ADC basado en WTA's

Como se puede observar en la figura 3.4 se ha eliminado el uso del T&H ya que al reemplazar el núcleo tradicional por WTA's se puede hacer una compara-

El uso del WTA's proporciona una salida digital en modo corriente evitando el uso del comparador y de referencias de voltaje basadas en resistores; al igual que en la propuesta de reducción de CFT aquí se pueden obtener los voltajes diferenciales de salida A y B .

Para el desarrollo del cuantizador se recurre nuevamente a la formula 1.1.1

$$N_{plegado} = \frac{2^n}{F_{plegado}}$$

Donde $N_{plegado}$ es el número de amplificadores de plegado, n es el número de bits y $F_{plegado}$ es el factor de plegado. Para la presente aplicación $n=10$ y $F_{plegado} = 32$; por lo que $N_{plegado} = 32$.

3.2.2. Referencias de corriente

Calculado el número de amplificadores de plegado se generan las referencias de corriente cuya topología fue vista en el capítulo 2; recordando que el número de plegados debe ser impar, se añade un plegado extra por lo que se obtienen 33 plegados, y se generarán 1056 referencias de corriente.

Dado que la dinámica de la señal de entrada es de $10.56 \mu A$, el paso de cuantización (Δ) que hay entre cada una de las celdas es de $10nA$; recordando que el amplificador de plegado tiene una corriente de polarización de $10\mu A$, la máxima corriente que circulará a través de dicho amplificador será de $20.56 \mu A$.

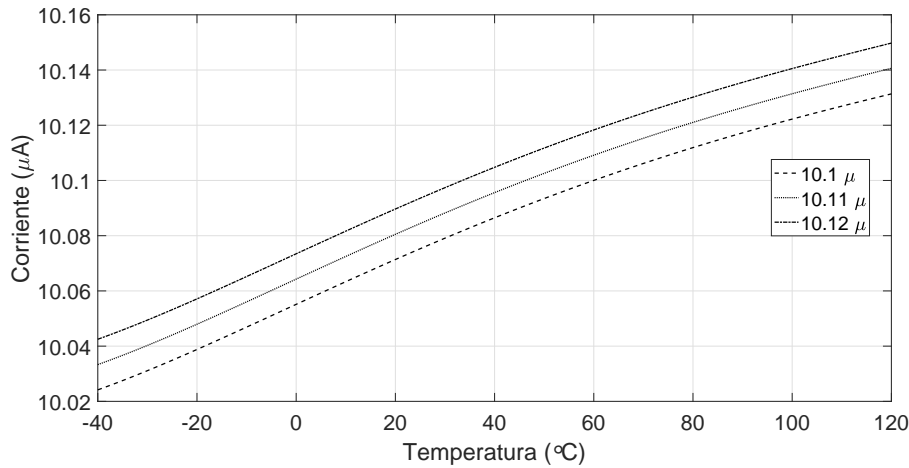


Figura 3.6: Suma de corrientes para la generación de referencias de corriente ($\Delta = 10nA$)

En la figura 3.6 se observa un ejemplo de las sumas realizadas para generación de las referencias de corriente con un $\Delta = 10nA$, así como su variación en temperatura en el rango de $-40^{\circ}C$ a $120^{\circ}C$. Las corrientes de referencia se generan a partir de la suma de las corrientes principales, las cuales son 28 y están divididas de la siguiente manera: las primeras diez serán desde $10\mu A$ hasta $20\mu A$, otras nueve serán desde $100nA$ hasta $900nA$ y finalmente otras nueve desde $10nA$ hasta $90nA$.

3.2.3. Precarga y carga

Los elementos de precarga y carga del ADC de plegado están basados en el flipflop tipo D mostrado en [39], el cual está compuesto de dos latches, los cuales, para el caso particular del ADC de plegado basado en WTA's, están diseñados de manera diferencial y son mostrados en la figura 3.7

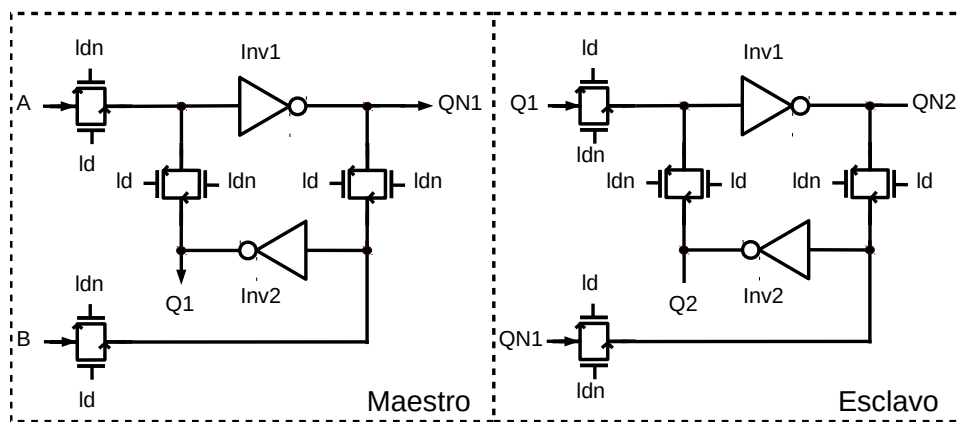


Figura 3.7: Flip-Flop tipo D

Su función es mantener un valor estable en sus salidas ($Q2$ y $QN2$), tal como lo haría el T&H pero sin sus inconvenientes, los cuales son en modo voltaje; la configuración es típicamente llamado maestro-esclavo y ambos son idénticos pero con fases de reloj contrarias. Al realizar la implementación del cuantizador se obtienen como salidas de corriente las mostradas en la figura 3.8

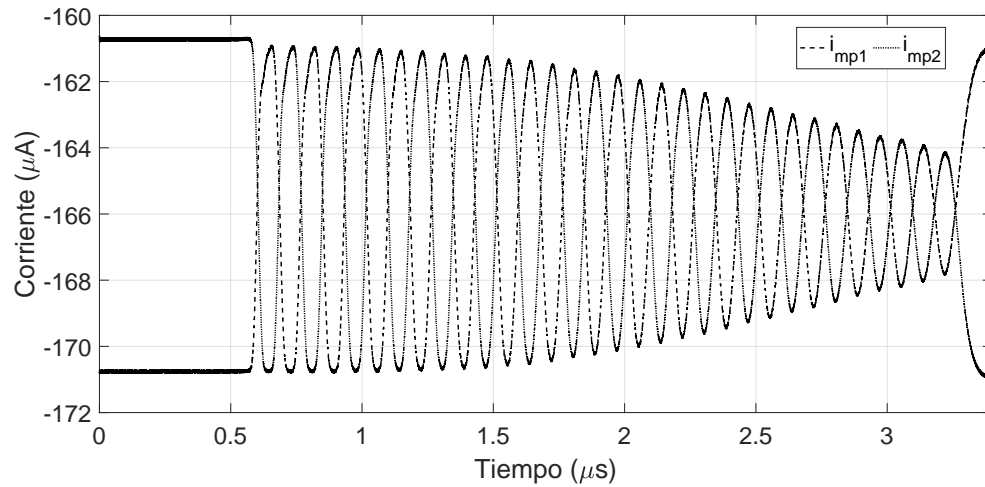


Figura 3.8: Salidas en modo corriente del cuantizador del ADC de plegado

Posteriormente el circuito de reducción de CFT generará los voltajes A y B , los cuales serán las entradas del latch maestro y a través del latch esclavo se entregarán las salidas mostradas en las figuras 3.9 y 3.10.

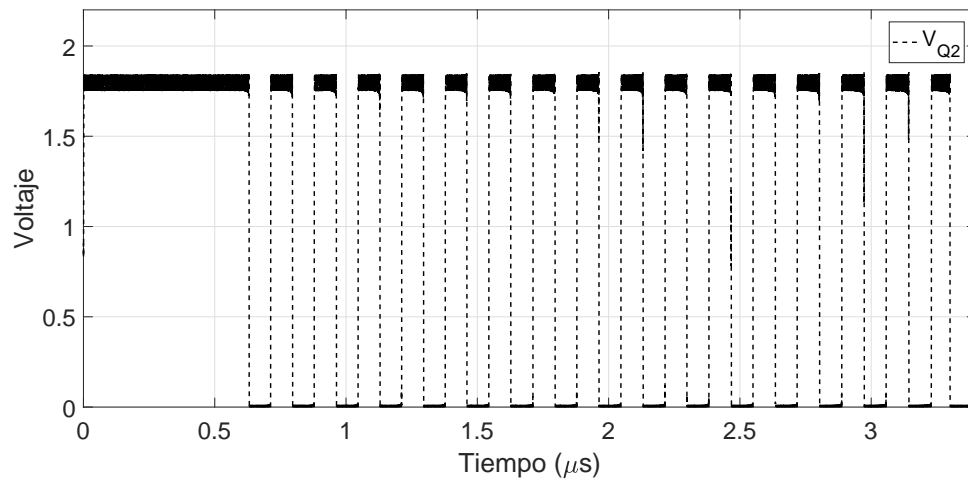


Figura 3.9: Salida V_{Q2} en modo voltaje del flip-flop

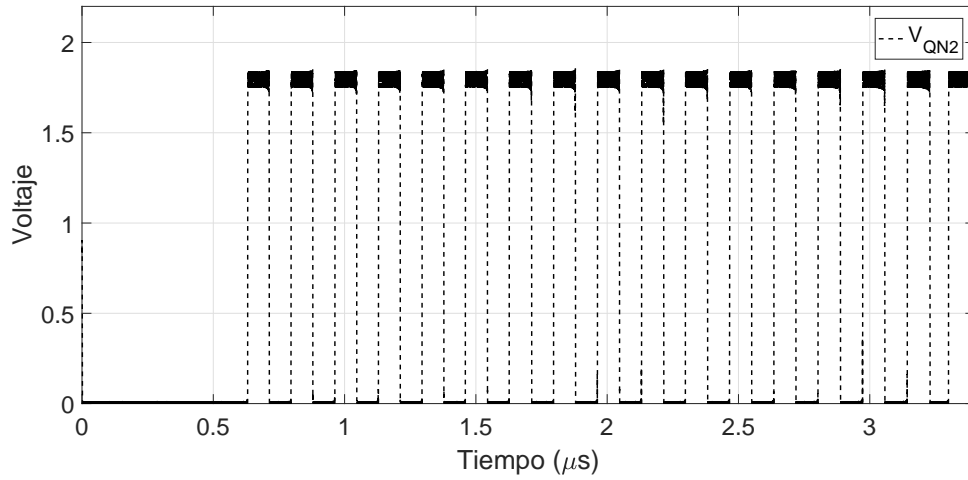


Figura 3.10: Salida V_{QN2} en modo voltaje del flip-flop

Los voltajes V_{Q2} y V_{QN2} muestran pequeñas perturbaciones en sus valores máximos y mínimos, debido al efecto de CFT a una razón de conversión de 1 GMuestra/s y esto no afecta de manera significativa la cuantización.

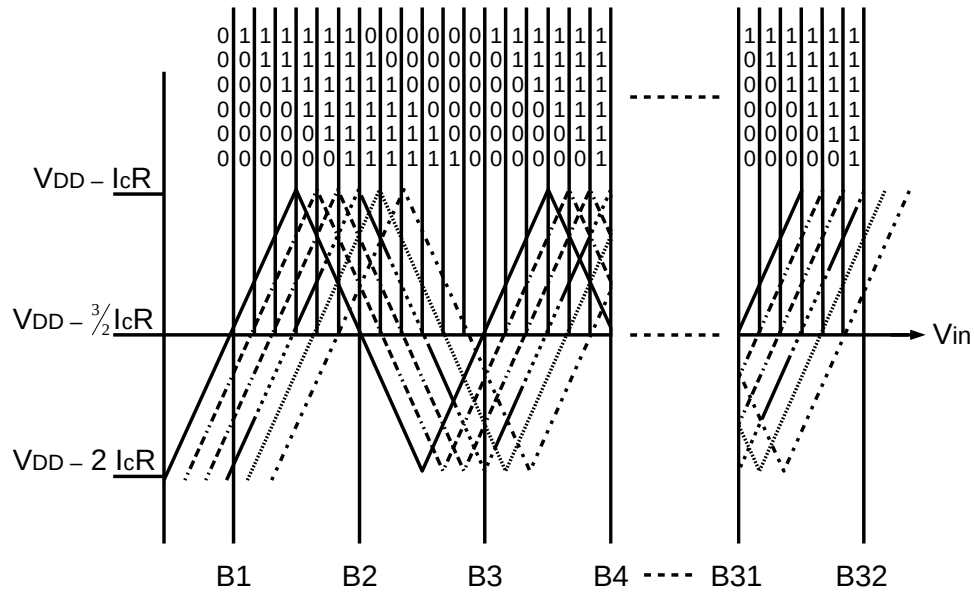


Figura 3.12: Banderas para detectar código termómetro y termómetro inverso de un amplificador de plegado

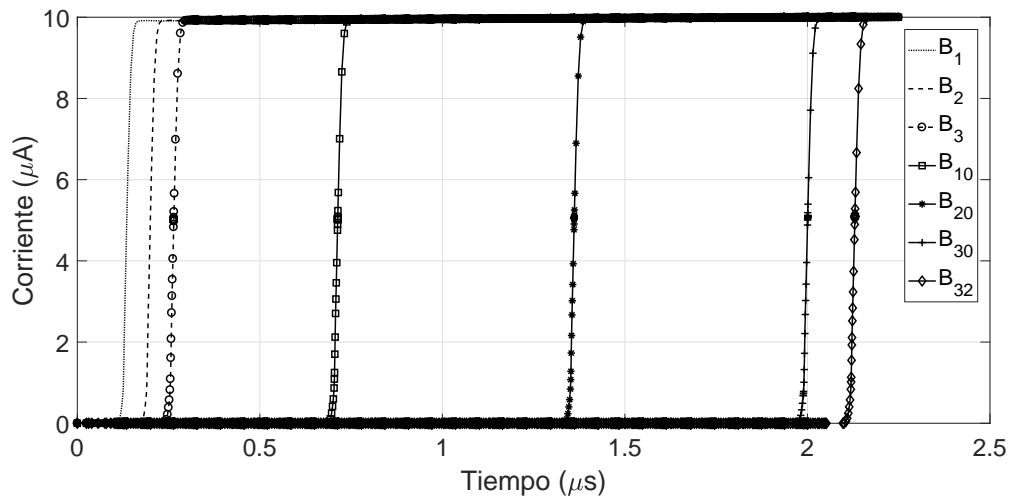


Figura 3.13: Banderas para detectar código termómetro y termómetro inverso de un amplificador de plegado

En la figura 3.13 se muestra como el circuito de banderas realiza las transiciones entra cada código termómetro a termómetro inverso.

3.3. Diagrama esquemático completo del ADC de plegado basado en WTA's

Finalmente se muestra en diagrama esquemático completo de la arquitectura de plegado propuesta en la figura 3.14.

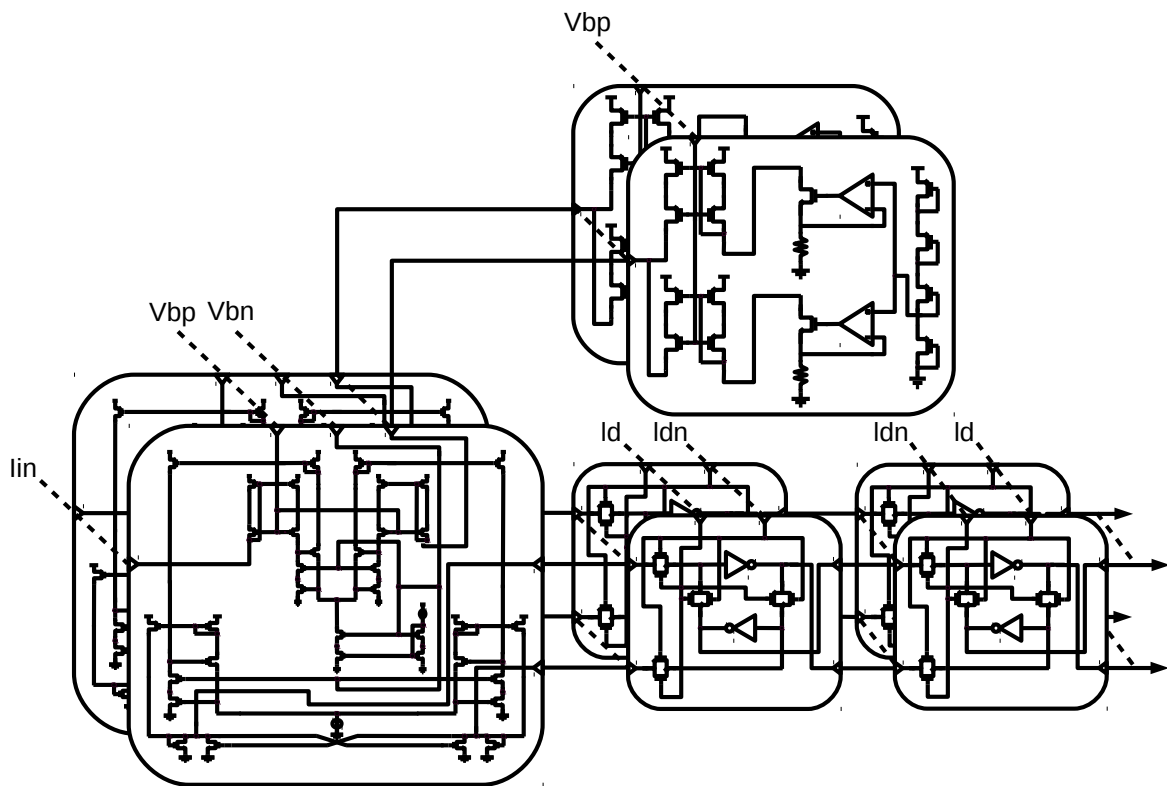


Figura 3.14: Diagrama esquemático completo de la arquitectura de plegado propuesta

Para el ADC de 10 bits se necesitan 32 estructuras en paralelo, con una única diferencia entre ellas, la cual es la referencia de corriente.

3.4. Resultados

En los ADC hay dos tipos de resultados relacionados con el tipo de análisis que se realice [28]; los errores estáticos se obtienen cuando el ADC opera en DC. La forma en la cual se realizan estas mediciones es comparando la curva de la función de transferencia ideal del cuantizador y la real, dentro de las cuales se encuentran DNL (por sus siglas del inglés: Differential NonLinearity) e INL (por sus siglas del inglés: Integral Non-Linearity); y los errores dinámicos los cuales se obtienen de mediciones de la respuesta en frecuencia y la velocidad de los componentes analógicos del ADC, dentro de los cuales se encuentran SNR (por sus siglas del inglés: Signal to Noise Ratio) y ENOB (por sus siglas del inglés: Effective Number of Bits). El paso de cuantización (Δ) es el mínimo voltaje en la entrada que corresponde al mínimo nivel de cuantización LSB (Low Significant Bit) [27].

3.4.1. Curva de transferencia

La figura 3.15 muestra la curva de transferencia del ADC de plegado al hacer un análisis en DC.

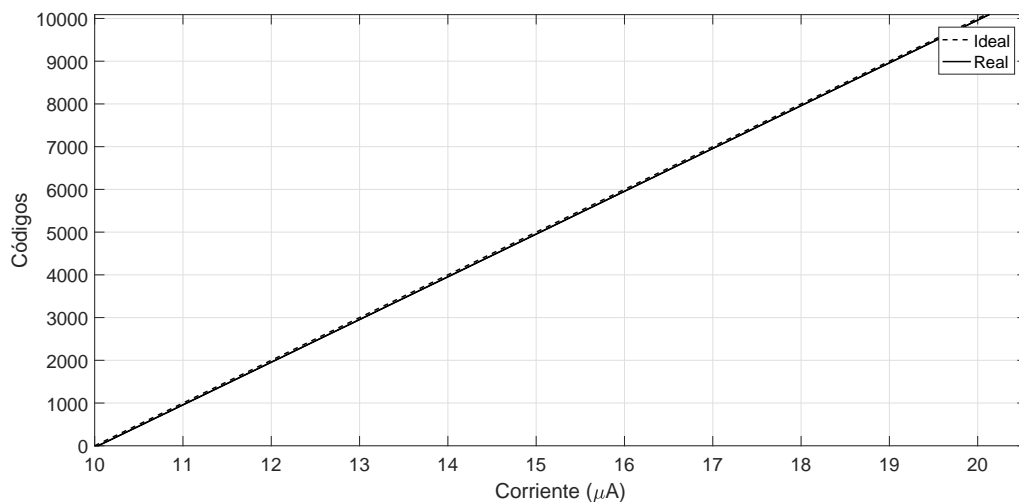


Figura 3.15: Función de transferencia del ADC

Como se observa, existe un offset de la señal real con respecto a la ideal, para mayor detalle se hace un acercamiento a la función de transferencia en la figura 3.16.

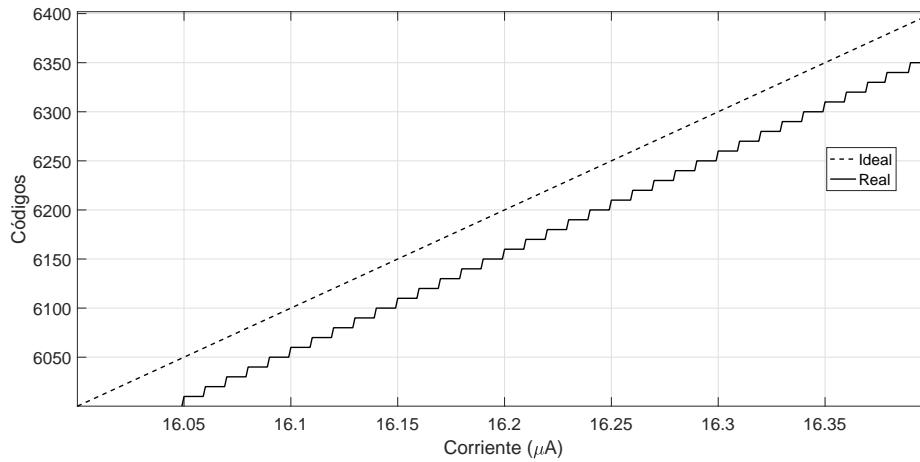


Figura 3.16: Acercamiento a la función de transferencia del ADC

Como se puede apreciar la función de transferencia no presenta códigos perdidos, además de tener monotonicidad; el offset presentado por la señal real es de 40 nA .

3.4.2. Estáticos

DNL

Es la máxima desviación entre el ancho del paso de una conversión con respecto al ancho del paso ideal Δ [28]. La medición de este error fue realizada en MATLAB mediante el pseudocódigo mostrado en el apéndice A y el resultado es mostrado en la figura 3.17

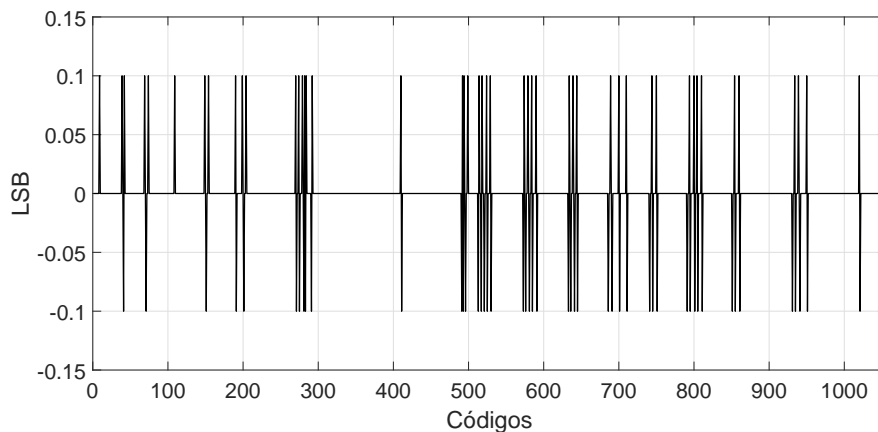


Figura 3.17: DNL del ADC

Como se puede observar en este caso particular varía $\pm 0,1$ LSB haciendo que el ADC se comporte de manera adecuada, ya que la máxima tolerancia para el DNL es de $\pm 0,5$ LSB.

INL

Es una medida de la desviación de la función de transferencia de la línea de interpolación ideal [28]. Nuevamente se desarrolló un programa en MATLAB, cuyo pseudocódigo está mostrado en el apéndice A y los resultados se muestran en la figura 3.18

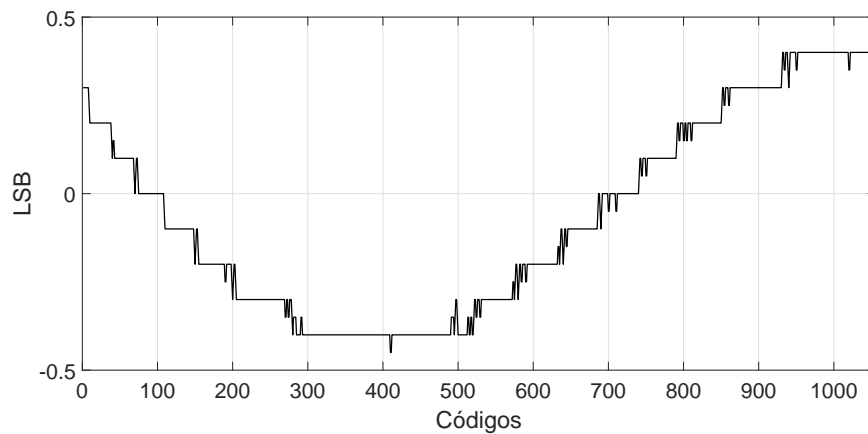


Figura 3.18: INL del ADC

Como se observa el comportamiento en el INL es adecuado ya que la tolerancia es de $\pm 0,5$ LSB y, para el presente caso es de $\pm 0,4$ LSB.

3.4.3. Dinámicos

SNR

La SNR es la relación entre la potencia de la señal y la potencia del ruido total producido por la cuantización [28]. Se utiliza una señal triangular como señal de entrada y el resultado es mostrado en la figura 3.19.

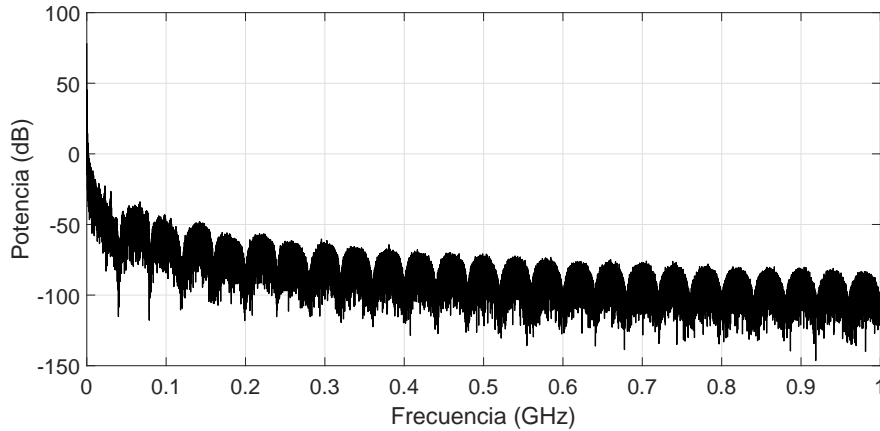


Figura 3.19: SNR del ADC

A través de la figura se determina el $SNR = 42,53dB$.

ENOB

Una vez obtenida la SNR, se puede obtener el número efectivo de bits a través del ENOB, ya que está considera errores de cuantización, errores de jitter, errores de distorsión y ruido del circuito [40]. El ENOB está definido por la señal de entrada utilizada, comúnmente señales senoidales y triangulares; las expresiones matemáticas para las señales anteriormente mencionadas son:

$$N_{eff,sin} = \frac{SNR_{dB} - 1,76}{6,02} \quad (3.4.1)$$

$$N_{eff,tr} = \frac{SNR_{dB}}{6,02} \quad (3.4.2)$$

Para el caso particular al usar una señal triangular:

$$N_{eff,tr} = \frac{42,5294 \text{ dB}}{6,02} = 7,0646 \text{ bits} \quad (3.4.3)$$

La principal causa de pérdida de bits se debe a las variaciones presentada por los espejos y WTA's.

3.4.4. FOM

FOM (por sus siglas del inglés: Figure Of Merit) es una cantidad que caracteriza el rendimiento de un convertidor y sirve como comparación de diversas arquitecturas [40]. La FOM compara a los convertidores con respecto a la potencia consumida, ENOB y máxima frecuencia de la señal de entrada. La FOM esta definida como:

$$FOM = \frac{Power}{2 f_{in} 2^{ENOB}} \quad (3.4.4)$$

Para el presente caso la señal de entrada es de 125 kHz, el ENOB de 7 bits y la potencia de 86.54 *mW*. Por lo cual:

$$FOM = \frac{86,54m}{2 (125k) 2^{7,0646}} = 2,58 \text{ nJ/step} \quad (3.4.5)$$

Como se puede observar, en la presente propuesta un alto número de espejos (1056) junto con la corriente de polarización generan un elevado consumo de energía, lo cual afecta negativamente en la figura de mérito.

Tabla 3.1: Roadmap ADC de plegado

Referencia	f_{in} (MHz)	Bit	ENOB	GS/s	Tecnología	Arquitectura	INL (LSB)	DNL (LSB)	Potencia (mW)	SNR (DB)	FOM (J/step)
[16]	1	8	6.4	0.125	0.35 μm CMOS	Folding Flash	+1.5/-1.2	+0.7/-0.5	110	42.4	-
[17]	5	8	7.5	0.60	0.35 μm CMOS	Flash with Interpol Averaging Folding	0.8	0.4	200	-	2.8p
[18]	4	8	7.5	0.60	0.18 μm CMOS	Folding Interpolation	0.7	0.5	207	46.5	-
[19]	50	8	7.26	1.60	0.18 μm CMOS	Folding Averaging and Interpolation	± 0.35	± 0.15	774	46	-
[20]	20	4	3.8	1.40	0.13 μm CMOS	Folding Interpolation	< 0.2	< 0.3	62	25	-
[21]	220	5	4.7	1.75	90 nm CMOS	Folding Flash	< 0.3	< 0.3	2.2	28.5	50f
[22]	250	7	6.46	1	65 nm CMOS	Folding Averaging and Interpolation	± 0.6	± 0.3	60	40.7	-
[5]	10	7	6.5	2.56	45 nm SOI CMOS	Folding	0.49	0.3	5.2	41.33	2.79p
[23]	100	6	4.3	10	65 nm CMOS	VTC + TDC	0.49	0.28	98	27.2	504f
Este trabajo	0.12	10	7.06	1	UMC 0.18 μ CMOS	Folding	± 0.4	± 0.1	86.54	42.5294	2.58 n

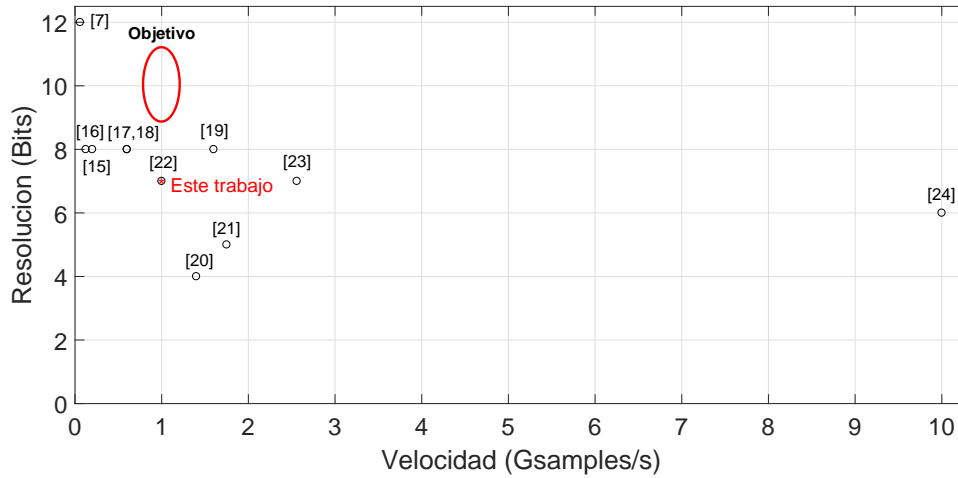


Figura 3.20: Roadmap ADC de plegado con resultado del trabajo

3.5. Conclusiones

En este capítulo se ha desarrollado una nueva arquitectura de convertidor analógico-digital basado en el amplificador de plegado propuesto en el capítulo 2; el cual brinda un gran número de plegados por amplificador (32), sin embargo, en los resultados dinámicos el uso de espejos como entrada para el WTA, la degradación de la impedancia de salida y la poca robustez de los WTA generan pérdidas importantes en el número efectivo de bits.

La propuesta de amplificador de plegado basado en WTA's es aplicable como ADC; sin embargo, se requiere mejorar diversos aspectos del mismo para obtener una cantidad mayor de bits así como una disminución en el consumo de potencia.

Se realizó un segundo diseño con el fin de reducir la potencia, utilizando la corriente de modo común en $2 \mu A$, la corriente de entrada de $2 \mu A$ a $12.55 \mu A$ y las corrientes de referencia en igual magnitud, además, se aumentó la frecuencia de la señal de entrada en 1 MHz, con lo cual se logró un consumo de potencia de $17.9746 mW$ obteniendo una $FOM = 67,13p$.

Capítulo 4

Conclusiones

De acuerdo con el trabajo realizado desde la propuesta, diseño e implementación del amplificador de plegado basado en WTA's, se enlistan las conclusiones obtenidas a lo largo del trabajo.

- Se ha desarrollado una nueva topología de amplificador de plegado con WTA's.
- El cuantizador de plegado basado en WTA's exhibe una función de transferencia en modo corriente y voltaje diferencial sin la necesidad de usar comparadores.
- La propuesta de interconexión de los WTA's permite generar una gran de plegados para el caso particular hasta 32 plegados.
- Mediante la implementación de la propuesta de reducción de clockfeedthrough se generan salidas modo voltaje evitando errores en los códigos y distorsión de las salidas en modo de corriente.
- Al ser en modo de corriente el WTA se evita el uso de redes resistivas, generando un ahorro en consumo de potencia y área.
- Mediante el uso del esquema propuesto para la suma de corrientes, se generan a partir de 28 referencias principales 1056 para la aplicación final.

- La pérdida de ganancia del WTA se debe a la degradación de la impedancia de salida.
- Se ha desarrollado una nueva arquitectura de convertidor analógico-digital con amplificadores de plegado basado en WTA's.
- Debido a la constante comparación entre la señal de entrada y las referencias de corriente se evita el uso del $T&H$.
- Se propuso un esquema de banderas basado en WTA's para identificar en que código termómetro o termómetro inverso se encuentra.

4.1. Trabajo futuro

Para posteriores versiones del amplificador de plegado, se proponen los siguientes puntos para trabajo futuro.

- Proponer una celda de WTA robusta a variaciones de proceso, voltaje y temperatura (PVT).
- Implementar nuevas referencias de corriente que sean robustas a PVT.
- Desarrollar un esquema que evite la degradación de la impedancia.
- Realización del layout, extracción y caracterización post-layout.

Pseudocódigos de Matlab

A.1. Algoritmos 1 (DNL e INL) y 2 (SNR)

Algorithm 1 Obtención_de_DNL_e_INL

1: **procedure** LEER(structure) ▷ Donde Val - Valor
2: $amps \leftarrow evalsig(structure, AMPS)$
3: $pr(1,:) \leftarrow evalsig(structure, v_pr1)$
4: $pr(2,:) \leftarrow evalsig(structure, v_pr2)$
5: $pr(3,:) \leftarrow evalsig(structure, v_pr3)$
6: $pr(4,:) \leftarrow evalsig(structure, v_pr4)$
7: $pr(5,:) \leftarrow evalsig(structure, v_pr5)$
8: $pr(6,:) \leftarrow evalsig(structure, v_pr6)$
9: $pr(7,:) \leftarrow evalsig(structure, v_pr7)$
10: $pr(8,:) \leftarrow evalsig(structure, v_pr8)$
11: $pr(9,:) \leftarrow evalsig(structure, v_pr9)$
12: $pr(10,:) \leftarrow evalsig(structure, v_pr10)$
13: $pr(11,:) \leftarrow evalsig(structure, v_pr11)$
14: $pr(12,:) \leftarrow evalsig(structure, v_pr12)$
15: $pr(13,:) \leftarrow evalsig(structure, v_pr13)$
16: $pr(14,:) \leftarrow evalsig(structure, v_pr14)$
17: $pr(15,:) \leftarrow evalsig(structure, v_pr15)$
18: $pr(16,:) \leftarrow evalsig(structure, v_pr16)$
19: $pr(17,:) \leftarrow evalsig(structure, v_pr17)$
20: $pr(18,:) \leftarrow evalsig(structure, v_pr18)$
21: $pr(19,:) \leftarrow evalsig(structure, v_pr19)$
22: $pr(20,:) \leftarrow evalsig(structure, v_pr20)$
23: $pr(21,:) \leftarrow evalsig(structure, v_pr21)$
24: $pr(22,:) \leftarrow evalsig(structure, v_pr22)$

```

25:  pr(23,:) ← evalsig(structure,v_pr23)
26:  pr(24,:) ← evalsig(structure,v_pr24)
27:  pr(25,:) ← evalsig(structure,v_pr25)
28:  pr(26,:) ← evalsig(structure,v_pr26)
29:  pr(27,:) ← evalsig(structure,v_pr27)
30:  pr(28,:) ← evalsig(structure,v_pr28)
31:  pr(29,:) ← evalsig(structure,v_pr29)
32:  pr(30,:) ← evalsig(structure,v_pr30)
33:  pr(31,:) ← evalsig(structure,v_pr31)
34:  pr(32,:) ← evalsig(structure,v_pr32)
35:  x ← (amps(1,1):1e-9:amps(end,1))*1e6
36:  amps ← amps*1e6
37:  y ← zeros(size(pr,1),(size(x,2)))
38:  nAmplificadores ← Val
39:  nCruces ← Val
40:  matriz_de_x ← zeros(nAmplificadores,nCruces)
41:  for n = 1 to nAmplificadores do
42:      y(n,:) = interp1(amps,pr(n,:),x)
43:      matriz_de_x(n,:) = find(y(n,1:end-1).*y(n,2:end) <= 0)
44:  end for
45:  vector_de_x ← reshape(matriz_de_x,1,size(matriz_de_x,1)*size(matriz_de_x,2))
46:  for n = 1 to length(vector_de_x) do
47:      xp(n) = x(vector_de_x(n))
48:  end for
49:  r ← 1
50:  salto ← 0
51:  for n = 1 to length(x) do
52:      if x(n) == xp(r) then
53:          yp(n) = salto + Val
54:          r = r + 1
55:          salto = salto + Val
56:      else
57:          yp(n) = salto
58:      end if
59:      if r > length(vector_de_x) then
60:          r = length(vector_de_x) - 1
61:      end if
62:  end for

```

```

63:   for  $n = 1$  to  $size(xp, 2) - 1$  do ▷ DNL
64:        $dnl(n) = xp(1, n + 1) - xp(1, n)$ 
65:        $dnl(n) = (dnl(n) * 1e2) - 1$ 
66:   end for
67:    $x_{dnl} \leftarrow 1:length(dnl)$ 
68:    $y_{ideal} \leftarrow 0:size(x, 2)-1$ 
69:    $Desfaseinicial \leftarrow Val$ 
70:    $Desfasefinal \leftarrow Val$ 
71:    $x_{comp} \leftarrow Desfaseinicial:1e-3:Desfasefinal$ 
72:    $u \leftarrow Val$ 
73:   for  $n = 1$  to  $size(y_{ideal}, 2)$  do
74:       if  $y_{ideal}(n) == u$  then
75:            $punto\_x\_ideal(n) = x_{comp}(n)$ 
76:            $u = u + Val$ 
77:       end if
78:   end for
79:    $point \leftarrow point(point \sim = 0)$ 
80:   for  $n = 1$  to  $size(xp, 2) - 1$  do ▷ INL
81:        $inl(n) = (xp(1, n + 1) + xp(1, n))/2$ 
82:        $inl(n) = (point(n) - inl(n)) * 1e2$ 
83:   end for
84:    $x_{inl} \leftarrow 1:length(inl)$ 
85: end procedure

```

Algorithm 2 Obtención_de_SNR

```

1: procedure LEER(structuretime) ▷ Donde Val - Valor, Vref - Valor de referencia
2:   time ← evalsig(structuretime, TIME)
3:   iin ← evalsig(structuretime, i_iin)
4:   pr(1,:) ← evalsig(structuretime, v_pr1)
5:   pr(2,:) ← evalsig(structuretime, v_pr2)
6:   pr(3,:) ← evalsig(structuretime, v_pr3)
7:   pr(4,:) ← evalsig(structuretime, v_pr4)
8:   pr(5,:) ← evalsig(structuretime, v_pr5)
9:   pr(6,:) ← evalsig(structuretime, v_pr6)
10:  pr(7,:) ← evalsig(structuretime, v_pr7)
11:  pr(8,:) ← evalsig(structuretime, v_pr8)
12:  pr(9,:) ← evalsig(structuretime, v_pr9)
13:  pr(10,:) ← evalsig(structuretime, v_pr10)
14:  pr(11,:) ← evalsig(structuretime, v_pr11)
15:  pr(12,:) ← evalsig(structuretime, v_pr12)
16:  pr(13,:) ← evalsig(structuretime, v_pr13)
17:  pr(14,:) ← evalsig(structuretime, v_pr14)
18:  pr(15,:) ← evalsig(structuretime, v_pr15)
19:  pr(16,:) ← evalsig(structuretime, v_pr16)
20:  pr(17,:) ← evalsig(structuretime, v_pr17)
21:  pr(18,:) ← evalsig(structuretime, v_pr18)
22:  pr(19,:) ← evalsig(structuretime, v_pr19)
23:  pr(20,:) ← evalsig(structuretime, v_pr20)
24:  pr(21,:) ← evalsig(structuretime, v_pr21)
25:  pr(22,:) ← evalsig(structuretime, v_pr22)
26:  pr(23,:) ← evalsig(structuretime, v_pr23)
27:  pr(24,:) ← evalsig(structuretime, v_pr24)
28:  pr(25,:) ← evalsig(structuretime, v_pr25)
29:  pr(26,:) ← evalsig(structuretime, v_pr26)
30:  pr(27,:) ← evalsig(structuretime, v_pr27)
31:  pr(28,:) ← evalsig(structuretime, v_pr28)
32:  pr(29,:) ← evalsig(structuretime, v_pr29)
33:  pr(30,:) ← evalsig(structuretime, v_pr30)
34:  pr(31,:) ← evalsig(structuretime, v_pr31)
35:  pr(32,:) ← evalsig(structuretime, v_pr32)
36:  banderacambio ← evalsig(structuretime, banderacambio)
37:  time ← (time(1,1):1e-11:time(end,1))
38:  c ← 1

```

```

39:   for  $n = 1$  to  $length(banderacambio)$  do
40:       if  $banderacambio > V Vref/2$  then
41:            $puntoscambio(c) = banderacambio(n)$ 
42:            $c = c + 1$ 
43:       end if
44:   end for
45:   for  $n = 1$  to  $length(puntoscambio) - 1$  do
46:        $limitecambio(n) = (puntocambio(n + 1) - puntocambio(n))/2$ 
47:   end for
48:    $bandera \leftarrow 1$ 
49:    $parototal \leftarrow 1$ 
50:    $cuentatiempo \leftarrow 1$ 
51:    $cuentacambio \leftarrow 1$ 
52:    $paro \leftarrow length(limitecambio)$ 
53:    $nAmplificadores \leftarrow Val$ 
54:    $nCruces \leftarrow Val$ 
55:   while  $paro \leq parototal$  do
56:       while  $bandera == 1$  do
57:            $timeeval \leftarrow time(cuentatiempo):1e-11:limitecambio(cuentacambio)$ 
58:            $iinasc(parototal) \leftarrow time(cuentatiempo):1e-11:limitecambio(cuentacambio)$ 
59:            $y \leftarrow []$ 
60:            $matriz\_de\_x \leftarrow []$ 
61:           for  $n = 1$  to  $nAmplificadores$  do
62:                $y(n, :) = interp1(amps, pr(n, cuentatiempo$       :
63:                $limitecambio(cuentacambio)), timeeval)$ 
64:                $matriz\_de\_x(n, :) = find(y(n, 1 : end - 1). * y(n, 2 : end) \leq 0)$ 
65:           end for
66:            $vector\_de\_x \leftarrow reshape(matriz\_de\_x, 1, size(matriz\_de\_x, 1) * size(matriz\_de\_x, 2))$ 
67:           for  $n = 1$  to  $length(vector\_de\_x)$  do
68:                $xp(n) = timeeval(vector\_de\_x(n))$ 
69:           end for
70:            $r \leftarrow 1$ 
71:            $salto \leftarrow 0$ 
72:           for  $n = 1$  to  $length(timeeval)$  do
73:               if  $timeeval(n) == xp(r)$  then
74:                    $ypasc(parototal, n) = salto + Val$ 
75:                    $r = r + 1$ 
76:                    $salto = salto + Val$ 
77:               else
78:                    $ypasc(n) = salto$ 
79:               end if
80:           if  $r > length(vector\_de\_x)$  then
81:                $r = length(vector\_de\_x) - 1$ 

```

```

81:         end if
82:     end for
83:     parototal ← parototal + 1
84:     bandera = 0
85:     cuentatiempo ← length(timeeval)
86:     cuentacambio ← cuentacambio + 1
87:     timeeval ← []
88:     xp ← []
89:     vector_de_x ← []
90: end while
91: while bandera==0 do
92:     timeeval ← time(cuentatiempo):1e-11:limitecambio(cuentacambio)
93:     iindes(parototal) ← time(cuentatiempo):1e-11:limitecambio(cuentacambio)
94:     y ← []
95:     matriz_de_x ← []
96:     for n = 1 to nAmplificadores do
97:         y(n, :) = interp1(amps, pr(n, cuentatiempo :
limitecambio(cuentacambio)), timeeval)
98:         matriz_de_x(n, :) = find(y(n, 1 : end - 1) .* y(n, 2 : end) <= 0)
99:     end for
100:    vector_de_x ← reshape(matriz_de_x, 1, size(matriz_de_x, 1)*size(matriz_de_x, 2))
101:    for n = 1 to length(vector_de_x) do
102:        xp(n) = timeeval(vector_de_x(n))
103:    end for
104:    r ← 1
105:    salto ← 0
106:    for n = 1 to length(timeeval) do
107:        if timeeval(n) == xp(r) then
108:            ypdес(parototal, n) = salto + Val
109:            r = r + 1
110:            salto = salto + Val
111:        else
112:            ypdес(n) = salto
113:        end if
114:        if r > length(vector_de_x) then
115:            r = length(vector_de_x) - 1
116:        end if
117:    end for
118:    parototal ← parototal + 1
119:    bandera = 1
120:    cuentatiempo ← length(timeeval)
121:    cuentacambio ← cuentacambio + 1

```

```

122:         timeeval ← []
123:         xp ← []
124:         vector_de_x ← []
125:         end while
126:     end while
127:     for n = 1 to paro do
128:         senal(n) = [ypasc(n, :), sort(ypdes((2 + n), :), 'descend')]
129:     end for
130:     reconstruida ← reshape(senal', 1, size(senal, 1) * size(senal, 2))
131:     for n = 1 to paro do
132:         iincomp(n) = [iinasc(n, :), iindesc((2 + n), :)]
133:     end for
134:     iininterpolada ← reshape(iincomp', 1, size(iincomp, 1) * size(iincomp, 2))
135:     Noise ← reconstruida - iininterpolada
136:     value ← snr(iininterpolada, Noise)
137:     ENOB ← value / 6.02
138: end procedure

```

Bibliografía

- [1] Shuang Zhu, Bo Wu, Yongda Cai, and Yun Chiu. A 2GS/s 8b flash ADC based on remainder number system in 65nm CMOS. In *VLSI Circuits, 2017 Symposium on*, pages C284–C285. IEEE, 2017.
- [2] Liyaqat Nazir, Burhan Khurshid, and Roohie Naaz Mir. A 7GS/s, 1.2 V. pseudo logic encoder based flash ADC using TIQ technique. In *India Conference (INDICON), 2015 Annual IEEE*, pages 1–6. IEEE, 2015.
- [3] Chi-Hang Chan, Yan Zhu, Sai-Weng Sin, U Seng-Pan, Rui P Martins, and Franco Maloberti. A 7.8-mw 5-b 5-GS/s Dual-Edges-Triggered Time-Based Flash ADC. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2017.
- [4] A Arbel and R Kurz. Fast ADC. *IEEE Transactions on Nuclear Science*, 22(1):446–451, 1975.
- [5] Luis Antonio Carrillo Martínez and Guillermo Espinosa Flores-Verdad. 7-bit 2.56 GS/s folding ADC with nanometric compatible architecture by using a high dynamic I/O folding amplifier. In *Circuits and Systems (LASCAS), 2013 IEEE Fourth Latin American Symposium on*, pages 1–4. IEEE, 2013.
- [6] A Anvesha, Marshnil Dave, Maryam Shojaei Baghini, and Dinesh Sharma. A process and temperature invariant on-chip resistor and its application. In *Circuits and Systems (MWSCAS), 2012 IEEE 55th International Midwest Symposium on*, pages 706–709. IEEE, 2012.
- [7] Bang-Sup Song, Patrick L Rakers, and Steven F Gillig. A 1-V 6-b 50-MSamples/s current-interpolating CMOS ADC. *IEEE Journal of Solid-State Circuits*, 35(4):647–651, 2000.

-
- [8] Pieter Vorenkamp and Raf Roovers. A 12-b, 60-MSample/s cascaded folding and interpolating ADC. *IEEE Journal of Solid-State Circuits*, 32(12):1876–1886, 1997.
- [9] Michael P Flynn and Ben Sheahan. A 400-MSample/s, 6-b CMOS folding and interpolating ADC. *IEEE Journal of Solid-State Circuits*, 33(12):1932–1938, 1998.
- [10] Kiyoshi Makigawa, Koichi Ono, Takeshi Ohkawa, Kouji Matsuura, and Masahiro Segami. A 7bit 800Msps 120mW folding and interpolation ADC using a mixed-averaging scheme. In *VLSI Circuits, 2006. Digest of Technical Papers. 2006 Symposium on*, pages 138–139. IEEE, 2006.
- [11] Shruti Oza and NM Devashrayee. Folding & Interpolating ADC using Low Power Folding Amplifier. 2010.
- [12] Ro-Min Weng and Chi-Cheng Chao. A 1.5 V high folding rate current-mode folding amplifier for folding and interpolating ADC. In *Circuits and Systems, 2006. ISCAS 2006. Proceedings. 2006 IEEE International Symposium on*, pages 4–pp. IEEE, 2006.
- [13] Yunchu Li and Edgar Sanchez-Sinencio. Current mirror based folding amplifier. In *Circuits and Systems, 2000. Proceedings of the 43rd IEEE Midwest Symposium on*, volume 1, pages 60–63. IEEE, 2000.
- [14] Munir A Al-Absi, Sagar K Dhar, Muhammad T Abuelmaátti, and Mohanad AM Elhassan. A new CMOS current mode fast folding amplifier. In *Electronics, Circuits and Systems (ICECS), 2014 21st IEEE International Conference on*, pages 183–186. IEEE, 2014.
- [15] Mohanad AM Elhassan, Sagar K Dhar, Munir A Al, Muhammad T Abuelmaátti, et al. A new fast and accurate current-mode folding amplifier. In *Electrical and Electronics Engineering (ELECO), 2015 9th International Conference on*, pages 71–75. IEEE, 2015.
- [16] Kwangho Yoon, Jeongho Lee, Deog-Kyoon Jeong, and Wonchan Kim. An 8-bit 125 MS/s CMOS folding ADC for Gigabit Ethernet LSI. In *VLSI Circuits, 2000. Digest of Technical Papers. 2000 Symposium on*, pages 212–213. IEEE, 2000.
-

-
- [17] Govert Geelen and Edward Paulus. An 8b 600MS/s 200mW CMOS folding A/D converter using an amplifier preset technique. In *Solid-State Circuits Conference, 2004. Digest of Technical Papers. ISSCC. 2004 IEEE International*, pages 254–526. IEEE, 2004.
- [18] Zheng-Yu Wang, Hui Pan, Chung-Ming Chang, Hai-Rong Yu, and M Frank Chang. A 600 MSPS 8-bit folding ADC in 0.18/spl mu/m CMOS. In *VLSI Circuits, 2004. Digest of Technical Papers. 2004 Symposium on*, pages 424–427. IEEE, 2004.
- [19] Robert C Taft, Chris A Menkus, Maria Rosaria Tursi, Ols Hidri, and Valerie Pons. A 1.8-V 1.6-GSample/s 8-b self-calibrating folding ADC with 7.26 ENOB at Nyquist frequency. *IEEE Journal of Solid-State Circuits*, 39(12):2107–2115, 2004.
- [20] Rajesh Thirugnanam, Dong Sam Ha, and Sang S Choi. Design of a 4-bit 1.4 GSamples/s low power folding ADC for DS-CDMA UWB transceivers. In *2005 IEEE International Conference on Ultra-Wideband*, pages 536–541. IEEE, 2005.
- [21] Bob Verbruggen, Jan Craninckx, Maarten Kuijk, Piet Wambacq, and Geert Van der Plas. A 2.2 mW 1.75 GS/s 5 bit folding flash ADC in 90 nm digital CMOS. *IEEE Journal of Solid-State Circuits*, 44(3):874–882, 2009.
- [22] Jung-ho Lee, B Choi Michael, Ho-Jin Park, and Byeong-Ha Park. A 7b 1GS/s 60mW folding ADC in 65nm CMOS. In *SoC Design Conference (ISOCC), 2010 International*, pages 338–341. IEEE, 2010.
- [23] Shuang Zhu, Benwei Xu, Bo Wu, Kiran Soppimath, and Yun Chiu. A 0.073-mm² 10-GS/s 6-bit time-domain folding ADC in 65-nm CMOS with inherent DEM. In *Custom Integrated Circuits Conference (CICC), 2015 IEEE*, pages 1–4. IEEE, 2015.
- [24] Yukio Akazawa, Atushi Iwata, T Wakimoto, T Kamato, H Nakamura, and H Ika-wa. A 400MSPS 8b flash AD conversion LSI. In *Solid-State Circuits Conference. Digest of Technical Papers. 1987 IEEE International*, volume 30, pages 98–99. IEEE, 1987.
-

-
- [25] Sotirios Limotyrakis, Ki Young Nam, and Bruce A Wooley. Analysis and simulation of distortion in folding and interpolating A/D converters. *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, 49(3):161–169, 2002.
- [26] Xuan Zhang, Bojong Ni, Ishita Mukhopadhyay, and Alyssa B Apsel. Improving absolute accuracy of integrated resistors with device diversification. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 59(6):346–350, 2012.
- [27] David A Johns and Ken Martin. *Analog integrated circuit design*. John Wiley & Sons, 2008.
- [28] Franco Maloberti. *Data converters*. Springer Science & Business Media, 2007.
- [29] John Lazzaro, Sylvie Ryckebusch, Misha Anne Mahowald, and Caver A Mead. Winner-take-all networks of O (n) complexity. In *Advances in neural information processing systems*, pages 703–711, 1989.
- [30] Barbaros Sekerkiran and U Cilingiroglu. Improving the resolution of Lazzaro winner-take-all circuit. In *Neural Networks, 1997., International Conference on*, volume 2, pages 1005–1008. IEEE, 1997.
- [31] Franco Maloberti. *Analog design for CMOS VLSI systems*, volume 646. Springer Science & Business Media, 2006.
- [32] Klaas Bult and Govert JGM Geelen. The CMOS gain-boosting technique. *Analog integrated circuits and signal processing*, 1(2):119–135, 1991.
- [33] Junghyup Lee and SeongHwan Cho. A 1.4- μ w 24.9-ppm/ $^{\circ}$ c Current Reference With Process-Insensitive Temperature Compensation in 0.18- μ m CMOS. *IEEE Journal of Solid-State Circuits*, 47(10):2527–2533, 2012.
- [34] Roubik Gregorian. *Introduction to CMOS OP-AMPs and comparators*. J Wiley & Sons, 1999.
- [35] Shruti Oza and NM Devashrayee. Low voltage, low power folding amplifier for folding & interpolating ADC. In *Advances in Recent Technologies in Communication and Computing, 2009. ARTCom'09. International Conference on*, pages 178–182. IEEE, 2009.
-

-
- [36] Iuri Mehr and Terry L Sculley. Oversampling current sample/hold structures for digital CMOS process implementation. *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, 45(2):196–203, 1998.
- [37] Renyuan Huang and Chin-Long Wey. A high-accuracy CMOS oversampling switched-current sample/hold (S/H) circuit using feedforward approach. *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, 45(3):395–399, 1998.
- [38] Mustafa Cem Ozkiloglu, Shahram Minaei, and Sait Turkoz. A current-mode sample-and-hold circuit with high accuracy. In *Signal Processing and Its Applications, 2007. ISSPA 2007. 9th International Symposium on*, pages 1–4. IEEE, 2007.
- [39] John P Uyemura. *CMOS logic circuit design*. Springer Science & Business Media, 1999.
- [40] Rudy J Van de Plassche. *CMOS integrated analog-to-digital and digital-to-analog converters*, volume 742. Springer Science & Business Media, 2013.