



INAOE

Diseño de un ADC NS-SAR de segundo orden con un solo operacional como integrador robusto a variaciones de proceso y temperatura en tecnología CMOS 65nm

Por
Ing. Jorge Alberto Martínez Jiménez

Tesis sometida como requisito para obtener el grado de

MAESTRO EN CIENCIAS EN LA ESPECIALIDAD DE ELECTRÓNICA

En el
Instituto Nacional de Astrofísica, Óptica y Electrónica (INAOE)

Septiembre 2024
Santa María Tonantzintla, Puebla.

Asesor:
Dr. Guillermo Espinosa Flores Verdad

Departamento de Electrónica. INAOE

©INAOE 2024
Derechos Reservados
El autor otorga al INAOE el permiso de reproducir y distribuir copias de esta tesis en su totalidad o en partes mencionando la fuente.



Resumen

El trabajo presentado en esta tesis aborda el diseño de un convertidor analógico/digital de registro de aproximaciones sucesivas (conocido como SAR por sus siglas en inglés) de 12 bits con moldeado de ruido (Noise Shaping). Los convertidores SAR se caracterizan por tener un gran desempeño en cuanto su bajo consumo de potencia, velocidades de conversión y resoluciones medias (8 a 14 bits), por lo que es frecuentemente usado en ámbitos biomédicos, instrumentos de medición portables, adquisición de datos, entre otros. Por otro lado, los convertidores Noise Shaping SAR son una arquitectura híbrida entre los convertidores convencionales tipo SAR y los Delta-Sigma (DSM), obteniendo las ventajas de cada uno por separado: energéticamente eficientes y de bajo consumo de área de silicio (SAR) al igual que con mayor resolución y relación señal a ruido (SNR) [15] (DSM). Este trabajo busca comparar el comportamiento, ventajas y desventajas entre un NS SAR de primer orden; uno de segundo orden convencional; y uno utilizando solo un operacional como integrador de segundo orden mediante la redistribución de carga. Este tipo de convertidores con moldeado de ruido son una manera de obtener un número de bits efectivos (ENOB) alto debido a que el ruido de cuantización es altamente reducido en la banda de paso.

Abstract

The work presented in this thesis addresses the design of a 12-bit successive approximation register (SAR) analog-to-digital converter with noise shaping. SAR converters are characterized by their excellent performance in terms of low power consumption, conversion speeds, and medium resolutions (8 to 14 bits), making them frequently used in biomedical fields, portable measurement instruments, data acquisition, etc. On the other hand, Noise Shaping SAR converters are a hybrid architecture between conventional SAR converters and Delta-Sigma (DSM) converters, obtaining the advantages of both: energy efficiency and low silicon area consumption (SAR) as well as higher resolution and signal-to-noise ratio (SNR) [15]. This work aims to compare the behavior, advantages, and disadvantages of a first-order NS SAR, a conventional second-order one, and one using only a single operational amplifier as a second-order integrator through charge redistribution. These types of noise-shaped converters are a way to achieve a high effective number of bits (ENOB) because the quantization noise is highly reduced in the passband.

Agradecimientos

A mi familia nuclear, por todo el apoyo durante este largo y retador viaje. Este trabajo fue posible gracias a ustedes.

A la pulga, por todo el cariño y paciencia demostrado durante todo este tiempo en INAOE.

A mi director de tesis, el Dr. Guillermo Espinosa Flores verdad, por todo el apoyo que me brindó durante el desarrollo de este trabajo de tesis. ¡Mil gracias, Doc!

A mis amigos y hermanos académicos mayores, Erick Arenas y Mauricio Velázquez, por su invaluable ayuda y apoyo en los momentos dónde parecía que no iba a ser posible la propuesta principal. ¡Gracias, amigos!

A todos mis amigos fuera y dentro de INAOE. Por todos esos momentos de felicidad que quedarán en nuestra memoria.

A mis sinodales: Dra. María Teresa Sanz Pascual, Dr. Librado Arturo Sarmiento Reyes y Dr. Luis Antonio Carillo Martínez; por brindar su tiempo en la revisión de esta tesis.

1. Introducción	1
1.1. ¿De dónde venimos y hacia donde vamos?	1
1.2. Arquitecturas principales	2
1.2.1. Convertidor de registro de aproximaciones sucesivas	2
1.2.2. Convertidor de Subrango y Pipeline	2
1.2.3. Convertidor Delta-Sigma	3
1.2.4. Convertidores Zoom	4
1.3. Tendencias	5
1.4. Hipótesis	6
1.5. Objetivos	6
1.5.1. General	6
1.5.2. Metas	7
1.6. Organización de la tesis	7
2. Marco Teórico	8
2.1. Convertidores SAR	8
2.2. Funcionamiento a nivel sistema	9

2.3.	DAC	10
2.3.1.	Pesado binariamente	10
2.3.2.	Condensador dividido (<i>Split capacitor</i>)	11
2.3.3.	DAC C-2C	12
2.4.	Comparador	15
2.5.	Máquina de estados	16
2.6.	Noise-Shaping	16
2.7.	Filtro pasa-bajas con técnica SC	17
2.8.	Características de un ADC	21
2.8.1.	Generales	21
2.8.2.	Estáticas	23
2.8.3.	Dinámicas	26
2.9.	Figura de mérito	28
3.	Convertidores SAR de 12 bits, con moldeado de ruido de primer y segundo orden	29
3.1.	Especificaciones	29
3.2.	Convertidor SAR	31
3.2.1.	Lógica SAR	34
3.3.	Convertidor NS-SAR de primer orden	36
3.4.	Convertidor NS-SAR de segundo orden mediante operacionales en cascada	39
3.5.	Resumen y conclusiones del capítulo	43
4.	Diseño de los bloques analógicos fundamentales para un convertidor NS-SAR de segundo orden con un operacional	46
4.1.	Descripción general del convertidor	47
4.2.	Propuesta 1 de integrador	48
4.3.	Propuesta 2 de integrador	50

4.4. Interruptor	53
4.5. Interruptor Bootstrap	55
4.6. Comparador	58
4.6.1. Pre-amplificador	59
4.6.2. Latch	60
4.7. Amplificador	63
5. Resultados	68
5.1. Noise Shaping SAR de segundo orden con un solo operacional: Propuesta	68
5.2. Caracterización estática	70
5.3. Caracterización dinámica	71
5.4. Comparación con el estado del arte	73
5.5. Conclusiones	73
5.6. Trabajo futuro	75
Índice de figuras	76
Índice de tablas	80
Bibliografía	82
A. Caracterización analógica	I
A.1. Voltajes de entrada	I
A.2. Offset, Ganancia y BW	II
A.3. Ganancia en modo común	II
A.4. ICMR	III
A.5. Slew Rate	IV
A.6. PSRR	IV
A.7. THD	V

1.1. ¿De dónde venimos y hacia donde vamos?

En la década de los 50's, los convertidores fueron utilizados principalmente en los sistemas de encriptación de mensajes durante la Segunda Guerra Mundial. No existía un uso comercial de estos sistemas debido a las propias limitaciones tecnológicas: los tubos de vacío provocaban que la fabricación de convertidores fuera costoso, estorboso y con mucho consumo de potencia. Sin embargo, con el paso del tiempo y el crecimiento del cómputo digital y procesamiento de señales, estos se han vuelto una pieza importante en la electrónica actual, debido a que estos sirven como puente entre el mundo analógico y los sistemas digitales [23]. La década de los 70's fue crucial para el desarrollo de estos sistemas. Voltímetros digitales de alta resolución, control industrial, radares de uso militar y video digitalizado fueron algunas de las principales aplicaciones que hicieron posible el desarrollo de los convertidores ADC/DAC. El crecimiento de los sistemas digitales en el área médica, electrónica de consumo y comunicaciones han hecho que los sistemas de conversión tomen mayor relevancia en el mundo actual.

1.2. Arquitecturas principales

1.2.1. Convertidor de registro de aproximaciones sucesivas

El ADC SAR es uno de los convertidores más utilizados para aplicaciones de mayor resolución, pero, que al mismo tiempo, no requieren alta velocidad. Este sistema consta de un bloque de muestreo y retención (sample & hold), un comparador, un convertidor digital/análogo (DAC) y una lógica cuya función es proponer los códigos para acercarnos de manera sucesiva al valor deseado. Este convertidor se detallará minuciosamente en el capítulo 2. La figura 1.1 muestra el diagrama de bloques funcionales de un convertidor SAR.

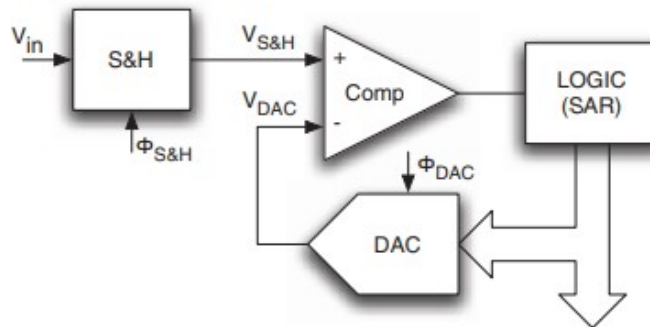


Figura 1.1: Diagrama funcional de un SAR [17].

1.2.2. Convertidor de Subrango y Pipeline

Este sistema se basa en dos conversiones por separado: conversión gruesa para el sub-ADC del bit más significativo (MSB) y conversión fina para el sub-ADC del bit menos significativo (LSB). Derivado de lo anterior, se le otorga el término "Pipeline" debido a que las etapas tienen la capacidad de procesar información procedente de la etapa anterior durante cualquier ciclo de reloj. Es decir, cuando termina un ciclo de reloj, la salida de una etapa es pasada a la siguiente usando un bloque seguidor/retenedor (T&H) y, así, un nuevo dato es introducido al sistema.

La figura 1.2 muestra el diagrama de bloques funcionales de un convertidor Pipeline.

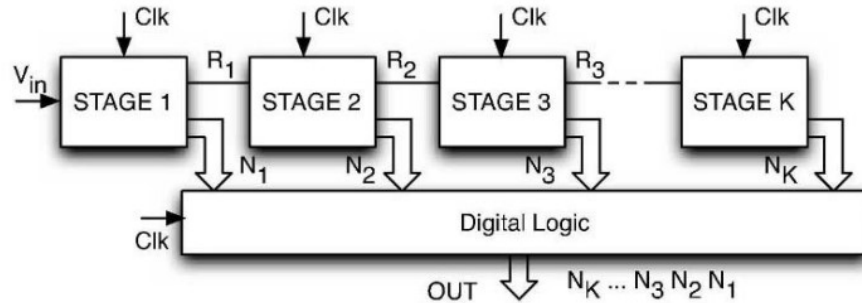


Figura 1.2: Diagrama funcional de un convertidor Pipeline [17].

1.2.3. Convertidor Delta-Sigma

Este tipo de convertidores son ampliamente usados en aplicaciones de alta resolución, un ancho de banda entre 10Khz y 20Khz y bajo consumo de área. Esta clase de ADC contiene un comparador, una referencia de voltaje, interruptores, integradores y circuitos de suma de voltaje. Debido al sobremuestreo, los requerimientos del filtro "antialiasing" se vuelven más asequibles y las resoluciones que se pueden alcanzar rondan más de 20 bits. Gracias a esta resolución, las aplicaciones directas de este tipo de convertidores están en el área de procesamiento de audio. La figura 1.3 muestra el diagrama de bloques de un ADC $\Sigma\Delta$.

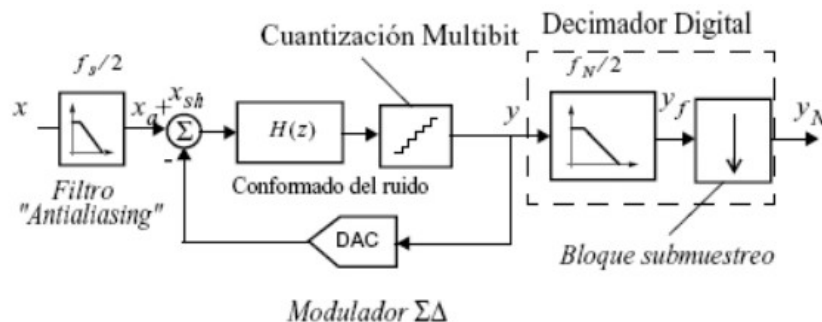


Figura 1.3: Diagrama funcional de un convertidor $\Sigma\Delta$.

1.2.4. Convertidores Zoom

Este tipo de ADC es una combinación entre el convertidor SAR (conversión gruesa) y el $\Sigma\Delta$ (conversión fina), teniendo como resultado una buena eficiencia energética y mayor resolución. La parte SAR genera un código K de N -bits. Este valor digital K es utilizado para determinar las referencias alto y bajo de la parte $\Sigma\Delta$. Dependiendo de la salida del comparador es la referencia que estará conectada [8]. La figura 1.4 muestra el diagrama funcional del un convertidor Zoom.

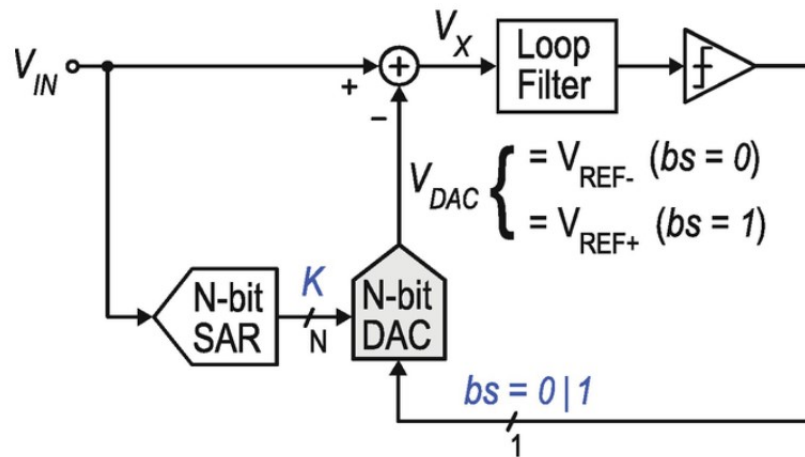


Figura 1.4: Diagrama funcional de un convertidor tipo Zoom [8].

1.3. Tendencias

Podemos considerar al ancho de banda y al rango dinámico como las dos características fundamentales de cualquier sistema de procesamiento de señales. Una gran cantidad de parámetros describen a un ADC; sin embargo, las dos especificaciones básicas de este bloque son: la tasa de muestreo (la cual limita el ancho de banda de la señal) y la resolución (la cual limita el rango dinámico de la señal) [25]. La figura 1.5 muestra una comparación de convertidores de la relación señal-ruido y distorsión con respecto a la velocidad medida en muestras por segundo. De esta manera, mediante la investigación del estado del arte, podemos extraer las tendencias en el mundo de los convertidores. La tabla 1.1 muestra una clasificación de los convertidores más utilizados en esta última década.

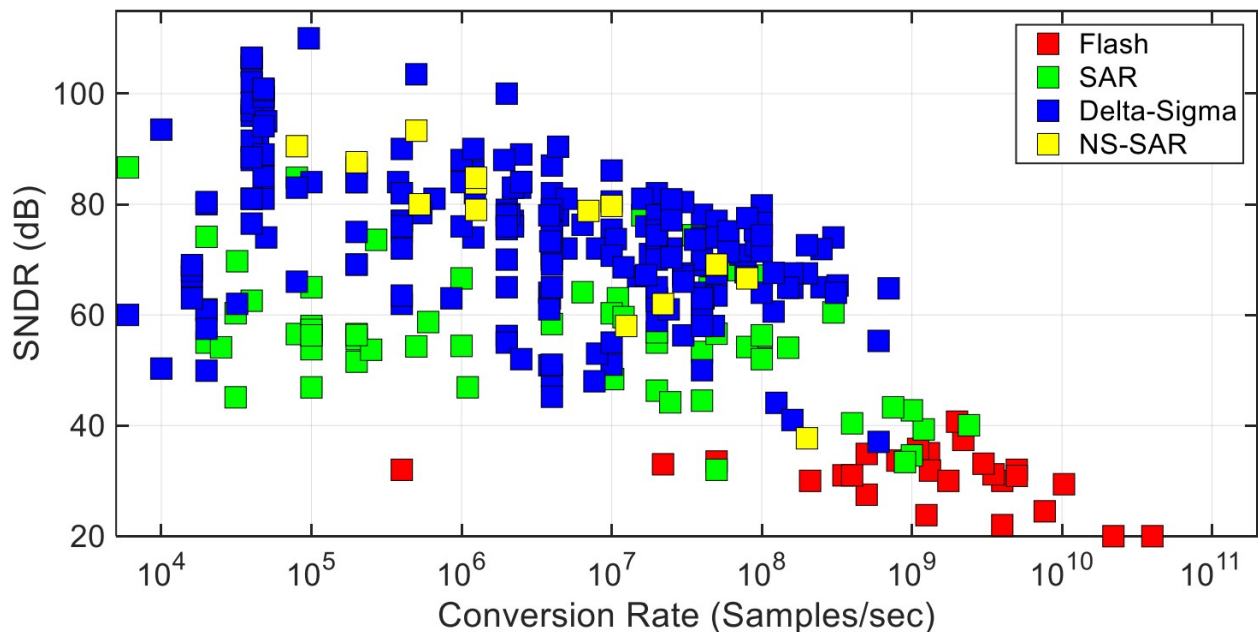


Figura 1.5: Comparación de los convertidores más utilizados en la actualidad [18].

Tipo	Resolución (bits)	BW	FS	Aplicación	Topología
Sub-muestreo	20-24	10Khz	100KS/S	Básculas Termómetros	$\Sigma\Delta$
Alto SNR	14-18	20Khz	2MS/s	Audio	$\Sigma\Delta$ NS-SAR
Bajo ancho de banda	10-16	20Khz	5MS/s	Control Biomédica	NS-SAR SAR
Velocidades medias	10-14	500Khz	10MS/s	imagen/video Ultrasonido	NS-SAR SAR
Altas velocidades	4-8	5Mhz	250MS/s	Comunicaciones ópticas	Flash

Tabla 1.1: Relación de características con tipo de convertidores [25].

1.4. Hipótesis

- ◇ El bloque Noise Shaping permite mejorar el ENOB en los convertidores SAR.
- ◇ La implementación de un Noise Shaping de segundo orden permitirá tener un mejor desempeño que uno de primer orden.
- ◇ Se puede realizar un Noise Shaping de segundo orden utilizando solo un operacional mediante la redistribución de carga.

1.5. Objetivos

1.5.1. General

Diseñar, a nivel transistor, un convertidor analógico digital de 12 bits a 1 Ms/s tipo SAR con moldeado de ruido de segundo orden con un solo operacional, robusto a variaciones de proceso y temperatura (de -20° a 120°) en tecnología bulk CMOS de $65nm$. Adicionalmente, demostrar que la topología propuesta tiene el mismo desempeño en ENOB y SNR que un NS-SAR de segundo orden conformado por dos operacionales; pero con un consumo de potencia igual a uno

de primer orden.

1.5.2. Metas

- ◇ Llevar acabo una investigación del estado del arte y comparar las características del convertidor diseñado con los reportados.
- ◇ Demostrar que un sistema de segundo orden tiene un mayor ENOB y, por lo tanto, un mayor SNR que uno de primer orden.
- ◇ Diseñar un Noise Shaping de segundo orden utilizando solo un operacional con la técnica de Switched Capacitor.
- ◇ Que el convertidor con el filtro propuesto tenga el mismo desempeño que un NS-SAR de segundo orden con dos operacionales, pero con un consumo de potencia igual al de uno de primer orden.

1.6. Organización de la tesis

En el capítulo 2 se muestra la figura de mérito y la descripción de los elementos teóricos más importantes para entender un ADC. El capítulo 3 explica a profundidad el comportamiento de un convertidor tipo SAR y el funcionamiento de los bloques que lo acompañan. Seguido de esto, se plantea el conformado de ruido como mejora del sistema. En el capítulo 4 se muestra la propuesta del integrador de segundo orden mediante el uso de un solo operacional, así como también los diseños analógicos con sus respectivos análisis en PT de todo el sistema. Finalmente, el capítulo 5 muestra los resultados obtenidos del ADC propuesto y su comparación con el estado del arte, seguido de las conclusiones y trabajo futuro a realizar.

2.1. Convertidores SAR

Los convertidores SAR basan su funcionamiento en un algoritmo que a su vez se puede entender mediante el funcionamiento de una balanza de viga antigua, la cual consta de dos brazos de la misma longitud y un plato que cuelga de cada uno de ellos [16]. Primero, una cantidad desconocida es colocada en un plato de la balanza, mientras que en el otro se colocan distintos pesos conocidos hasta que los brazos quedan completamente horizontales. De esta manera es cómo, mediante pesos conocidos, nos podemos aproximar a uno desconocido. La figura 2.1 muestra la analogía previamente explicada, donde el comparador toma el papel de la balanza, el *S&H* el peso desconocido y el DAC los pesos conocidos para poder aproximar al valor deseado.

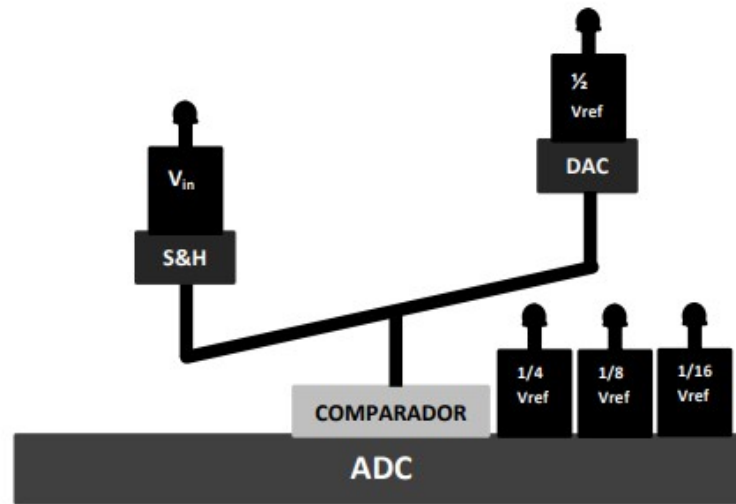


Figura 2.1: Funcionamiento de un sistema SAR [7].

2.2. Funcionamiento a nivel sistema

Ya que se tiene la idea principal del convertidor SAR, es momento de hablar del funcionamiento a nivel sistema. La señal de entrada es discretizada en el tiempo por el bloque $S\&H$ y es conectada a una de las dos terminales del comparador; al mismo tiempo, la lógica SAR propone el bit más significativo en estado 1 lógico. Este último pasa por un convertidor digital/analógico (DAC) y posteriormente se conecta a la otra terminal del comparador. Si el valor convertido por el DAC es menor que el valor de la señal de entrada discretizada, entonces la lógica mantiene ese peso y propone el siguiente en estado lógico 1. Si fuera el caso contrario (es decir, $V_{DAC} > V_{in}$) el primer peso propuesto pasa al estado 0 lógico y el siguiente se propone en 1 lógico. Dicha comparación se llevará a cabo N veces, donde N es el número de bits. La figura 2.2 *a*) muestra los posibles casos descritos con anterioridad (búsqueda binaria); mientras que la 2.2 *b*) muestra un ejemplo de gráfica Voltaje vs Tiempo para un convertidor de 3 bits.

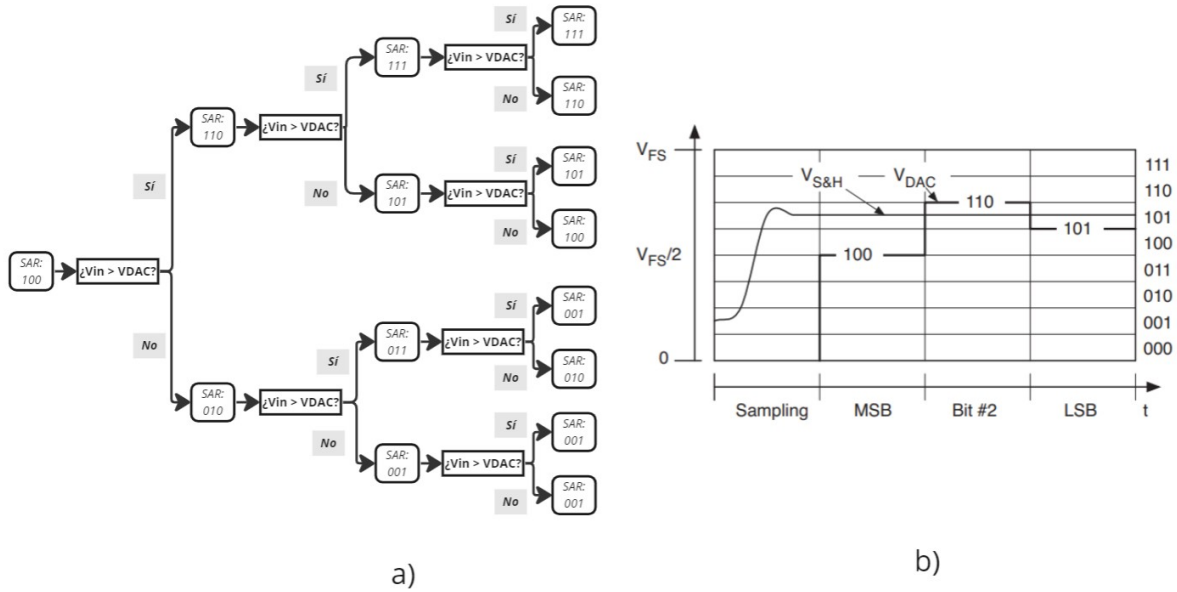


Figura 2.2: a) Búsqueda binaria y b) gráfica V vs T de un convertidor de 3 bits.

2.3. DAC

El convertidor digital/análogo es un bloque fundamental para el sistema SAR. Existen diferentes maneras de implementarlo: capacitivo, resistivo e híbrido[11]. En este trabajo se presenta un DAC capacitivo debido a su mejor desempeño en potencia, "matching" entre dispositivos y funcionamiento en resoluciones mayores en comparación con los resistivos [1]. Adicionalmente, los C-DAC'S tienen implícito el bloque de muestreo y retención, por lo que no es necesario diseñar un circuito $S\&H$ extra.

2.3.1. Pesado binariamente

Basa su funcionamiento en el principio de redistribución de carga. Representa la manera más sencilla de implementar el DAC, por lo que para bajas resoluciones es el más utilizado (junto con su contraparte resistiva). Debido al escalamiento de los capacitores, esta topología no es recomendable para altas resoluciones debido a la diferencia en magnitud que existe entre el capacitor más pequeño y el más

grande (también llamado *spread capacitivo*). Un detallado análisis de este tipo de topología lo podemos encontrar en [7], mientras que la figura 2.3 muestra el DAC descrito.

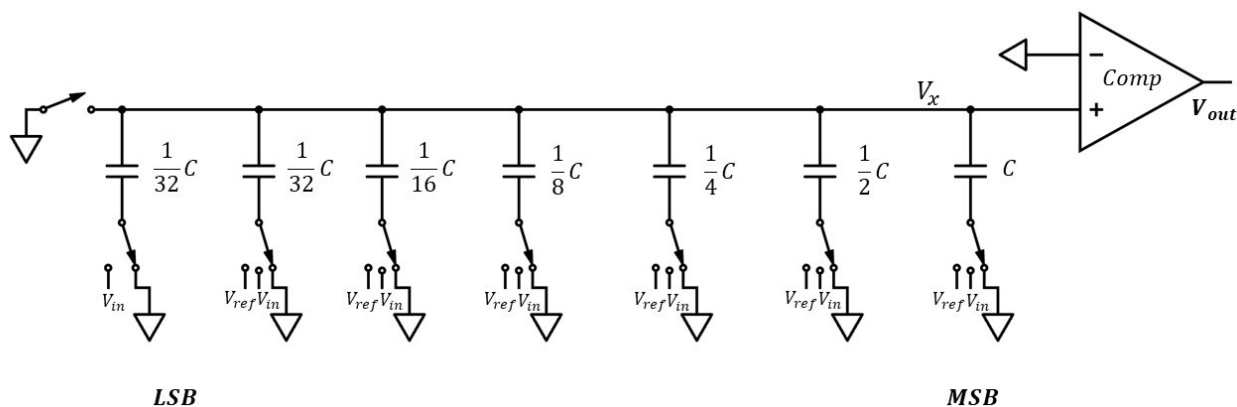
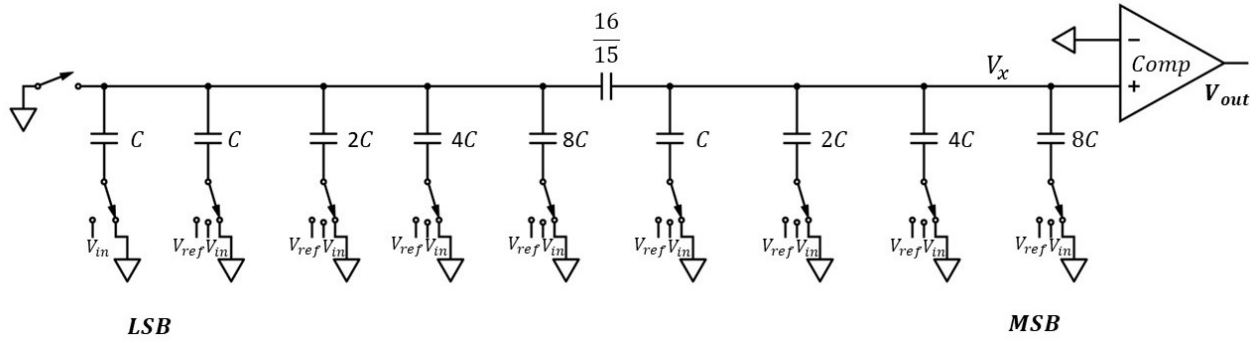


Figura 2.3: C-DAC de 6 bits pesado binariamente.

2.3.2. Condensador dividido (*Split capacitor*)

Como ya se mencionó anteriormente, uno de los principales inconvenientes de la topología pesada binariamente es que, para resoluciones mayores a 5 bits, hay una gran diferencia en magnitud entre el capacitor más grande y el más pequeño debido al crecimiento exponencial de los mismos, causando un mayor consumo de potencia, área y tiempo de establecimiento [26]. Una solución para dichas problemáticas es el DAC de condensador dividido (figura 2.4), el cual reduce la diferencia entre capacitores a la mitad debido al capacitor de acoplamiento. Sin embargo, agregar este capacitor de acoplo generará capacitancias parásitas que pueden afectar la linealidad del sistema y, como se demuestra en [1], no en todos los casos ayuda a mejorar el área y consumo de potencia.


 Figura 2.4: C-DAC de 8 bits en topología *split capacitor*.

2.3.3. DAC C-2C

Este arreglo de capacitores elimina el *spread capacitivo* que presentaban las anteriores topologías. No obstante, dependiendo del valor de los capacitores seleccionados, existirán capacitancias parásitas en el arreglo, por lo que podrían existir errores en la división de voltaje y eso llevarnos a problemas de no linealidad [24]. Este trabajo de tesis incorpora un DAC en topología C-2C y, refiriéndonos a la figura 2.5, el funcionamiento es el siguiente. Primero, todos los capacitores son conectados a tierra mediante los interruptores S_1 a S_4 ; al mismo tiempo, el interruptor S_0 está cerrado, provocando así que los capacitores se descarguen por completo y no exista valor inicial (a esta etapa la llamaremos *reset*). Después, aún con S_0 cerrado, los demás interruptores conmutan a V_{in} generando una carga proporcional de este voltaje en cada capacitor (*muestreo*). Seguido de esto, el interruptor S_0 se abre, produciendo un voltaje de $-V_{in}$ en las placas superiores de cada elemento de valor C (retención). Finalmente, los interruptores S_2 a S_4 conmutan a GND , mientras que el S_1 a V_{ref} (*MSB*). Mediante el equivalente de Thevenin y el teorema de superposición (figura 2.6a) encontramos que el capacitor equivalente es C , mientras que el voltaje equivalente para el capacitor que representa al bit más significativo (figura 2.6b) está dado por:

$$V_{TH1} = V_{ref1} \cdot \frac{C}{2C}$$

$$V_{TH1} = \frac{V_{ref1}}{2}$$

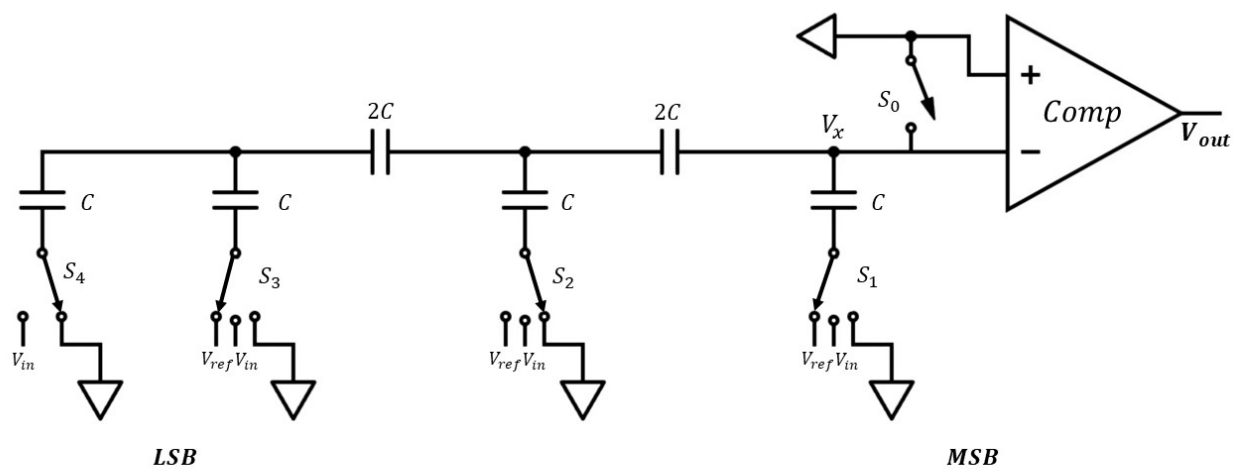


Figura 2.5: C-DAC de 3 bits en topología C-2C y una palabra digital de salida 101.

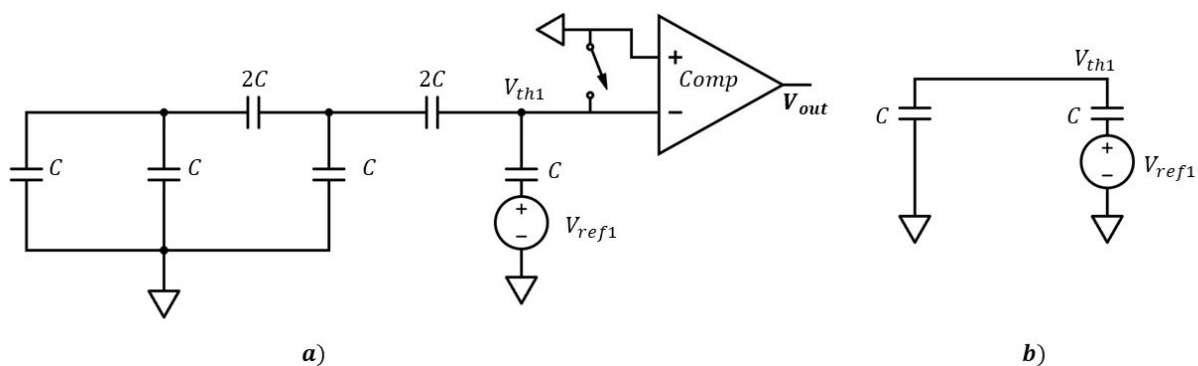


Figura 2.6: a)Capacitancia equivalente y b)voltaje equivalente de Thevenin.

Este proceso se usa para cada capacitor, encontrando que el voltaje visto en

la terminal negativa del operacional (V_x) será la contribución de cada fuente individual. De esta manera, se puede decir que el voltaje V_x es una función de la palabra digital de N bits. Por lo tanto, el voltaje V_x para un convertidor de N bits está dado por la ecuación 2.1, teniendo en cuenta que cada término aparecerá o no dependiendo del estado lógico de cada bit.

$$V_x(N) = V_{ref} \left(\frac{1}{2^{N-(N-1)}} + \frac{1}{2^{N-(N-2)}} + \frac{1}{2^{N-(N-3)}} + \dots + \frac{1}{2^N} \right) \quad (2.1)$$

Como ejemplo y retomando la figura 2.5, el funcionamiento es el siguiente: Primero ocurre el reset, por lo que todos los interruptores están conectados a tierra. Seguido de esta etapa, los interruptores S_1 a S_4 se conectan a V_{in} para precargar cada capacitor a este voltaje. Posteriormente el interruptor S_0 se abre, teniendo un voltaje $V_x = -V_{in}$ (etapa de muestreo y retención); la lógica SAR propone el bit más significativo en 1 (equivalente a $\frac{1}{2}V_{ref}$), por lo que S_1 conmuta a V_{ref} mientras que el resto de interruptores conmutan a GND . Como la terminal positiva del comparador está conectada a $0V$, si se cumple que $\frac{1}{2}V_{ref} < 0V$ se disparará un 1 lógico. Si fuera el caso contrario, el capacitor con el interruptor S_1 conmutará a GND . De manera consecutiva, la lógica SAR propone el siguiente bit (equivalente a $\frac{1}{4}V_{ref}$) en 1 lógico, moviendo el interruptor S_2 a V_{ref} . Como para este caso, $V_{ref}(\frac{1}{2} + \frac{1}{4}) > 0V$, entonces el comparador dispara un 0 lógico, conmutando nuevamente el interruptor S_2 a GND . Finalmente, la lógica SAR propone el último bit en 1 lógico (equivalente a $\frac{1}{8}V_{ref}$) haciendo que el interruptor S_3 conmute a V_{ref} ; como para este caso y, tomando en cuenta que el anterior bit fue 0 lógico, $V_{ref}(\frac{1}{2} + \frac{1}{8}) < 0V$, entonces el comparador dispara un 1 lógico, teniendo como resultado una palabra digital de 3 bits con valor 101.

Una vez obtenida la palabra digital, todo el proceso anteriormente descrito se repite para un nuevo valor de V_{in} .

2.4. Comparador

El comparador es un bloque fundamental de cualquier convertidor y muchos aspectos deben ser tomados en cuenta al momento de querer diseñar uno. El principal compromiso que existe en un comparador está entre la precisión y velocidad; ambas deben estar balanceadas con respecto a las especificaciones del convertidor. La principal función de este bloque es amplificar una diferencia entre las entradas de sus terminales y producir una salida digital [21]. De manera específica, este bloque es el que determina la velocidad y resolución de nuestro convertidor, por lo que un comparador veloz que pueda detectar la variación mínima deseable (LSB) es deseable. Una de las topologías más utilizadas con este fin se puede ver en la figura 2.7, la cual consiste en un preamplificador A_1 y un circuito de amarre de voltaje (latch). Este sistema tiene dos modos de operación: *seguimiento* y *latching*. En el primer modo, el latch se encuentra desactivado y A_1 amplifica la diferencia entre las entradas, por lo tanto, se puede decir que su salida sigue a la entrada. Por el contrario, en el modo *latching*, A_1 esta desactivado, por lo que instantáneamente la salida del preamplificador es regenerativamente amplificada y los niveles lógicos son producidos en V_{out} [23].

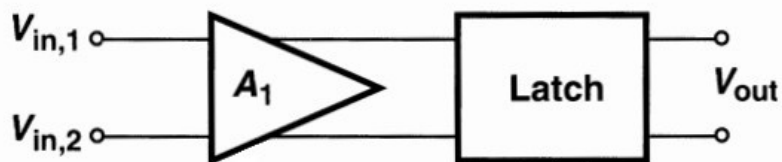


Figura 2.7: Comparador con arquitectura preamplificador + latch.

Una de las ventajas de usar este sistema es que los requerimientos de ganancia del preamplificador son menores. El rango de alimentación que se maneja en este trabajo de tesis es de 0V a 1V en tecnología CMOS de 65nm, por lo que, si la salida cambia en $1mV$, la ganancia mínima requerida es de $60dB$. Con la presencia del latch, la ganancia del preamplificador solo debe sobrepasar el offset del latch,

por lo que dicho requerimiento baja considerablemente [11].

2.5. Máquina de estados

La máquina de estados (también llamada lógica SAR) es la encargada de proponer y determinar los valores de los bits basándose en la salida del comparador. Su funcionamiento está basado en un registro de corrimiento y una matriz de latch's D SR. En el siguiente capítulo se explicará a detalle la implementación de esta lógica para el convertidor en cuestión.

2.6. Noise-Shaping

Como ya se ha expuesto en la sección 1, las arquitecturas convencionales están limitadas en especificaciones por los propios compromisos de cada diseño. Esto ha hecho que la investigación se centre en la creación de arquitecturas híbridas para tratar de mejorar las especificaciones. El convertidor SAR con moldeado de ruido (*NS-SAR*) es el resultado de combinar un convertidor SAR y un Delta-Sigma (*DSM*) para así obtener los beneficios de ambos convertidores: el bajo costo en consumo de potencia que tienen los SAR y un alto SNR como los convertidores DSM convencionales [15]. A pesar de que ambos convertidores se remontan a la década de los 50's, no se planteó la idea de combinarlos hasta hace poco menos de una década, tomando en cuenta el año en que se escribe este trabajo de tesis. Como ya se explicó en la sección 2.3, un convertidor SAR usa la salida del comparador para determinar el valor del bit previamente propuesto en alto por la lógica SAR y, de esta manera, aproximar de manera sucesiva la salida del DAC a la señal de entrada V_{in} . Sin embargo, como la resolución no es infinita, siempre existirá una diferencia entre la señal V_{in} y la salida $V_{out,dac}$; a esta diferencia se le denomina *error de cuantización* (V_{RES} o ϵ_q). La figura 2.8 muestra la función del bloque Noise Shaping con respecto a la frecuencia.

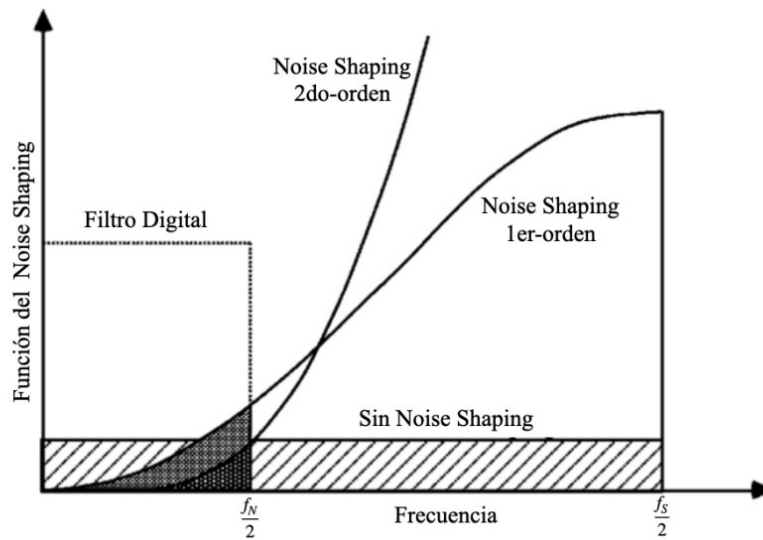


Figura 2.8: Respuesta del Noise Shaping en una señal [28].

Por lo tanto, un *NS-SAR* utiliza este residuo para llegar a un resultado más aproximado [10] y su funcionamiento se puede resumir en tres pasos:

1. El ADC realiza la cuantización y extrae el residuo. Para el diseño de este convertidor se utilizó un C-DAC C2C donde el residuo aparece al final de cada conversión.
2. Muestreado y procesado del residuo mediante un filtro EF (*Error-Feedback*) o CIFF (*Cascaded-Integrator Feed-Forward*).
3. Sumador de señales que retorna el residuo filtrado al ADC SAR.

2.7. Filtro pasa-bajas con técnica SC

Debido a que el convertidor en cuestión es una red analógica con condensadores conmutados, es pertinente introducir el concepto de una función de transferencia que relaciona la carga y el voltaje de un capacitor en el dominio z , la cual se define como *transmitancia* Y .

$$Y(z) = \frac{\Delta Q(z)}{V(z)} \quad (2.2)$$

Podemos definir la transmitancia como la relación entre la cantidad de carga que fluye a través del capacitor $\delta q(t)$ durante un periodo de muestreo (T) y el voltaje $v(t)$ aplicado [27]. La ecuación 2.2 muestra la relación descrita una vez aplicada la transformada z de las variables $\delta q(t)$ y $v(t)$. En este apartado se describe el análisis de las configuraciones utilizadas en este trabajo de tesis. La primera configuración se puede ver en la figura 2.9, lleva por nombre **condensador continuo en tiempo** y el análisis es el siguiente:

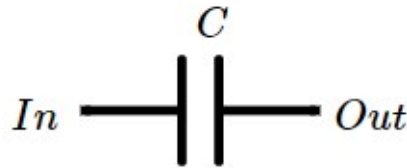


Figura 2.9: Capacitor continuo en el tiempo.

$$q(0) = Cv(0)$$

$$q(T) = Cv(T)$$

$$\delta q(T) = q(T) - q(0) = C \cdot [v(T) - v(0)] \quad (2.3)$$

Aplicando transformada z a la ecuación 2.3 obtenemos:

$$\Delta Q(z) = C \cdot [V(z) - V(z)z^{-1}]$$

$$\Delta Q(z) = CV(z) \cdot [1 - z^{-1}]$$

$$Y = C \cdot (1 - z^{-1}) \quad (2.4)$$

La ecuación 2.4 es la transmitancia para un capacitor continuo en el tiempo [27]. Como segundo elemento tenemos al **capacitor conmutado inversor insensible**

a parásitas, mostrado en la figura 2.10. Esta topología recibe su nombre debido a que, en ϕ_1 , la capacitancia parásita C_A (aquella que se encuentra entre el nodo A y GND) es cargada por la fuente V_{in} ; en ϕ_2 dicha capacitancia se descarga debido a que sus dos terminales están conectadas a GND . Este suceso ocurre de manera similar en el capacitor C_B [12]. El análisis para esta topología es el siguiente:

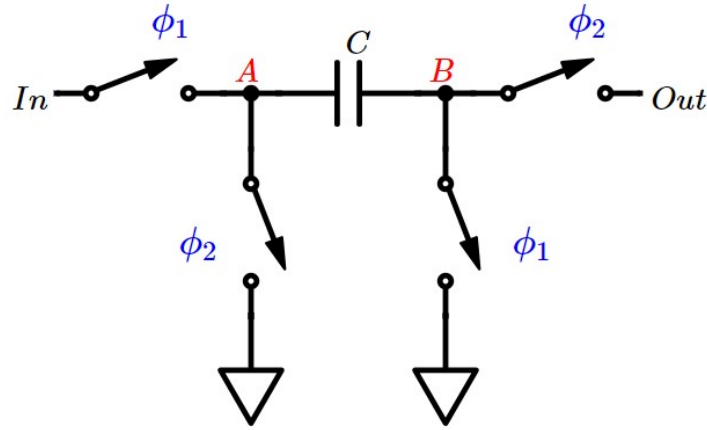


Figura 2.10: Capacitor conmutado inversor insesible a capacitancias parásitas.

$$q(0) = Cv(0)$$

$$q(T) = Cv(T)$$

Pero $q(T) = 0$ debido a que en ϕ_2 el capacitor C transfiere su carga a la siguiente etapa, entonces:

$$\delta q(T) = 0 - q(0)$$

$$\delta q(T) = -Cv(0)$$

Aplicando la transformada z :

$$\Delta Q(z) = -CV(z)z^{-1}$$

$$Y = -Cz^{-1} \quad (2.5)$$

Siguiendo el mismo procedimiento, la figura 2.11 muestra las fases de un capacitor conmutado no inversor insensible a capacitancias parásitas, así como la ecuación 2.6 su transmitancia.

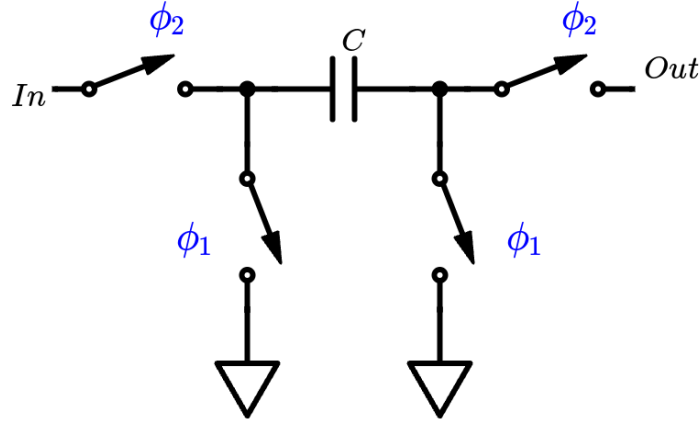


Figura 2.11: Capacitor conmutado no inversor insensible a capacitancias parásitas.

$$q(0) = C(0) = 0$$

$$q(T) = CV_{in}(T)$$

$$\delta q(T) = CV_{in}(T)$$

$$\Delta Q(T) = CV_{in}(Z)$$

$$Y = C \quad (2.6)$$

Una vez que tenemos las transmitancias calculadas podemos implementar un integrador de primer orden mediante capacitancias conmutadas (figura 2.12); la función de transferencia es:

$$H(z) = -\frac{Y_1}{Y_2}$$

Donde Y_1 y Y_2 es la transmitancia del capacitor C_1 y C_2 , respectivamente.

$$H(z) = \frac{C_1}{C_2} \cdot \frac{z^{-1}}{1 - z^{-1}} \quad (2.7)$$

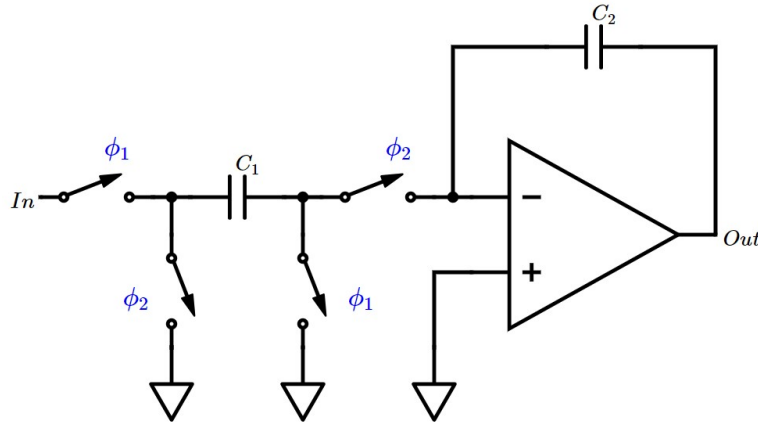


Figura 2.12: Integrador no inversor con capacitores conmutados.

La ecuación 2.7 describe la función de transferencia de un integrador de primer orden no inversor con capacitores conmutados e insensible a capacitancias parásitas.

2.8. Características de un ADC

En general, un convertidor se define por una larga lista de especificaciones y/o características, las cuales describen el funcionamiento del mismo. En este trabajo de tesis se consideran las 3 más importantes: Generales, estáticas y dinámicas [17].

2.8.1. Generales

- ◇ **Señales analógicas:** La entrada o salida analógica de un ADC puede ser de **terminación simple** (señales que son referenciadas a tierra común que a su vez está conectada a la tierra analógica del convertidor), **pseudo diferencial** (señales que son simétricas con respecto a un voltaje de referencia pero que

puede diferir de la tierra analógica del convertidor) o **diferenciales** (no necesariamente son simétricas con respecto a un voltaje de referencia, son la diferencia entre las entradas o salidas independientemente del valor del modo común).

- ◇ **Resolución:** Es el número de bits (denotado por la letra N) que se necesitan para formar una palabra digital a partir de una muestra analógica. El número de bits que tenga la palabra digital corresponde a 2^N posibles combinaciones; cada combinación representa un nivel de cuantización [17]. La figura 2.13 muestra la representación de una señal analógica cuantizada con diferentes resoluciones.

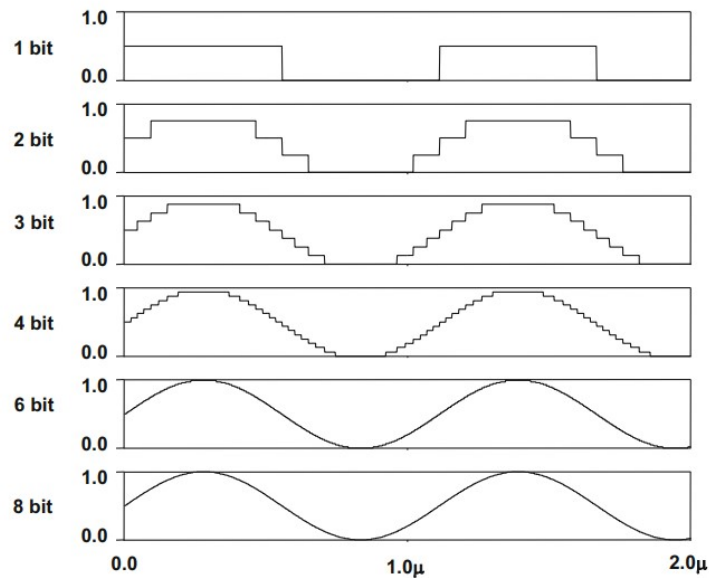


Figura 2.13: Representación de una señal para resoluciones de 1, 2, 3 ,4, 6 y bits [21].

- ◇ **Rango dinámico:** Es la relación entre el nivel máximo de señal y el nivel de ruido, expresado en dB . Es un parámetro importante debido a que el rango dinámico determina el SNR máximo.
- ◇ **Paso y error de cuantización:** El paso de cuantización (denotado por el símbolo Δ) es el mínimo voltaje de entrada, que a su vez, corresponde

al bit menos significativo LSB (Less Significant Bit). El paso y error de cuantización están dados por las ecuaciones 2.8 y 2.14, respectivamente [5]. De manera gráfica, el error de cuantización y la función de transferencia ideal están representados mediante la figura 2.14.

$$V_{LSB} = \Delta = \frac{V_{FS}}{2^N} \quad (2.8)$$

$$-\frac{\Delta}{2} < \epsilon_q < \frac{\Delta}{2} \quad (2.9)$$

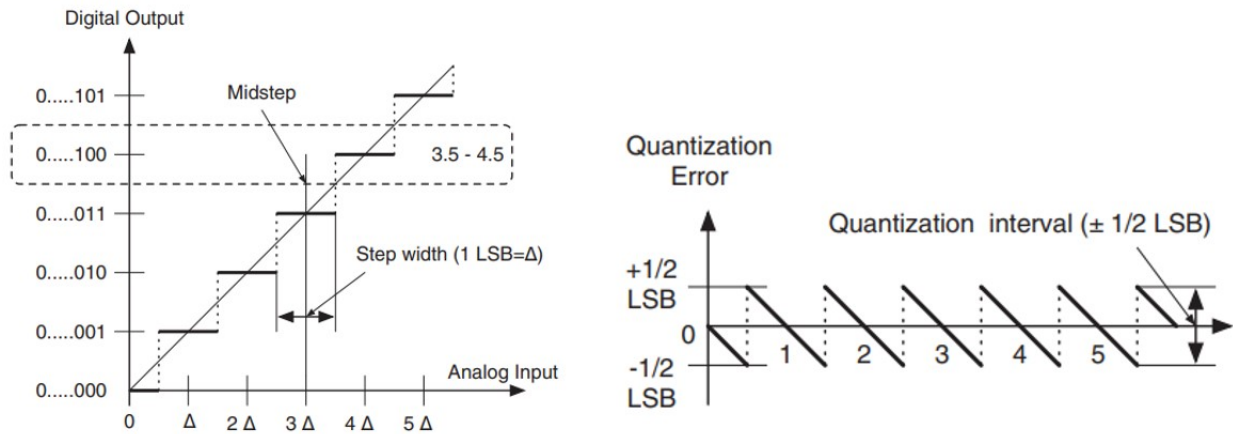


Figura 2.14: Función de transferencia ideal de un convertidor [17].

2.8.2. Estáticas

- ◇ **Offset:** Corrimiento hacia la derecha con respecto a la función de transferencia ideal. La figura 2.15 muestra gráficamente este error.
- ◇ **Error de ganancia:** Representa un incremento o decremento de la pendiente de la función de transferencia con respecto a la pendiente que genera un convertidor de manera ideal (figura 2.16).
- ◇ **No linealidad integral (INL):** Describe la desviación de la función de transferencia real con respecto a una línea recta, normalmente formada

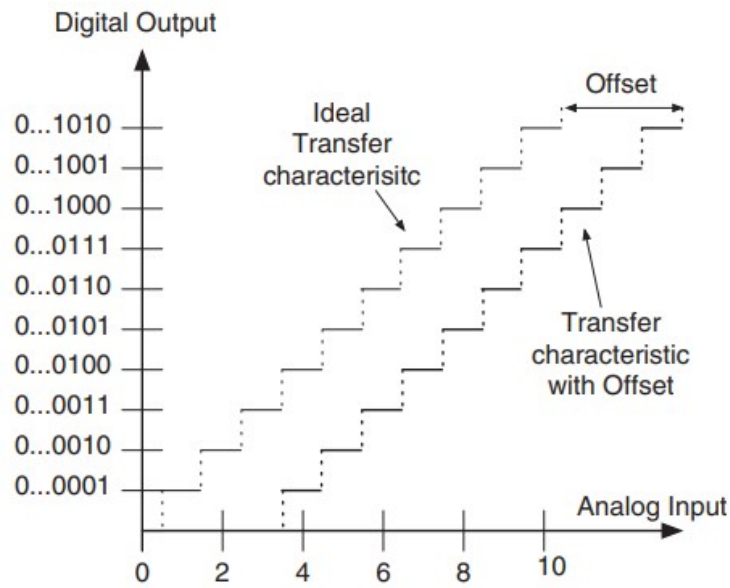


Figura 2.15: Error de offset en un convertidor A/D [17].

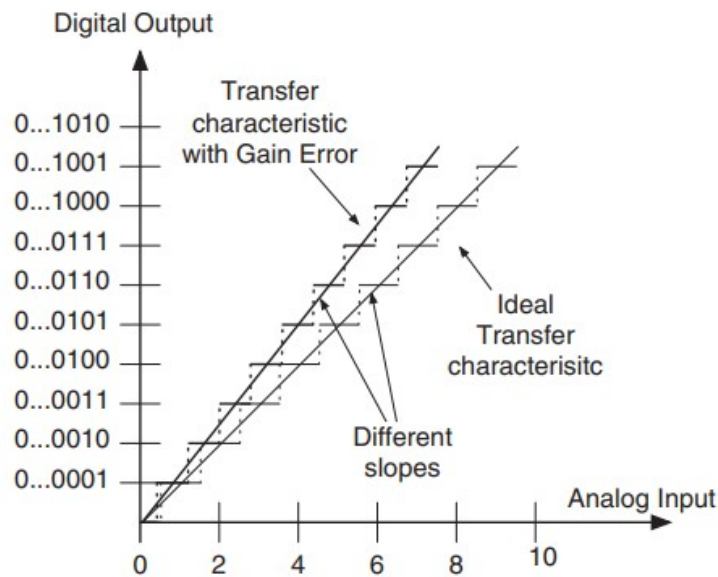


Figura 2.16: Error de ganancia en un convertidor A/D [17].

mediante la intersección de puntos ubicados en el centro de cada paso de cuantización. Este error se puede medir en LSB o en porcentaje de rango completo.

◇ **No linealidad diferencial (DNL):** Este error se refiere a la diferencia

entre el ancho real del paso y el ideal, cuyo valor debe ser 1 LSB. Un error DNL menor o igual a 1 LSB garantiza una función de transferencia monotónica sin código perdido. La figura 2.17 muestra los errores *INL* y *DNL*.

$$DNL = \frac{(V_{D_n} - V_{D_{n-1}}) - V_{ideal}}{V_{ideal}}$$

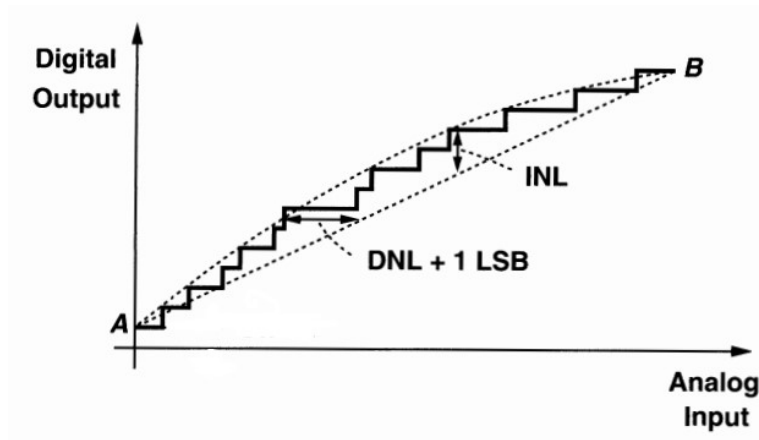


Figura 2.17: Errores INL y DNL en un convertidor A/D [23].

- ◇ **Monotonicidad:** Es la característica de un convertidor que produce que los códigos de salida incrementen debido a un aumento en la señal de entrada y, de forma complementaria, que los códigos de salida disminuyan si la señal de entrada decrece. Dicho de otra manera, un convertidor monotónico es aquel que su código de salida aumenta/disminuye si la señal de entrada lo hace de igual manera.
- ◇ **Consumo de potencia:** Este apartado engloba la energía consumida por el dispositivo en su rango de operación normal y en modo *stand-by*.
- ◇ **Código perdido:** Este error se puede ver en la función de transferencia cuando un código digital es omitido o simplemente nunca aparece en la salida del ADC. La figura 2.18 resume algunos de los errores previamente descritos.

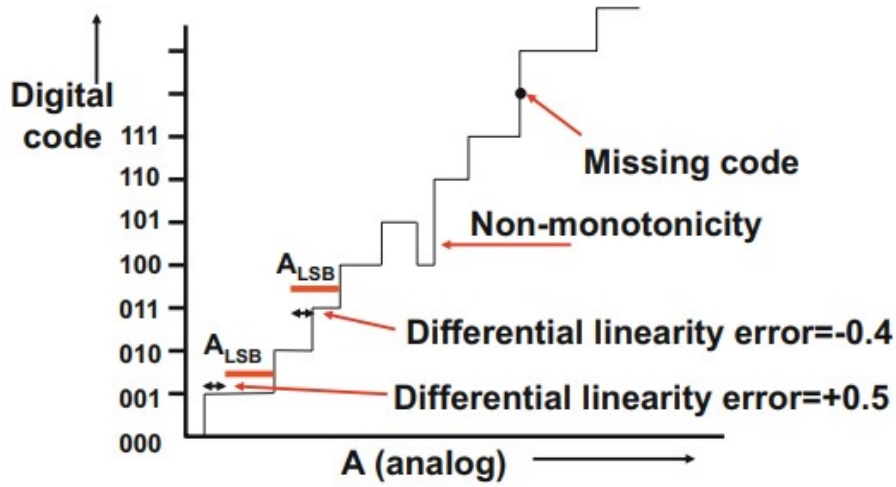


Figura 2.18: Errores estáticos de un ADC [21].

2.8.3. Dinámicas

Comúnmente las características dinámicas son especificadas en función del muestreo y frecuencias de entrada. Las más importantes son:

- ◇ **Relación señal a ruido (SNR):** Como su nombre lo dice, es la relación que existe entre la potencia de la señal y la potencia total del ruido (mayormente producido por la cuantización y el ruido de los circuitos) en todo el intervalo de Nyquist. Puede depender de la frecuencia de la señal de entrada y decrecer proporcionalmente a su amplitud [17]. Finalmente, la ecuación 2.10 representa la manera de calcular el SNR.

$$SNR = \frac{\text{Potencia de señal}}{\text{Potencia total del ruido}} \quad (2.10)$$

- ◇ **Relación señal a ruido y distorsión (SINAD o SNDR):** Es la relación entre la potencia de la señal y la potencia total del ruido más los armónicos en la salida. A diferencia de la SNR, esta es dependiente de la amplitud y frecuencia de la señal de entrada (ecuación 2.11).

$$SNDR = \frac{\text{Potencia de señal}}{\text{Potencia total del ruido} + \text{Potencia distorsión}} \quad (2.11)$$

◇ **Número efectivo de bits (ENOB):** Es una manera de conocer la verdadera resolución de un convertidor mediante el cálculo previo de *SNDR*. La ecuación 2.12 representa la manera de calcular el ENOB.

$$ENOB = \frac{SNDR - 1.76}{6.02} \quad (2.12)$$

◇ **Distorsión armónica (HD):** Es la relación entre la magnitud del *i*-ésimo armónico (a_i) y la magnitud de la fundamental (a_1) (ecuación 2.13). Por ejemplo, la distorsión armónica debido al segundo armónico está dado por:

$$HD_2 = \frac{a_2}{a_1} \quad (2.13)$$

◇ **Distorsión armónica total (THD):** Es una medida de la distorsión de la señal, que compara las componentes armónicas no deseadas de la señal con la componente fundamental. Para el caso de un convertidor basta con considerar los primeros 5 componentes armónicos; la ecuación 2.14 representa la distorsión armónica total con componentes de potencia, mientras que la 2.15 con componentes de voltaje.

$$THD = 10 \log \frac{a_2^2 + a_3^2 + a_4^2 + a_5^2 + a_6^2}{a_1^2} \quad (2.14)$$

$$THD = 20 \log \frac{[a_2^2 + a_3^2 + a_4^2 + a_5^2 + a_6^2]^{\frac{1}{2}}}{a_1} \quad (2.15)$$

2.9. Figura de mérito

Las figuras de mérito son una herramienta para comparar trabajos reportados. Como ya se mencionó en este capítulo, los convertidores ADC tienen numerosas características (estáticas y dinámicas), por lo que comparar cada una de ellas para cada trabajo reportado se vuelve una tarea difícil y poco práctica. La importancia de las figuras de mérito radica en la necesidad de una métrica estandarizada [21]. Para convertidores destacan dos figuras de mérito:

◇ Walden FoM

◇ Schreier FoM

Para este trabajo de tesis se tomará en cuenta la figura de mérito propuesta por R. Schreier para todos los convertidores diseñados, debido a que relaciona potencia consumida y resolución de conversión (ecuación 2.16).

$$FoM_{Schreier} = SNDR + 10 \log_{10}\left(\frac{BW}{P}\right) \quad (2.16)$$

Convertidores SAR de 12 bits, con moldeado de ruido de primer y segundo orden

En este capítulo se describe el proceso de entendimiento de un convertidor NS-SAR de segundo orden, partiendo de las especificaciones y el diseño de un convertidor SAR convencional, NS-SAR de primer orden y NS-SAR de segundo orden convencional, todos ellos a nivel transistor, por lo que su respuesta es real.

3.1. Especificaciones

Como ya se mencionó en el capítulo 2, el principal compromiso que existe en un ADC está en la resolución y la velocidad. El convertidor en cuestión será utilizado para procesar señales biomédicas; es decir, tendrá un rango de operación de entre los 250 Hz y los 10 kHz y una amplitud de hasta 5 mV [4].

Comúnmente se utiliza una señal senoidal para caracterizar un convertidor. La máxima amplitud sin llegar a la saturación de una entrada senoidal es $\Delta \cdot 2^{N-1}$; la potencia promedio de la señal será:

$$P_s = \frac{(\Delta \cdot 2^{N-1})^2}{2} \quad (3.1)$$

Así como la potencia de una señal de ruido es [13]:

$$P_n = \frac{\Delta^2}{12} \quad (3.2)$$

Dividiendo la ecuación 3.1 en 3.2 obtenemos:

$$SNR = \frac{P_s}{P_n} = \frac{(\Delta \cdot 2^{N-1})^2/2}{\Delta^2/12} = 1.5 \cdot 2^{2N} \quad (3.3)$$

$$SNR_{dB} = 10 \cdot \log\left(\frac{P_s}{P_n}\right) = 6.02N + 1.76dB \quad (3.4)$$

Para nuestro diseño se considerará una razón de sobre-muestreo de 32, con el fin de reducir los requerimientos del filtro anti-aliasing y mejorar el SNR [13]. Finalmente, utilizamos la ecuación 3.1 para determinar la frecuencia de muestreo, determinada por f_s ; f_o es la frecuencia de nuestra señal biomédica y OSR es la razón de sobre-muestreo. Cabe recalcar que para el diseño se considera un valor de 17 kHz para asegurar que la banda máxima de las señales biomédicas se encuentre en rango de operación [7]:

$$f_s = 2 \cdot f_o \cdot OSR \quad (3.5)$$

$$f_s = 2 \cdot 17kHz * 32 = 1.11Ms/s$$

La tabla 3.1 muestra las especificaciones de los convertidores diseñados en este capítulo.

Parámetro	Valor
Voltaje de alimentación	1V
Voltaje en modo común	500mV
Tecnología	65nm
Resolución	12 bits
Frecuencia de muestreo	1.11Ms/s
LSB	244.14μV
BW	17Khz

Tabla 3.1: Especificaciones de los convertidores.

3.2. Convertidor SAR

El concepto del convertidor SAR que implementa un C-DAC C2C ya fue introducido en el capítulo 2; por otro lado, los ADC's diseñados en este trabajo de tesis son todos completamente diferenciales para aprovechar las ventajas que estos sistemas tienen, como por ejemplo, la cancelación de señales de modo común, mayor rapidez y BW [20], [28].

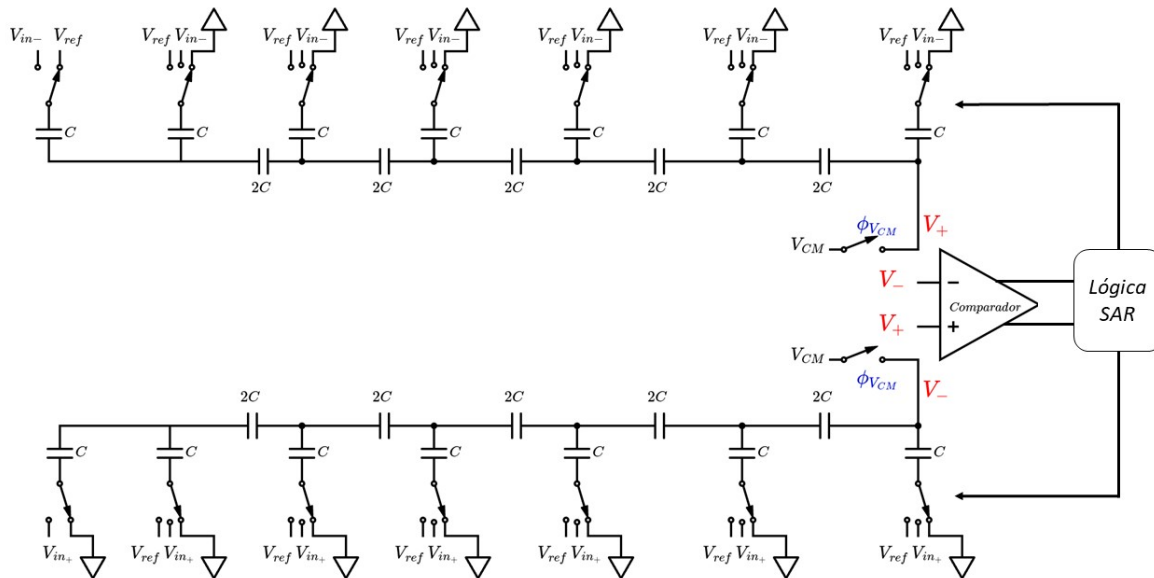


Figura 3.1: ADC SAR completamente diferencial.

La figura 3.1 muestra la implementación de un ADC SAR de 6 bits; sin embargo, la implementación de un convertidor de resolución 12 bits se logra incrementando la cantidad de capacitores con sus respectivos interruptores. Como se puede notar, cada capacitor con valor “ C ” tiene asociado tres interruptores. Para el caso de la matriz superior, se utiliza V_{in-} , que no es más que la diferencia entre el valor del voltaje de entrada positivo (V_{in+}) y el voltaje de alimentación. Por ejemplo, para el caso de un voltaje $V_{in+} = 500.122mV$, el voltaje V_{in-} será $499.87mV$. Primero es la etapa de muestreo, provocando que los interruptores conmuten a V_{CM} y a $V_{in\pm}$. En este punto y, utilizando los valores de voltaje de entrada presentados en el anterior ejemplo, los nodos con nombres V_+ y V_- tendrán un valor de $130\mu V$ y $-122.07\mu V$, respectivamente. Posteriormente, la lógica SAR propone el bit más significativo en uno. La operación sería:

$$V_+ = V_{CM} - Vin_- + \frac{V_{ref}}{2} = 500.13mV$$

$$V_- = V_{CM} - Vin_+ + \frac{V_{ref}}{2} = 499.87mV$$

A nivel circuito, el primer capacitor de la matriz superior conmuta a GND mientras que los demás capacitores lo hacen a V_{ref} . De manera complementaria, el primer capacitor de la matriz inferior conmuta a V_{ref} , mientras que los demás capacitores lo hacen a GND. Si se cumple que $V_+ > V_-$, entonces el comparador dispara un 1 lógico que retroalimenta a la lógica SAR, conservando la propuesta original y proponiendo el siguiente bit en 1. Los voltajes de nodo serían:

$$V_+ = V_{CM} - Vin_- + \frac{V_{ref}}{2} - \frac{V_{ref}}{4} = 250mV$$

$$V_- = V_{CM} - Vin_+ + \frac{V_{ref}}{2} + \frac{V_{ref}}{4} = 749.8mV$$

Para este caso, $V_+ < V_-$, provocando que la salida del comparado sea un 0 lógico, cambiando el valor del bit propuesto en 1 a 0. Haciendo referencia a la

figura 2.1, el peso con valor $V_{ref}/4$ se debe quitar. Posterior a esto, la lógica SAR propone el siguiente bit ($V_{ref}/8$) en 1 y el proceso se repite para cada uno de los bits que contiene el convertidor.

Las figuras 3.2, 3.3 y 3.4 muestran el comportamiento diferencial, la función de transferencia y la FFT, respectivamente, de un convertidor SAR de 12 bits a nivel transistor.

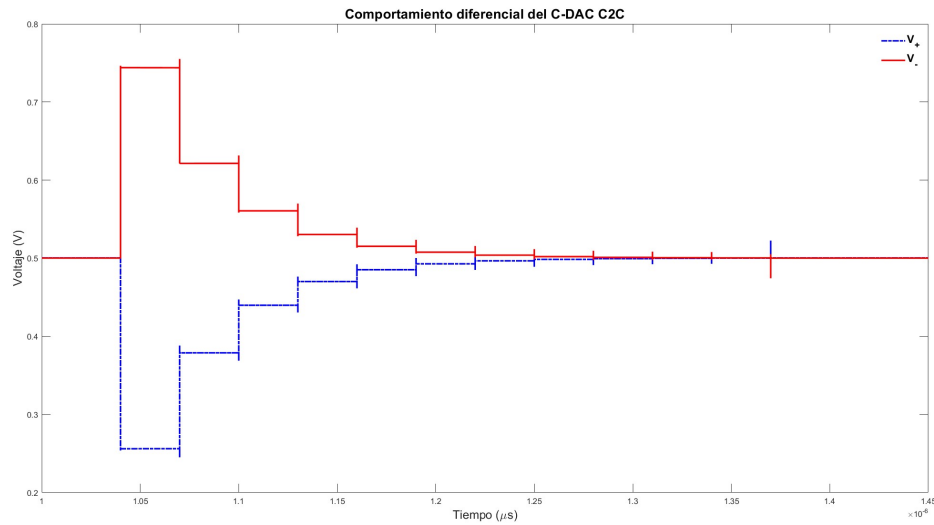


Figura 3.2: Salida diferencial del DAC para un convertidor de 12 bits.

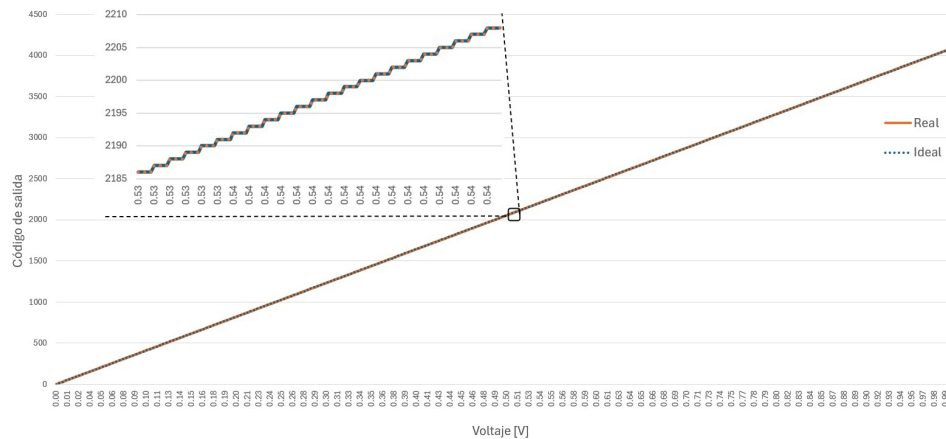


Figura 3.3: Función de transferencia de un convertidor SAR de 12 bits.

Finalmente se presenta la tabla 3.2, la cual contiene las características más importantes del convertidor mostrado.

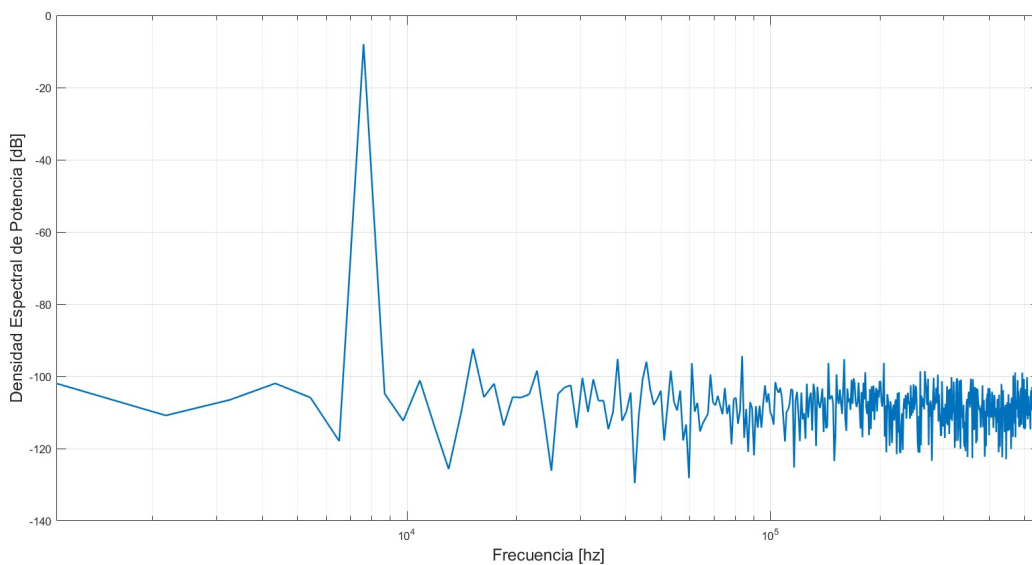


Figura 3.4: FFT del convertidor SAR de 12 bits.

Parámetro	Valor
SNR	79.055dB
ENOB	12.88 bits
Ruido de piso	-102dB
DNL	+0.5/-0.25 LSB
INL	±0.25 LSB
Potencia	315 μW
FoM	157 dB

Tabla 3.2: Características del ADC SAR 12 bits.

3.2.1. Lógica SAR

Como ya se mencionó en la sección 2.5, la máquina de estados es un bloque fundamental del convertidor SAR, pues es el que propone y determina los valores de cada bit con respecto a la salida del comparador. Ya que es el mismo bloque para todos los convertidores diseñados, resulta pertinente exponer su funcionamiento en este apartado. La base de este bloque es un Flip-Flop tipo D con entradas asíncronas SET y RESET. La figura 3.5 muestra la lógica SAR implementada

para un convertidor de 6 bits.

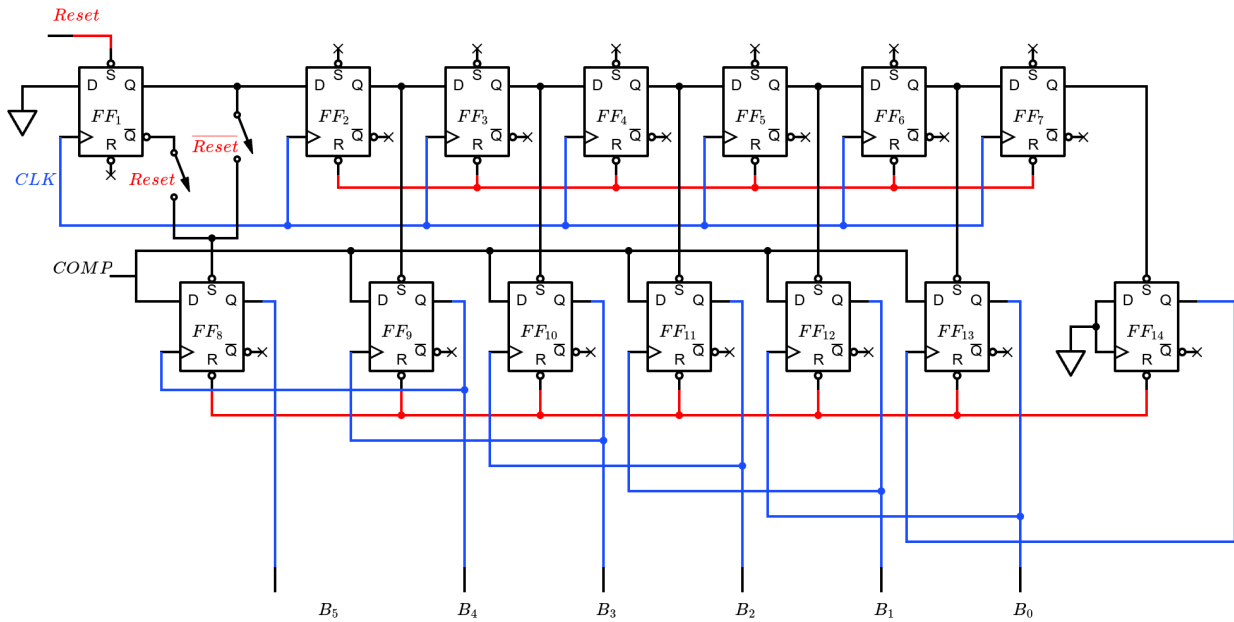


Figura 3.5: Diagrama a bloques de la lógica SAR de 6 bits.

Primero, la fase **Reset** pasa a estado 1 lógico, provocando que el bloque FF_1 tenga de salida 1, mientras que todos los demás bloques tienen una salida 0; para no indeterminar el estado del bloque FF_8 es necesario la implementación de dos interruptores con la señal en cuestión y su negada. En esta fase todos los bits son 0. Cuando esta fase pasa a 0, el FF_8 recibe un 1 en la terminal *SET*, por lo que la salida (B_5) se vuelve 1, moviendo los interruptores del C-DAC de tal manera que el comparador pueda verificar si realmente dicho bit tiene ese valor; a esto le llamamos *propuesta SAR*.

En el primer golpe de reloj, FF_2 manda 1 lógico al SET de FF_9 , provocando que la salida B_4 sea propuesta en 1; dicha salida controla el reloj de FF_8 , por lo que el valor del comparador pasará a la salida B_5 . Esto se repite n veces más, donde n es el número de bits.

3.3. Convertidor NS-SAR de primer orden

Uno de los principales problemas de un convertidor SAR convencional es la exactitud de la conversión, esto es, la diferencia que existe entre la señal de entrada muestreada y el valor analógico que equivale al código de salida. Por ejemplo, si se tiene un convertidor de 3 bits con un rango dinámico de 0 a 1V y una entrada de $600mV$, tendrá un código de salida igual a 101, mismo que corresponde a un valor analógico de $625mV$. A esta diferencia de $25mV$ se le conoce como residuo o error de cuantización [10], que en un convertidor SAR convencional, se desecha al iniciar una nueva conversión. La figura 3.6 muestra el diagrama funcional a bloques de un convertidor NS-SAR de primer orden.

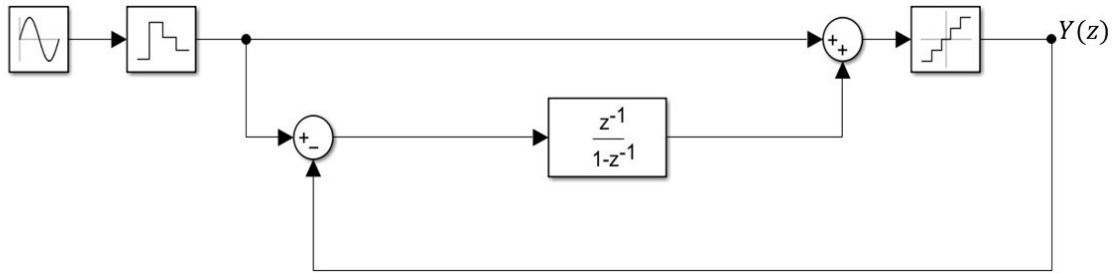


Figura 3.6: Diagrama funcional a bloques.

La figura 3.7 muestra la estructura de un convertidor SAR (color negro) con moldeado de ruido de primer orden (color azul) y su funcionamiento es el siguiente: en primer lugar, las fases $\phi_{V_{CM}}$ y $\phi_{V_{in}}$ se encienden, dando paso a la etapa de muestreo y retención en el C-DAC. Seguido de esto, la fase ϕ_0 se enciende y, con ello, la lógica SAR comienza a proponer bit tras bit en 1, manteniendo este valor dependiendo de la salida del comparador. Una vez que finaliza la lógica SAR con todos los bits, las fases ϕ_1 y ϕ_2 permiten el procesamiento del residuo obtenido de la lógica SAR. La figura 3.8 muestra la secuencia de fases previamente descrita.

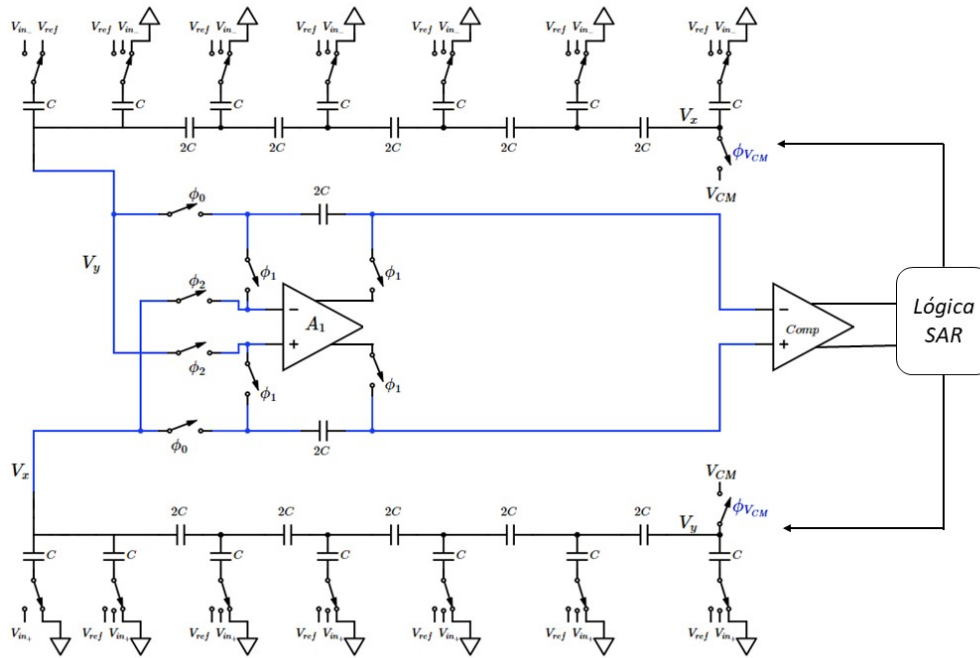


Figura 3.7: 6 bit NS-SAR de primer orden.

La estructura de moldeado de ruido está conformada por un integrador activo no inversor con capacitores conmutados insensible a parásitas (figura 2.12). Su función de transferencia está dada por:

$$H(z) = \frac{C_1}{C_2} \cdot \frac{z^{-1}}{1 - z^{-1}}$$

Si C_1 es igual a C_2 , entonces la función de transferencia es:

$$H(z) = \frac{z^{-1}}{1 - z^{-1}} \quad (3.6)$$

Finalmente, la figura 3.9 muestra la FFT de un convertidor 12 bits NS-SAR de primer orden, mientras que la tabla 3.3 muestra los valores de los principales parámetros del convertidor en cuestión.

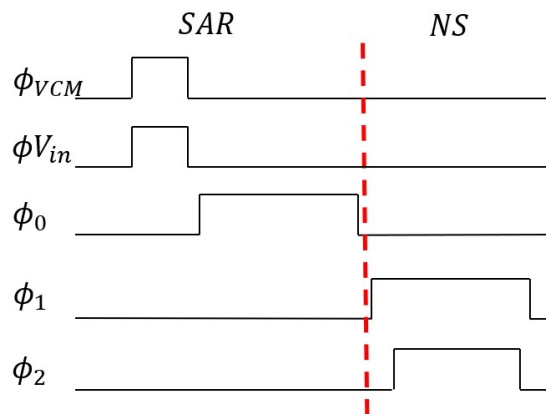


Figura 3.8: Fases no traslapadas de un NS-SAR de primer orden.

Parámetro	Valor
SNR	98.61dB
ENOB	16.09 bits
Ruido de piso	-122.70dB
DNL	± 0.5 LSB
INL	± 0.5 LSB
Potencia	430 μW
FoM	175.286 dB

Tabla 3.3: Características del 12 bits NS-SAR de primer orden.

Al comparar la respuesta de un convertidor SAR con un NS-SAR de primer orden, podemos observar que, para el caso del primero, la PSD se mantiene al rededor de $-110dB$. Para el caso del NS-SAR de primer orden y para un $BW=20kHz$, la PSD se encuentra al rededor de los $-130dB$. También, al comparar las tablas 3.2 y 3.3, podemos notar el incremento en los valores de las métricas de desempeño: un incremento de aproximadamente $20dB$ de SNR y 3 bits ENOB.

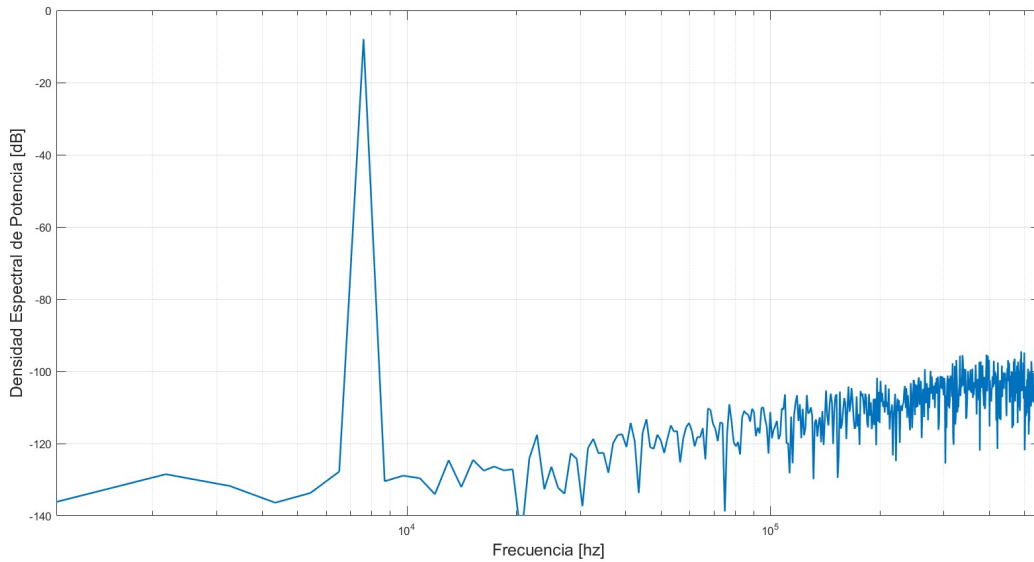


Figura 3.9: FFT del convertidor 12 bits NS-SAR de primer orden.

3.4. Convertidor NS-SAR de segundo orden mediante operacionales en cascada

Con los resultados obtenidos en la sección anterior, es natural pensar que, al incrementar el orden del moldeado de ruido, se puede obtener una mejora del SNR y ENOB. La figura 3.10 muestra el diagrama funcional de un convertidor SAR con un bloque de moldeado de ruido de segundo orden.

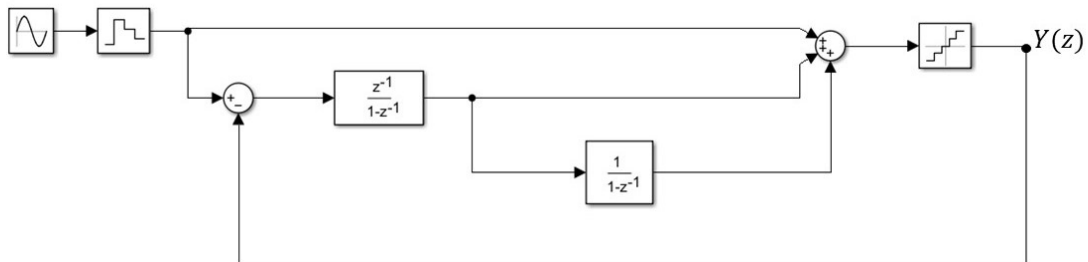


Figura 3.10: Diagrama funcional a bloques.

Para esto, es necesario el uso de un filtro pasa bajas de segundo orden; la figura 3.11 muestra su implementación. Cuando tenemos este tipo de filtros, la función

de transferencia será el producto de las funciones de transferencia individuales. Recordemos que $H_1(z)$ es una función de transferencia conocida, pues es una configuración no inversora con capacitores conmutados insensible a parásitas [27].

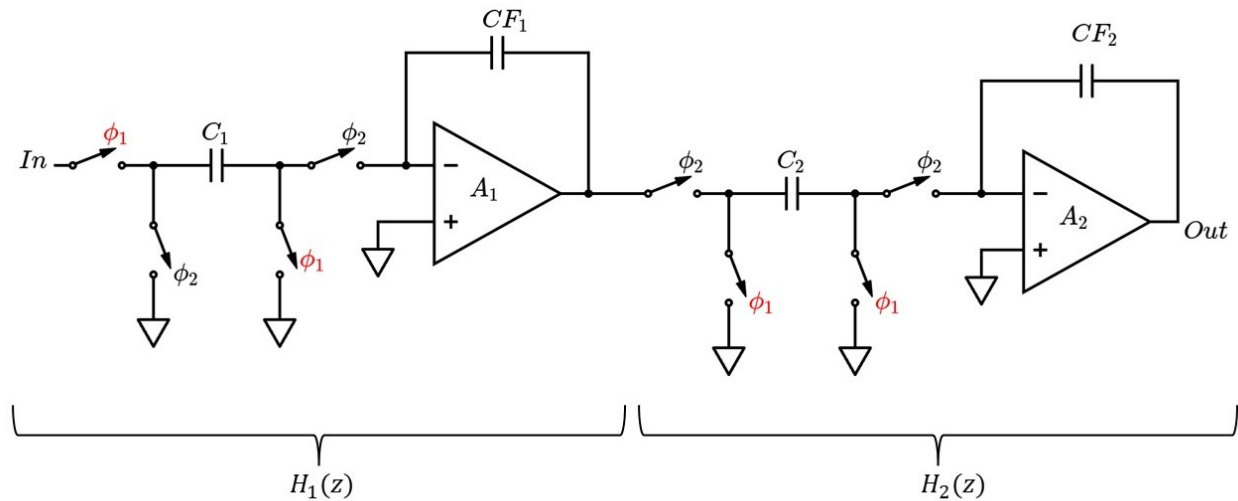


Figura 3.11: Filtro activo pasa bajas de segundo orden.

$$H_1(z) = \frac{C_1}{CF_1} \cdot \frac{z^{-1}}{1 - z^{-1}}$$

$H_2(z)$ se le conoce como integrador inversor activo insensible a parásitas [27]. El análisis del capacitor C_2 parte de que en ϕ_1 , el capacitor se encuentra conectado de ambas terminales a tierra analógica. En ϕ_2 , el capacitor recibe la carga de la etapa anterior. Entonces:

$$q(0) = C_2V(0) = 0$$

$$q(T) = C_2V(T)$$

$$\delta q(T) = C_2V(T) - 0$$

$$\Delta Q(z) = C_2V(z)$$

$$Y_{C_2} = C_2 \tag{3.7}$$

3.4. CONVERTIDOR NS-SAR DE SEGUNDO ORDEN MEDIANTE OPERACIONALES EN CASCADA

La ecuación 3.7 representa la transmitancia del capacitor C_2 . Por otro lado, CF_2 es un capacitor continuo en el tiempo (figura 2.9). Su transmitancia está dado por la ecuación 2.4.

$$H_2(z) = -\frac{C_2}{CF_2} \cdot \frac{1}{1 - z^{-1}} \quad (3.8)$$

Finalmente, la función de transferencia del filtro completo será:

$$H(z) = H_1(z) \cdot H_2(z)$$

$$H(z) = -\frac{C_1}{CF_1} \cdot \frac{C_2}{CF_2} \cdot \frac{z^{-1}}{(1 - z^{-1})^2} \quad (3.9)$$

Si $C_1 = C_2 = CF_1 = CF_2$, entonces la función de transferencia es:

$$H(z) = -\frac{z^{-1}}{(1 - z^{-1})^2} \quad (3.10)$$

De esta manera, las figuras 3.12 y 3.13 muestran un convertidor completamente diferencial de 6 bits NS-SAR de segundo orden y el diagrama de fases, respectivamente.

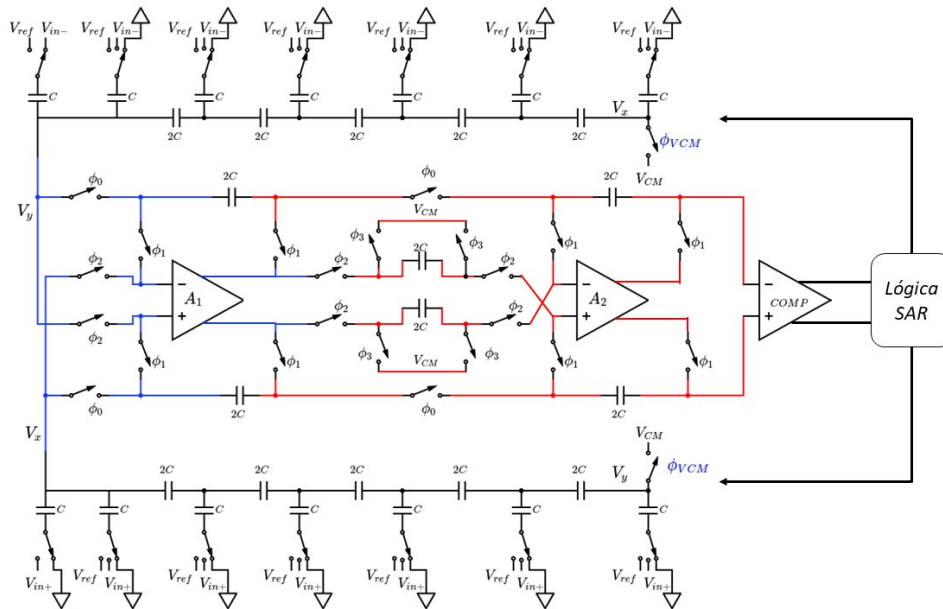


Figura 3.12: 6 bit NS-SAR de segundo orden.

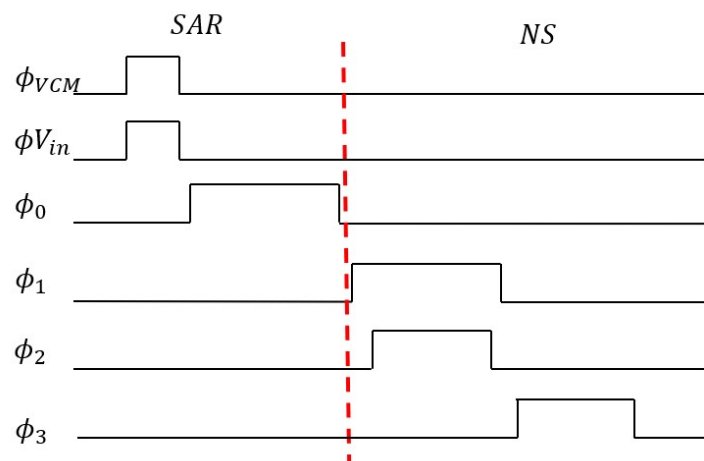


Figura 3.13: Fases no traslapadas de un NS-SAR de segundo orden.

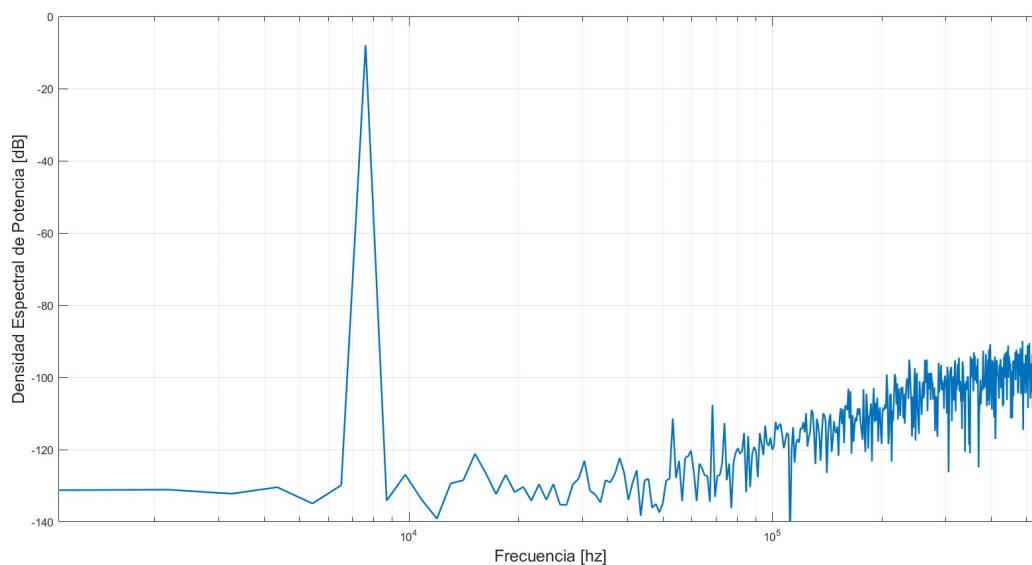


Figura 3.14: FFT de un convertidor 12 bits NS-SAR de segundo orden.

Al igual que el convertidor de primer orden, primero ocurre ϕ_{VCM} y $\phi_{V_{in}}$, que corresponden a las fases de muestreo y retención. Seguido de esto, la fase ϕ_0 corresponde a la búsqueda binaria mediante la lógica SAR y la salida del comparador. En ϕ_1 y ϕ_2 se dan la primera y segunda integración, para que finalmente ϕ_3 descargue el capacitor C_2 . Por último, la figura 3.14 muestra la FFT de un convertidor 12 bits NS-SAR de segundo orden.

Parámetro	Valor
SNR	105.73dB
ENOB	17.27 bits
Ruido de piso	-129.0dB
DNL	+1/-0.75 LSB
INL	+0.5/-0.75 LSB
Potencia	555 μW
FoM	181 dB

Tabla 3.4: Características del 12 bits NS-SAR de segundo orden convencional.

Al comparar las tablas 3.3 y 3.4 podemos ver que, aunque en menor medida, se sigue incrementando la SNR y ENOB del convertidor a costa de un mayor consumo de potencia. Este incremento de potencia podría ser demasiado para sistemas modernos de ultra bajo consumo de potencia y, recordando que nuestro convertidor está pensado para su implementación en el ámbito biomédico, reducir lo más posible este parámetro pero conservando la SNR y ENOB obtenido es nuestro objetivo.

3.5. Resumen y conclusiones del capítulo

A lo largo de este capítulo se presentaron tres convertidores diferentes, todos de 12 bits a nivel transistor: SAR convencional, NS-SAR de primer orden y NS-SAR de segundo orden convencional.

- ◇ Se puede observar que el procesamiento del residuo mediante los integradores previamente descritos y utilizado en la siguiente conversión produce el moldeado de ruido.
- ◇ El moldeado de ruido, junto con el sobremuestreo, mejora las métricas de desempeño de los convertidores, tales como el ENOB.

La tabla 3.5 muestra una comparación de los parámetros extraídos del diseño de cada convertidor. Como aspecto positivo, se puede observar que al implementar un bloque noise shaping (o incrementar el orden del mismo), se ve una mejora en el SNR, ENOB, ruido de piso y FoM. Como impacto negativo se puede ver un incremento en el consumo de potencia, derivado del incremento de elementos electrónicos en el sistema, por lo que es el principal trade-off que se presenta.

Parámetro	SAR	NS-SAR 1 Orden	NS-SAR 2 Orden
<i>SNR</i>	79.055 dB	98.61 dB	105.73 dB
<i>ENOB</i>	12.88 bits	16 bits	17.27 bits
<i>Ruido de piso</i>	-102dB	-122.70 dB	-129 dB
<i>DNL</i>	+0.5/-0.25 LSB	± 0.5 LSB	+1/-0.75 LSB
<i>INL</i>	±0.25 LSB	± 0.5 LSB	+0.5/-0.75 LSB
<i>Potencia</i>	315μW	430 μW	555μW
<i>FoM</i>	157 dB	175.286 dB	181 dB

Tabla 3.5: Comparación de parámetros de los convertidores diseñados en este capítulo.

Finalmente, la figura 3.15 muestra las diferentes FFTs para cada convertidor diseñado.

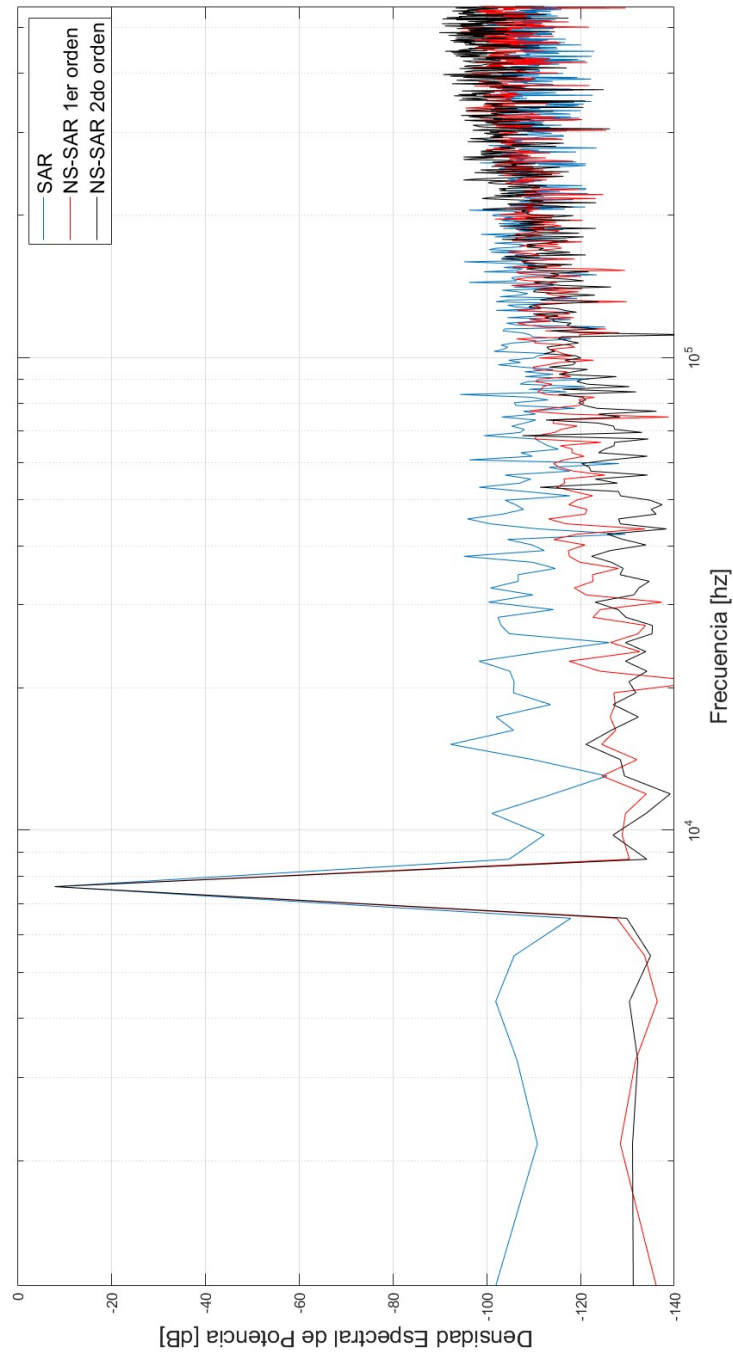


Figura 3.15: Comparación de las FFT de los convertidores diseñados.

Diseño de los bloques analógicos fundamentales para un convertidor NS-SAR de segundo orden con un operacional

Ya que se conocen las métricas de desempeño de un convertidor NS-SAR de segundo orden convencional, se busca igualarlas o mejorarlas mediante el uso de un solo operacional, no dejando de lado la robustez del sistema ante variaciones de proceso y temperatura. Para lograr dicho propósito, se requiere que el integrador logre un segundo orden mediante el arreglo de capacitores y condensadores. La función de transferencia de un segundo orden con dos operacionales es:

$$H(z) = -\frac{z^{-1}}{1 - 2z^{-1} + z^{-2}} \quad (4.1)$$

Se parte de la premisa de que el término z^{-1} simboliza un retardo en la carga, por lo que si queremos tener un término z^{-2} , necesitamos un arreglo de condensadores que retrasen la carga dos periodos.

4.1. Descripción general del convertidor

Un convertidor SAR con moldeado de ruido se puede dividir en tres diferentes etapas: muestreo/retención, lógica SAR y Noise Shaping. La figura 4.1 muestra dicha composición.

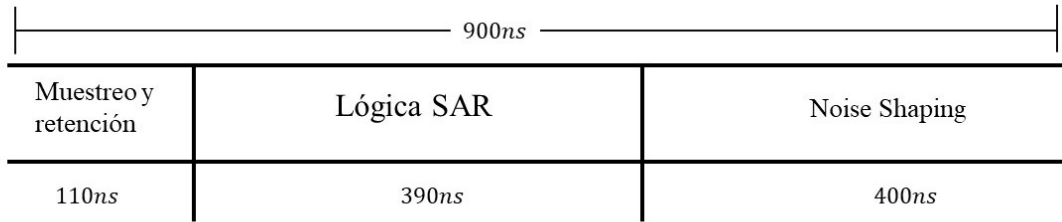


Figura 4.1: Funcionamiento general del convertidor.

De esta manera se puede observar que las 12 comparaciones se tienen que hacer en un periodo de tiempo igual a $390ns$. Por lo tanto se tiene:

◇ Tiempo para cada ciclo de comparación: $30ns$

◇ Frecuencia del comparador:

$$f_{comparador} = \frac{1}{390ns/13} = 33.33Mhz$$

◇ Frecuencia de muestreo:

$$f_s = \frac{1}{900n} = 1.11Ms/s$$

Es importante mencionar que, para que un sistema sea robusto a variaciones PT (proceso y temperatura), los bloques que lo conforman deben cumplir con esta característica de manera individual. Los bloques analógicos presentados en este trabajo de tesis fueron diseñados de tal manera que su buen comportamiento

no se ve afectado a pesar de cambios en la temperatura o defectos al momento de su fabricación. Las esquinas analizadas son las siguientes:

◇ TT -40°, 60°, 120°

◇ FF -40°, 60°, 120°

◇ SS -40°, 60°, 120°

◇ FNFP -40°, 60°, 120°

◇ SNFP -40°, 60°, 120°

Las variaciones de proceso siempre están presentes; pueden ser causados por cambios en las condiciones de fabricación, como temperatura, presión o concentraciones de dopantes. Dichos cambios pueden provocar una desviación del voltaje umbral, movilidad, capacitancia de óxido y la relación de aspectos $\frac{W}{L}$ de un transistor [22]. De esta misma manera, la temperatura del chip puede afectar el funcionamiento del mismo. Esta puede variar dependiendo del lugar en donde se encuentre el circuito integrado o de su propio uso.

4.2. Propuesta 1 de integrador

Para el desarrollo de la primer propuesta, se tomó como base el funcionamiento de un integrador no inversor insensible a parásitas, añadiendo dos capacitores más en retroalimentación, cuya principal función es el almacenamiento y retardo de la carga eléctrica. La figura 4.2a) y 4.2b) muestra el integrador propuesto y el diagrama de fases, respectivamente.

Para el cálculo de la función de transferencia de este integrador, se toma como referencia la figura 4.3, considerando que es un análisis para el capacitor C_2 .

En ϕ_1 :

$$Q_{C_F}(n - 1) = Q_{C_F}(n - 1)$$

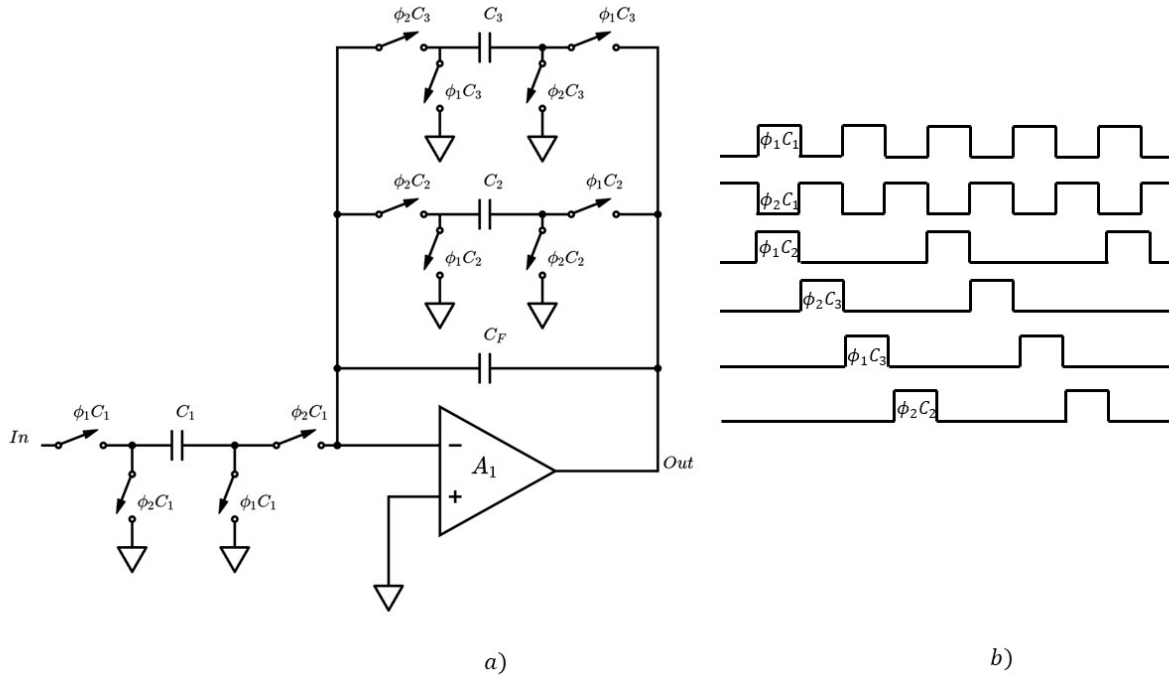
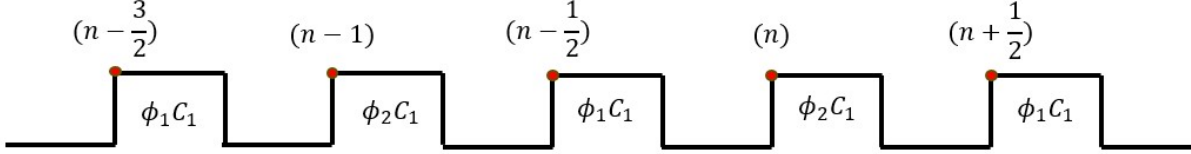


Figura 4.2: Integrador de segundo orden y su diagrama de fases.


 Figura 4.3: Reloj de los interruptores del capacitor C_1 .

Lo cual nos indica que el capacitor C_F no recibe ninguna carga en esta fase, manteniendo constante su valor. Para ϕ_2 :

$$Q_{C_F}(n - \frac{1}{2}) = Q_{C_F}(n - 1) + Q_{C_1}(n - 1) + Q_{C_3}(n - 2)$$

Como se puede observar en la figura 4.2 b), C_3 y C_2 tienen la función de almacenar carga y retrasarla 2 periodos de tiempo. Nuevamente en ϕ_1 :

$$\begin{aligned} Q_{C_F}(n) &= Q_{C_F}(n - 1) + Q_{C_1}(n - 1) + Q_{C_3}(n - 2) \\ -C_F V_o(n) &= -C_F V_o(n - 1) - C_1 V_{in}(n - 1) + C_3 V_o(n - 2) \end{aligned} \quad (4.2)$$

Si se cumple $C_1 = C_F = C_2 = C_3$, entonces:

$$V_o(n) = V_o(n-1) + V_{in}(n-1) - V_o(n-2)$$

$$V_o(z) = V_o(z)z^{-1} + V_{in}(z)z^{-1} - V_o(z)z^{-2}$$

$$V_o(z)[1 - z^{-1} + z^{-2}] = V_{in}(z)z^{-1}$$

$$\frac{V_o(z)}{V_{in}(z)} = \frac{z^{-1}}{1 - z^{-1} + z^{-2}} \quad (4.3)$$

La ecuación 4.3 describe la función de transferencia del integrador de segundo orden propuesto. Sin embargo, al hacer un macro-modelo del convertidor NS-SAR de 12 bits con el filtro propuesto en Matlab, encontramos un comportamiento indeseado, a pesar de que es un integrador de segundo orden. La figura 4.4 muestra la FFT y el diagrama funcional a bloques del macro-modelo.

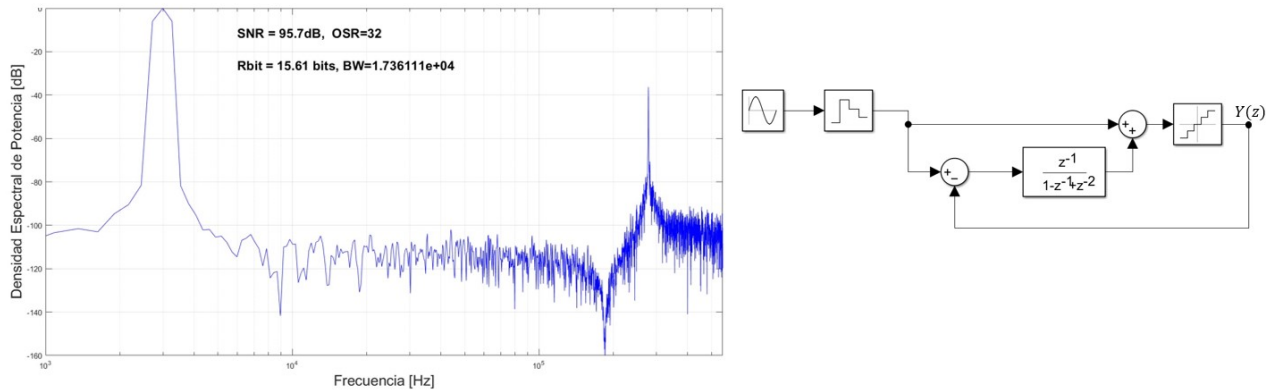


Figura 4.4: FFT y diagrama a bloques del convertidor macro-modelado.

4.3. Propuesta 2 de integrador

Al comparar las ecuaciones 4.1 y 4.3, podemos observar que la diferencia está en el denominador; para un integrador con dos operacionales tenemos un término $2z^{-1}$ y para el propuesto se tiene z^{-1} . Para realizar este término $2z^{-1}$ es necesario agregar otro capacitor controlado por las fases del capacitor de entrada. Es decir,

que en $\phi_1 C_1$, este nuevo capacitor almacene la carga existente a la salida. En $\phi_2 C_1$ (fase de integración), transfiere dicha carga al capacitor de retroalimentación con el retraso apropiado. La figura 4.5 muestra la configuración propuesta del integrador en cuestión.

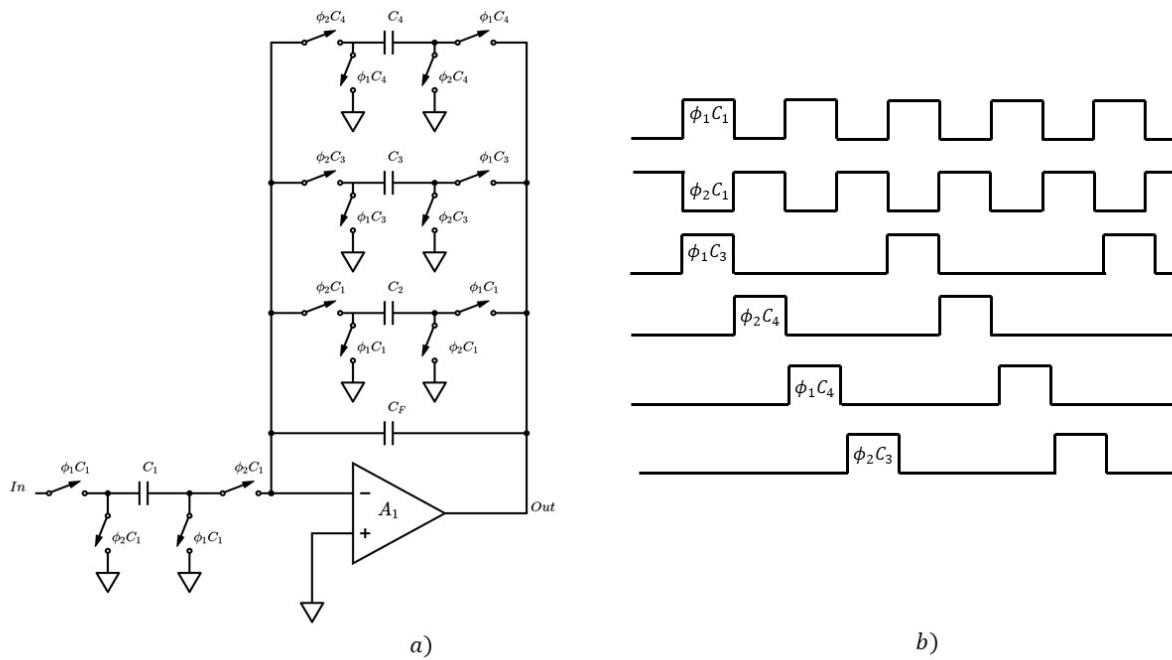


Figura 4.5: a) Integrador de segundo orden propuesta 2 y b) su diagrama de fases.

De esta forma, tomando en cuenta la figura 4.3 se hace el análisis del filtro propuesto. En la fase ϕ_1 :

$$Q_F(n - 1) = Q_F(n - 1)$$

Para ϕ_2 :

$$Q_F(n - \frac{1}{2}) = Q_F(n - 1) + Q_{C_1}(n - 1) + Q_{C_2}(n - 1) + Q_{C_4}(n - 2)$$

Nuevamente, en fase ϕ_1 :

$$Q_F(n) = Q_F(n - \frac{1}{2})$$

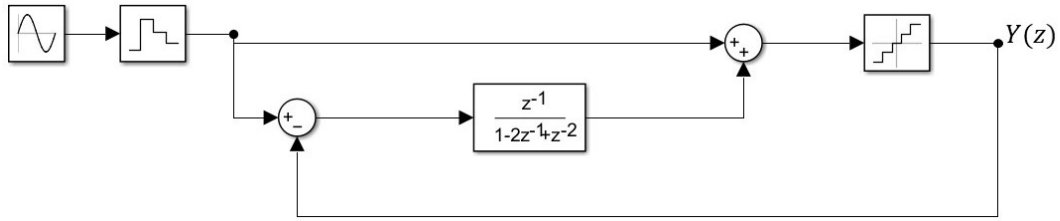


Figura 4.6: Diagrama funcional de un convertidor NS-SAR de segundo orden con el integrador propuesto.

$$Q_F(n) = Q_F(n-1) + Q_{C_1}(n-1) + Q_{C_2}(n-1) + Q_{C_4}(n-2)$$

$$-C_F V_o(n) = -C_F V_o(n-1) - C_1 V_{in}(n-1) - C_2 V_o(n-1) + C_3 4_o(n-2) \quad (4.4)$$

Si se cumple $C_1 = C_F = C_2 = C_3 = C_4$, entonces:

$$V_o(z) = V_o(z)z^{-1} + V_{in}(z)z^{-1} + V_o(z)z^{-1}V_o(z)z^{-2}$$

$$V_o(z)[1 - z^{-1} - z^{-1} + z^{-2}] = V_{in}(z)z^{-1}$$

$$\frac{V_o(z)}{V_{in}(z)} = \frac{z^{-1}}{1 - 2z^{-1} + z^{-2}} \quad (4.5)$$

La ecuación 4.5 representa la función de transferencia del integrador de segundo orden propuesto; las figuras 4.6 y 4.7 muestran el diagrama funcional a bloques y la respuesta del sistema macro-modelado en Matlab.

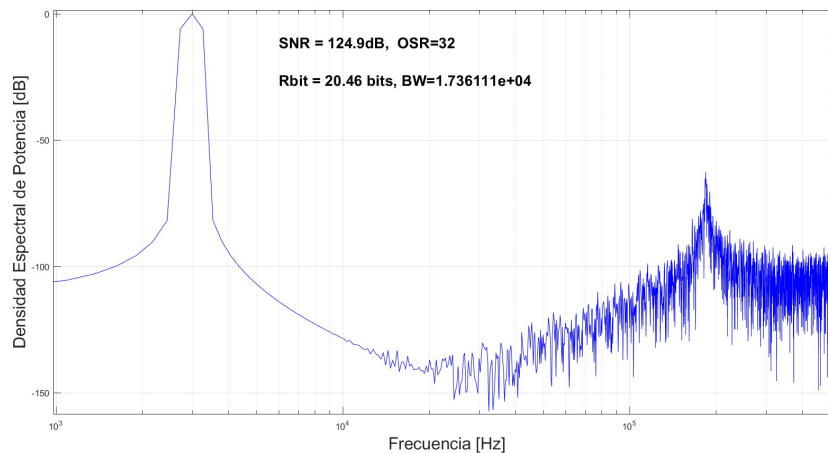


Figura 4.7: FFT y métricas de diseño del convertidor macro-modelado.

4.4. Interruptor

El interruptor es un elemento básico, pero que requiere de un cuidado especial en el diseño, puesto que es el dispositivo que más se repite en el convertidor. Este puede ser simplemente un transistor NMOS o un PMOS. En la figura 4.8 podemos observar que, para el caso de un interruptor NMOS, la resistencia de encendido empieza a incrementar conforme también lo hace el voltaje de entrada; sin embargo no es capaz de producir un fuerte 1 lógico. De manera complementaria, para un interruptor PMOS la resistencia de encendido empieza a decrecer conforme el voltaje de entrada aumenta, produciendo un fuerte 1, pero débil 0 lógico.

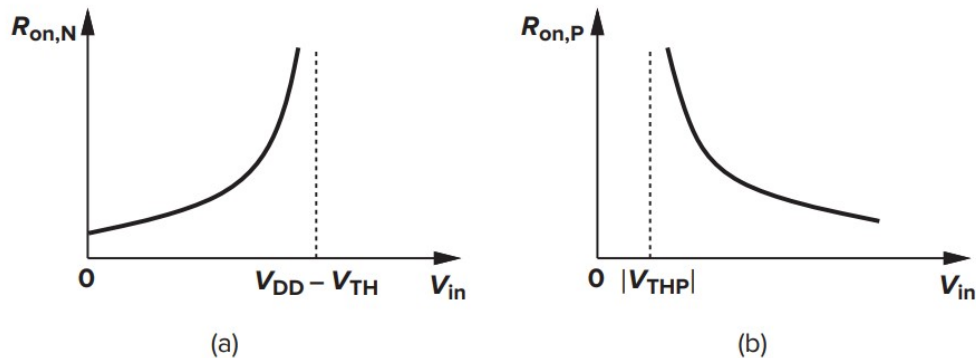


Figura 4.8: Resistencias de encendido de un interruptor NMOS y un PMOS, respectivamente [23].

Es por esto que un interruptor implementado solo con un transistor está limitado en su rango de operación, principalmente por su voltaje V_{TH} [12]. Una manera de obtener un interruptor de riel a riel (y mejorar el desempeño ante efectos no deseados como el clock feedthrough) es utilizando transistores complementarios, también llamado compuerta de transmisión (figura 4.9).

El dimensionamiento de los transistores de una compuerta de transmisión está determinado principalmente por el tiempo de carga y descarga de los capacitores del DAC. En la literatura podemos encontrar que un capacitor estará completa-

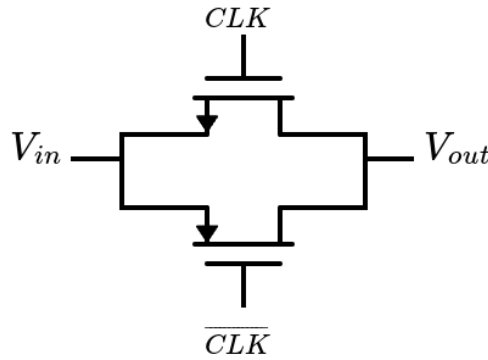


Figura 4.9: Compuerta de transmisión.

mente cargado o descargado después de 5 constantes de tiempo. Sin embargo, con el fin de darle mayor seguridad y robustez al sistema, se consideran 10 constantes de tiempo. Recordando que el DAC es un C-2C, las capacitancias tienen un valor de 400fF y 800fF , respectivamente. Entonces:

$$T = 10RC$$

Sustituyendo los valores de T y C obtenemos:

$$30\text{ns} = 10(800\text{fF})R_{on}$$

$$R_{on} = 3.75\text{k}\Omega \quad (4.6)$$

La ecuación 4.6 nos indica que la resistencia de encendido del interruptor no puede ser mayor a $3.75\text{k}\Omega$, puesto que si supera este valor, los capacitores no tendrían una correcta carga/descarga, repercutiendo negativamente en el funcionamiento del DAC.

Para su diseño se utilizó L mínima y $W = 10L$. La figura 4.10 muestra nuestro dispositivo bajo variaciones PT; la compuerta de transmisión, en el peor caso, presenta una resistencia de $2.5\text{k}\Omega$, por lo que se concluye que la respuesta del interruptor es correcta.

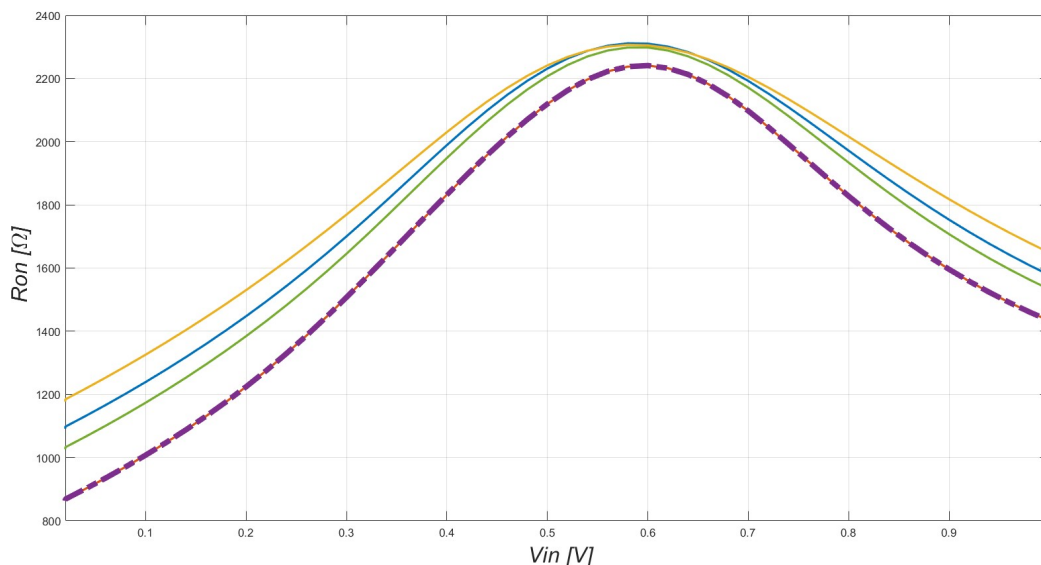


Figura 4.10: Análisis PT de la compuerta de transmisión.

4.5. Interruptor Bootstrap

Las compuertas de transmisión son utilizadas en la mayor parte del convertidor, exceptuando aquellos interruptores relacionados con el voltaje de entrada y el muestreo de señal. Esto debido a que, como se puede observar en la figura 4.10, la resistencia de encendido varía considerablemente conforme lo hace el voltaje de entrada, pudiendo perjudicar la fidelidad de la señal muestreada. Por lo tanto, necesitamos un interruptor que pueda mantener el valor de su resistencia constante ante variaciones de voltaje de entrada. Una manera de lograr esto en un interruptor NMOS es conectando una fuente de voltaje entre el drenaje y compuerta del dispositivo. Esto provocará que, conforme cambia el voltaje de entrada, también lo hará el voltaje de compuerta en la misma proporción, provocando un V_{GS} constante. La fuente de voltaje se puede modelar mediante un capacitor precargado (C_b) [23]. La figura 4.11 muestra la idea de implementación de un circuito Bootstrap. El interruptor S_3 apaga el transistor M_1 ; S_1 y S_5 cargan el capacitor a V_{DD} ; y finalmente S_2 y S_4 conectan y desconectan a C_b de M_1 .

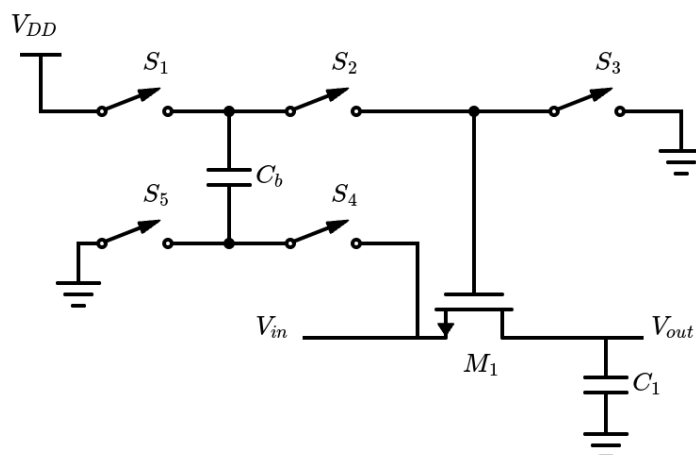


Figura 4.11: "Bootstrapping" de compuerta a la entrada.

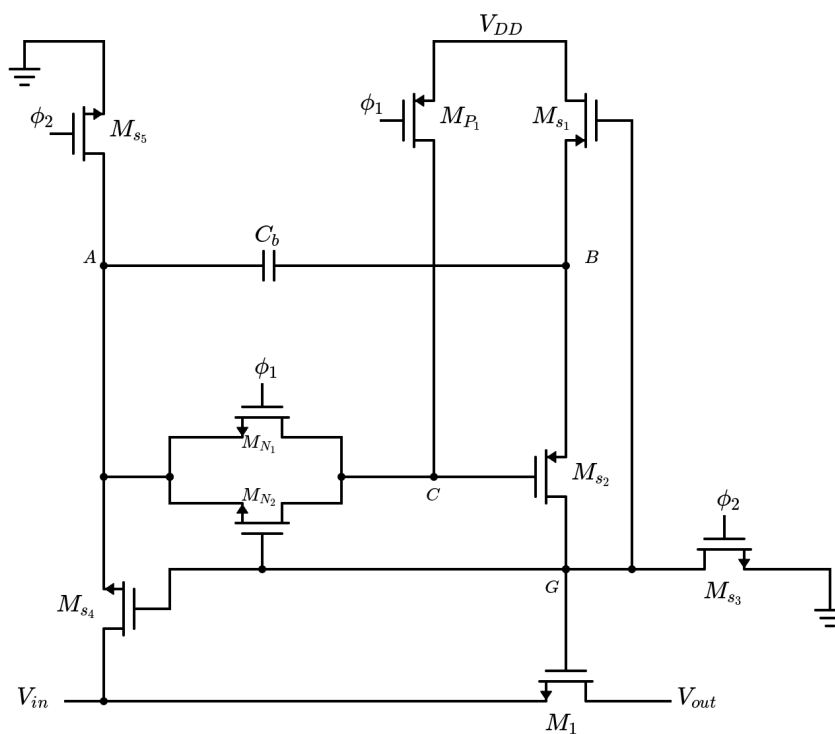


Figura 4.12: Interruptor Bootstrap diseñado

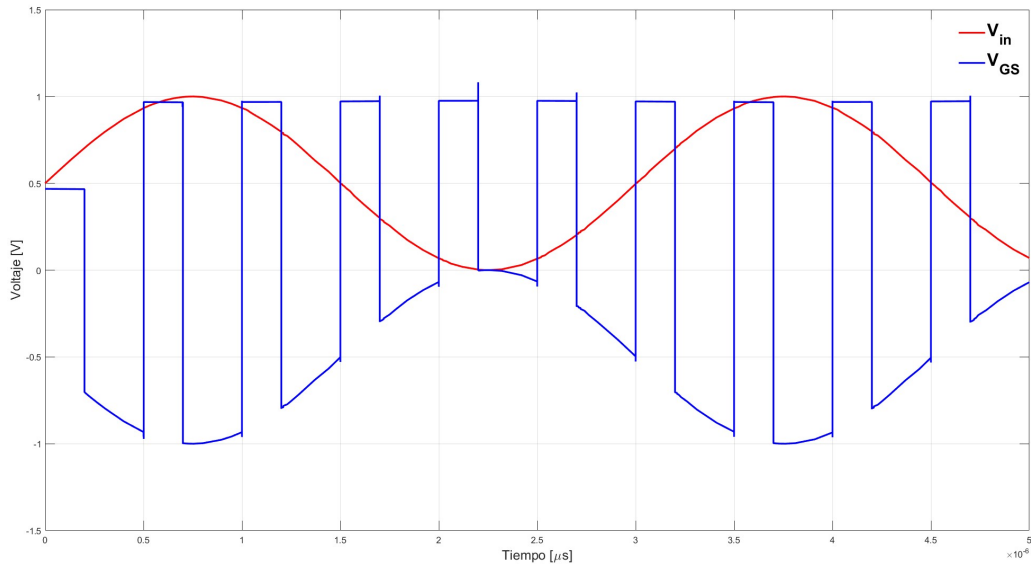


Figura 4.13: Interruptor Bootstrap diseñado

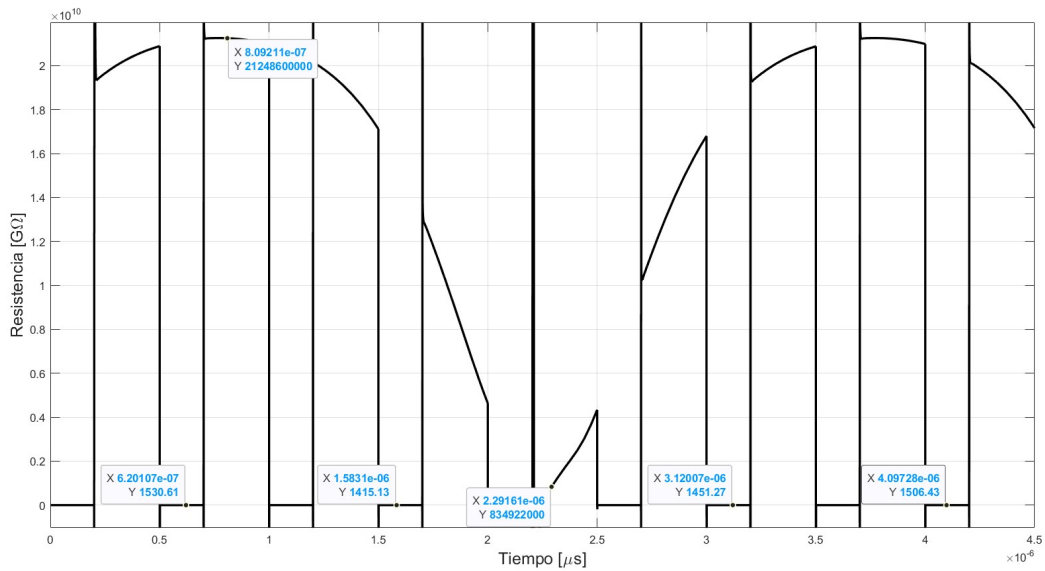


Figura 4.14: Resistencia equivalente del interruptor Bootstrap

El circuito Bootstrap utilizado en este trabajo de tesis (figura 4.12) está basado en el mostrado en la figura anterior, cuyo funcionamiento se resume a continuación [7]; cabe recalcar que el análisis se hace para el peor caso, $V_{in} = V_{DD}$. Los transistores con subíndice "s" hacen referencia a los interruptores mostrados

en la figura 4.11. El capacitor es precargado a $V_{DD} = 1V$. En ϕ_1 , los transistores M_{N_1} , M_{N_2} , M_{S_4} , M_{S_2} y M_1 están encendidos. El nodo B (y G) tiene un valor de $2V$, por lo que $V_{GSM1} = 1V$. Esta fase es la de transferencia. En ϕ_2 , M_{S_5} , M_{S_1} , M_{S_3} y M_{P_1} están encendidos, provocando la carga de C_b a V_{DD} . La figura 4.13 muestra que el interruptor Bootstrap es capaz de mantener el voltaje V_{GSM1} constante a pesar de las variaciones de la señal de entrada. Esto provoca el efecto deseado: una resistencia R_{on} que se mantiene constante ante variaciones de señal (figura 4.14).

4.6. Comparador

Este trabajo de tesis incorpora el comparador propuesto por De la Fuente, G. en [7]; el diseño es una migración (comúnmente llamado "porting") de tecnología $0.35\mu m$ a tecnología $65nm$. Dicho comparador se compone a su vez de dos bloques fundamentales: un pre-amplificador y un latch.

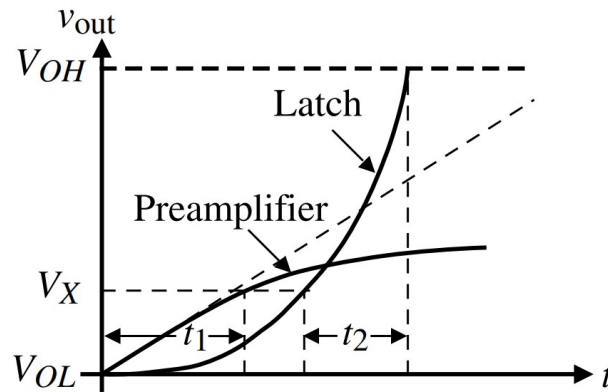


Figura 4.15: Respuesta en el tiempo de un pre-amp y un latch [2].

Como su nombre lo dice, el pre-amplificador tiene como función el amplificar la diferencia de voltaje a las entradas; sin embargo, como se puede observar en la figura 4.15, la señal de entrada multiplicada por la ganancia del pre-amplificador no es suficiente para generar los estados lógicos. Cuando pasa un tiempo t_1 , este bloque ya amplificó la señal de entrada a un valor V_X ; este valor es el que lee el

latch a la entrada, el cual genera la salida lógica en un tiempo t_2 . Si el comparador fuera solo el pre-amplificador los requerimientos de ganancia serían muy altos y el tiempo que toma la transición de V_{OL} a V_{OH} sería más largo de $t_1 + t_2$.

4.6.1. Pre-amplificador

La figura 4.16 muestra la topología implementada para el diseño de este comparador.

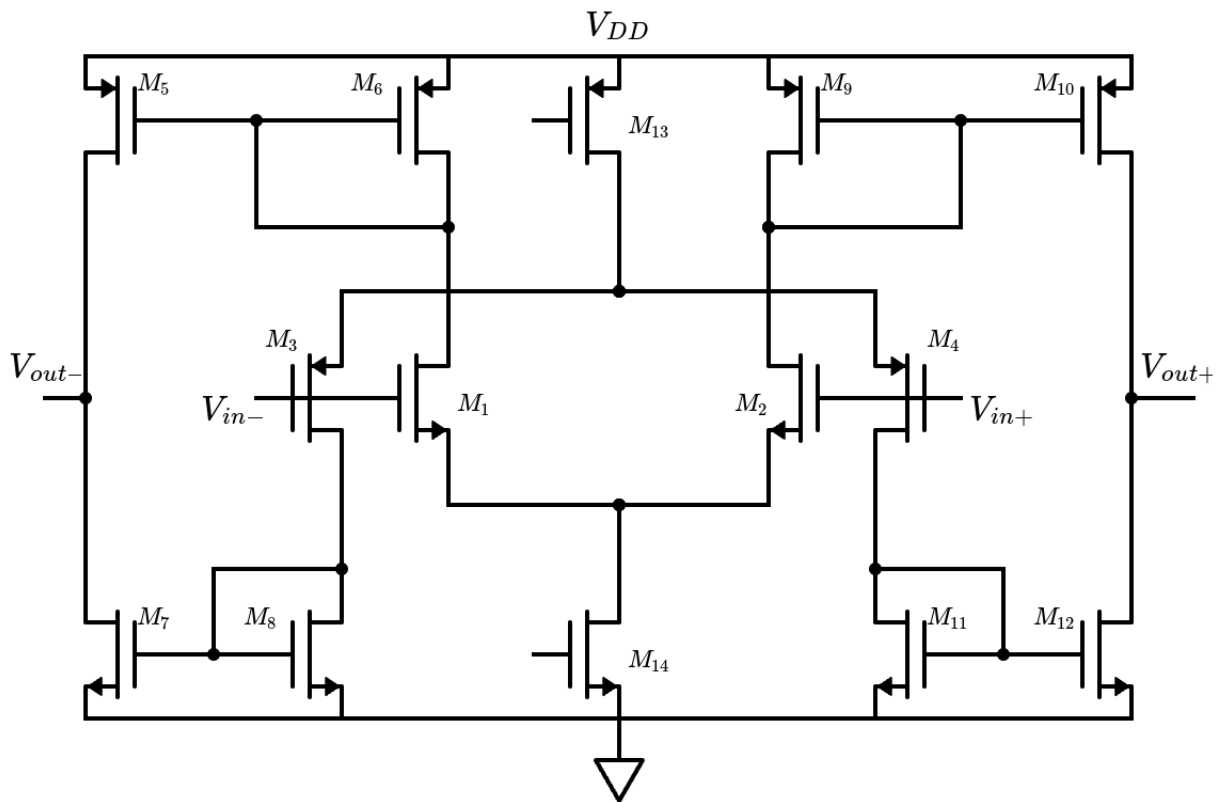


Figura 4.16: Pre-amplificador con entradas complementarias.

La ganancia de este bloque se puede calcular mediante $|Av| = G_m R_{out}$, donde el primer y segundo término son la transconductancia de corto circuito y la resistencia de salida, respectivamente. Como primera aproximación, tenemos:

$$G_m = \frac{I_{out}}{V_{in}}$$

$$I_{out} = I_{M_2} + I_{M_4}$$

$$I_{out} = V_{in}(gm_2 + gm_4)$$

$$G_m = gm_2 + gm_4 \quad (4.7)$$

Para la resistencia de salida solo sería el paralelo de M_{10} y M_{12} . Por lo tanto, la ganancia es:

$$|Av| = (gm_2 + gm_4) \cdot (ro_{10} || ro_{12}) \quad (4.8)$$

Finalmente, la figura 4.17 muestra el barrido a la entrada en DC y como es alterada la respuesta por variaciones de proceso y temperatura.

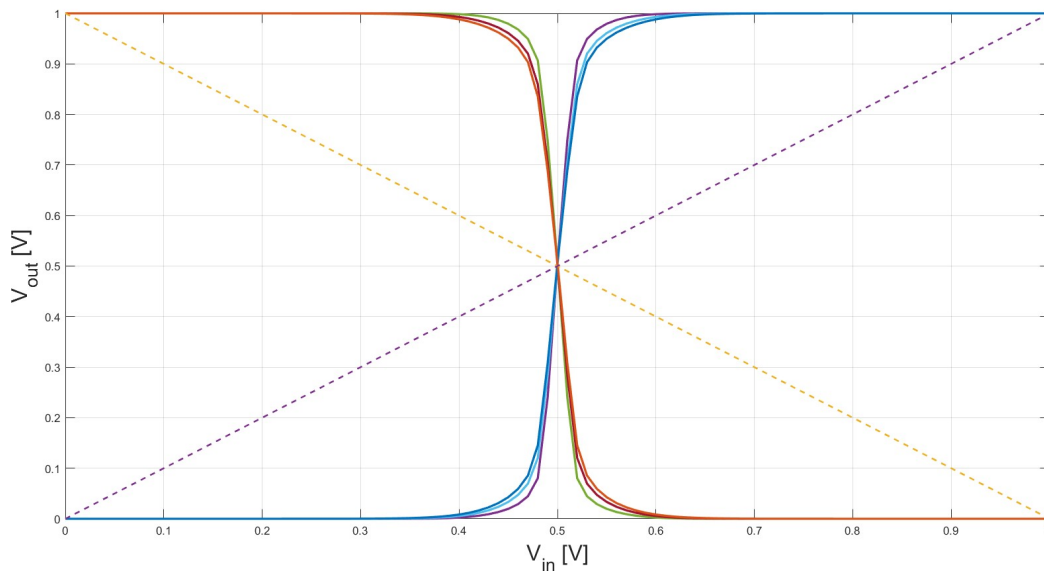


Figura 4.17: Respuesta en DC del preamplificador aplicando variaciones PT.

4.6.2. Latch

El diseño del latch está basado en un par diferencial con retroalimentación positiva. La figura 4.18 muestra el esquemático del bloque en cuestión. Este circuito se puede utilizar como Latch o como un comparador con histéresis [2]. En este trabajo de tesis el circuito se utiliza como latch, por lo que es necesario que el factor de retroalimentación positiva sea igual a 1 ($\beta_5/\beta_3 = 1$). Teniendo

esto en cuenta, la ganancia del bloque está dado por:

$$A_v = (gm_2 + gm_9) \cdot (ro_{16} || ro_{18}) \quad (4.9)$$

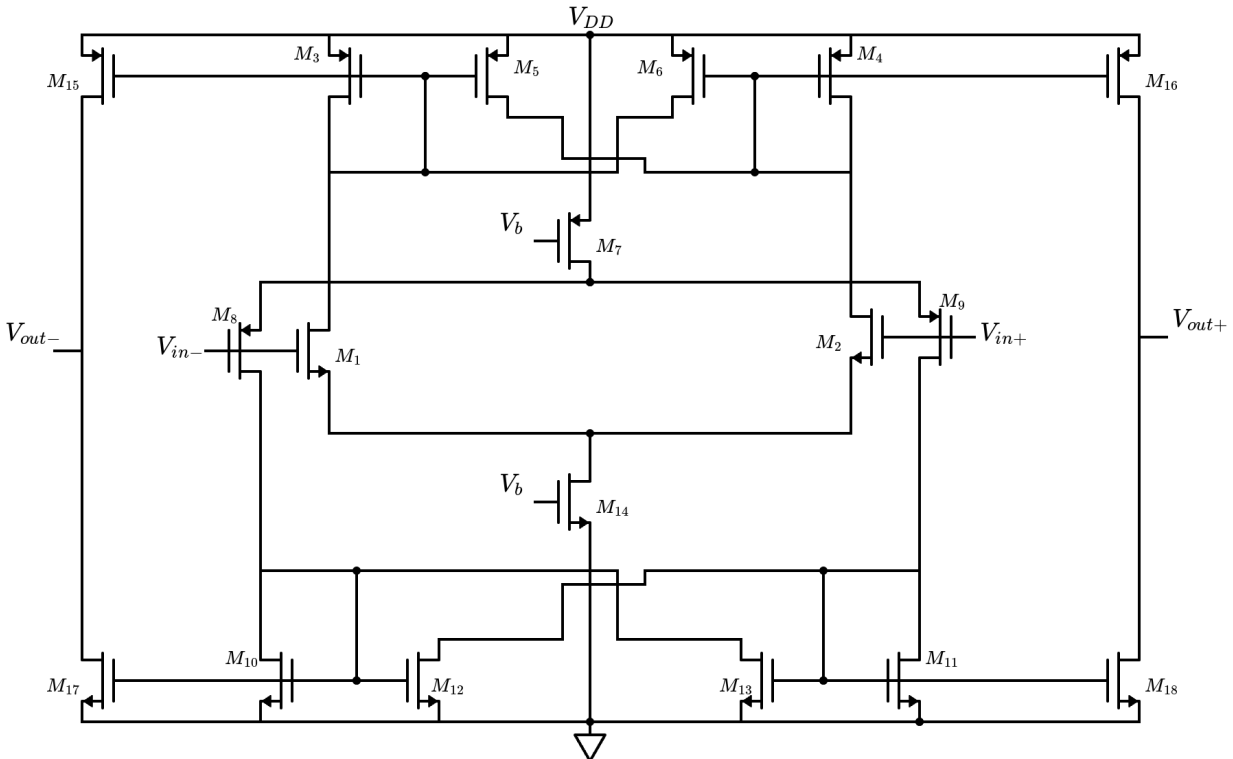


Figura 4.18: Latch complementario.

La respuesta a un barrido DC con variaciones PT se puede observar en la figura 4.19.

Una vez que se diseñaron los dos bloques que conforman el comparador, la salida del pre-amplificador (el que aporta ganancia inicial) se conecta a la entrada del latch (aquel que toma la decisión basado en la retroalimentación positiva). La figura 4.20 muestra la respuesta en DC, mientras que la figura 4.21 muestra la ganancia y ancho de banda del comparador.

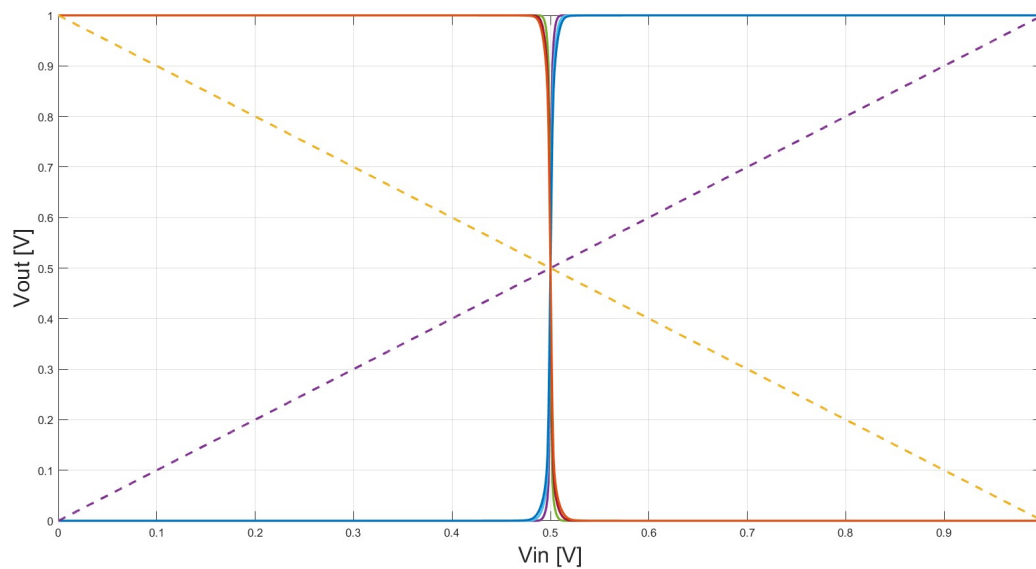


Figura 4.19: Comportamiento del LATCH a variaciones PT.

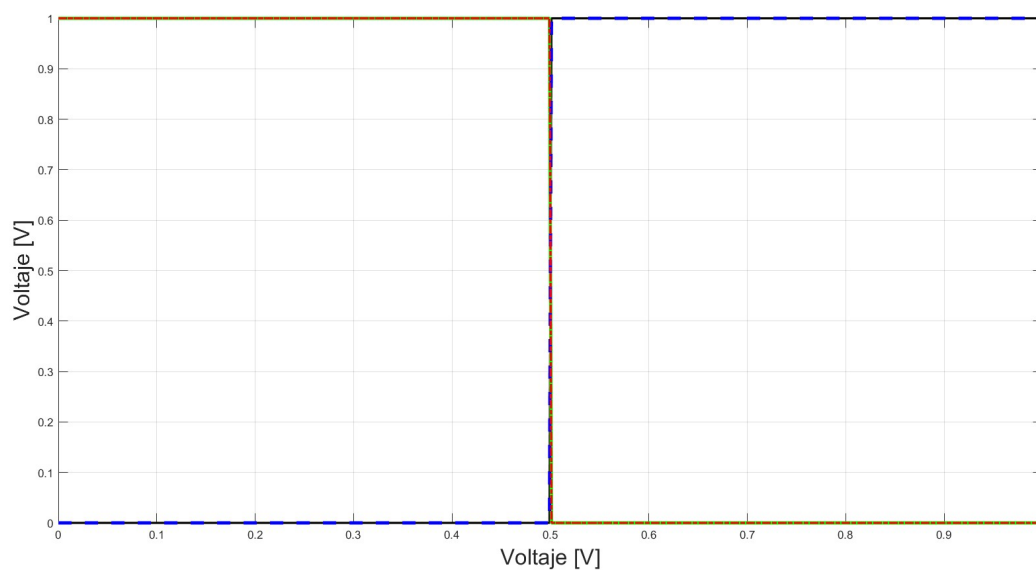


Figura 4.20: Comportamiento en DC del comparador ante variaciones PT.

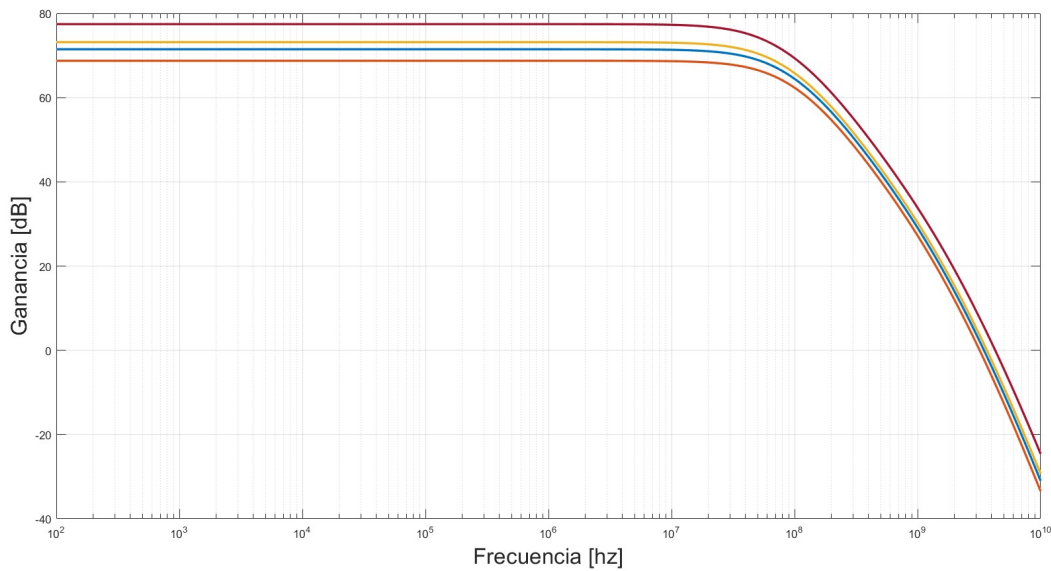


Figura 4.21: Respuesta en frecuencia del comparador ante variaciones PT.

Parámetro	Valor
Ganancia	70dB
BW	40Mhz
GBW	3 Ghz
Rango de salida	1V
SR_+, SR_-	368V/ μs
ST	8ns

Tabla 4.1: Características del comparador.

Como ya se había mencionado previamente, el comparador se utilizará en el tiempo llamado "lógica SAR", el cual corresponde a 390ns. El comparador presenta un BW de 40Mhz en su peor esquina, y recordando que se necesitaba un mínimo de 33.33Mhz, se concluye que el comparador está diseñado dentro de las especificaciones.

4.7. Amplificador

El amplificador implementado en este trabajo de tesis es un *porting* del propuesto en [28], que a su vez es una variación de [9]. Este operacional es

necesario debido a que el moldeado de ruido se logra mediante un integrador activo. La figura 4.22 muestra la configuración de este bloque. Debido a que este amplificador es solo de una etapa y, considerando que se está trabajando con una tecnología de 65nm, la transconductancia no es grande. Esto provoca que la ganancia de dicho amplificador no es alta (alrededor de $33dB$). Una manera de aumentar la ganancia es utilizando transistores compuestos; si se conectan dos transistores en serie es equivalente a tener uno solo con el doble de longitud ($2L$) pero con el mismo ancho (W) [3].

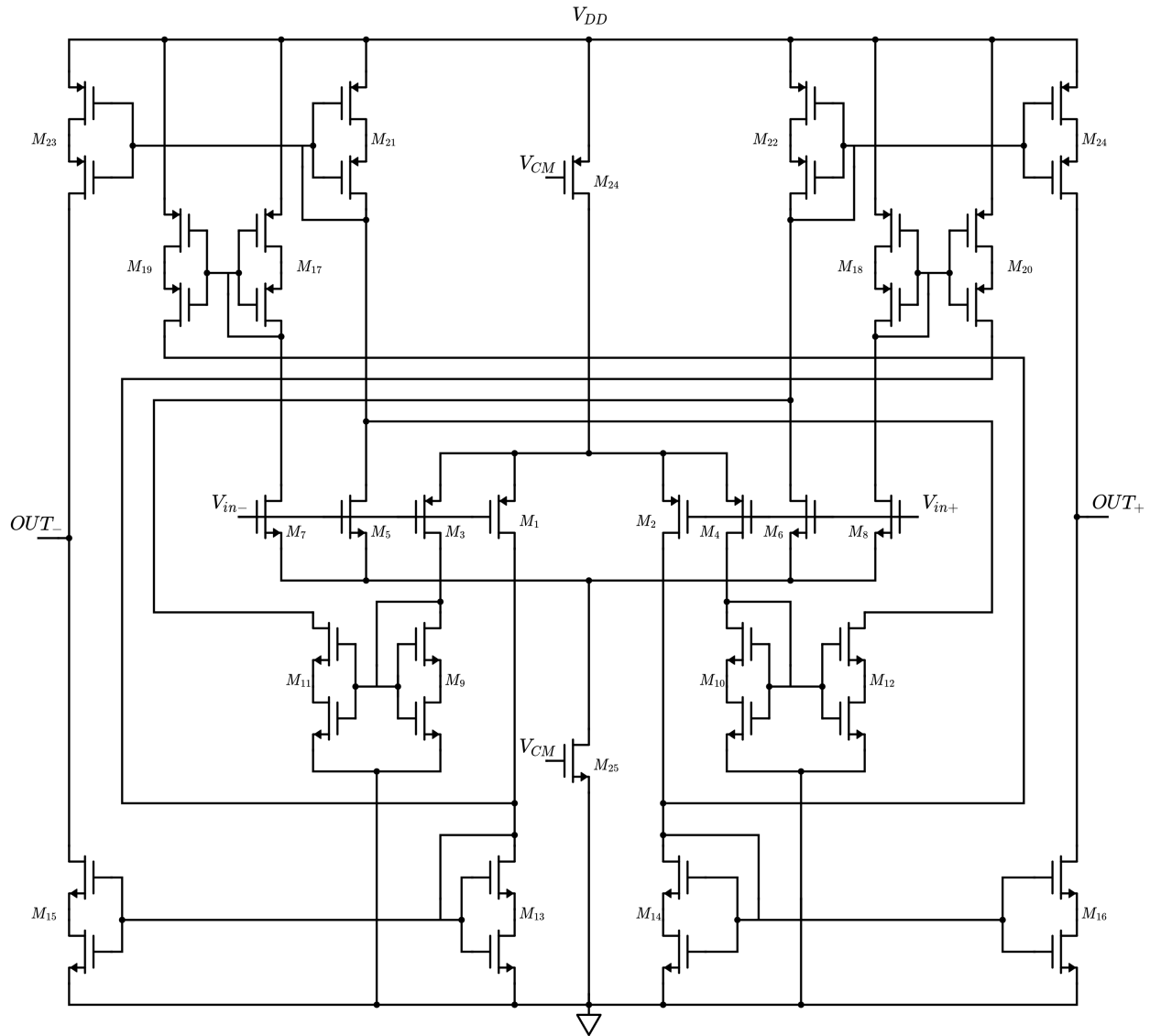


Figura 4.22: Amplificador completamente diferencial con transistores compuestos.

La ganancia de este amplificador esta dada por la siguiente expresión:

$$A_v = (gm_2 + gm_4 + gm_6 + gm_8)(ro_{16}||ro_{24})$$

Si consideramos que las transconductancias de los pares de entrada son iguales, entonces la ganancia está dada por:

$$A_v = 4gm(ro_{16}||ro_{24}) \quad (4.10)$$

Como se puede notar en la figura 4.22, el amplificador solo consta de una etapa; sin embargo, su respuesta en frecuencia se ve influenciada por dos polos: ω_{p1} (aquel que esta relacionado al nodo de salida) y ω_{p2} (aquel relacionado con el drenaje del transistor M_6).

$$\omega_{p1} = \frac{1}{C_L(ro_{24}||ro_{16})} \quad (4.11)$$

$$\omega_{p2} = \frac{1}{C_X(ro_6||ro_{22}||ro_{11})} \quad (4.12)$$

Este amplificador se utilizará en lazo cerrado, por lo que, mediante el uso de macro-modelos, se determinó que la ganancia en lazo abierto necesaria para que cumpla su función de integrador es de mínimo 25dB. Por otro lado, ya que al bloque NS le estamos dando un tiempo de $400ns$, se requiere que la frecuencia del amplificador sea mayor a los $2.5Mhz$. Las figuras 4.23a) y 4.23b) muestran el análisis en frecuencia de dicho bloque, mientras que la 4.24 muestra el barrido en DC. La ganancia en el peor caso tiene una ganancia de 38dB y un producto-ancho de banda de 100Mhz. La fase que presenta en su peor esquina es de 70° debido a la existencia del segundo polo anteriormente descrito. Por otro lado, el amplificador presenta un offset de $24\mu V$ en la misma esquina. Las tablas 4.2 y 4.3 muestra las características más importantes del amplificador y las dimensiones utilizadas, respectivamente. Todos los parámetros se obtuvieron utilizando una capacitancia

de carga de 200 fF .

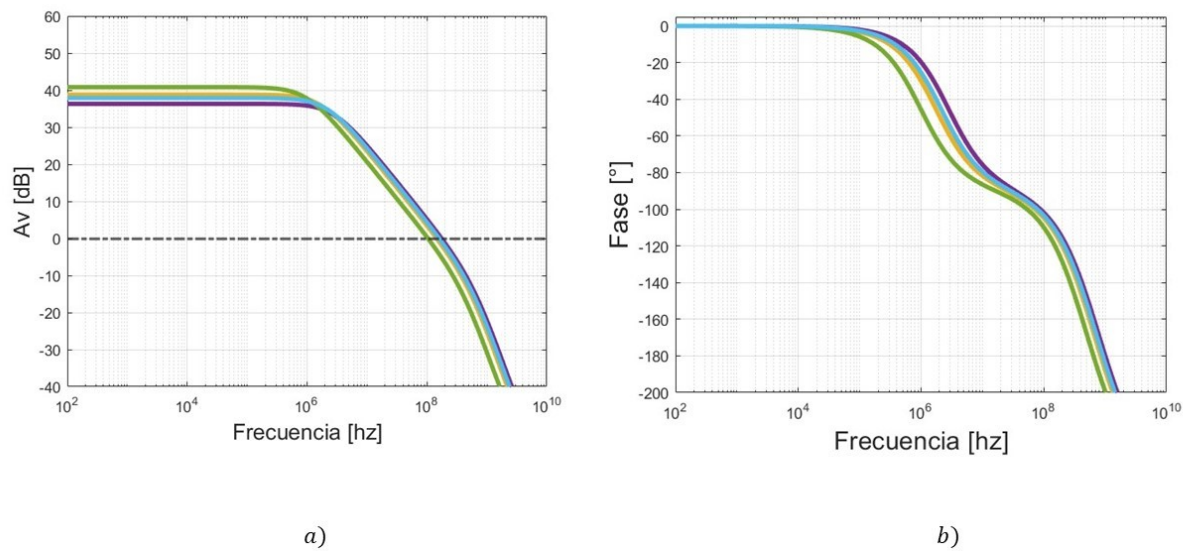


Figura 4.23: Análisis en AC del amplificador ante variaciones PT.

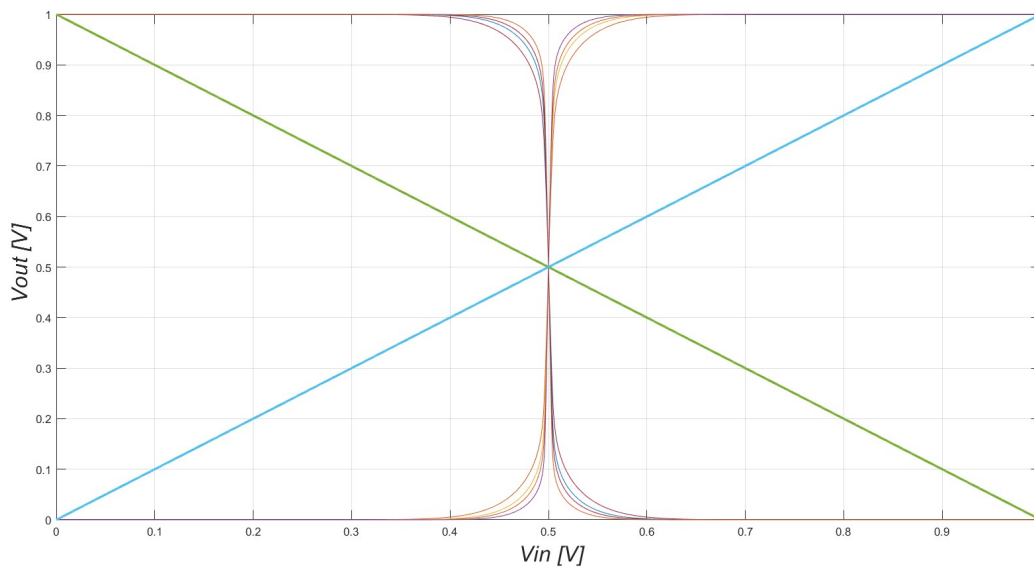


Figura 4.24: Análisis en DC del amplificador ante variaciones PT.

Parámetro	Valor
$A_{v,diff}$	39dB
Fase	70°
BW	5Mhz
GBW	100Mhz
Consumo de potencia	120 μ W
Offset	24 μ V
$Slew\ rate\ +/-$	4.48V/ns / 4.38V/ns
$CMRR$	256 dB
$PSRR+$	200 dB
$ICMR$	1.48V
ΔV_{out}	1.4V
$THD@(10M, Vin = 370mV)$	-40dB

Tabla 4.2: Parámetros característicos del amplificador.

Transistor	Relación W/L	Transistor	Relación W/L	Transistor	Relación W/L	Transistor	Relación W/L
M1	8 μ m/130nm	M7	4 μ m/130nm	M13	1.13 μ m/260nm	M19	1.12 μ m/130nm
M2	8 μ m/130nm	M8	4 μ m/130nm	M14	1.13 μ m/260nm	M20	1.12 μ m/130nm
M3	8 μ m/130nm	M9	560nm/130nm	M15	1.05 μ m/260nm	M21	2.3 μ m/260nm
M4	8 μ m/130nm	M10	560nm/130nm	M16	1.05 μ m/260nm	M22	2.3 μ m/260nm
M5	4 μ m/130nm	M11	560nm/130nm	M17	1.12 μ m/130nm	M23	2.1 μ m/260nm
M6	4 μ m/130nm	M12	560nm/130nm	M18	1.12 μ m/130nm	M24	2.1 μ m/260nm

Tabla 4.3: Relación de aspectos de los transistores que conforman el amplificador.

En este capítulo se muestra la integración del filtro propuesto con anterioridad en su forma completamente diferencial en el bloque ADC con el fin de tener un moldeado de ruido. Se presenta la caracterización estática y dinámica, el valor de la figura de mérito y su comparación con los trabajos existentes en el estado del arte.

5.1. Noise Shaping SAR de segundo orden con un solo operacional: Propuesta

La figura 5.2 muestra el convertidor con un bloque llamado "*Filtro de segundo orden*". Dicho bloque se ilustra en su totalidad en la figura 5.1 junto a su diagrama de fases. Su funcionamiento es el siguiente: primero, la fase ϕ_0 desconecta el integrador y pone al convertidor en modo "**lógica SAR**". Cuando finaliza esta etapa se obtiene la palabra digital y el residuo se encuentra almacenado en el C-DAC. La fase ϕ'_1 conecta el operacional A_1 en modo integrador y se mantiene así durante todo el periodo de integración.

5.1. NOISE SHAPING SAR DE SEGUNDO ORDEN CON UN SOLO OPERACIONAL:
PROPUESTA

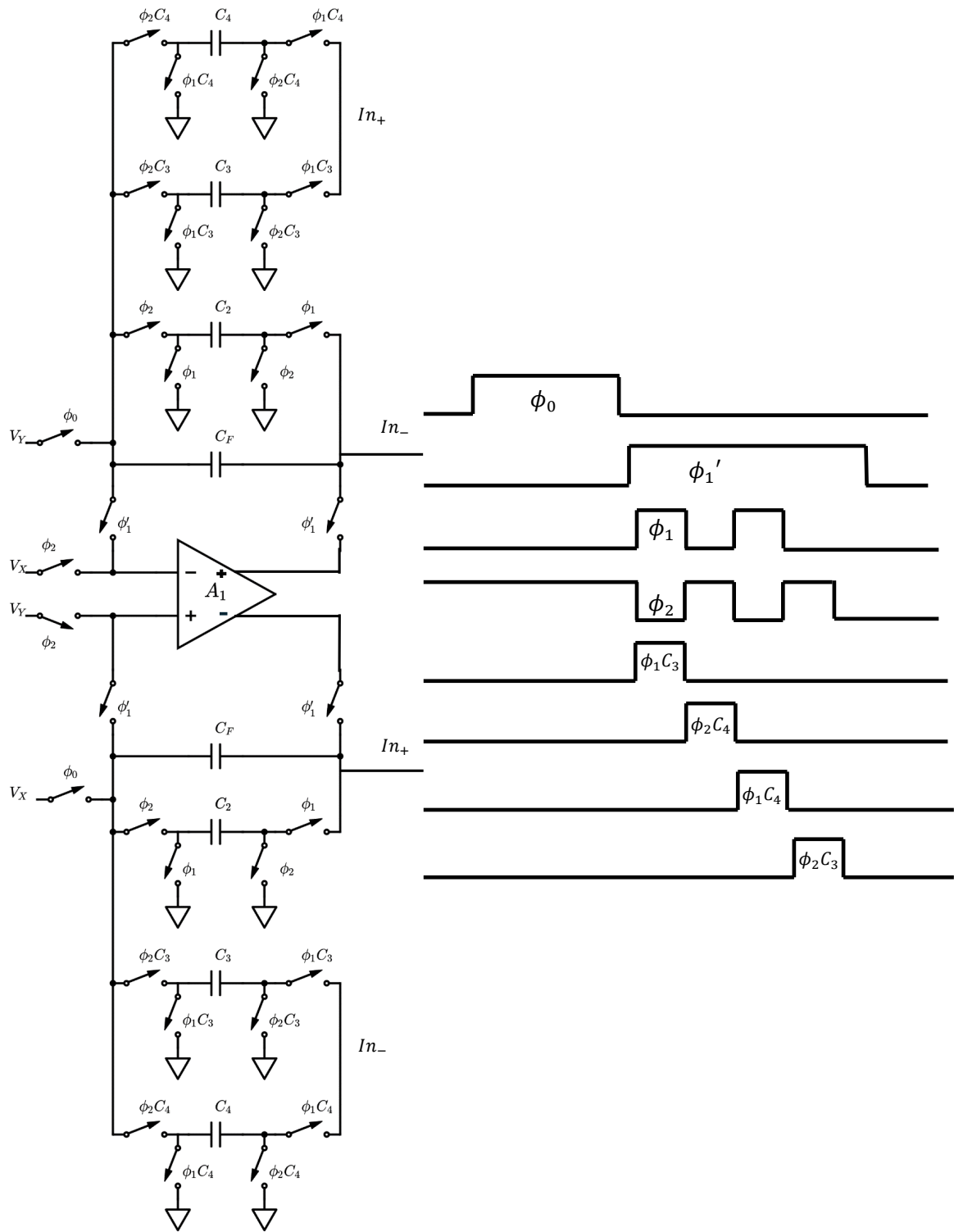


Figura 5.1: Filtro de segundo orden utilizando redistribución de carga y técnica *switch-capacitor*.

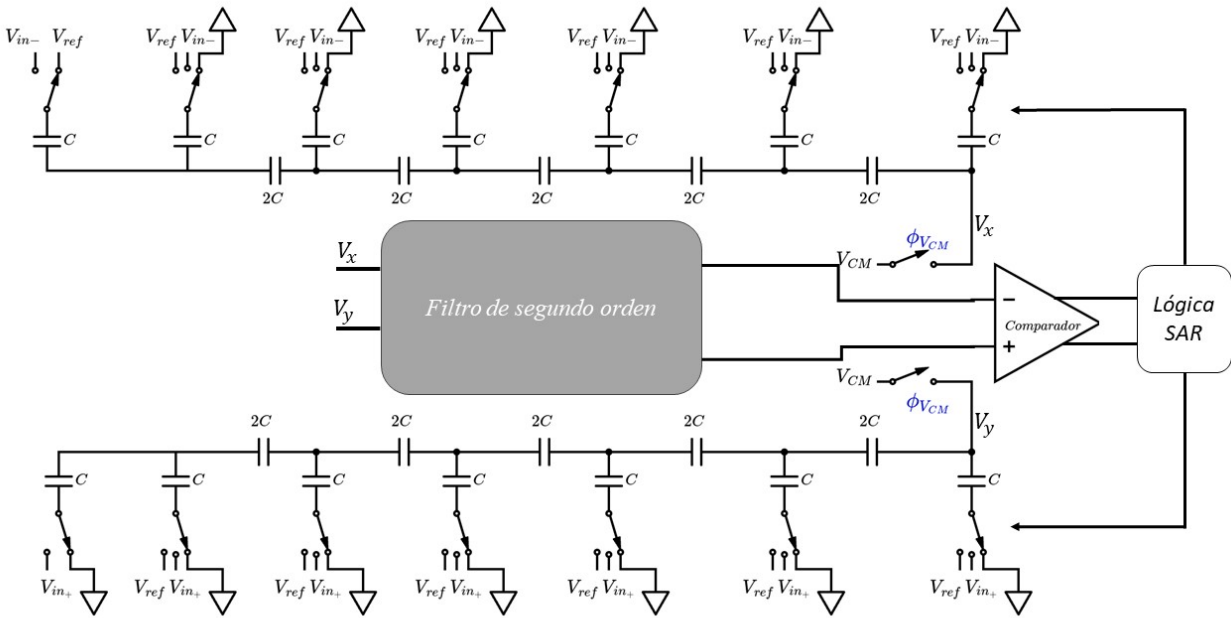


Figura 5.2: Convertidor NS-SAR de segundo orden.

El funcionamiento del filtro ya fue explicado en la sección 4.3 del presente trabajo.

5.2. Caracterización estática

La caracterización estática se aplica una entrada escalón de 0V a 1V. Al ser un convertidor de 12 bits, este cuenta con 4096 códigos de salida; de acuerdo con la figura 4.1, la frecuencia de conversión del convertidor es de $1.1Ms/s$. Esto quiere decir que para tener todos los códigos correspondientes para cada paso de cuantización se requiere $4096/1.11M = 3.6864ms$. La figura 5.3 muestra la función de transferencia de la propuesta y, posteriormente, la tabla 5.1 con sus principales características.

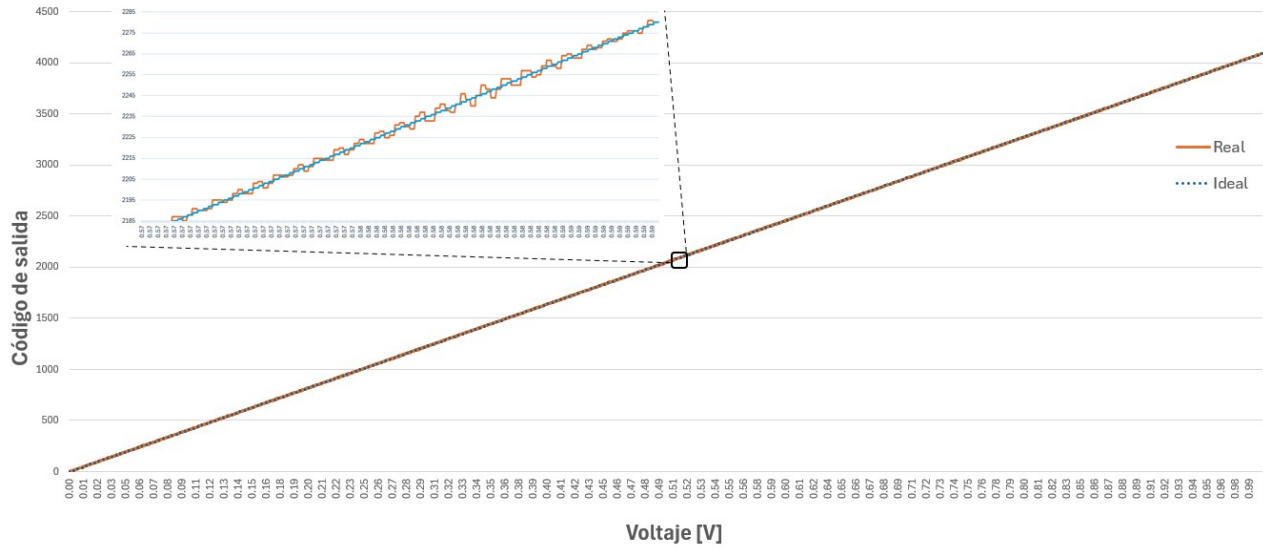


Figura 5.3: Función de transferencia del convertidor propuesto.

Parámetro	Valor
Offset	No
Error de ganancia	No
DNL	$+1.5LSB/-1.5LSB$
INL	$+1.5LSB/-1.5LSB$
Monotonicidad	No

Tabla 5.1: Características estáticas del convertidor propuesto.

5.3. Caracterización dinámica

Para la caracterización dinámica se le conecta al convertidor una señal sinusoidal a la entrada que varíe con respecto al ciclo de trabajo del convertidor. Posteriormente, para ver las características dinámicas del sistema, se le aplica una transformada rápida de Fourier (FFT). La figura 5.4 muestra la Densidad Espectral de Potencia con respecto a la frecuencia. Se puede observar que tiene un comportamiento similar al obtenido en el macromodelo presentado en el capítulo anterior (figura 4.7).

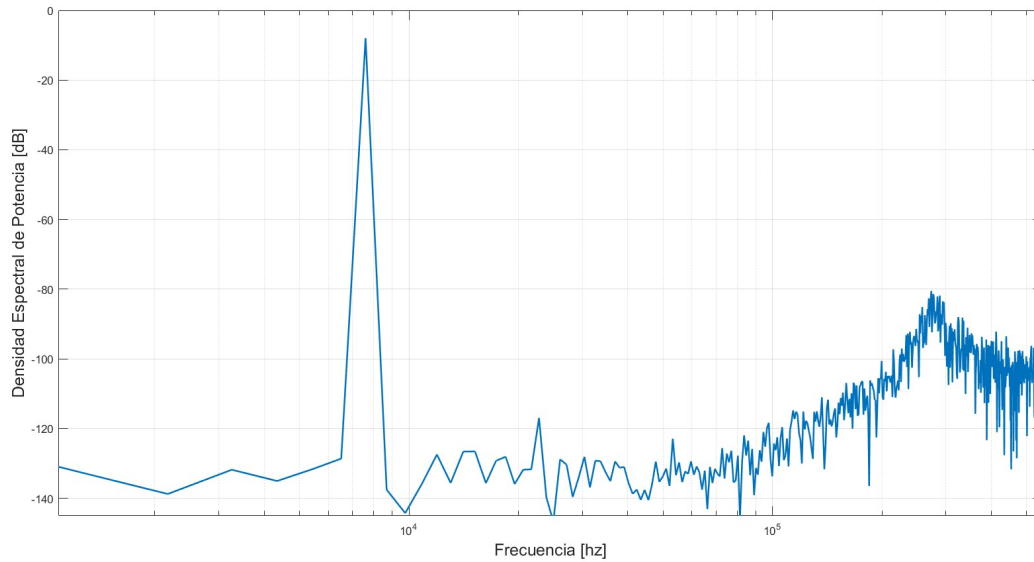


Figura 5.4: FFT del NS-SAR de segundo orden mediante el uso de un solo integrador.

La tabla 5.2 muestra los parámetros dinámicos obtenidos en simulación, mientras que la tabla 5.3 muestra la respuesta del ENOB ante variaciones PT.

Parámetro	Valor
SNR	105.4 dB
SNDR	105.4 dB
ENOB	17.21 bits
SFDR	108.99 dB
Ruido de piso	-128.67 dB
Potencia	$440\mu W$
FoM	182 dB

Tabla 5.2: Características dinámicas del convertidor propuesto.

Temperatura	TT	FF	SS	FNSP	SNFP
-20°C	17.13	16.97	16.90	16.51	16.47
60°C	17.21	17.10	17.32	16.71	16.92
120°C	17.38	17.03	17.22	17.33	17.36

Tabla 5.3: Valor de ENOB con respecto a las variaciones PT en las 15 esquinas.

5.4. Comparación con el estado del arte

La tabla 5.4 muestra el desempeño de los convertidores SAR diseñados en años recientes. Finalmente, la tabla 5.5 muestra la ubicación de este trabajo en comparación con las tendencias presentadas en el capítulo 1.

	[7]	[28]	[19]	[6]	[14]	[29]	Este trabajo
Año	2017	2021	2024	2024	2024	2023	2024
Tecnología CMOS	65nm	28nm	28nm	28nm	65nm	180nm	65nm
PVT	Sí	Sí	No	No	No	No	Sí
Noise Shaping	No	Activo	Pasivo	Activo/ Pasivo	Activo/ Pasivo	Pasivo	Activo
Orden NS	-	1°	1°	4°	2°	2°	2°
Potencia	375 μ W	245 μ W	238 μ W	107.38 μ W	93.85 μ W	-	440 μ W
FS	1.28MS/s	1.28MS/s	80MS/s	5MS/s	10MS/s	32MS/s	1.1MS/s
BW	20Khz	20Khz	4Mhz	100Khz	250Khz	500Khz	17Khz
SNR	83.11 dB	103.38 dB	76 dB	94.6 dB	73 dB	69.3 dB	105.4 dB
OSR	32	32	10	25	20	-	32
Bits físicos	14 bits	14 bits	8 bits	11 bits	6 bits	5 bits	12 bits
ENOB	13.51 bits	16.88 bits	11.4 bits	15 bits	11.83 bits	11.22 bits	17.21 bits
FoM Schreier	160.4 dB	181.8 dB	172.3 dB	184 dB	167.3 dB	159.8 dB	182 dB

Tabla 5.4: Estado del arte para los convertidores SAR: Desempeño y comparación.

5.5. Conclusiones

Este trabajo de tesis presenta el diseño de diversos convertidores: SAR (*sección 3.2*), NS-SAR de primer orden (*sección 3.3*), NS-SAR de segundo orden mediante operacionales en cascada (*sección 3.4*) y la propuesta de convertidor NS-SAR de segundo orden mediante un solo operacional (*sección 5.1*), todos robustos a variaciones de proceso y temperatura. Los resultados obtenidos se pueden observar en la tabla 5.5, donde se compara la cantidad de bits efectivos, la relación señal a ruido y la figura de mérito de cada uno. Podemos ver que el NS-SAR con dos

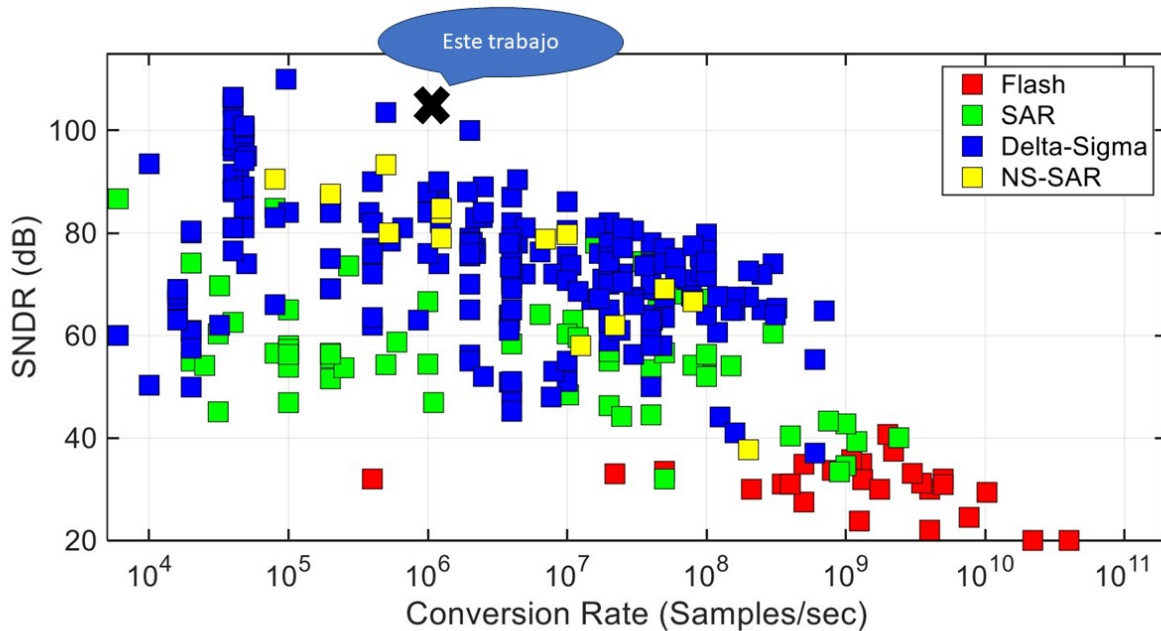


Figura 5.5: Ubicación del trabajo actual en comparación con las tendencias de convertidores.

operacionales tienen las mismas métricas de desempeño que el propuesto en esta tesis; sin embargo, este último tiene un mejor desempeño en potencia, siendo casi la misma que requiere un NS-SAR de primer orden. Esto es debido al uso de la técnica de redistribución de carga y la ausencia de un amplificador en cascada.

Convertidor	SNR	ENOB	FoM	Potencia
<i>SAR</i>	79.055 dB	12.88 bits	157 dB	$315\mu W$
<i>NS-SAR 1 orden</i>	98.61 dB	16.09 bits	175 dB	$430\mu W$
<i>NS-SAR 2 orden con 2 operacionales</i>	105.73 dB	17.27 bits	181 dB	$555\mu W$
<i>Trabajo propuesto</i>	105.4 dB	17.21 bits	182 dB	$440\mu W$

Tabla 5.5: Comparación de los diferentes convertidores diseñados en este trabajo de tesis.

De igual forma, se pudieron ratificar las hipótesis y objetivos planteados en la sección 1.4 y 1.5, respectivamente:

- ◇ Un Noise Shaping de segundo orden implementado en un ADC SAR permite mejorar la relación señal a ruido, conllevando a un mejor ENOB.

- ◇ Se puede implementar un bloque Noise Shaping mediante un solo operacional como integrador, esto utilizando las técnicas de redistribución de carga y SC.
- ◇ Debido al uso de un solo operacional, la potencia consumida disminuye y por ende, mejora la figura de mérito.
- ◇ El ADC propuesto en este trabajo de tesis tiene el mismo SNR que un Noise Shaping-SAR de segundo orden con dos operacionales.
- ◇ La propuesta de convertidor de segundo orden consume la misma potencia que un NS-SAR de primer orden.
- ◇ Se diseñaron los bloques analógicos robustos a variaciones PT, esto con el fin de que todo el sistema lo fuera.

5.6. Trabajo futuro

- ◇ Realizar los bloques digitales mediante síntesis digital.
- ◇ Proponer un circuito CMFB continuo y robusto a variaciones de proceso y temperatura que se adecue a los requerimientos del ADC propuesto.
- ◇ Realizar el Layout y los análisis Post-Layout de todo el sistema.
- ◇ Verificar el funcionamiento del ADC para una mayor cantidad de bits dados por arquitectura.

Índice de figuras

1.1.	Diagrama funcional de un SAR [17].	2
1.2.	Diagrama funcional de un convertidor Pipeline [17].	3
1.3.	Diagrama funcional de un convertidor $\Sigma\Delta$	3
1.4.	Diagrama funcional de un convertidor tipo Zoom [8].	4
1.5.	Comparación de los convertidores más utilizados en la actualidad [18].	5
2.1.	Funcionamiento de un sistema SAR [7].	9
2.2.	a) Búsqueda binaria y b) gráfica V vs T de un convertidor de 3 bits.	10
2.3.	C-DAC de 6 bits pesado binariamente.	11
2.4.	C-DAC de 8 bits en topología <i>split capacitor</i>	12
2.5.	C-DAC de 3 bits en topología C-2C y una palabra digital de salida 101.	13
2.6.	a) Capacitancia equivalente y b) voltaje equivalente de Thevenin. .	13
2.7.	Comparador con arquitectura preamplificador + latch.	15
2.8.	Respuesta del Noise Shaping en una señal [28].	17
2.9.	Capacitor continuo en el tiempo.	18
2.10.	Capacitor conmutado inversor insesible a capacitancias parásitas.	19

2.11. Capacitor conmutado no inversor insesible a capacitancias parásitas.	20
2.12. Integrador no inversor con capacitores conmutados.	21
2.13. Representación de una señal para resoluciones de 1, 2, 3 ,4, 6 y bits [21].	22
2.14. Función de transferencia ideal de un convertidor [17].	23
2.15. Error de offset en un convertidor A/D [17].	24
2.16. Error de ganancia en un convertidor A/D [17].	24
2.17. Errores INL y DNL en un convertidor A/D [23].	25
2.18. Errores estáticos de un ADC [21].	26
3.1. ADC SAR completamente diferencial.	31
3.2. Salida diferencial del DAC para un convertidor de 12 bits.	33
3.3. Función de transferencia de un convertidor SAR de 12 bits.	33
3.4. FFT del convertidor SAR de 12 bits.	34
3.5. Diagrama a bloques de la lógica SAR de 6 bits.	35
3.6. Diagrama funcional a bloques.	36
3.7. 6 bit NS-SAR de primer orden.	37
3.8. Fases no traslapadas de un NS-SAR de primer orden.	38
3.9. FFT del convertidor 12 bits NS-SAR de primer orden.	39
3.10. Diagrama funcional a bloques.	39
3.11. Filtro activo pasa bajas de segundo orden.	40
3.12. 6 bit NS-SAR de segundo orden.	41
3.13. Fases no traslapadas de un NS-SAR de segundo orden.	42
3.14. FFT de un convertidor 12 bits NS-SAR de segundo orden.	42
3.15. Comparación de las FFT de los convertidores diseñados.	45
4.1. Funcionamiento general del convertidor.	47
4.2. Integrador de segundo orden y su diagrama de fases.	49
4.3. Reloj de los interruptores del capacitor C_1	49

4.4.	FFT y diagrama a bloques del convertidor macro-modelado.	50
4.5.	a)Integrador de segundo orden propuesta 2 y b)su diagrama de fases.	51
4.6.	Diagrama funcional de un convertidor NS-SAR de segundo orden con el integrador propuesto.	52
4.7.	FFT y métricas de diseño del convertidor macro-modelado.	52
4.8.	Resistencias de encendido de un interruptor NMOS y un PMOS, respectivamente [23].	53
4.9.	Compuerta de transmisión.	54
4.10.	Análisis PT de la compuerta de transmisión.	55
4.11.	"Bootstrapping"de compuerta a la entrada.	56
4.12.	Interruptor Bootstrap diseñado	56
4.13.	Interruptor Bootstrap diseñado	57
4.14.	Resistencia equivalente del interruptor Bootstrap	57
4.15.	Respuesta en el tiempo de un pre-amp y un latch [2].	58
4.16.	Pre-amplificador con entradas complementarias.	59
4.17.	Respuesta en DC del preamplificador aplicando variaciones PT.	60
4.18.	Latch complementario.	61
4.19.	Comportamiento del LATCH a variaciones PT.	62
4.20.	Comportamiento en DC del comparador ante variaciones PT.	62
4.21.	Respuesta en frecuencia del comparador ante variaciones PT.	63
4.22.	Amplificador completamente diferencial con transistores compuestos.	64
4.23.	Análisis en AC del amplificador ante variaciones PT.	66
4.24.	Análisis en DC del amplificador ante variaciones PT.	66
5.1.	Filtro de segundo orden utilizando redistribución de carga y técnica <i>switch-capacitor</i>	69
5.2.	Convertidor NS-SAR de segundo orden.	70
5.3.	Función de transferencia del convertidor propuesto.	71

5.4. FFT del NS-SAR de segundo orden mediante el uso de un solo integrador.	72
5.5. Ubicación del trabajo actual en comparación con las tendencias de convertidores.	74
A.1. Configuración utilizada para tener el voltaje negativo dependiente del positivo.	I
A.2. Configuración utilizada para extracción de offset.	II
A.3. Configuración utilizada para extracción de la ganancia en modo común.	III
A.4. Configuración utilizada para extracción deL ICMR.	III
A.5. Configuración utilizada para extracción del Slew Rate.	IV
A.6. Configuración utilizada para extracción del PSRR+.	V
A.7. Configuración utilizada para extracción del THD.	V

Índice de tablas

1.1. Relación de características con tipo de convertidores [25].	6
3.1. Especificaciones de los convertidores.	31
3.2. Características del ADC SAR 12 bits.	34
3.3. Características del 12 bits NS-SAR de primer orden.	38
3.4. Características del 12 bits NS-SAR de segundo orden convencional.	43
3.5. Comparación de parámetros de los convertidores diseñados en este capítulo.	44
4.1. Características del comparador.	63
4.2. Parámetros característicos del amplificador.	67
4.3. Relación de aspectos de los transistores que conforman el amplifi- cador.	67
5.1. Características estáticas del convertidor propuesto.	71
5.2. Características dinámicas del convertidor propuesto.	72
5.3. Valor de ENOB con respecto a las variaciones PT en las 15 esquinas.	72
5.4. Estado del arte para los convertidores SAR: Desempeño y compa- ración.	73

5.5. Comparación de los diferentes convertidores diseñados en este
trabajo de tesis. 74

Bibliografía

- [1] A. Ahuja, K. Badami, C. Barbelenet y S. Emery, «Comparison of Capacitive DAC Architectures for Power and Area Efficient SAR ADC Designs», en *2021 IEEE International Symposium on Circuits and Systems (ISCAS)*, 2021, págs. 1-5. DOI: 10.1109/ISCAS51556.2021.9401768.
- [2] P. Allen y D. Holberg, *CMOS Analog Circuit Design* (Oxford series in electrical and computer engineering). Oxford University Press, 2002, ISBN: 9780195116441. dirección: <https://books.google.com.mx/books?id=-crQYfNHJDUC>.
- [3] A. Amaya, F. Villota y G. Espinosa, «A robust to PVT fully-differential amplifier in 45nm SOI-CMOS technology», en *2013 IEEE 4th Latin American Symposium on Circuits and Systems (LASCAS)*, 2013, págs. 1-4. DOI: 10.1109/LASCAS.2013.6519005.
- [4] R. ANANDANATARAJAN, *BIOMEDICAL INSTRUMENTATION AND MEASUREMENTS*. PHI Learning, 2011, ISBN: 9788120342279. dirección: <https://books.google.com.gh/books?id=I5598H1Nx70C>.
- [5] L. A. Carrillo Martínez, «ADC tipo folding de 7 bits en tecnología SOI de 45 nm», Tesis de mtría., Instituto Nacional de Astrofísica, Óptica y Electrónica, 2011.
- [6] K.-C. Cheng, S.-J. Chang, C.-C. Chen y S.-H. Hung, «9.7 A 94.3dB SNDR 184dB FoMs 4th-Order Noise-Shaping SAR ADC with Dynamic-Amplifier-Assisted Cascaded Integrator», *2024 IEEE International Solid-State Circuits Conference (ISSCC)*, vol. 67, págs. 180-182, 2024. dirección: <https://api.semanticscholar.org/CorpusID:268376653>.

-
- [7] G. De la Fuente Cortes, «DISEÑO DE UN ADC SAR DE 14 BITS PARA APLICACIONES BIOMÉDICAS ROBUSTO A VARIACIONES DE PROCESO Y TEMPERATURA», Tesis de maestría., Instituto Nacional de Astrofísica, Óptica y Electrónica, 2014.
- [8] E. Eland, S. Mehrotra, S. Karmakar, R. van Veldhoven y K. A. A. Makinwa, «The Zoom ADC: An Evolving Architecture», en *Biomedical Electronics, Noise Shaping ADCs, and Frequency References: Advances in Analog Circuit Design 2022*, P. Harpe, A. Baschiroto y K. A. Makinwa, eds. Cham: Springer International Publishing, 2023, págs. 179-201, ISBN: 978-3-031-28912-5. DOI: 10.1007/978-3-031-28912-5_10. dirección: https://doi.org/10.1007/978-3-031-28912-5_10.
- [9] G. Espinosa Flores-Verdad y A. S. Scotto Guzman, *Differential Amplifier that Compensates for Process Variations*, Patente, No. US 8035448B1, oct. de 2011.
- [10] J. A. Fredenburg, «NOISE-SHAPING SAR ADCS», Tesis doct., University of Michigan, 2015.
- [11] R. Gregorian, *Introduction to CMOS OP-AMPS and Comparators*. Wiley, 1999, ISBN: 9780471317784. dirección: <https://books.google.com.mx/books?id=uxFTAAAAMAAJ>.
- [12] R. Gregorian y G. Temes, *Analog MOS Integrated Circuits for Signal Processing* (Wiley series on filters). Wiley India Pvt. Limited, 1986, ISBN: 9788126517978. dirección: <https://books.google.com.mx/books?id=yTgsQQAACAAJ>.
- [13] M. Gustavsson, J. Wikner y N. Tan, *CMOS Data Converters for Communications* (The Springer International Series in Engineering and Computer Science). Kluwer Academic Publishers, 2002, ISBN: 0-792-37780-X.
- [14] M. Jian, J. Zheng, X. Kong, B. Sun y C. Guo, «A 73-dB-SNDR 2nd-Order Noise-Shaping SAR With a Low-Noise Time-Domain Comparator», *IEEE Transactions on Circuits and Systems II: Express Briefs*, págs. 1-1, 2024. DOI: 10.1109/TCSII.2024.3368893.
- [15] L. Jie, X. Tang, J. Liu et al., «An Overview of Noise-Shaping SAR ADC: From Fundamentals to the Frontier», *IEEE Open Journal of the Solid-State Circuits Society*, vol. 1, págs. 149-161, 2021. DOI: 10.1109/OJSSCS.2021.3119910.
- [16] W. Kester e i. Analog Devices, *Data Conversion Handbook* (Analog Devices series). Elsevier Science, 2005, ISBN: 9780750678414. dirección: <https://books.google.com.mx/books?id=0aeBS6SgtR4C>.

-
- [17] F. Maloberti, *Data Converters*. Springer, 2007, ISBN: 9780387324852. dirección: <https://books.google.com.mx/books?id=Kvo7cjmaEpkC>.
- [18] B. Murmann. «Introduction to ADCs/DACs: Metrics, Topologies, Trade Space, and Applications». (), dirección: <https://github.com/bmurmann/ADC-survey/blob/main/pdf/ISSCC2022-Short%20Course-Murmann.pdf>.
- [19] J.-H. Nam y S.-G. Park, «A 11.4-ENOB First-Order Noise-Shaping SAR ADC With PVT-Insensitive Closed-Loop Dynamic Amplifier and Two CDACs», en *2024 International Conference on Electronics, Information, and Communication (ICEIC)*, 2024, págs. 1-4. DOI: 10.1109/ICEIC61013.2024.10457134.
- [20] S. M. Navidi y M. Ehsanian, «A 9-bit Low-Power Fully Differential SAR ADC Using Adaptive Supply and Reference Voltages», en *Electrical Engineering (ICEE), Iranian Conference on*, 2018, págs. 205-210. DOI: 10.1109/ICEE.2018.8472555.
- [21] M. Pelgrom, *Analog-to-Digital Conversion*, 4 Edición. Springer Cham, 2023, ISBN: 978-3-030-90810-2.
- [22] J. M. Rabaey, *Digital integrated circuits*. 2 Edición. Estados Unidos de América : Pearson Educación, 2003.
- [23] B. Razavi, *Principles of Data Conversion System Design* (Electrical engineering, circuits and systems). Wiley, 1995, ISBN: 9780780310896. dirección: <https://books.google.com.mx/books?id=mKYoAQAAMAAJ>.
- [24] B. Razavi, «The R-2R and C-2C Ladders [A Circuit for All Seasons]», *IEEE Solid-State Circuits Magazine*, vol. 11, n.º 3, págs. 10-15, 2019. DOI: 10.1109/MSSC.2019.2922886.
- [25] D. H. Robertson, «Problems and Solutions: How Applications Drive Data Converters (and How Changing Data Converter Technology Influences System Architecture)», *IEEE Solid-State Circuits Magazine*, vol. 7, n.º 3, págs. 47-57, 2015. DOI: 10.1109/MSSC.2015.2442391.
- [26] M. T. Shahed y A. H.-U. Rashid, «Design of a 10 Bit Low Power Split Capacitor Array SAR ADC», en *2021 IEEE International Conference on Signal Processing, Information, Communication Systems (SPICSCON)*, 2021, págs. 74-77. DOI: 10.1109/SPICSCON54707.2021.9885682.
- [27] G. Torelli, *Filtri a condensatori commutati principi di funzionamento e tecniche di progetto*, s/f.

- [28] M. Velázquez Díaz, «Diseño de un ADC NS-SAR robusto a variaciones de proceso y temperatura en tecnología CMOS de 28nm», Tesis de mtría., Instituto Nacional de Astrofísica, Óptica y Electrónica, 2021.
- [29] Z. Wang, C. Shen, X. Jin, Z. Chen, B. Li y P. Wan, «A 2nd-Order Noise-Shaping SAR ADC with Reused Dynamic Amplifier Assisted Integrator», en *2023 IEEE 17th International Conference on Anti-counterfeiting, Security, and Identification (ASID)*, 2023, págs. 7-11. DOI: 10.1109/ASID60355.2023.10425971.

En este apartado se presentan todos los "Test Bench" utilizados para la caracterización analógica.

A.1. Voltajes de entrada

Para la creación de voltajes de entrada (V_{in+} y V_{in-}) se utilizó una fuente de voltaje controlada por voltaje (VCVS) para volver dependiente la entrada negativa de la positiva. La imagen A.1 muestra el arreglo descrito.

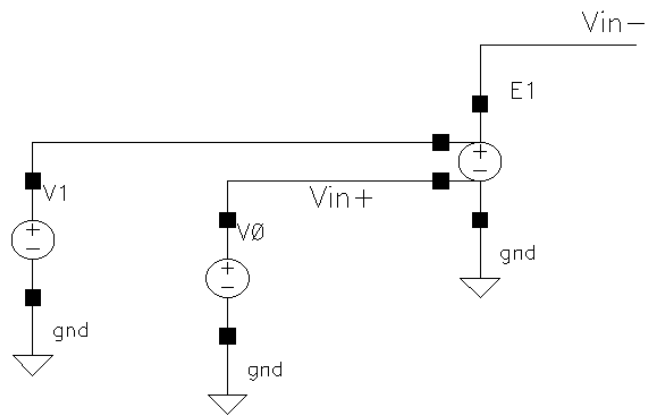


Figura A.1: Configuración utilizada para tener el voltaje negativo dependiente del positivo.

A.2. Offset, Ganancia y BW

Para la extracción del offset (tanto para el comparador como para los operacionales) se hace un barrido en DC en la fuente V_{in+} y se grafican ambas salidas. Para el caso de la Ganancia y BW, las entradas V_{in+} y V_{in-} son conectadas a fuentes con una magnitud AC y desfasadas 180° entre ellas. Se utiliza un análisis AC donde se barre la frecuencia. Finalmente, con el valor de las entradas y salidas, en la calculadora de Cadence Virtuoso se utiliza la ecuación A.1 para obtener la gráfica característica. La figura A.2 muestra la configuración descrita.

$$Av = dB20 \frac{Out_+ - Out_-}{Vin_+ - Vin_-} \quad (A.1)$$

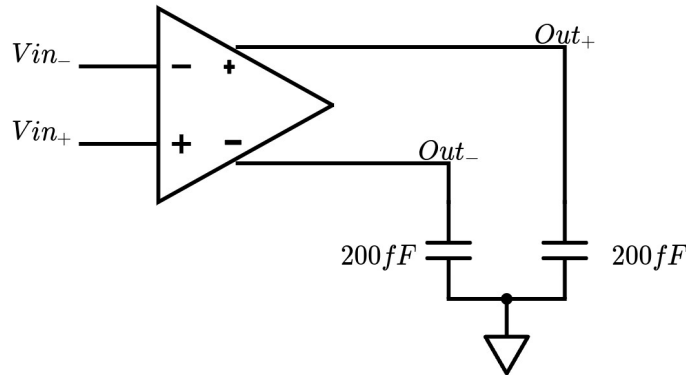


Figura A.2: Configuración utilizada para extracción de offset.

A.3. Ganancia en modo común

La configuración utilizada para extraer la ganancia en modo común se puede apreciar en la figura A.3. Nuevamente, la fuente de entrada tiene una amplitud, por lo que el análisis será en AC, teniendo a la frecuencia como la variable a barrer.

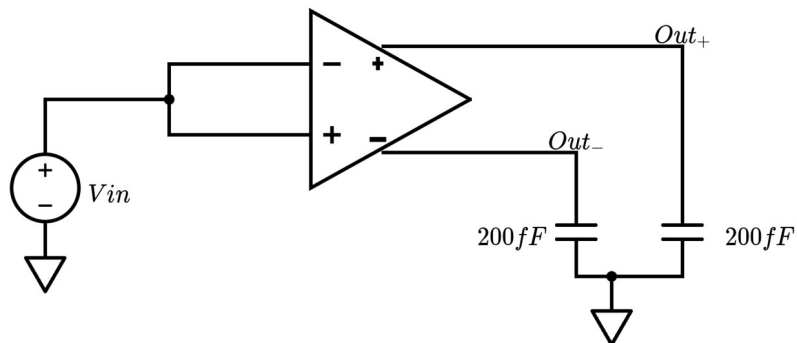


Figura A.3: Configuración utilizada para extracción de la ganancia en modo común.

A.4. ICMR

Para el rango de entrada en modo común se utilizó la configuración en lazo cerrado mostrada en la figura A.4. Las resistencias son del orden de los Mega Ohms.

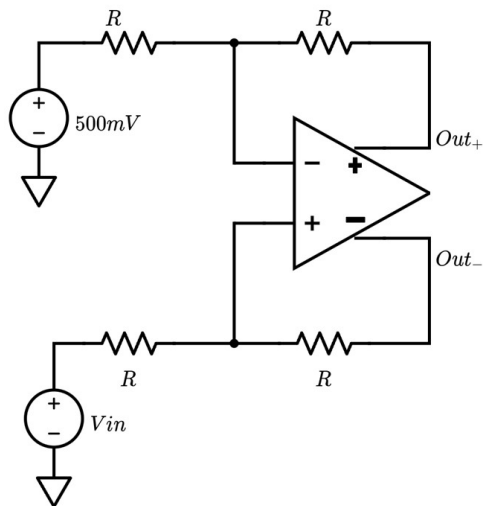


Figura A.4: Configuración utilizada para extracción deL ICMR.

A.5. Slew Rate

Para la extracción del Slew Rate se utilizó la configuración mostrada en la figura A.5 y teniendo en cuenta el máximo voltaje de entrada, se establecieron los voltajes en las fuentes tipo escalón.

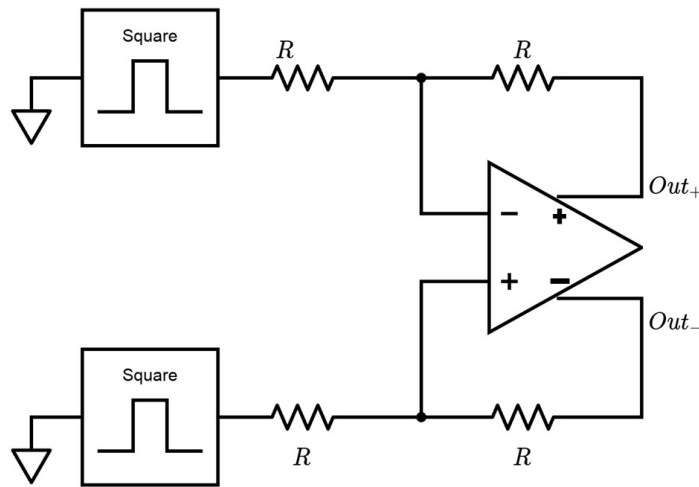


Figura A.5: Configuración utilizada para extracción del Slew Rate.

A.6. PSRR

La figura A.6 muestra la configuración utilizada para la extracción del $PSRR+$. Como está medido en lazo cerrado y todas las resistencias son del mismo valor, el $PSRR+$ está dado por la ecuación A.2; para el $PSRR-$ se hace lo mismo, pero la variación se hace en GND .

$$PSRR = dB20 \frac{V_{in_{ac}}}{Out_+ - Out_-} \quad (A.2)$$

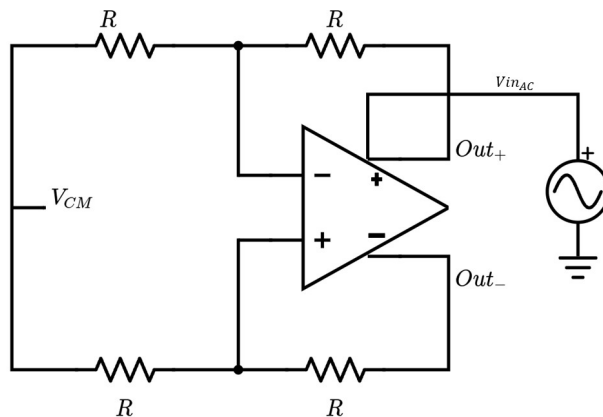


Figura A.6: Configuración utilizada para extracción del PSRR+.

A.7. THD

Para conocer el THD se utilizó la configuración mostrada en la figura A.7. El análisis utilizado en este caso fue un *HB* (*Harmonic Balance*) con una frecuencia fundamental de 10MHz y 10 armónicos. Se hace un barrido de la amplitud de la fuente.

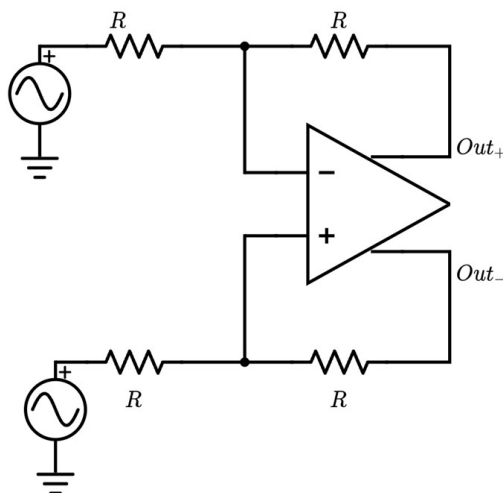


Figura A.7: Configuración utilizada para extracción del THD.