



**INAOE**

**Caracterización de la respuesta de  
microondas de condensadores cerámicos de  
múltiples capas sometidos a tensión  
mecánica**

por

**Victoria Gutiérrez Vicente**

Tesis sometida como requisito parcial  
para obtener el grado de

**Maestro en Ciencias en la especialidad de  
Electrónica**

en el

**Instituto Nacional de Astrofísica, Óptica y  
Electrónica.**

Octubre 2024  
Tonanzintla, Puebla

Supervisada por:

**Dr. Reydezel Torres Torres  
Dr. Jesús Alejandro Torres Torres**

©INAOE 2024

Derechos Reservados

El autor otorga al INAOE el permiso de  
reproducir y distribuir copias de esta tesis en su  
totalidad o en partes mencionando la fuente.



# Resumen

Este proyecto de maestría consistió en desarrollar una metodología de caracterización eléctrica experimental completa para los condensadores cerámicos multicapa de montaje superficial. Ésta abarca el estudio de las variaciones en capacitancia, resistencia e inductancia en serie a partir del análisis de su respuesta en RF a diferentes niveles de degradación estructural inducidos por estrés mecánico. Por primera vez, se cuantifica la reducción del rendimiento de RF del dispositivo cuando se forman grietas dentro de sus electrodos internos. Como parte del proyecto, se diseñó una interfaz para medir la respuesta de microondas de condensadores utilizando un analizador de redes vectorial. Los resultados muestran que la respuesta del condensador a estímulos de microondas tiende a sobreestimarse si solo se considera la reducción de la capacitancia como indicador de degradación. Se analizan condensadores de tamaños y capacitancias representativos para demostrar la utilidad de la metodología, y se valida la precisión de los resultados mediante la correlación con mediciones independientes obtenidas con puntas de prueba coplanares y la realización de inspecciones ópticas en muestras seccionadas.

# Abstract

A full characterization of multilayer ceramic capacitors including variations in capacitance, series resistance, and series inductance is accomplished by measuring their RF response while being submitted to mechanical stress. This allows for the first time quantifying the degradation of the device's RF performance when cracks form within its structure. In this regard, the main challenge is designing an interface for measuring the high frequency response of a capacitor using a vector network analyzer as a bending test on PCB is in progress, which is achieved here by using a microstrip-based test fixture. The results indicate that there is an overestimation of its response to microwave stimuli when considering only the degradation impact as a reduction in capacitance. Capacitors of representative sizes and capacitances are analyzed to show the usefulness of the proposal, whereas the validity of the results is verified by observing correlation with measurements collected using microprobes and performing optical inspections to cross-sectioned samples.

# Agradecimientos

En primer lugar, agradezco a mis padres por el apoyo incondicional que siempre me han brindado para alcanzar mis objetivos. Gracias por motivarme e impulsarme en cada uno de mis proyectos. También agradezco a mis hermanas por hacerme reír en los momentos difíciles, por acompañarme y animarme; sin ustedes, no sería tan divertido estudiar.

Agradezco de todo corazón a la Dra. Juana Medina por sus palabras de aliento y sus valiosos consejos, tanto académicos como personales. Gracias por ser mi amiga y mi primera mentora.

Agradezco profundamente al Dr. Reydezel Torres Torres por su dedicación, tiempo y por creer en mi potencial como futura investigadora. Gracias por compartir su experiencia y permitirme aprender a su lado.

Gracias al Instituto Nacional de Astrofísica, Óptica y Electrónica por abrirme las puertas y darme la oportunidad de continuar mis estudios. En particular, agradezco a las y los investigadores que encabezan las actividades de divulgación científica, por inspirarme desde niña a seguir una carrera científica.

Finalmente, agradezco a mis amigos por el tiempo que compartimos estudiando, por escuchar mis narraciones de experimentos fallidos y por acompañarme en todo momento.

# Índice general

|  |           |
|--|-----------|
| <b>1. Introducción</b>   | <b>9</b>  |
| 1.1. Condensadores discretos en la electrónica de alta velocidad . . . . .                   | 10        |
| 1.2. Estructura de los MLCCs . . . . .   | 11        |
| 1.2.1. Modelo eléctrico . . . . .  | 12        |
| 1.2.2. Tensión mecánica en circuitos impresos . . . . .                                      | 14        |
| 1.2.3. Degradación de los MLCCs sometidos a tensión mecánica . . . . .                       | 16        |
| 1.2.4. Objetivo de esta tesis . . . . .  | 17        |
| <b>2. Metodologías de caracterización eléctrica de condensadores</b>                         | <b>18</b> |
| 2.1. Medidor de impedancia LCR . . . . .   | 18        |
| 2.2. Analizador de redes vectorial . . . . .   | 20        |
| 2.2.1. Interfaz coaxial . . . . .  | 20        |
| 2.2.2. Puntas de prueba . . . . .  | 21        |
| 2.3. Caracterización por reflexión y transmisión . . . . .                                   | 22        |
| 2.4. Caracterización de la degradación eléctrica de MLCCs ante estímulos mecánicos . . . . . | 23        |
| 2.4.1. Conclusiones del capítulo . . . . .   | 24        |
| <b>3. Diseño de interfaz de medición</b>   | <b>25</b> |
| 3.1. MLCCs bajo análisis . . . . .   | 25        |
| 3.2. Requerimientos . . . . .  | 26        |
| 3.3. Diseño de la microcinta . . . . .   | 27        |
| 3.3.1. Diseño preliminar . . . . .   | 27        |
| 3.3.2. Simulaciones electromagnéticas . . . . .  | 29        |
| 3.4. Interfaz para la medición de tensión mecánica . . . . .                                 | 31        |
| 3.4.1. Galga extensiométrica . . . . .   | 31        |
| 3.4.2. Puente de Wheatstone . . . . .  | 32        |
| 3.5. Prototipo final . . . . .   | 33        |
| 3.5.1. Verificación de la estabilidad eléctrica de la interfaz . . . . .                     | 35        |
| 3.5.2. Conclusiones del capítulo . . . . .   | 36        |
| <b>4. Experimentos y Resultados</b>  | <b>38</b> |
| 4.1. Caracterización eléctrica de MLCCs . . . . .  | 38        |
| 4.1.1. Mediciones con coaxiales . . . . .  | 38        |
| 4.1.2. Mediciones con puntas de prueba . . . . .   | 40        |
| 4.1.3. Medición de los parámetros S durante la aplicación de estímulos mecánicos . . . . .   | 44        |

|  |           |
|--|-----------|
| 4.2. Resultados . . . . .  | 47        |
| 4.3. Ejemplo de aplicación . . . . .   | 51        |
| 4.4. Conclusiones del capítulo . . . . .                                       | 53        |
| <b>5. Conclusiones</b>   | <b>54</b> |
| 5.1. Caracterización eléctrica de MLCCs sometidos a tensión mecánica . . . . . | 54        |
| 5.2. Consideraciones sobre la estructura de pruebas propuesta . . . . .        | 55        |
| 5.3. Acerca de los resultados experimentales . . . . .                         | 55        |

# Índice de figuras

|      |  |    |
|------|--|----|
| 1.1. | Circuito equivalente de una PDN con un capacitor de desacoplo. . . . .   | 10 |
| 1.2. | Esquema que ilustra la conexión de un MLCC para bloquear la señal de CC entre dos etapas de un circuito. . . . .   | 11 |
| 1.3. | Estructura interna de un MLCC: (a) sección transversal, (b) vista isométrica. . . . .  | 12 |
| 1.4. | Modelos de circuito equivalente: (a) modelo estándar, (b) modelo simplificado. . . . .   | 13 |
| 1.5. | Gráfica de la magnitud de la impedancia de un MLCC de $1 \mu\text{F}$ , resaltando sus efectos parásitos a altas frecuencias. . . . .  | 13 |
| 1.6. | Tipos de esfuerzos mecánicos: (a) tensión, (b) compresión, (c) corte, (d) flexión. . . . .   | 15 |
| 1.7. | Dibujo ilustrativo de MLCCs después de sufrir tensión mecánica: (a) fractura diagonal, (b) fractura en forma de "K". . . . .   | 16 |
| 2.1. | Circuito de medición de un LCR: (a) modelo simple, (b) puente de balance automático [26]. . . . .  | 19 |
| 2.2. | Esquema de un medidor LCR con una configuración de dos terminales y los efectos parásitos asociados. . . . .   | 19 |
| 2.3. | Sección transversal de la interfaz para mediciones con puntas de prueba [31]. . . . .  | 21 |
| 2.4. | Interfaz para mediciones con puntas de prueba y las configuraciones GSG, GS y SG en las agujas de contacto. . . . .  | 22 |
| 2.5. | Circuitos equivalentes de mediciones de 2 puertos: (a) conexión en serie, (b) conexión en paralelo. . . . .  | 23 |
| 2.6. | Esquema de la estructura básica de las pruebas de tensión mecánica: (a) prueba de 3 puntos, (b) prueba de 4 puntos. . . . .  | 24 |
| 3.1. | Fotografía que ilustra los tamaños de los MLCCs analizados. El superíndice en los nombres de los dispositivos indica el tamaño: grande (L), mediano (M) y pequeño (S), mientras que el subíndice indica la capacitancia nominal. . . . . | 26 |
| 3.2. | Ilustración conceptual de una prueba de tensión en MLCC. . . . .   | 27 |
| 3.3. | Estructura básica de líneas de microcinta: (a) vista en perspectiva y (b) sección transversal. . . . .   | 27 |
| 3.4. | Proceso de diseño, fabricación y modelado de la microcinta. . . . .  | 28 |
| 3.5. | Magnitud y fase de los parámetros S de la microcinta de 90 mm: (a) parámetro $S_{11}$ (b) parámetro $S_{21}$ . . . . .   | 29 |
| 3.6. | Simulación electromagnética de las propuestas de microcintas: (a) diseño A (b) diseño B (c) parámetro de transmisión ( $S_{11}$ ) (d) parámetro de reflexión ( $S_{21}$ ). . . . .   | 30 |
| 3.7. | Galga extensiométrica: (a) estructura (b) ubicación en el prototipo. . . . .   | 32 |

|       |   |    |
|-------|---|----|
| 3.8.  | Diagrama eléctrico del puente de Wheatstone. . . . .  | 32 |
| 3.9.  | Prototipo final para la caracterización eléctrica de MLCCs. . . . .   | 34 |
| 3.10. | Conexión del prototipo con el VNA. . . . .  | 34 |
| 3.11. | Arreglo experimental para las pruebas de tensión mecánica. . . . .  | 35 |
| 3.12. | Parámetros S de la microcinta sin capacitor: (a) parámetro de reflexión ( $S_{11}$ ) (b) parámetro de transmisión ( $S_{21}$ ). . . . .   | 36 |
| 4.1.  | Fotografía de la estructura de prueba y su conexión con el VNA. . . . .   | 39 |
| 4.2.  | Desincrustación de la estructura de prueba: (a) diagrama de bloques en cascada, (b) modelo del circuito equivalente implementado en ADS. . . . .  | 40 |
| 4.3.  | Fotografía de la estructura de prueba para las mediciones con puntas. . . . .   | 41 |
| 4.4.  | Calibración con puntas de prueba GS de 1000 $\mu m$ . . . . .   | 41 |
| 4.5.  | Arreglo experimental para las mediciones con puntas de prueba. . . . .  | 42 |
| 4.6.  | Comparación de las curvas de impedancia obtenidas a partir de las mediciones con coaxiales y con puntas de prueba para los tres tamaños de MLCCs y las dos magnitudes de capacitancia consideradas en este trabajo. Las curvas muestran concordancia con los datos proporcionados por los fabricantes [51], [52], los cuales también están incluidos en las gráficas. . . . . | 43 |
| 4.7.  | Flexión de la estructura de prueba. . . . .   | 44 |
| 4.8.  | Curvas de impedancia de MLCCs con una capacitancia nominal de 0.1 $\mu F$ bajo diferentes valores de tensión mecánica. Cada gráfica corresponde a un tamaño en particular. . . . .  | 45 |
| 4.9.  | Curvas de impedancia del MLCCs con una capacitancia nominal de 1 $\mu F$ bajo diferentes valores de tensión mecánica. Cada gráfica corresponde a un tamaño en particular. . . . .   | 46 |
| 4.10. | Cambio de capacitancia versus deformación en la PCB. Cada punto de los datos se obtuvo promediando las mediciones realizadas en cuatro MLCCs. . . . .   | 47 |
| 4.11. | Fotografías de la sección transversal de tres MLCCs medianos con una capacitancia nominal de 1 $\mu F$ , después de experimentar reducciones de capacitancia de: (a) 30 %, (b) 50 % y (c) 95 %. . . . .   | 49 |
| 4.12. | Resistencia equivalente promedio ( $R_{MLCC}$ ) versus deformación aplicada en la PCB para los tamaños y magnitudes de capacitancia considerados. . . . .   | 49 |
| 4.13. | Ilustración conceptual del aumento de la trayectoria de la corriente después de la formación de fracturas en el MLCC. Este cambio aumenta la inductancia $L_{MLCC}$ . . . . .   | 50 |
| 4.14. | Inductancia equivalente promedio ( $R_{MLCC}$ ) versus deformación aplicada en la PCB para los tamaños y magnitudes de capacitancia considerados. . . . .   | 51 |
| 4.15. | Circuito equivalente de una PDN con el capacitor de desacoplo $C_{1\mu F}^M$ . . . . .  | 51 |
| 4.16. | Simulación en ADS que predice el impacto de la degradación eléctrica de un MLCC conectado a una PDN. . . . .  | 52 |

# Capítulo 1

## Introducción

Con el desarrollo tecnológico, la tendencia hacia la miniaturización de los dispositivos electrónicos ha permitido el desarrollo de circuitos integrados más compactos. Esto ha incrementado la demanda de capacitores cerámicos multicapa (MLCCs, por sus siglas en inglés), que ofrecen un alto rendimiento en un tamaño reducido. Aunque los procesos de fabricación de estos componentes se han perfeccionado para minimizar impurezas y defectos en su estructura, el ancho de banda en el que son útiles está limitado por sus efectos parásitos, los dominantes, pueden ser representados mediante una resistencia e inductancia en serie.

Es importante tener en cuenta que, para maximizar la relación capacitancia/volumen de los MLCCs, se utilizan materiales de alta permitividad dieléctrica en su fabricación. Sin embargo, esta característica también los hace propensos a fracturarse cuando se sueldan en tarjetas de circuito impreso (PCBs, por sus siglas en inglés). Como se explicará en este trabajo, dicho problema es notorio en los MLCCs de Clase II, que pueden sufrir daños significativos e incluso críticos debido a la deformación de la PCB. Cuando esto ocurre, se forman grietas que atraviesan su cuerpo cerámico y fragmentan sus electrodos internos, lo que impacta directamente en sus características eléctricas. De hecho, algunos equipos de investigación han realizado estudios en esta dirección, pero centrándose únicamente en la variación de capacitancia que presentan los MLCCs sometidos a tensión mecánica [21]-[25]. En algunos de estos trabajos, se emplean máquinas de tensión de 3 puntos para flexionar al dispositivo mientras se mide la capacitancia con un multímetro o un medidor LCR. No obstante, hasta donde se sabe, no existen informes en la literatura abierta sobre el impacto de las fracturas en los elementos parásitos de los MLCCs. Esta omisión se debe a la necesidad de realizar mediciones eléctricas a altas frecuencias, desde cientos de megahertz hasta gigahertz, para determinar dichos elementos, lo que resulta desafiante cuando el dispositivo está sometido a estímulos mecánicos.

En la literatura, se han reportado estudios donde se obtiene la respuesta eléctrica de MLCCs mediante la medición de sus parámetros  $S$  con un analizador de redes vectorial (VNA, por sus siglas en inglés). Sin embargo, realizar estas mediciones al mismo tiempo que se aplican estímulos mecánicos, presenta desafíos que son ampliamente discutidos en este trabajo. Uno de los principales retos es desarrollar una estructura de prueba que mantenga una respuesta eléctrica consistente durante la flexión del dispositivo, al mismo tiempo que se reduce la incertidumbre en el proceso de caracterización. Para abordar este reto, en este trabajo se analizan los requerimientos mecánicos y eléctricos

que debe cumplir esta estructura. Además, se realizan simulaciones electromagnéticas y de circuito equivalente para evaluar distintos diseños. A partir de estos análisis, se selecciona el prototipo más adecuado, que se usará para medir la respuesta eléctrica de MLCCs de varios tamaños y capacitancias bajo tensión mecánica. Finalmente, se presentan los resultados experimentales obtenidos con la estructura de pruebas propuesta y se discuten sus implicaciones en el funcionamiento de los MLCCs.

## 1.1. Condensadores discretos en la electrónica de alta velocidad

Los MLCCs son ampliamente utilizados en la industria electrónica debido a su alta capacitancia por volumen, tamaño compacto, bajo costo y características eléctricas. Estos capacitores son esenciales en diversas aplicaciones, incluyendo el sector automotriz, aeroespacial, sistemas de comunicaciones de alta velocidad y equipo de cómputo. El papel que desempeñan en estas áreas se divide en dos categorías principales, la compensación de efectos inductivos en redes de distribución de potencia (PDNs, por sus siglas en inglés) en las que se requiere estabilidad en el voltaje, y el desacoplamiento de circuitos [1].

Para entender su aplicación en las PDNs, es importante mencionar que este es un sistema de interconexiones que lleva energía desde los módulos reguladores de voltaje (VRM, por sus siglas en inglés) hasta los componentes de un circuito [2]. A este respecto, la demanda de corriente de estos componentes no es constante en el tiempo, por ejemplo, debido a la conmutación de transistores. Esto provoca fluctuaciones en la corriente, que a su vez generan caídas de voltaje en el PDN debido a las inductancias parásitas de sus conexiones. El ruido eléctrico resultante puede causar errores en la transmisión y recepción de datos, afectar la integridad de las señales y degradar el rendimiento de los circuitos integrados (ICs, por sus siglas en inglés). Por lo tanto, para compensar los efectos de la inductancia y reducir las fluctuaciones de voltaje, se conectan capacitores de desacoplo como reserva local de carga y fuente rápida de corriente para los circuitos en funcionamiento [3].

La Figura 1.1 muestra el circuito equivalente de una PDN con un capacitor de desacoplo conectado en paralelo. Este capacitor evita que el ruido eléctrico de corriente alterna (CA) de la fuente de alimentación deteriore el rendimiento del circuito.

Otra aplicación popular de los MLCCs consiste en el acoplamiento capacitivo de señales de CA entre diferentes etapas de un circuito. En estos casos, los MLCCs bloquean la

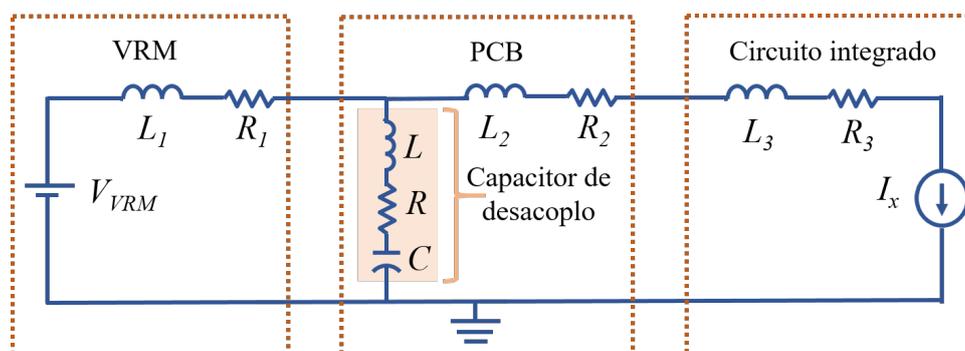


Figura 1.1: Circuito equivalente de una PDN con un capacitor de desacoplo.

componente de corriente continua (CC) para asegurar que sólo la señal de CA pase de una etapa a otra [4]. Este bloqueo es necesario debido a las diferencias en los niveles de polarización que pueden existir en los circuitos conectados, por ejemplo, cuando son fabricados por diferentes compañías. En estos casos, los MLCCs se conocen como capacitores de bloqueo de CC y evitan desplazamientos de voltaje no deseados que podrían afectar el funcionamiento de los circuitos, como se ilustra en la Figura 1.2. Estos capacitores se utilizan comúnmente en el acoplamiento de etapas de amplificación, en la transmisión de señales entre un transmisor y un receptor, y en la conexión de los buses de comunicación de alta velocidad entre diferentes dispositivos finales, entre otros [5].

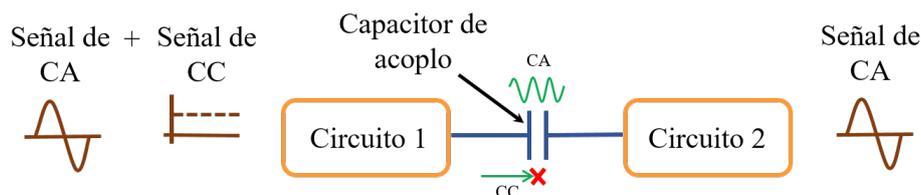


Figura 1.2: Esquema que ilustra la conexión de un MLCC para bloquear la señal de CC entre dos etapas de un circuito.

## 1.2. Estructura de los MLCCs

Como se ilustra en la Figura 1.3a, los MLCCs están formados por capas de material dieléctrico intercaladas con placas de material conductor. Estas últimas son conocidas como electrodos internos y están conectadas a las terminales ubicadas en los extremos del MLCC. Estas terminales son generalmente de cobre (Cu) y están recubiertas por capas de níquel (Ni) y estaño (Sn) para facilitar su soldadura a una PCB [6]. Los electrodos internos están dispuestos de forma alternada, es decir, cada uno está conectado a una terminal diferente. Esta estructura asegura que cada capa dieléctrica se encuentre entre dos electrodos con polaridades opuestas, formando múltiples capacitores en paralelo dentro del mismo dispositivo. Lo anterior incrementa la capacitancia total, la cual se puede calcular con la ecuación (1.1), donde  $\epsilon_0$  es la constante dieléctrica del vacío,  $k$  es la permitividad relativa del material dieléctrico,  $A$  es el área efectiva en el cual los electrodos internos se superponen,  $n$  es el número de capas y  $h$  es el espesor del dieléctrico.

$$C = \frac{\epsilon_0 k A n}{h} \quad (1.1)$$

Además, en la Figura 1.3b se indican la longitud ( $l$ ) y el ancho ( $w$ ) del encapsulado del capacitor. Estas dimensiones son utilizadas por la Alianza de Industrias Electrónicas (EIA, por sus siglas en inglés) para identificar a los MLCCs mediante un código numérico [7]. Este código consta de cuatro dígitos, donde los dos primeros indican el largo y los dos últimos el ancho, ambos en centésimas de pulgada (in). Por ejemplo, el código 0805 se refiere a un encapsulado con 0.08 in de largo y 0.05 in de ancho. Además, este estándar clasifica a los MLCCs en dos categorías según la variación de su capacitancia con la temperatura. A este respecto, los MLCCs de Clase I están fabricados con materiales dieléctricos con una alta estabilidad térmica, como el dióxido de titanio (TiO<sub>2</sub>) y el titanato de calcio (CaTiO<sub>3</sub>). En los MLCCs de Clase I, la variación de capacitancia es mínima

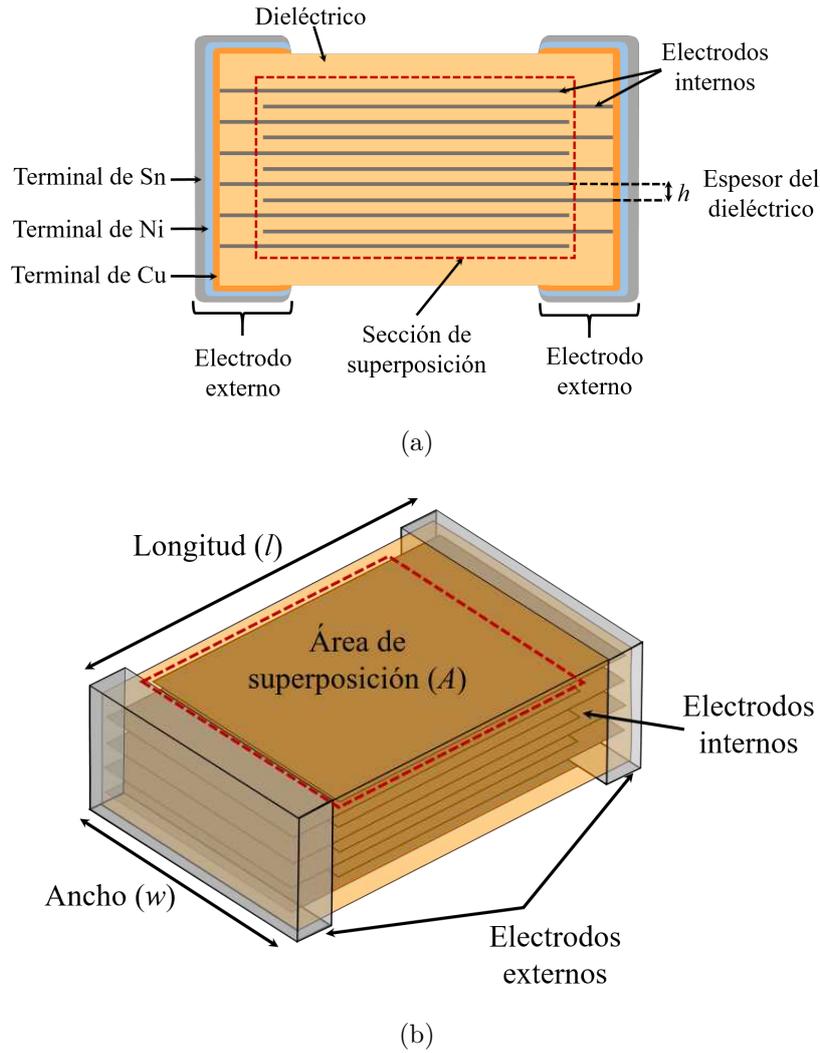


Figura 1.3: Estructura interna de un MLCC: (a) sección transversal, (b) vista isométrica.

en su rango de temperatura de operación. Por otra parte, los dieléctricos utilizados en la Clase II, como X7R, Z5U y Y5V, contienen un alto porcentaje de titanato de bario ( $\text{BaTiO}_3$ ), que varía entre 80 % y el 90 % [6]. La permitividad relativa de estos materiales se encuentra en el rango comprendido entre 4000 y 18000, lo que permite una mayor densidad de capacitancia por volumen en comparación con los MLCCs de Clase I. Sin embargo, presentan una mayor variación con la temperatura y el voltaje de polarización.

### 1.2.1. Modelo eléctrico

Las propiedades eléctricas de los MLCCs se pueden modelar mediante circuitos equivalentes. Estos describen el comportamiento de un componente bajo condiciones particulares de operación, como la frecuencia, la temperatura, entre otros. En el caso de los MLCCs, dichos circuitos incluyen la representación de sus efectos parásitos, es decir, los efectos no deseados introducidos por sus características físicas como el tamaño y la geometría. La Figura 1.4 ilustra dos de estos modelos; el primero de ellos está compuesto por la inductancia equivalente en serie  $L_{ESL}$ , la resistencia  $R_s$  y  $R_p$ , además de la capacitancia intrínseca  $C$  [8].

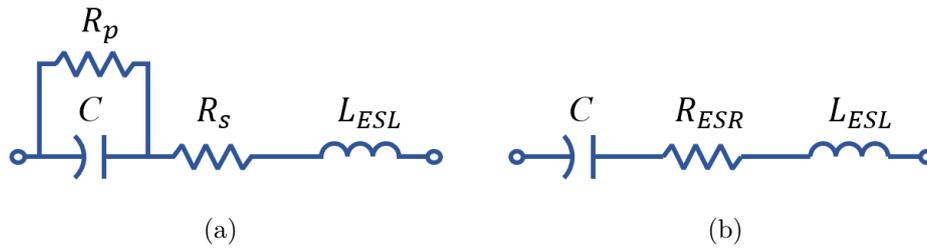


Figura 1.4: Modelos de circuito equivalente: (a) modelo estándar, (b) modelo simplificado.

El componente  $L_{ESL}$  está asociado al efecto inductivo de las terminales y los electrodos del MLCC. Por su parte, la resistencia  $R_p$  representa las pérdidas originadas por la corriente de fuga en el material dieléctrico [9]. Lo anterior ocurre porque el dieléctrico no es un aislante perfecto, sino que tiene una conductividad eléctrica muy baja que permite el flujo de una pequeña corriente cuando el MLCC exhibe un voltaje entre sus terminales. La resistencia  $R_p$  generalmente presenta valores elevados, en el rango de megaohmios ( $M\Omega$ ) a gigaohmios ( $G\Omega$ ). Además, en el circuito de la Figura 1.4a, se observa la resistencia en serie  $R_s$ , la cual representa las pérdidas asociadas a los electrodos y a las terminales del MLCC que generan disipación de energía en forma de calor. Los fenómenos representados por ambas resistencias se pueden unificar en una resistencia equivalente  $R_{ESR}$ , lo que ayuda a simplificar el modelo de la Figura 1.4a. A este respecto, la Figura 1.4b ilustra el modelo simplificado, la cual está formado por el inductor  $L_{ESL}$  y la resistencia  $R_{ESR}$  conectados en serie con la capacitancia  $C$ .

Los efectos parásitos descritos anteriormente son predominantes cuando el capacitor opera a altas frecuencias. Para ilustrar estos fenómenos, la Figura 1.5 muestra la curva de impedancia de un capacitor de  $1 \mu\text{F}$ .

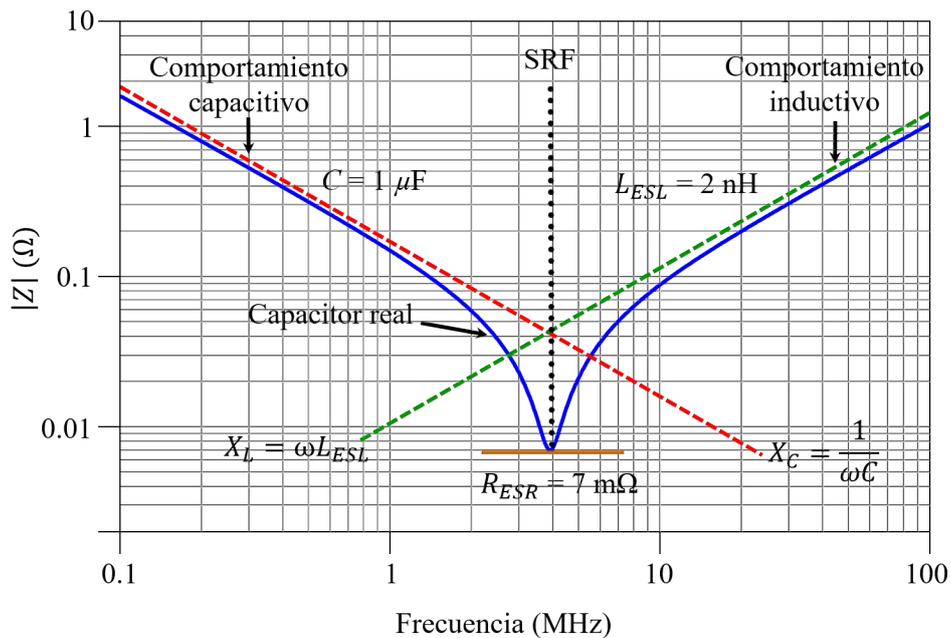


Figura 1.5: Gráfica de la magnitud de la impedancia de un MLCC de  $1 \mu\text{F}$ , resaltando sus efectos parásitos a altas frecuencias.

En esta gráfica, la línea roja representa el comportamiento esperado en un dispositivo ideal, cuya reactancia capacitiva  $X_C$  disminuye a medida que aumenta la frecuencia, siguiendo la relación  $X_C = \frac{1}{\omega C}$ , donde  $\omega = 2\pi f$  es la frecuencia angular. Sin embargo, en un capacitor real, la inductancia  $L_{ESL}$  se vuelve dominante a altas frecuencias. Cuando esto sucede, la impedancia sigue el comportamiento de la línea verde, que corresponde a la reactancia inductiva  $X_L$ , expresada como  $X_L = \omega L_{ESL}$ . La frecuencia en la que ambas reactancias se cancelan se denomina frecuencia de auto resonancia (SRF, por sus siglas en inglés), la cual se puede calcular con la siguiente ecuación:

$$SRF = \frac{1}{\omega\sqrt{LC}} \quad (1.2)$$

En la frecuencia de auto resonancia, la impedancia se reduce a la resistencia  $R_{ESR}$ . A partir de este punto, el comportamiento del MLCC se vuelve inductivo. En la práctica, estos efectos parásitos deben considerarse al seleccionar los MLCCs, especialmente en aplicaciones de alta frecuencia, donde su influencia es predominante [10].

### 1.2.2. Tensión mecánica en circuitos impresos

Para contextualizar este trabajo de investigación, se explicará la importancia de analizar la respuesta eléctrica de los MLCCs cuando se someten a tensión mecánica. A este respecto, hay que considerar que las tarjetas de circuito impreso son estructuras compuestas por capas de material dieléctrico y capas conductoras de cobre que se utilizan para interconectar los componentes de un circuito. Estas tarjetas pueden sufrir daños estructurales durante el proceso de fabricación, ensamblaje final y en su entorno de operación debido a las tensiones mecánicas que experimentan en dichos procesos [11], [12].

Para comprender la magnitud de estos daños, es importante definir el esfuerzo mecánico. Este valor es una medida de la fuerza interna que se genera en una estructura cuando está sometida a una carga externa [13]. En términos simples, el esfuerzo mecánico se calcula dividiendo la fuerza aplicada ( $F$ ) entre el área ( $A$ ) sobre la que actúa, y se expresa con la siguiente ecuación:

$$\sigma = \frac{F}{A} \quad (1.3)$$

El esfuerzo mecánico se mide en pascales (Pa) y se clasifica en diferentes tipos según la dirección de las fuerzas aplicadas. Estas fuerzas pueden modificar las dimensiones de una estructura, como muestra la Figura 1.6, donde la longitud original ( $L$ ) de la viga cambia a una nueva longitud ( $L_0$ ) bajo la acción de las fuerzas  $F_1$  y  $F_2$ . En estos casos, las fuerzas son de sentido opuesto y actúan perpendicularmente al área transversal de la viga, elongando o acortando su longitud. Si  $\Delta L$  es positivo, las fuerzas tienden a estirla, generando un esfuerzo de tracción. Si  $\Delta L$  es negativo, las fuerzas la acortan, lo que se conoce como esfuerzo de compresión. Además, se presenta un esfuerzo de corte cuando las fuerzas actúan en planos diferentes, provocando un desplazamiento o deslizamiento entre las capas del material. Asimismo, Figura 1.6d ilustra el esfuerzo de flexión, que se presenta cuando la viga se dobla debido a la aplicación de una fuerza perpendicular a su longitud [13]. En este caso, la viga experimenta fuerzas de tracción y compresión

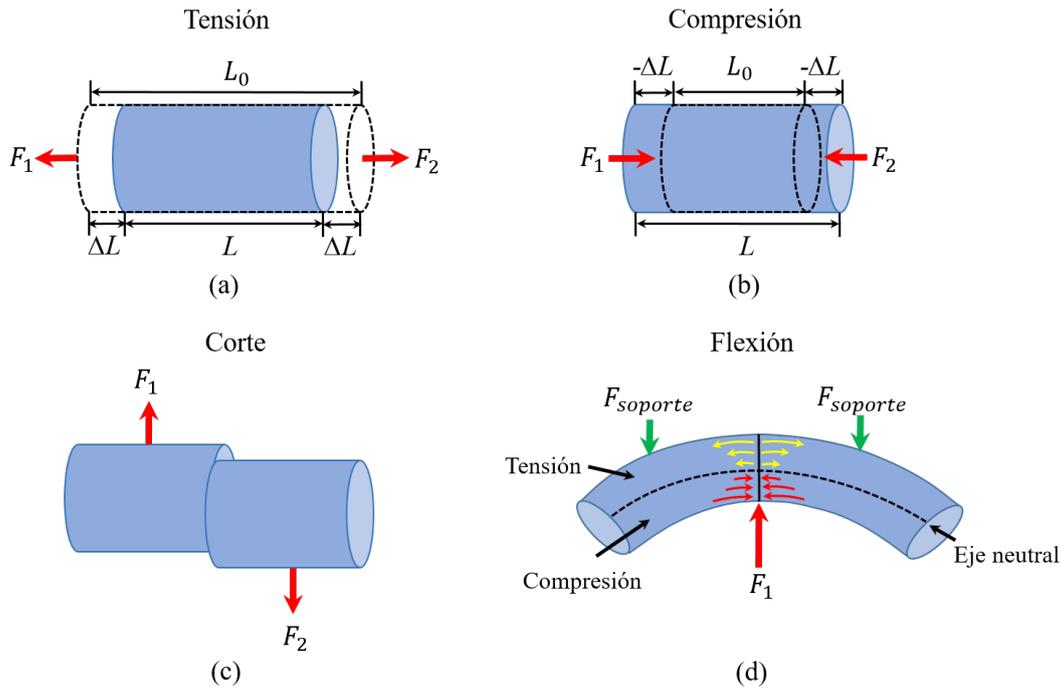


Figura 1.6: Tipos de esfuerzos mecánicos: (a) tensión, (b) compresión, (c) corte, (d) flexión.

distribuidas a ambos lados del eje neutral. Este último es un plano imaginario ubicado en el centro de la sección transversal de la viga, donde el esfuerzo es cero [13].

Las tensiones mecánicas descritas anteriormente son comunes en la fabricación de las PCBs, especialmente en el proceso de depanelización [14]. Este procedimiento, realizado después del ensamblaje de los componentes electrónicos, consiste en separar las PCBs individuales del lote de fabricación. Durante este proceso, las PCBs experimentan esfuerzos de flexión que pueden dañar los componentes soldados a ella y provocar fracturas en las uniones de soldadura [15]. Además, tensiones similares pueden surgir durante la perforación para crear vías y durante el ensamblaje final de la PCB en un dispositivo [11].

Adicionalmente, los ciclos térmicos a los que se someten las PCBs en las etapas de soldadura, pueden inducir tensiones [16], [17]. Esto ocurre debido a las diferencias en los coeficientes de expansión térmica (CTE, por sus siglas en inglés) entre los materiales de la PCB y sus componentes. El CTE es una propiedad de los materiales que describe cómo cambian sus dimensiones en respuesta a un cambio de temperatura [18]. Cuando un material se calienta, tiende a expandirse, y cuando se enfría, tiende a contraerse. Lo anterior puede generar tensiones cuando varios materiales están unidos entre sí, como sucede en las PCBs. Por ejemplo, cuando un material se expande más que otro al calentarse, el material con menor CTE se verá sometido a tracción, mientras que el material con mayor expansión experimentará compresión. Estas tensiones pueden separar las capas de las PCBs e inducir fracturas en sus componentes [19].

Las PCB también pueden experimentar tensiones debido a sus condiciones de operación, principalmente en aplicaciones donde experimentan vibraciones o golpes, como el sector aeroespacial y el automotriz. Un golpe directo sobre la superficie de la PCB puede inducir compresión en las capas de la tarjeta cuando se aplica de forma perpendicular a su super-

ficie. Durante las vibraciones, diferentes partes de la PCB pueden moverse en direcciones opuestas, lo que puede estirar ciertas regiones y generar tensiones de tracción [20].

### 1.2.3. Degradación de los MLCCs sometidos a tensión mecánica

Los capacitores MLCCs están fabricados de materiales cerámicos ferroeléctricos con una alta permitividad dieléctrica, lo que les permite ofrecer valores elevados de capacitancia en un volumen reducido [19]. Sin embargo, estos materiales son frágiles y propensos a fracturas. Esto ocurre porque los átomos de los materiales cerámicos están unidos principalmente por enlaces iónicos y covalentes, lo que les otorga alta rigidez pero poca capacidad de deformación. Debido a esto, cuando los MLCCs experimentan esfuerzos de tensión, tienen a romperse o agrietarse.

Como se explicó en la sección anterior, las PCBs experimentan tensiones mecánicas que pueden transmitirse a los componentes a través de la soldadura. En el caso de los MLCCs, estos esfuerzos internos pueden formar fracturas en el material dieléctrico, comenzando en los puntos de mayor concentración de tensión. Las zonas más críticas suelen ser las esquinas de los MLCCs, las interfaces entre el dieléctrico y los electrodos, y los puntos de soldadura que los unen con la PCB [21]. La forma y el lugar donde comienzan estas grietas dependen de varios factores, como la dirección de la fuerza aplicada y las características de la soldadura [22]. Por lo general, las fracturas tienen una forma diagonal, aunque en algunos casos pueden adoptar una forma de "K" [23], como muestra la Figura 1.7. A este respecto, varios estudios han demostrado que los MLCCs de Clase II son más susceptibles a fracturarse que los pertenecientes a la Clase I [24]. Esto se debe principalmente al contenido de titanato de bario en los dieléctricos. En los materiales X7R, este compuesto representa entre el 90 % y el 98 %, mientras que en los dieléctricos C0G, su contenido varía del 10 % al 50 % [6].

Las fracturas de estos dispositivos pueden iniciar como microfisuras imperceptibles, pero con el tiempo pueden crecer hasta provocar cambios en sus propiedades eléctricas, como la reducción de capacitancia [25]. De hecho, es importante mencionar que esta variación sólo es evidente mientras se flexionan los MLCCs, ya que la capacitancia regresa a su valor original cuando se deja de aplicar el estímulo. Debido a esto, los MLCCs fracturados pueden ser difíciles de detectar hasta que su deterioro empieza a afectar el funcionamiento de los circuitos. Este problema pone en riesgo la confiabilidad de los dispositivos electrónicos como teléfonos móviles, computadoras y equipos de comunicación, afectando su rendimiento y durabilidad.

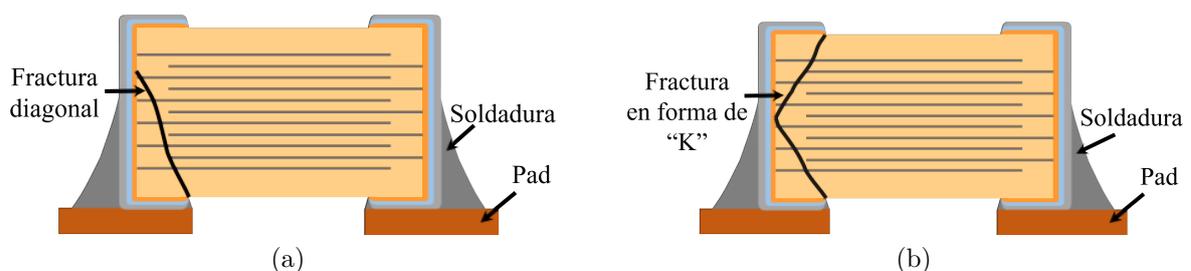


Figura 1.7: Dibujo ilustrativo de MLCCs después de sufrir tensión mecánica: (a) fractura diagonal, (b) fractura en forma de "K".

#### 1.2.4. Objetivo de esta tesis

Este trabajo tiene como objetivo desarrollar una metodología experimental para la caracterización eléctrica de MLCCs sometidos a tensión mecánica. Para ello, se diseñará y se fabricará una estructura de prueba de dos puertos basada en líneas de microcinta con conectores coaxiales. Asimismo, se propondrá un arreglo experimental que permita flexionar esta estructura mientras se miden sus parámetros S con el VNA. A este respecto, se implementará una interfaz mecánica-eléctrica para medir la tensión mecánica y así inducir la formación progresiva de fracturas en los MLCCs. A partir de esta metodología se determinará la capacitancia, la inductancia y la resistencia en serie de los MLCCs bajo estímulos mecánicos, y se propondrá un procedimiento adicional para validar la fiabilidad de los resultados obtenidos. Adicionalmente, se examinará la degradación estructural de los dispositivos mediante la obtención de su sección transversal. Aplicando esta propuesta, se caracterizarán MLCCs con capacitancias nominales de  $0.1 \mu\text{F}$  y  $1 \mu\text{F}$  en tres tamaños estándar (0805, 1206 y 1812) en un rango de 40 kHz a 6 GHz.

# Capítulo 2

## Metodologías de caracterización eléctrica de condensadores

En la literatura pueden encontrarse múltiples trabajos sobre la caracterización experimental de MLCCs. Algunos de estos estudios proponen métodos basados en el uso de medidores de impedancia (LCR) con interfaces robustas que permiten analizar el cambio en la respuesta eléctrica del dispositivo bajo la aplicación de estímulos mecánicos. Desafortunadamente, estos equipos sólo son efectivos hasta algunos megahertz, lo que limita considerablemente la caracterización de los dispositivos en rangos de operación más amplios. Alternativamente, un VNA permite obtener la respuesta en el rango de las microondas, pero las interfaces disponibles actualmente son inestables cuando los dispositivos se someten a tensión mecánica o son muy grandes, lo que introduce efectos parásitos que incrementan la incertidumbre de la medición. En este capítulo se describen los aspectos generales de estos instrumentos, las técnicas de caracterización eléctrica de MLCCs y las interfaces de medición usadas en un VNA. Esto permite contextualizar el proyecto y destacar su relevancia al presentar una metodología confiable para caracterizar MLCCs en el rango de las microondas, incluso cuando experimentan fuerzas de tensión mecánica.

### 2.1. Medidor de impedancia LCR

Los LCRs determinan la impedancia de un dispositivo bajo prueba (DUT, por sus siglas en inglés) a partir de la medición de voltaje y corriente de CA. En la mayoría de los casos, estos instrumentos utilizan el método del puente de balance automático para realizar mediciones a bajas frecuencias, típicamente por debajo de 100 kHz [26]. Para comprender su funcionamiento, es importante recordar que la forma más simple de medir la impedancia es aplicar una señal de prueba de CA en las terminales del DUT y medir el voltaje y la corriente resultantes. Este proceso puede llevarse a cabo con un circuito que incluya un generador de CA, un voltímetro y un amperímetro, como muestra la Figura 2.1a.

En un medidor LCR, el amperímetro se sustituye por un circuito convertidor I-V simple, que consiste en un amplificador operacional con un lazo de retroalimentación negativa. Este circuito se ilustra en la Figura 2.1b, donde  $I_x$  es la corriente de la señal de prueba,  $I_r$  es la corriente de retroalimentación, y  $R_r$  es la resistencia de retroalimentación. El amplificador operacional permite que la corriente  $I_x$  fluya a través de  $R_r$  en el lazo de retroalimentación negativa. Como resultado,  $I_x$  se iguala a  $I_r$ , y el potencial en el punto

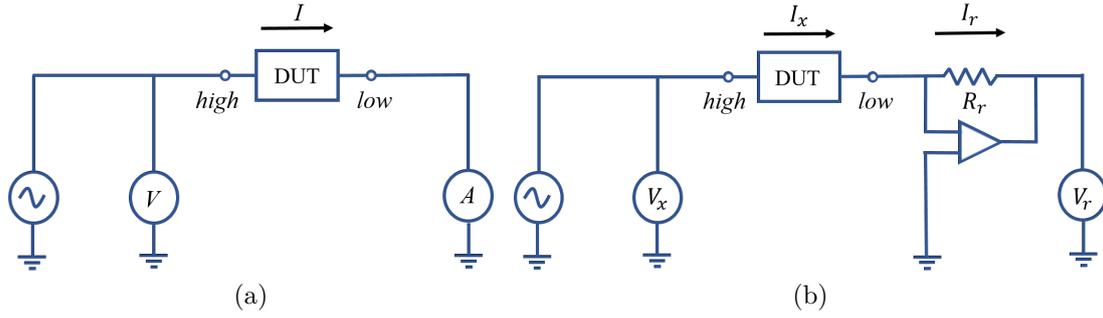


Figura 2.1: Circuito de medición de un LCR: (a) modelo simple, (b) puente de balance automático [26].

*low* se mantiene en cero. A este respecto, la función principal del puente de balance automático es equilibrar la corriente  $I_r$  con la corriente del DUT para mantener este potencial. De esta forma, la impedancia se puede calcular con la expresión 2.1, donde  $V_r$  es el voltaje de salida del convertidor y  $V_x$  es el voltaje en el DUT.

$$Z_x = R_r \frac{V_x}{V_r} \quad (2.1)$$

Los LCRs generalmente están equipados con cuatro conectores BNC, designados como  $H_c$ ,  $H_p$ ,  $L_p$  y  $L_c$ , cada uno con una función particular en la medición de impedancia. A través del conector  $H_c$  (del inglés high current), se aplica una señal de corriente alterna a una frecuencia determinada. Esta señal puede variar en amplitud y frecuencia dependiendo de las características del componente a medir y de la configuración del medidor. Mientras tanto, la terminal  $H_p$  (del inglés high potential) se conecta a la terminal de mayor potencial del DUT y  $L_p$  (del inglés low potential) a la de menor potencial. Finalmente, la terminal  $L_c$  (del inglés low current) detecta la corriente que fluye hacia el DUT. En la práctica, existen diferentes configuraciones para conectar un medidor LCR con un dispositivo, siendo las más comunes las de dos, tres y cuatro terminales. La elección de la configuración depende principalmente de la impedancia del DUT y de la exactitud requerida en las mediciones [26].

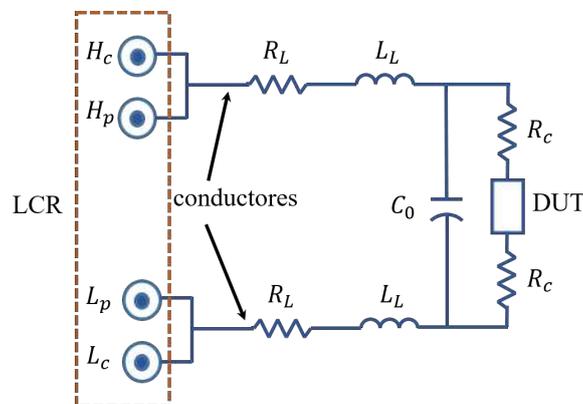


Figura 2.2: Esquema de un medidor LCR con una configuración de dos terminales y los efectos parásitos asociados.

A este respecto, la Figura 2.2 ilustra la configuración de dos terminales, la cual introduce elementos parásitos a las mediciones debido a la resistencia  $R_L$  y la inductancia  $L_L$  de los cables, además de las resistencias de contacto entre los electrodos del dispositivo. Estos efectos limitan tanto la precisión de las mediciones como el rango de impedancia medible, el cual se limita de  $100 \Omega$  a  $10 \text{ k}\Omega$  sin compensación.

## 2.2. Analizador de redes vectorial

Un analizador de redes vectorial mide la respuesta de un dispositivo en términos de la magnitud y la fase de sus parámetros de dispersión (parámetros S), los cuales relacionan las ondas electromagnéticas que se transmiten y se reflejan en los puertos del dispositivo [27]. A partir de estos parámetros, es posible determinar la impedancia del DUT en un rango de frecuencias más amplio que el de un medidor LCR. Mientras que este medidor opera en un intervalo de frecuencias que va desde unos pocos hertz hasta varios megahertz, el VNA está diseñado para funcionar en un rango comprendido desde decenas de kilohertz hasta gigahertz.

Aunque los VNAs son uno de los sistemas de microondas más avanzados, con fuentes de banda ancha, receptores de alta velocidad y un amplio rango dinámico [27], es fundamental realizar una calibración adecuada para obtener resultados que representen adecuadamente al DUT. A este respecto, la calibración corrige los errores introducidos por los efectos parásitos de los conectores, desacoplamiento de los puertos y otras transiciones eléctricas. Esto se consigue con la medición de estándares con características eléctricas conocidas, lo que permite eliminar los errores sistemáticos en las mediciones de uno o más puertos. Por ejemplo, para mediciones de un puerto, es común utilizar una calibración corto-abierto-carga (SOL, por sus siglas en inglés), que requiere la medición de estándares de calibración terminados en corto circuito, circuito abierto y con una carga conocida. Estos estándares establecen el plano de referencia de las mediciones, es decir, la ubicación física a partir de la cual se medirán las características del DUT.

Para medir los parámetros S de un dispositivo, éste debe conectarse al VNA a través de una interfaz que permita la transmisión de ondas electromagnéticas con baja pérdida. Esto se puede lograr utilizando diferentes interfaces de medición, como conectores coaxiales y puntas de prueba, que se describen a continuación.

### 2.2.1. Interfaz coaxial

Los conectores coaxiales están constituidos por dos conductores concéntricos separados por un material dieléctrico. El conductor interno, denominado núcleo (*core*, en inglés), transporta las ondas electromagnéticas, mientras que el externo, conocido como blindaje (*shield*, en inglés), protege la señal de interferencias externas. En estas interfaces las ondas electromagnéticas se propagan en el modo transversal electromagnético (TEM), donde los campos eléctrico y magnético son perpendiculares a la dirección de propagación de la señal [28]. A este respecto, los conectores coaxiales están diseñados para operar en un rango específico de frecuencias. Por ejemplo, los conectores SMA operan hasta 25 GHz, los tipo N hasta 18 GHz, los K hasta 40 GHz y los V hasta 60 GHz [29].

En particular, los conectores SMA son ampliamente usados por su estabilidad mecánica y bajo costo. Estos conectores generalmente emplean cobre-berilio chapado en oro como

material conductor, teflón como material dieléctrico y un sistema de rosca como acoplamiento mecánico. Estas características favorecen su rigidez estructural pero también introducen elementos parásitos a los parámetros S medidos. Debido a esto, para obtener la respuesta eléctrica del DUT sin la influencia de estos efectos, las mediciones deben corregirse mediante un procedimiento de desincrustación (*de-embedding*, en inglés) [27].

## 2.2.2. Puntas de prueba

Las puntas de prueba se utilizan para probar dispositivos en oblea (*on-wafer*, en inglés), antes de que sean cortados y encapsulados. Esto facilita su caracterización eléctrica en etapas tempranas del proceso de fabricación, lo que ayuda a reducir los costos y el tiempo de desarrollo [30]. Para llevar a cabo esta caracterización, las puntas emplean un conector coaxial, un cable coaxial y múltiples agujas, como muestra la Figura 2.3. Su diseño está optimizado para hacer la transición desde el conector coaxial, con un diámetro de 1mm a 3 mm, hasta la punta, que tiene un ancho de  $100 \mu\text{m}$  a  $500 \mu\text{m}$ , manteniendo una impedancia de  $50 \Omega$  [31]. Las agujas tienen una separación fija, conocida como "paso" (*pitch*,

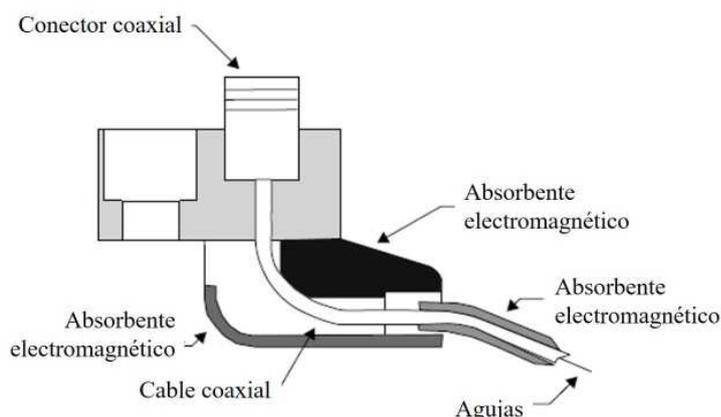


Figura 2.3: Sección transversal de la interfaz para mediciones con puntas de prueba [31].

en inglés), y presentan diferentes configuraciones, como se ilustra en la Figura 2.4. En la configuración tierra-síñal-tierra (GSG, por sus siglas en inglés), las puntas tienen tres agujas: una para la señal y dos para la tierra. Esta disposición ayuda a confinar el campo electromagnético de la señal y evitar la interferencia con otras trazas o puntas cercanas. Por otra parte, el arreglo tierra-síñal (GS, por sus siglas en inglés) se utiliza cuando solo hay un pad de tierra disponible en el circuito, generalmente en diseños donde el espacio es limitado.

A diferencia de las agujas simples, las puntas de prueba son un conjunto de agujas que hacen contacto con múltiples pads simultáneamente. Dado que estos pads pueden ser tan pequeños como  $50 \mu\text{m}^2$  [31], se utilizan micro-posicionadores con control en los ejes X, Y y Z para ajustar la posición de la punta y su alineación con los pads. Estos factores influyen de forma determinante en la fiabilidad de las mediciones, ya que el manejo inadecuado de esta interfaz puede resultar en errores de medición y en el daño de las puntas.

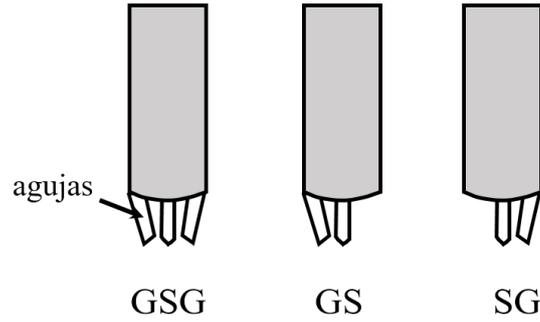


Figura 2.4: Interfaz para mediciones con puntas de prueba y las configuraciones GSG, GS y SG en las agujas de contacto.

### 2.3. Caracterización por reflexión y transmisión

La respuesta eléctrica de los MLCCs puede determinarse mediante la medición de sus parámetros S con el VNA [32]. Esta caracterización puede llevarse a cabo por reflexión y transmisión, como se detalla a continuación.

La caracterización por reflexión se realiza a partir de mediciones de un solo puerto para obtener el parámetro  $S_{11}$  [33]. Este valor, conocido como coeficiente de reflexión, representa el cociente de la onda electromagnética reflejada y la onda incidente en el puerto de medición. Para medir este parámetro, el DUT se conecta a uno de los puertos del VNA, lo que minimiza los errores introducidos por los cables y conectores al evitar los efectos parásitos del segundo puerto de medición.

Por otro lado, la caracterización por transmisión se basa en la medición de dos puertos [34]. En este escenario, el comportamiento eléctrico del MLCC se representa mediante los parámetros  $S_{11}$ ,  $S_{22}$ ,  $S_{21}$  y  $S_{12}$ . Los dos últimos parámetros son recíprocos entre sí y corresponden a la transmisión de una onda electromagnética en una red de dos puertos. En este tipo de caracterización, el DUT puede conectarse en paralelo o en serie, como muestra la Figura 2.5. En ambas configuraciones, el MLCC se conecta a una estructura de prueba con una línea de transmisión y pads de conexión.

En la configuración en serie de dos puertos (ver 2.5a), se crea una separación en el conductor, a la mitad de una línea de transmisión, y el MLCC se conecta para restaurar la continuidad interrumpida por esta brecha. Si la reactancia del capacitor es baja en comparación con la impedancia de la línea de transmisión, la onda incidente en el puerto 1 se transmitirá al puerto 2 sin experimentar reflexiones significativas [35]. Esto dificulta la caracterización de los MLCCs, cuya impedancia se encuentra en el rango de miliohms. Por lo tanto, para caracterizar impedancias pequeñas, la configuración en paralelo presenta ventajas.

En la configuración paralela de dos puertos (ver 2.5b), el MLCCs se conecta de la mitad de la línea de transmisión hacia tierra. En este caso, cuando la impedancia de DUT es pequeña, actúa como un camino de baja resistencia entre la línea de transmisión y la tierra. Esto provoca que la onda electromagnética incidente se desvíe hacia tierra a través del DUT, lo que aumenta la reflexión en el puerto 1 y disminuye la transmisión hacia el puerto 2. Debido a estas características, el proceso de caracterización de los MLCCs es más preciso con esta configuración en comparación con la conexión en serie [36].

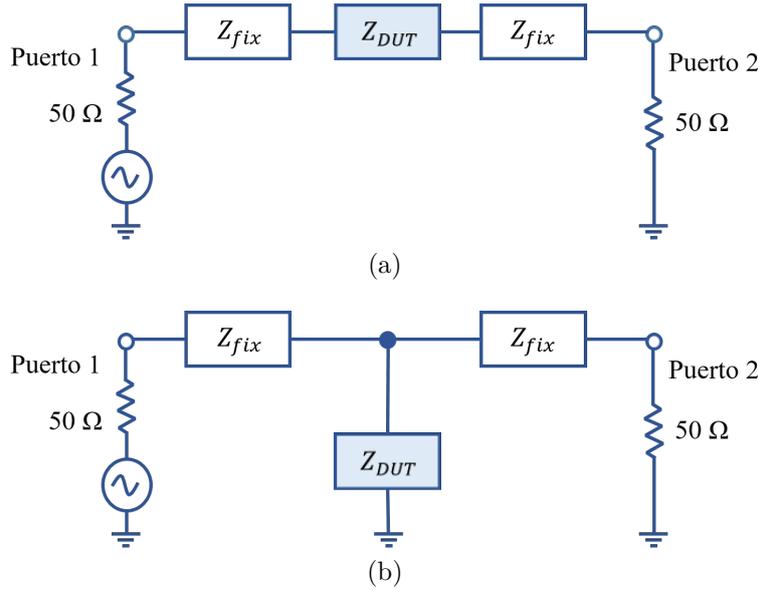


Figura 2.5: Circuitos equivalentes de mediciones de 2 puertos: (a) conexión en serie, (b) conexión en paralelo.

Si bien, las interfaces de medición y los métodos de caracterización presentados hasta el momento ofrecen ventajas y desventajas, la elección de la metodología más adecuada depende en gran medida de las condiciones experimentales y de la precisión requerida en las mediciones.

## 2.4. Caracterización de la degradación eléctrica de MLCCs ante estímulos mecánicos

Para tener una visión más completa del comportamiento de los MLCCs sometidos a fuerzas de flexión, en esta sección se presentan algunas de las técnicas desarrolladas para analizar su respuesta mecánica y eléctrica durante la aplicación de estos estímulos.

Como se explicó en el Capítulo I, los MLCCs experimentan tensiones mecánicas debido a su proceso de fabricación, ensamblaje y entorno de operación. Dado que estas tensiones degradan su funcionamiento y perjudican su confiabilidad, se han realizado diversas investigaciones para estudiar su comportamiento bajo estas condiciones. Para llevar a cabo estos análisis, los MLCCs se sueldan en una PCB y se colocan en una máquina de tensión de 3 o 4 puntos [37], [23], como muestra la Figura 2.6. Particularmente, en las pruebas de tensión de 3 puntos, la PCB se apoya en dos estructuras que actúan como soportes y se aplica una fuerza en su centro. En esta configuración, la tensión es máxima en el punto de aplicación de la fuerza y disminuye hacia los extremos. Por otro lado, en las pruebas de tensión de 4 puntos, la PCB se apoya en dos soportes y la fuerza se aplica en dos puntos intermedios. Esta disposición ayuda a distribuir la tensión en una mayor superficie de la muestra, evitando que se concentre en un solo punto [38]. Estos experimentos inducen la formación de grietas en los MLCCs, lo cual es fundamental para llevar a cabo su caracterización mecánica y eléctrica.

Además de las pruebas experimentales, se han propuesto análisis de elementos finitos para simular la distribución de la tensión mecánica en los MLCCs y en la PCB. En

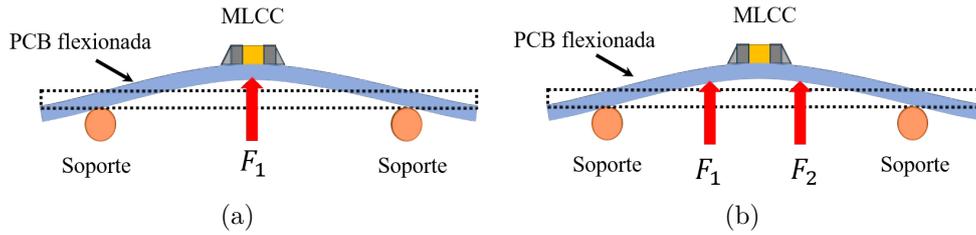


Figura 2.6: Esquema de la estructura básica de las pruebas de tensión mecánica: (a) prueba de 3 puntos, (b) prueba de 4 puntos.

estos trabajos se simula la flexión de los capacitores y se predice su comportamiento bajo diferentes parámetros de fabricación, por ejemplo, diferentes perfiles de soldadura, número de electrodos internos y diferentes tamaños de empaquetado [25], [39]. Estas simulaciones se validan mediante resultados experimentales y el microseccionamiento de los capacitores.

Por otra parte, algunos equipos de investigación han desarrollado métodos para identificar la aparición de fracturas en los MLCCs a partir de su respuesta acústica. En algunos estudios, se instalan sensores de emisión acústica en la PCB para detectar estas ondas. En otros experimentos, se colocan sensores de contacto puntual en una de las caras de los MLCCs para monitorear las emisiones acústicas inducidas por las propiedades piezoeléctricas de su dieléctrico [40], [41]. Estos análisis permiten identificar los MLCCs fracturados sin la necesidad de emplear métodos destructivos para comprobar su degradación física.

Con respecto al estudio de las características eléctricas de los MLCCs, los trabajos reportados en la literatura se han centrado en medir la variación de capacitancia [42], [22]. Para este propósito, se utilizan multímetros y medidores LCR en los arreglos experimentales. Por lo general, la medición de la capacitancia se usa para identificar la formación de grietas en los experimentos de tensión mecánica y para definir el nivel de degradación de los dispositivos. Hasta la fecha, no se han reportado artículos que profundicen en la caracterización eléctrica de estos dispositivos cuando son sometidos a tensión mecánica, y el comportamiento de su resistencia e inductancia en serie durante estos experimentos permanece sin explorar. Este vacío en la literatura ofrece una oportunidad para la realización de nuevas investigaciones en esta dirección.

### 2.4.1. Conclusiones del capítulo

Una vez analizadas y explicadas las dos principales metodologías para la caracterización experimental de MLCCs, se identifican las dificultades que presentan. En el siguiente capítulo, se presentará el diseño de la estructura de prueba, donde se toman en cuenta las limitaciones que ocurren al emplear un VNA en la medición de estos capacitores. Con ello, se propone una solución para la falta de robustez mecánica reduciendo lo más posible los efectos eléctricos parásitos. Los detalles correspondientes se presentan a continuación.

# Capítulo 3

## Diseño de interfaz de medición

En este capítulo, se describe el procedimiento de diseño de la interfaz propuesta para medir la respuesta eléctrica de MLCCs durante pruebas de tensión mecánica. La idea de la que se parte es utilizar líneas de microcinta en una PCB, ya que cambios simples en su patrón geométrico permiten implementar interfaces que se adapten al tamaño y posición de diferentes capacitores, y así medir su respuesta con un VNA. En el diseño se consideran requerimientos eléctricos y mecánicos, como el tipo de conectores a utilizar dentro del ancho de banda de interés y un tamaño de PCB adecuado para la aplicación de estímulos mecánicos. Como primer paso, se fabrica una tarjeta preliminar con microcintas rectas, considerando las propiedades dieléctricas y el espesor del sustrato de la PCB para establecer una impedancia de  $50 \Omega$ . Posteriormente, con la ayuda de simulaciones electromagnéticas y de circuito equivalente, se analiza la pertinencia de un trazado de líneas determinado. Una vez hecho esto, se procede a implementar un prototipo de la interfaz para pruebas eléctricas, modificándolo sistemáticamente hasta que se determine la pertinencia de la interfaz para caracterizar MLCCs. Los detalles específicos de este proceso se presentan a continuación.

### 3.1. MLCCs bajo análisis

La Figura 3.1 muestra MLCCs con empaquetado estándar que típicamente se utilizan con fines tanto comerciales como de investigación académica, ya que su tamaño, magnitud de capacitancia y efectos parásitos les permite cumplir con los requerimientos de aplicaciones actuales [43]. En esta figura, además, se indica el código EIA de cada capacitor, clasificándolos según el ancho de su encapsulado como pequeños (S) los del 0805, medianos (M) los del 1206 y grandes (L) los del 1812. Para facilitar su identificación en lo que resta de este documento, se usará un solo símbolo para un capacitor con un tamaño y magnitud de capacitancia específicos. A este respecto,  $C_{1\mu F}^L$  se refiere, por ejemplo, a un capacitor grande con capacitancia nominal de  $1 \mu\text{F}$ . Es importante destacar que todos los capacitores analizados pertenecen a la Clase II y están fabricados con el material dieléctrico de alta permitividad X7R.

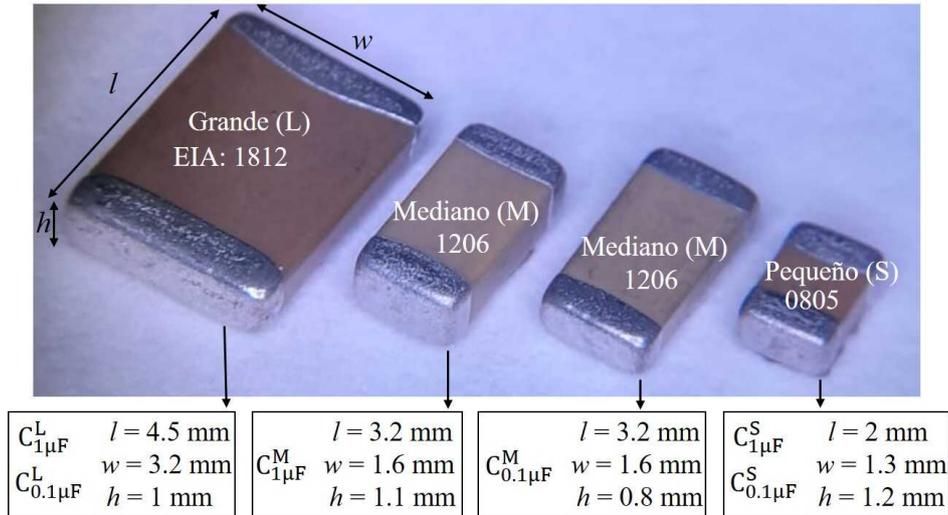


Figura 3.1: Fotografía que ilustra los tamaños de los MLCCs analizados. El superíndice en los nombres de los dispositivos indica el tamaño: grande (L), mediano (M) y pequeño (S), mientras que el subíndice indica la capacitancia nominal.

## 3.2. Requerimientos

Como se explicó en el Capítulo II, resulta conveniente llevar a cabo la caracterización eléctrica de MLCCs en el rango de las microondas obteniendo sus parámetros S mediante interfaces coaxiales o puntas de prueba. Estas interfaces han demostrado ser útiles cuando el capacitor se mide en una posición fija y libre de vibraciones. Sin embargo, cuando un MLCC está sujeto a estímulos mecánicos, surgen complicaciones que deben tomarse en cuenta. Por ejemplo, para realizar pruebas a MLCCs que permitan estudiar los cambios en su respuesta eléctrica al sufrir tensión mecánica en una PCB, los dispositivos se sueldan en una tarjeta de este tipo y se someten a diferentes grados de flexión. Durante estas pruebas, la curvatura de la PCB puede modificar el contacto de las puntas con los pads de medición o en el peor de los casos dañarlas. Por otro lado, los conectores coaxiales también pueden sufrir daños estructurales si están cerca de las zonas donde existe una deformación significativa de la tarjeta. Sin embargo, son mucho más robustos y pueden colocarse lejos del punto de aplicación del estímulo mecánico para que el efecto en sus características eléctricas sea despreciable.

Es necesario resaltar que ya existen arreglos experimentales que permiten medir la variación de capacitancia durante las pruebas de tensión en MLCCs [25], [42]. Sin embargo, estas configuraciones no cumplen con las condiciones necesarias para realizar mediciones en el rango de las microondas. A este respecto, el mayor desafío consiste en diseñar una estructura que permita aplicar estímulos mecánicos a los MLCCs sin degradar las interfaces para su caracterización eléctrica. Para lograr este objetivo, es necesario desarrollar una interfaz de medición con alta resistencia mecánica y ubicar sus terminaciones eléctricas lejos de la región central de la PCB, donde la tensión mecánica alcanza su punto más alto. De hecho, el capacitor debe soldarse en ese punto de máxima tensión y la PCB debe ser tan rígida como para formar grietas en el cuerpo del MLCC, sin superar sus límites elásticos. También es preferible que la tarjeta tenga una forma rectangular para facilitar su deflexión si el doblado se realiza longitudinalmente. Además, hay que considerar que para inducir la fractura gradual del capacitor, el largo de la PCB y del MLCC deben

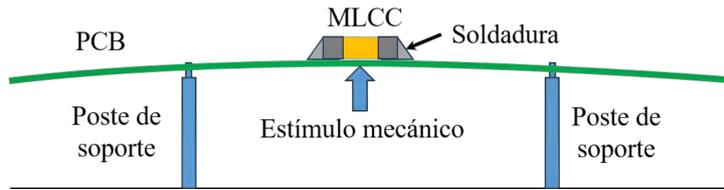


Figura 3.2: Ilustración conceptual de una prueba de tensión en MLCC.

estar alineados. Estos requerimientos se ejemplifican en la Figura 3.2, donde el estímulo mecánico se aplica debajo del capacitor y la tarjeta se sostiene por dos postes.

### 3.3. Diseño de la microcinta

#### 3.3.1. Diseño preliminar

Para cumplir con los requerimientos antes explicados, se propone el diseño de una microcinta con terminaciones coaxiales para obtener la respuesta eléctrica de MLCCs. Entre las razones que motivaron su elección como interfaz de medición, destacan su versatilidad para formar patrones geométricos y la libertad que brindan para seleccionar la ubicación de los puertos en el substrato. Estas características son relevantes para los objetivos de este trabajo, ya que la microcinta puede adoptar diferentes trayectorias que se ajusten a la posición del capacitor y de los conectores. Lo anterior involucra el análisis de cada configuración hasta identificar el diseño con menos pérdidas, tanto por inserción como por retorno. El primer paso de este proceso consiste en diseñar y medir una microcinta que sirva como base para trazar la ruta de la señal hacia el capacitor bajo prueba. Para simplificar la evaluación de la respuesta electromagnética correspondiente, esta microcinta es recta.

El ancho de la microcinta se calculó con la herramienta de síntesis LineCalc del software ADS de Keysight. En este cálculo, se estableció como objetivo una impedancia característica  $Z_c = 50 \Omega$ , considerando que la permitividad ( $\epsilon_r$ ) y el espesor ( $h$ ) del dieléctrico son conocidos. Respecto a esto último, tomando en cuenta que la caracterización de los MLCCs requiere mediciones hasta algunos gigahertz, se eligió trabajar con PCBs fabricadas con material retardante de flama tipo-4 (FR-4, por sus siglas en inglés), el cual es estándar, de bajo costo y con rendimiento aceptable hasta alrededor de 10 GHz.

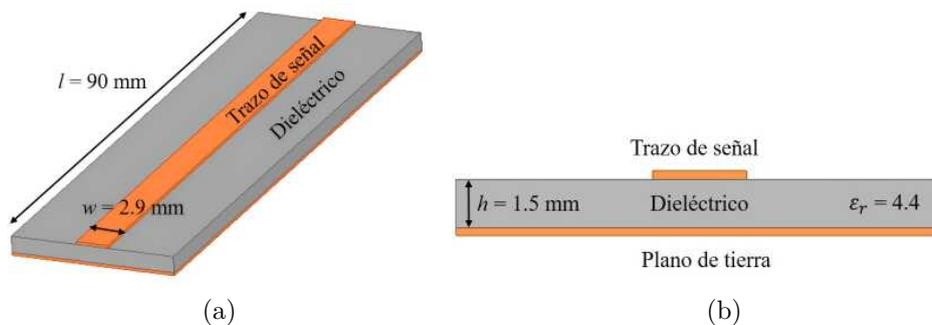


Figura 3.3: Estructura básica de líneas de microcinta: (a) vista en perspectiva y (b) sección transversal.

Específicamente, las microcintas base son de FR-4 con una altura nominal de 1.5 mm y láminas de cobre de  $35 \mu\text{m}$  de espesor. La Figura 3.3 ilustra la estructura básica de la microcinta y las dimensiones físicas obtenidas de la síntesis; esto último se ilustra en la parte superior de la Figura 3.4. Nótese que, de acuerdo con la especificación del fabricante, se ha considerado la permitividad dieléctrica  $\epsilon_r = 4.4$  y la tangente de pérdidas  $\tan\delta = 0.02$ .

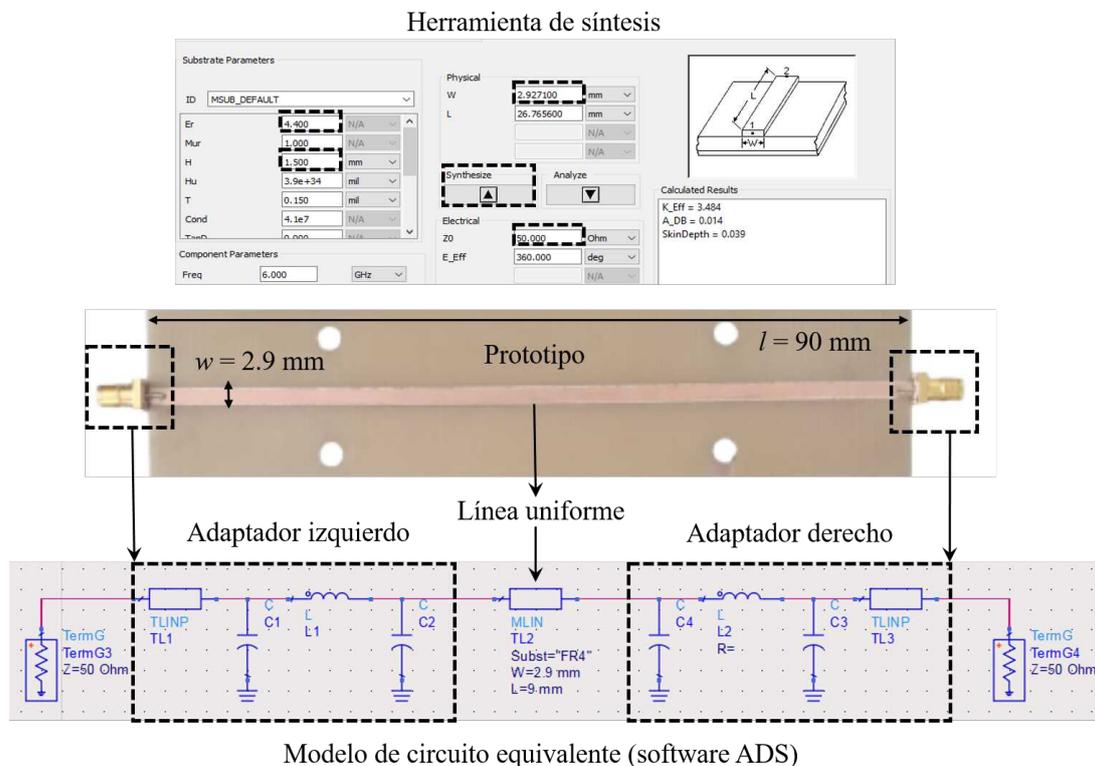


Figura 3.4: Proceso de diseño, fabricación y modelado de la microcinta.

Las microcintas se fabricaron con diferentes longitudes, desde 5 cm hasta 20 cm, en el Laboratorio de Pruebas y Caracterización de Circuitos Integrados del INAOE, utilizando una máquina de control numérico computarizado (CNC, por sus siglas en inglés). Después del grabado, se soldaron conectores coaxiales de borde en los extremos de las líneas. Dichos conectores son subminiatura tipo A (SMA, por sus siglas en inglés), que resultan adecuados para el rango de frecuencias de interés. Una de las estructuras terminadas se muestra en la parte central de la Figura 3.4. Es importante mencionar que, antes de iniciar el proceso de medición de estas líneas, el arreglo experimental del VNA se calibró utilizando la técnica corto-abierto-línea-a través (SOLT, por sus siglas en inglés) para un rango de frecuencias comprendido entre 40 kHz y 6 GHz.

Después de obtener los parámetros S de la microcinta, se construyó un modelo de circuito equivalente para realizar simulaciones en el dominio de la frecuencia con el software ADS. Como se observa en el diagrama de la parte inferior de la Figura 3.4, las transiciones debidas a los conectores coaxiales se modelaron mediante una representación compuesta por líneas de transmisión, capacitores e inductores [44], que se incluyen a ambos lados del modelo de la microcinta. A este respecto, la respuesta de la sección de la línea donde ocurre un modo de propagación uniforme, se obtuvo mediante el modelo compacto MLIN.

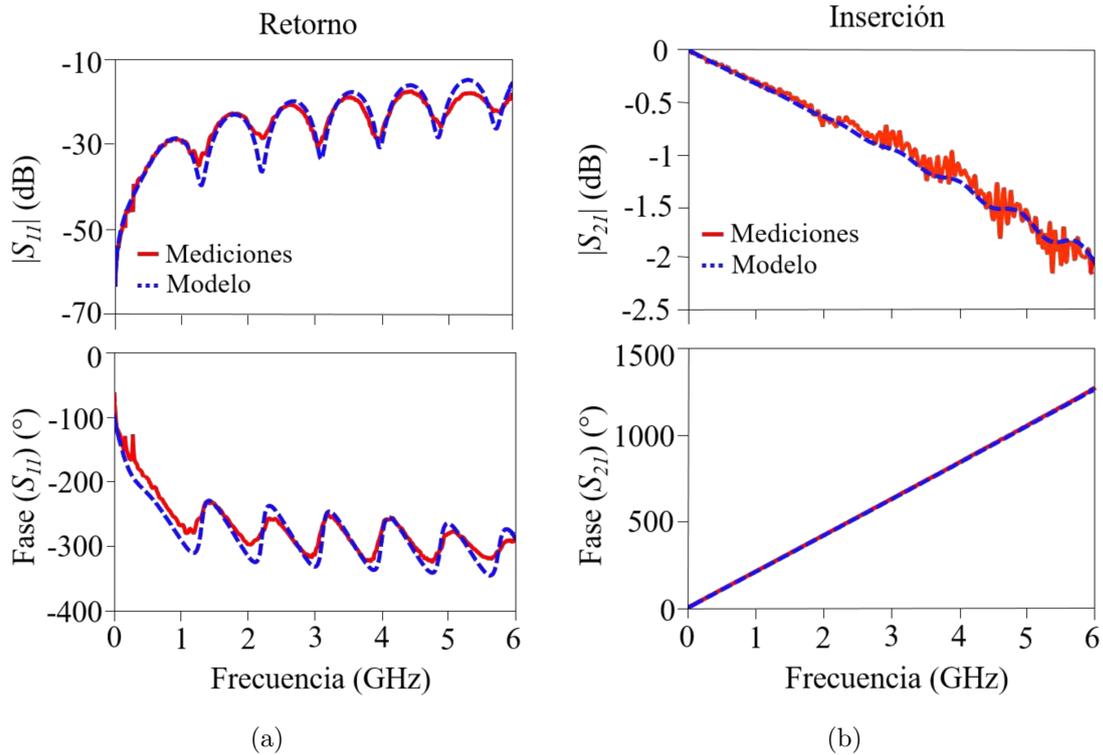


Figura 3.5: Magnitud y fase de los parámetros S de la microcinta de 90 mm: (a) parámetro  $S_{11}$  (b) parámetro  $S_{21}$ .

Este modelo considera las dimensiones de la estructura y las propiedades de sus materiales constituyentes, incluyendo pérdidas asociadas con el dieléctrico y con la rugosidad de las capas de cobre [45].

Finalmente, la Figura 3.5 muestra la correlación entre los parámetros S simulados en ADS y los obtenidos experimentalmente. En este contexto, el que tanto la fase como la magnitud de ( $S_{21}$ ) sean representadas con precisión, indica que  $\epsilon_r$  y  $\tan\delta$  son aproximadamente las que presenta el dieléctrico empleado en la fabricación de las líneas, ya que el efecto del conductor ha sido también tomado en cuenta en el modelo MLIN. Por otro lado, el correcto modelado de ( $S_{11}$ ) permite verificar que las transiciones han sido apropiadamente representadas.

### 3.3.2. Simulaciones electromagnéticas

Después de caracterizar la estructura base de la microcinta, se propusieron diferentes patrones geométricos (*layouts*, en inglés). El propósito de esto es ubicar los conectores SMA lejos de la zona de mayor tensión mecánica sin introducir efectos parásitos que impidan la caracterización de los capacitores. Debe resaltarse que estos diseños mantienen la posición del MLCC en configuración paralela, donde una de las terminales del capacitor se conecta a la mitad de la longitud de la microcinta y la otra a un pad que lleva al plano de tierra. Además de sus ventajas geométricas, la caracterización de los MLCCs en esta configuración reduce la incertidumbre de las mediciones y permite medir impedancias pequeñas con precisión [36].

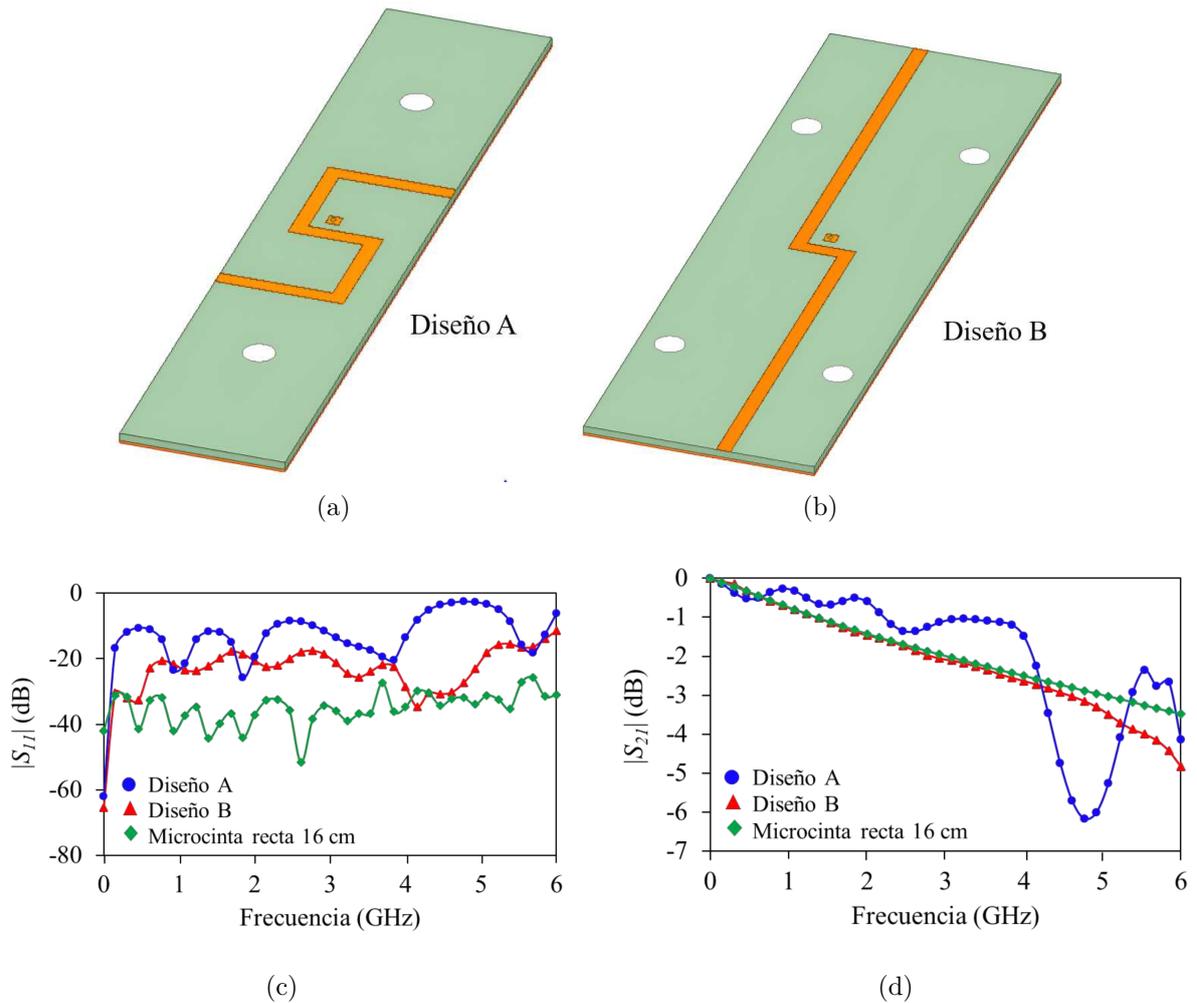


Figura 3.6: Simulación electromagnética de las propuestas de microcintas: (a) diseño A (b) diseño B (c) parámetro de transmisión ( $S_{11}$ ) (d) parámetro de reflexión ( $S_{21}$ ).

La Figura 3.6, muestra dos propuestas que cumplen con las especificaciones mecánicas y eléctricas presentadas en la Sección 3.2. Ambas configuraciones están compuestas por varias secciones de microcintas cuyas intersecciones forman ángulos de  $90^\circ$  para mantener la posición central del capacitor y su orientación paralela a la longitud de la PCB. Si bien estos vértices son necesarios para mantener a los conectores coaxiales lejos de la zona central de la PCB, también introducen discontinuidades cuyo efecto puede ser significativo en la medición, aumentando la incertidumbre en la caracterización de los capacitores. Esto puede ser crítico debido a que estos dispositivos presentan una impedancia muy baja en el rango de las microondas.

Para evaluar el impacto de dichas transiciones, se empleó el simulador de estructuras de altas frecuencias (HFSS, por sus siglas en inglés) de ANSYS para obtener y evaluar los parámetros S de todos los patrones geométricos de la microcinta. Este software es una herramienta de simulación estructural que permite determinar la respuesta electromagnética de dispositivos de alta frecuencia a partir del método de elementos finitos (FEM) y mallas adaptativas [46]. Para el caso de las simulaciones de las microcintas, se realizó un análisis modal para obtener soluciones de la matriz S en términos de las ondas de potencias incidentes y reflejadas en los puertos de las microcintas. La Figura 3.6a ilustra

el diseño A, en el que los conectores se ubican transversalmente a la tarjeta, mientras que en el diseño B (ver Figura 3.6b), se ubican en los extremos.

Los resultados de las simulaciones se presentan en las Figuras 3.6c y 3.6d. En las gráficas es evidente que la reflexión ( $S_{11}$ ) de las microcintas en ambas propuestas de diseño es mayor que en una microcinta recta de las mismas dimensiones. Sin embargo, cabe destacar que el diseño B presenta una pérdida por reflexión menor o aproximadamente igual a -20 dB hasta alrededor de 5 GHz y menor a -10 dB hasta 6 GHz, lo que permite obtener una respuesta en transmisión prácticamente libre de resonancias hasta esta última frecuencia. Así pues, considerando los resultados de las simulaciones, se seleccionó el diseño B para la caracterización de los MLCCs.

### 3.4. Interfaz para la medición de tensión mecánica

Los ensayos de tensión son una de las pruebas más usadas para determinar la resistencia mecánica de una estructura ante la aplicación de una fuerza. Durante estos ensayos, la estructura experimenta esfuerzos de tensión que modifican su forma y tamaño, lo cual resulta difícil de medir directamente. Por este motivo, comúnmente se determinan a partir de otros parámetros, como la deformación, que sí se puede cuantificar experimentalmente de manera simple utilizando, por ejemplo, sensores ópticos, mecánicos y eléctricos [13].

Con el propósito de medir la deformación de la PCB durante las pruebas de tensión, además de diseñar la microcinta para la caracterización eléctrica de los MLCCs, se diseñó una interfaz de sensado mecánico-eléctrico. Para ello, se eligieron sensores eléctricos resistivos, conocidos como galgas extensiométricas, que permiten cuantificar simultáneamente la deformación de la PCB y la degradación mecánica de los capacitores. A continuación, se describirá el diseño de esta interfaz.

#### 3.4.1. Galga extensiométrica

El principio de funcionamiento de las galgas extensiométricas se basa en la variación de resistencia eléctrica ( $R_{gc}$ ) de un conductor cuando se somete a esfuerzos de tensión. En estos casos, las fuerzas de compresión y tensión que deforman al conductor provocan cambios en su área transversal y en su longitud. Esto genera que  $R_{gc}$  cambie proporcionalmente al estímulo mecánico, lo cual se puede usar como una medida de la deformación [47].

Para hacer uso práctico de este fenómeno, las galgas extensiométricas se constituyen por un hilo conductor encapsulado en un material flexible y aislante, como se ilustra en la Figura 3.7a. Nótese que para aumentar la longitud del hilo sin ocupar una gran superficie, está dispuesto en forma de rejilla. Lo anterior permite que los cambios en  $R_{gc}$  sean más notables que en un conductor corto, lo que aumenta la precisión del sensor ante deformaciones pequeñas. Además, en las pruebas de tensión es importante que las galgas estén completamente adheridas al material bajo estudio, para que ambos se comporten como una sola estructura y, en consecuencia, la deformación sea la misma [48].

El parámetro que relaciona el cambio de la resistencia con la deformación del material está representado por el factor de galga ( $GF$ ), expresado como:

$$GF = \frac{\frac{\Delta R_g}{R_g}}{\frac{\Delta L}{L}} = \frac{\Delta R_g}{R_g \varepsilon} \quad (3.1)$$

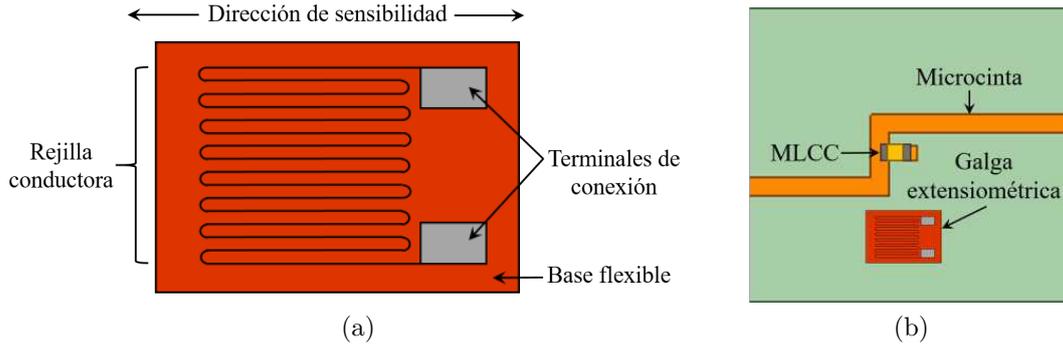


Figura 3.7: Galga extensiométrica: (a) estructura (b) ubicación en el prototipo.

En esta ecuación,  $R_g$  es la resistencia eléctrica de la galga sin tensión mecánica,  $\Delta R_g$  es el cambio debido a la deformación del conductor,  $L$  es la longitud del material estudiado y  $\Delta L$  es la variación longitudinal debido a las fuerzas de flexión. El cociente de  $L$  y  $\Delta L$  define la deformación lineal unitaria ( $\varepsilon$ ). Nótese que este último parámetro es adimensional, ya que es la relación entre el cambio de longitud y la longitud original. Sin embargo, para términos prácticos, se puede representar como un cambio porcentual, o más comúnmente en micro-strain ( $\mu\varepsilon$ ), que indica qué tantas partes por millón ha cambiado la longitud de la muestra.

El factor de galga ( $GF$ ), calculado a partir de estas variables, y el valor de  $R_g$  son parámetros importantes que deben tomarse en cuenta al elegir la galga para una aplicación en particular. Mientras mayor es el valor de  $GF$  y  $R_g$ , mayor es la sensibilidad de la galga. Generalmente,  $GF$  presenta un valor de 2 para galgas con una rejilla conductora de constantan y níquel-cromo, mientras que  $R_g$  tiene valores típicos de  $120 \Omega$  y  $350 \Omega$  sin tensión mecánica [47]. Considerando lo anterior, para medir la deformación de la PCB durante las pruebas de tensión, se empleó una galga extensiométrica con un factor  $GF = 2$  y una resistencia nominal de  $350 \Omega$ . Además, para elegir su ubicación en la PCB, mostrada en la Figura 3.7b, se tomó en cuenta su dirección de sensibilidad, la cual debe coincidir con el largo de la tarjeta para medir la deformación longitudinal.

### 3.4.2. Puente de Wheatstone

Como muestra la ecuación (3.1), la deformación de un material se puede calcular conociendo el factor de galga ( $GF$ ) y el valor de  $R_g$  antes y después de flexionar la estructura. Dicha variación está en el orden de micro-ohms, lo cual requeriría el uso de óhmetros con una alta precisión para medir la resistencia de la galga durante las pruebas de tensión. En

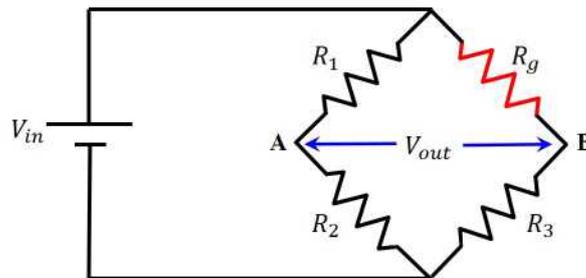


Figura 3.8: Diagrama eléctrico del puente de Wheatstone.

este contexto, el puente de Wheatstone es una de las alternativas más usadas en las mediciones de tensión mecánica, ya que convierte las variaciones de resistencia en cambios de voltaje que se pueden medir fácilmente con el uso de voltímetros [47], [49]. Este circuito tiene diferentes configuraciones dependiendo del número de galgas extensiométricas que se usen para hacer las mediciones. En la configuración de 1/4 de puente, ilustrado en la Figura 3.8,  $R_1$ ,  $R_2$ , y  $R_3$  son resistencias fijas y  $R_g$  es la única resistencia variable del circuito.

El voltaje de salida ( $V_{out}$ ) se mide entre los nodos A y B, y está dado por la expresión 3.2.

$$V_{out} = V_{in} \left[ \frac{R_3}{R_3 + R_g} - \frac{R_2}{R_1 + R_2} \right] \quad (3.2)$$

Si se define un nuevo término  $V_r$  para relacionar el voltaje de salida del circuito cuando la galga está flexionada ( $F$ ) y cuando mantiene su forma original ( $O$ ) se obtiene:

$$V_r = \left( \frac{V_{out}}{V_{in}} \right)_F - \left( \frac{V_{out}}{V_{in}} \right)_O \quad (3.3)$$

Si se sustituyen los valores de las resistencias fijas ( $R_1$ ,  $R_2$ , y  $R_3$ ) y la resistencia de la galga cuando está tensionada como  $R_g + \Delta R_g$  en la ecuación 3.3, resulta:

$$\frac{\Delta R_{galga}}{R_{galga}} = \frac{-4V_r}{1 + 2V_r} \quad (3.4)$$

Usando las ecuaciones 3.4 y 3.1 se puede deducir la ecuación para calcular la deformación ( $\varepsilon$ ) en términos de  $V_r$  y  $GF$ .

$$\varepsilon = \frac{-4V_r}{GF(1 + 2V_r)} \quad (3.5)$$

De esta manera, la deformación de la PCB se puede calcular a partir del voltaje de salida del puente de Wheatstone antes y después de flexionar la PCB, el factor de galga y el valor de las resistencias fijas.

### 3.5. Prototipo final

Después del proceso de diseño de la microcinta y de la interfaz para medir la tensión mecánica, se llega al prototipo final que se muestra en la Figura 3.9. Aquí se observa la configuración de microcinta elegida en la Sección 3.3.2, y la ubicación la galga en la PCB.

La microcinta está constituida por tres secciones, dos líneas de 76 mm, identificadas como microcinta derecha e izquierda, además de una línea central de 7 mm. En este diseño, una de las terminales del capacitor se conecta a la línea central, mientras que la otra se solda a un pad con una vía hacia la cara inferior de cobre, que constituye el plano de tierra. La línea central de la microcinta permite que el MLCC esté fijo en el centro de la PCB y que su largo sea paralelo al eje longitudinal de la PCB. Por su parte, las secciones derecha e izquierda de la microcinta, facilitan la conexión de la línea central con los conectores SMA

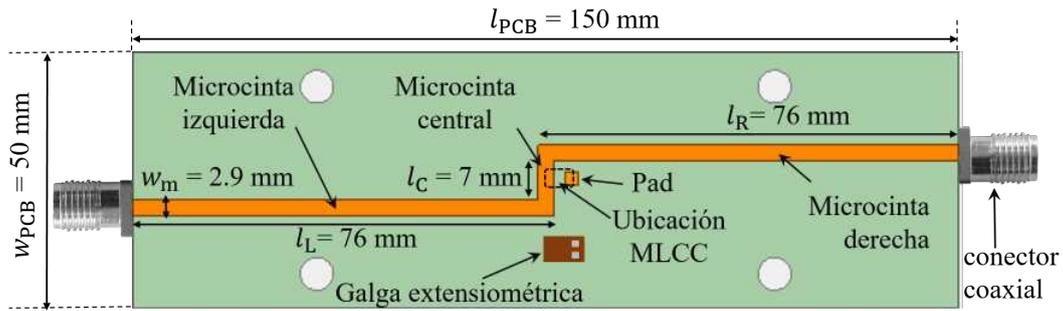


Figura 3.9: Prototipo final para la caracterización eléctrica de MLCCs.

situados en los extremos de la PCB. Además, para evitar su desplazamiento durante los experimentos, el prototipo cuenta con 4 agujeros que permiten sujetarlo mediante postes de soporte.

Por su parte, las Figuras 3.10 y 3.11 ilustran el arreglo experimental empleado para las pruebas de tensión y la conexión del prototipo con el VNA. Como puede observarse en la Figura 3.10, se colocó un tornillo de altura ajustable en el centro de la PCB, justo debajo del MLCC, para aplicar el estímulo mecánico. Además, los postes de soporte se fijaron a una superficie cercana al VNA para facilitar la conexión del prototipo. Por otra parte, el puente de Wheatstone se colocó cerca de la PCB para conectar la galga extensiométrica, mientras que la fuente de voltaje y el multímetro se posicionaron como presenta la Figura 3.11.

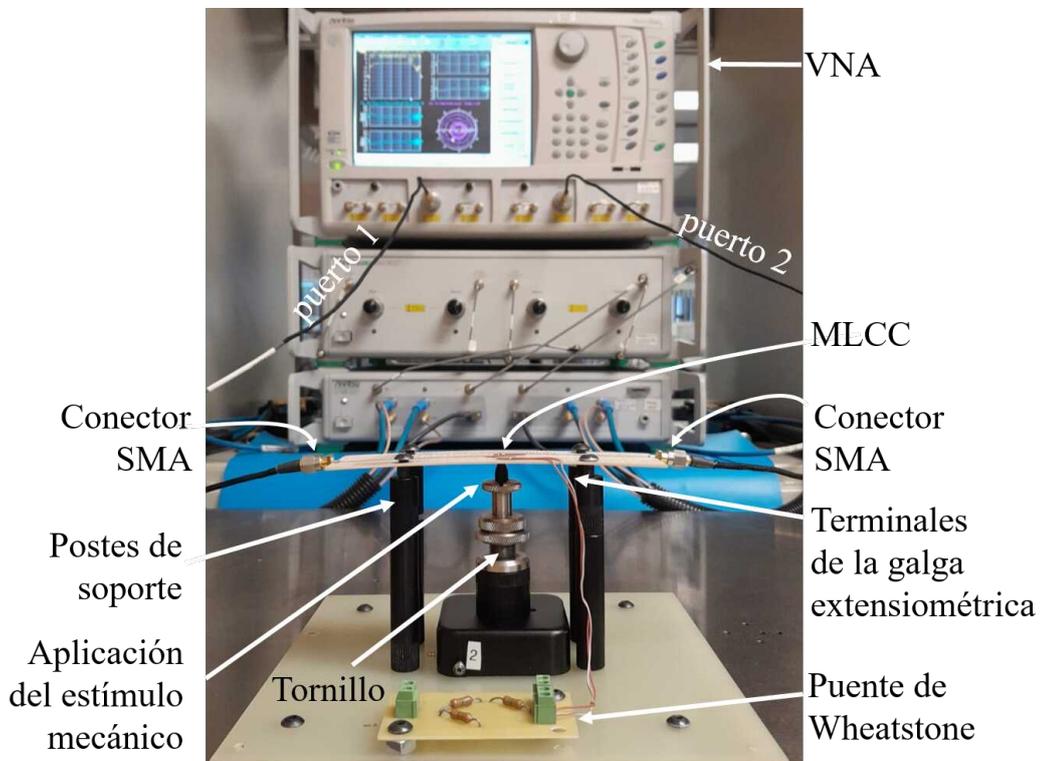


Figura 3.10: Conexión del prototipo con el VNA.

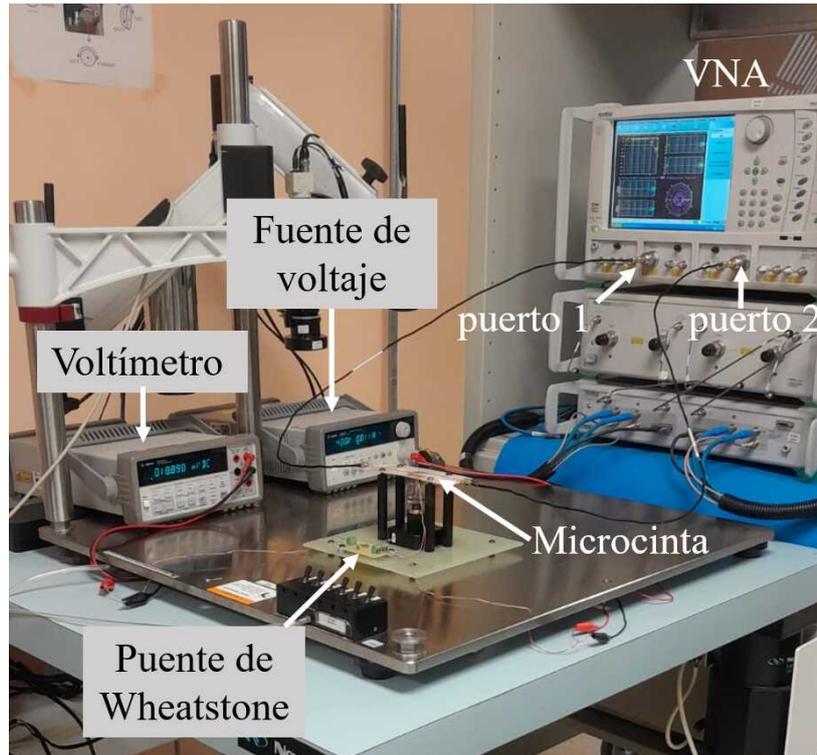


Figura 3.11: Arreglo experimental para las pruebas de tensión mecánica.

### 3.5.1. Verificación de la estabilidad eléctrica de la interfaz

Para garantizar la confiabilidad del prototipo, es importante analizar el tipo de esfuerzos que experimenta la PCB durante las pruebas de tensión y sus efectos en las propiedades eléctricas de la microcinta.

Como ya se mencionó en secciones anteriores, en las pruebas de tensión los materiales experimentan esfuerzos de compresión (acortamiento) y de tensión (alargamiento). En estos experimentos, la fuerza aplicada al material provoca que sus dimensiones cambien de forma proporcional a este estímulo hasta alcanzar su límite elástico, es decir, la tensión máxima que un material puede soportar sin experimentar deformaciones permanentes [13]. La resistencia de un material a la flexión o curvatura depende de su composición y estructura, su módulo de elasticidad y geometría. Particularmente, el FR4 presenta una alta resistencia a la flexión, con valores típicos entre 350 y 600 MPa (dependiendo de su composición, determinada por el fabricante) [50] que aseguran que la PCB pueda soportar la tensión experimentada durante su fabricación y el ensamblaje sin romperse.

Considerando lo anterior, las pruebas de tensión mecánica en los MLCCs se diseñaron dentro del límite elástico del FR4 para evitar la formación de fisuras en el cobre o en el dieléctrico. Estos defectos pueden incrementar la resistencia eléctrica o interrumpir la continuidad de la microcinta. Por lo tanto, para garantizar que la deformación estructural de la PCB no modificara la respuesta eléctrica del prototipo, se midieron los parámetros S de la microcinta sin el capacitor antes y después de realizar la prueba de tensión.

La Figura 3.12 muestra los parámetros S de la microcinta sin la aplicación del estímulo mecánico (línea azul) y durante la deflexión máxima de la PCB (línea roja). Para realizar las mediciones con tensión, la PCB se mantuvo flexionada por 3 minutos y se midieron los

parámetros S de forma simultánea, posteriormente, se dejó reposar la PCB sin tensión por 1 min y se repitieron las mediciones. Este proceso se repitió de forma consecutiva para validar la repetibilidad de los resultados mostrados en la Figura 3.12. En esta gráfica se observa que los parámetros de transmisión ( $S_{21}$ ) y reflexión ( $S_{11}$ ) no experimentan cambios notables aún cuando la PCB está flexionada. Además, estos resultados validan que los conectores SMA no sufren daños físicos que puedan degradar las mediciones y por consiguiente, que los cambios en los parámetros S durante las pruebas de tensión se deberán exclusivamente a la respuesta eléctrica de los capacitores.

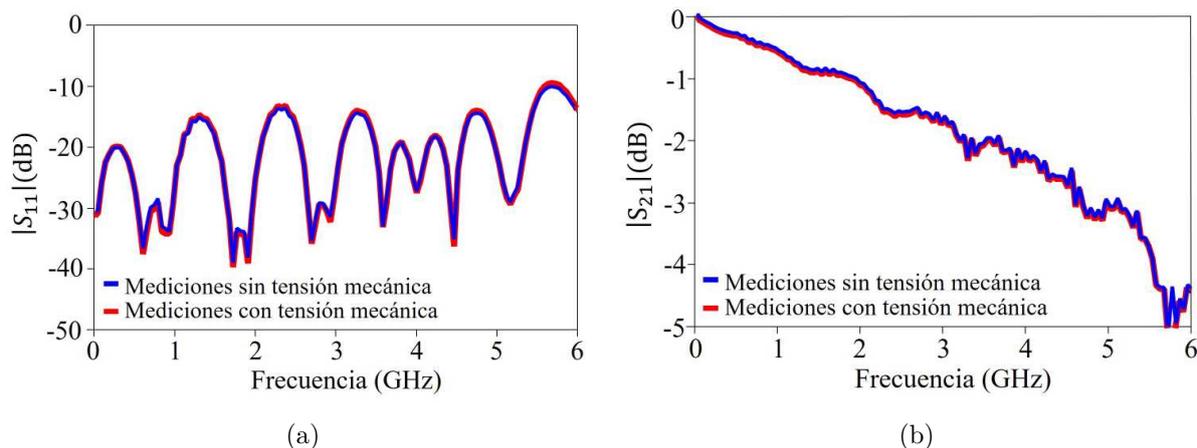


Figura 3.12: Parámetros S de la microcinta sin capacitor: (a) parámetro de reflexión ( $S_{11}$ ) (b) parámetro de transmisión ( $S_{21}$ ).

### 3.5.2. Conclusiones del capítulo

Para proponer una estructura de pruebas que permita medir la respuesta eléctrica de MLCCs sometidos a estímulos mecánicos, fue necesario cumplir requerimientos mecánicos y eléctricos en su diseño. Algunos de ellos incluyen las dimensiones del sustrato, así como la posición del capacitor y de los conectores para las mediciones de microondas. En particular, la ubicación de estos componentes es crucial para garantizar la seguridad de la interfaz de medición mientras se observa la degradación gradual del MLCC.

En respuesta a estos requerimientos, se propuso una interfaz basada en líneas de microcinta. Para diseñarlas, se realizaron simulaciones electromagnéticas de diferentes propuestas hasta llegar al prototipo con menos pérdidas, tanto por inserción como por retorno. Asimismo, durante este proceso se midieron los parámetros S de los prototipos para validar que el proceso de fabricación conservara las cualidades originales de los diseños. Además, se comprobó que la flexión de la PCB no afectara los parámetros S de la estructura de prueba propuesta. Gracias a estas mediciones y simulaciones, se verificó la viabilidad de usar esta interfaz para la caracterización eléctrica de los MLCCs.

Adicionalmente, se diseñó una interfaz de medición mecánica-eléctrica con una galga extensiométrica y un puente de Wheatstone para controlar la tensión aplicada al capacitor. Durante el montaje final, se eligió cuidadosamente la posición de la galga en la estructura de prueba para asegurar que su dirección de sensibilidad coincidiera con la flexión del capacitor. Además, se verificó que la adhesión de la galga a la PCB no presentara

imperfecciones, para garantizar que las variaciones de resistencia fueran causadas exclusivamente por la flexión de la PCB.

# Capítulo 4

## Experimentos y Resultados

En este capítulo se presenta la caracterización eléctrica de MLCCs sometidos a fuerzas de flexión a través de la interfaz diseñada en el Capítulo III. Este proceso incluye la medición de los parámetros S de diferentes MLCCs para determinar su modelo de circuito equivalente y su degradación eléctrica durante las pruebas de tensión mecánica. Este modelo está constituido por la capacitancia intrínseca ( $C_{MLCC}$ ) y los efectos parásitos de altas frecuencias, representados por la resistencia ( $R_{MLCC}$ ) e inductancia ( $L_{MLCC}$ ) en serie. Como primer paso, se midieron los parámetros S de los MLCCs sin la aplicación de estímulos mecánicos mediante dos interfaces: conectores coaxiales y puntas de prueba. Esta última interfaz minimiza los efectos parásitos en las mediciones, por lo que se usó como referencia para comprobar que las mediciones con coaxiales pueden representar con precisión la respuesta eléctrica de los MLCCs. Posteriormente, se iniciaron las pruebas de tensión mecánica. En estos experimentos, la estructura de prueba se flexionó gradualmente para inducir la formación de fracturas en los MLCCs y, simultáneamente, se midieron sus parámetros S. En las siguientes secciones se presenta la metodología y los resultados de estas mediciones.

### 4.1. Caracterización eléctrica de MLCCs

En este trabajo, se midieron los parámetros S de MLCCs con tres tamaños de empaquetado (0805, 1206 y 1812) y dos valores de capacitancia ( $0.1 \mu\text{F}$  y  $1 \mu\text{F}$ ). Para este propósito, se utilizó un VNA modelo MS4647A de la marca Anritsu con un barrido de frecuencias logarítmico comprendido entre 40 kHz y 6 GHz. Para configurarlo, se estableció el nivel de potencia de la señal de radiofrecuencia en -10 dBm y el ancho de banda de frecuencia intermedia (IFBW, por sus siglas en inglés) en 100 Hz. Estos parámetros se conservaron en todas las mediciones, tal como se detalla a continuación.

#### 4.1.1. Mediciones con coaxiales

Para medir la respuesta eléctrica del DUT (MLCC) sin la aplicación de estímulos mecánicos, se utilizó la estructura de prueba mostrada en la Figura 3.9. Antes de iniciar estas mediciones, el VNA se calibró para corregir los errores sistemáticos introducidos por los cables, los efectos parásitos de los conectores y otras transiciones eléctricas. Para corregirlos, el VNA se calibró con la técnica SOLT con el calibrador Anritsu modelo

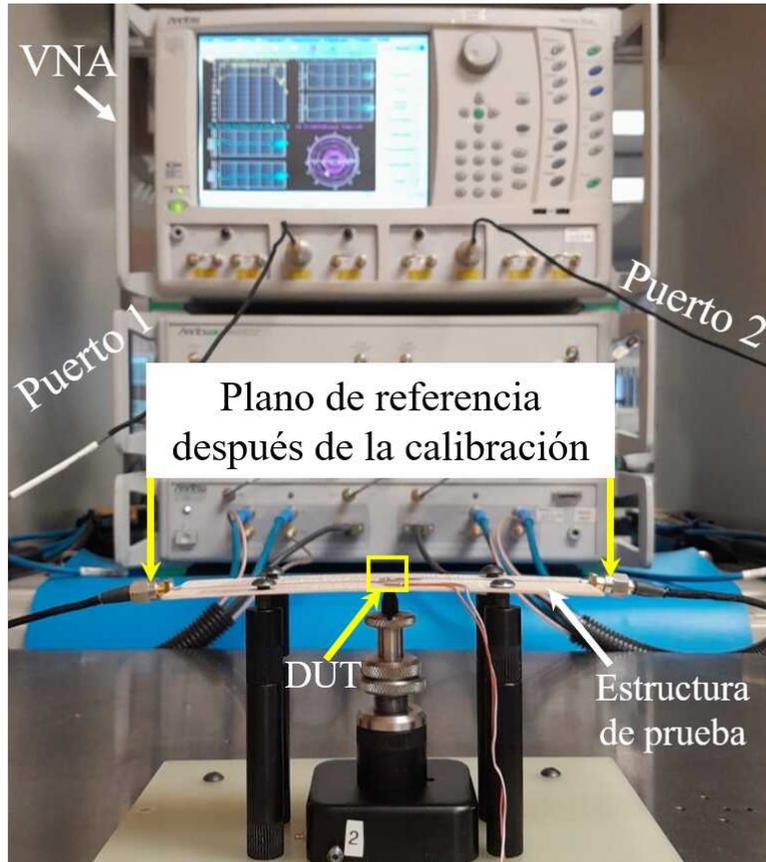
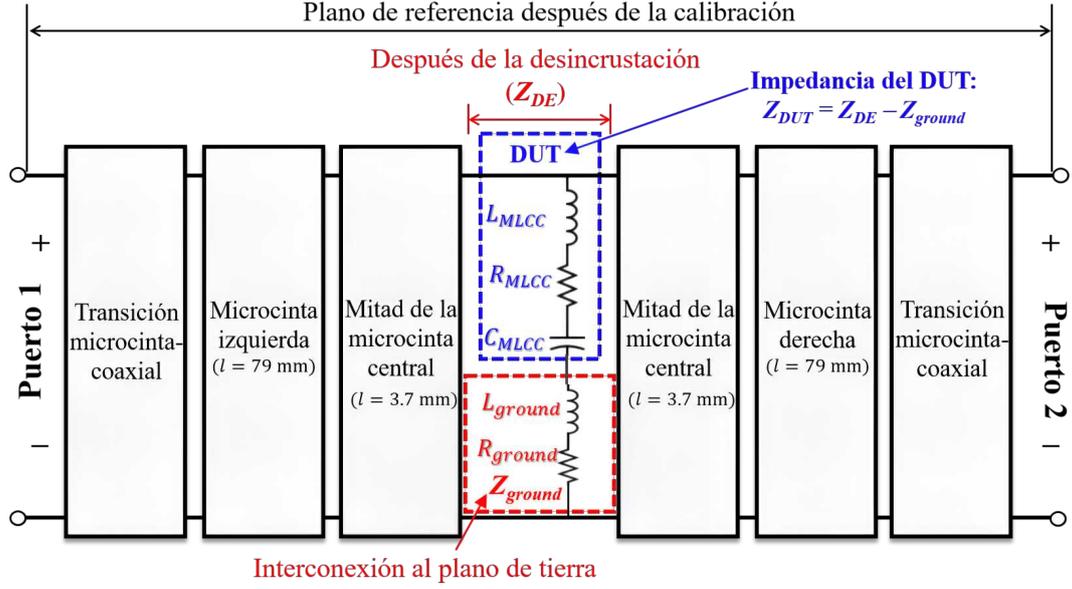


Figura 4.1: Fotografía de la estructura de prueba y su conexión con el VNA.

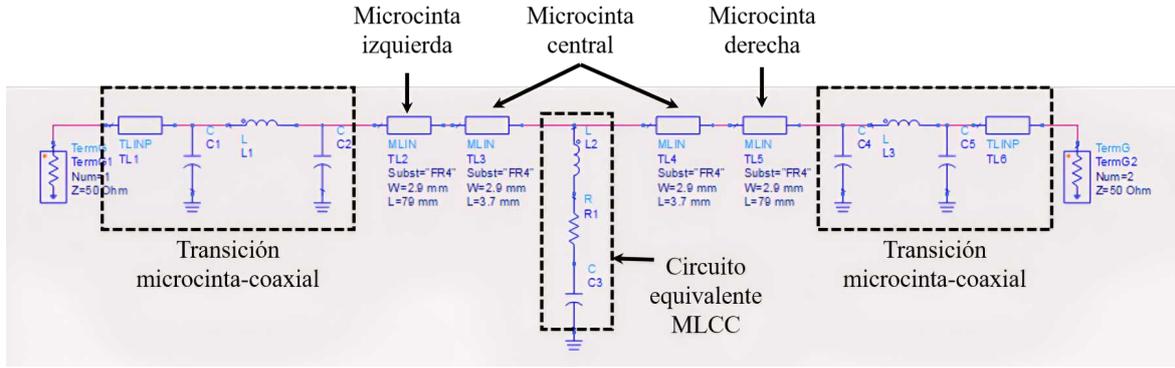
TOSLKF50A-40, el cual contiene los estándares de calibración mecánicos corto, abierto, carga y a través. Con este método, el plano de medición se desplazó a los extremos de los cables coaxiales, es decir, a su interfaz con los conectores SMA soldados a la microcinta. Además, se estableció una impedancia de referencia  $Z_{ref} = 50 \Omega$  para los parámetros S medidos. La Figura 4.1 ilustra la conexión de la estructura de prueba con el VNA y el plano de referencia después de la calibración.

Después de este procedimiento, se midieron los parámetros S de 6 capacitores, cada uno representando un tamaño y valor de capacitancia diferentes según lo descrito en la Sección 3.1. Nótese que los MLCCs están soldados a una estructura de prueba formada por las interfaces coaxiales, la línea de transmisión y el pad con la vía hacia el plano de tierra. Debido a esto, los parámetros S proporcionan información no sólo del DUT, sino también de los efectos parásitos de esta estructura. Por lo tanto, para obtener la respuesta eléctrica de los MLCCs sin la influencia de estos efectos, fue necesario aplicar un proceso de desincrustación (de-embedding, en inglés) a las mediciones.

Para cumplir este propósito, se construyó un modelo en el simulador ADS basado en el diagrama de bloques mostrado en la Figura 4.2a. Como se observa en este esquema, el circuito equivalente del DUT se encuentra en el centro de los bloques que representan la microcinta, la cual está dividida en 4 secciones: la microcinta derecha, izquierda y dos subsecciones de la microcinta central. A partir de estos bloques, se construyó el circuito ilustrado en la Figura 4.2b, el cual contiene los modelos de los conectores coaxiales y las líneas de transmisión determinados en la Sección 3.3.1. Con base en estos modelos, se eliminaron los efectos parásitos de las mediciones con operaciones matemáticas matriciales,



(a)



(b)

Figura 4.2: Desincrustación de la estructura de prueba: (a) diagrama de bloques en cascada, (b) modelo del circuito equivalente implementado en ADS.

hasta obtener la impedancia  $Z_{DE}$ . Sin embargo, este resultado todavía incluye los efectos parásitos representados por la impedancia  $Z_{ground}$ , la cual está asociada con la conexión del DUT al plano de tierra. Para determinar la resistencia y la inductancia en serie que permiten modelar  $Z_{ground}$ , se midió una estructura adicional terminada en corto circuito. De esta forma, la impedancia asociada al DUT se calculó con:

$$Z_{DUT} = Z_{DE} - Z_{ground} \quad (4.1)$$

#### 4.1.2. Mediciones con puntas de prueba

Antes de iniciar las pruebas de tensión mecánica en los MLCCs, fue necesario comprobar que los parámetros S desincrustados de las mediciones coaxiales representan con precisión la respuesta eléctrica del DUT. Con este objetivo, se realizaron mediciones adicionales utilizando puntas prueba con una configuración tierra-síñal (GS, por sus siglas en inglés) en el mismo rango de frecuencias que en el caso coaxial. Esta interfaz presenta una

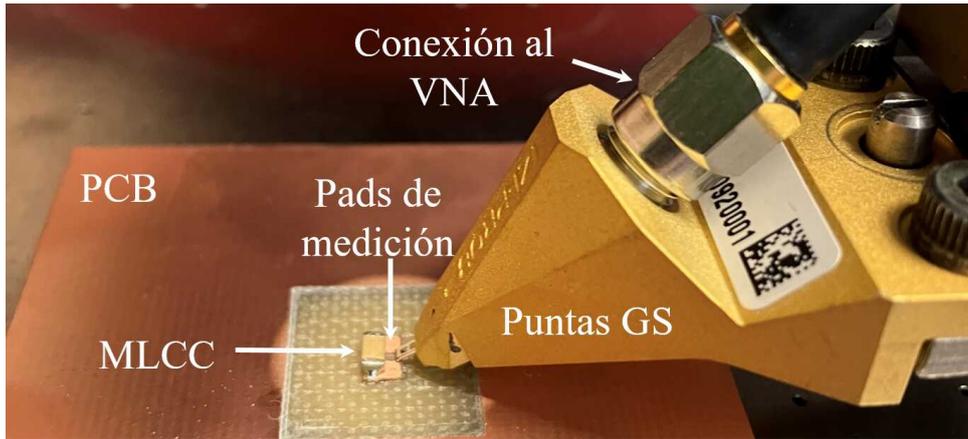


Figura 4.3: Fotografía de la estructura de prueba para las mediciones con puntas.

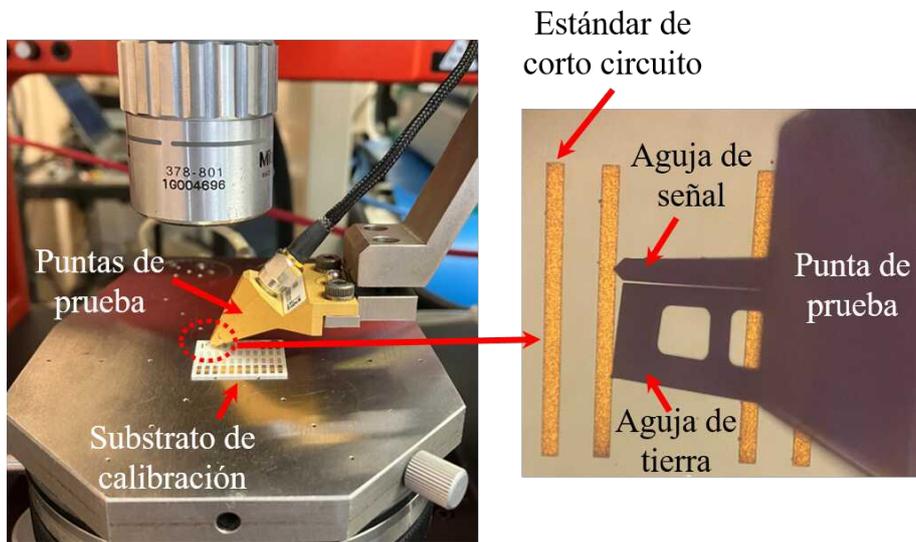


Figura 4.4: Calibración con puntas de prueba GS de  $1000 \mu\text{m}$ .

separación entre agujas de  $1000 \mu\text{m}$ , por lo que fue necesario fabricar una estructura de prueba adicional para realizar estas mediciones. Tomando en cuenta esta distancia, se fabricaron los pads mostrados en la Figura 4.3, donde se soldaron las terminales del MLCC. Antes de iniciar las mediciones, se usó un sustrato para planarizar las puntas y asegurar que las agujas estuvieran al mismo nivel. Posteriormente, el VNA se calibró utilizando la técnica SOL con el sustrato estándar de impedancia (ISS, por sus siglas en inglés) mostrado en la Figura 4.4. Con este proceso, se desplazó el plano de referencia al final de las puntas de prueba y se estableció  $Z_{ref} = 50 \Omega$ .

De este modo, utilizando el arreglo experimental mostrado en la Figura 4.5, se procedió a medir el coeficiente de reflexión ( $\Gamma$ ). Este parámetro representa el cociente de la onda electromagnética reflejada y la onda incidente en el puerto de medición, y se expresa como:

$$\Gamma = \frac{Z_{DUT} - Z_{ref}}{Z_{DUT} + Z_{ref}} \quad (4.2)$$

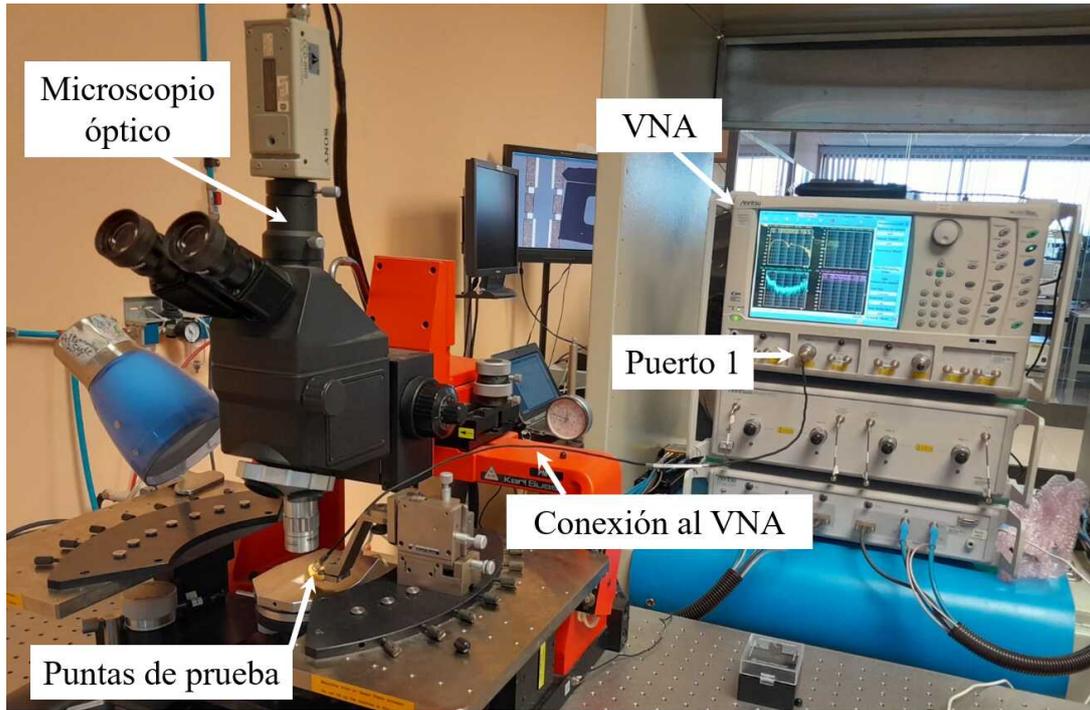


Figura 4.5: Arreglo experimental para las mediciones con puntas de prueba.

donde  $Z_{DUT}$  corresponde a la impedancia del capacitor y  $Z_{ref}$  es la impedancia de referencia definida en  $50 \Omega$ . Esta expresión puede usarse para calcular  $Z_{DUT}$  si se reescribe de la siguiente forma:

$$Z_{DUT} = Z_{ref} \frac{1 + \Gamma}{1 - \Gamma} \quad (4.3)$$

Adicionalmente, para desincrustar el efecto de los pads, se fabricaron y se midieron estructuras de prueba con terminaciones en circuito abierto y en corto circuito.

Finalmente, la Figura 4.6 muestra las curvas de impedancia obtenidas con la interfaz coaxial [ecuación (4.1)] y con las puntas de prueba [ecuación (4.3)]. Como se observa en las gráficas, las curvas obtenidas con ambas interfaces no exhiben diferencias notables dentro del rango de frecuencia considerado en este trabajo. Esto verifica la validez del procedimiento de desincrustación aplicado en las mediciones coaxiales y la viabilidad de determinar con precisión la respuesta eléctrica de los MLCCs a partir de la estructura de prueba propuesta. Además, para completar esta revisión, las gráficas incluyen los datos proporcionados por los fabricantes de los MLCCs, los cuales muestran concordancia con las mediciones realizadas.

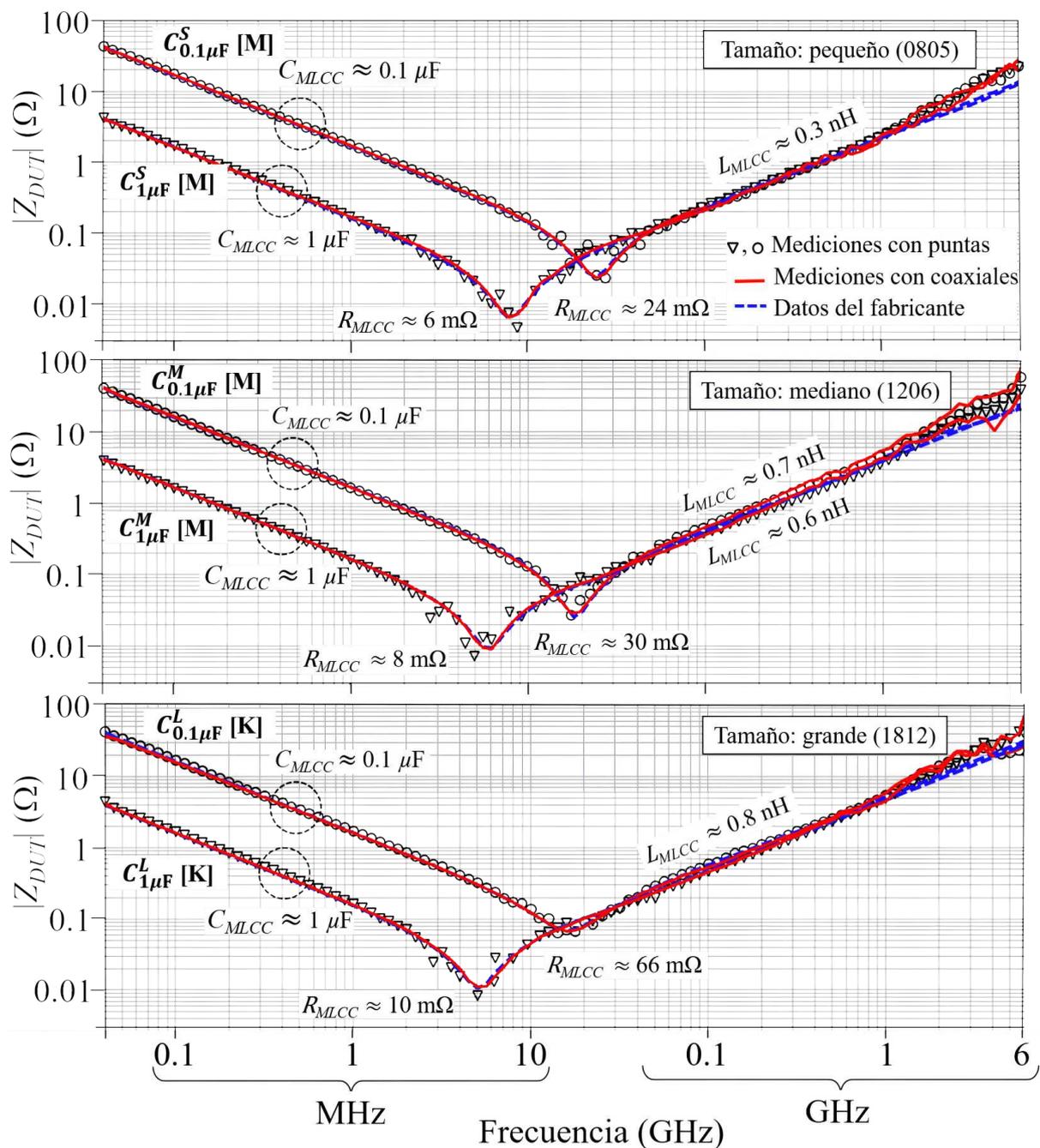


Figura 4.6: Comparación de las curvas de impedancia obtenidas a partir de las mediciones con coaxiales y con puntas de prueba para los tres tamaños de MLCCs y las dos magnitudes de capacitancia consideradas en este trabajo. Las curvas muestran concordancia con los datos proporcionados por los fabricantes [51], [52], los cuales también están incluidos en las gráficas.

### 4.1.3. Medición de los parámetros S durante la aplicación de estímulos mecánicos

Después de confirmar que la estructura de prueba y el proceso de desincrustación permiten obtener la respuesta eléctrica del DUT, se iniciaron los experimentos de tensión mecánica. La idea básica de estos experimentos fue, en primer lugar, medir los parámetros S del DUT sin aplicar ningún estímulo mecánico. Posteriormente, se aplicó una fuerza ascendente debajo de la estructura de prueba y del MLCC, como se ilustra en la Figura 4.7. Esta fuerza se aplicó utilizando un tornillo de altura ajustable para inducir la curvatura longitudinal de la PCB y, como resultado, la formación de fracturas en el MLCC. Es importante señalar que la deflexión de la PCB aumenta con la altura del tornillo. Por lo tanto, para asegurar su deformación gradual, la altura se incrementó en pasos de  $300 \mu\text{m}$  mediante la rotación progresiva del tornillo. Esta fuerza generó una deformación aproximada de  $200 \mu\epsilon$  en la PCB, la cual se monitoreó en cada paso con la galga extensiométrica y el puente de Wheatstone. En cada incremento de altura, se dejó reposar la estructura de prueba durante un minuto conservando la flexión generada por el tornillo. Durante ese tiempo, se midieron sus parámetros S y se determinó  $Z_{DUT}$  a partir de la ecuación (4.1). Posteriormente, se graficó  $Z_{DUT}$  en escala logarítmica, como se ilustra en la Figura 4.8, y se determinaron los elementos del circuito equivalente  $C_{MLCC}$ ,  $R_{MLCC}$  y  $L_{MLCC}$ . Es importante destacar que estas mediciones y el cálculo de los efectos parásitos del DUT se realizaron en cada ajuste de la altura del tornillo, hasta que el DUT presentó una reducción superior al 90% de su capacitancia inicial.

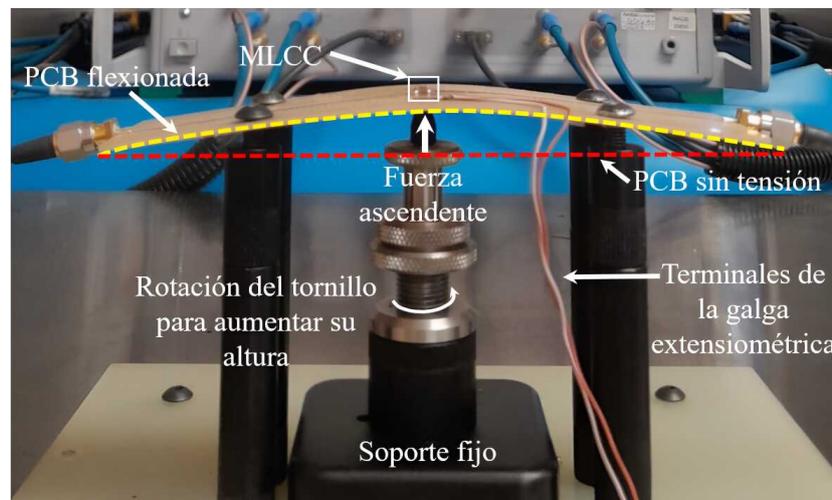


Figura 4.7: Flexión de la estructura de prueba.

Los experimentos se realizaron en cuatro MLCCs de cada tamaño y valor de capacitancia considerados en este trabajo, totalizando 24 dispositivos caracterizados. A este respecto, las Figuras 4.8 y 4.9 muestran las curvas de impedancia de los MLCCs de  $0.1 \mu\text{F}$  y  $1 \mu\text{F}$ , respectivamente. En ambos casos, se observan las mediciones del DUT bajo niveles de deformación representativos para facilitar su análisis. Particularmente, las curvas de impedancia con símbolos negros corresponden a las mediciones cuando el MLCC no está flexionado, mientras que las curvas rojas a las mediciones cuando la reducción de su capacitancia es mayor al 90% de su valor nominal. Además, las gráficas incluyen los modelos de su circuito equivalente (líneas negras), con los cuales se determinaron  $C_{MLCC}$ ,  $R_{MLCC}$  y  $L_{MLCC}$  en el simulador ADS.

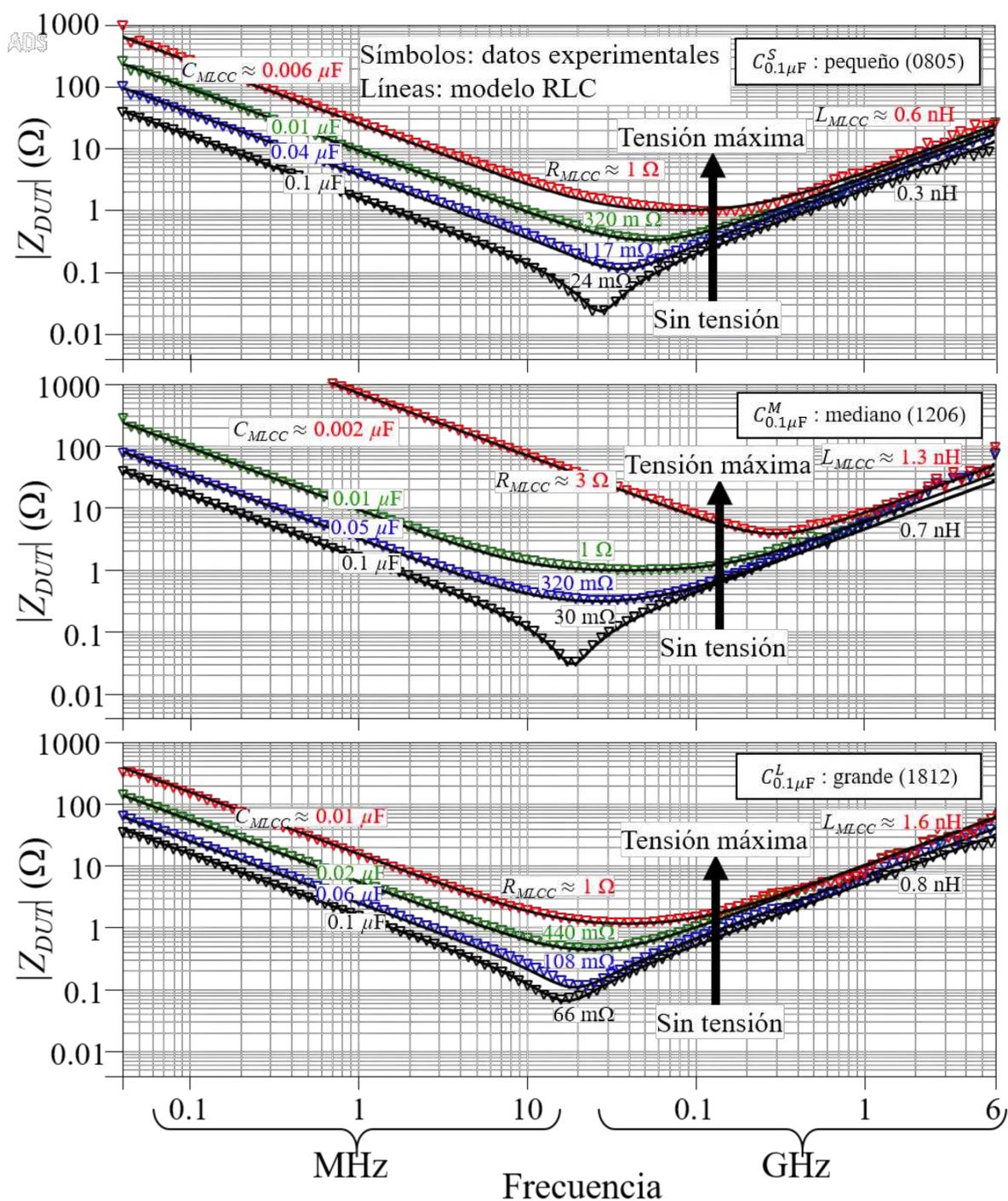


Figura 4.8: Curvas de impedancia de MLCCs con una capacitancia nominal de  $0.1 \mu F$  bajo diferentes valores de tensión mecánica. Cada gráfica corresponde a un tamaño en particular.

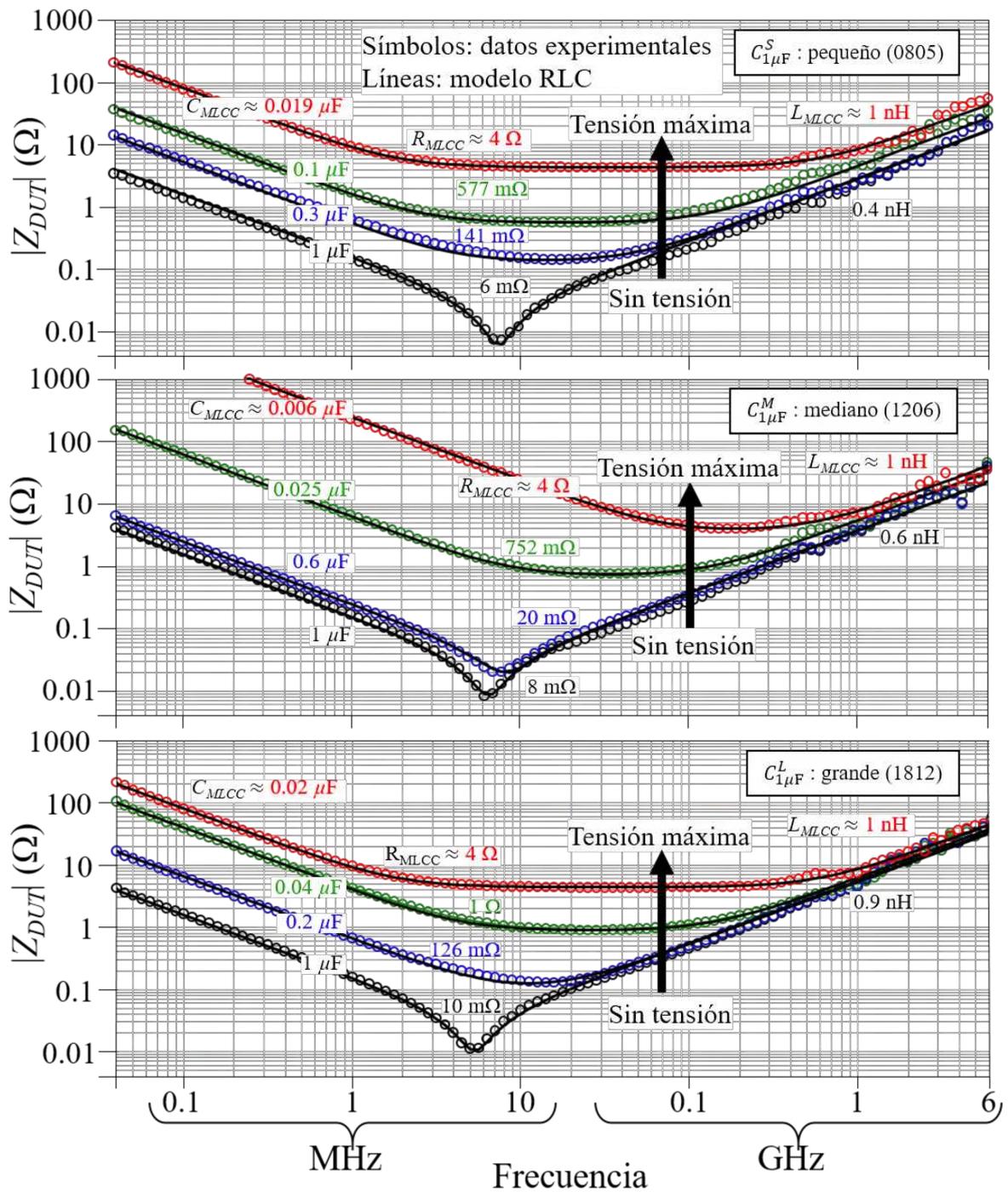


Figura 4.9: Curvas de impedancia del MLCCs con una capacitancia nominal de  $1 \mu F$  bajo diferentes valores de tensión mecánica. Cada gráfica corresponde a un tamaño en particular.

Nótese que la transición de estos elementos desde la condición no deformada hasta la curva final es progresiva. La resistencia  $R_{MLCC}$  es el parámetro que sufre más cambios al aumentar de decenas de miliohmios a unos pocos ohmios, mientras que  $L_{MLCC}$  aumenta dentro del mismo orden de magnitud. Una discusión más profunda sobre los resultados de estos experimentos se presenta en la siguiente sección.

## 4.2. Resultados

Durante los experimentos, la capacitancia no mostró variación hasta que la tensión de la PCB alcanzó un límite. Este límite, denominado aquí como "deformación de ruptura"(BS, por sus siglas en inglés), se determinó a partir de la última medición de deformación en la que no se detectó variación de la capacitancia en los parámetros S. Cuando la tensión de la PCB superaba este valor, la capacitancia comenzaba a disminuir con el aumento de la tensión. Este comportamiento se ilustra en la Figura 4.10 para los dos valores de capacitancia y para los tres tamaños de MLCCs. Dado que se midieron cuatro MLCCs para cada caso, cada punto de los datos se obtuvo promediando las mediciones realizadas en estos dispositivos.

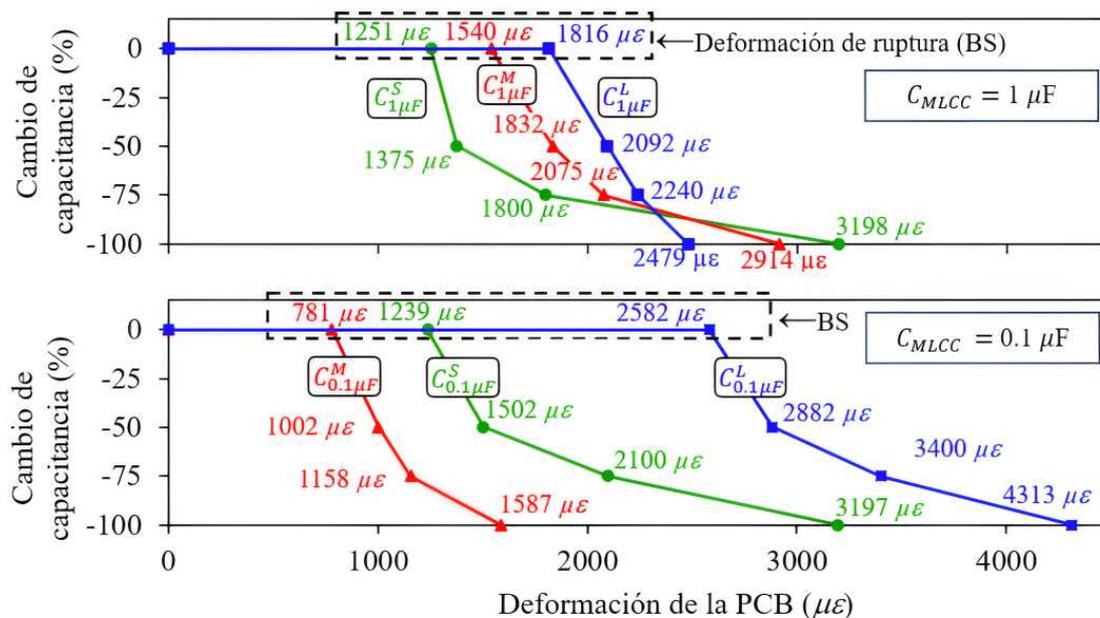


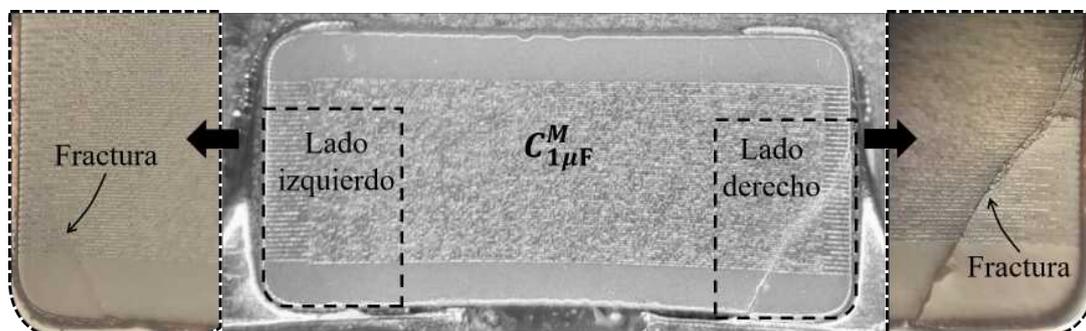
Figura 4.10: Cambio de capacitancia versus deformación en la PCB. Cada punto de los datos se obtuvo promediando las mediciones realizadas en cuatro MLCCs.

Como se observa en la Figura 4.10, los MLCCs presentan diferentes valores de BS. En el caso de los MLCCs de  $1 \mu F$ , el dispositivo grande ( $C_{1\mu F}^L$ ) presenta el mayor BS. Este valor disminuye en el tamaño mediano ( $C_{1\mu F}^M$ ) y es el más bajo en el dispositivo pequeño ( $C_{1\mu F}^S$ ). Para explicar esta tendencia, es importante mencionar que las fuerzas de tensión experimentadas por un MLCC soldado en una PCB originan grietas en su cuerpo cerámico. Estas fracturas generalmente inician en la parte inferior, cerca de los bordes de los electrodos exteriores en donde los MLCCs son más vulnerables a sufrir daños mecánicos. En un MLCC grande, estas regiones están más alejadas del punto donde se aplica la fuer-

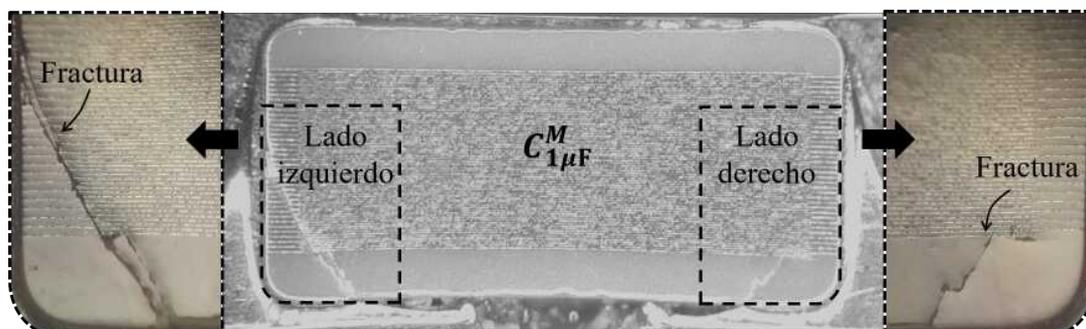
za ascendente, por lo que se requiere una mayor tensión para degradarlos en comparación con un dispositivo más pequeño.

Sin embargo, esta tendencia presenta algunas diferencias en los MLCCs de  $0.1 \mu\text{F}$  medianos y pequeños. En estos casos, los dispositivos medianos ( $C_{0.1\mu\text{F}}^M$ ) son los que presentan el menor BS. Lo anterior se puede explicar comparando la altura de los dispositivos mostrados en la Figura 3.1. En los MLCCs de  $0.1 \mu\text{F}$ , la altura del dispositivo mediano es menor que la del pequeño por  $0.4 \text{ mm}$ . Por lo tanto, los resultados de estos experimentos indican que la rigidez del capacitor, también asociada a su altura, es determinante en la magnitud de BS. Además, la Figura 4.10 muestra que, una vez que el MLCC está fracturado, el daño en las placas metálicas que forman los electrodos internos produce una notable reducción de capacitancia, lo cual ha sido reportado consistentemente en la literatura [21]-[25].

Ahora, para inspeccionar el cambio estructural de los MLCCs después de las pruebas de tensión, se seleccionaron aquellos que presentaban una reducción de capacitancia del 30 %, 50 % y 95 %. Después, se sometieron a un proceso de encapsulamiento, corte y pulido en el Taller de Óptica del INAOE, siguiendo la metodología descrita en [53]. Los resultados de este tratamiento se muestran en la Figura 4.11, que ilustra los electrodos internos de los MLCCs y las fracturas en su cuerpo cerámico. Estas fotografías muestran que no hay una variación evidente en las grietas asociadas a los diferentes niveles de degradación. Esto indica que, una vez que se forma una grieta, aplicar más tensión agrava el daño en los electrodos internos a lo largo de su trayectoria. En consecuencia, la capacitancia disminuye notablemente y las placas metálicas rotas provocan el incremento de la resistencia en serie parásita ( $R_{MLCC}$ ).



(a)



(b)

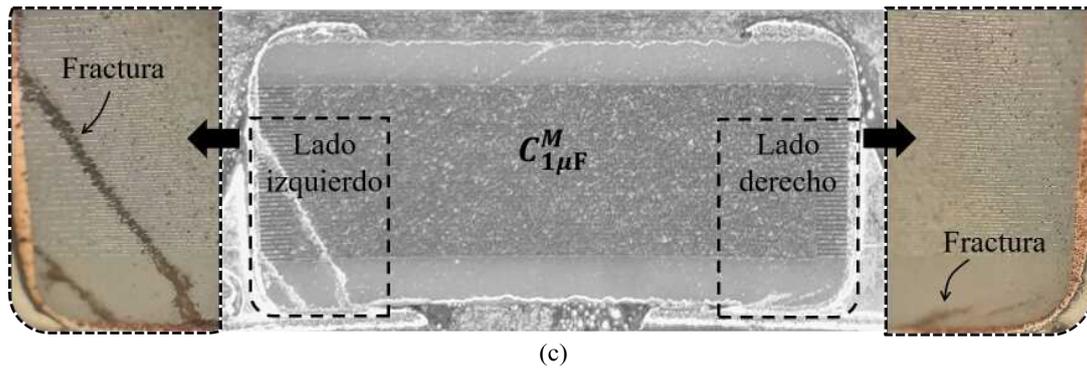


Figura 4.11: Fotografías de la sección transversal de tres MLCCs medianos con una capacitancia nominal de  $1 \mu\text{F}$ , después de experimentar reducciones de capacitancia de: (a) 30 %, (b) 50 % y (c) 95 %.

Generalmente, la resistencia la nominal de un MLCC se encuentra en el orden de unos pocos miliohmios. Sin embargo, los resultados experimentales indican que el valor de esta resistencia puede aumentar hasta el rango de ohmios cuando se producen fracturas en la estructura interna de los MLCCs. Este fenómeno se puede observar en la Figura 4.12, que muestra las curvas de resistencia asociadas a los dispositivos utilizados para obtener los resultados presentados en la Figura 4.10.

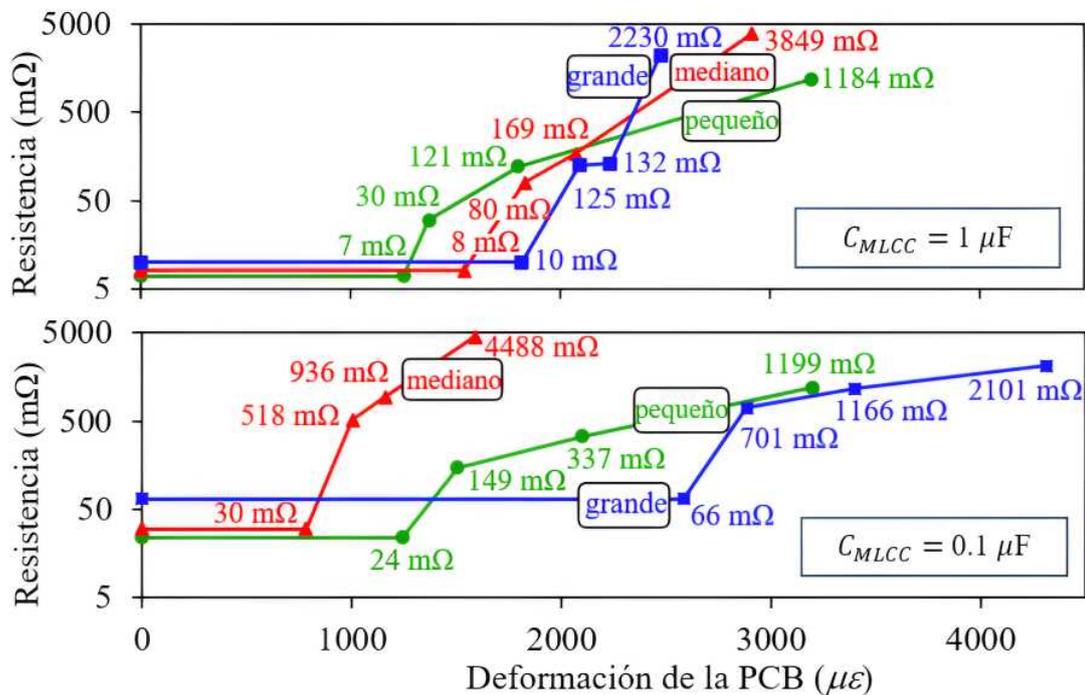


Figura 4.12: Resistencia equivalente promedio ( $R_{MLCC}$ ) versus deformación aplicada en la PCB para los tamaños y magnitudes de capacitancia considerados.

En relación con la inductancia en serie parásita ( $L_{MLCC}$ ), este parámetro también incrementa su valor con la aplicación de tensión mecánica. Este incremento ocurre porque la formación de grietas degrada la trayectoria de la corriente en los MLCCs. En particular,

como se ilustra en la Figura 4.11, los electrodos internos inferiores del MLCC son propensos a dañarse debido a su cercanía con los puntos de soldadura de la PCB, lo que resulta en la degradación del flujo de corriente en estos niveles. Como consecuencia, la trayectoria de la corriente se restringe a las placas superiores dentro del MLCC, aumentando el área transversal del lazo de corriente. Este cambio se traduce en un incremento de la inductancia externa, como se ilustra conceptualmente en la Figura 4.13. Esta figura muestra que la formación de una grieta incrementa la trayectoria de la corriente, lo que provoca un aumento en la inductancia externa experimentada por la señal que se propaga a lo largo del dispositivo y su correspondiente camino de retorno a través del plano de tierra. Es importante resaltar que al aplicar la ecuación (4.1), se elimina la contribución de la altura de la PCB al área que define la inductancia externa. Por lo tanto, el incremento de la inductancia, determinado a partir de los parámetros S desincrustados, es el asociado únicamente al MLCC.

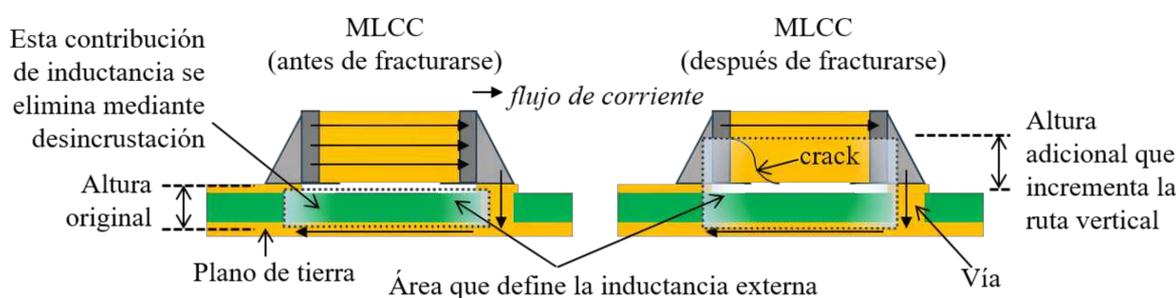


Figura 4.13: Ilustración conceptual del aumento de la trayectoria de la corriente después de la formación de fracturas en el MLCC. Este cambio aumenta la inductancia  $L_{MLCC}$ .

Finalmente, la Figura 4.14 muestra el aumento de la inductancia en función de la tensión aplicada a los capacitores. En todos los casos, el incremento máximo se produjo dentro de un orden de magnitud al final de los experimentos de tensión. De hecho, en el peor de los casos, cuando la capacitancia se redujo al 10% de su magnitud original, la inductancia se duplicó en comparación con el valor nominal reportado por el fabricante. Una observación destacable de estos datos experimentales, es que los capacitores de mayor altura,  $C_{1\mu F}^S$  y  $C_{0.1\mu F}^S$ , con  $h = 1.2$  mm, presentan el mayor incremento de inductancia. Esto se atribuye a que la forma de la grieta determina el camino seguido por la corriente a través del capacitor después del daño, como se ilustra en la Figura 4.13. Por lo tanto, el incremento en el área del lazo de corriente es mayor en los capacitores  $C_{1\mu F}^S$  y  $C_{0.1\mu F}^S$ .

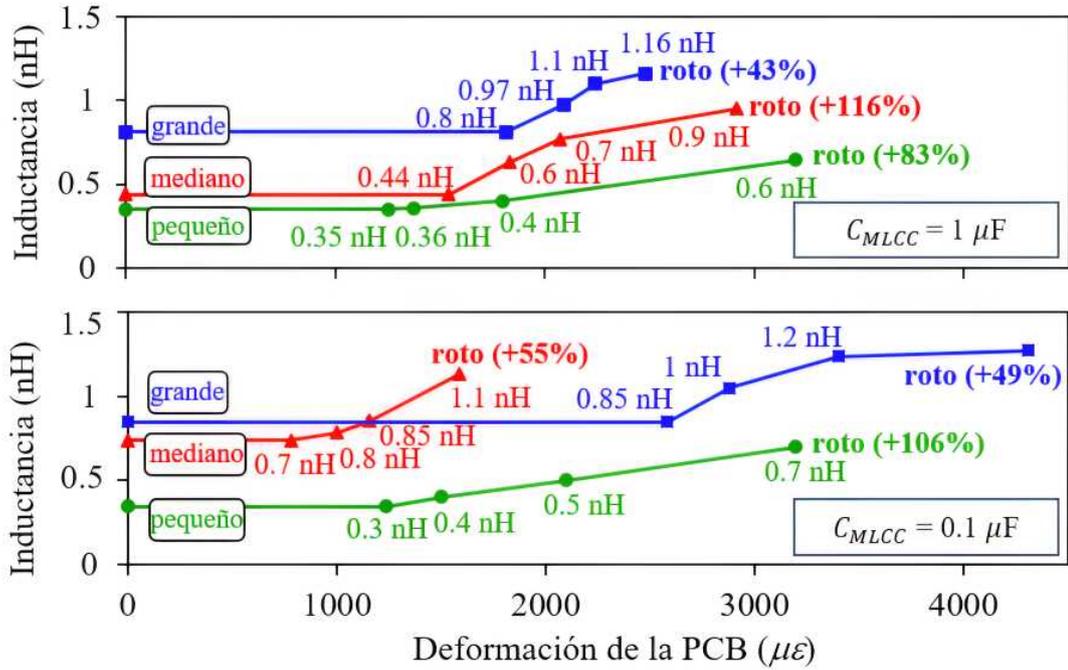


Figura 4.14: Inductancia equivalente promedio ( $R_{MLCC}$ ) versus deformación aplicada en la PCB para los tamaños y magnitudes de capacitancia considerados.

### 4.3. Ejemplo de aplicación

Los resultados experimentales discutidos hasta el momento, han demostrado que la capacitancia y los elementos parásitos de los MLCCs experimentan cambios significativos con la aplicación de estímulos mecánicos. Dado que estas tensiones están presentes durante toda la vida útil de las PCBs, es fundamental evaluar cómo la degradación eléctrica de los MLCCs afecta a los circuitos a los que están conectados. Para ejemplificar este escenario, se presentará la simulación de una PDN con un capacitor fracturado.

La Figura 4.15 muestra el circuito equivalente de una PDN con un capacitor de desacoplo conectado en paralelo. Este capacitor fue caracterizado en este trabajo, y para modelar su funcionamiento en la PDN, se incluye el valor de su capacitancia  $C_{MLCC} = 1 \mu F$  junto con sus elementos parásitos  $R_{MLCC} = 8 m\Omega$  y  $L_{MLCC} = 0.6 nH$  en el circuito. Además, se

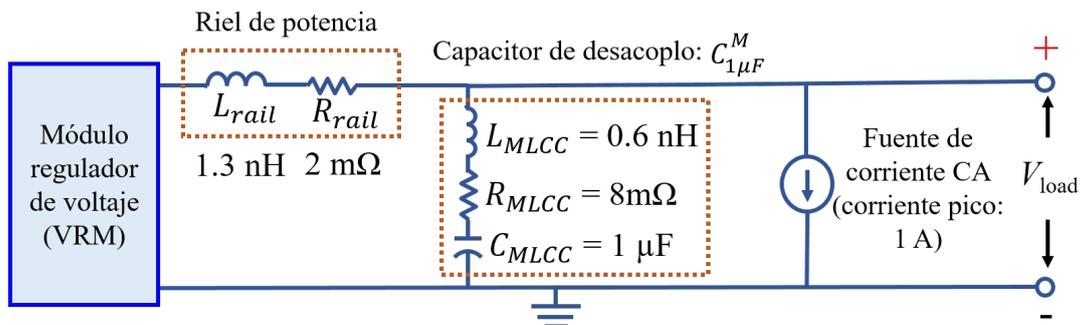


Figura 4.15: Circuito equivalente de una PDN con el capacitor de desacoplo  $C_{1\mu F}^M$ .

usa una fuente de CA para simular una carga con una demanda de corriente variable. En la práctica, las interconexiones entre el módulo regulador de voltaje y la carga introducen efectos parásitos en la ruta de voltaje, conocida como riel de potencia. Comúnmente, los efectos parásitos dominantes de este riel se representan con un inductor  $L_{rail}$  y una resistencia  $R_{rail}$ .

El circuito descrito 4.15 se simuló en ADS para analizar su respuesta en el dominio de la frecuencia. Esta simulación se realizó considerando diferentes porcentajes de reducción de la capacitancia en  $C_{1\mu F}^M$ , lo que a su vez representa diferentes grados de degradación estructural en el MLCC. Como se observa en la Figura 4.16, cuando  $C_{1\mu F}^M$  no presenta variaciones en su capacitancia (línea negra), el voltaje entregado a la carga ( $V_{load}$ ) se mantiene por debajo de 100 mV a frecuencias de hasta 50 MHz. De hecho, una vez superada la región de resonancia,  $V_{load}$  está muy por debajo de la curva de voltaje obtenida cuando la PDN no está compensada (línea roja). Esta gráfica también muestra cómo varía  $V_{load}$  cuando la capacitancia de  $C_{1\mu F}^M$  se reduce en un 50 % y 75 %, comparando dos escenarios: uno en el que solo cambia la capacitancia (líneas uniformes) y otro en el que también se considera la variación de sus efectos parásitos (líneas punteadas).

El modelo simple asume que los MLCCs fracturados sólo experimentan una reducción en su capacitancia, mientras que sus elementos parásitos son inmunes al estrés mecánico. Esta suposición predice un cambio en la magnitud y la frecuencia de resonancia, y que  $V_{load}$  será significativamente menor en comparación con la curva de voltaje sin compensación a frecuencias superiores a la región de resonancia. Sin embargo, como se explicó en secciones anteriores, cuando los MLCCs se flexionan, tanto su capacitancia como sus elementos parásitos cambian. La variación de estos parámetros se representa con líneas punteadas, que son similares al valor de  $V_{load}$  sin compensación.

Los resultados de estas simulaciones indican que ignorar el impacto del estrés mecánico en la inductancia y la resistencia de los MLCCs puede llegar a sobrestimar sustancialmente el rendimiento de un dispositivo dañado. Esto puede afectar la vida útil de equipos electrónicos en aplicaciones donde las tensiones mecánicas son significativas, como en los sectores automotriz, aeroespacial, entre otros.

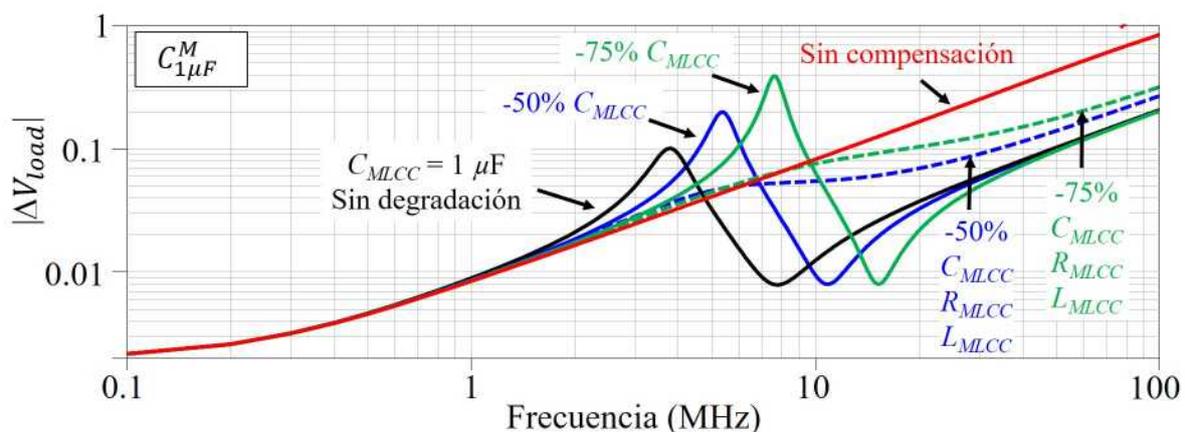


Figura 4.16: Simulación en ADS que predice el impacto de la degradación eléctrica de un MLCC conectado a una PDN.

## 4.4. Conclusiones del capítulo

En este capítulo se describió el procedimiento de medición seguido para la caracterización eléctrica de MLCCs. En primer lugar, se efectuaron mediciones sin tensión mecánica, empleando puntas de prueba e interfaces coaxiales. Estas mediciones validaron que los parámetros  $S$  obtenidos con la estructura de prueba propuesta representan con exactitud la respuesta eléctrica del DUT. Además, en esta etapa de verificación, se confirmó que el procedimiento de de-embedding aplicado a las mediciones corrige eficazmente los efectos parásitos de la estructura de pruebas.

Además de presentar la validación de la interfaz de medición, se describió detalladamente la metodología empleada en los experimentos principales de este trabajo. Estas pruebas permitieron inducir la formación gradual de fracturas en múltiples MLCCs y medir su respuesta eléctrica en el rango de microondas. Durante las mediciones, se aplicaron estímulos mecánicos de manera progresiva y controlada, lo que permitió identificar cambios en las propiedades eléctricas de los MLCCs. A este respecto, fue esencial monitorear minuciosamente tanto la respuesta eléctrica de los MLCCs como el nivel de tensión mecánica aplicada a la PCB. El cuidadoso registro de esta información fue clave para el análisis de los resultados experimentales, ya que permitió relacionar las variaciones de las propiedades eléctricas de los MLCCs con valores específicos de tensión mecánica.

Los resultados obtenidos después del diseño, fabricación y medición de la estructura de pruebas propuesta demostraron cuantitativamente la variación de las propiedades eléctricas de los MLCCs. En particular, se identificó por primera vez el cambio de su resistencia e inductancia parásitas bajo condiciones de tensión mecánica. Estos cambios se originan por la formación de grietas en el material cerámico de los MLCCs, lo cual se discutió detalladamente en este capítulo.

Finalmente, se presentó la simulación de una red de distribución de potencia con un capacitor de desacoplo fracturado. Esto permitió ilustrar el impacto de la degradación estructural de los MLCCs en el funcionamiento de un sistema electrónico. Lo anterior resalta la importancia de la caracterización eléctrica de los MLCCs sometidos a tensión mecánica y la necesidad de desarrollar métodos para su caracterización a altas frecuencias bajo estos estímulos.

# Capítulo 5

## Conclusiones

La importancia de los MLCCs en sistemas electrónicos avanzados ha impulsado el desarrollo de investigaciones para cuantificar su degradación y evaluar su impacto en el rendimiento de los circuitos operando a alta velocidad. En este contexto, el presente trabajo contribuye proponiendo metodologías que permiten medir y analizar la respuesta eléctrica de microondas de MLCCs bajo diferentes grados de degradación estructural inducida por tensiones mecánicas. Para resaltar la relevancia de este estudio, se explicaron las aplicaciones más comunes de los MLCCs en circuitos de alta velocidad, se describió su estructura física y se presentaron los modelos que representan sus propiedades eléctricas y su comportamiento a altas frecuencias. En este capítulo se presentan algunas observaciones y conclusiones del trabajo realizado.

### 5.1. Caracterización eléctrica de MLCCs sometidos a tensión mecánica

En este proyecto de investigación, se hizo una revisión exhaustiva de los métodos reportados en la literatura para analizar el efecto de la tensión mecánica en la integridad estructural de los MLCCs. Algunas de estas técnicas se enfocan en la detección de la emisión acústica de sus fracturas, mientras que otros realizan un estudio exhaustivo de sus propiedades mecánicas. Sin embargo, ninguno ha abordado un análisis detallado de la respuesta eléctrica de MLCCs a frecuencias de gigahertz durante la aplicación de estímulos mecánicos ni el comportamiento de sus elementos parásitos. Este vacío en la literatura motivó el desarrollo de esta tesis, en la que se diseñó y fabricó una estructura de pruebas para la caracterización eléctrica de MLCCs en el rango de microondas que permitiera la aplicación simultánea de estímulos mecánicos. Para este propósito, se describieron las interfaces de medición que permiten conectar al DUT con el VNA, evaluando su viabilidad para experimentos de tensión mecánica. Este estudio permitió definir los criterios necesarios para el diseño de la estructura de pruebas presentada en este trabajo.

## 5.2. Consideraciones sobre la estructura de pruebas propuesta

Para diseñar la estructura de pruebas y el arreglo experimental para la caracterización eléctrica de los MLCCs, se seleccionó un sustrato capaz de transmitir la tensión mecánica necesaria para fracturar los capacitores sin superar sus límites elásticos. Además, se realizó el diseño, la simulación y la evaluación de la respuesta eléctrica de diferentes configuraciones de microcintas para elegir el diseño con menores pérdidas. Este proceso se realizó en paralelo con el diseño de una interfaz para medir la tensión mecánica inducida en los MLCCs y la elección de las estructuras necesarias para sujetar y aplicar este estímulo en los prototipos.

Adicionalmente, fue necesario realizar pruebas para validar la fiabilidad de los prototipos. Una de ellas consistió en comprobar que la flexión de la estructura de pruebas no inducía cambios en los parámetros  $S$  que interfirieran en la caracterización eléctrica de los MLCCs. Por otra parte, se midieron los parámetros  $S$  de los MLCCs sin tensión mecánica con el prototipo final y se compararon los resultados obtenidos con puntas de prueba. La concordancia entre ambas mediciones y los datos proporcionados por los fabricantes validó que la interfaz de medición propuesta permite medir la respuesta eléctrica de los MLCCs.

Cabe señalar que, durante el desarrollo experimental de este trabajo, se midieron los parámetros  $S$  de 24 capacitores, cuatro de cada tamaño y valor de capacitancia. Para lograr esto, se fabricaron múltiples réplicas del prototipo final, lo que ayudó a reducir el impacto de la fatiga del sustrato y de los conectores en las mediciones.

## 5.3. Acerca de los resultados experimentales

Los resultados experimentales presentados aquí demuestran que la capacitancia y los elementos parásitos de los MLCCs cambian con la aplicación de tensión mecánica. Para identificar estas variaciones, se midieron los parámetros  $S$  de capacitores bajo diferentes niveles de tensión mecánica. Posteriormente, se analizaron los datos obtenidos y se obtuvieron las gráficas presentadas en este trabajo, las cuales muestran la reducción de la capacitancia y el aumento de la resistencia e inductancia parásitas provocadas por la flexión de los MLCCs. Adicionalmente, se llevaron a cabo inspecciones ópticas de las secciones transversales de MLCCs con diferentes niveles de degradación estructural. Estos análisis revelaron que la interrupción del camino de la corriente alterna causada por las grietas, es el origen del aumento en la resistencia e inductancia en serie. En este sentido, la rigidez del capacitor es un factor clave para determinar su robustez a la formación de grietas, la cual depende de su longitud, ancho y altura.

Es importante resaltar que las gráficas presentadas en este trabajo muestran, por primera vez, el cambio de la resistencia e inductancia parásita de MLCCs sometidos a flexión mecánica. Hasta ahora, la variación de estos parámetros no se había determinado debido a la complejidad de realizar pruebas de tensión mecánica en MLCCs conectados a interfaces de medición de microondas. Sin embargo, con la metodología propuesta, es posible dar solución a este problema. Como resultado, es posible predecir el impacto de daños estructurales en el rendimiento de circuitos prácticos. De hecho, se demostró que ignorar la influencia del daño mecánico en los elementos parásitos de los MLCCs, puede llevar a simulaciones incorrectas que subestiman el efecto negativo de su degradación eléctrica.

Como trabajo futuro, se podrían realizar modificaciones en la estructura de pruebas para ampliar el rango de frecuencia de las mediciones y ampliar su uso a capacitores con empaquetados más pequeños. Asimismo, este trabajo podría extenderse para incluir la aplicación de diferentes estímulos mecánicos, como vibraciones, para evaluar la respuesta eléctrica de los MLCCs bajo estas condiciones.

# Referencias

- [1] M.-J. Pan y C. A. Randall, "A brief introduction to ceramic capacitors," *IEEE Electrical Insulation Magazine*, vol. 26, n.º 3, págs. 44-50, 2010.
- [2] L. Smith y E. Bogatin, "Principles of power integrity for PDN design," en *2018 IEEE Symposium on Electromagnetic Compatibility, Signal Integrity and Power Integrity (EMC, SI PI)*, 2018, págs. 1-74.
- [3] S. Köse y E. G. Friedman, "Distributed power network co-design with on-chip power supplies and decoupling capacitors," en *International Workshop on System Level Interconnect Prediction*, 2011, págs. 1-5.
- [4] E. Z. Khodadadian, "Investigating the effect of the DC block capacitor on residual current in a system-level ESD-protected circuit," *IEEE Electromagnetic Compatibility Magazine*, vol. 12, n.º 2, págs. 39-45, 2023.
- [5] J. Tang, J. A. Hejase, M. Richardson et al., "DC blocking capacitor interfacing for high speed communication buses," en *IEEE 26th Conference on Electrical Performance of Electronic Packaging and Systems (EPEPS)*, 2017, págs. 1-3.
- [6] H. Kishi, Y. Mizuno y H. Chazono, "Base-metal electrode-multilayer ceramic capacitors: past, present and future perspectives," *Japanese Journal of Applied Physics*, vol. 42, n.º 1, pág. 1, 2003.
- [7] *EIA standard: ceramic dielectric capacitors classes I, II, III and IV – part I: characteristics and requirements*, EIA-198-1-F, American National Standards Institute, 2002.
- [8] S. Coday, C. B. Barth y R. C. Pilawa-Podgurski, "Characterization and modeling of ceramic capacitor losses under large signal operating conditions," en *IEEE 19th Workshop on Control and Modeling for Power Electronics (COMPEL)*, 2018, págs. 1-8.
- [9] C. Huang, P. Melcher, G. Ferguson y R. Ness, "Loss estimation of capacitor in high rep-rate pulsed power system," en *IEEE Pulsed Power Conference*, 2005, págs. 1077-1080.
- [10] Y. Kato y T. Shibata, "Broadband characteristics of multi-layer ceramic chip capacitors for high-speed digital signal coupling," en *Asia-Pacific Microwave Conference (APMC)*, 2018, págs. 536-538.
- [11] L. N. Lu, H. Z. Huang, X. X. Su, B. Y. Wu y M. Cai, "Investigation on PCB related failures in high-density electronic assemblies," en *International Conference on Electronic Packaging Technology High Density Packaging*, 2009, págs. 128-132.
- [12] Z. Sauli, V. Retnasamy, K. Vengdasalam, M. H. A. Aziz, R. M. Hatta y R. Vairavan, "Stress Analysis on Through Holes in PCB," en *Fourth International Conference on Computational Intelligence, Modelling and Simulation*, 2012, págs. 144-147.
- [13] R. Hibbeler, *Mecánica de materiales*. Prentice Hall, 2011.

- [14] D. Lau, M. Tsang, S. Lee et al., “Experimental testing and computational stress analysis of printed circuit board for the failure prediction of passive components under the depaneling load condition,” en *Proceedings Electronic Components and Technology*, vol. 2, 2005, págs. 1783-1791.
- [15] I. Kovtun, J. Boiko y S. Petrashchuk, “Nondestructive strength diagnostics of solder joints on printed circuit boards,” en *International Conference on Information and Telecommunication Technologies and Radio Electronics (UkrMiCo)*, 2017, págs. 1-4.
- [16] M. A. Boraey, “The effect of the geometric and thermal parameters on the thermal stresses during the passive cooling of printed circuit boards,” en *Novel Intelligent and Leading Emerging Sciences Conference (NILES)*, vol. 1, 2019, págs. 112-115.
- [17] V. K. Yaddanapudi, S. Krishnaswamy, R. Rath y R. Gandhi, “Validation of new approach of modelling traces by mapping mechanical properties for a printed circuit board mechanical analysis,” en *IEEE 17th Electronics Packaging and Technology Conference (EPTC)*, 2015, págs. 1-6.
- [18] W. Callister y D. Rethwisch, *Materials science and engineering*. Wiley, 2018.
- [19] Y. He, “Heat capacity, thermal conductivity, and thermal expansion of barium titanate-based ceramics,” *Thermochimica Acta*, vol. 419, n.º 1, págs. 135-141, 2004.
- [20] Y. S. Chen, H. K. Lai, T. C. Lin, P. H. Chang y M. U. Jen, “Analyses of printed circuit boards subjected to vibration loadings under various clamping types and reinforced ribs,” en *10th International Microsystems, Packaging, Assembly and Circuits Technology Conference (IMPACT)*, 2015, págs. 378-381.
- [21] C. Kun-Yen, H. Chang-Wei, W. Marklaw, W. Wen-Cheng J. y H. Chun-Hway, “Advanced characterization of mechanical properties of multilayer ceramic capacitors,” *Journal of Materials Science: Materials in Electronics*, vol. 25, págs. 627-634, 2014.
- [22] J. Al Ahmar, E. Wiss y S. Wiese, “Fracture probability of MLCC in dependence of solder fillet height,” en *18th International Conference on Thermal, Mechanical and Multi-Physics Simulation and Experiments in Microelectronics and Microsystems (EuroSimE)*, 2017, págs. 1-4.
- [23] J. A. Ahmar, E. Wiss y S. Wiese, “Four-point-bending experiments on multilayer ceramic capacitors: Microstructural details on crack initiation and propagation,” en *19th International Conference on Thermal, Mechanical and Multi-Physics Simulation and Experiments in Microelectronics and Microsystems (EuroSimE)*, 2018, págs. 1-6.
- [24] M. Keimasi, M. H. Azarian y M. G. Pecht, “Flex Cracking of Multilayer Ceramic Capacitors Assembled With Pb-Free and Tin–Lead Solders,” *IEEE Transactions on Device and Materials Reliability*, vol. 8, n.º 1, págs. 182-192, 2008.
- [25] D. Li, Y. Zhong, X. Zhou y G. Zhai, “Analysis method of multilayer ceramic capacitor fracture by the phase-field,” *IEEE Transactions on Components, Packaging and Manufacturing Technology*, vol. 14, n.º 2, págs. 211-220, 2024.
- [26] *Impedance Measurement Handbook*, Keysight Technologies, 2014.
- [27] F. Ellinger, *Radio frequency integrated circuit and technologies*. Springer, 2007.
- [28] D. Pozar, *Microwave Engineering*. Wiley, 2011.
- [29] *Coaxial connectors: adapters and connectors*, Keysight Technologies, 2020.
- [30] I. Kneppo y J. Fabian, “Measuring and Testing,” en *Microwave Integrated Circuits*. Springer, 1994, págs. 291-326.
- [31] V. Teppati, A. Ferrero y S. Mohamed, *Modern RF and Microwave Measurement Techniques*. Cambridge University Press, 2013.

- [32] L. Jung-A, K. Dongchul e Y. Eo, “Circuit modeling of multi-layer ceramic capacitors using s-parameter measurements,” en *International SoC Design Conference*, vol. 1, 2008, págs. 358-361.
- [33] J. P. Sánchez-Muñoz y R. Torres-Torres, “Characterization of bias-dependent ceramic capacitors from reflection coefficient measurements performed using a VNA,” *IEEE Transactions on Electromagnetic Compatibility*, vol. 66, n.º 2, págs. 351-358, 2024.
- [34] K. Yamanaga, T. Sato y K. Masu, “Accurate parasitic inductance determination of a ceramic capacitor through 2-port measurements,” en *IEEE-EPEP Electrical Performance of Electronic Packaging*, 2008, págs. 119-122.
- [35] T. Shibata e Y. Kato, “Characterization of multi-layer ceramic chip capacitors up to mm-wave frequencies for high-speed digital signal coupling,” *IEICE Transactions on Electronics*, vol. E103.C, 2020.
- [36] H. Štimac, R. Blečić, R. Gillon y A. Barić, “Frequency-domain characterization and modelling of a multi-layer ceramic capacitor for RF applications,” en *Joint International Symposium on Electromagnetic Compatibility, Sapporo and Asia-Pacific International Symposium on Electromagnetic Compatibility (EMC Sapporo/APEMC)*, 2019, págs. 285-288.
- [37] W. Gao, J. Fei, Z. Gao, J. Wang, B. Zhang y Q. Wu, “The study of MLCC assembly reliability based on PCB strain measurement,” en *19th International Conference on Electronic Packaging Technology (ICEPT)*, 2018, págs. 625-628.
- [38] V. Serea y S. Wiese, “A finite element modelling approach of test setups for multi-layer ceramic capacitors,” en *22nd European Microelectronics and Packaging Conference Exhibition (EMPC)*, 2019, págs. 1-4.
- [39] S. G. Anthati, V. Serea, E. Wiss y S. Wiese, “FE-analysis of deformation state during a four-Point bending experiment on soldered MLCCs,” en *24th International Conference on Thermal, Mechanical and Multi-Physics Simulation and Experiments in Microelectronics and Microsystems (EuroSimE)*, 2023, págs. 1-5.
- [40] S. Levikari, T. J. Kärkkäinen, P. Silventoinen, C. Andersson y J. Tamminen, “Acoustic detection of cracks and delamination in multilayer ceramic capacitors,” en *IEEE 11th International Symposium on Diagnostics for Electrical Machines, Power Electronics and Drives (SDEMPED)*, 2017, págs. 622-627.
- [41] J. Wanqing, W. Qing y R. Hanzheng, “Analysis on frequency-sensitive failure mechanism of multi-layer ceramic capacitor,” en *IEEE International Conference on High Voltage Engineering and Application (ICHVE)*, 2020.
- [42] T. Lu, X. He, Y. Zou, H. Wang y B. Zhou, “Study on cracking failure of MLCC body based on mechanical stress,” en *18th International Conference on Electronic Packaging Technology (ICEPT)*, 2017, págs. 1461-1465.
- [43] S. Neally y S. McMorrow, “Designing DC-blocking capacitor transitions to enable 56 Gbps NRZ & 112 Gbps PAM 4,” en *Proc. DesignCon 2018*, 2018.
- [44] Y. Rodríguez-Velásquez, R. S. Murphy-Arteaga y R. Torres-Torres, “Modeling microwave connectors used as signal launchers for microstrip lines of different widths,” *IEEE Microwave and Wireless Components Letters*, vol. 32, n.º 11, págs. 1295-1298, 2022.
- [45] *Advanced Design System 2011: Distributed components*, Agilent Technologies, 2011.
- [46] *An Introduction to HFSS: Fundamental Principles, Concepts, and Use*, ANSYS, 2013.

- [47] *Practical Strain Gage Measurements*, Application Note 290-1, Agilent Technologies, 1999.
- [48] J. K. Sell, H. Enser, M. Schatzl-Linder, B. Strauß, B. Jakoby y W. Hilber, “Nested, meander shaped strain gauges for temperature compensated strain measurement,” en *IEEE SENSORS*, 2017, págs. 1-3.
- [49] V. Tsenev, V. Videkov y N. Spasova, “Measurement of PCB deformation during parametric testing and evaluation of the impact on the installed components,” en *XXX International Scientific Conference Electronics (ET)*, 2021, págs. 1-4.
- [50] Murata. “FR4 Data Sheet).” (2024), dirección: <https://www.farnell.com/datasheets/1644697.pdf> (visitado 06-07-2024).
- [51] Murata. “Ceramic capacitors (SMD).” (2024), dirección: <https://www.murata.com/en-global/search/productsearch> (visitado 11-07-2024).
- [52] KEMET. “Ceramic capacitor.” (2024), dirección: <https://www.kemet.com/en/us/capacitors/ceramic.html> (visitado 11-07-2024).
- [53] *Micro sectioning of multilayer ceramic capacitors*, Application Note AN0014, Knowles.