



INAOE

Estructuras del Transistor MOS con Robustez al Ambiente Espacial para su Aplicación en Nano-Satélites

por

M.C. Carlos Alfredo Pelcastre Ortega

Tesis sometida como requisito parcial para obtener el grado de:

Doctor en Ciencias en la Especialidad de Electrónica

por el

Instituto Nacional de Astrofísica, Óptica y Electrónica (INAOE)

Febrero, 2025

Santa María Tonantzintla, Puebla

Supervisada por:

Dr. Mónico Linares Aranda

Coordinación de Electrónica en el INAOE

©INAOE 2025

Todos los derechos reservados

El autor otorga al INAOE el permiso de reproducir y distribuir
copia de esta tesis en su totalidad o en partes mencionando la
fuente.



Quiero dedicar este trabajo a mi abuelo J. Guadalupe Ortega Ochoa, una gran persona que me apoyó en toda mi vida y que fue para mí un segundo padre. También le dedico esta investigación al Dr. Francisco Javier de la Hidalga Wade, un gran académico que nos dejó un gran legado en el INAOE. Estas dos almas bondadosas se han adelantado a nosotros en el camino efímero de la vida y siempre estarán en nuestros recuerdos.

Resumen

Los circuitos electrónicos utilizados en aplicaciones espaciales son cada día más sofisticados, además de requerir un mayor nivel de robustez al ambiente espacial (Radiación y Temperatura) para alargar el tiempo de vida de los sistemas electrónicos que los utilizan. Existen diversos métodos de robustez al ambiente espacial en todos los niveles de desarrollo del sistema electrónico, desde modificaciones al proceso de fabricación, diseño geométrico y topología (layout) generando redundancia en los circuitos críticos, y hasta el uso de materiales que sirvan de escudo externo y aíslen el circuito del ambiente. Cada método tiene sus ventajas y desventajas, y es común utilizar dos o más de estos métodos al momento de diseñar un sistema electrónico completo.

En este trabajo de investigación se presenta el desarrollo de un método de robustez a radiación por medio de modificaciones a la geometría (layout) del transistor MOS (Metal-Óxido-Semiconductor), dispositivo básico de toda la electrónica MOS existente. Este método permite la fabricación de nuevos dispositivos en tecnologías comerciales sin necesidad de modificar el proceso de fabricación, lo cual permite reducir el costo de desarrollo del circuito y/o sistema electrónico que lo utiliza a valores comerciales de producción.

Específicamente, en este trabajo se desarrolló una nueva técnica de modificación geométrica (layout) de la compuerta del transistor MOS que mejora la robustez a

radiación ionizante y sus características eléctricas tanto en temperatura ambiente como en baja temperatura. Se simuló el funcionamiento del nuevo transistor utilizando modelos físicos de transporte de cargas en el software Sentaurus, así como simulación utilizando el modelo compacto BSIM3v3 del fabricante con el software SPICE. Para validar su funcionamiento se diseñó y fabricó un chip de pruebas utilizando una tecnología comercial CMOS de 180nm utilizando el software Cadence Virtuoso y Calibre. Con las estructuras del chip de pruebas se realizaron experimentos a muy bajas temperaturas (3 Kelvin), mostrando una reducción del coeficiente cero de temperatura de $0.125V$ en la nueva técnica en comparación con el valor del coeficiente en el transistor rectangular. Como resultado de utilizar esta nueva técnica en un circuito inversor, se obtuvo una reducción de la corriente de fuga del 7.27 % y una mejora de la señal de salida post-radiación del 21.66 % en comparación con el inversor utilizando la técnica de transistor rectangular.

Abstract

The electronic circuits used in space applications are becoming increasingly sophisticated while also requiring a higher level of robustness against the space environment (radiation and temperature) to extend the lifespan of the electronic systems that use them. Various methods exist to enhance robustness against the space environment at all levels of electronic system development, ranging from modifications to the manufacturing process, geometric design, and topology (layout) to create redundancy in critical circuits, to the use of shielding materials that isolate the circuit from the environment. Each method has its advantages and disadvantages, and it is common to use two or more of these methods when designing a complete electronic system.

This research work presents the development of a radiation-hardening method through modifications to the geometry (layout) of the MOS (Metal-Oxide-Semiconductor) transistor, the fundamental device of all existing MOS electronics. This method enables the fabrication of new devices using commercial technologies without the need to modify the manufacturing process, thereby reducing the development cost of the circuit and/or electronic system to commercially viable production values.

Specifically, this study developed a novel geometric modification technique (layout) for the MOS transistor gate, improving its robustness against ionizing radiation and its electrical characteristics at both room temperature and low temperatures. The operation of the new transistor was simulated using charge transport physical

models in Sentaurus software, as well as simulations using the BSIM3v3 compact model from the manufacturer with SPICE software. To validate its performance, a test chip was designed and fabricated using a commercial 180nm CMOS technology with Cadence Virtuoso and Calibre software. Experiments were conducted on the test chip at extremely low temperatures (3 Kelvin), showing a reduction in the zero-temperature coefficient of $0.125V$ in the new technique compared to the coefficient value in the rectangular transistor. As a result of applying this new technique in an inverter circuit, a leakage current reduction of 7.27 % and a post-radiation output signal improvement of 21.66 % were achieved compared to the inverter using the rectangular transistor technique.

Agradecimientos

A mis padres Jose Luis y Herminia Aurora, a mi hermano Michel Ivan y a toda mi familia por ese gran apoyo emocional y financiero que me han dado, en especial a mis abuelos que siempre me apoyaron en todas las etapas de mi vida y de este trabajo.

A mi asesor, el Dr. Mónico Linares Aranda, este trabajo se ha completado gracias a la aportación de sus conocimientos y su apoyo.

Al Laboratorio de Microelectrónica del INAOE y en específico al técnico Ignacio Juárez Ramírez por el apoyo en el alambrado del chip C-RAD1.

Al Laboratorio de Altas Frecuencias junto al técnico Noé Ariza Torres por su apoyo en las mediciones y el préstamo del equipo necesario.

Al Laboratorio de Instrumentación Astronómica de Ondas Milimétricas junto al investigador posdoctoral el Dr. Ismael Martínez Ramos que me ayudo en las mediciones a baja temperatura.

Al Instituto Nacional de Astrofísica, Óptica y Electrónica por permitirme el realizar mis estudios en su programa de maestría, de igual forma agradezco al CONACYT por el apoyo financiero de la beca de posgrado que me permitió continuar con mis estudios.

Índice general

Glosario	XXI
1 Introducción	1
1.1 Motivación	1
1.1.1 Uso de circuitos integrados en nanosatélites	3
1.2 Efectos de la Radiación en Dispositivos y Circuitos Electrónicos CMOS	4
1.3 Robustez a Radiación por Diseño (RHBD)	4
1.4 Objetivos de la tesis	5
2 Radiación TID y el Ambiente Espacial	6
2.1 Efectos físicos de la radiación ionizante en transistores MOS	6
2.2 Ambiente radiactivo espacial	7
2.3 Acumulación de cargas en SiO ₂ por TID	7
2.4 Técnicas robustas a radiación	13

2.4.1	Diferentes técnicas geométricas de la compuerta del transistor MOS	14
3	Nuevas Técnicas de Robustez de Dispositivos MOS al Ambiente Espacial.	25
3.1	Propuestas 1 compuerta flotante y 2 compuerta híbrida de transistores NMOS	25
3.2	Propuesta 3: Transistor Reloj de Arena (Hourglass) canal N [1–3] .	27
3.2.1	Funcionamiento de la estructura Reloj de Arena	28
3.3	Simulación física en base a tecnologías comerciales	30
3.3.1	Ambiente de simulación y calibración de los procesos de fabricación utilizados	30
3.3.2	Simulación de efectos por radiación TID	36
3.3.2.1	Simulación en tecnología 130 nm TSMC	36
3.3.2.2	Aumentando la robustez a radiación	42
3.3.2.3	Simulación en tecnología 180 nm UMC	44
3.3.2.4	Simulación de inversores CMOS en tecnología 180 nm UMC	49
4	Diseño y fabricación del chip de pruebas C-RAD1	55
4.1	Estructuras diseñadas y distribución en el chip de pruebas	55

5	Resultados experimentales	62
5.1	Caracterización eléctrica a temperatura ambiente	62
5.2	Caracterización eléctrica a baja temperatura y variaciones de proceso	70
5.2.1	Simulaciones a baja temperatura y con variaciones de proceso	70
5.3	Resultados experimentales a baja temperatura	73
6	Conclusiones	79
6.1	Publicaciones	81
6.2	Trabajo Futuro	81
	Apéndices	82
A	Manual del chip de pruebas C-RAD1	83

Índice de figuras

2.1	Esquema del proceso de transporte de carga positiva en óxidos. . . .	9
2.2	Cambio en V_{th} de un MOS canal N junto a sus componentes debido a la acumulación de carga en el cuerpo del óxido y en la interfaz óxido/silicio.	11
2.3	Variaciones del V_{th} en diferentes tecnologías obtenidas mediante experimentos con diferentes dosis de radiación.	12
2.4	Camino conductivos entre regiones tipo N.	12
2.5	Gráfica I_d vs V_g de un transistor NMOS tras varias dosis de radiación.	13
2.6	Layout de un par de transistores ELT (con y sin anillo de guarda). .	16
2.7	Simulación de líneas de campo eléctrico en la región de canal de un transistor con técnica diamante.	17
2.8	Layout de un transistor NMOS utilizando la técnica de compuertas falsas.	18
2.9	Layout de un transistor NMOS utilizando la técnica de compuerta I(H).	19

2.10	Layout de un transistor NMOS utilizando la técnica de compuerta Z.	19
2.11	Layout de un transistor NMOS utilizando la técnica de compuerta "DogBone".	20
3.1	Layout de a) Transistor Rectangular indicando caminos conductivos parásitos (Blanco), b) Propuesta 1 y c) Propuesta 2 de transistor NMOS robusto a radiación.	26
3.2	Curvas $I_d - V_{gs}$ con $V_{ds} = 0.1V$ en región de subumbral de las propuestas 1 y 2 de transistores junto a un transistor rectangular y un transistor con compuerta H/I.	27
3.3	Layout de Propuesta 3 (Reloj de Arena) indicando el efecto PAMDLE.	28
3.4	Dimensiones utilizadas en el cálculo de la relación de aspecto del transistor reloj de arena.	29
3.5	Modelo 3D del transistor rectangular CMOS canal N en Sentaurus.	32
3.6	Curvas $I_d - V_{gs}$ de calibración en el transistor rectangular CMOS canal N.	33
3.7	Modelo 3D del transistor reloj de arena CMOS canal N en Sentaurus.	34
3.8	Layout de transistor a) Reloj de Arena, b) Diamante, c) DogBone y d) Rectangular.	34
3.9	Comparación de curvas $I_d - V_{gs}$ de transistores diamante NMOS 130nm simulados y con datos de la literatura con diferentes ángulos α .	35
3.10	Densidad de corriente lateral Pre-Radiación $V_{ds} = 0.1V$, $V_{gs} = 0V$ NMOS 130 nm del transistor a) Rectangular y b) Reloj de Arena. . .	37

3.11	Densidad de corriente lateral Pre-Radiación $V_{ds} = 0.1V$, $V_{gs} = 0V$ NMOS 130 nm del transistor a) Diamante y b) DogBone.	37
3.12	Densidad de corriente lateral Post-Radiación $V_{ds} = 0.1V$, $V_{gs} = 0V$ NMOS 130 nm del transistor a) Rectangular y b) Reloj de Arena. . .	38
3.13	Densidad de corriente lateral Post-Radiación $V_{ds} = 0.1V$, $V_{gs} = 0V$ NMOS 130 nm del transistor a) Diamante y b) DogBone.	38
3.14	Curvas $I_d - V_{gs}$ en región de subumbral de los cuatro dispositivos simulados con efectos de radiación tecnología TSMC 130 nm.	39
3.15	Campo eléctrico en la región de compuerta Post-Radiación en la tecnología TSMC 130 nm.	40
3.16	Densidad de corriente eléctrica en la región de compuerta Post- Radiación en la tecnología TSMC 130 nm.	41
3.17	Curvas de Corriente de drenaje normalizadas con respecto a la re- lación de aspecto de cada dispositivo vs Voltaje de compuerta en la tecnología TSMC 130 nm.	41
3.18	Layouts de dispositivos sin P Stop a) Rectangular, b) H/I, c) Dia- mante y d) Reloj de Arena en la tecnología TSMC 130 nm.	42
3.19	Layouts de dispositivos con P Stop a) Rectangular, b) H/I, c) Dia- mante y d) Reloj de Arena en la tecnología TSMC 130 nm.	43
3.20	Curvas $I_d - V_{gs}$ en condiciones Pre-Radiación comparando disposi- tivos con y sin P Stop en la tecnología TSMC 130 nm.	43
3.21	Curvas $I_d - V_{gs}$ en condiciones Post-Radiación comparando disposi- tivos con y sin P Stop en la tecnología TSMC 130 nm.	44

3.22	Densidad de corriente lateral Pre-Radiación $V_{ds} = 0.1V$, $V_{gs} = 0V$ NMOS 180 nm del transistor a) Rectangular y b) Reloj de Arena. . .	45
3.23	Densidad de corriente lateral Pre-Radiación $V_{ds} = 0.1V$, $V_{gs} = 0V$ NMOS 180 nm del transistor a) Diamante y b) DogBone.	45
3.24	Densidad de corriente lateral Post-Radiación $V_{ds} = 0.1V$, $V_{gs} = 0V$ NMOS 180 nm del transistor a) Rectangular y b) Reloj de Arena. . .	45
3.25	Densidad de corriente lateral Post-Radiación $V_{ds} = 0.1V$, $V_{gs} = 0V$ NMOS 180 nm del transistor a) Diamante y b) DogBone.	46
3.26	Curvas $I_d - V_{gs}$ en región de subumbral de los cuatro dispositivos simulados con efectos de radiación en la tecnología UMC 180 nm. . .	46
3.27	Campo eléctrico en la región de compuerta Post-Radiación en la tecnología UMC 180 nm.	47
3.28	Densidad de corriente eléctrica en la región de compuerta Post- Radiación en la tecnología UMC 180 nm.	48
3.29	Curvas de corriente de drenaje normalizadas con respecto a la re- lación de aspecto de cada dispositivo vs voltaje de compuerta en la tecnología UMC 180 nm.	48
3.30	Simulación de señales de entrada y salida Pre y Post Radiación a temperatura ambiente y con una frecuencia de señal de entrada de 1GHz del inversor CMOS con NMOS Rectangular.	49
3.31	Simulación de corriente pico de drenaje Pre y Post Radiación a temperatura ambiente y con una frecuencia de señal de entrada de 1GHz del inversor CMOS en el NMOS Rectangular.	50

3.32	Simulación de señales de entrada y salida Pre y Post Radiación a temperatura ambiente y con una frecuencia de señal de entrada de 1GHz del inversor CMOS con NMOS Reloj de Arena.	50
3.33	Simulación de corriente pico de drenaje Pre y Post Radiación a temperatura ambiente y con una frecuencia de señal de entrada de 1GHz del inversor CMOS en el NMOS Reloj de Arena.	51
3.34	Simulación de corriente pico de drenaje en inversores Reloj de Arena y Rectangular a temperatura ambiente y con una frecuencia de señal de entrada de 1GHz con la longitud de los transistores Rectangulares $L = L_{eff}$	52
4.1	Layout del transistor reloj de arena en el chip C-RAD1.	56
4.2	Layout del inversor CMOS con un transistor NMOS reloj de arena y un transistor PMOS rectangular.	58
4.3	Layout del inversor CMOS con transistores NMOS y PMOS reloj de arena.	58
4.4	Distribución de pads y dimensiones del chip de pruebas C-RAD1.	60
5.1	Imagen de un chip C-RAD1 alambrado a la base tipo DIP24 y una ampliación de los chips sin alambrar.	63
5.2	Imagen de un chip C-RAD1 sobre una estación de trabajo y conectado a puntas de prueba.	63
5.3	Curvas experimentales $I_d - V_{gs}$ con $V_{ds} = 0.1V$ a temperatura ambiente en región de encendido del transistor reloj de arena en diferentes chips y resultados de simulación.	64

5.4	Curvas experimentales $I_d - V_{gs}$ con $V_{ds} = 0.1V$ a temperatura ambiente en región de subumbral del transistor reloj de arena en diferentes chips y resultado de simulación en Sentaurus.	65
5.5	Curvas normalizadas $(I_d/(W/L)) - V_{gs}$ con $V_{ds} = 0.1V$ de los transistores rectangular, diamante, DogBone y reloj de arena en los chips C, E y H y el dado sin alambrear (Dice).	66
5.6	Vista superior simplificada de un transistor diamante (a) y un transistor rectangular (b) ilustrando los componentes vectoriales del LCE correspondiente.	67
5.7	Vectores de campo eléctrico en el canal del transistor reloj de arena con $V_{ds} = 0.1V$ y $V_{gs} = 0V$ obtenidos en simulación.	68
5.8	Curvas de consumo de corriente pico de inversores con diferentes geometrías de transistor NMOS haciendo un barrido de voltajes de entrada (V_{in}).	69
5.9	Curvas $I_d - V_{gs}$ del transistor Reloj de Arena con variaciones de proceso y temperatura.	72
5.10	Curvas $I_d - V_{gs}$ en región de subumbral del transistor Reloj de Arena con variaciones de proceso y temperatura.	72
5.11	Diagrama del sistema completo de enfriamiento indicando equipos y conexiones utilizadas.	73
5.12	Imagen del sistema criogénico con detalles de sus estructuras.	74
5.13	Imagen superior del sistema criogénico a 3 Kelvin utilizado para caracterizar los dispositivos con el chip C-RAD1 instalado en el centro.	74

5.14	Curvas experimentales $I_d - V_{gs}$ del transistor Rectangular variando la temperatura.	76
5.15	Curvas experimentales $I_d - V_{gs}$ del transistor Reloj de Arena variando la temperatura.	76
5.16	Curvas experimentales en subumbral $I_d - V_{gs}$ del transistor Rectangular variando la temperatura.	77
5.17	Curvas experimentales en subumbral $I_d - V_{gs}$ del transistor Reloj de Arena variando la temperatura.	77
A.1	Medidas, distribución de módulos y nomenclaturas del chip C-RAD1.	84
A.2	Diagrama de conexiones y nomenclaturas de los módulos A, B, C, D, E y F.	85
A.3	Diagrama de conexiones y nomenclaturas de los módulos G y H. . .	86
A.4	Layout de NMOS rectangular individual en el C-RAD1.	87
A.5	Layout del transistor Reloj de Arena.	88
A.6	Layout del transistor DogBone.	89
A.7	Layout del transistor ELT.	90
A.8	Layout del transistor Diamante.	91
A.9	Layout del transistor H/I sin región P Stop.	91
A.10	Layout del transistor H/I con región P Stop.	92
A.11	Layout del transistor Z sin región P Stop.	93

A.12	Layout del transistor Z con región P Stop.	93
A.13	Layout de un inversor individual en el C-RAD1.	94
A.14	Inversor con NMOS tipo Reloj de Arena y PMOS Rectangular. . . .	95
A.15	Inversor con NMOS y PMOS tipo Reloj de Arena.	96
A.16	Layout del transistor rectangular con capa de Metal-1.	97
A.17	Capacitor MOS de dimensiones $20 \times 30\mu m$	98
A.18	Layout del oscilador de anillo con inversores rectangulares.	99
A.19	Conjunto de transistores individuales conectados a los terminales externos.	100
A.20	Conjunto de inversores individuales conectados a los terminales ex- ternos.	101
A.21	Layout del selector 16 a 1.	102

Índice de tablas

2.1	Lista de técnicas con modificaciones geométricas de compuerta. . . .	14
2.2	Tabla comparativa de técnicas	21
3.1	Parámetros de fabricación de las tecnologías simuladas.	31
3.2	Tabla comparativa entre relaciones de corrientes de transistor diamante (I_D) y transistor rectangular (I_R) con variaciones del ángulo α	35
4.1	Lista de Estructuras en el C-RAD1	61
5.1	Variaciones de dimensiones debido al proceso de fabricación.	71
A.1	Lista de terminales de los módulos A y B	103
A.2	Lista de terminales de los módulos C y D. (*Transistor rectangular con una capa de metal-1 sobre la región de interfaz entre el silicio y el óxido de trinchera)	103
A.3	Lista de terminales del módulo E	104
A.4	Lista de terminales del módulo F	104

A.5	Lista de terminales del módulo G	105
A.6	Lista de terminales del módulo H	105
A.7	Lista de terminales externos	106
A.8	Lista de circuitos conectados al selector 16 a 1.	106

Glosario

RHBD (*Radiation Hardening By Design*) Robustez a Radiación Por Diseño.

SEE (*Single Event Effect*) Efectos de un Solo Evento.

TID (*Total Ionizing Dose*) Dosis Total Ionizante.

ELT (*Enclosed Layout Transistor*) Layout de Transistor Encerrado.

LEO (*Low Earth Orbit*) Orbita Baja Terrestre.

SiO₂ (*Silicon Dioxide*) Óxido de Silicio.

CMOS (*Complementary Metal-Oxide-Semiconductor*), tecnología de Metal-Óxido-Semiconductor Complementario que permite la fabricación de transistores canal N y canal P en un mismo sustrato.

MOS Metal-Óxido-Semiconductor, dispositivos formados por capas de estos tres materiales.

LOCOS (*Local Oxidation of Silicon*), Oxidación Local del Silicio.

SPICE (*Simulation Program with Integrated Circuits Emphasis*), Programa de simulación con énfasis en circuitos integrados.

STI (*Shallow Trench Isolation*), Aislamiento de trinchera poco profunda.

PAMDLE (*PARallel connection of MOSFETs with Different channel Lengths Effect*),
Efecto de conexiones en paralelo de MOSFETs con diferentes longitudes de canal.

COTS (*Commertial Of The Shelf*), Venta comercial.

ASIC (*Aplication Specific Integrate Circuit*), Circuito Integrado de Aplicación Específica.

CITR Circuitos Integrados Tolerantes a Radiación.

CIRR Circuitos Integrados Robustos a Radiación.

ZTC (*Zero Temperature Coefficient*), Coeficiente Cero de Temperatura.

Capítulo 1

Introducción

1.1. Motivación

El creciente mercado aeroespacial y de comunicaciones satelitales requiere de avances significativos en el diseño de la electrónica usada en diferentes sistemas expuestos al ambiente espacial; estos avances deben solucionar los problemas que se presentan al funcionar en ambientes altamente radiactivos y con cambios drásticos de temperatura. Uno de estos problemas es la presencia de radiación que daña y degrada el funcionamiento de los circuitos electrónicos. Para mejorar la respuesta a radiación de estos dispositivos se presentan diferentes soluciones en diferentes niveles del proceso de construcción de un satélite y particularmente en el proceso de fabricación de los circuitos electrónicos. Una de estas soluciones es la modificación de la geometría del transistor (layout) para mejorar su resistencia a radiación también conocida como robustez a radiación por diseño (RHBD) que permite mejorar los dispositivos sin costo extra de fabricación.

Una de las aplicaciones de estos dispositivos robustos al ambiente espacial es en la fabricación de nanosatélites, los cuales son sistemas con un peso entre 1 *kg*-10 *kg*

y dimensiones de máximo 10cm a 30cm por lado, que se lanzan en la órbita baja terrestre para propósitos de investigación y telecomunicaciones [4]. El tiempo de construcción de estos nanosatélites es de aproximadamente un año y su tiempo de vida en órbita varía dependiendo de la calidad de sus componentes y los subsistemas con los que se equipe, pero en general el tiempo en órbita está entre 1 y 5 años. Se mueven en alturas entre 400 y 650 *km* y viajan a velocidades de 8 *km/s* logrando dar una vuelta a la tierra cada 90 minutos; estas distancias aseguran una mayor protección de los nanosatélites a efectos de radiación solar y cósmica [5]. Dependiendo de la inclinación y posición de la órbita se pueden esperar temperaturas de entre 325 *K* y 177 *K*, esta variación se debe a que una órbita de 90 minutos puede tener tiempos de luz solar de 40 minutos, seguidos de 50 minutos de sombra terrestre [6]. Dependiendo del trayecto se puede implementar un sistema de control de altitud para extender el tiempo de misión y controlar de forma precisa la órbita del satélite y su posición, así también se pueden evitar zonas de alta concentración de partículas energéticas que puedan dañar los componentes electrónicos [7].

El consumo de potencia es uno de las principales limitantes en el desarrollo de una misión de varios años; la principal fuente de energía son los paneles solares en la superficie, los cuales sufren de degradación debido al ambiente espacial y a su tiempo limitado de exposición a la luz solar en algunas órbitas. La potencia total que proveen estas celdas solares depende de la tecnología con la que son fabricadas, el tamaño del satélite (cantidad de superficie disponible) y su arreglo de conexión, siendo comunes potencias de entre 3 - 70 *W* [8]. La dosis de radiación que reciben estos satélites varía dependiendo del grosor de la carcasa metálica que protege los componentes internos y la inclinación de la órbita. Estudios de ambiente espacial en diferentes nanosatélites muestran una dosis máxima de 24.2 *krad* en un periodo de tres años [9].

1.1.1. Uso de circuitos integrados en nanosatélites

Uno de los principales puntos a favor de los nanosatélites es el bajo presupuesto necesario para lanzar una misión de este tipo. Se considera un método de reducción de costos el uso de componentes COTS (Commercial Of The Shelf) [10–12], estos componentes son más baratos que los circuitos ASIC (Application Specific Integrate Circuits) que normalmente se utilizan en misiones de satélites de mayor presupuesto. La diferencia radica en su volumen de fabricación comercial, componentes COTS se fabrican en masa con especificaciones muy generales, mientras que circuitos ASIC son fabricados exclusivamente para la misión en que se piensan usar con funciones muy específicas. En los últimos años se han fabricado componentes COTS con certificación espacial de parte de las compañías que los fabrican, a estos componentes se les denomina “Space COTS” [13]. Se ha reportado el uso de estos componentes en nanosatélites como el PiCPoT [14], UCHSat-1 [13], o el SNAP-1 [12] por nombrar algunos. Para misiones que requieren mayor tiempo en órbita o que tienen mejor presupuesto se pueden diseñar ASICs que tengan las especificaciones requeridas para trabajar con el satélite en particular, su uso mejora el rendimiento del satélite y reduce los riesgos de la misión.

Los circuitos integrados usados para aplicaciones en ambientes radiactivos se pueden clasificar en tres categorías, la primera son los COTS que son circuitos comerciales de bajo precio, la segunda categoría son los Circuitos Integrados Tolerantes a Radiación (CITR), los cuales son COTS con modificaciones para soportar ambientes radiactivos como usar empaquetados con materiales más densos. La última categoría son los Circuitos Integrados Robustos a Radiación (CIRR) que a diferencia de los dos anteriores se fabrican con métodos especiales para que soporten altas dosis de radiación, limitando así la aparición de errores y fallas de funcionamiento en los circuitos. Para algunos proyectos de nanosatélites el uso de COTS y CITR aunque permiten ahorrar presupuesto puede reducir la tasa de éxito de la misión o limitarla

bastante en su tiempo de vida.

1.2. Efectos de la Radiación en Dispositivos y Circuitos Electrónicos CMOS

Uno de los problemas que se observan en los equipos electrónicos que son usados en ambientes espaciales o radiactivos terrestres es la aparición de errores generados por la radiación ionizante. Estos errores suelen ser clasificados en dos grupos, uno es de efectos de un solo evento (SEE) y el otro es de acumulación de dosis de radiación ionizante (TID). Los errores por SEE se generan por la colisión de una partícula de radiación altamente energética que crea una gran cantidad de pares electrón-hueco en su camino por el semiconductor; en cambio los errores por TID son generados por la acumulación de carga positiva en los óxidos de silicio que funcionan de aislantes entre dispositivos que conforman circuitos electrónicos, esta acumulación de carga se debe a la repetición de colisiones de partículas radioactivas en un periodo prolongado de tiempo sobre los materiales con los que se fabrican.

1.3. Robustez a Radiación por Diseño (RHBD)

Los métodos de robustez a radiación por medio de la modificación del diseño se pueden clasificar en dos técnicas diferentes, la modificación de diseño de circuitos (topología) y la modificación del diseño de transistores (estructura). En la primera se diseñan circuitos tanto digitales como analógicos para que funcionen aún en caso de fallas inducidas por radiación (errores por SEE); en la segunda técnica se modifica la geometría de la compuerta del transistor para disminuir la degradación de sus propiedades por efecto de la radiación ionizante (degradación por TID).

Existen distintas formas geométricas que se pueden aplicar al diseño del transistor (diamante[15], H/I[16], entre otras); la más utilizada para aumentar la robustez es la geometría de transistor completamente encerrado (ELT[41]), en esta estructura la compuerta rodea por completo una de las regiones activas de fuente/drenaje del transistor.

1.4. Objetivos de la tesis

Objetivo General

Diseñar, fabricar y caracterizar eléctricamente nuevos dispositivos MOSFET con robustez al ambiente espacial (Radiación y Temperatura) y con aplicación en Nano-satélites.

Objetivos Específicos

- Diseñar y simular mediante simuladores 3D nuevos dispositivos utilizando tecnologías comerciales, aplicando efectos de radiación en la simulación.
- Fabricar los nuevos dispositivos utilizando una tecnología comercial submicrométrica, incluyendo estructuras más complejas que hagan uso de los nuevos dispositivos propuestos en este trabajo (compuertas lógicas y osciladores).
- Caracterizar eléctricamente los dispositivos fabricados.
- Obtener características eléctricas a bajas y altas temperaturas de los dispositivos fabricados.

Capítulo 2

Radiación TID y el Ambiente Espacial

2.1. Efectos físicos de la radiación ionizante en transistores MOS

La radiación en el espacio se puede clasificar en tres grupos según su origen; primero se encuentra la radiación atrapada en el campo magnético de la Tierra, esta radiación está compuesta principalmente de electrones y protones y se concentra principalmente en dos cinturones de radiación llamados cinturones de van Allen. En segundo lugar, se encuentra la radiación de rayos cósmicos, la cual tiene su origen fuera del sistema solar y está constituida en su mayoría de protones en un 85 %, seguido de partículas alfa en 14 % y el restante 1 % es principalmente radiación de iones pesados. Por último, se encuentra la radiación generada por eventos solares, esta radiación se conforma de protones, partículas alfa e iones pesados de mucha energía. [17][18]. La radiación ionizante está formada por diferentes tipos de partículas cargadas que, como su nombre indica, impactan el material y lo ionizan (rompen enlaces cediendo energía a las partículas que conforman el material). Los principales tipos de radiación ionizante que afectan la electrónica en el espacio es la radiación

por fotones (rayos gamma y rayos x) y la radiación por partículas con masa (alfa, beta e iones pesados).

2.2. Ambiente radiactivo espacial

El flujo de partículas y su energía promedio cambia dependiendo de la altitud en la que se encuentran; para aplicaciones basadas en nanosatélites se lanzan misiones en la órbita baja terrestre, la cual está entre la atmosfera y el primer cinturón de van Allen. En esta órbita se tiene un promedio de dosis de radiación de 500 Gy/día , con la excepción de la zona denominada *anomalía del atlántico sur* en la cual se concentra un mayor flujo de partículas de radiación y por lo tanto la dosis promedio es aproximadamente 2000 Gy/día [19]. Debido a estas bajas dosis se han relajado los criterios de robustez en los dispositivos siendo muy común el uso de circuitos con un nivel mínimo o nulo de protección, las misiones que hacen uso de estos tipos de circuitos tienen tiempos de vida limitados a unos cinco años. Debido a las dosis de radiación menores a 1 krad/año presentes en la órbita baja terrestre, estudios o recomendaciones, reglas de robustez a radiación en dosis bajas como el realizado por Bezhenova et al. [20] son importantes al momento de diseñar los dispositivos a usar en los circuitos analógicos y digitales presentes en nanosatélites.

2.3. Acumulación de cargas en SiO_2 por TID

Los métodos de robustez a radiación que hacen uso de modificaciones a la geometría de los transistores están hechos específicamente para contrarrestar los efectos causados por la radiación tipo TID; los efectos de este tipo de radiación se producen cuando los materiales semiconductores reciben altas dosis de radiación ionizante en un periodo prolongado de tiempo (periodos de años), degradando el funcionamiento

de los dispositivos que son fabricados en estos materiales. Las técnicas creadas en el presente trabajo de tesis se proponen para reducir los efectos de TID, por lo cual es necesario incidir en el estudio de los errores producidos por esta radiación. La dosis de radiación en el óxido de silicio se puede definir como la cantidad de energía depositada que proviene de un flujo de partículas con respecto a un vector de flujo, esta relación se observa en la ecuación 2.1, donde $\dot{D}$ es la derivada de la dosis absorbida en $\text{rad(material)} \cdot \text{s}^{-1}$, Φ es el flujo de partículas en $\text{cm}^{-2} \cdot \text{s}^{-1}$, dx es la abscisa elemental en cm proyectada sobre el camino del flujo (vector de flujo), dE es la energía ionizante en MeV transferida por dx y ρ es la densidad de masa del material en $\text{mg} \cdot \text{cm}^{-3}$ [21].

$$\dot{D} = 1.6 \times 10^{-5} \frac{dE}{\rho dx} \Phi \quad (2.1)$$

El principal efecto del TID es la generación de pares electrón-hueco debido a la radiación ionizante. La acumulación de carga positiva en las capas de óxido de silicio de los dispositivos se produce cuando una partícula radioactiva impacta en el material y genera pares electrón-hueco en su camino, después estas cargas generadas se separan debido al campo eléctrico a través del óxido, los electrones fluyen hacia la compuerta y los huecos hacia la interfaz óxido/silicio, como se muestra en la figura 2.1. La generación de pares electrón-hueco en el óxido de silicio se puede modelar con la ecuación 2.2, donde N_h es la cantidad de portadores que escaparon de la recombinación inicial, $f(E_{ox})$ es la proporción de huecos generados en función del campo eléctrico del óxido, D es la dosis total final de radiación, t_{ox} es el grosor del óxido en cm y g_0 es un parámetro dependiente del material que da la densidad de pares de cargas iniciales por rad de dosis ($g_0 = 8.1 \times 10^{12} \text{ pares/cm}^3$ por rad para el SiO_2)[21].

$$N_h = f(E_{ox})g_0Dt_{ox} \quad (2.2)$$

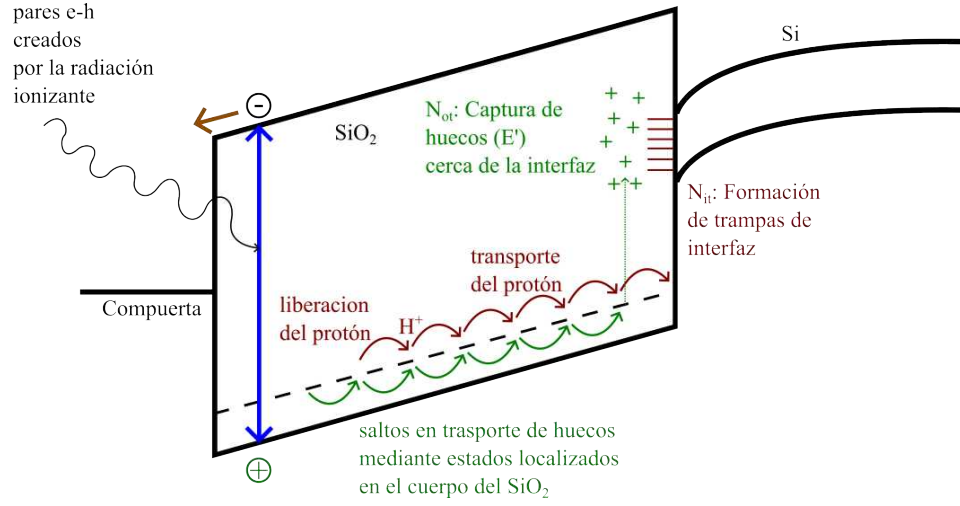


Figura 2.1: Esquema del proceso de transporte de carga positiva en óxidos [21].

La carga positiva atrapada en el óxido de silicio por efecto de la radiación se puede caracterizar en función del grosor del óxido con la ecuación 2.4, donde σ_{pt} es la área transversal de captura de huecos, N_{TP} es la densidad de trampas en el material (considerando una distribución uniforme). $Y(E)$ es la razón de partículas no recombinadas en función del campo eléctrico que se observa en la ecuación 2.5 y donde E_c y m son valores dependientes del tipo de radiación. D es la dosis absorbida integrada en el tiempo de irradiación (t_{irr}).

$$D = \int_0^{t_{irr}} \dot{D}(t) dt \quad (2.3)$$

$$Q_f(t_{ox}, t_{irr}) = g_0 D Y(E) [1 - \exp(-\sigma_{pt} N_{TP} t_{ox})] \quad (2.4)$$

$$Y(E) = \left[1 + \frac{E_c}{E} \right]^{-m} \quad (2.5)$$

La acumulación de huecos cerca de la interfaz es la causa de los principales problemas debido al TID. El primer problema que se presenta en los transistores sometidos

a dosis de radiación es el cambio en el voltaje de umbral (V_{th}) debido a la acumulación de carga positiva en el óxido de compuerta. Este comportamiento del voltaje de umbral se puede entender con la ecuación 2.6 donde el valor Q_f engloba a todas las cargas positivas atrapadas en el óxido de silicio; ϕ_{ms} es la diferencia de la función trabajo, C_{ox} es la capacitancia del óxido de compuerta, ψ_B es el potencial de Fermi, ε_S es la permitividad del silicio, q es la carga del electrón y N_A es el dopado del substrato [22].

$$V_{th} = \left(\phi_{ms} - \frac{Q_f}{C_{ox}} \right) + 2\psi_B + \frac{\sqrt{4\varepsilon_S q N_A \psi_B}}{C_{ox}} \quad (2.6)$$

El cambio de V_{th} tiene dos componentes mostrados por separado en la figura 2.2, estos componentes se deben a las cargas acumuladas en el cuerpo del óxido (V_{Not}) y a las cargas acumuladas en la interfaz óxido/silicio (V_{Nit}), la suma de ambas componentes determina el cambio en V_{th} . Para un transistor MOS canal N cada componente tiene signo distinto por lo que el dominio de uno sobre el otro determina la dirección del cambio de V_{th} hacia un voltaje más positivo o más negativo. El hecho de que el cambio en el voltaje de umbral sea resultado de dos componentes diferentes de acumulación en el óxido indica que cambios en las dimensiones del transistor afectan de forma diferente a los dispositivos aún después de ser expuestos a la misma dosis de radiación; un ejemplo de esto es la progresiva reducción del grosor de óxido de compuerta con los avances tecnológicos en la fabricación de dispositivos, esto equivale en una menor magnitud en la componente de V_{Not} y por lo tanto resulta en un V_{th} con cambios hacia voltajes más positivos después de ser irradiados. Por contraparte las tecnologías más antiguas con mayores grosores de óxido son más propensas a presentar cambios de voltaje de umbral con menores dosis de radiación, por lo cual es altamente recomendable usar tecnologías submicrométricas para aplicaciones en ambientes radiactivos (ver figura 2.3).

Otro problema es la generación de transistores parásitos en transistores MOS canal

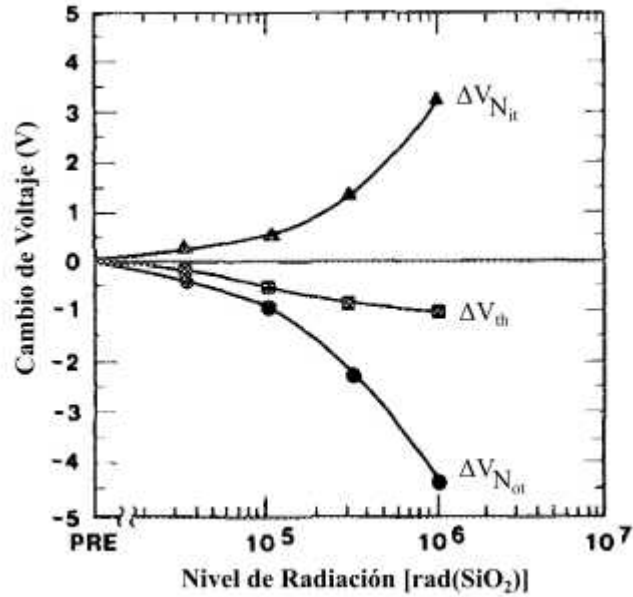


Figura 2.2: Cambio en V_{th} de un MOS canal N junto a sus componentes debido a la acumulación de carga en el cuerpo del óxido y en la interfaz óxido/silicio [23].

N, esto se debe a la generación de canales conductivos entre dos regiones dopadas tipo n por debajo del óxido de campo, la figura 2.4 muestra los diferentes tipos de caminos conductivos que pueden formarse.

La acumulación de carga en el óxido es proporcional a la dosis de radiación recibida, por lo tanto, cuanto mayor sea el tiempo de exposición de los dispositivos MOS a la radiación mayor serán los efectos generados; la dosis de radiación se mide en unidades de *rad* o Gray (*Gy*), que es la cantidad de energía absorbida por el material por unidad de masa. La corriente generada por los transistores parásitos afecta el comportamiento de los transistores funcionando en inversión débil como se puede observar en las gráficas de la figura 2.5. Una práctica común para reducir la influencia de este problema es la de diseñar el circuito para que trabaje en inversión fuerte, aunque eso conlleva a un aumento del consumo de potencia.

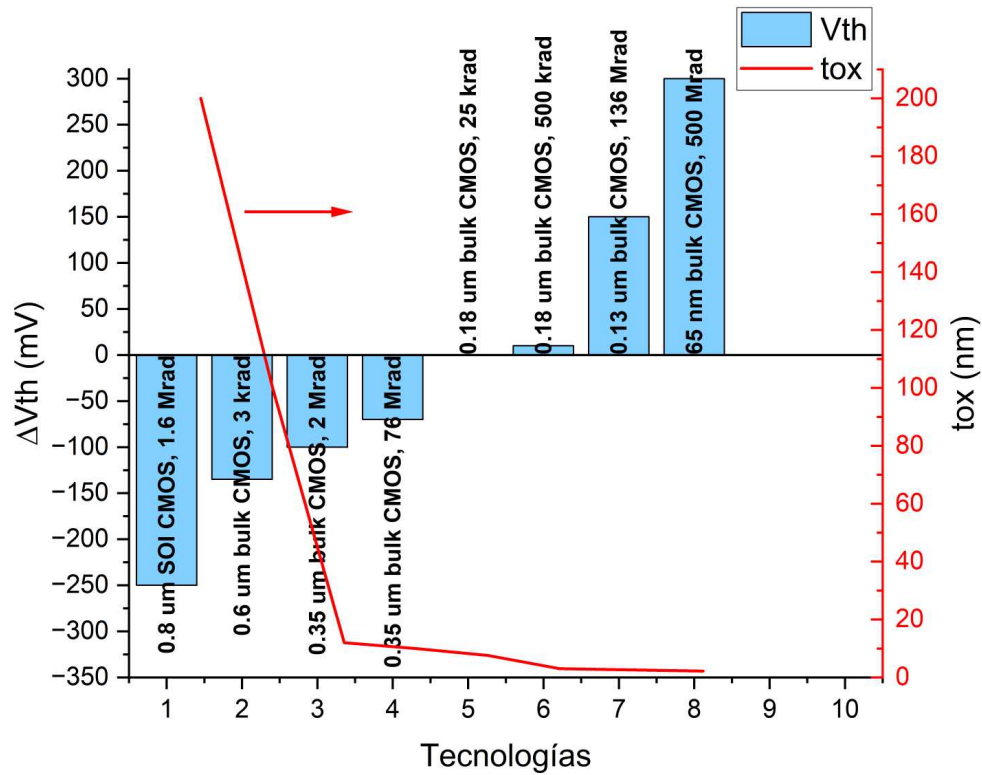


Figura 2.3: Variaciones del V_{th} en diferentes tecnologías obtenidas mediante experimentos con diferentes dosis de radiación [20, 24–30].

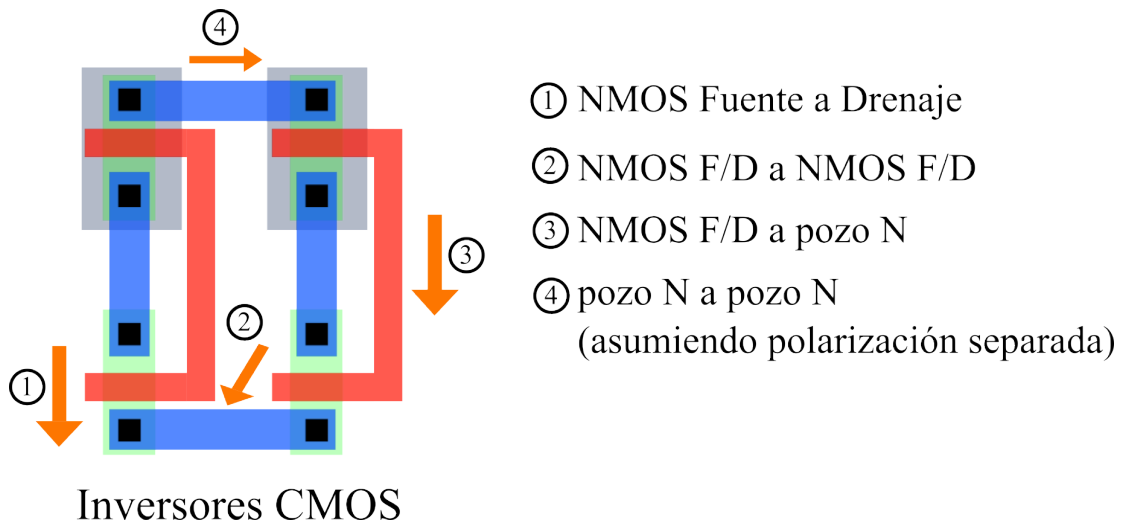


Figura 2.4: Caminos conductivos entre regiones tipo N.

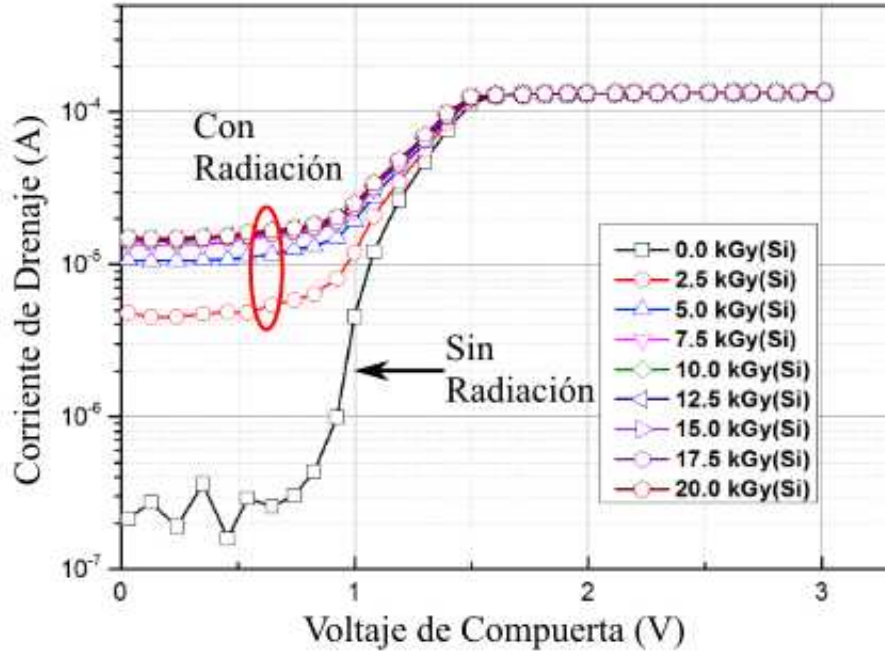


Figura 2.5: Gráfica I_d vs V_g de un transistor NMOS tras varias dosis de radiación [31].

2.4. Técnicas robustas a radiación

Las técnicas de robustez a radiación usando modificaciones geométricas a la estructura de los transistores están dirigidas para prevenir los efectos dañinos del tipo TID y en específico reducir la corriente de fuga generada por los transistores parásitos principalmente entre dispositivos MOS canal N.

Las modificaciones a la geometría han sido investigadas desde los inicios de la tecnología CMOS como lo indican los trabajos de A.G.F. Dingwall y R.E. Stricke [32] [33], pero no es sino hasta finales de los años 90 e inicios de los 2000 que se inicia a investigar las propiedades de las modificaciones geométricas de los transistores para reducir los efectos dañinos de la radiación en los dispositivos CMOS como se puede observar en el trabajo de C. L. Champion y G. S. La Rue [34] o el de R. C. Lacoe et al. [35].

Inicialmente se hicieron investigaciones en los llamados transistores de compuerta encerrada (ELT) [36], pero debido a sus limitaciones en cuanto área y dimensionamiento se empezaron a investigar nuevas formas geométricas que cumplieran con el objetivo de reducir los efectos de la radiación ionizante. Los trabajos de S. P. Gimenez et al. [15, 27, 37–40] y M.-W Lee et al. [31] introdujeron el uso de diferentes geometrías y las caracterizaron para diversos tipos de radiación, con lo cual se comprobó la eficiencia de las alternativas a los dispositivos ELT en ambientes radiactivos.

2.4.1. Diferentes técnicas geométricas de la compuerta del transistor MOS

En la literatura se encuentran una gran variedad de técnicas del transistor MOS con modificaciones a la geometría de la compuerta, no todas ellas funcionan como método de robustez a radiación. La tabla 2.1 muestra todas las técnicas que se revisaron para el marco teórico de esta investigación. Se escribirá más a fondo sobre las técnicas más importantes.

Tabla 2.1: Lista de técnicas con modificaciones geométricas de compuerta.

Técnicas RHBD y su año de publicación	
Transistor Completamente Encerrado (ELT)(1997)	Diamante (2010)
Octogonal (2012)	Aleta (FISH)(2011)
Onda (Wave)(2012)	DogBone (2005)
Compuerta en H/I (2017)	Compuerta en Z (2018)
Compuertas Falsas (2013)	Total=9 Técnicas

Geometría de transistor encerrado (ELT)

La característica principal de esta técnica es que una de las regiones activas de fuente/drenaje del transistor está completamente rodeada de la compuerta. Desde que se presentaron los primeros estudios alrededor del año 2000 [41], los disposi-

tivos ELT ha sido una de las principales técnicas utilizadas para prevenir efectos de la radiación TID; su robustez está basada en la idea de eliminar las regiones de pico de pájaro en tecnologías que usan LOCOS o más concretamente eliminar la transición entre óxido delgado de compuerta y óxido de campo. Sin esta región, no se generan caminos conductivos entre regiones de fuente y drenaje y por lo tanto se reduce considerablemente la corriente parásita de fuga. En las diferentes investigaciones basadas en esta técnica se encuentran variaciones en la forma de la compuerta presentadas en el trabajo de Sadik et al. [42] donde se expone que la forma de la compuerta encerrada (rectangular u octogonal) no influye en su tolerancia a radiación y solo cambia la vulnerabilidad ante variaciones en el proceso. Otro trabajo de importancia es el realizado por Cardoso y Balen [43] donde exponen las limitaciones de estas técnicas en cuanto a su relación de aspecto, divergentes hasta en un 34 % en cuanto a la relación estimada, y a la inexactitud de las simulaciones de SPICE en circuitos analógicos que usan estos dispositivos, esto debido a las particularidades de los ELTs. Más recientemente se han estudiado los efectos de estos transistores en tecnologías con menor tamaño de nodo (dimensión mínima de la tecnología) como los estudios de Bucher et al [30] [44] donde se observan los efectos de TID en ELTs con tamaño de nodo de 65 nm y se obtienen parámetros eléctricos para dosis de radiación de hasta 500 Mrad(SiO₂). En cuanto a la aplicación de estos dispositivos, se han hecho estudios como los de Platcheck et al. [45] donde se realizan simulaciones de diferentes arreglos de ELTs en serie y paralelo para su posible aplicación en circuitos analógicos, tomando en cuenta la divergencia en corriente de drenaje entre resultados simulados y resultados experimentales de dispositivos fabricados.

Geometría de transistor diamante

Al igual que la técnica ELT, la técnica de diamante fue propuesta para reducir la corriente parásita generada por TID, aunque a diferencia de la primera, se hace uso de diferentes efectos eléctricos para lograrlo. Esta técnica fue propuesta y desarrollada por el equipo de trabajo de Salvador Pinillos Gimenez, apareciendo por

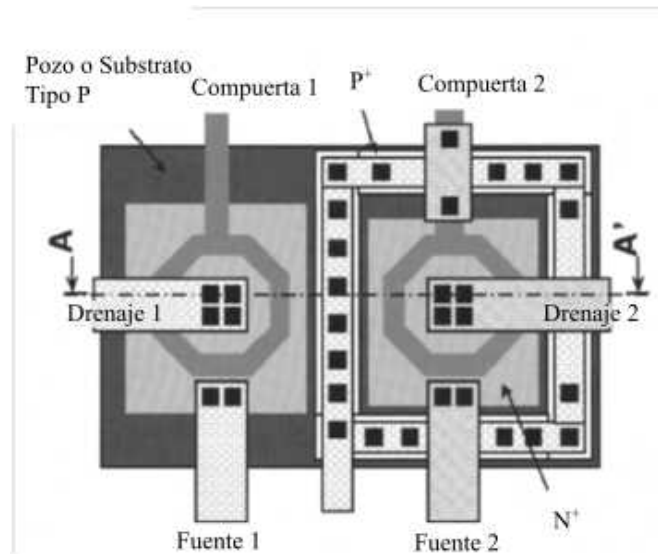


Figura 2.6: Layout de un par de transistores ELT (con y sin anillo de guarda) [35].

primera vez esta técnica alrededor del año 2010 [15]. En los siguientes años se siguió su estudio para mejorar el entendimiento de los fenómenos eléctricos que afectan el funcionamiento de estos dispositivos. El efecto que mejora la robustez de estos dispositivos es llamado DEPAMBBRE y se explica como el efecto de desactivación de MOSFETs parásitos en la región de pico de pájaro [46], este efecto se produce por la curvatura del campo eléctrico debido a la geometría de diamante. Como se observa en la figura 2.7 la curvatura hace que el campo eléctrico se aleje de la región de pico de pájaro reduciéndose así la corriente que se produce en esta región. Esta geometría también afecta la corriente de salida debido al efecto de esquina que se forma en las regiones donde el canal se abre en ángulo en el centro de las uniones metalúrgicas de fuente y drenaje [47].

Del transistor diamante se derivan otras geometrías de compuerta como la OCTO [37, 48–50], Elíptico [40, 51] y en forma de PEZ (FISH) [52], entre otras.

Técnica de compuertas falsas

Esta técnica presenta un transistor rectangular común con un par de compuer-

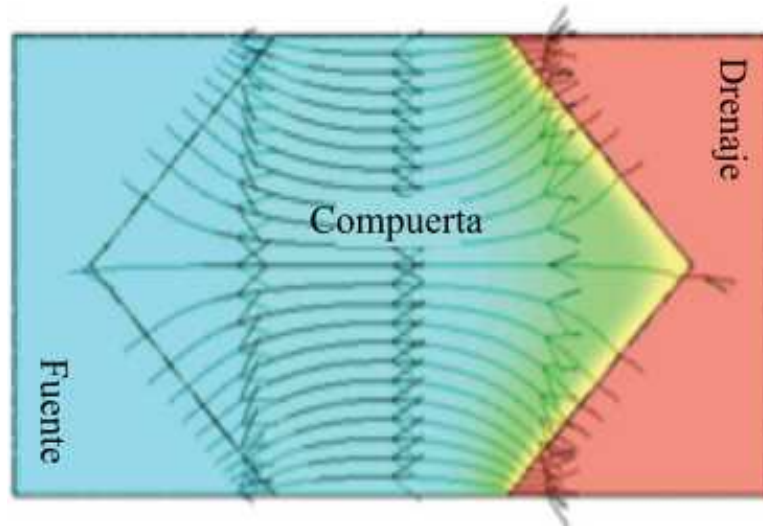


Figura 2.7: Simulación de líneas de campo eléctrico en la región de canal de un transistor con técnica diamante [47].

tas falsas al lado de las regiones de fuente y drenaje, estas compuertas hechas de polisilicio sirven para aislar con óxido delgado las zonas laterales de fuente/drenaje del óxido grueso de campo, con esto se evita una mayor concentración de cargas positivas cerca de las zonas activas dopadas. Si además esas compuertas falsas se polarizan con un voltaje de banda plana se puede evitar que una mayor cantidad de cargas se depositen en el óxido delgado bajo la compuerta principal del transistor [53]. Para una mejor protección ante radiación, esta técnica se complementa con el uso de anillos de guarda de implantación tipo P+ o si se requiere reducir el área, se puede solo implantar una región P+ en la parte superior e inferior del dispositivo donde se genera el pico de pájaro, esto para evitar la generación de transistores parásitos.

Geometría de compuerta H/I

En esta técnica se modifica la compuerta rectangular común añadiendo extensiones en la parte superior e inferior de las regiones activas, quedando la compuerta en forma de 'I' o como 'H'. Estas extensiones separan la región de óxido de campo de las regiones activas, haciendo más difícil la generación de corriente parásita, además

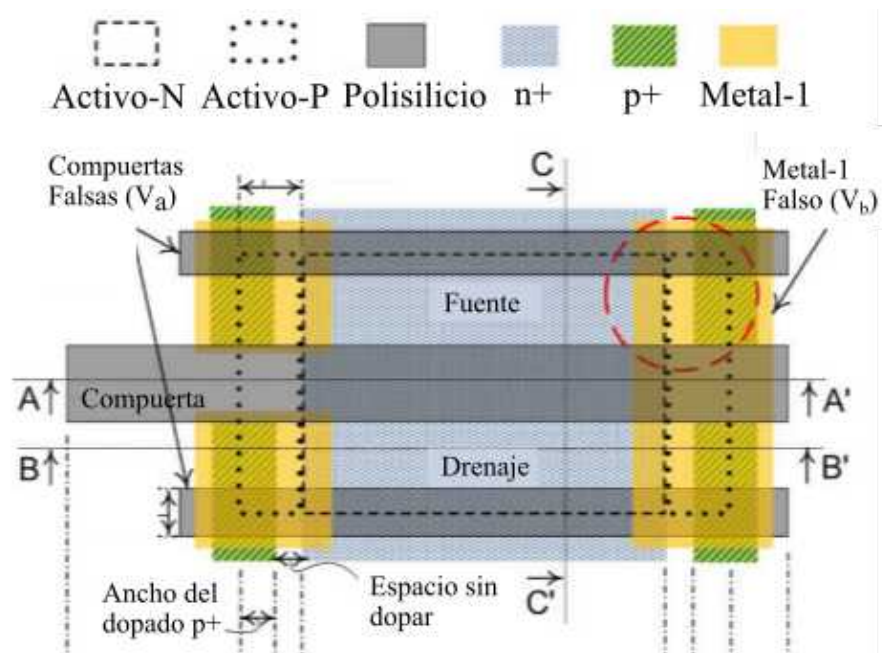


Figura 2.8: Layout de un transistor NMOS utilizando la técnica de compuertas falsas [53].

en esta técnica se añaden regiones dopadas tipo P+ separando la compuerta del óxido de campo, funcionando como fracciones de un anillo de guarda que añade una capa extra de protección al dispositivo [31]. Los estudios realizados sobre esta técnica indican que su principal ventaja es que no hay cambio aparente en la relación de aspecto del transistor en $I(H)$ comparado con el transistor rectangular común, esto se debe a que no se modifica la geometría de la región del canal, la cual mantiene las mismas dimensiones que el transistor rectangular. Esta técnica ha sido aplicada en el diseño de amplificadores de instrumentación robustos a radiación en tecnología CMOS, mostrando su correcto funcionamiento en dosis acumulada de hasta 25.8 kGy [54]. También se ha realizado la investigación de un circuito integrado de aplicación específica (ASIC) robusto a radiación usando esta técnica, esto se realizó por medio de la creación de celdas digitales [55]. La técnica de transistor H es el antecedente directo del transistor con compuerta I, su funcionamiento es prácticamente similar. Su investigación se limitó a estructuras en tecnología SOI con fines de robustez a radiación [56].

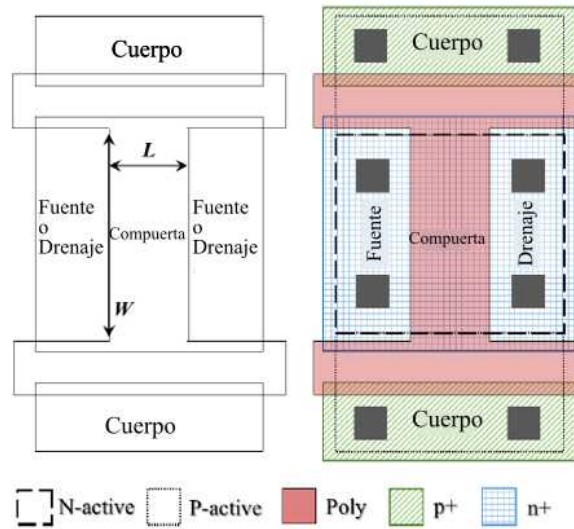


Figura 2.9: Layout de un transistor NMOS utilizando la técnica de compuerta I(H) [31].

Geometría de compuerta Z

Esta técnica se diseñó con el propósito de obtener robustez a radiación reduciendo los inconvenientes que presentan los ELTs tales como la limitante en su relación de aspecto o el aumento de la capacitancia de compuerta. Su diseño es sencillo, en lugar de encerrar completamente una de las regiones activas, la compuerta se extiende arriba y abajo en forma de Z evitando el paso de corriente entre fuente y drenaje en la región de pico de pájaro [57].

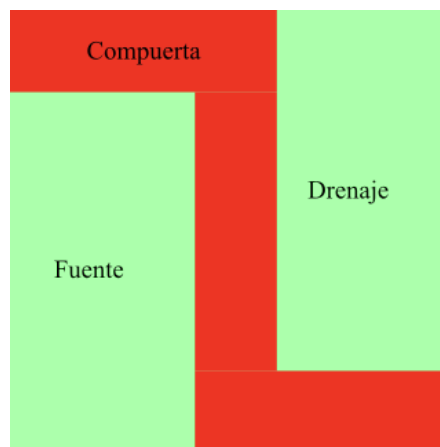


Figura 2.10: Layout de un transistor NMOS utilizando la técnica de compuerta Z [57].

Geometría de compuerta DogBone

Esta técnica deriva del transistor H/I y su principal característica es una hibridación en la geometría entre un transistor H/I y el efecto PAMDLE del transistor diamante [58].

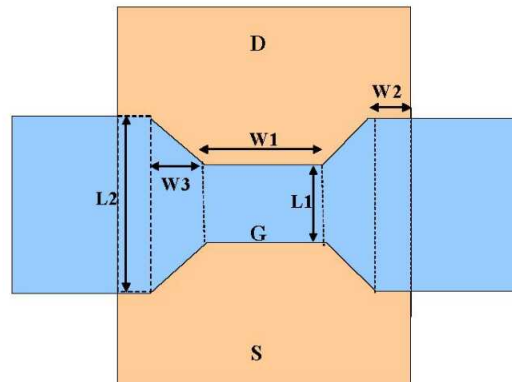


Figura 2.11: Layout de un transistor NMOS utilizando la técnica de compuerta "DogBone"[59].

En la tabla 2.2 se comparan las diferentes técnicas de modificaciones geométricas.

Tabla 2.2: Tabla comparativa de técnicas

Tabla de Técnicas						
Año	Técnica	Tecnología	Tipo de Radiación	Dosis	Dosis Máxima Acumulada	Detalles
2001 [36]	ELT	0.25 μm Bulk-CMOS	Rayos X	55.55 $krad/min$	40 $Mrad(SiO_2)$	Encierra completamente las dos regiones activas con polisilicio a riesgo de aumentar demasiado el área y la capacitancia de compuerta.
2004 [60]	ELT	0.25 μm Bulk-CMOS	Sin Experimentos de Radiación			Se estudia la geometría circular para reducir el campo eléctrico lateral que produce portadores calientes en el canal.
2018 [44]	ELT	65 nm Bulk-CMOS	Rayos X	9 $Mrad/h$	500 $Mrad(SiO_2)$	Se propone un modelo analítico de corriente de saturación para la geometría cuadrada de compuerta y se realiza el cálculo de la razón de aspecto efectiva.
2019 [42]	ELT	180 nm Bulk-CMOS	Co-60 Rayos Gamma	252.8 $krad/h$	1 $Mrad(Si)$	Se demuestra la independencia entre la robustez a radiación y la forma de la compuerta encerrada.
2020 [61]	ELT	180 nm Bulk-CMOS	Sin Experimentos de Radiación			Aplicación de ELTs en OxRAM usadas en misiones aeroespaciales.
2020 [45]	ELT	130 nm Bulk-CMOS	Sin Experimentos de Radiación			Se hace uso de una ecuación de relación de aspecto diferente acorde a la geometría y se extraen parámetros para el uso de esta técnica en circuitos analógicos.
2010 [15]	Diamante	Simulaciones SOI CMOS	Sin Experimentos de Radiación			Es aceptable su uso en circuitos analógicos ya que reduce el área de dado sin reducir sus características eléctricas, pero no se recomienda para su uso en circuitos digitales ya que estos requieren la mínima longitud de canal, además se introduce la ecuación de la razón de aspecto efectiva.

Año	Técnica	Tecnología	Tipo de Radiación	Dosis	Dosis Máxima Acumulada	Detalles
2015 [27]	Diamante	0.35 μm Bulk-CMOS	Rayos X	1.15 $Mrad/min$	76 $Mrad$	Se observó muy poca variación de voltaje de umbral y aumento de corriente de saturación aun después de radiación por lo que es recomendado para buffers.
2017 [39]	Diamante	1 μm SOI CMOS	Sin Experimentos de Radiación			Se observaron mejoras de hasta 35 % en sus parámetros eléctricos en comparación de sus contrapartes rectangulares.
2019 [46]	Diamante	180 nm SiGe Bulk-CMOS	Rayos X	70.22 $krad/h$	250 $krad(Si)$	Hacen un análisis comparativo entre MOSFETs diamante y rectangulares con respecto a sus parámetros de voltaje de umbral, corriente de saturación y transconductancia antes y después de ser irradiados.
2012 [48]	OCTO	SOI CMOS	Sin Experimentos de Radiación			Estudio sobre su uso para mantener la misma corriente IDS de su contraparte de diamante, pero con una reducción del 27 % del área, además de obtener una reducción del 61 % en área comparándolo con el transistor regular.
2013 [50]	OCTO	SOI CMOS	Rayos X	23.5 $krad/min$	600 $krad$	Se observan variaciones de corriente de salida al finalizar la irradiación, se mejora la robustez en cuanto a V_{th} y se propone como candidato para mejorar la disipación de potencia y la velocidad de cambio de estado On/Off.
2014 [37]	OCTO	SOI CMOS	Rayos X	392 rad/s	75 $krad$	Se observan variaciones mínimas de corriente de salida, también se deduce que la técnica OCTO reduce hasta en 1.71 veces la corriente de fuga de el transistor estándar.

Año	Técnica	Tecnología	Tipo de Radiación	Dosis	Dosis Máxima Acumulada	Detalles
2015 [49]	OCTO	SOI CMOS	Rayos X	392 rad/s	600 krad	Este trabajo indica que esta técnica mejora en por lo menos el doble los parámetros RON, ION, e IOFF, también indican que su uso puede ser adecuado para SOI digital.
2015 [51]	Elipsoidal	0.35 μm Bulk-CMOS	Sin Experimentos de Radiación			Se reúnen datos eléctricos y de frecuencia, demostrando que esta técnica es eficaz para RF CMOS IC.
2018 [40]	Elipsoidal	180 nm Bulk-CMOS	Sin Experimentos de Radiación			Se observó una reducción de la corriente de apagado en comparación al nodo de 350 nm y se puede considerar como una opción para circuitos de bajo consumo.
2011 [52]	FISH	SOI CMOS	Sin Experimentos de Radiación			Esta técnica es la evolución del diamante que fue diseñada para aplicaciones de circuitos digitales y se puede implementar con las mínimas dimensiones de la tecnología, mantiene el efecto LCE y mejora las características eléctricas con un mínimo costo de área.
2015 [62]	Onda	0.35 μm Bulk-CMOS	Rayos X	400 rad/s	1.5 Mrad	Este dispositivo es elegido como alternativa a circuitos analógicos robustos a radiación que requieran baja potencia-bajo voltaje.
2013 [53]	Dummy Gate	180 nm Bulk-CMOS	Co-60 Rayos Gamma	100 krad/h	500 krad(Si)	No tiene limitaciones de relación de aspecto W/L y tampoco de asimetría, tiene menor capacitancia de compuerta comparado con un ELT, aunque aún muestra una pequeña degradación de velocidad en circuitos digitales.
2001 [56]	H Gate	0.25 μm SOI CMOS	Haz de Protones	-	500 krad	Se usó un haz de protones como equivalente para dosis de rayos gamma, a bajas dosis la desviación de voltaje de umbral es menor que en el transistor regular.

Año	Técnica	Tecnología	Tipo de Radiación	Dosis	Dosis Máxima Acumulada	Detalles
2017 [31]	I Gate	180 nm Bulk-CMOS	Co-60 Rayos Gamma	1 Mrad/h	2 Mrad(Si)	Mantiene la razón de aspecto del transistor rectangular, pero aumenta el área y capacitancia de compuerta, se propone su uso en electrónica para centrales nucleares.
2020 [55]	I Gate	180 nm Bulk-CMOS	-	-	2.3 Mrad(Si)	Se diseñaron y fabricaron circuitos integrados de aplicación específica robustos a radiación con diferentes funciones, se propone el uso de esta técnica para generar celdas lógicas elementales que puedan ser usadas en diferentes ICs.
2020 [54]	I Gate	180 nm Bulk-CMOS	Co-60 Rayos Gamma	0.5 Mrad/h	2.58 Mrad(Si)	Se diseñó un amplificador de instrumentación para su uso en ambientes radiactivos con base a pruebas de radiación.
2018 [57]	Z Gate	Simulaciones CMOS	Sin Experimentos de Radiación			Usando simulaciones 3D se observó la capacidad de robustez y se comparó con ELTs demostrando una efectividad muy cercana con menor área, capacitancia de compuerta y sin limitaciones de la relación de aspecto W/L.
2005 [63]	Dog Bone	130 nm bulk-CMOS	Sin Experimentos de Radiación			Se caracterizaron transistores con variaciones de la compuerta DogBone para encontrar modelos compactos que lograran predecir el comportamiento de los dispositivos.

Capítulo 3

Nuevas Técnicas de Robustez de Dispositivos MOS al Ambiente Espacial.

En este capítulo se presentan las nuevas propuestas de técnicas de modificación geométrica con robustez a radiación. Estas técnicas se aplicaran solamente al transistor MOSFET canal N, debido a que es más propenso a la degradación de corriente de fuga por causa de la radiación tipo TID.

3.1. Propuestas 1 compuerta flotante y 2 compuerta híbrida de transistores NMOS

Dentro del trabajo de investigación realizado en esta tesis se diseñaron dos propuestas iniciales de diseño de transistor NMOS con robustez a radiación. La figura [3.1b](#) muestra la Propuesta 1, un transistor con compuerta flotante; la compuerta se encuentra rodeada de las regiones de fuente/drenaje en los lados laterales y de un par de regiones vacías (dopado de sustrato o pozo) en las orillas superior e inferior

junto a un par de compuertas falsas en la unión entre el silicio y el STI. En la figura 3.1c se observa la Propuesta 2, un transistor híbrido entre las técnicas DogBone y compuerta H/I.

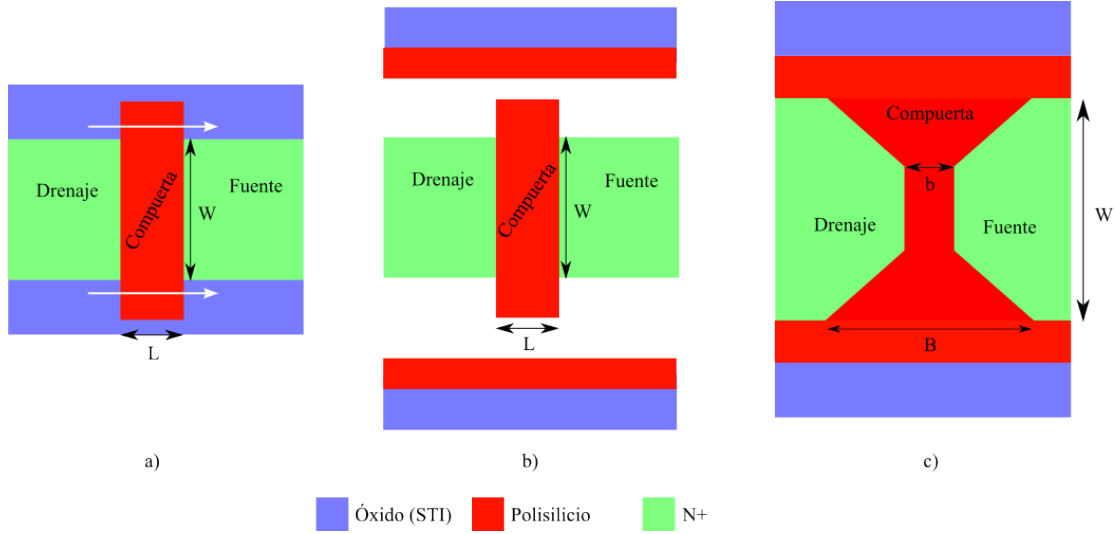


Figura 3.1: Layout de a) Transistor Rectangular indicando caminos conductivos parásitos (Blanco), b) Propuesta 1 y c) Propuesta 2 de transistor NMOS robusto a radiación.

El principal método de robustez de ambas propuestas es la existencia de una barrera física entre las regiones de fuente/drenaje y la interfaz con el STI, que es donde se generan los transistores parásitos por TID. La gráfica de la figura 3.2 muestra una comparación de las curvas $I_d - V_{gs}$ de los transistores propuestos junto a un transistor rectangular y un transistor con compuerta H/I. El transistor de la propuesta 1 (curva Azul) tiene el mismo comportamiento en corriente de subumbral que el transistor rectangular (curva Verde); en cambio el transistor de la propuesta 2 (curva Cian) presenta un comportamiento similar al del transistor H/I (curva Roja).

Como se observa, la propuesta 2 es deficiente debido al aumento de corriente en subumbral que afectaría negativamente el consumo energético de cualquier circuito fabricado con estos dispositivos. La propuesta 1, aún cuando su respuesta en corriente es un poco mejor que los otros transistores simulados, muestra un aumento

3.2.1. Funcionamiento de la estructura Reloj de Arena

El diseño de la compuerta de este nuevo transistor aumenta la distancia entre regiones activas de fuente/drenaje en las orillas del transistor, donde el silicio de canal hace contacto con el óxido de trinchera (STI), mientras que el centro del dispositivo tiene una menor distancia, tomando la compuerta la forma de un reloj de arena. Al presentar diferentes distancias de canal, este dispositivo presenta el efecto PAMDLE reportado en el transistor Diamante [64] [65], el cual es un acrónimo en ingles del efecto de conexiones en paralelo de diferentes transistores con diferentes longitudes de canal, esto se ilustra también en la figura 3.3, donde L_i es la longitud de canal del MOSFET i , α es el ángulo interno del canal, B y b son el máximo y mínimo largo del canal, respectivamente y W es el ancho del dispositivo.

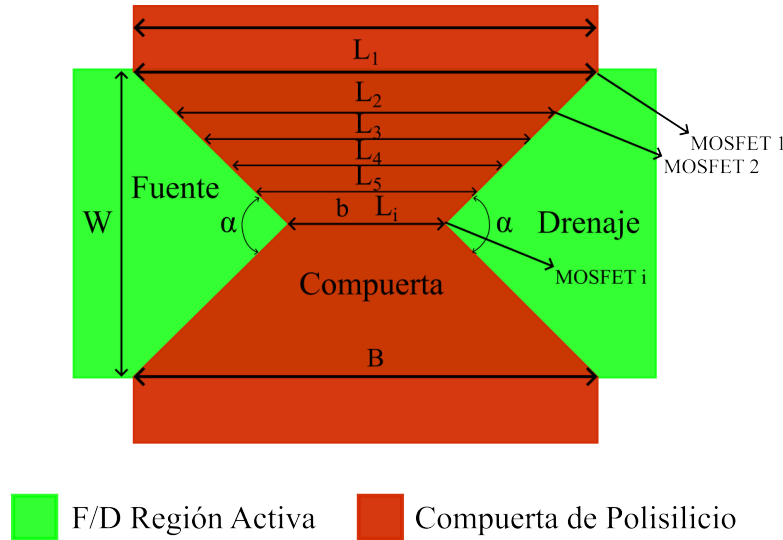


Figura 3.3: Layout de Propuesta 3 (Reloj de Arena) indicando el efecto PAMDLE.

El diseño del transistor con forma de reloj de arena aumenta la resistencia de canal con el aumento de la distancia entre fuente y drenaje, este aumento de resistencia afecta al canal parásito que se forma por efecto de la radiación en la interfaz con el óxido de STI. Al encontrar mayor resistencia, la corriente parásita disminuye y por lo tanto la degradación por causa de esta corriente se ve también reducida.

Debido a la forma no-rectangular del transistor, su relación de aspecto ya no se puede representar con la simple formula W/L debido a que ahora la longitud de canal tiene diferentes dimensiones en lo ancho del transistor. El cálculo de la relación de aspecto del transistor reloj de arena tiene como base la ecuación equivalente para el transistor diamante [64]. La dimensión W se mantiene en la relación de aspecto ($\frac{W}{L_{eff}}$) pero ahora la longitud efectiva del transistor se calcula considerando que el dispositivo reloj de arena se conforma de transistores en paralelo con diferentes longitudes L_i y con anchos infinitesimales dy (Figura 3.4). Por lo tanto, la razón de aspecto puede determinarse como:

$$\left(\frac{W}{L_{eff}} \right) = 2 \int_0^{\frac{W}{2}} \frac{dy}{L_i} = 2 \int_0^{\frac{W}{2}} \frac{dy}{\left(b + 2 \frac{\frac{W}{2} - y}{\tan(\alpha)} \right)} = \frac{W \ln\left(\frac{B}{b}\right)}{B - b} \quad (3.1)$$

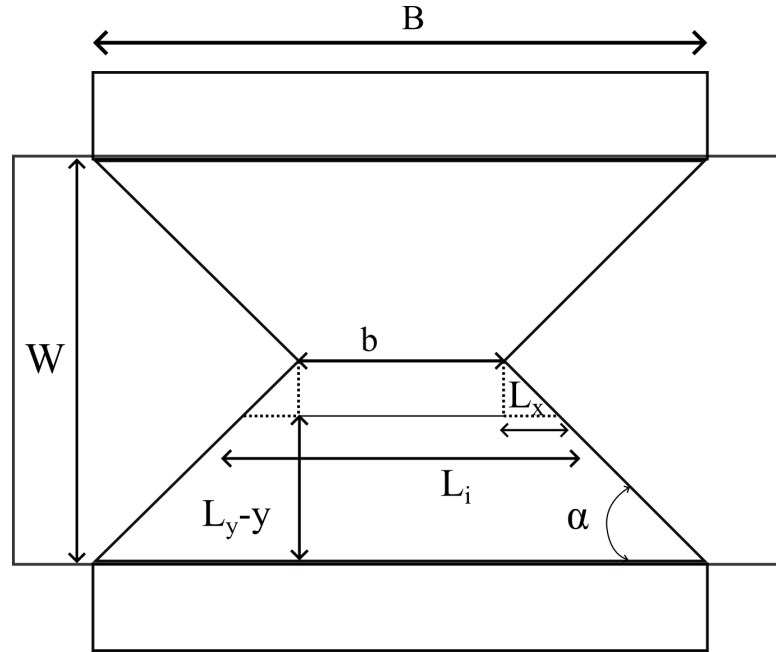


Figura 3.4: Dimensiones utilizadas en el cálculo de la relación de aspecto del transistor reloj de arena.

3.3. Simulación física en base a tecnologías comerciales

Para comprobar el funcionamiento de los nuevos dispositivos se simuló su comportamiento físico utilizando datos de tecnologías comerciales ya caracterizadas. Las tecnologías adoptadas para el diseño y simulación del nuevo dispositivo fueron 180 nm UMC y 130 nm TSMC bulk CMOS. La tecnología 180 nm se presentó como una elección adecuada si se toma en cuenta, de acuerdo con la figura 2.3, que esta tecnología no presenta cambios en el voltaje de umbral debido a radiación TID. La tecnología 130 nm se consideró también como una buena elección con menores dimensiones y una desviación del voltaje de umbral después de la radiación hacia voltajes positivos por la reducción del grosor del óxido de compuerta, lo cual permite una menor desviación con una buena calidad de la unión óxido/silicio.

3.3.1. Ambiente de simulación y calibración de los procesos de fabricación utilizados

Las simulaciones físicas se realizaron utilizando el software de Sentaurus [66] con modelos 3D de los transistores. Los datos de fabricación necesarios para emular las tecnologías lo más preciso posible fueron tomados de datos proporcionados por los fabricantes de las tecnologías utilizadas. En la tabla 3.1 se presentan los parámetros de proceso de las dos tecnologías utilizadas. Los grosores de óxido de compuerta (T_{ox}), de óxido de trinchera (T_{STI}) y de polisilicio (T_{poly}) así como la profundidad de unión (X_j) se obtuvieron directamente de los manuales del fabricante.

Las concentraciones de dopados de fuente y drenaje ($N_{S/D}$) y de dopado de compuerta (N_{ch}) no proporcionados por el fabricante fueron determinados por otros métodos. Para la concentración $N_{S/D}$ se realizó una aproximación utilizando la ecuación del perfil de implantación (ecuación 3.2)

Parámetro	130 nm TSMC	180 nm UMC
T_{ox}	$28\text{\AA}$	$33\text{\AA}$
T_{STI}	$0.4\mu m$	$0.4\mu m$
T_{poly}	$0.18\mu m$	$0.2\mu m$
X_j	$0.19\mu m$	$0.18\mu m$
N_{ch}	$7.2 \times 10^{17} cm^{-3}$	$1.5 \times 10^{18} cm^{-3}$
$N_{S/D}$	$1.8 \times 10^{20} cm^{-3}$	$0.5 \times 10^{18} cm^{-3}$

Tabla 3.1: Parámetros de fabricación de las tecnologías simuladas.

$$C(x) = C_p e^{\left(\frac{-(x-R_p)^2}{2\Delta R_p^2}\right)} \quad (3.2)$$

Donde C_p es la concentración máxima, R_p es el rango proyectado y ΔR_p es la desviación estándar.

Las variables R_p y ΔR_p dependen de la energía de implantación y fueron obtenidas mediante software de la *Brigham Young University* [67], los valores de estas variables deben de ser tales que la concentración de dopado de fuente y drenaje en la unión sea igual a la concentración de substrato. Para conocer esto se evalúa la ecuación 3.2 cuando $x = X_j$ y $C = N_{sub}$ donde N_{sub} es la concentración de dopado del substrato (aproximadamente $6 \times 10^{16} cm^{-3}$ para pozos tipo P) y se hacen variaciones de los valores R_p y ΔR_p que pertenecen a diferentes energías de implantación junto a variaciones de C_p que permitan mantener la igualdad de la ecuación. Con estos datos se obtuvieron los valores aproximados de $N_{S/D}$ y perfiles de dopado que pueden ser ingresados directamente en el software de simulación.

Después se diseñó en 3D un transistor rectangular con los datos anteriores (figura 3.5) y un valor de N_{ch} inicial aproximado, se simularon curvas $I_d - V_{gs}$ que después fueron comparadas con curvas obtenidas por medio del modelo de SPICE que proporciona el fabricante. Al comparar las curvas se modificó el valor de N_{ch} para igualar el voltaje de umbral V_{th} de la simulación de Sentaurus con la de SPICE hasta obtener los valores finales indicados en la tabla 3.1.

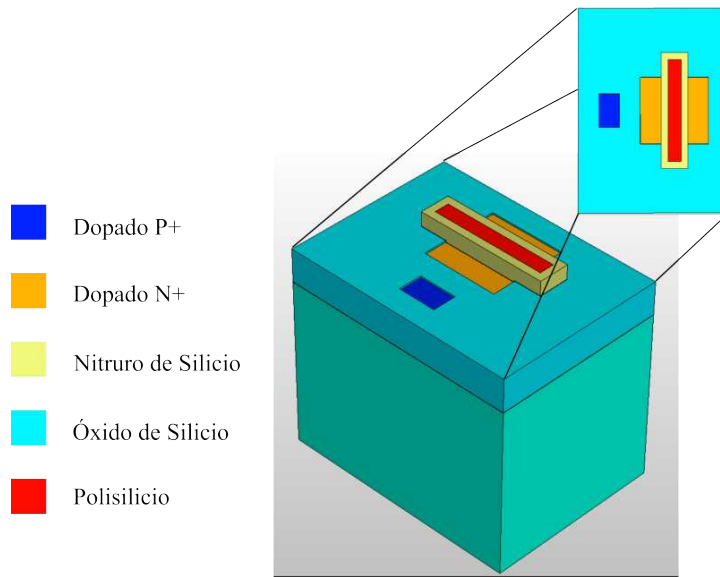


Figura 3.5: Modelo 3D del transistor rectangular CMOS canal N en Sentaurus.

Para la simulación de los dispositivos mediante el simulador Sentaurus, se deben definir los modelos físicos que se necesitan simular en el dispositivo (movilidad, generación-recombinación, transporte de cargas y campo eléctrico), se eligieron los siguientes modelos: transporte de cargas por el modelo hidrodinámico que toma en cuenta el transporte de energía de los portadores, movilidad con los modelos: modelo philips unificado que modela efectos de temperatura, dispersión electrón-hueco y movilidades de cuerpo de ambos portadores; modelo Masetti con dependencia al dopado en silicio; modelo de saturación por campo eléctrico alto; modelo de degradación normal a la interfaz óxido/silicio y el modelo Conwell–Weisskopf de dispersión entre portadores. Para simular generación-recombinación se utilizaron los modelos: Shockley–Read–Hall con efectos de dependencia al dopado, temperatura, campo eléctrico y tuneleo; modelo Auger con efecto de generación; modelo van Overstraeten – de Man de generación por avalancha y el modelo Hurkx de tuneleo banda a banda. Se utilizó el modelo de efectos cuánticos de van Dort y el modelo Slotboom de estrechamiento de banda prohibida [66].

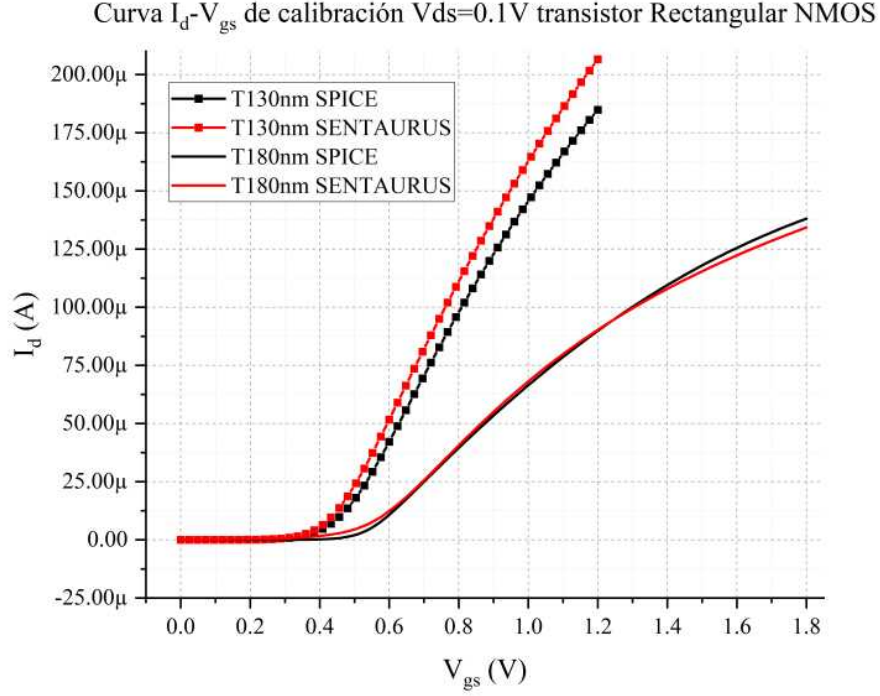


Figura 3.6: Curvas $I_d - V_{gs}$ de calibración en el transistor rectangular CMOS canal N.

Como resultado del modelado y la calibración del transistor rectangular en 3D se obtuvieron las curvas $I_d - V_{gs}$ mostradas en la figura 3.6.

Para confirmar la exactitud de la calibración se realizó una simulación comparando la ganancia de corriente de los transistores diamante reportados en la literatura con valores obtenidos en la simulación. La Figura 3.9 muestra las curvas $I_d - V_{gs}$ del transistor reportadas en la literatura y las simuladas en este trabajo utilizando la tecnología 130 nm NMOS. Los resultados de las simulaciones presentan la misma diferencia entre transistores diamante y rectangular que se reporta en la literatura, la tabla 3.2 resume el resultado de esta comparación.

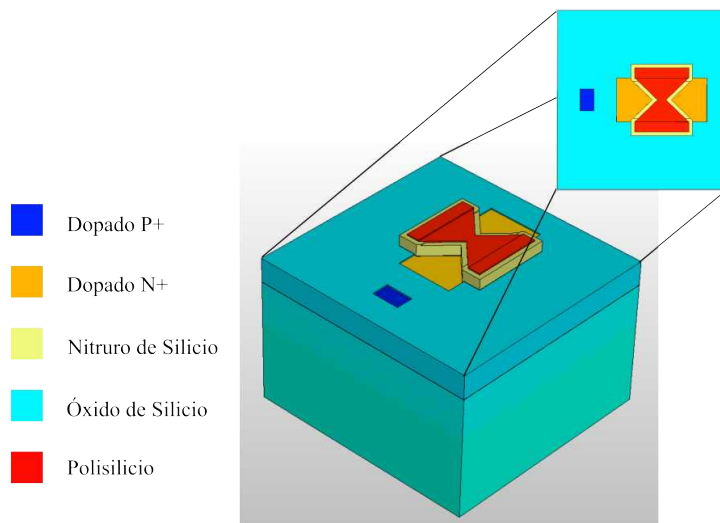


Figura 3.7: Modelo 3D del transistor reloj de arena CMOS canal N en Sentaurus.

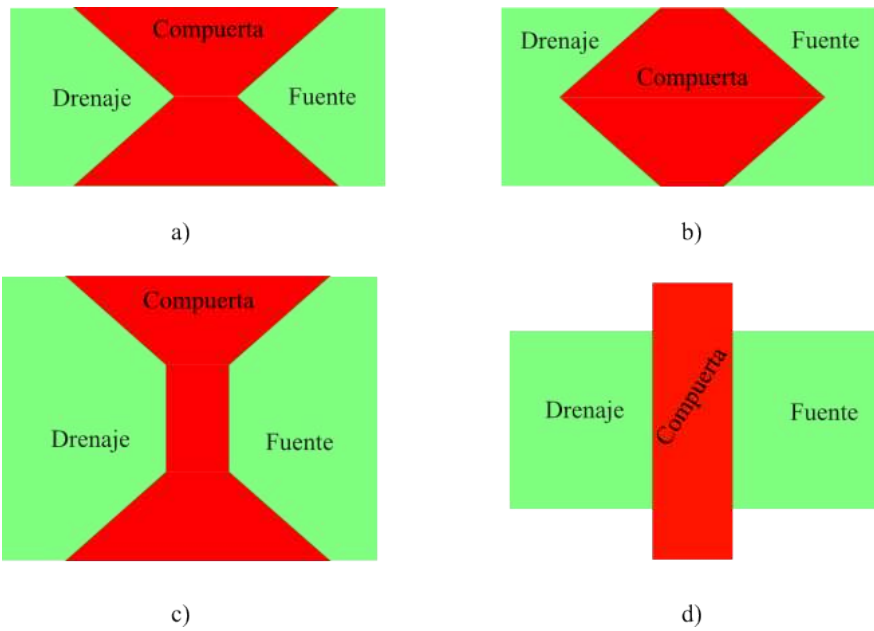


Figura 3.8: Layout de transistor a) Reloj de Arena, b) Diamante, c) DogBone y d) Rectangular.

Ángulo (α)	Corriente (A) Literatura	Corriente (A) Simulación
110°	$I_D = 1.13 I_R$	$I_D = 1.13 I_R$
90°	$I_D = 1.59 I_R$	$I_D = 1.32 I_R$
55°	$I_D = 2.19 I_R$	$I_D = 2.16 I_R$

Tabla 3.2: Tabla comparativa entre relaciones de corrientes de transistor diamante (I_D) y transistor rectangular (I_R) con variaciones del ángulo α .

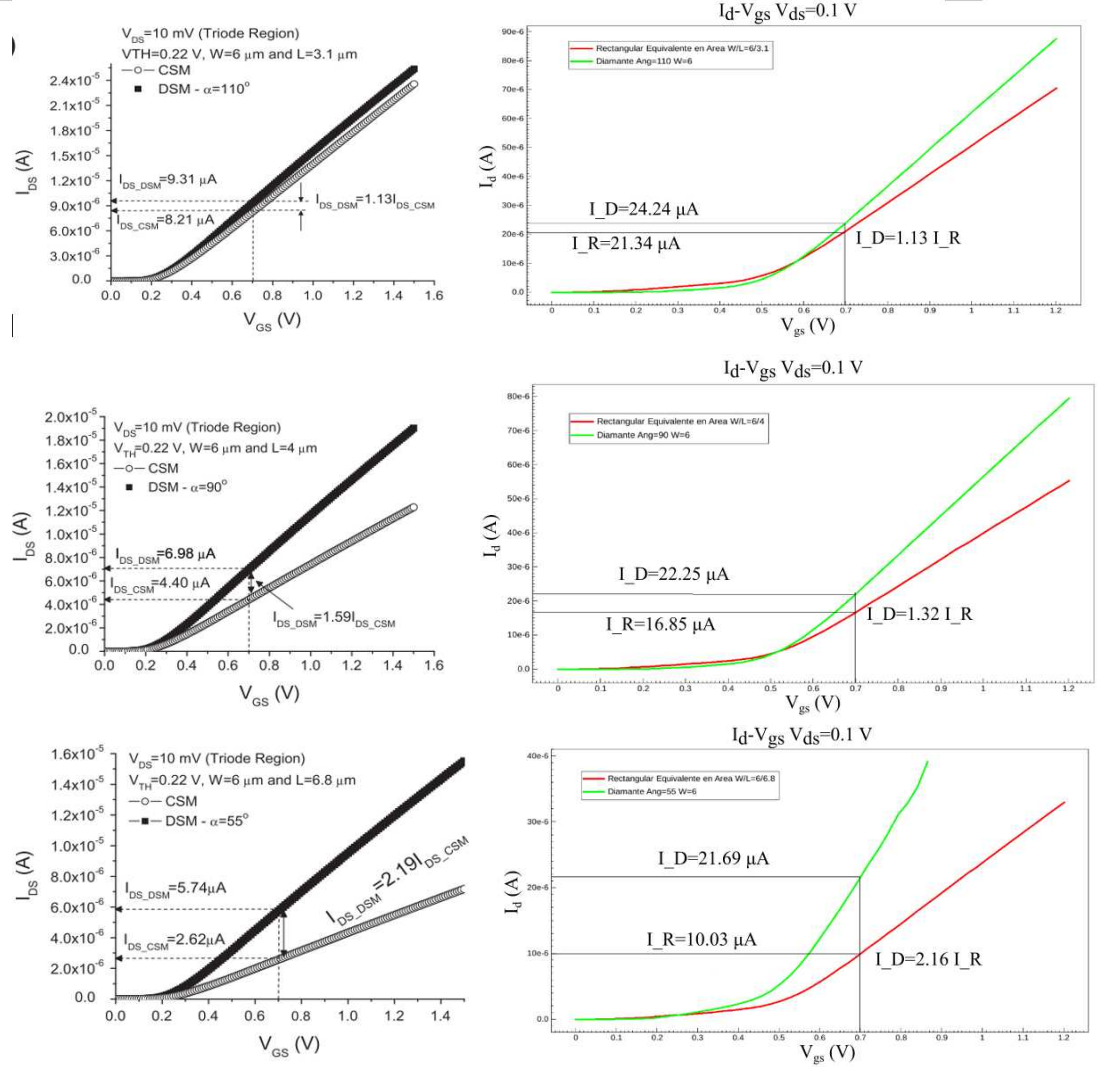


Figura 3.9: Comparación de curvas $I_d - V_{gs}$ de transistores diamante NMOS 130nm simulados y con datos de la literatura con diferentes ángulos α [15].

Con la calibración realizada se procedió a simular el dispositivo propuesto, se

realizó el modelo 3D (figura 3.7) y se incluyeron en la simulación los modelos físicos anteriormente mencionados. Cada transistor presenta contactos de silisuro en las regiones de fuente, drenaje, compuerta y un contacto a pozo a un lado del transistor. Con el objetivo de hacer una comparación se realizaron modelos 3D de dispositivos tipo rectangular, diamante (diamond), reloj de arena (hourglass) y DogBone (figura 3.8).

3.3.2. Simulación de efectos por radiación TID

El efecto de la radiación tipo TID en el óxido de silicio fue simulada por medio de su efecto final en el dispositivo: la acumulación de carga positiva en el volumen del óxido y en la interfaz con el silicio. En el simulador esto se obtiene incluyendo una carga positiva fija en el material. Para todas las simulaciones se tomaron en cuenta dos valores de carga positiva para el caso Pre-Radiación y dos valores para Post-Radiación, estos valores son $N_{it} = 3 \times 10^{10} cm^{-2}$ y $N_{ot} = 1 \times 10^{14} cm^{-3}$ Pre-Radiación y $N_{it} = 1 \times 10^{12} cm^{-2}$ y $N_{ot} = 3.3 \times 10^{18} cm^{-3}$ Post-Radiación, donde N_{it} y N_{ot} son las cargas positivas en la interfaz por unidad de área y las cargas positivas en el volumen del óxido, respectivamente [57] [68].

3.3.2.1. Simulación en tecnología 130 nm TSMC

Se simularon efectos de radiación en transistores rectangular, diamante, DogBone y reloj de arena para la tecnología TSMC de 130 nm bulk CMOS. En las figuras 3.10 y 3.11 se observa el estado pre-radiación de la densidad de corriente lateral, mientras que en las figuras 3.12 y 3.13 se añaden las cargas positivas al óxido donde se observa incrementada la corriente lateral. Se puede observar que la diferencia en corriente de fuga no es la misma para cada transistor simulado; de los cuatro transistores el transistor reloj de arena y el transistor DogBone presentan una región con menor

densidad de corriente de fuga cerca del canal, mientras que en el centro del canal la densidad de corriente de fuga se extiende por una mayor área del material. Las curvas $I_d - V_{gs}$ obtenidas Pre (I_{pre}) y Post-Radiación (I_{post}) de estos dispositivos se observan en la figura 3.14. Analizando estas simulaciones se observa una diferencia de aproximadamente un orden de magnitud en la corriente de fuga Post-Radiación entre el transistor rectangular y el transistor reloj de arena.

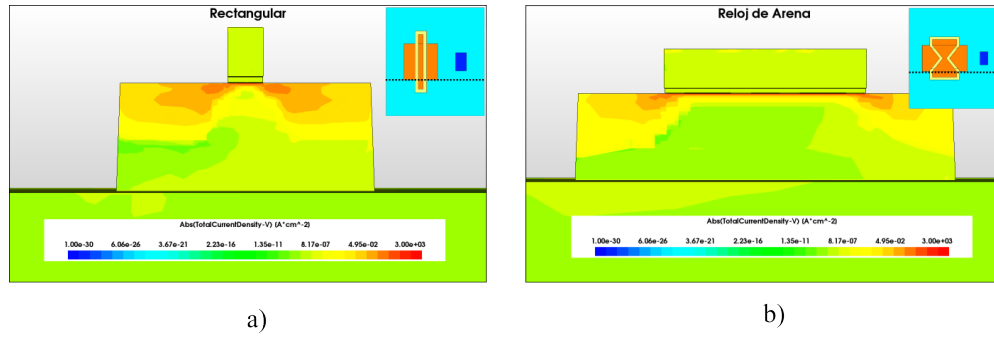


Figura 3.10: Densidad de corriente lateral Pre-Radiación $V_{ds} = 0.1V$, $V_{gs} = 0V$ NMOS 130 nm del transistor a) Rectangular y b) Reloj de Arena.

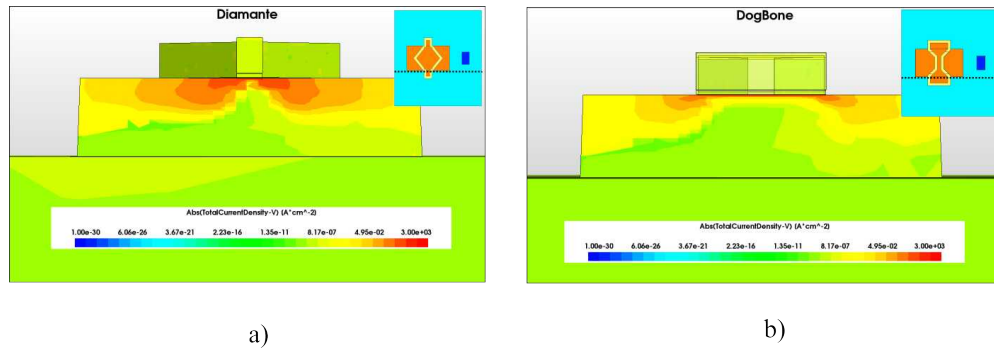
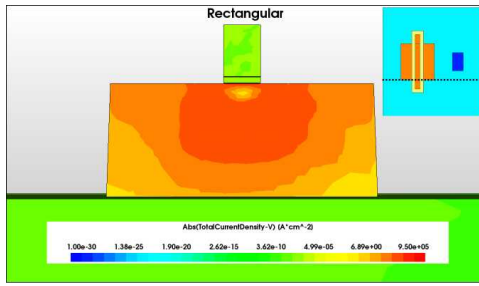
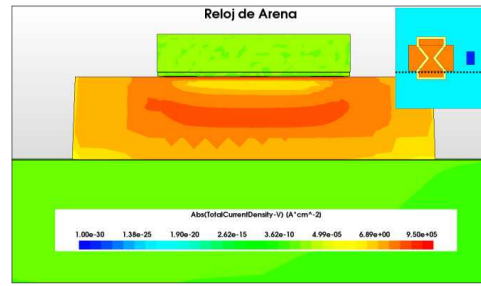


Figura 3.11: Densidad de corriente lateral Pre-Radiación $V_{ds} = 0.1V$, $V_{gs} = 0V$ NMOS 130 nm del transistor a) Diamante y b) DogBone.

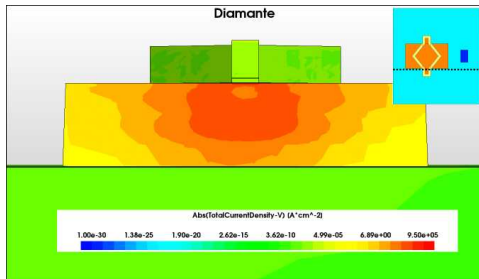


a)

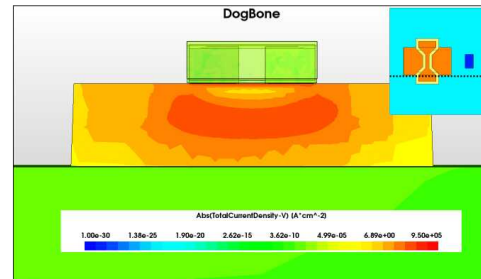


b)

Figura 3.12: Densidad de corriente lateral Post-Radiación $V_{ds} = 0.1V$, $V_{gs} = 0V$ NMOS 130 nm del transistor a) Rectangular y b) Reloj de Arena.



a)



b)

Figura 3.13: Densidad de corriente lateral Post-Radiación $V_{ds} = 0.1V$, $V_{gs} = 0V$ NMOS 130 nm del transistor a) Diamante y b) DogBone.

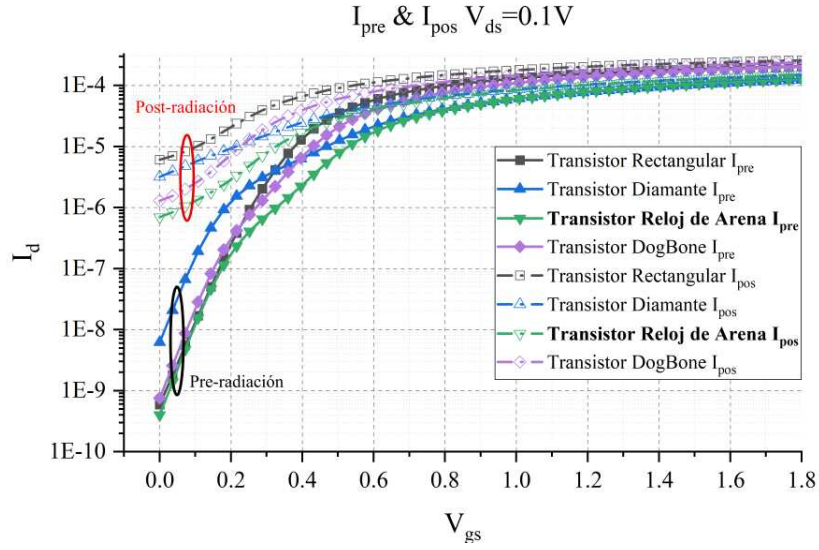


Figura 3.14: Curvas $I_d - V_{gs}$ en región de subumbral de los cuatro dispositivos simulados con efectos de radiación tecnología TSMC 130nm.

El campo eléctrico de la figura 3.15 muestra un aumento de la magnitud en el centro del dispositivo reloj de arena, al contrario del aumento de magnitud en las orillas del dispositivo diamante; la densidad de corriente en el canal que se observa en la figura 3.16 también muestra acumulación de corriente en las mismas zonas de ambos dispositivos. Al comparar estos dos efectos eléctricos se puede concluir que el transistor reloj de arena mantiene a su campo eléctrico alejado de las orillas del dispositivo donde aparecen los transistores parásitos, evitando que el campo eléctrico ayude en la conducción de portadores y que esto aumente la corriente parásita. Las figuras anteriores pueden explicar la mayor reducción de corriente parásita en el dispositivo reloj de arena comparado con los otros tres dispositivos simulados.

Se realizó un análisis de ganancia de corriente de los dispositivos simulados, para ello se requirió normalizar la corriente de drenaje con respecto a sus geometrías utilizando las relaciones de aspecto. Para los dispositivos reloj de arena y diamante se utilizó la ecuación 3.1. Para el transistor Dog Bone se utilizó una variación de la ecuación anterior:

$$\left(\frac{W}{L_{eff}} \right) = \frac{2W_H \ln(B/b)}{B-b} + \frac{W_R}{b} \quad (3.3)$$

donde ahora W_H y W_R son los anchos de las regiones trapezoidales y rectangulares de la geometría de la compuerta, respectivamente. Esta normalización ayuda a identificar el efecto de las dimensiones geométricas en la ganancia de corriente de los dispositivos.

Las simulaciones de las curvas $I_d - V_{gs}$ en la región de encendido de los dispositivos de la figura 3.17 muestran la mayor ganancia de corriente de los transistores diamante y reloj de arena comparados con el transistor rectangular. Esto es una ventaja si se quieren utilizar estos dispositivos en un circuito amplificador.

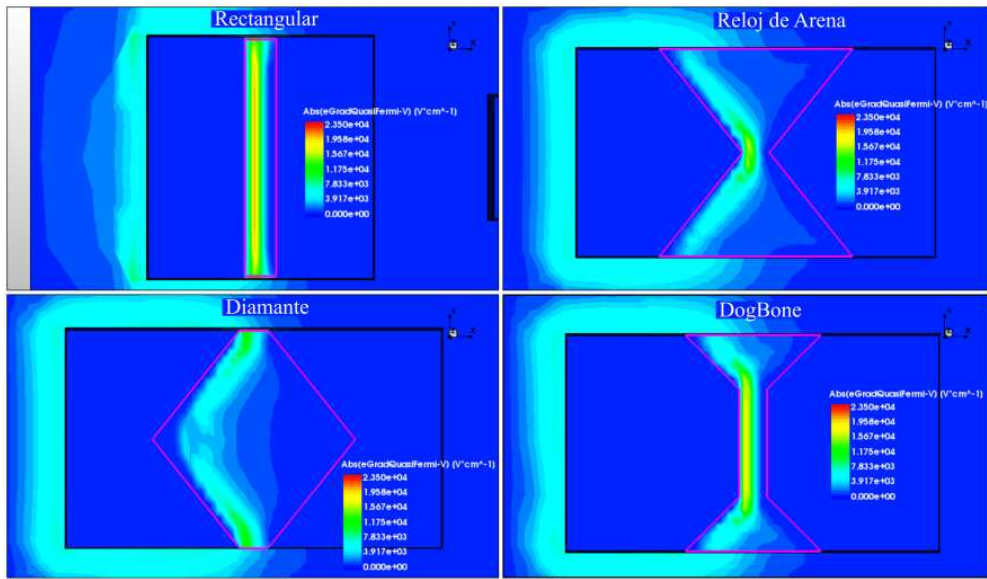


Figura 3.15: Campo eléctrico en la región de compuerta Post-Radiación en la tecnología TSMC 130 nm.

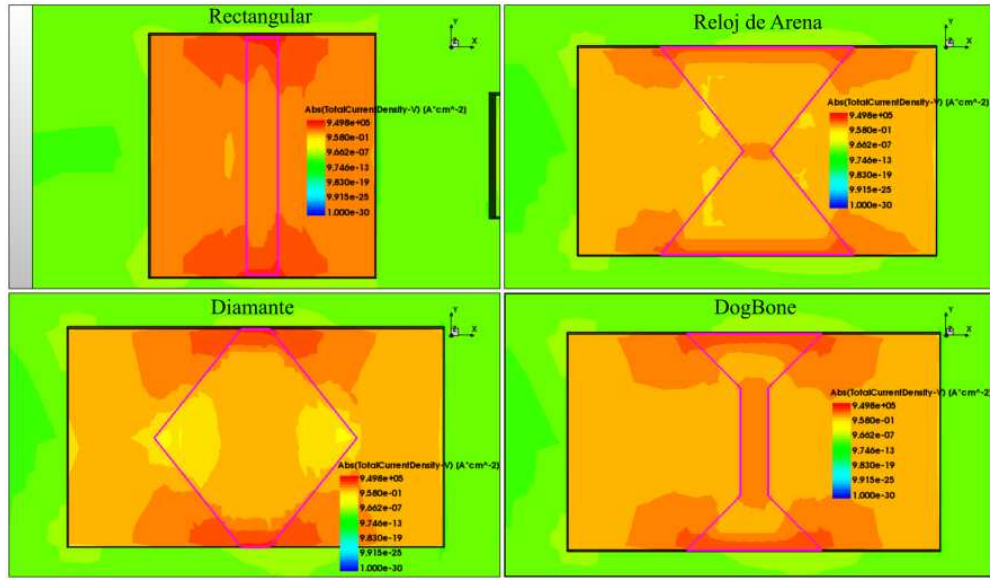


Figura 3.16: Densidad de corriente eléctrica en la región de compuerta Post-Radiación en la tecnología TSMC 130 nm.

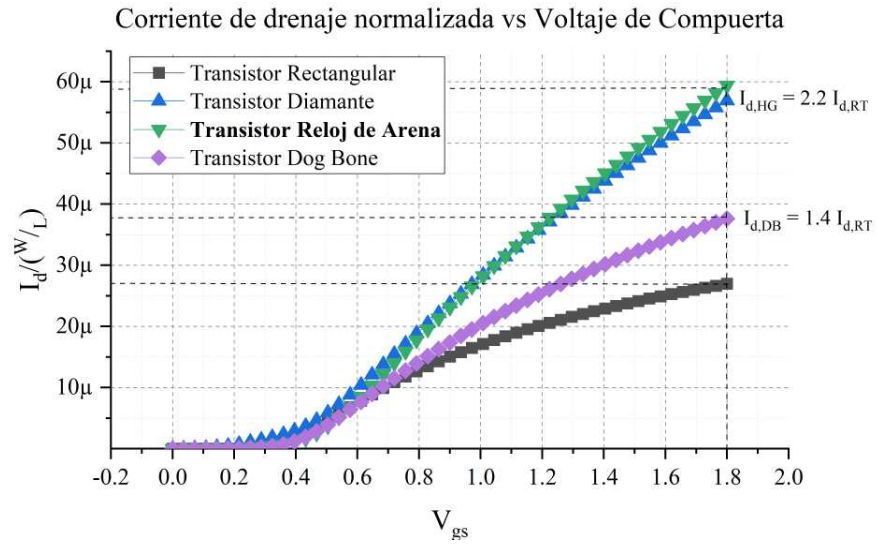


Figura 3.17: Curvas de Corriente de drenaje normalizadas con respecto a la relación de aspecto de cada dispositivo vs Voltaje de compuerta en la tecnología TSMC 130 nm.

3.3.2.2. Aumentando la robustez a radiación

Con el fin de enriquecer la tolerancia a radiación, se añadieron las regiones P+ llamadas P Stop en las orillas de los dispositivos. La región P Stop es un método de barrera física utilizado para aislar dos regiones, en este caso región activa N+ del óxido de STI, mediante un dopado P+ intermedio. La Figura 3.18 muestra los transistores sin la región de P Stop, mientras que la figura 3.19 muestra los transistores con la región P Stop en sus orillas. Entre los cuatro dispositivos simulados, el transistor H/I es el único que añade la región P Stop desde su creación [16, 31, 55]. El resultado de estas simulaciones se muestra en las figuras 3.20 y 3.21, como resultado de estas simulaciones se observa que añadir el P Stop mejora la robustez a radiación de todos los dispositivos y especialmente se puede notar que los dispositivos diamante y reloj de arena prácticamente no presentan corriente de fuga después de radiación si se añade la región P Stop en sus orillas.

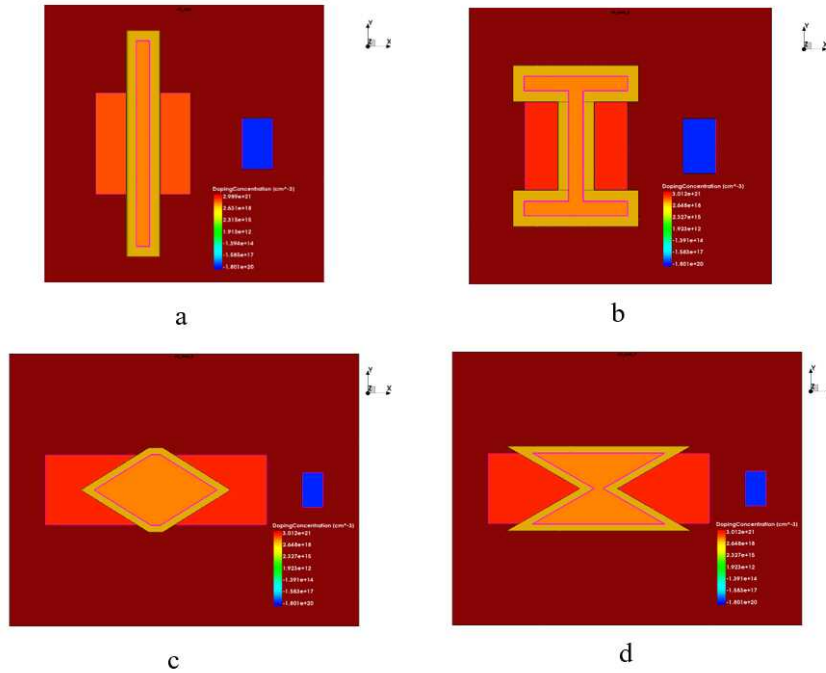


Figura 3.18: Layouts de dispositivos sin P Stop a) Rectangular, b) H/I, c) Diamante y d) Reloj de Arena en la tecnología TSMC 130 nm.

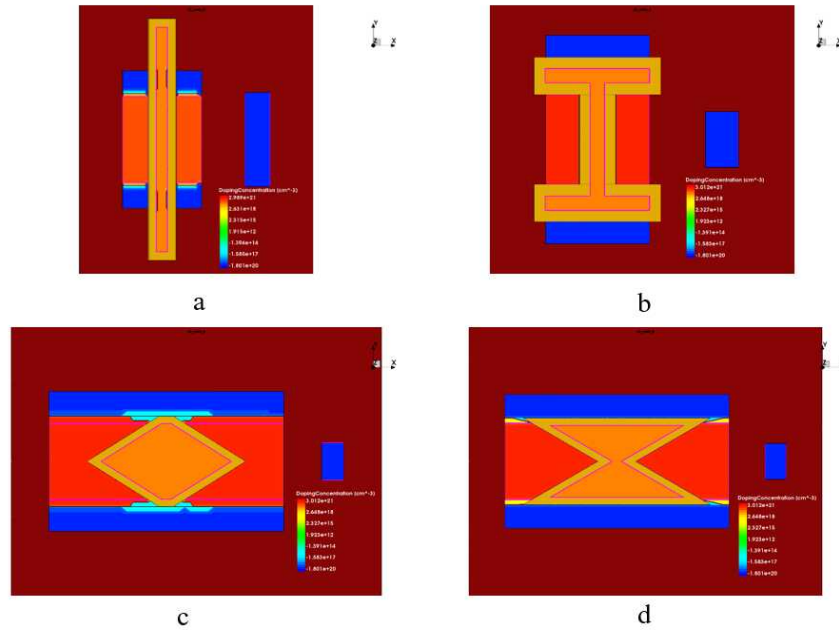


Figura 3.19: Layouts de dispositivos con P Stop a) Rectangular, b) H/I, c) Diamante y d) Reloj de Arena en la tecnología TSMC 130 nm.

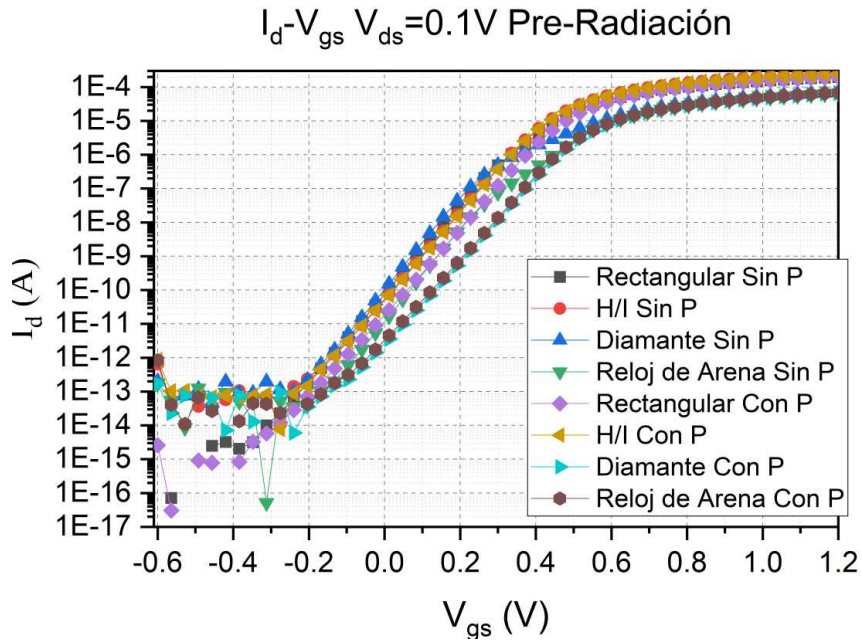


Figura 3.20: Curvas $I_d - V_{gs}$ en condiciones Pre-Radiación comparando dispositivos con y sin P Stop en la tecnología TSMC 130 nm.

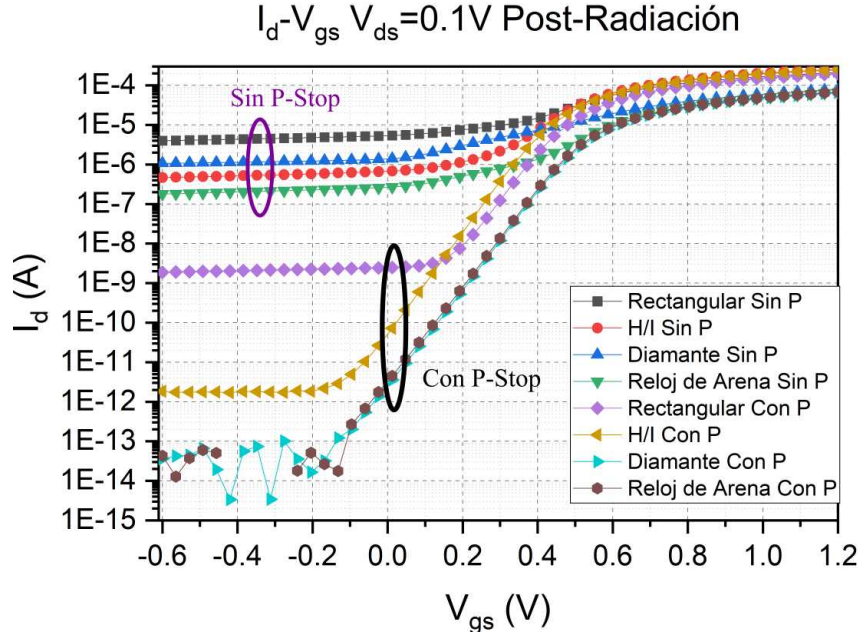


Figura 3.21: Curvas $I_d - V_{gs}$ en condiciones Post-Radiación comparando dispositivos con y sin P Stop en la tecnología TSMC 130 nm.

3.3.2.3. Simulación en tecnología 180 nm UMC

Se realizaron simulaciones similares a las realizadas en los dispositivos de 130 nm. Se obtuvo la corriente lateral en la interfaz entre el silicio de compuerta y el óxido de silicio del STI mostrada en las figuras 3.22, 3.23, 3.24 y 3.25. Al igual que en la tecnologías 130 nm, se observa un aumento de corriente parásita lateral en todos los dispositivos pero una reducción considerable de densidad de corriente en la región cercana al canal (parte superior) en los dispositivos reloj de arena y DogBone. La figura 3.26 muestra el resultado de obtener curvas $I_d - V_{gs}$ en la región de subumbral tanto de corriente Pre-Radiación I_{pre} como Post-Radiación I_{pos} . En esta tecnología se observa también que la corriente de fuga en apagado $I_{off} = I_d(V_{gs} = 0V)$ del transistor reloj de arena es un orden de magnitud menor comparado con el transistor rectangular en su corriente Post-Radiación.

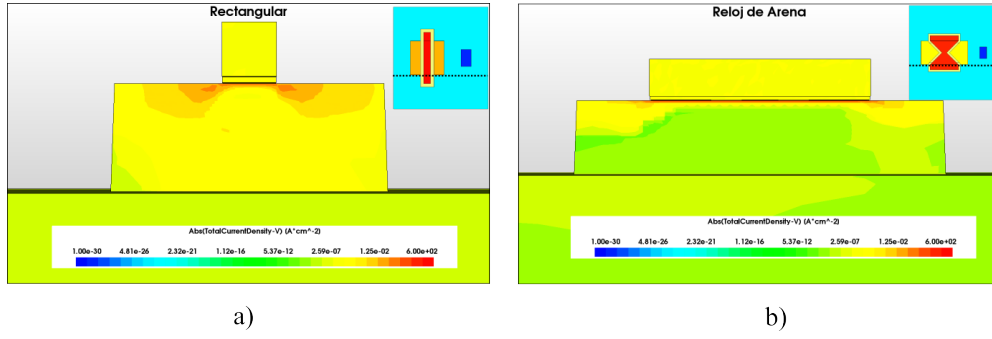


Figura 3.22: Densidad de corriente lateral Pre-Radiación $V_{ds} = 0.1V$, $V_{gs} = 0V$ NMOS 180 nm del transistor a) Rectangular y b) Reloj de Arena.

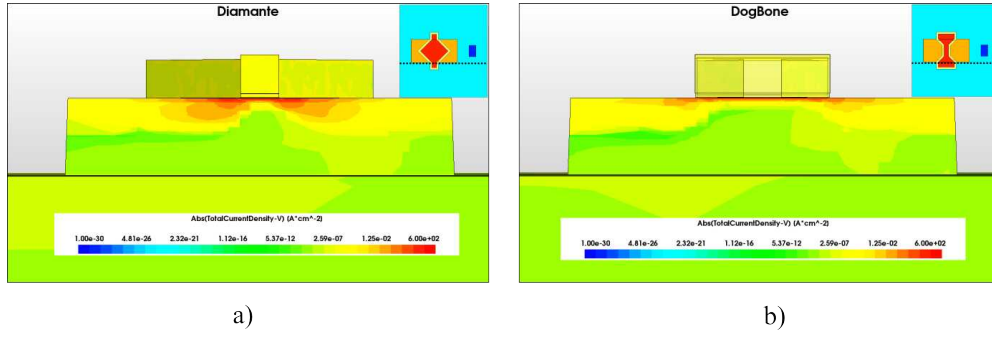


Figura 3.23: Densidad de corriente lateral Pre-Radiación $V_{ds} = 0.1V$, $V_{gs} = 0V$ NMOS 180 nm del transistor a) Diamante y b) DogBone.

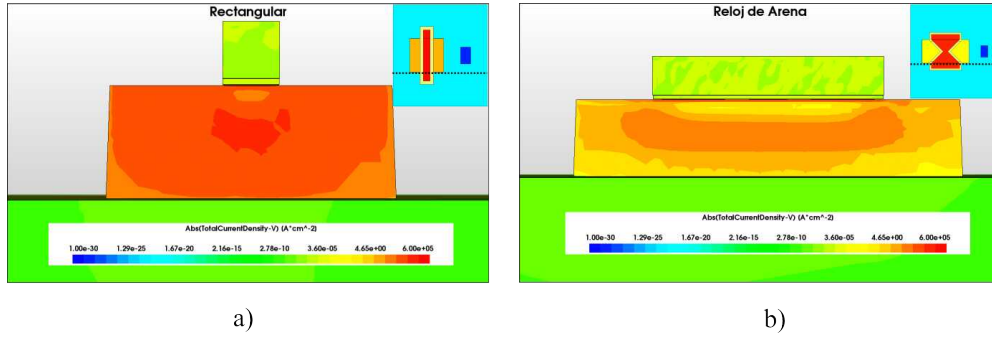


Figura 3.24: Densidad de corriente lateral Post-Radiación $V_{ds} = 0.1V$, $V_{gs} = 0V$ NMOS 180 nm del transistor a) Rectangular y b) Reloj de Arena.

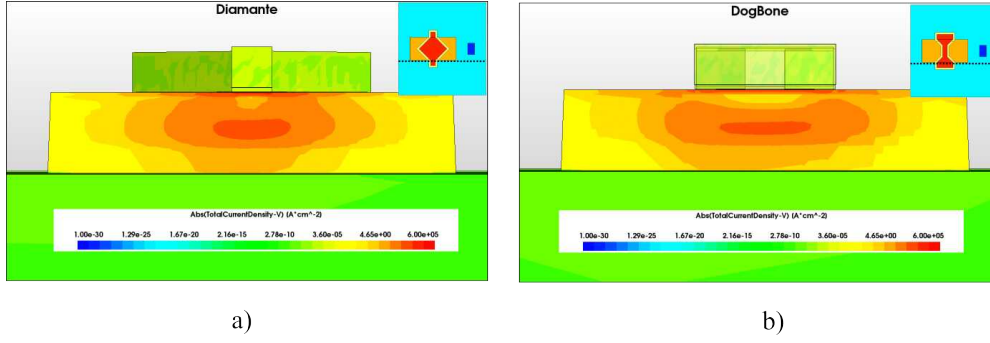


Figura 3.25: Densidad de corriente lateral Post-Radiación $V_{ds} = 0.1V$, $V_{gs} = 0V$ NMOS 180 nm del transistor a) Diamante y b) DogBone.

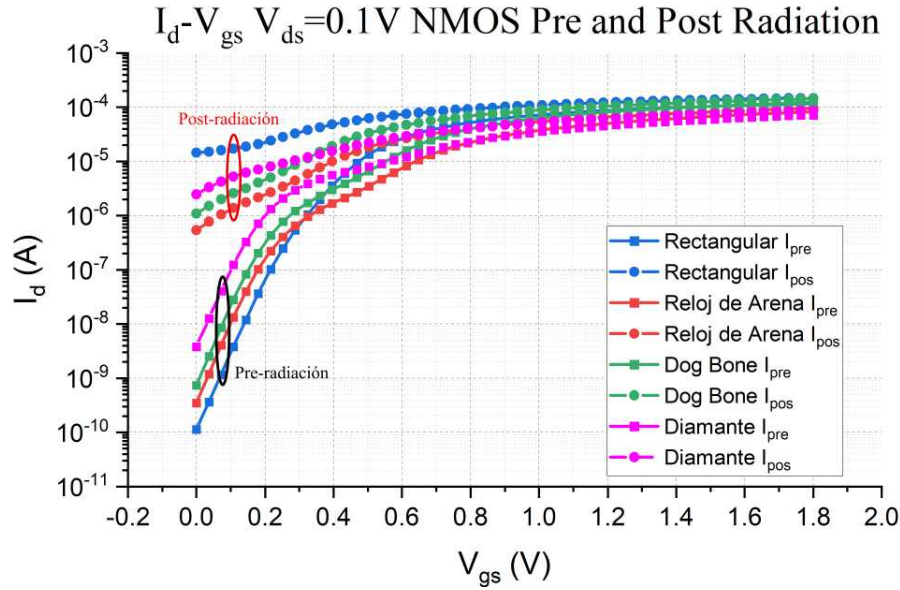


Figura 3.26: Curvas $I_d - V_{gs}$ en región de subumbral de los cuatro dispositivos simulados con efectos de radiación en la tecnología UMC 180nm.

La Figura 3.27 muestra la magnitud del campo eléctrico en la región de compuerta de los cuatro dispositivos simulados, se observa cómo en el transistor diamante el campo eléctrico se concentra en las orillas del dispositivo, en cambio en el transistor reloj de arena se concentra en el centro del canal. Comparando lo anterior con la Figura 3.28, que muestra la densidad de corriente en las mismas regiones, se observa que además de las corrientes parásitas de las orillas, el transistor reloj de arena pre-

senta una mayor densidad de corriente en el centro del dispositivo. Esto también se observa en la tecnología de 130 nm. La Figura 3.29 muestra la ganancia en corriente de los cuatro dispositivos simulados. En el voltaje de saturación ($V_{gs}=1.8V$) el dispositivo con la mayor ganancia de corriente es el transistor reloj de arena, seguido del transistor diamante. Esta ganancia es causada principalmente por el efecto PAMDLE. Este efecto hace que la corriente total sea la suma de transistores en paralelo con diferentes longitudes de canal que presentan variaciones en los efectos de canal corto, lo que provoca diferentes corrientes en paralelo que se suman.

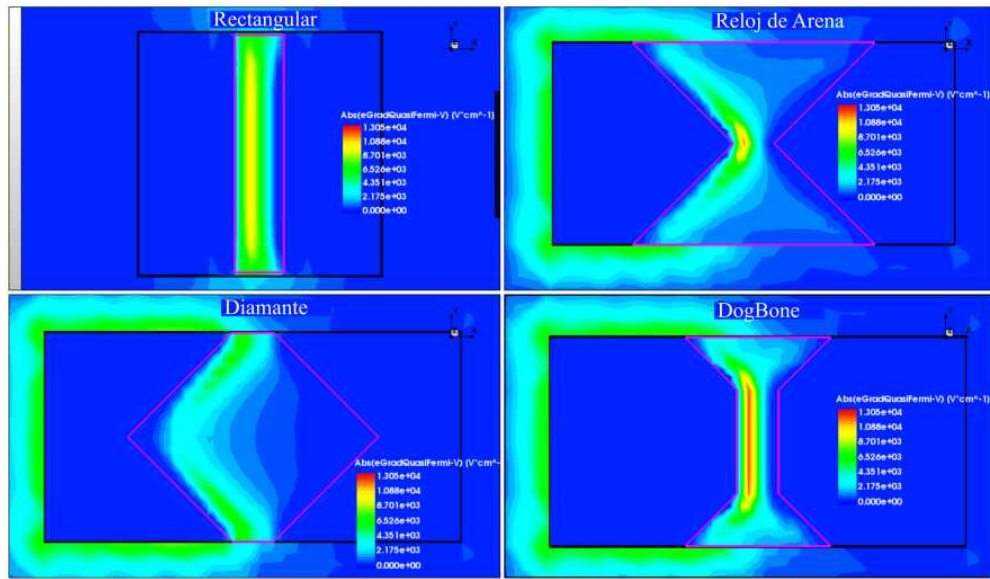


Figura 3.27: Campo eléctrico en la región de compuerta Post-Radiación en la tecnología UMC 180 nm.

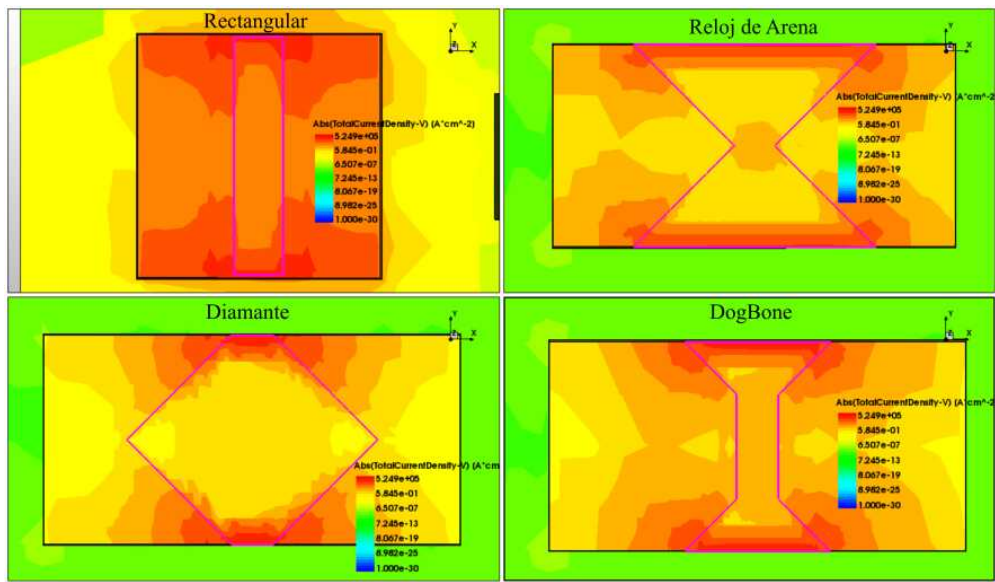


Figura 3.28: Densidad de corriente eléctrica en la región de compuerta Post-Radiación en la tecnología UMC 180 nm.

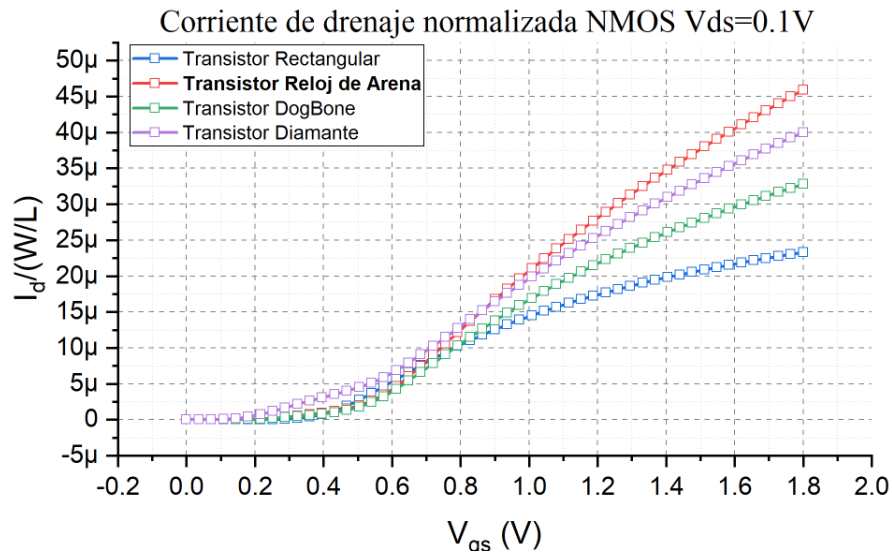


Figura 3.29: Curvas de corriente de drenaje normalizadas con respecto a la relación de aspecto de cada dispositivo vs voltaje de compuerta en la tecnología UMC 180 nm.

3.3.2.4. Simulación de inversores CMOS en tecnología 180 nm UMC

Para conocer los efectos de la radiación en un circuito se decidió simular un par de inversores CMOS utilizando los transistores Rectangular y Reloj de Arena canal N junto con un par de transistores canal P Rectangulares con una relación de dimensiones $\frac{W_N}{L_{(N,eff)}} = \frac{2W_P}{L_P}$, se duplicó el ancho del canal del transistor PMOS; mientras que el largo del canal tipo P es igual al largo efectivo del transistor NMOS (para el transistor Reloj de Arena es la ecuación 3.1). Se aplicó una señal de entrada de 1GHz en el inversor y se obtuvieron señales de salida Pre y Post Radiación, así como el consumo de corriente medido en la terminal de drenaje del transistor NMOS. Las figuras 3.30 y 3.31 muestran los resultados de la simulación para el transistor Rectangular y las figuras 3.32 y 3.33 muestran las simulaciones del transistor Reloj de Arena.

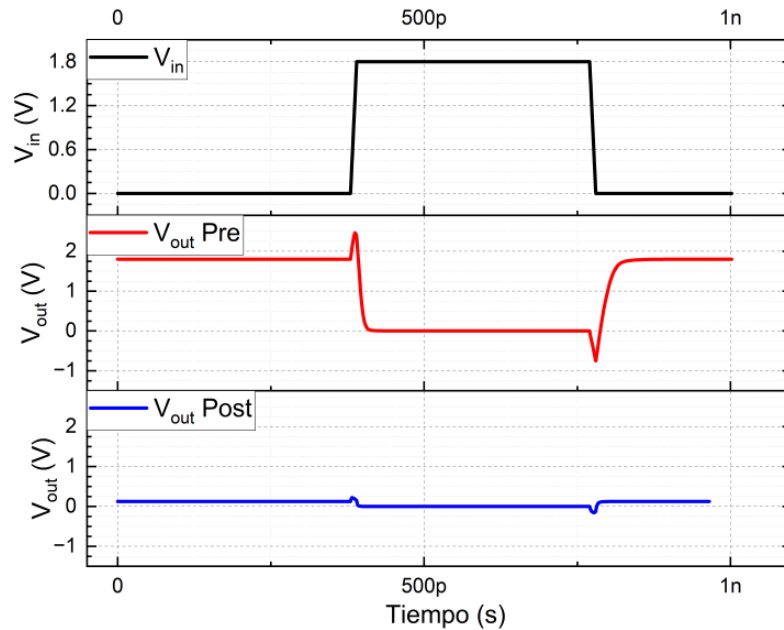


Figura 3.30: Simulación de señales de entrada y salida Pre y Post Radiación a temperatura ambiente y con una frecuencia de señal de entrada de 1GHz del inversor CMOS con NMOS Rectangular.

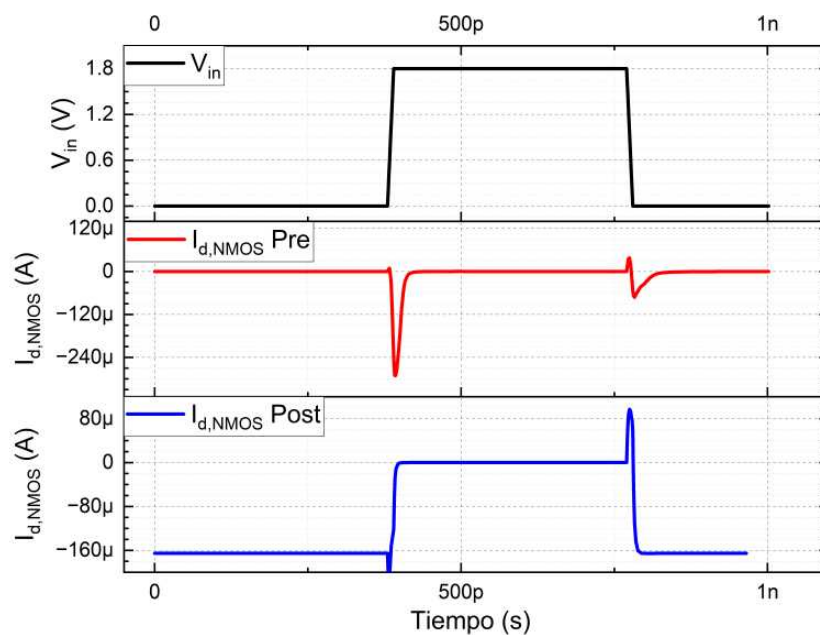


Figura 3.31: Simulación de corriente pico de drenaje Pre y Post Radiación a temperatura ambiente y con una frecuencia de señal de entrada de 1GHz del inversor CMOS en el NMOS Rectangular.

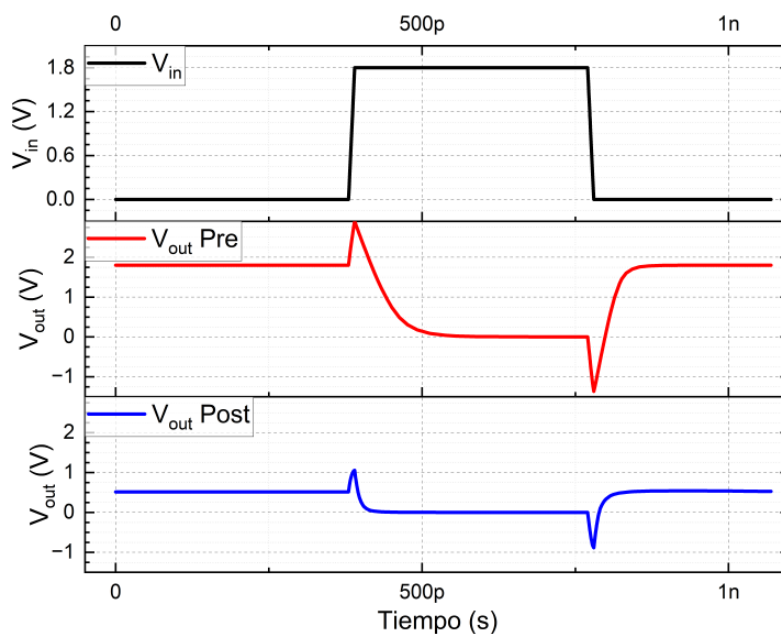


Figura 3.32: Simulación de señales de entrada y salida Pre y Post Radiación a temperatura ambiente y con una frecuencia de señal de entrada de 1GHz del inversor CMOS con NMOS Reloj de Arena.

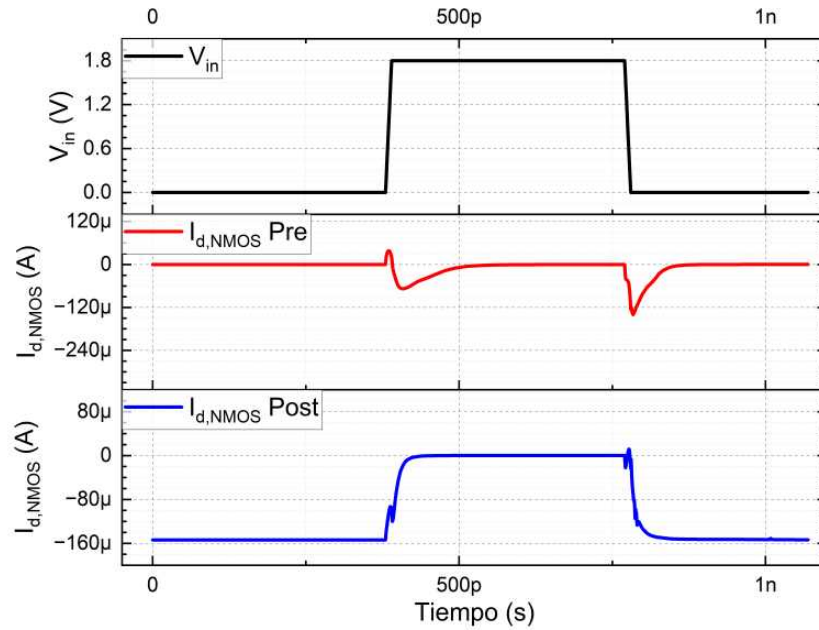


Figura 3.33: Simulación de corriente pico de drenaje Pre y Post Radiación a temperatura ambiente y con una frecuencia de señal de entrada de 1GHz del inversor CMOS en el NMOS Reloj de Arena.

Las figuras 3.31 y 3.33 muestran la diferencia en consumo de corriente de los inversores antes de los efectos de radiación (Curvas Rojas) y después de los efectos de radiación (Curvas Azules). Antes de la radiación los únicos cambios en la corriente se presentan cuando hay una transición de estado en la entrada del inversor (Curvas Negras) mientras en cualquier otro momento la corriente es cero; pero después de la radiación cuando la entrada tiene un nivel bajo de voltaje (0 V) se presenta un consumo de corriente diferente de cero, a diferencia de la curva roja pre-radiación. Esto se puede explicar debido a la corriente de fuga que presenta el transistor NMOS del inversor y que se puede observar cuando el transistor NMOS está apagado (nivel bajo de entrada de inversor).

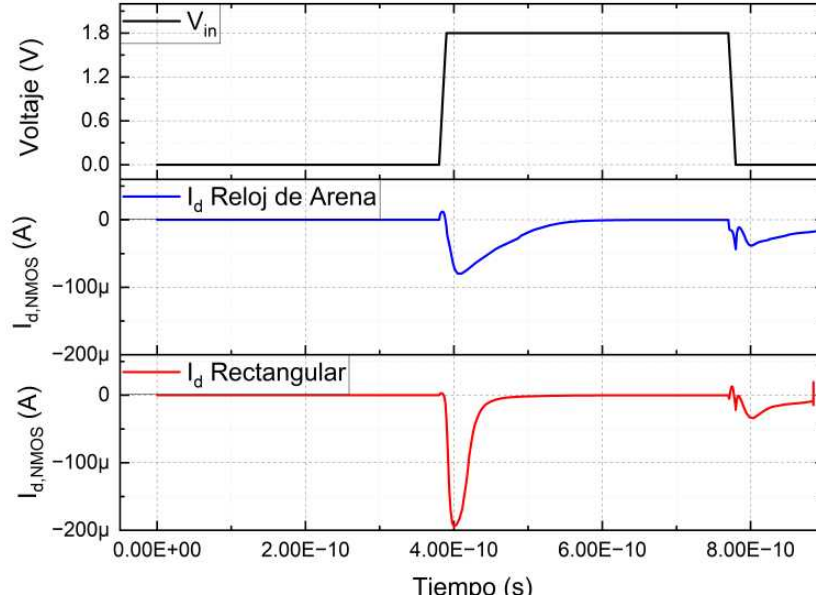


Figura 3.34: Simulación de corriente pico de drenaje en inversores Reloj de Arena y Rectangular a temperatura ambiente y con una frecuencia de señal de entrada de 1GHz con la longitud de los transistores Rectangulares $L = L_{eff}$.

Para comprobar que la reducción de corriente pico de los inversores con transistor Reloj de Arena se debe a los efectos intrínsecos del nuevo transistor y no a las diferencias en las dimensiones del canal en los transistores Rectangulares, se simularon dos inversores donde la longitud de los transistores Rectangulares (NMOS y PMOS) es igual a la longitud efectiva del transistor Reloj de Arena obtenida mediante la ecuación 3.1, manteniendo la longitud constante $W = 1 \mu m$ para los transistores NMOS y $2W$ para los transistores PMOS. El resultado de las simulaciones se observa en la figura 3.34 e indica que el cambio de dimensiones no afecta a la reducción de corriente pico del transistor Reloj de Arena en comparación con la corriente pico del transistor Rectangular.

Al observar el comportamiento de ambos inversores se tienen dos puntos muy importantes: El primer punto es un menor consumo de corriente pico antes y después de los efectos de la radiación, en el inversor Reloj de Arena se tiene un consumo

máximo de $130\mu A$ y $150\mu A$, respectivamente (Figura 3.33). El consumo de corriente del inversor Rectangular Pre y Post Radiación es de $300\mu A$ y $200\mu A$, respectivamente (Figura 3.31). En segundo lugar el inversor Reloj de Arena tiene un mayor retardo en el tiempo de transición de estado (63ps) comparado al inversor Rectangular (15ps). El primer punto permite diseñar compuertas lógicas con un menor consumo de corriente utilizando el inversor Reloj de Arena; pero el segundo punto limita la frecuencia a la que se puede utilizar este mismo inversor, además de reducir la frecuencia a la que podría trabajar un oscilador de anillo diseñado con la misma cantidad de etapas comparado a uno que utiliza inversores Rectangulares.

En cuanto a la robustez a radiación, ambos inversores presentan corriente de fuga cuando se tiene un nivel bajo de voltaje en la entrada, pero el inversor Reloj de Arena presenta una reducción de corriente de fuga del 7.27 % comparado con la corriente de fuga del inversor Rectangular. La salida de señal del inversor también se ve reducida después de los efectos de la radiación pero con una reducción del 71.67 % comparado a la señal Pre-radiación para el inversor Reloj de Arena, mientras que el inversor Rectangular tiene una reducción de señal del 93.33 % comparado a la señal Pre-radiación. En las figuras 3.31 y 3.33 se observa el efecto de la corriente de fuga al comparar la corriente pico Pre y Post Radiación cuando el transistor NMOS esta apagado (señal de entrada en estado bajo), antes de la radiación solo existe corriente pico en el momento de la transición de estados en la señal (señal color Rojo), mientras que después de la radiación (señal color Azul) existe una corriente de fuga en todo momento aún cuando el transistor NMOS debe de estar en estado de baja conducción (apagado).

Como resultado de todas las simulaciones realizadas en las dos tecnologías CMOS se llega a las siguientes conclusiones: El comportamiento eléctrico de la nueva técnica desarrollada es cualitativamente similar en ambas tecnologías, las figuras 3.17 y 3.29 muestran resultados similares en el comportamiento de corriente de todos los dispositivos simulados, en la tecnología 130 nm se tiene un aumento de corriente

de 2.2 del transistor Reloj de Arena en comparación con el transistor Rectangular, mientras que en la tecnología 180 nm este aumento es de 1.96 veces la corriente del transistor Rectangular. La robustez a radiación en el transistor Reloj de Arena no presenta diferencias significativas en ambas tecnologías simuladas. En la tecnología 130 nm el transistor Reloj de Arena presentó una reducción de la corriente de fuga Post-Radiación con una diferencia de un orden de magnitud en comparación con la corriente de fuga Post-Radiación del transistor Rectangular (Figura 3.14), en la tecnología 180 nm se observa la misma diferencia de un orden de magnitud entre el transistor Reloj de Arena y el Rectangular (Figura 3.26). Incluir la región P Stop en el diseño del dispositivo aumento en gran medida la robustez a radiación al reducir casi por completo la corriente de fuga del transistor Reloj de Arena (Figura 3.21).

Capítulo 4

Diseño y fabricación del chip de pruebas C-RAD1

4.1. Estructuras diseñadas y distribución en el chip de pruebas

Tomando en cuenta las ventajas resumidas al final del capítulo anterior, se eligió diseñar y fabricar el chip de pruebas con los nuevos dispositivos en la tecnología UMC 180 nm bulk CMOS. En el chip C-RAD1 se incluyeron transistores independientes entre sí (no conectados en circuito) de distintos tipos de geometrías, las cuales son:

- Transistor Rectangular
- Transistor Reloj de Arena
- Transistor ELT
- Transistor Diamante

- Transistor H/I
- Transistor Z
- Transistor DogBone

La Figura 4.1 muestra un ejemplo del diseño en general de los transistores individuales. Cada transistor individual se encuentra encerrado en un anillo de guarda tipo P+ que lo aísla eléctricamente de otras regiones tipo N+ que se encuentran alrededor y, por lo tanto, evita la generación de caminos conductivos parásitos entre dos dispositivos diferentes por efecto de la radiación. Esto permite estudiar solo los efectos que afectan al transistor individual. La conexión del transistor con las terminales entrada/salida (E/S) o pads se realiza mediante los primeros cuatro niveles de metal que presenta la tecnología, con conexiones entre ellos mediante vías que se apilan entre si para llegar a los distintos niveles de materiales presentes en el transistor.

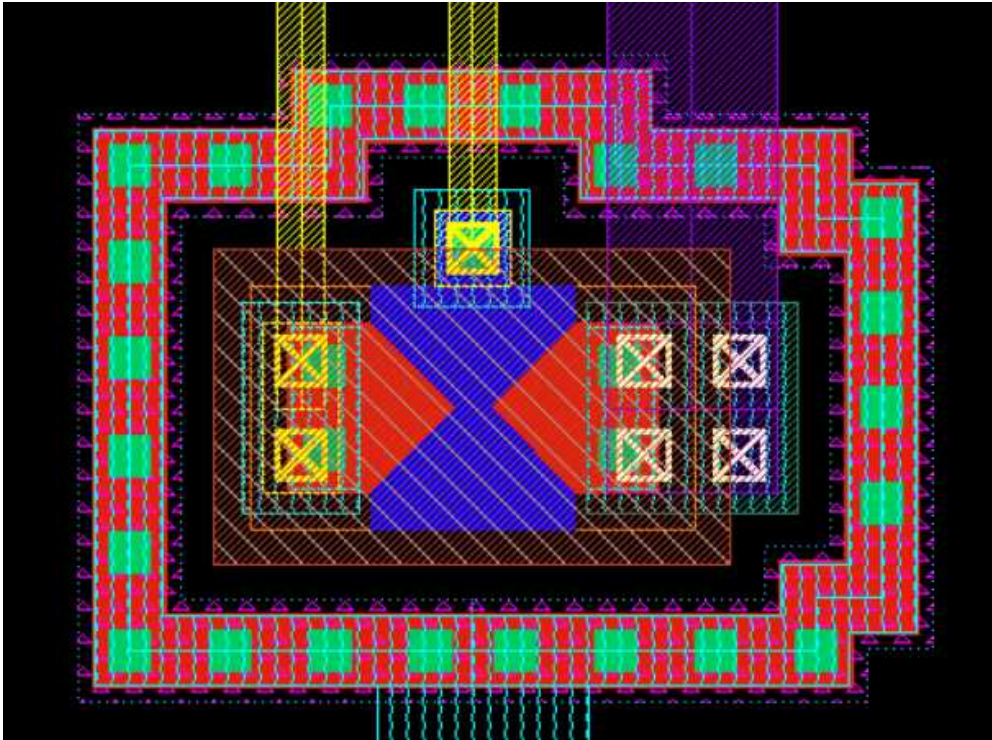


Figura 4.1: Layout del transistor reloj de arena en el chip C-RAD1.

Todos los transistores con diferente técnica de robustez, excepto el ELT, se diseñaron con cinco variaciones de dimensiones:

- $L = 0.2\mu m$ y $W = 1\mu m$
- $L = 1\mu m$ y $W = 1\mu m$
- $L = 5\mu m$ y $W = 1\mu m$
- $L = 0.2\mu m$ y $W = 5\mu m$
- $L = 0.2\mu m$ y $W = 10\mu m$

donde L para los dispositivos Diamante, Reloj de Arena y DogBone es la dimensión de canal mínima (b). Al transistor con las menores dimensiones en L y W se le denominó transistor mínimo en cada uno de las geometrías. Este transistor fue utilizado en el diseño de inversores digitales en el C-RAD1. Se diseñaron 9 inversores individuales utilizando las siguientes geometrías para el transistor NMOS: Rectangular, Diamante, Reloj de Arena, DogBone, H/I y Z. Todos los inversores tienen un transistor PMOS con compuerta rectangular (ejemplo figura 4.2), además los inversores Diamante, Reloj de Arena y DogBone también tienen un inversor donde las geometrías de las compuertas del NMOS y PMOS son la misma (ejemplo figura 4.3).

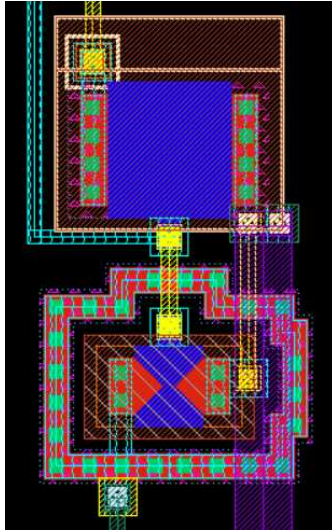


Figura 4.2: Layout del inversor CMOS con un transistor NMOS reloj de arena y un transistor PMOS rectangular.

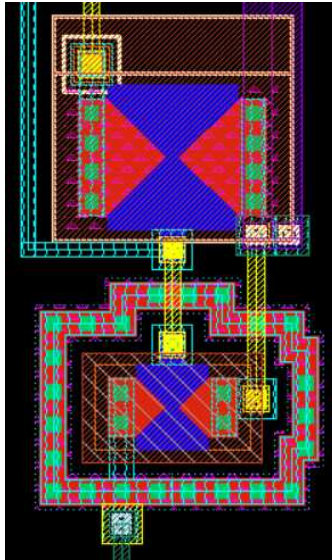


Figura 4.3: Layout del inversor CMOS con transistores NMOS y PMOS reloj de arena.

Para los transistores de longitud mínima se tomó un ancho (W) fijo en $1\mu m$ y una longitud mínima (L) de $0.2\mu m$; en el caso de los transistores con geometrías trapezoidales (reloj de arena, diamante y dogbone) existe una longitud mínima $b = L$ y una longitud máxima B . La longitud máxima es un valor dependiente del ancho del

transistor y del ángulo interno de la compuerta (α) y se calcula con la ecuación 4.1 (reloj de arena y diamante) y ecuación 4.2 (dogbone); para los transistores fabricados con un ángulo $\alpha = 90^\circ$ se tiene $B = 1.2\mu m$ para el transistor reloj de arena y diamante y $B = 0.7\mu m$ para el transistor dogbone.

$$B = W \tan(\alpha) + b \quad (4.1)$$

$$B = \frac{W}{2} \tan(\alpha) + b \quad (4.2)$$

Por la cantidad de dispositivos dentro del C-RAD1 se decidió implementar dos métodos de acceso a las terminales E/S de conexión. El primero es por medio de pads internos organizados en forma de módulos con conexiones en común para potenciales de compuerta, fuente y cuerpo de los transistores. El segundo método es por medio de pads de conexión para alambrado en el exterior del chip, igual con conexiones comunes para compuerta, fuente y cuerpo, la distribución final se observa en la figura 4.4, donde las letras de la A a la H señalan los diferentes módulos de pads internos, mientras que la letra P denota a los pads externos.

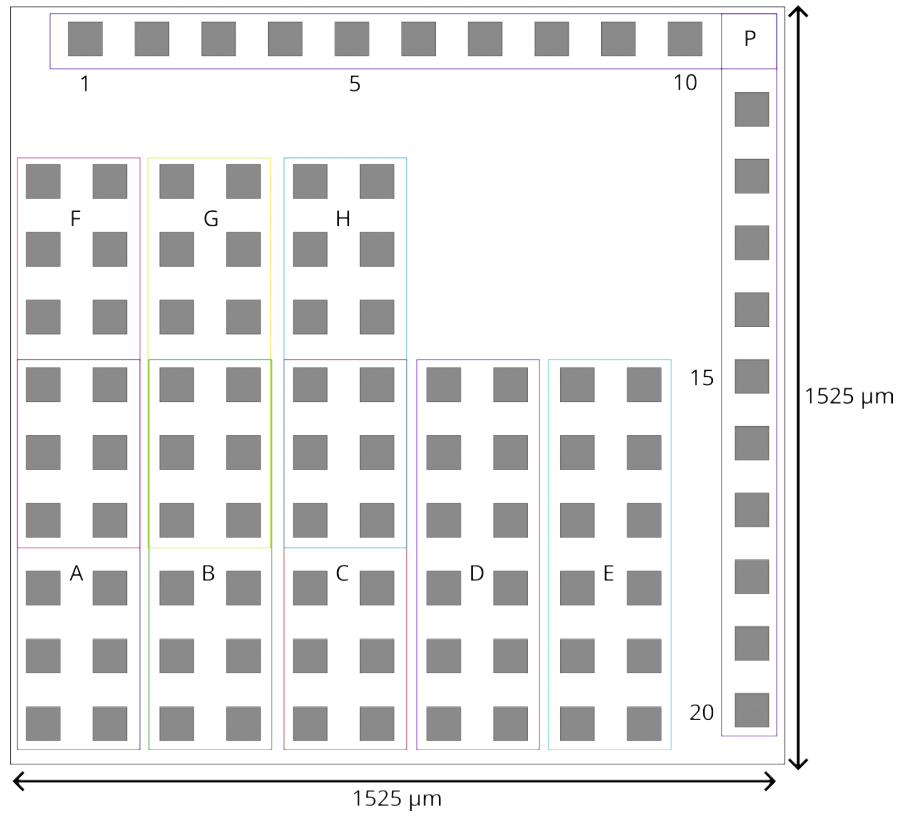


Figura 4.4: Distribución de pads y dimensiones del chip de pruebas C-RAD1.

Junto a los transistores individuales y los inversores se diseñaron también osciladores de anillo para ver el efecto en circuitos más complejos con radiación ionizante. En el apéndice A se incluye el manual completo del chip C-RAD1 con descripciones detalladas de todos los módulos, conexiones y circuitos incluidos. La tabla 4.1 muestra un resumen de las estructuras incluidas en el chip de pruebas.

Tabla 4.1: Lista de Estructuras en el C-RAD1

Estructuras	Tipo de Transistores
13 Transistores $L = min, W = 1\mu m$	Rectangular, Metal-1, ELT, Diamante, H/I DogBone, Z y Reloj de Arena
26 Transistores $L \times 5, 10$ y $W \times 5, 10$	Rectangular, Metal-1, Diamante, H/I DogBone y Reloj de Arena
13 Inversores CMOS	NMOS Rectangular, Diamante, DogBone y Reloj de Arena y PMOS Rectangular, DogBone y Reloj de Arena
2 Capacitores MOS	$15 \times 20\mu m$ y $30 \times 20\mu m$
10 Osciladores de Anillo	NMOS y PMOS Rectangular, DogBone y Reloj de Arena
1 Selector de 4 Bits	ELT
Total = 65 Estructuras	

Capítulo 5

Resultados experimentales

En este capítulo se incluyen los resultados experimentales de las caracterizaciones eléctricas tanto a temperatura ambiente como en condiciones de muy bajas temperaturas del chip C-RAD1. La tecnología UMC 180nm bulk-CMOS utilizada en el chip de pruebas es una tecnología comercial muy bien caracterizada y con buena estabilidad en su fabricación que incluyen modelos compactos que permiten una buena base de comparación para el análisis de los transistores y circuitos fabricados.

5.1. Caracterización eléctrica a temperatura ambiente

De la fabricación se obtuvieron diez chips encapsulados en bases cerámicas tipo DIP24 [69], los cuales fueron alambrados en el laboratorio de microelectrónica del INAOE con alambres de oro (tpt $25\ \mu m$ 99.9% Au) para mejorar la conductividad eléctrica ($4.5 \times 10^7\ S/m$), la conductividad térmica ($317\ W/m \cdot K$) y reducir acumulación de cargas en el proceso de alambrado. La figura 5.1 muestra uno de estos chips.

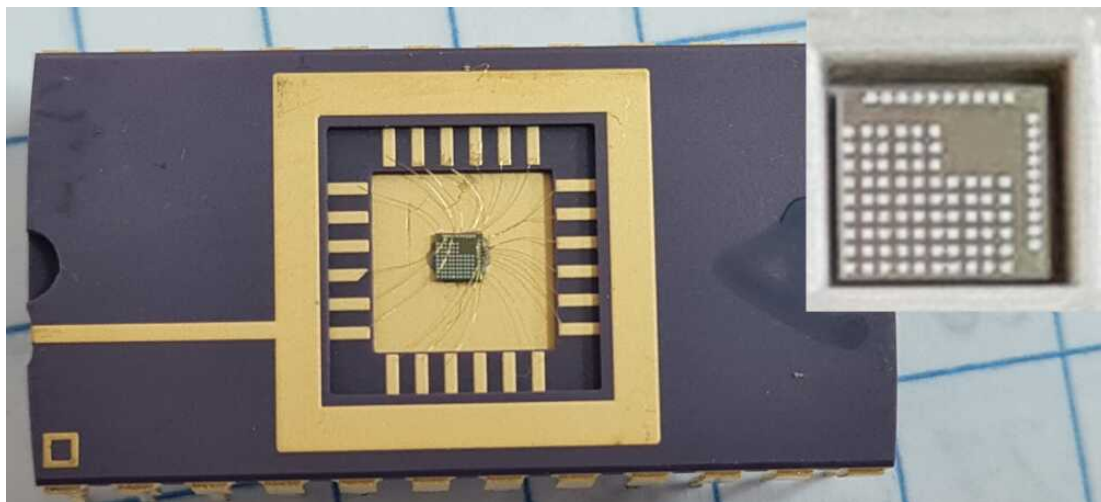


Figura 5.1: Imagen de un chip C-RAD1 alambrado a la base tipo DIP24 y una ampliación de los chips sin alambrar.

Debido al límite de pads de conexión externos para alambrar, algunos dispositivos solo tienen acceso por medio de pads internos diseñados para ser medidos con puntas de prueba en estaciones de trabajo como lo muestra la figura 5.2.

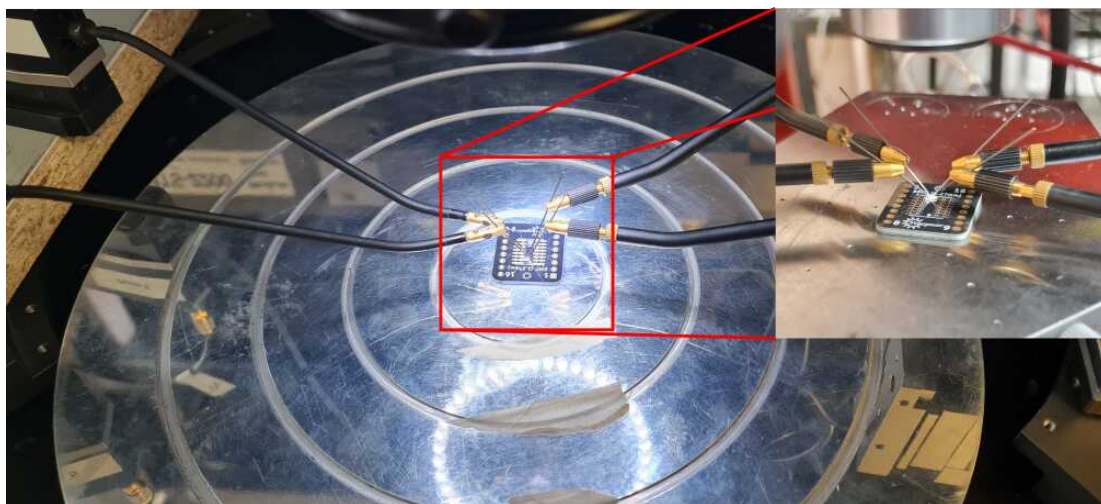


Figura 5.2: Imagen de un chip C-RAD1 sobre una estación de trabajo y conectado a puntas de prueba.

Se obtuvieron curvas $I_d - V_{gs}$ de los transistores individuales para comparar sus características eléctricas. Todas las mediciones fueron con voltajes $V_{ds} = 0.1V$. A

cada chip alambrado se le dio una nomenclatura con letras de la A a la J para su identificación, mientras que al chip sin encapsular que se midió utilizando puntas de prueba se le denominó con el nombre "Dice" para su identificación en los análisis de los datos. El primer dispositivo que se midió fue el reloj de arena y las figuras 5.3 y 5.4 muestran los resultados de estas mediciones en sus regiones de encendido y subumbral, respectivamente. Los chips G y J presentaron fallas en su proceso de alambrado y por lo tanto no se pudieron obtener curvas corriente-voltaje.

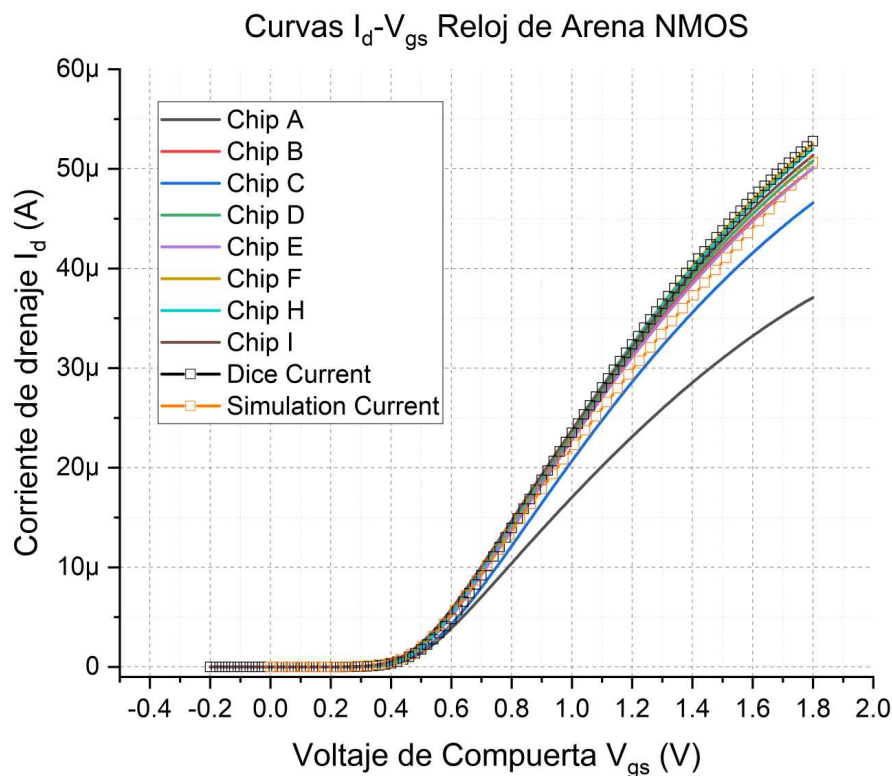


Figura 5.3: Curvas experimentales $I_d - V_{gs}$ con $V_{ds} = 0.1V$ a temperatura ambiente en región de encendido del transistor reloj de arena en diferentes chips y resultados de simulación.

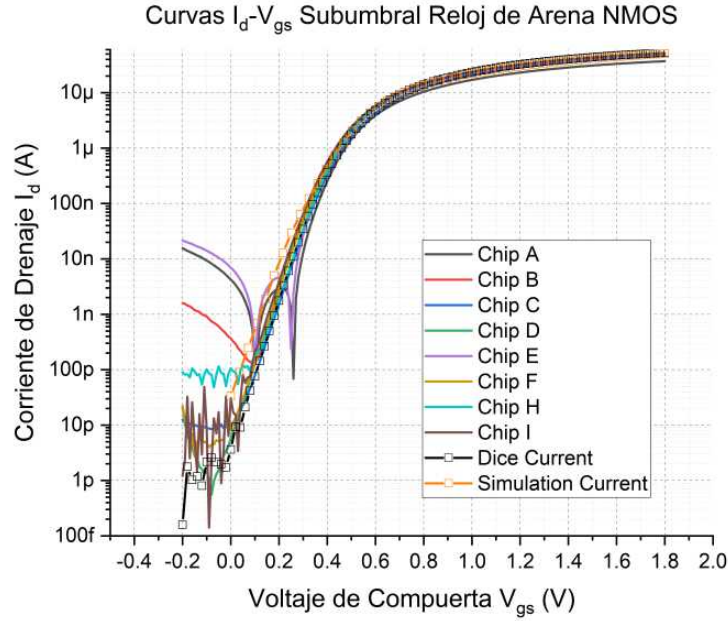


Figura 5.4: Curvas experimentales $I_d - V_{gs}$ con $V_{ds} = 0.1V$ a temperatura ambiente en región de subumbral del transistor reloj de arena en diferentes chips y resultado de simulación en Sentaurus.

De las figuras anteriores se puede observar al comparar la curva simulada con los datos medidos experimentalmente que existe un buen comportamiento en las dos regiones del dispositivo. En subumbral algunos dispositivos presentan un comportamiento diferente en los primeros pasos de voltaje de la medición, este cambio de corriente de subumbral puede deberse a la acumulación de cargas en los dispositivos al momento del alambrado debido al aumento de calor en la soldadura y que al momento de hacer la medición estas cargas se movieron generando corrientes parásitas en los chips A, B y E.

En los chips alambrados se pueden acceder a los dispositivos Rectangular, Reloj de Arena, Diamante y DogBone. Para hacer una mejor comparación de estos cuatro tipos de transistores se realizó una normalización de la corriente de drenaje utilizando como factor la razón de aspecto ($\frac{W}{L}$) de cada dispositivo, de la misma forma que se

hizo en las simulaciones. En la figura 5.5 se observan las curvas normalizadas de los mismos dispositivos en tres chips alambrados (C,E y H) y en el dado sin alambrear (Dice); el comportamiento general de la corriente en los dispositivos es de mayor a menor: Diamante, Reloj de Arena, DogBone y Rectangular; siendo la diferencia entre transistor Rectangular y DogBone en algunas mediciones casi inexistente.

La diferencia de corriente entre el transistor Diamante y el Reloj de Arena puede explicarse por la aparición de dos efectos: en el dispositivo Diamante, el efecto PAMDLE (transistores paralelos de diferentes longitudes) y el efecto LCE (efecto de esquina longitudinal); de estos dos efectos el LCE aumenta considerablemente la corriente de canal al sumar el campo eléctrico longitudinal en el centro del dispositivo como se muestra en la figura 5.6, este aumento del campo eléctrico aumenta la densidad de corriente de arrastre.

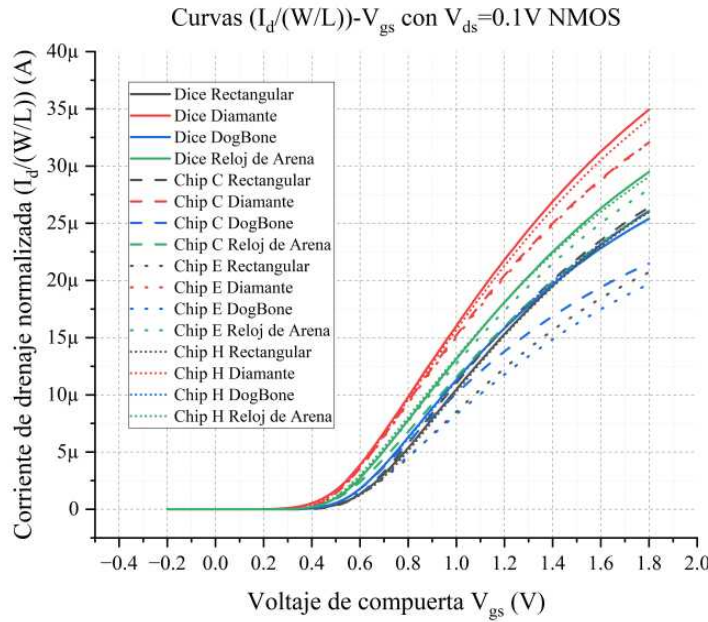


Figura 5.5: Curvas normalizadas ($I_d/(W/L)$) - V_{gs} con $V_{ds} = 0.1V$ de los transistores rectangular, diamante, DogBone y reloj de arena en los chips C, E y H y el dado sin alambrear (Dice).

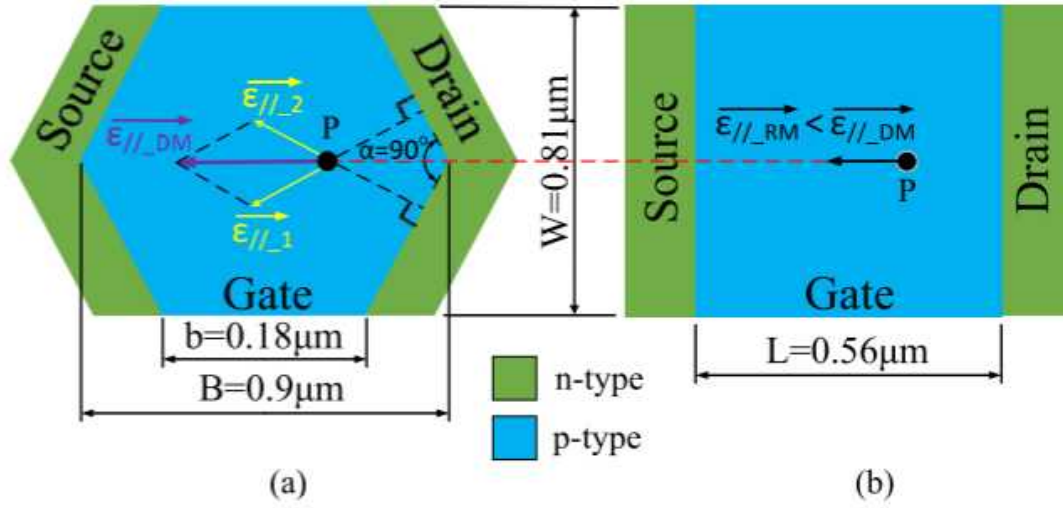


Figura 5.6: Vista superior simplificada de un transistor diamante (a) y un transistor rectangular (b) ilustrando los componentes vectoriales del LCE correspondiente [65].

En el transistor reloj de arena también existe el efecto PAMDLE, pero debido a la geometría del canal no aparece el efecto LCE ya que las líneas del campo eléctrico se alejan del centro del dispositivo como lo muestra la figura 5.7.

En el transistor reloj de arena las líneas de campo eléctrico se alejan del centro del canal y ahora se agrupan en el centro de las regiones triangulares superior e inferior (ilustrado con flechas de mayor tamaño para determinar la dirección del vector), ayudando a la conducción de los portadores en estas regiones donde pierden más energía por la distancia que tienen que recorrer entre fuente y drenaje. Estas dos condiciones mejoran la conducción del dispositivo pero sin llegar a obtener la ganancia de corriente que el efecto LCE produce en el transistor Diamante.

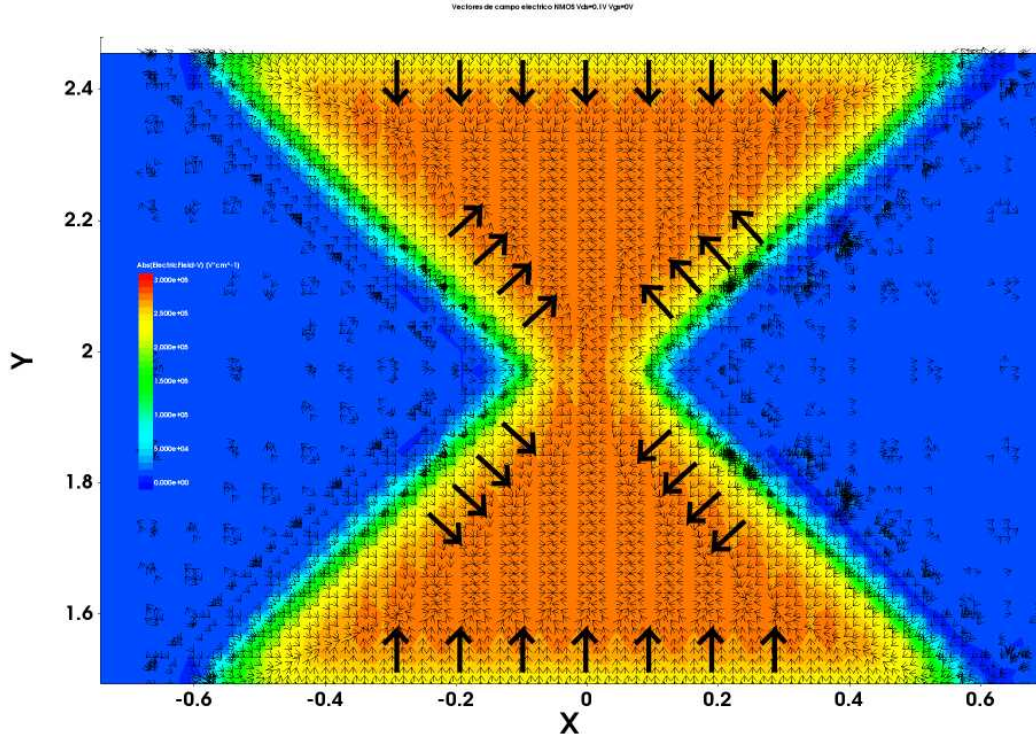


Figura 5.7: Vectores de campo eléctrico en el canal del transistor reloj de arena con $V_{ds} = 0.1V$ y $V_{gs} = 0V$ obtenidos en simulación.

Una mayor transconductancia en el transistor reloj de arena es una ventaja cuando se requiere diseñar circuitos analógicos que necesitan transistores con diferentes dimensiones ya que se puede obtener la misma corriente de salida con una menor área de compuerta. En el caso de circuitos digitales como inversores existe la limitante en el transistor reloj de arena de las dimensiones mínimas que puede tomar el dispositivo, esto debido a que por su geometría, no es posible lograr un transistor solo con la longitud mínima. Si tomamos en cuenta que los dispositivos fabricados tienen un ancho fijo y un ángulo central de $\alpha = 90^\circ$ entonces el valor de longitud máxima del transistor reloj de arena también es fijo (ecuación 4.1) y no puede ser menor de ese valor a menos que se aumente el ángulo central o se disminuya el ancho del transistor pero siempre será cierto que $B > b$ ya que el caso de $B = b$ corresponde al transistor rectangular. Considerando lo anterior se pueden entender las curvas

de consumo de corriente en inversores de la figura 5.8, en donde el inversor con el transistor NMOS tipo reloj de arena tiene el menor consumo de corriente de los cuatro inversores medidos; una mayor L_{eff} comparado con el transistor rectangular reduce la corriente de drenaje y aunque el transistor diamante tiene la misma L_{eff} que el transistor reloj de arena, la presencia del LCE explica la mayor corriente de drenaje en el primero comparado con el segundo. En la figura 5.8 también se observa una asimetría en la curva de corriente en los transistores reloj de arena y dogbone, lo cual se puede explicar por la diferencia en la corriente que se consume entre los dispositivos NMOS y PMOS, aun cuando se mantuvo una relación de aspecto PMOS:NMOS de 2:1; diferencia de corriente que el transistor diamante compensa con el LCE.

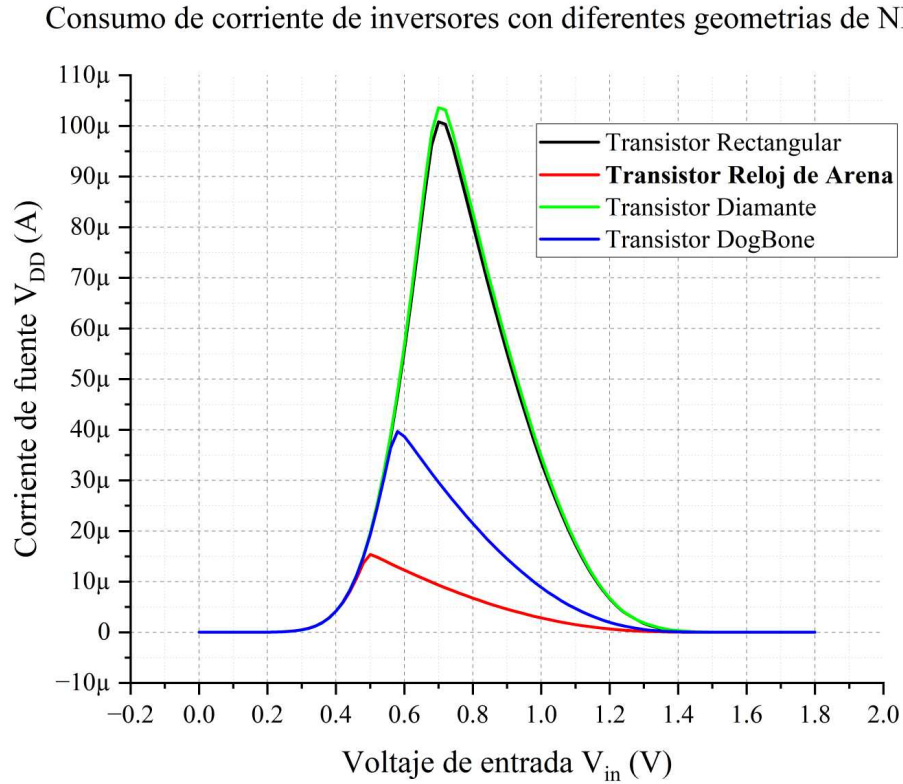


Figura 5.8: Curvas de consumo de corriente pico de inversores con diferentes geometrías de transistor NMOS haciendo un barrido de voltajes de entrada (V_{in}).

5.2. Caracterización eléctrica a baja temperatura y variaciones de proceso

5.2.1. Simulaciones a baja temperatura y con variaciones de proceso

Para considerar el ambiente espacial se tiene que tener en cuenta, además de la radiación, los cambios de temperatura y presión a los que están expuestos los circuitos electrónicos. Con el modelo en 3D de sentaurus se realizaron simulaciones con temperatura y parámetros del proceso de fabricación.

En base al modelo compacto BSIM3v3 de SPICE que el fabricante proporciona para simular y modelar circuitos utilizando sus dispositivos, se obtienen los parámetros que varían de acuerdo con las cinco variaciones de proceso (TT,FF,SS,SF,FS). Los parámetros son: cambios de dimensiones, variaciones (esquinas) de grosor de óxido de compuerta y cambios en capacitancias. De esos parámetros los únicos que pueden ser trasladados a los modelos físicos de sentaurus son los cambios de dimensiones y las variaciones de grosor de óxido de compuerta; los cambios en capacitancias no son posibles de implementar debido a que esos valores se calculan internamente con las geometrías del modelo 3D y las ecuaciones de los modelos físicos.

La forma en que el modelo BSIM3v3 hace variaciones de dimensiones del transistor es por medio de la combinación de cuatro ecuaciones que incluyen parámetros geométricos que los fabricantes pueden modificar acorde con sus necesidades.

$$L_{eff} = L_{drawn} - 2dL \quad (5.1)$$

$$W_{eff} = W_{drawn} - 2dW \quad (5.2)$$

Esquinas de variación de proceso	L_{eff}	W_{eff}	t_{ox}
TT	$0.188\mu m$	$0.967\mu m$	$4.2nm$
FF	$0.169\mu m$	$0.986\mu m$	$3.95nm$
SS	$0.214\mu m$	$0.941\mu m$	$4.45nm$
FS	$0.176\mu m$	$0.979\mu m$	$4.2nm$
SF	$0.202\mu m$	$0.953\mu m$	$4.2nm$

Tabla 5.1: Variaciones de dimensiones debido al proceso de fabricación.

$$dL = L_{int} + \frac{L_l}{L^{L_{ln}}} + \frac{L_w}{W^{L_{wn}}} + \frac{L_{wl}}{L^{L_{ln}} W^{L_{wn}}} \quad (5.3)$$

$$dW = W_{int} + \frac{W_l}{L^{W_{ln}}} + \frac{W_w}{W^{W_{wn}}} + \frac{W_{wl}}{L^{W_{ln}} W^{W_{wn}}} \quad (5.4)$$

Para el caso del grosor del óxido de compuerta esto corresponde a una sustitución directa del valor presentado en el modelo SPICE (t_{ox}) con el valor del modelo 3D de sentaurus para cada caso de variación de proceso. La tabla 5.1 muestra los valores W_{eff} , L_{eff} y t_{ox} del transistor NMOS correspondientes a cada variación de proceso.

Con los datos anteriores se realizó la simulación de curvas $I_d - V_{gs}$ con variaciones de temperatura y voltaje mostradas en las figuras 5.9 y 5.10. Se observan pequeñas variaciones en la corriente con los cambios de proceso y un cambio más significativo al simular una baja temperatura (153 K) que al aumentarla. En subumbral la corriente de apagado se reduce al bajar la temperatura y en la región de encendido se aumenta la transconductancia a menor temperatura.

Curvas I_d - V_{gs} NMOS Reloj de Arena con variaciones de proceso y temperatura

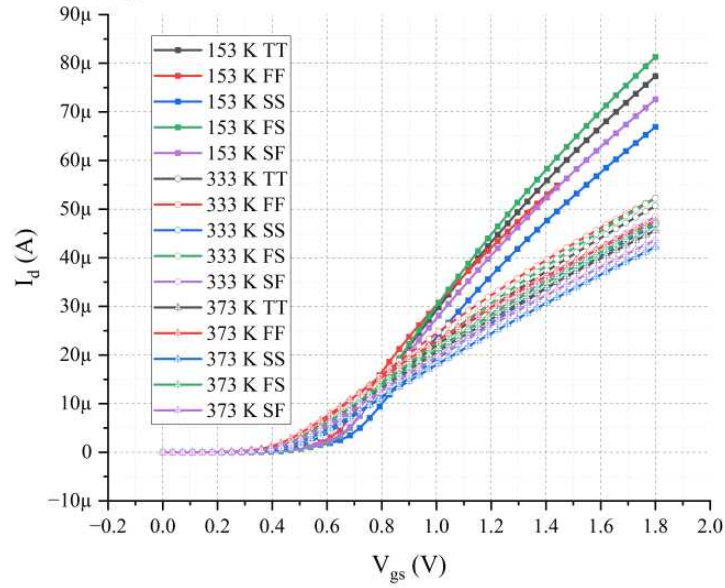


Figura 5.9: Curvas $I_d - V_{gs}$ del transistor Reloj de Arena con variaciones de proceso y temperatura.

Curvas I_d - V_{gs} subumbral NMOS Reloj de Arena con variaciones de proceso y temperatura

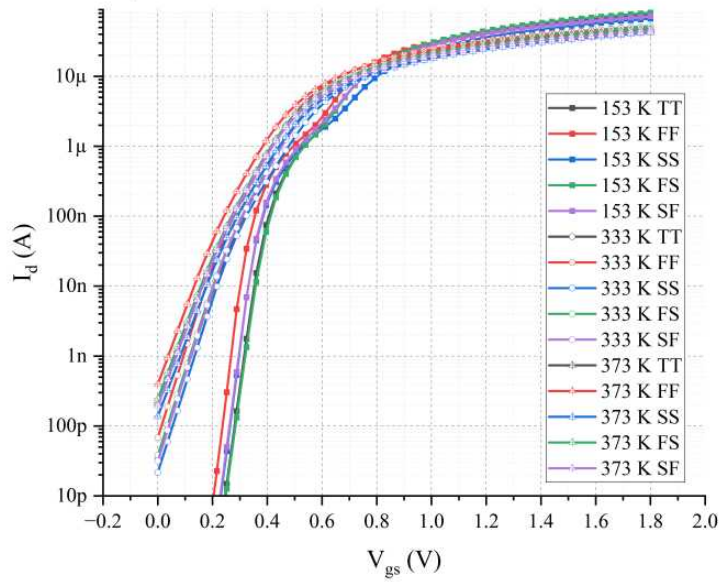


Figura 5.10: Curvas $I_d - V_{gs}$ en región de subumbral del transistor Reloj de Arena con variaciones de proceso y temperatura.

5.3. Resultados experimentales a baja temperatura

Para comprobar el funcionamiento del transistor reloj de arena a condiciones de temperatura extrema, se realizaron experimentos de su funcionamiento en el Laboratorio de Instrumentación Astronómica de Ondas Milimétricas del INAOE utilizando el sistema criogénico a 3 Kelvin (figuras 5.11, 5.12 y 5.13) y el analizador de parámetros de dispositivos semiconductores (SDA) del Laboratorio de Altas Frecuencias del INAOE (figura 5.11). Como resultado se obtuvieron curvas $I_d - V_{gs}$ de los transistores rectangular y reloj de arena a diferentes temperaturas y a una presión de $1 \times 10^{-5} mBar$.

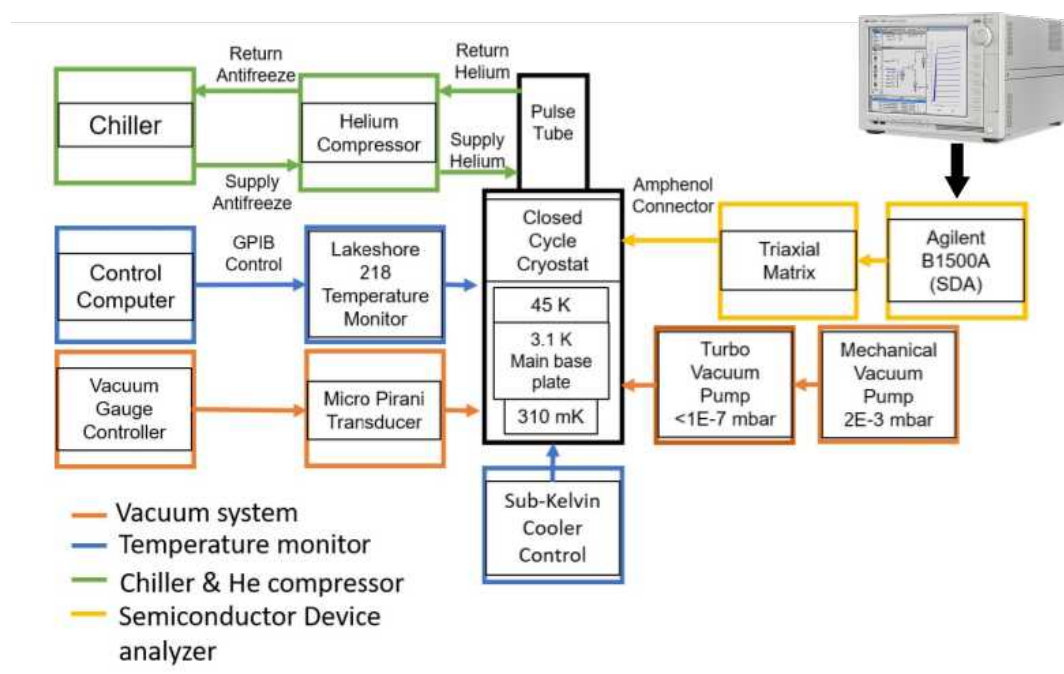


Figura 5.11: Diagrama del sistema completo de enfriamiento indicando equipos y conexiones utilizadas [70].

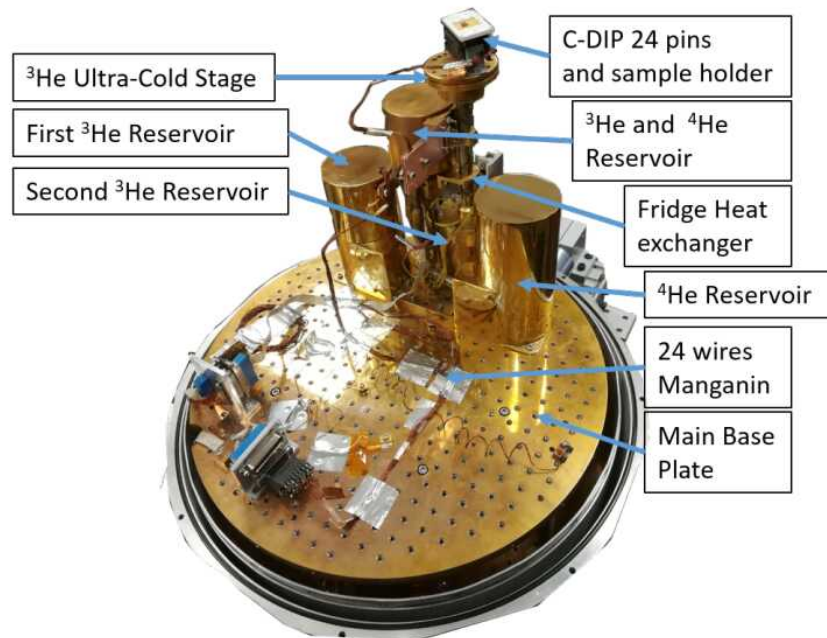


Figura 5.12: Imagen del sistema criogénico con detalles de sus estructuras [71].

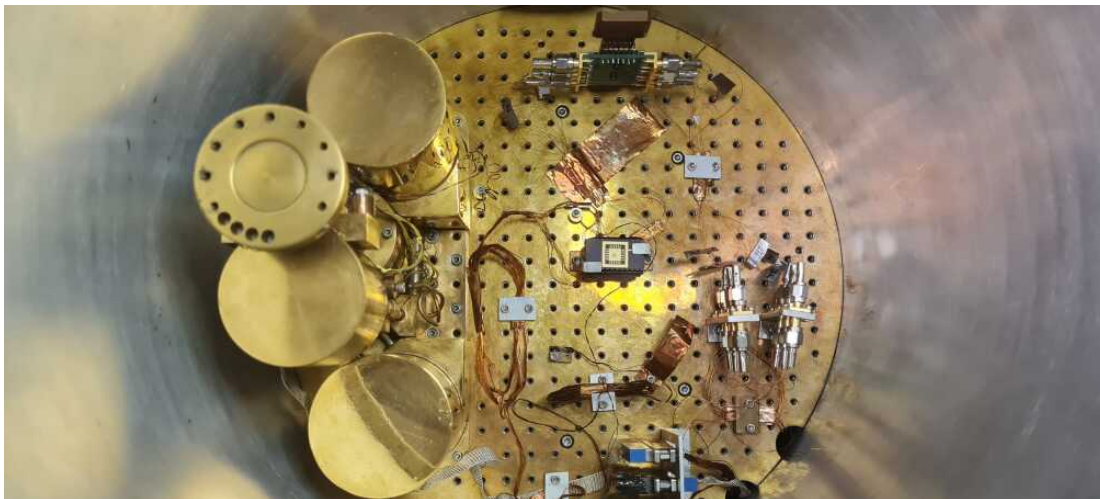


Figura 5.13: Imagen superior del sistema criogénico a 3 Kelvin utilizado para caracterizar los dispositivos con el chip C-RAD1 instalado en el centro.

Las figuras 5.14 y 5.15 presentan los resultados de estas caracterizaciones a baja temperatura para los transistores rectangular y reloj de arena. Se observa un aumento de la corriente del transistor con la reducción de temperatura, lo cual se traduce

también en un aumento de la transconductancia.

En las figuras 5.16 y 5.17 se observa la región de subumbral de ambos transistores, en donde ahora la reducción de temperatura viene acompañada de una reducción de corriente de apagado y un cambio en la pendiente de la curva. También se puede observar un aumento del voltaje de umbral al reducir la temperatura en ambos dispositivos. Se puede explicar el cambio en la pendiente de subumbral (S) si se considera la ecuación de pendiente 5.5 [22], donde C_D es la capacitancia de la región de agotamiento, C_{ox} es la capacitancia de compuerta, k es la constante de Boltzmann, q es la carga del electrón y T es la temperatura. Al reducir la temperatura T se reduce el cambio de voltaje de compuerta por década de corriente de drenaje, reduciendo el voltaje necesario para llegar a la menor corriente de fuga I_{off} .

$$S \equiv (\ln 10) \frac{dV_g}{d(\ln I_d)} = 2.3 \frac{kT}{q} \left(1 + \frac{C_D}{C_{ox}} \right) \quad (5.5)$$

Entre las ventajas de reducir la temperatura de trabajo de los transistores NMOS están la mayor movilidad de portadores (lo que se traduce a mayor corriente de transconductancia), un menor consumo de potencia, menor corriente de fuga y menor resistencia en las uniones con el metal [22]. Junto a lo anterior se puede considerar la existencia del coeficiente cero de temperatura (ZTC por sus siglas en ingles) que es una propiedad física de los MOSFETs que los hace más resistentes a los cambios de temperatura y proceso. El ZTC se indica en las figuras 5.16 y 5.17 para ambos transistores como el punto donde se cruzan todas las curvas. Es importante señalar que entre los dos transistores, el Reloj de Arena tiene el ZTC en un menor voltaje de compuerta y menor consumo de corriente ($0.7V$ y $7.8\mu A$ respectivamente) comparado al transistor Rectangular ($0.82V$ y $30.15\mu A$), esto es una ventaja del transistor Reloj de Arena sobre el transistor Rectangular.

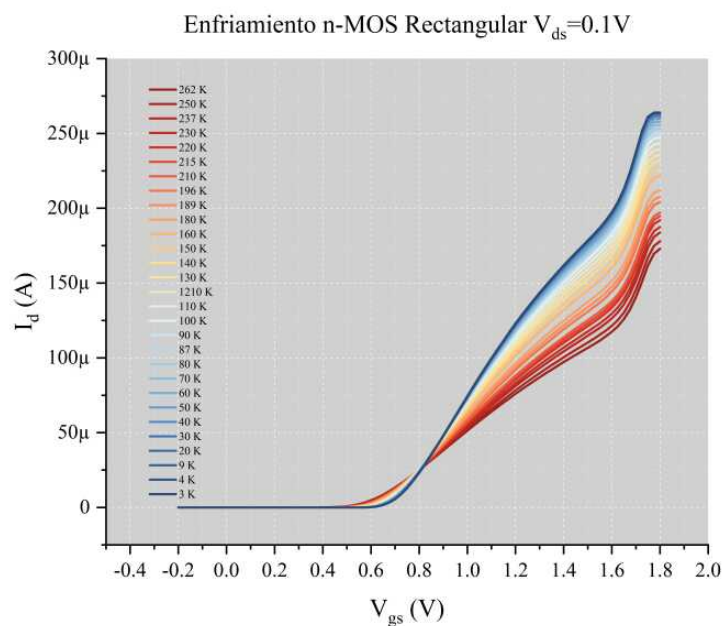


Figura 5.14: Curvas experimentales $I_d - V_{gs}$ del transistor Rectangular variando la temperatura.

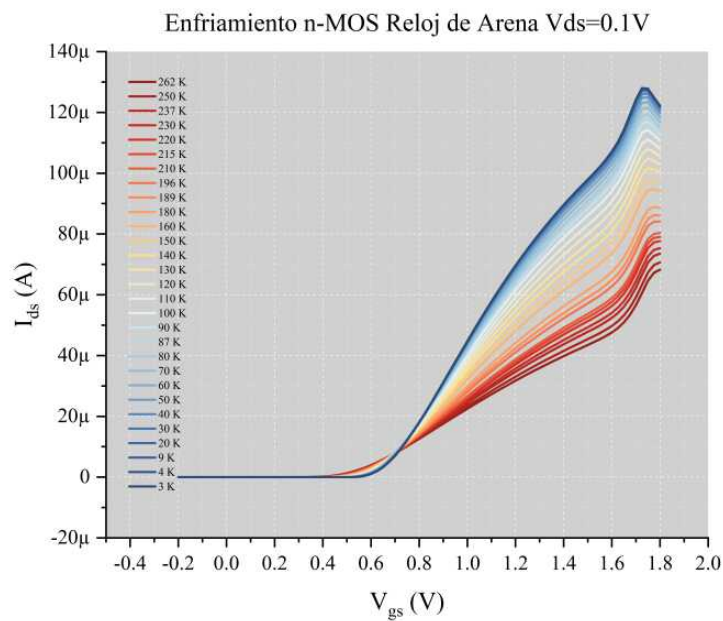


Figura 5.15: Curvas experimentales $I_d - V_{gs}$ del transistor Reloj de Arena variando la temperatura.

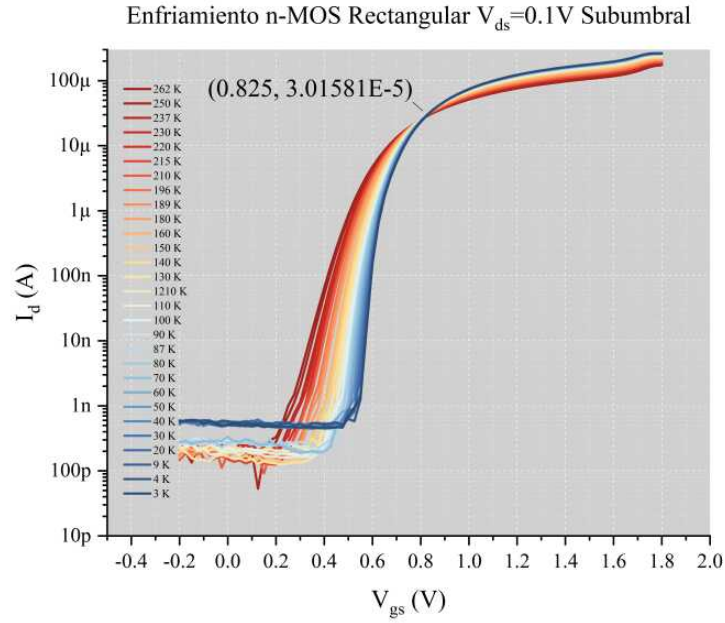


Figura 5.16: Curvas experimentales $I_d - V_{gs}$ del transistor Rectangular variando la temperatura.

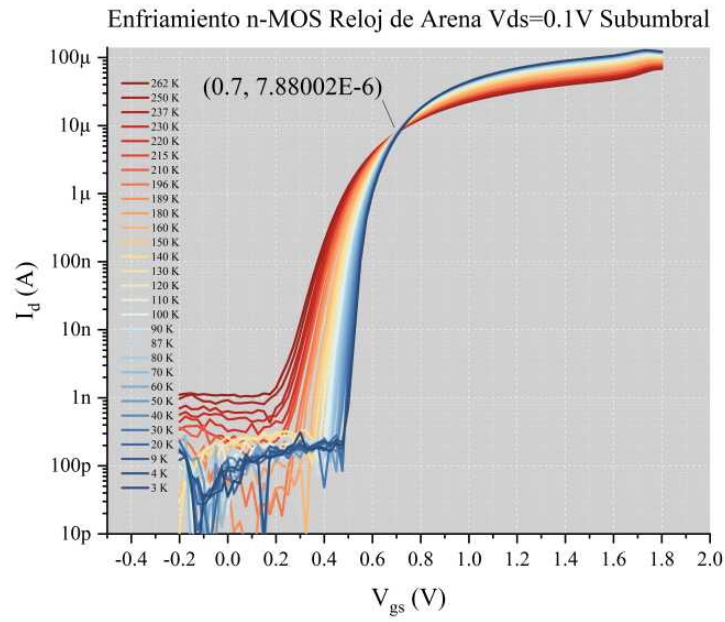


Figura 5.17: Curvas experimentales $I_d - V_{gs}$ del transistor Reloj de Arena variando la temperatura.

La temperatura mínima de los experimentos es el límite de temperatura al que puede llegar el sistema con la configuración actual y la temperatura máxima se registró manualmente al momento de hacer los experimentos y es el último punto registrado. Los experimentos a baja temperatura solo se realizaron en los transistores Rectangulares y Reloj de Arena debido al tiempo restringido de uso del equipo de medición. La temperatura mínima de 3 K a la que se llegó con los experimentos esta muy por debajo de la temperatura mínima para ambiente espacial de 153 K , esto permite asegurar la estabilidad del nuevo dispositivo aún en un rango de temperatura menores a lo requerido y abre la posibilidad a su uso en aplicaciones que requieren temperaturas muy bajas.

Como conclusiones de estos resultados se observaron mediciones de los dispositivos fabricados que concuerdan con lo obtenido en las simulaciones del capítulo 4 (Figura 5.3). Se comprobó que al normalizar los resultados de las mediciones $I_d - V_{gs}$ con respecto a la relación de aspecto efectiva (W/L_{eff}) el transistor Reloj de Arena presenta una mayor transconductancia que el transistor Rectangular (Figura 5.5). También se observó que al incluir el transistor NMOS Reloj de Arena en un inversor CMOS se reduce el consumo de potencia de $70\text{ }\mu\text{W}$ (NMOS Rectangular) a $7.5\text{ }\mu\text{W}$ (Figura 5.8). Con el análisis PVT se comprobó la estabilidad del nuevo transistor NMOS principalmente ante las variaciones del proceso y la temperatura del ambiente espacial (153 K a 373 K), esta estabilidad también se vio reflejada en los experimentos a muy baja temperaturas. El transistor Reloj de Arena mostró una reducción de 0.125 mV en el valor del ZTC comparado con el transistor Rectangular. La reducción de potencia consumida en el inversor CMOS y la estabilidad del funcionamiento del transistor Reloj de Arena a baja temperatura son características de funcionamiento importantes al incluir estos dispositivos en circuitos de un nano-satélite.

Capítulo 6

Conclusiones

En el presente trabajo de tesis se propusieron tres nuevas técnicas para aplicaciones en ambiente espacial. La Propuesta 1 y la Propuesta 2 mejoraron en distintas medidas el comportamiento Post-Radiación del transistor NMOS, pero la Propuesta 3 llamada transistor Reloj de Arena fue la que presentó ventajas significativas al reducir la corriente de fuga por efectos de radiación, mejorar la transconductancia y reducir el consumo de potencia. Como resultado de este trabajo de investigación se demostró por medio de simulaciones que el transistor Reloj de Arena presenta una corriente de fuga de aproximadamente un orden de magnitud menor en las tecnologías 130 nm TSMC y 180 nm UMC comparado con el transistor Rectangular. Asimismo, después de simular efectos de radiación en el óxido de silicio, se demostró mediante la simulación en 3D que existe menor densidad de corriente lateral parásita debido al aumento de la resistencia de canal parásita, provocado por el aumento de la distancia entre fuente y drenaje en las orillas del dispositivo Reloj de Arena, lo cual es válido para las dos tecnologías utilizadas. Las ventajas obtenidas en el dispositivo Reloj de Arena se lograron a costa de aumentar el área de compuerta del transistor NMOS de $0.13 \mu m^2$ a $0.63 \mu m^2$ en la tecnología de 130 nm y de $0.2 \mu m^2$ a $0.7 \mu m^2$ en la tecnología de 180 nm.

Se comprobó por medio de simulación la eficacia de utilizar una implantación de P Stop con el nuevo dispositivo diseñado en este trabajo, teniendo como resultado una mejora en la robustez a radiación al no observar corriente de fuga Post-radiación.

Considerando su aplicación en circuitos, caso de un inversor, se observó una reducción de corriente de fuga del 7.27 %. También se mejoró el nivel de la señal de salida aún con los efectos de la radiación, el transistor reloj de arena presento una reducción de la señal del 71.67 % comparado a la señal Pre-radiación, mientras que el transistor Rectangular tuvo una reducción del nivel del 93.33 %.

Como resultado de la fabricación del transistor Reloj de Arena se comprobó el aumento de corriente normalizada en comparación con el transistor Rectangular y la reducción del consumo de corriente del inversor Reloj de Arena comparado con otros inversores fabricados utilizando técnicas de literatura (Rectangular, Diamante y DogBone).

La técnica del Transistor Reloj de Arena también demostró un buen funcionamiento por medio de simulaciones ante variaciones de proceso y temperatura, sin presentar resultados muy alejados de lo esperado para este tipo de dispositivos; esto se pudo comprobar con experimentos de baja temperatura. Las curvas de enfriamiento también presentaron otra ventaja del dispositivo Reloj de Arena, un ZTC con menor voltaje y corriente en comparación con el transistor Rectangular.

Considerando la utilización de la técnica del transistor Reloj de Arena en nanosatélites las principales ventajas son: la reducción de la potencia consumida por el inversor CMOS, bajando el consumo de $70 \mu W$ a $7.6 \mu W$; la estabilidad del transistor en bajas temperaturas la cual fue comprobada experimentalmente. Pero el punto más importante a tomar en cuenta es la mejora en la robustez a radiación tipo TID con la reducción de la corriente de fuga demostrado en las simulaciones.

6.1. Publicaciones

Los resultados obtenidos de esta investigación se publicaron en dos artículos de congresos internacionales y un artículo de revista internacional:

1- C. A. P. Ortega and M. L. Aranda, “Hourglass and semi-hourglass layout techniques to improve radiation hardening of nmos devices,” 2023 20th International Conference on Electrical Engineering, Computing Science and Automatic Control, CCE 2023, 2023.

2- C. A. P. Ortega and M. L. Aranda, “An alternative radiation hardened by layout design in a cmos technology,” 2022 IEEE Latin America Electron Devices Conference, LAEDC 2022, 2022.

Y un artículo de revista internacional:

3- C. A. P. Ortega and M. L. Aranda, “Hourglass transistor: An alternative and improved mos structure robust to total ionization dose radiation,” Microelectronics Journal, vol. 152, p. 106391, 10 2024

6.2. Trabajo Futuro

- Realizar experimentos en las estructuras contenidas en el chip de pruebas C-RAD1 con radiación ionizante en las instalaciones del Instituto Nacional de Investigaciones Nucleares (ININ) en Ciudad de México para verificar los resultados obtenidos en las simulaciones.
- Obtención de parámetros del modelo compacto de BSIM3v3 que tomen en cuenta la nueva técnica geométrica para simular circuitos complejos con mejor precisión.

- Caracterización de osciladores de anillo para determinar su consumo de corriente y su frecuencia de operación con la nueva técnica geométrica.
- Publicación de resultados de los experimentos a baja temperatura.

Apéndice A

Manual del chip de pruebas C-RAD1

El chip de pruebas C-RAD1 presenta la cantidad de 40 transistores individuales, 9 inversores, 10 osciladores de anillo y 2 capacitores MOS. La Figura [A.1](#) muestra las dimensiones, la distribución de terminales de entrada/salida (E/S) y módulos, así como la nomenclatura de cada sección.

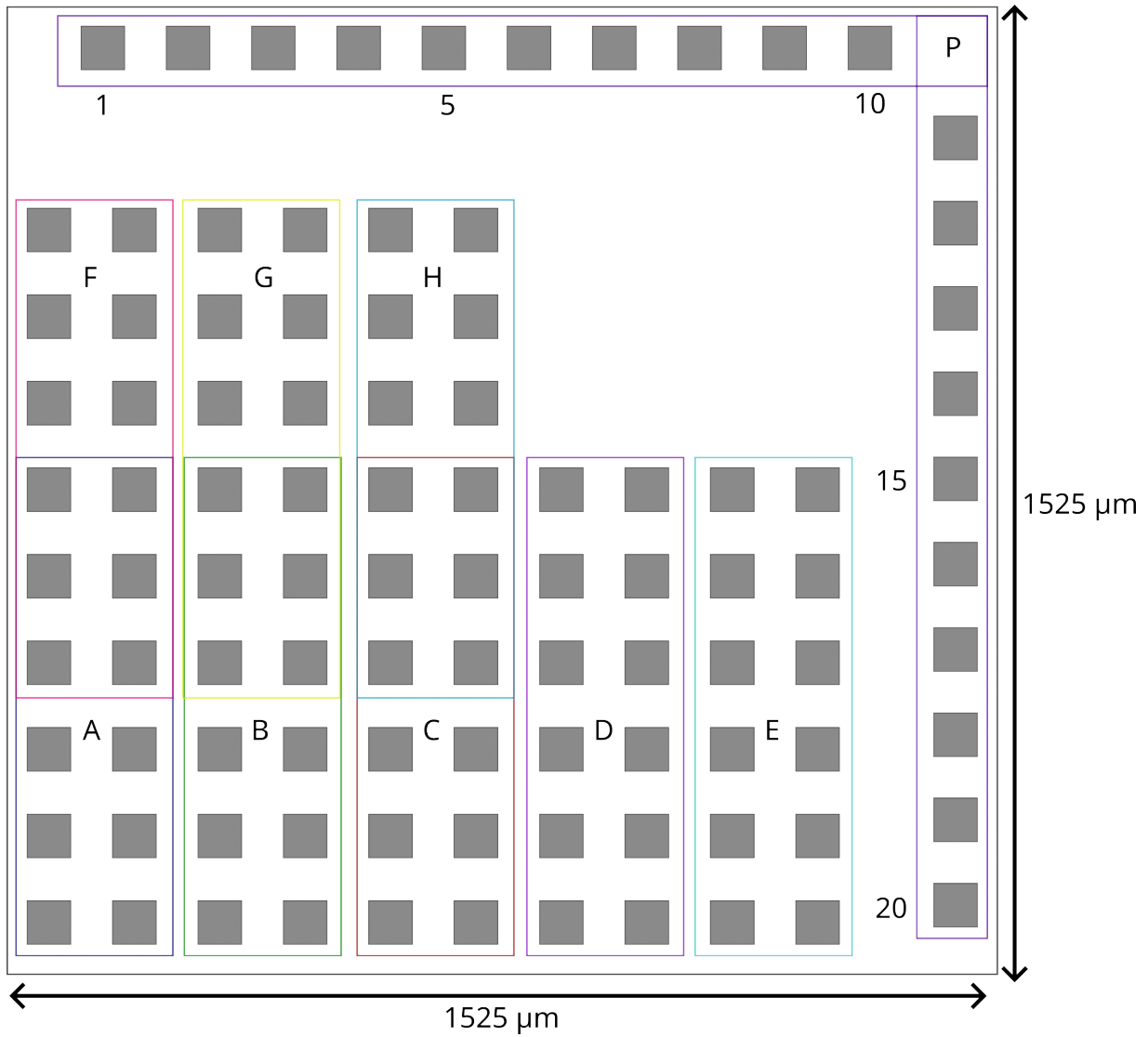


Figura A.1: Medidas, distribución de módulos y nomenclaturas del chip C-RAD1.

Los módulos del A al D tienen 9 transistores individuales conectados a sus terminales E/S y se comparten la fuente, el substrato y las compuertas. El módulo E incluye 4 transistores individuales y 5 inversores. El módulo F comparte 6 terminales E/S con el módulo A y presenta, además de los terminales E/S compartidos VDD, VSS y Entrada de Señal, 4 inversores y un capacitor. La Figura A.2 muestra las conexiones de los módulos cuyas nomenclaturas van de la A a la F.

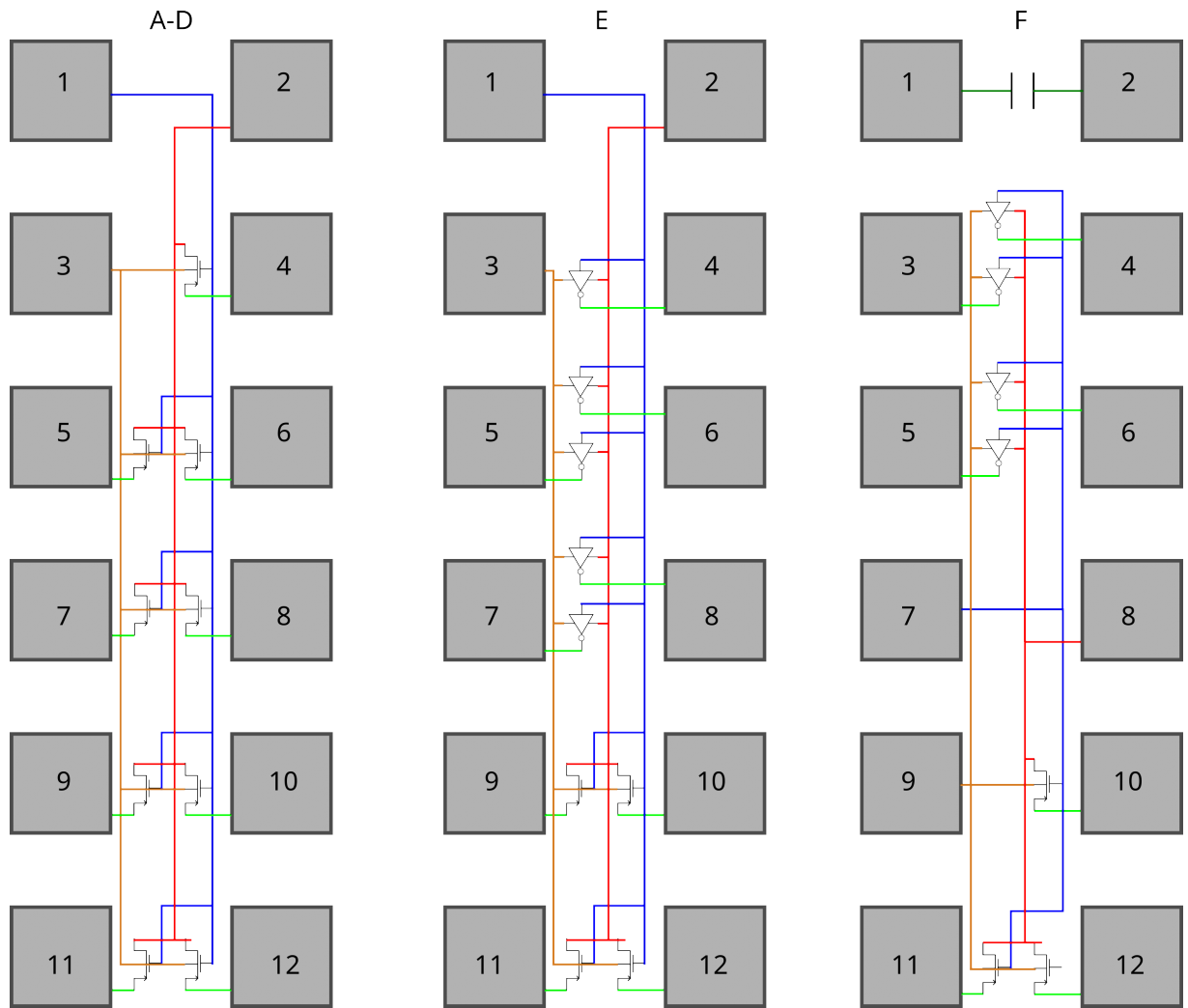


Figura A.2: Diagrama de conexiones y nomenclaturas de los módulos A, B, C, D, E y F.

Los módulos de la A a la E presentan en sus terminales 1, 2 y 3 conexiones comunes para todos los dispositivos, terminal 1 Entrada de Señal/Compuertas, terminal 2 VDD/Fuentes y terminal 3 VSS/Substratos. Los módulos F, G y H comparten los seis terminales E/S superiores de los módulos A, B y C respectivamente, por lo tanto, los terminales E/S de conexión común también se comparten, y para la nomenclatura de los módulos de la F a la H quedaría terminal 7 Entrada de Señal, terminal 8 VDD y terminal 9 VSS. La Figura [A.3](#) muestra los diagramas de conexiones y las nomenclaturas de los módulos G y H.

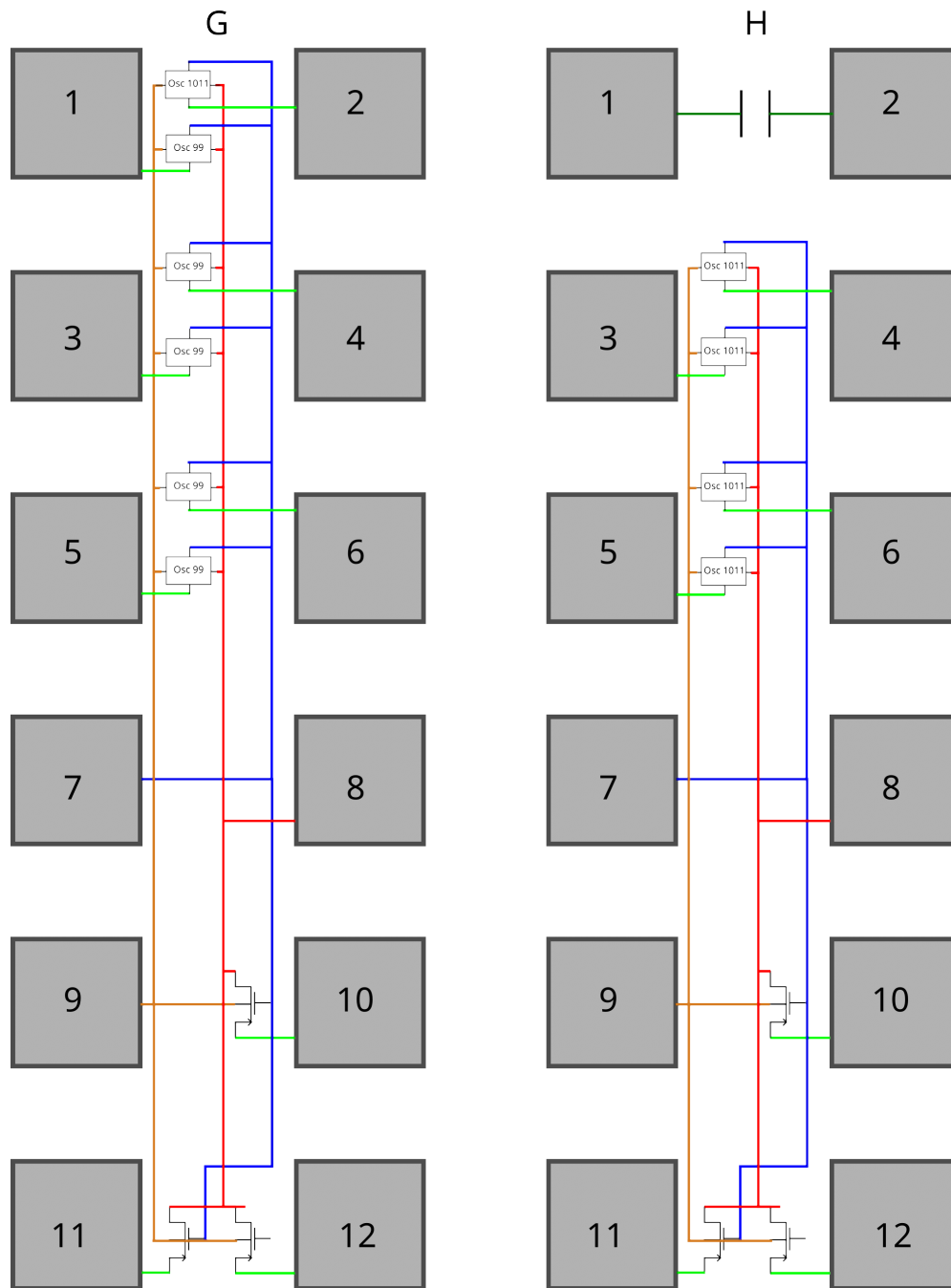


Figura A.3: Diagrama de conexiones y nomenclaturas de los módulos G y H.

Hay 40 transistores NMOS individuales conectados a los módulos A, B, C, D y E. En el anexo A se muestra la disposición de los diferentes dispositivos con sus respectivas conexiones a los terminales E/S de salida de cada módulo. Los diferentes

tipos de transistores diseñados en el chip de pruebas son:

- Transistor Rectangular Común
- Transistor Completamente Encerrado (ELT)
- Transistor Diamante
- Transistor H/I
- Transistor Z
- Transistor DogBone
- Transistor Reloj de Arena

La Figura A.4 muestra un ejemplo del diseño en general de los transistores individuales dentro de los módulos de pads E/S.

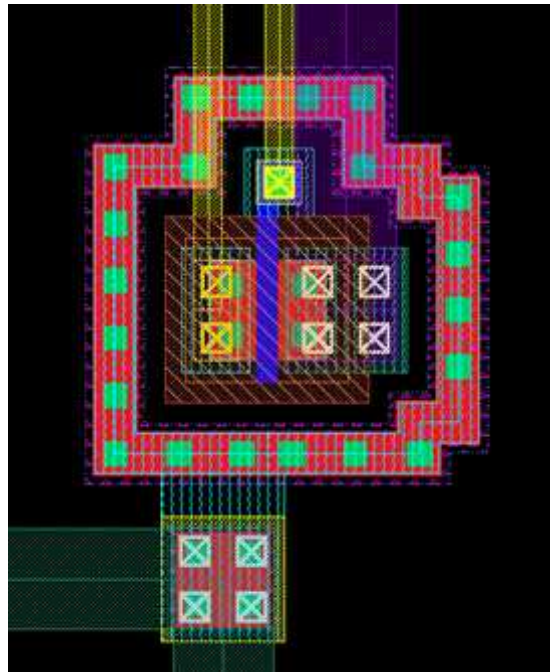


Figura A.4: Layout de NMOS rectangular individual en el C-RAD1.

Cada transistor individual se encuentra encerrado en un anillo de guarda tipo P+ que lo aísla eléctricamente de otras regiones tipo N+ que se encuentran alrededor y, por lo tanto, evita la generación de caminos conductivos parásitos entre dos dispositivos diferentes por efecto de la radiación. Esto nos permite estudiar solo los efectos que afectan al transistor individual. La conexión del transistor con los terminales E/S se realiza mediante los primeros cuatro niveles de metal que presenta la tecnología, con conexiones entre ellos mediante vías que se apilan entre si para llegar a los distintos niveles de materiales presentes en el transistor.

- Transistor Reloj de Arena

El dispositivo reloj de arena es el principal elemento de estudio en el C-RAD1 y su diseño se observa en la Figura A.5. La geometría del transistor incrementa la resistencia de canal en los extremos del dispositivo y la decremента en el centro; este cambio de resistencia ayuda a limitar el daño por radiación en la corriente del transistor. Sus dimensiones son $W = 1\mu m$, $b = 0.2\mu m$ y $B = 1.2\mu m$, donde b y B son las longitudes mínima y máxima del canal respectivamente. En el C-RAD1 se incluyen cinco dispositivos de este tipo, uno con las dimensiones anteriores, variaciones con 5 y 10 veces W y variaciones con 5 y 10 veces b .

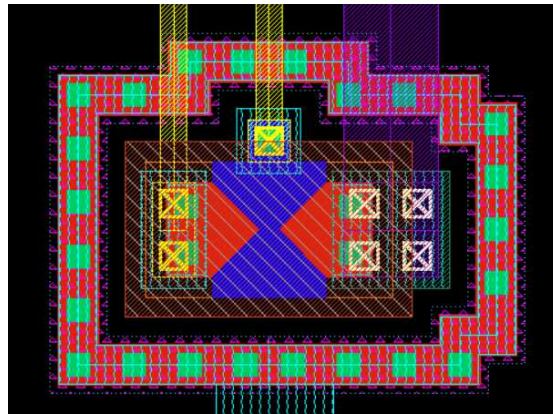


Figura A.5: Layout del transistor Reloj de Arena.

- Transistor DogBone

El transistor DogBone es una modificación del transistor Reloj de Arena que sacrifica longitud máxima de canal en las orillas del dispositivo para cumplir con las reglas de diseño del fabricante (sin ángulos de 90° dentro del canal). Su layout se presenta en la Figura A.6 y sus dimensiones son $W = 1\mu m$, $b = 0.2\mu m$ y $B = 0.7\mu m$. Se diseñaron cinco variaciones, las dimensiones anteriores, 5 y 10 veces W , así como 5 y 10 veces b .

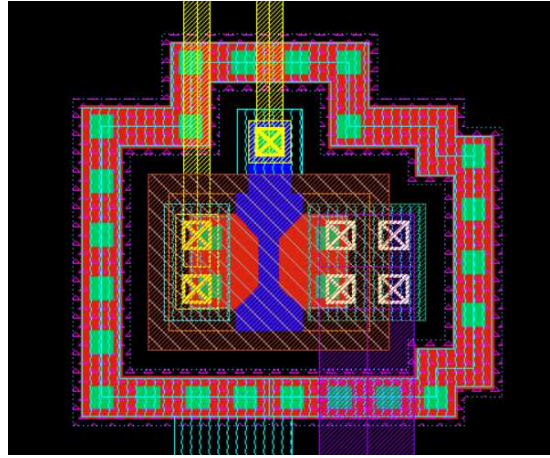


Figura A.6: Layout del transistor DogBone.

- Transistor Completamente Encerrado (ELT)

Estos dispositivos tienen la compuerta del transistor encerrando completamente una de las regiones activas de fuente o drenaje. En la Figura A.7 se muestra el layout del dispositivo completamente encerrado (ELT) que se diseñó para el chip C-RAD1. En el centro se encuentra el drenaje y en el exterior esta la fuente del transistor. Como todos los dispositivos individuales, esta rodeado de un anillo tipo P+ que también funciona como conexión a sustrato. El propósito de este dispositivo es el de comparar sus características eléctricas con los demás dispositivos en el chip, esto se

debe a que en la literatura los ELT's se consideran los dispositivos más robustos a los efectos de radiación. El dispositivo tiene un micrómetro de distancia entre lados internos opuestos y un largo de canal de 3 micrómetros.

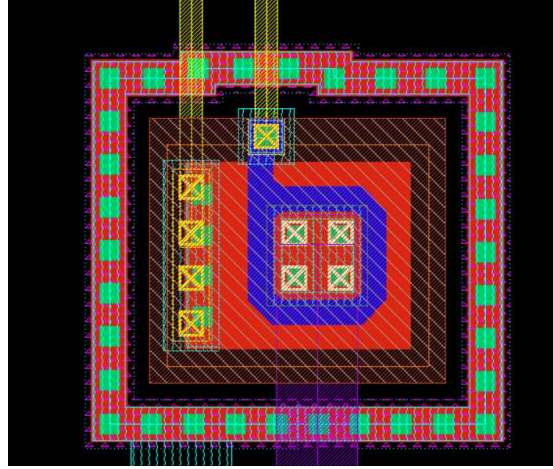


Figura A.7: Layout del transistor ELT.

- Transistor Diamante

Los dispositivos con geometría de diamante se incluyeron para hacer comparaciones de sus características eléctricas junto a los dispositivos Reloj de Arena y DogBone. En la Figura A.8 se observa el layout de un transistor con geometría de Diamante. Las dimensiones del transistor de la Figura A.8 son $W = 1\mu m$, $b = 0.2\mu m$ y $B = 1.2\mu m$, donde b y B son el largo mínimo y máximo del canal respectivamente. Se presentan también variaciones con 5 y 10 veces W y con 5 y 10 veces b .

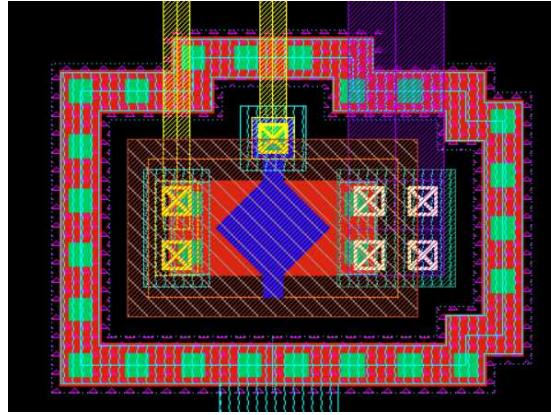


Figura A.8: Layout del transistor Diamante.

- Transistor H/I

Los transistores H/I presentan un diseño de compuerta en forma de H/I que separa físicamente la región del canal del óxido de trinchera. Este dispositivo presenta dos variantes en su diseño, la primera es la mostrada en la Figura A.9 la cual es el dispositivo con la extensión de compuerta en las orillas.

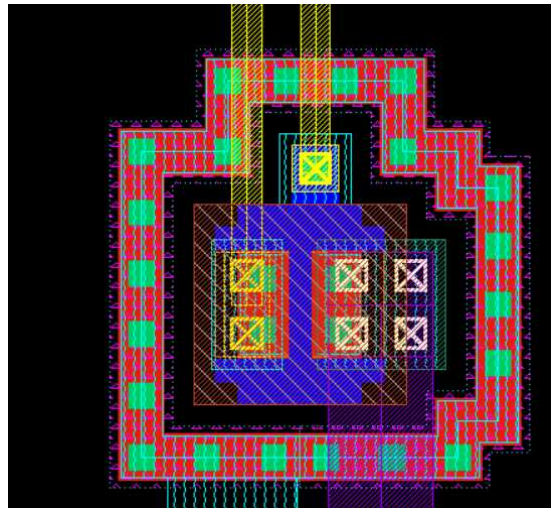


Figura A.9: Layout del transistor H/I sin región P Stop.

La segunda variación del transistor H/I es la mostrada en la Figura A.10. En esta

variación se incluye en el diseño una región P+ en las orillas del transistor, esta región es llamada P Stop y funciona como una barrera adicional para separar la región de la compuerta con el óxido de trinchera. La presencia del P Stop se incluye en el trabajo original de literatura donde se desarrolló el dispositivo y se incluyo en el C-RAD1 para hacer una comparación de la robustez a radiación de los transistores H/I con y sin P Stop. Las dimensiones base del transistor son $W = 1\mu m$ y $L = 0.2\mu m$. La variación con P Stop se presenta, además de las dimensiones base, en 5 y 10 veces W y en 5 y 10 veces L . La variación sin P Stop solo se presenta con variaciones de 5 y 10 veces L .

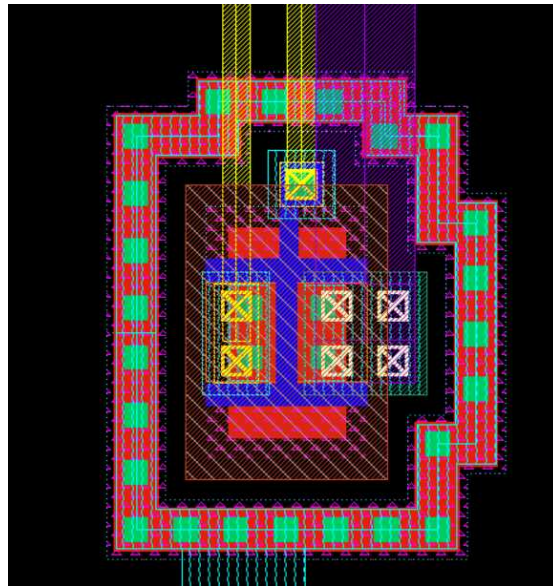


Figura A.10: Layout del transistor H/I con región P Stop.

- Transistor Z

El transistor Z es una modificación del transistor H/I que presenta la extensión de la compuerta sobre una de las regiones activas en los extremos del dispositivo. El transistor Z se presenta en variaciones con y sin P Stop. La Figura A.11 muestra el layout de un transistor Z sin la región P Stop en las orillas.

La variación sin P Stop de este dispositivo se diseñó con la finalidad de hacer comparaciones de robustez a radiación con los transistores H/I. La Figura A.12 muestra la segunda versión de este dispositivo, ahora con región P Stop en sus orillas. Las dimensiones base de estos dispositivos son $W = 1\mu m$ y $L = 0.2\mu m$ y se cuentan con versiones 5 y 10 veces W y L para el dispositivo con P Stop y 5 y 10 L para el dispositivo sin P Stop.

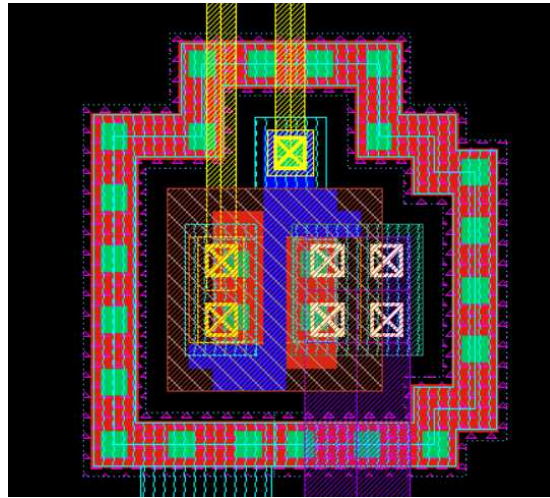


Figura A.11: Layout del transistor Z sin región P Stop.

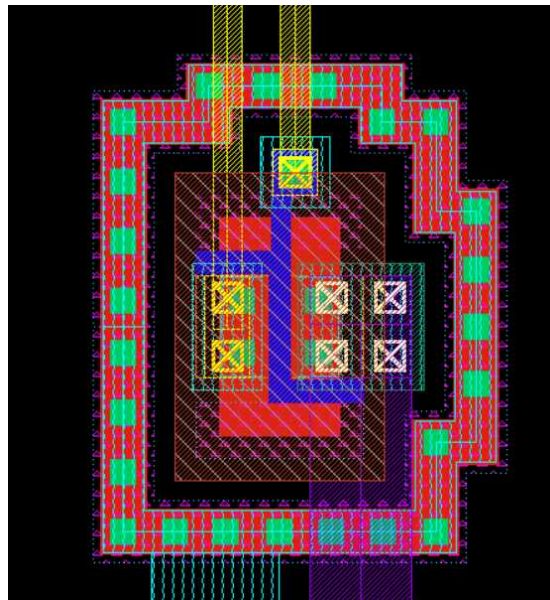


Figura A.12: Layout del transistor Z con región P Stop.

- Inversores Individuales

Dentro de los módulos E y F se encuentran 9 inversores individuales, diseñados cada uno con diferentes técnicas de layout para el transistor NMOS y 4 también con esas técnicas aplicadas al PMOS. Todos los inversores comparten sus conexiones a VDD y VSS, así como la entrada de señal; la salida de señal del inversor es individual y van a terminales E/S diferentes de cada módulo.

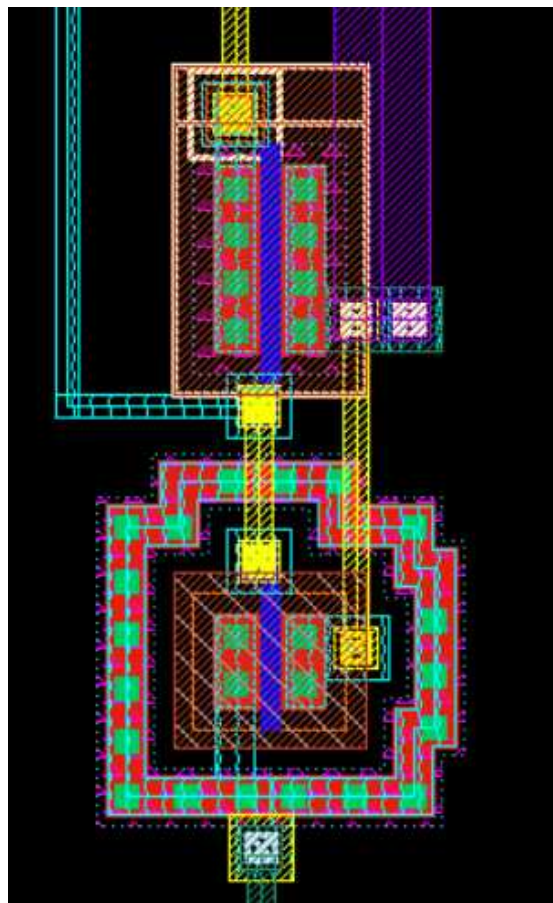


Figura A.13: Layout de un inversor individual en el C-RAD1.

La Figura A.13 muestra el layout del inversor individual compuesto por transistores rectangulares comunes PMOS y NMOS. Al igual que los transistores individuales, el inversor individual aísla el transistor NMOS por medio de un anillo de guarda tipo

P+. Se cuentan con inversores individuales para cada tipo de geometría de transistores individuales (excepto ELT y transistores con P Stop) y en algunos casos se muestran variaciones en el transistor PMOS. Los inversores con transistores NMOS con geometrías rectangular, H/I y Z se presentan con un PMOS rectangular junto al NMOS modificado, en cambio los inversores con geometrías Diamante, Reloj de Arena y DogBone además del transistor PMOS rectangular también presentan una variación con un transistor PMOS con la misma geometría de compuerta que su correspondiente NMOS.

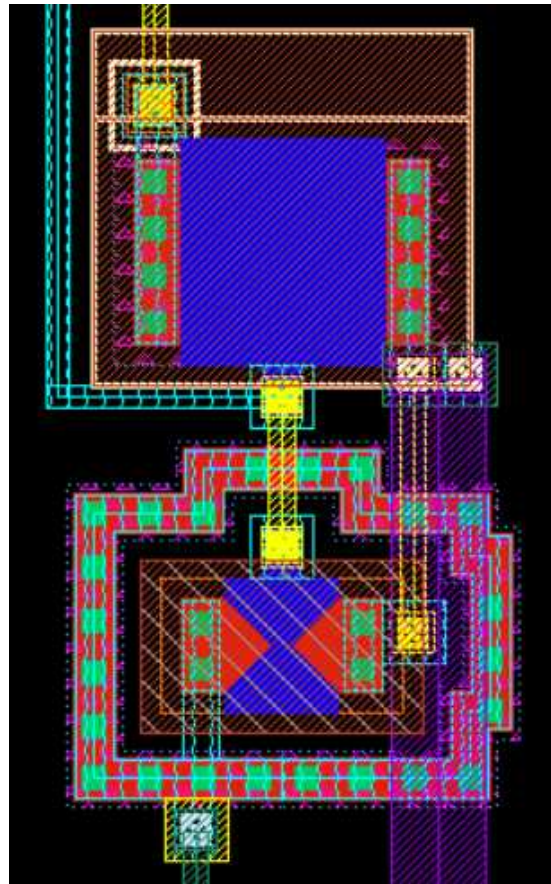


Figura A.14: Inversor con NMOS tipo Reloj de Arena y PMOS Rectangular.

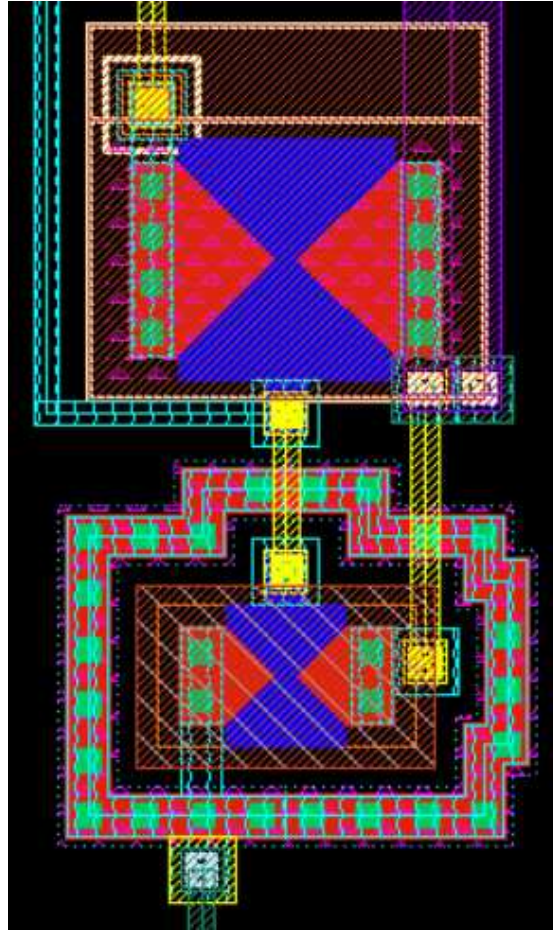


Figura A.15: Inversor con NMOS y PMOS tipo Reloj de Arena.

Las Figuras A.14 y A.15 muestran las dos versiones de inversores con diferentes tipos de PMOS. El PMOS rectangular tiene dimensiones $W = 2\mu m$ y $L = L_{eff}$ en todos los inversores, donde L_{eff} es la longitud efectiva del dispositivo NMOS correspondiente en cada inversor. Para los PMOS con geometrías diferentes a la rectangular se mantiene la dimensión $W = 2\mu m$, pero la longitud del canal se escala correspondientemente a la geometría deseada. El propósito de los inversores en los arreglos de pads E/S internos es el comparar las salidas de señal entre sus estados anteriores y posteriores a la radiación.

- Transistores con Metal-1

En el C-RAD1 se incorporaron 3 transistores que presentan una capa del primer metal sobre sus regiones de interfaz entre el canal y el óxido de trinchera en las orillas del dispositivo. Estos dispositivos permitirán conocer el efecto de esta capa metálica en la robustez a radiación del transistor rectangular. Las dimensiones básicas del transistor son $W = 1\mu m$ y $L = 0.2\mu m$, con dos variaciones con 5 y 10 veces L .

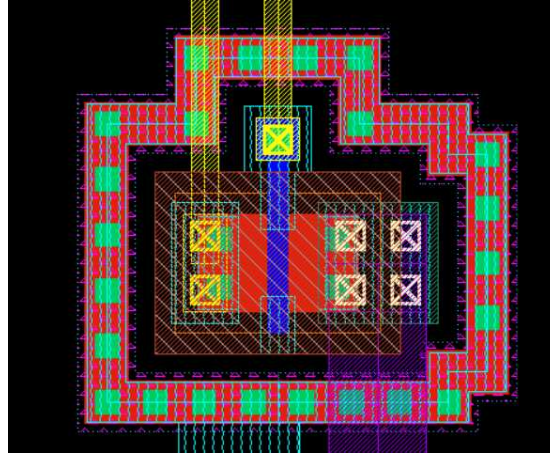


Figura A.16: Layout del transistor rectangular con capa de Metal-1.

Capacitores MOS

Dentro de los módulos F y H se encuentran dos capacitores MOS utilizados para mediciones de carga acumulada por radiación en el óxido de compuerta y la interfaz con el silicio. Las dimensiones son de $20 \times 15\mu m$ en el módulo F y $20 \times 30\mu m$ en el módulo H. La capacitancia del capacitor del módulo F es de $3.13pF$ y la capacitancia del capacitor del módulo H es de $6.27pF$.

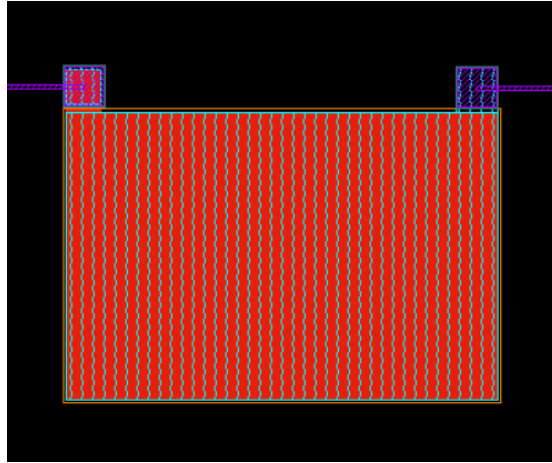


Figura A.17: Capacitor MOS de dimensiones $20 \times 30\mu m$.

Osciladores de Anillo

Los circuitos más complejos que se integraron al C-RAD1 son los osciladores de anillo, formados por grandes cadenas de inversores de diferentes tipos. En total se diseñaron 10 diferentes tipos de osciladores para este chip de pruebas, cinco con 99 etapas de inversores y cinco con 1011 etapas. Cada oscilador conectado a los módulos de pads E/S cuenta con un habilitador; el cual es una señal digital que, como su nombre lo indica, habilita o deshabilita la oscilación de salida del circuito. Los osciladores comparten las conexiones de habilitación en el pad E/S 7 de su respectivo módulo, la conexión de VDD en el pad E/S 8 y VSS en el pad E/S 9. Cada oscilador tiene una salida a un pad E/S individual para las mediciones de oscilación de salida.

Se diseñaron cinco tipos de osciladores con diferentes diseños de inversores y cada tipo de oscilador tiene la variante de 99 y 1011 etapas, los diseños de inversores fueron: Inversor Rectangular, Inversor Reloj de Arena con PMOS rectangular, Inversor con NMOS y PMOS Reloj de Arena, Inversor DogBone con PMOS rectangular e Inversor con NMOS y PMOS DogBone.

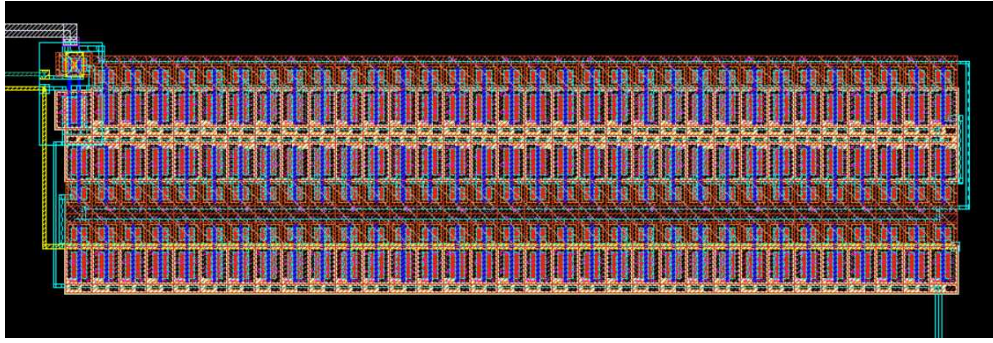


Figura A.18: Layout del oscilador de anillo con inversores rectangulares.

Dispositivos de los terminales E/S del anillo exterior

El chip C-RAD1 presenta terminales E/S localizados en la parte superior y derecha de la Figura A.1. Estos terminales se diseñaron con la finalidad de conectarse por medio de alambrado a un encapsulado DIP para hacer pruebas en estaciones de trabajo que acepten estas conexiones. En estos terminales E/S se tienen conectados transistores individuales, inversores individuales y osciladores de anillo para sus caracterizaciones.

Transistores individuales en terminales E/S externos

Los transistores individuales diseñados para pruebas en los pads o terminales externos son un transistor Rectangular, un transistor Diamante, un transistor ELT, un transistor Reloj de Arena y un transistor DogBone. Cada transistor tiene las dimensiones base mínimas iguales a las presentadas en los dispositivos de los módulos de pads E/S internos. Estos transistores tienen una conexión a compuerta común en el terminal P9, fuente y sustrato común en el terminal P15, y conexiones a drenajes individuales en los terminales P10 al P14. La Figura A.19 muestra el conjunto de estos transistores.

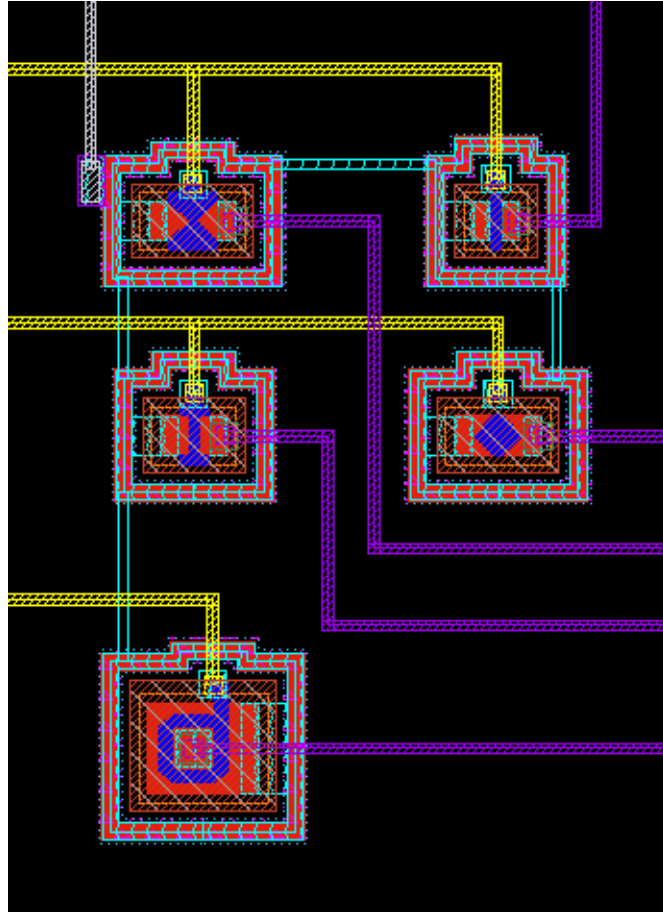


Figura A.19: Conjunto de transistores individuales conectados a los terminales externos.

Inversores individuales en terminales externos

Los inversores individuales conectados a los terminales externos son cuatro: un inversor Rectangular, un inversor Diamante, un inversor Reloj de Arena y un inversor DogBone. Todos los PMOS de los inversores son Rectangulares. Los cuatro inversores presentan una entrada común en el terminal P9, compartida con las compuertas comunes de los transistores individuales, su conexión de salida es también común en el terminal P16, la conexión a VSS es común en el terminal P15 y tiene conexiones VDD individuales en los terminales P17 al P20. En el caso de los inversores se tienen conexiones a VDD individuales para poder hacer mediciones individuales de

su consumo de corriente en apagado antes y después de la irradiación.

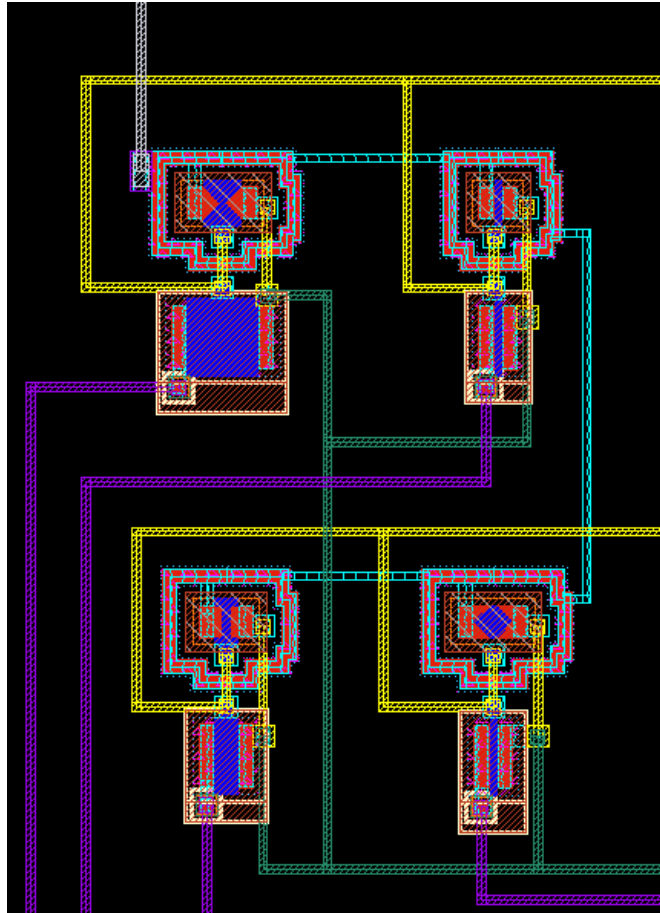


Figura A.20: Conjunto de inversores individuales conectados a los terminales externos.

Osciladores de anillo en terminales externos

Para la conexión de los diez diferentes osciladores de anillo en los terminales externos se diseñó un circuito extra llamado selector 16 a 1. El selector funciona utilizando los terminales P1, P2, P3 y P4 como entradas de un código binario de 4 bits con el cual se puede seleccionar una de las 16 entradas para conectarse directamente a la salida del circuito en el terminal P5. La Figura A.21 muestra el layout del selector 16 a 1. Se diseñó con transistores NMOS del tipo ELT para reducir el ruido de corriente provocado por la irradiación en la lectura de salida.

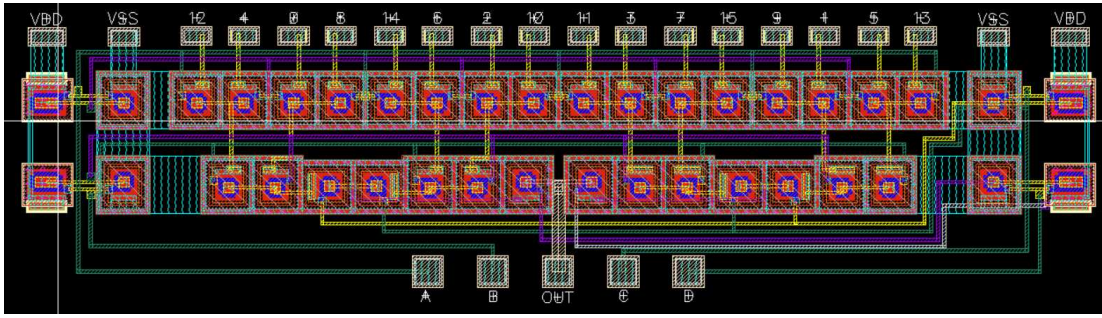


Figura A.21: Layout del selector 16 a 1.

Los osciladores de anillo comparten el terminal P6 como salida de oscilación, el terminal P7 como habilitador común y el terminal P15 como VSS común. El terminal P5 es la conexión de VDD que va dirigido a la salida del selector y las entradas numeradas del 0 al 9 van conectadas a la conexión VDD de cada oscilador individualmente. También existe una conexión auxiliar en el terminal P8 que permite la conexión a VDD del oscilador conectado en la entrada 3 del selector, pero solo pasando por un transistor, en lugar de los cuatro que requiere el selector; esto permite hacer pruebas en este oscilador sin pasar la señal por el selector y solo habilitando el terminal P1.

La razón por la cual se hacen conexiones individuales a VDD en los osciladores es la misma que con los inversores individuales conectados a los terminales externos, y es la medición de su consumo de corriente antes y después de las pruebas de radiación.

Anexo A: Módulos Internos de Terminales

Módulo A		Módulo B	
Conexión	Terminal	Conexión	Terminal
Compuerta Común (G)	1	Compuerta Común (G)	1
Fuente Común (S)	2	Fuente Común (S)	2
Sustrato Común (B)	3	Sustrato Común (B)	3
T. Rectangular $L \times 5$ (D)	4	T. H/I $L \times 5$ Con P Stop (D)	4
T. Rectangular $L \times 10$ (D)	5	T. H/I $L \times 10$ Con P Stop (D)	5
T. Rectangular Mínimo (D)	6	T. H/I Mínimo Con P Stop (D)	6
T. Rectangular $W \times 5$ (D)	7	T. H/I $W \times 5$ Con P Stop (D)	7
T. Rectangular $W \times 10$ (D)	8	T. H/I $W \times 10$ Con P Stop (D)	8
T. H/I Mínimo Sin P Stop (D)	9	T. Z Mínimo Sin P Stop	9
T. ELT (D)	10	T. Z Mínimo Con P Stop (D)	10
T. H/I $L \times 5$ Sin P Stop (D)	11	T. Z $L \times 5$ Sin P Stop (D)	11
T. H/I $L \times 10$ Sin P Stop (D)	12	T. Z $L \times 10$ Sin P Stop (D)	12

Tabla A.1: Lista de terminales de los módulos A y B

Módulo C		Módulo D	
Conexión	Terminal	Conexión	Terminal
Compuerta Común (G)	1	Compuerta Común (G)	1
Fuente Común (S)	2	Fuente Común (S)	2
Sustrato Común (B)	3	Sustrato Común (B)	3
T. Diamante $L \times 5$ (D)	4	T. Reloj de Arena $L \times 5$ (D)	4
T. Diamante $L \times 10$ (D)	5	T. Reloj de Arena $L \times 10$ (D)	5
T. Rectangular Mínimo (D)	6	T. Reloj de Arena Mínimo (D)	6
T. Diamante $W \times 5$ (D)	7	T. Reloj de Arena $W \times 5$ (D)	7
T. Diamante $W \times 10$ (D)	8	T. Reloj de Arena $W \times 10$ (D)	8
T. Z $L \times 5$ Con P Stop (D)	9	T. Metal-1 Mínimo (D)*	9
T. Z $W \times 10$ Con P Stop (D)	10	T. DogBone Mínimo (D)	10
T. Z $L \times 10$ Con P Stop (D)	11	T. Metal-1 $L \times 5$ (D)*	11
T. Z $W \times 5$ Con P Stop (D)	12	T. Metal-1 $L \times 10$ (D)*	12

Tabla A.2: Lista de terminales de los módulos C y D. (*Transistor rectangular con una capa de metal-1 sobre la región de interfaz entre el silicio y el óxido de trinchera)

Módulo E	
Conexión	Terminal
Compuerta y Entrada Común (G,In)	1
Fuente y VDD Común (S, V_{dd})	2
Sustrato y VSS Común (B, V_{ss})	3
Inv. H/I Sin P Stop (Out)	4
Inv. Rectangular (Out)	5
Inv. Z Sin P Stop (Out)	6
Inv. DogBone NMOS y PMOS (Out)	7
Inv. DogBone PMOS Rectangular (Out)	8
T. DogBone $L \times 5$ (D)	9
T. DogBone $W \times 10$ (D)	10
T. DogBone $L \times 10$ (D)	11
T. DogBone $W \times 5$ (D)	12

Tabla A.3: Lista de terminales del módulo E

Módulo F	
Conexión	Terminal
Cap. MOS 15×20 Región N+	1
Cap. MOS 15×20 Metal-1	2
Inv. Diamante NMOS y PMOS (Out)	3
Inv. Reloj de Arena NMOS y PMOS (Out)	4
Inv. Diamante PMOS Rectangular (Out)	5
Inv. Reloj de Arena PMOS Rectangular (Out)	6
Compuerta y entrada común (G,In) [A1]	7
Fuente y VDD Común (S, V_{dd}) [A2]	8
Sustrato y VSS Común (B, V_{ss}) [A3]	9
T. Rectangular $L \times 5$ (D) [A4]	10
T. Rectangular $L \times 10$ (D) [A5]	11
T. Rectangular Mínimo (D) [A6]	12

Tabla A.4: Lista de terminales del módulo F

Módulo G	
Conexión	Terminal
Osc. Reloj de Arena NMOS y PMOS 99 (Out)	1
Osc. Rectangular 1011 (Out)	2
Osc. DogBone NMOS y PMOS 99 (Out)	3
Osc. Reloj de Arena PMOS Rectangular 99 (Out)	4
Osc. Rectangular 99 (Out)	5
Osc. DogBone PMOS Rectangular 99 (Out)	6
Compuerta y habilitador común (G,En) [B1]	7
Fuente y VDD Común (S, V_{dd}) [B2]	8
Sustrato y VSS Común (B, V_{ss}) [B3]	9
T. H/I Lx5 Con P Stop (D) [B4]	10
T. H/I Lx10 Con P Stop (D) [B5]	11
T. H/I Mínimo Con P Stop (D) [B6]	12

Tabla A.5: Lista de terminales del módulo G

Módulo H	
Conexión	Terminal
Cap. MOS 30×20 Región N+	1
Cap. MOS 30×20 Metal-1	2
Osc. Reloj de Arena NMOS y PMOS 1011 (Out)	3
Osc. Reloj de Arena PMOS Rectangular 1011 (Out)	4
Osc. DogBone PMOS Rectangular 1011 (Out)	5
Osc. DogBone NMOS y PMOS 1011 (Out)	6
Compuerta y habilitador común (G,En) [C1]	7
Fuente y VDD Común (S, V_{dd}) [C2]	8
Sustrato y VSS Común (B, V_{ss}) [C3]	9
T. Diamante Lx5 (D) [C4]	10
T. Diamante Lx10 (D) [C5]	11
T. Diamante Mínimo (D) [C6]	12

Tabla A.6: Lista de terminales del módulo H

Anexo B: Terminales Externos

Terminales Externos	
Conexión	Terminal
Selector Bit 4	P1
Selector Bit 3	P2
Selector Bit 2	P3
Selector Bit 1	P4
Selector Salida VDD (V_{dd})	P5
Osc. Salida Común (Out)	P6
Osc. Habilitador Común (En)	P7
Osc. Auxiliar	P8
Compuerta y Entrada Común (G,In)	P9
T. Rectangular Mínimo (D)	P10
T. Diamante Mínimo (D)	P11
T. Reloj de Arena Mínimo (D)	P12
T. DogBone Mínimo (D)	P13
T. ELT (D)	P14
Sustrato, Fuente y VSS Común (S,B, V_{ss})	P15
Inv. Salida Común (Out)	P16
Inv. Diamante PMOS Rectangular VDD (V_{dd})	P17
Inv. DogBone PMOS Rectangular VDD (V_{dd})	P18
Inv. Rectangular VDD (V_{dd})	P19
Inv. Reloj de Arena PMOS Rectangular VDD (V_{dd})	P20

Tabla A.7: Lista de terminales externos

Selector 16 a 1	
Circuito	Código de 4 Bits (4,3,2,1)
Osc. Reloj de Arena NMOS y PMOS 99	0000
Osc. Reloj de Arena NMOS y PMOS 1011	0001
Osc. DogBone PMOS Rectangular 99	0010
Osc. Rectangular 99*	0011
Osc. Rectangular 1011	0100
Osc. Reloj de Arena PMOS Rectangular 1011	0101
Osc. DogBone NMOS y PMOS 99	0110
Osc. DogBone PMOS Rectangular 1011	0111
Osc. Reloj de Arena PMOS Rectangular 99	1000
Osc. DogBone NMOS y PMOS 1011	1001

Tabla A.8: Lista de circuitos conectados al selector 16 a 1.

* También se puede acceder a este oscilador por medio del terminal Auxiliar y el Bit 4 en estado alto (V_{dd}).

Referencias

- [1] C. A. Pelcastre-Ortega and M. Linares-Aranda, “Hourglass and Semi-Hourglass layout techniques to improve radiation hardening of NMOS devices,” *2023 20th International Conference on Electrical Engineering, Computing Science and Automatic Control, CCE 2023*, 2023.
- [2] C. A. Pelcastre-Ortega and M. Aranda, “An alternative radiation hardened by layout design in a CMOS technology,” *2022 IEEE Latin America Electron Devices Conference, LAEDC 2022*, 2022.
- [3] C. A. Pelcastre-Ortega and M. Linares-Aranda, “Hourglass transistor: An alternative and improved MOS structure robust to total ionization dose radiation,” *Microelectronics Journal*, vol. 152, p. 106391, 10 2024.
- [4] A. Narayanasamy, Y. A. Ahmad, and M. Othman, “Nanosatellites constellation as an iot communication platform for near equatorial countries,” in *IOP Conference Series: Materials Science and Engineering*, vol. 260. Institute of Physics Publishing, 11 2017, p. 012028. [Online]. Available: <https://iopscience.iop.org/article/10.1088/1757-899X/260/1/012028><https://iopscience.iop.org/article/10.1088/1757-899X/260/1/012028/meta>
- [5] C. S. Allen, M. Giraudo, C. Moratto, N. Yamaguchi, J. R. Goodman, F. W. Grosveld, C. Lobascio, R. Battiston, M. Roberts, S. Castro-Wallace, C. Oubre, K. Makimura, N. Leys, E. Grohmann, T. Sugita, T. Ichijo, and M. Nasu, “Spa-

- ceflight environment,” *Space Safety and Human Performance*, pp. 87–138, 11 2017.
- [6] G. J. Torresán, R. J. Garay, and E. N. Zapico, “Estudio preliminar del control térmico de un nanosatélite,” pp. 2087–2096, 2005. [Online]. Available: <https://amcaonline.org.ar/ojs/index.php/mc/article/view/155>
- [7] M. Bouras and H. Berbia, “Review of attitude control approaches for ADCS optimization and faults tolerance,” in *2019 8th International Conference on Modeling Simulation and Applied Optimization, ICMSAO 2019*. Institute of Electrical and Electronics Engineers Inc., 4 2019.
- [8] “3.0 Power — NASA.” [Online]. Available: <https://www.nasa.gov/smallsat-institute/sst-soa-2020/power>
- [9] “Laboratorio de Difracción de Rayos X - IFUAP.” [Online]. Available: <http://www.ifuap.buap.mx/laboratorios/difraccionRX.php>
- [10] M. Pignol, “COTS-based applications in space avionics,” in *2010 Design, Automation and Test in Europe Conference and Exhibition*, 2010, pp. 1213–1219.
- [11] H. Madeira, R. Some, F. Moreira, D. Costa, and D. Rennels, *Experimental Evaluation of a COTS System for Space Applications*, 2 2002.
- [12] C. Underwood, G. Richardson, and J. Savignol, “SSC01-VI-7 SNAP-1: A Low Cost Modular COTS-Based Nano-Satellite-Design, Construction, Launch and Early Operations Phase,” *15th AIAA / USU Conference on Small Satellites*, 8 2001.
- [13] A. Roman-Gonzalez, A. E. Quiroz-Olivares, and N. I. Vargas-Cuentas, “Advances in the UCHSat-1 Nanosatellite: Design and Simulation,” *Advances in Astronautics Science and Technology*, vol. 3, pp. 65–74, 6 2020. [Online]. Available: <http://link.springer.com/10.1007/s42423-020-00054-1>

- [14] D. D. Corso, C. Passerone, L. M. Reyneri, C. Sansoe, S. Speretta, and M. Tranchero, “Design of a University Nano-Satellite: the PiCPoT Case,” *Aerospace and Electronic Systems, IEEE Transactions on*, vol. 47, pp. 1985–2007, 8 2011.
- [15] S. P. Gimenez, “Diamond MOSFET: An innovative layout to improve performance of ICs,” *Solid-State Electronics*, vol. 54, pp. 1690–1696, 2010.
[Online]. Available: <http://dx.doi.org/10.1016/j.sse.2010.08.011>
- [16] M. Lee, S. Cho, N. Lee, and J. Kim, “Radiation-tolerance analysis of I-gate n-MOSFET according to isolation oxide module in the CMOS bulk process,” *Microelectronic Engineering*, vol. 200, pp. 45–50, 11 2018.
- [17] S. Bourdarie and M. Xapsos, “The near-Earth space radiation environment,” *IEEE Transactions on Nuclear Science*, vol. 55, pp. 1810–1832, 8 2008.
- [18] J. R. Schwank, M. R. Shaneyfelt, and P. E. Dodd, “Radiation hardness assurance testing of microelectronic devices and integrated circuits: Radiation environments, physical mechanisms, and foundations for hardness assurance,” *IEEE Transactions on Nuclear Science*, vol. 60, pp. 2074–2100, 2013.
- [19] E. R. Benton and E. V. Benton, “Space radiation dosimetry in low-Earth orbit and beyond,” *Nuclear Instruments and Methods in Physics Research, Section B: Beam Interactions with Materials and Atoms*, vol. 184, pp. 255–294, 9 2001.
- [20] V. Bezhenova, A. Michalowska-Forsyth, and W. Pflanzl, “Low TID Effects on MOS Transistors,” in *2018 18th European Conference on Radiation and Its Effects on Components and Systems (RADECS)*, 2018, pp. 1–4.
- [21] J. R. Schwank, M. R. Shaneyfelt, D. M. Fleetwood, J. A. Felix, P. E. Dodd, P. Paillet, and V. Ferlet-Cavrois, “Radiation Effects in MOS Oxides,” *IEEE Transactions on Nuclear Science*, vol. 55, pp. 1833–1853, 2008.
- [22] S. M. Sze, Y. Li, and K. K. Ng, *Physics of Semiconductor Devices*, 4th ed. John Wiley and Sons, 3 2021.

- [23] P. J. McWhorter and P. S. Winokur, “Simple technique for separating the effects of interface traps and trapped-oxide charge in metal-oxide-semiconductor transistors,” *Applied Physics Letters*, vol. 48, pp. 133–135, 1 1986, doi: 10.1063/1.96974. [Online]. Available: <https://doi.org/10.1063/1.96974>
- [24] J. Liu, J. Zhou, H. Luo, X. Kong, Y. En, Q. Shi, and Y. He, “Total-dose-induced edge effect in SOI NMOS transistors with different layouts,” *Microelectronics Reliability*, vol. 50, pp. 45–47, 1 2010.
- [25] D. M. Li, Z. H. Wang, L. Y. Huangfu, and Q. J. Gou, “Study of total ionizing dose radiation effects on enclosed gate transistors in a commercial CMOS technology,” *Chinese Physics*, vol. 16, pp. 3760–3765, 12 2007.
- [26] F. T. Brady, “A scaleable, radiation hardened shallow trench isolation1,” *IEEE Transactions on Nuclear Science*, vol. 46, pp. 1836–1840, 1999.
- [27] S. P. Gimenez and D. M. Alati, “Electrical behavior of the Diamond layout style for MOSFETs in X-rays ionizing radiation environments,” *Microelectronic Engineering*, vol. 148, pp. 85–90, 12 2015.
- [28] M. Kumar, J. S. Ubhi, S. Basra, A. Chawla, and H. S. Jatana, “Total ionizing dose hardness analysis of transistors in commercial 180 nm CMOS technology,” *Microelectronics Journal*, vol. 115, p. 105182, 9 2021.
- [29] M. Silvestri, S. Gerardin, A. Paccagnella, and F. Faccio, “Degradation induced by X-Ray irradiation and channel Hot carrier stresses in 130-nm NMOSFETs with enclosed layout,” in *IEEE Transactions on Nuclear Science*, vol. 55, 12 2008, pp. 3216–3223.
- [30] M. Bucher, A. Nikolaou, A. Papadopoulou, N. Makris, L. Chevas, G. Borghello, H. D. Koch, and F. Faccio, “Total ionizing dose effects on analog performance of 65 nm bulk CMOS with enclosed-gate and standard layout,” in *2018 IEEE*

International Conference on Microelectronic Test Structures (ICMTS), 2018, pp. 166–170.

- [31] M.-W. Lee, N.-H. Lee, S.-H. Jeong, S.-M. Kim, and S.-I. Cho, “Implementation of a radiation-hardened i-gate n-MOSFET and analysis of its TID(Total ionizing dose) effects,” *Journal of Electrical Engineering and Technology*, vol. 12, pp. 1619–1626, 1 2017.
- [32] A. Dingwall, R. Stricker, and J. Sinniger, “A high speed bulk CMOS C2L micro-processor,” in *1977 IEEE International Solid-State Circuits Conference. Digest of Technical Papers*, vol. XX, 1977, pp. 136–137.
- [33] A. G. F. Dingwall and R. E. Stricker, “C2L: A new high speed, high density bulk CMOS technology,” in *1976 International Electron Devices Meeting*, 1976, pp. 188–191.
- [34] C. L. Champion and G. S. L. Rue, “Accurate SPICE models for CMOS analog radiation-hardness-by-design,” *IEEE Transactions on Nuclear Science*, vol. 52, pp. 2542–2549, 2005.
- [35] R. C. Lacoe, J. V. Osborn, R. Koga, S. Brown, and D. C. Mayer, “Application of hardness-by-design methodology to radiation-tolerant ASIC technologies,” *IEEE Transactions on Nuclear Science*, vol. 47, pp. 2334–2341, 2000.
- [36] W. J. Snoeys, T. A. P. Gutierrez, and G. Anelli, “A new NMOS layout structure for radiation tolerance,” in *2001 IEEE Nuclear Science Symposium Conference Record (Cat. No.01CH37310)*, vol. 2, 2001, pp. 822–826 vol.2.
- [37] L. Fino, M. Guazzelli, C. Renaux, D. Flandre, and S. Gimenez, *OCTO SOI MOSFET as Application of Hardness-By-Design to Improve X-ray Radiation Tolerance*, 4 2014.

- [38] S. P. Gimenez, E. H. S. Galembeck, C. Renaux, and D. Flandre, “Diamond layout style impact on SOI MOSFET in high temperature environment,” in *Microelectronics Reliability*, vol. 55. Elsevier Ltd, 4 2015, pp. 783–788.
- [39] V. V. Peruzzi, C. Renaux, D. Flandre, and S. P. Gimenez, “Comparative experimental study of the improved MOSFETs matching by using the hexagonal layout style,” in *2017 32nd Symposium on Microelectronics Technology and Devices (SBMicro)*, 2017, pp. 1–4.
- [40] W. S. da Cruz, J. W. Swart, and S. Gimenez, “Using Ellipsoidal Layout Style to Boost the Electrical Performance of the MOSFETs Regarding the 180 nm CMOS ICs Manufacturing Process,” *ECS Transactions*, vol. 85, pp. 97–102, 4 2018.
- [41] R. C. Lacoe, J. V. Osborn, R. Koga, S. Brown, and D. C. Mayer, “Application of Hardness-By-Design Methodology to radiation-tolerant ASIC Technologies,” *IEEE Transactions on Nuclear Science*, vol. 47, pp. 2334–2341, 12 2000.
- [42] S. İlk, N. Şahin Solmaz, A. Kabaoglu, and M. B. Yelten, “Comparison of ELTs with different shapes and a regular layout transistor in 180 nm CMOS process,” in *2019 16th International Conference on Synthesis, Modeling, Analysis and Simulation Methods and Applications to Circuit Design (SMACD)*, 2019, pp. 21–24.
- [43] G. S. Cardoso and T. R. Balen, “Performance evaluation of radiation hardened analog circuits based on Enclosed Layout geometry,” in *2016 17th Latin-American Test Symposium (LATS)*, 2016, pp. 123–128.
- [44] A. Nikolaou, M. Bucher, N. Makris, A. Papadopoulou, L. Chevas, G. Borghello, H. D. Koch, and F. Faccio, “Modeling of High Total Ionizing Dose (TID) Effects for Enclosed Layout Transistors in 65 nm Bulk CMOS,” in *2018 International Semiconductor Conference (CAS)*, 2018, pp. 133–136.

- [45] G. P. Platcheck, G. S. Cardoso, and T. R. Balen, “Characterization of Enclosed Layout Transistors for Analog Applications on a 130 nm Technology,” in *2020 33rd Symposium on Integrated Circuits and Systems Design (SBCCI)*, 2020, pp. 1–6.
- [46] V. V. Peruzzi, W. S. d. Cruz, G. A. d. Silva, R. C. Teixeira, L. E. S. Junior, and S. P. Gimenez, “Boosting the Ionizing Radiation Tolerance in the Mosfets Matching by Using Diamond Layout Style,” in *2019 34th Symposium on Microelectronics Technology and Devices (SBMicro)*, 2019, pp. 1–4, aparece la longitud efectiva del transistor de diamante.
- [47] S. P. Gimenez, *Layout Techniques for MOSFETs*, 2016, vol. 2.
- [48] L. Fino, C. Renaux, D. Flandre, and S. Gimenez, *Experimental study of the OCTO SOI nMOSFET and its application in analog integrated circuits*, 10 2012, vol. 49.
- [49] L. N. D. S. Fino, E. D. Neto, M. A. G. D. Silveira, C. Renaux, D. Flandre, and S. P. Gimenez, “Boosting the total ionizing dose tolerance of digital switches by using OCTO SOI MOSFET,” *Semiconductor Science and Technology*, vol. 30, 2015.
- [50] L. N. de Souza Fino, M. A. G. da Silveira, C. Renaux, D. Flandre, and S. P. Gimenez, “Total ionizing dose effects on the digital performance of irradiated OCTO and conventional fully depleted SOI MOSFET,” in *2013 14th European Conference on Radiation and Its Effects on Components and Systems (RADECS)*, 2013, pp. 1–4.
- [51] S. P. Gimenez, M. M. Correia, E. D. Neto, and C. R. Silva, “An Innovative Ellipsoidal Layout Style to Further Boost the Electrical Performance of MOSFETs,” *IEEE Electron Device Letters*, vol. 36, pp. 705–707, 2015.

- [52] S. Gimenez, D. Alati, E. Simoen, and C. Claeys, “FISH SOI MOSFET: Modeling, characterization and its application to improve the performance of analog ICs,” *Journal of The Electrochemical Society*, vol. 158, pp. H1258–H1264, 1 2011.
- [53] M. S. Lee and H. C. Lee, “Dummy Gate-Assisted n-MOSFET Layout for a Radiation-Tolerant Integrated Circuit,” *IEEE Transactions on Nuclear Science*, vol. 60, pp. 3084–3091, 2013.
- [54] M. Lee, S. Cho, N. Lee, and J. Kim, “New Radiation-Hardened Design of a CMOS Instrumentation Amplifier and its Tolerant Characteristic Analysis,” *Electronics*, vol. 9, p. 388, 2 2020.
- [55] M. Lee, S. Cho, S. Cho, N. Lee, J. Kim, and J. Kim, “Design for High Reliability of CMOS IC with Tolerance on Total Ionizing Dose Effect,” *IEEE Transactions on Device and Materials Reliability*, vol. 20, pp. 459–467, 6 2020.
- [56] Y. Li, G. Niu, J. D. Cressler, J. Patel, C. J. Marshall, P. W. Marshall, H. S. Kim, R. A. Reed, and M. J. Palmer, “Anomalous radiation effects in fully depleted SOI MOSFETs fabricated on SIMOX,” *IEEE Transactions on Nuclear Science*, vol. 48, pp. 2146–2151, 2001.
- [57] Y. Wang, C. Shan, W. Piao, X. ji Li, J. qun Yang, F. Cao, and C. hao Yu, “3D Numerical Simulation of a Z Gate Layout MOSFET for Radiation Tolerance,” *Micromachines*, vol. 9, p. 659, 12 2018. [Online]. Available: <http://www.mdpi.com/2072-666X/9/12/659>
- [58] L. Wang, L. Li, L. Wang, L. Jiang, T. Wei, and Y. Cheng, “Impact of STI stress on 40-nm dogbone layout N-MOSFETs,” *China Semiconductor Technology International Conference 2016, CSTIC 2016*, 5 2016.
- [59] I. S. Esqueda, H. J. Barnaby, and M. L. Alles, “Two-dimensional methodology

- for modeling radiation-induced off-state leakage in CMOS technologies,” *IEEE Transactions on Nuclear Science*, vol. 52, pp. 2259–2264, 12 2005.
- [60] D. C. Mayer, R. C. Lacoë, E. E. King, and J. V. Osborn, “Reliability enhancement in high-performance MOSFETs by annular transistor design,” *IEEE Transactions on Nuclear Science*, vol. 51, pp. 3615–3620, 2004.
- [61] P. I. Vaz, P. Girard, A. Virazel, and H. Aziza, “A CMOS OxRAM-Based Neuron Circuit Hardened with Enclosed Layout Transistors for Aerospace Applications,” in *2020 IEEE 26th International Symposium on On-Line Testing and Robust System Design (IOLTS)*, 2020, pp. 1–6.
- [62] R. N. de Souza, M. Guazzelli, and S. Gimenez, “Mitigating MOSFET Radiation Effects by Using the Wave Layout in Analog ICs Applications,” *Journal of Integrated Circuits and Systems*, vol. 10, pp. 30–37, 7 2015.
- [63] M. McLain, M. Campola, I. S. Esqueda, and H. J. Barnaby, “Modeling ”dog bone” gate geometry n-channel MOSFETs,” *Proceedings of the European Conference on Radiation and its Effects on Components and Systems, RADECS*, 2005.
- [64] X. Liu, L. Dai, P. Li, and S. Zou, “Electrical performance of 130 nm PD-SOI MOSFET with diamond layout,” *Microelectronics Journal*, vol. 99, p. 104428, 5 2020.
- [65] E. H. S. Galembeck and S. P. Gimenez, “LCE and PAMDLE Effects from Diamond Layout for MOSFETs at High-Temperature Ranges,” *IEEE Transactions on Electron Devices*, vol. 68, pp. 3914–3922, 8 2021.
- [66] Sentaurus, “Sentaurus sDevice 2022,” p. 200, 2022.
- [67] “Ion implantation: Projected range and straggle calculator.” [Online]. Available: <https://cleanroom.byu.edu/rangestraggle>

- [68] H. E. Boesch, F. B. McLean, J. M. Benedetto, J. M. McGarrity, and W. E. Bailey, “Saturation of threshold voltage shift in mosfet’s at high total dose,” *IEEE Transactions on Nuclear Science*, vol. 33, pp. 1191–1197, 1986.
- [69] “EUROPRACTICE — ASIC packaging.” [Online]. Available: <https://europractice-ic.com/services/packaging/asic-packaging/>
- [70] O. L. López, “Characterization and modeling of commercial CMOS technologies for cryogenic applications.” *Tesis de Doctorado*, 3 2023.
- [71] I. Martinez-R., O. Lopez-L, D. Ferrusca, M. Velazquez, E. A. Gutierrez-D, D. Durini, and F. J. D. L. Hidalgo-W, “Development of a Cryogenic System for the Characterization of Advanced CMOS technologies down to 350 mK,” *Conference Record - IEEE Instrumentation and Measurement Technology Conference*, vol. 2021-May, 5 2021.