



**I
N
A
O
E**

Control de orden entero/fraccionario para un convertidor CD-CD tipo reductor

por

Sandra Huerta Moro

Tesis sometida como requisito parcial para obtener el grado de:

Doctora en Ciencias en la Especialidad de Electrónica

en el

Instituto Nacional de Astrofísica, Óptica y Electrónica (INAOE)

Junio, 2025

Santa María Tonantzintla, Puebla, México

Supervisada por:

Dr. Esteban Tlelo Cuautle

Coordinación de Electrónica INAOE

Dr. Víctor Rodolfo González Díaz

Facultad de Ciencias de la Electrónica, BUAP

©INAOE 2025

Derechos reservados

El autor otorga al INAOE el permiso de reproducir y distribuir copias de esta
Tesis en su totalidad o en partes mencionando la fuente.



A mi amada abuela Yeya.

El diseño de controladores para convertidores CD-CD de tipo reductor (buck), se ha realizado mayormente usando control de modos deslizantes (SMC, por sus siglas en inglés) y proporcional-integral-derivativo (PID). Ambos tipos de controladores pueden ser de tipo entero o fraccionario, y pueden diseñarse en el dominio de la frecuencia o tiempo. Las aportaciones recientes se enfocan en la propuesta de controladores que reduzcan el tiempo de establecimiento, sobretiro, y aumenten la velocidad de respuesta. Estas características se han mejorado proponiendo controladores de orden fraccionario. Sin embargo, a diferencia de los controladores de orden entero, en los fraccionarios es imprescindible determinar de manera precisa el valor correcto del orden fraccionario de las derivadas o integrales que conforman el controlador.

El diseño de controladores y ajuste de sus parámetros, tiene el desafío de encontrar valores de coeficientes, ganancias y orden fraccionario adecuados para garantizar una mejor regulación de voltaje. Este problema se puede resolver en el dominio del tiempo, lo cual involucra la selección de un método numérico adecuado para controladores de tipo entero y fraccionario. En ésta Tesis se propone un controlador de modos deslizantes (SMC), que mejora las características de regulación de voltaje del convertidor. Se aplican métodos numéricos de un solo paso y multi-paso, y se garantiza tiempo de convergencia en tiempo finito aplicando la teoría de Lyapunov. La respuesta del SMC se compara con la de un controlador PID de tipo entero, cuyas ganancias se ajustan aplicando el método de optimización por enjambre de partículas (PSO, por sus siglas en inglés). Finalmente, se propone un controlador PID de orden fraccionario, el cual mejora la respuesta del convertidor CD-CD tipo reductor, comparado con los controles SMC y PID de orden entero.

Los análisis de los controladores se extienden para considerar el efecto de la resistencia parásita, y se realizan variaciones de los parámetros del convertidor para mostrar la robustez de los controladores. El modelo del convertidor y los controladores SMC y PID se discretizan con métodos numéricos, para implementarlos en un arreglo de compuertas programables en el campo (FPGA, por sus siglas en inglés). De esta manera, las simulaciones en el dominio del tiempo se realizan aplicando los métodos de forward Euler, Adams-Bashforth de segundo orden, y la fórmula del cociente de diferencias para los controladores SMC y PID. En el caso del controlador de orden fraccionario, se aplica el método Grünwald-Letnikov para simular la derivada e integral fraccionarias del PID. Finalmente, se muestran resultados experimentales del convertidor y sus controles SMC y PID, emulados en FPGA y observados en osciloscopio, lo cual demuestra la factibilidad de aplicar métodos numéricos en el dominio del tiempo para mejorar la regulación de voltaje de un convertidor CD-CD tipo reductor.

Abstract

The design of controllers for DC-DC Buck converters has been carried out primarily using sliding mode control (SMC) and proportional-integral-derivative (PID) control. Both types of controllers can have integer or fractional order, and can be designed in the frequency or time domain. Recent contributions focus on proposing controllers that reduce settling time, overshoot, and increase slew rate. These characteristics have been improved by proposing fractional-order controllers. However, unlike integer-order controllers, in fractional-order ones it is essential to accurately determine the correct fractional order value for the derivatives or integrals that make up the controller.

Controller design and parameter tuning pose the challenge of finding appropriate coefficient, gain, and fractional order values to guarantee improved voltage regulation. This problem can be solved in the time domain, which involves selecting an appropriate numerical method for both integer and fractional controllers. In this Thesis, a sliding mode controller (SMC) is proposed, which improves the voltage regulation characteristics of the converter. Single-step and multi-step numerical methods are applied, and a finite-time convergence time is guaranteed by applying Lyapunov theory. The SMC response is compared with that of an integer PID controller, whose gains are tuned using particle swarm optimization (PSO). Finally, a fractional-order PID controller is proposed, which improves the response of the DC-DC Buck converter compared to SMC and integer-order PID controls.

The controller analyses are extended to consider the effect of parasitic resistance, and variations in converter parameters are performed to demonstrate the robustness of the controllers. The converter model and the SMC and PID controllers are discretized using numerical methods for implementation in a field-programmable gate array (FPGA). Thus, time-domain simulations are performed using

the forward Euler, second-order Adams-Bashforth, and difference quotient methods for the SMC and PID controllers. For the fractional-order controller, the Grünwald-Letnikov method is applied to simulate the fractional derivative and integral of the PID. Finally, experimental results of the converter and its SMC and PID controls, emulated in an FPGA and observed using an oscilloscope, are presented. This demonstrates the feasibility of applying time-domain numerical methods to improve voltage regulation of DC-DC Buck converters.

Agradecimientos

A mis asesores, el Dr. Esteban Tlelo Cuautle y el Dr. Víctor Rodolfo González Díaz por su paciencia, por sus valiosas enseñanzas, tiempo y su forma de motivarme durante todo este trayecto.

Agradezco al INAOE y al SECIHTI por promover programas de investigación y desarrollo profesional y brindarme la beca para concluir esta Tesis.

A mi abuela, que fue mi mayor soporte no sólo al inicio del doctorado, sino toda mi vida y a quien siempre recordaré impulsádome a seguir adelante.

A mi madre, por darme todo en la vida.

A mi hermano, de quien todos los días aprendo algo.

A mi padre, por escucharme y aconsejarme.

A mis amigos de toda la vida, que no dejaron de creer en mí, y mis nuevos amigos y colegas que me acompañaron estos 4 años y me ayudaron descubrir una nueva versión mía.

Muchas gracias por todo.

Índice general

Resumen	III
Abstract	V
Agradecimientos	VII
Índice general	X
1. Introducción	1
1.1. Convertidores CD-CD	1
1.2. Técnicas de control para convertidores CD-CD	8
1.3. Implementaciones electrónicas	14
1.4. Objetivo General y específicos	17
1.5. Contribuciones de la Tesis	18
2. Convertidor CD-CD tipo reductor	19
2.1. Modelo del convertidor CD-CD tipo reductor	19
2.1.1. Tiempo de establecimiento, sobretiro y convergencia en tiempo finito	21
2.2. Control en modos deslizantes	23
2.3. Control PID y PID de orden fraccionario	28
2.3.1. PID en el dominio del tiempo	30

2.3.2. PID en el dominio de la frecuencia	31
2.4. FOPID	34
2.5. Métodos numéricos	35
2.5.1. Solución de ecuaciones diferenciales de orden entero	36
2.5.2. FOPID en el dominio del tiempo	38
2.5.3. Entonado de ganancias y órdenes fraccionarios	41
3. Control en Modo Deslizante	45
3.1. Control en modo deslizante	45
3.1.1. Caso A	45
3.1.2. Caso B	47
3.2. Superficie deslizante propuesta: $s = \alpha s_1 + \beta s_2$	49
3.3. Análisis de estabilidad	50
3.4. Resultados	54
4. Técnicas de control PID y FOPID	61
4.1. Control PID	61
4.2. Algoritmo de optimización de enjambre de partículas (PSO)	64
4.3. FOPID	67
5. Implementación en FPGA	75
5.1. Discretización del control en modo deslizante	76
5.2. Discretización del controlador PID	77
5.3. Principio de memoria corta	79
5.4. Implementación FPGA del controlador SMC	80
5.5. Implementación FPGA del controlador PID	85
5.6. Recursos de hardware FPGA y resultados experimentales	87
6. Efecto de la resistencia parásita y variaciones	90
6.1. Efectos de la resistencia parásita R_p utilizando un controlador PID y FOPID	90
6.1.1. Convertidor CD-CD que incluye R_p con controlador PID	92
6.1.2. Convertidor CD-CD que incluye R_p con controlador FOPID	93

6.2. Convertidor con controlador FOPID e incertidumbres paramétricas	94
6.2.1. Variaciones L y ajustes en el FOPID	94
6.2.2. Variaciones de C y ajustes en el FOPID	97
7. Conclusiones	100
Índice de figuras	104
Índice de tablas	106
Bibliografía	106

1.1. Convertidores CD-CD

Un convertidor CD-CD convierte una señal de onda de corriente directa (CD) no regulada, a una forma de onda de CD regulada. El objetivo es convertir un voltaje de entrada E de corriente directa en un voltaje de salida de CD mayor, menor o ambas y dicha conversión debe ser constante a pesar de las variaciones en el voltaje de entrada y la carga de salida, como se muestra en la Figura 1.1.

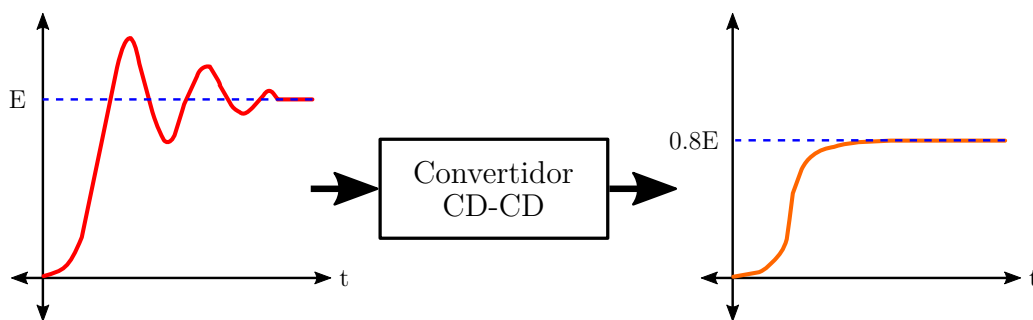


Figura 1.1: Diagrama a bloques de un convertidor CD-CD.

El valor de voltaje de entrada E y de salida V_{out} es controlado por la duración de encendido y apagado de los interruptores que se diseñan con base en una técnica de control. Los convertidores CD-CD se utilizan para estabilizar un valor deseado, conocido como voltaje de salida, el cual está sujeto a condiciones intermitentes y a la no idealidad de los elementos del circuito y de los interruptores. Durante el proceso de conversión, ciertas características deseables determinan el rendimiento de estos sistemas; una de ellas es la calidad de la energía, que depende en gran medida del funcionamiento

estable del convertidor de potencia y su técnica de control.

El objetivo principal de los convertidores CD-CD es asegurar el funcionamiento con una respuesta dinámica rápida, un pequeño error de salida en estado estable y un bajo o nulo sobretiro; todo esto manteniendo una alta eficiencia y un bajo nivel de ruido aun en presencia de incertidumbres en el voltaje de entrada o de variaciones en la carga [1].

Los convertidores CD-CD se pueden clasificar de acuerdo con algunas características relevantes, como las que están relacionadas con el convertidor elevador híbrido de conmutación de tres estados de alta ganancia, de alta eficiencia, de entrada-paralelo-salida-serie, de doble función-triple modo sin transformador de alta ganancia y de alta eficiencia. Algunos tipos de convertidores CD-CD son los siguientes:

- Tipo bajada (Step-down o Buck)
- Tipo subida (Step-up o Boost)
- Tipo subida/bajada (Buck-Boost)
- Convertidor Cúk
- Convertidor Full-bridge

Las topologías básicas son las de tipo subida y tipo bajada, mientras que las demás son combinaciones de las anteriores, tales como la Buck-Boost y Cúk, mientras que la Full-bridge es derivada de la tipo step-down. La Tabla 1.1 muestra algunas de las características de las principales topologías de convertidores CD-CD presentadas en [2]. Cada topología posee ventajas y limitaciones específicas que determinan su aplicación en sistemas de conversión de energía.

En [3] se presenta el análisis de un filtro paso bajo LCR de segundo orden para lograr un voltaje de salida de rizado específico en convertidores de potencia CD-CD Buck, Zeta y Cuk para modo de conducción continua (CCM). Se derivan las formas de onda de corriente y voltaje a través de los componentes del filtro de salida y utilizando la forma de onda del componente de corriente alterna (CA) del voltaje de salida, se desarrolla una expresión para incluir el rizado en términos de la capacitancia del filtro y la resistencia serie equivalente. Los resultados pueden utilizarse para todos los convertidores basados en modulación de ancho de pulso (PWM, por sus siglas en inglés) con filtro de salida LCR.

Tabla 1.1: Características de las topologías de convertidores CD-CD [2].

Topologías de convertidores CD-CD		
Topología	Ventajas	Limitantes
Buck/Boost	Apropiado para aplicaciones de baja potencia Trabaja a altas frecuencias de conmutación	Corriente de salida discontinua Rizo a la salida
SEPIC	Salida no inversora Corrección del factor de potencia en líneas de CA	Ciclo de trabajo difícil de controlar para entradas y salidas múltiples. Pobre ganancia de voltaje
Cúk	Apropiado para aplicaciones de baja potencia Utiliza un capacitor para la transferencia y almacenamiento de energía	Polaridad de salida negativa con respecto a la entrada La eficiencia se reduce en la red de salida múltiple Se requiere un circuito de compensación complejo
Zeta	Adecuado para aplicaciones de media y alta potencia Salida no inversora Aplicaciones de conversión de energía	Flujo de energía unidireccional Desequilibrio de voltaje para salida múltiple Requiere un circuito de compensación

Actualmente, se pueden encontrar topologías de los convertidores mejoradas de las ya mencionadas en la Tabla 1.1; por ejemplo, en [4] se propone un nuevo convertidor CD-CD multinivel modular, ideal para aplicaciones de microrredes rurales de CD, basado en una topología reductora-elevadora modificada. Un convertidor de energía CD-CD para un sistema de microrred CD rural debe tener una ganancia de alto voltaje para facilitar la conversión de energía desde la salida fotovoltaica de bajo voltaje a un bus de microrred CD de alto voltaje, una corriente de ondulación de entrada muy

baja para ayudar a mantener la vida útil del sistema fotovoltaico o de la batería, y ser altamente modular para facilitar el transporte y el montaje. El propuesto por los autores es fácilmente apilable para lograr alta ganancia de voltaje y no requiere técnicas de balanceo de voltaje, lo que mejora su modularidad y simplifica su método de control. En [5], se presenta un convertidor CD-CD de alto voltaje sin transformador basado en submódulos en cascada. El convertidor CD-CD propuesto consta de dos ramas de fase, cada una con un brazo superior y un brazo inferior, cuyos nodos centrales están interconectados mediante una rama de submódulos activos. Mediante el control adecuado del voltaje de salida de la rama interconectada, se induce una corriente CA trapezoidal que interactúa con los componentes de voltaje CA en los brazos superior e inferior para reequilibrar la potencia entre los brazos del convertidor. El convertidor propuesto en [6] emplea un inductor acoplado con el mismo número de vueltas en los lados primario y secundario. Por lo tanto, presenta mayores ganancias de voltaje de elevación y reducción que el convertidor elevador/reductor bidireccional CD-CD convencional. En modo elevador, los devanados primario y secundario del inductor acoplado operan en paralelo (carga y descarga en serie) para lograr una alta ganancia de voltaje. En modo reductor, los devanados primario y secundario del inductor acoplado operan en serie (carga y descarga en paralelo) para lograr una alta ganancia de voltaje. Por lo tanto, el convertidor propuesto presenta mayores ganancias de voltaje que el convertidor elevador/reductor CD-CD bidireccional convencional, en donde el valor promedio de la corriente de conmutación en el convertidor propuesto es menor que el del convertidor elevador/reductor bidireccional convencional. Los autores en [7] proponen un convertidor CD-CD elevador de alta ganancia. En comparación con las topologías clásicas, la capacidad elevadora de la topología propuesta se ve reforzada. El convertidor propuesto cuenta con una red de conmutación para el inductor que permite el uso de inductores más pequeños. En [8], se utiliza un convertidor CD-CD multinivel modular diseñado para interconectar redes de CD. El convertidor está compuesto por dos cadenas de submódulos, cada una con un brazo superior y un brazo inferior, cuyos puntos medios están conectados transversalmente mediante un capacitor de CD. Con la ayuda de los capacitores, se forman bucles de potencia de CD y CA, lo que permite el equilibrio de potencia entre los lados primario y secundario, así como entre los brazos superior e inferior. En el caso de los convertidores tipo subida, los autores de [7] proponen una topología CD-CD de elevación de alta ganancia que, en comparación con las topologías clásicas, la capacidad de elevación de la topología propuesta se ve reforzada. Se reduce el voltaje de los capacitores, diodos

y dispositivos de potencia. El convertidor cuenta con una red de conmutación para el inductor que permite el uso de inductores más pequeños. Se analiza exhaustivamente el funcionamiento en estado estacionario del convertidor sugerido y se lleva a un prototipo.

Del estado del arte anteriormente descrito, se desprende que la conversión CD–CD es uno de los métodos más estudiados y aplicados en el ámbito de la electrónica de potencia, donde el convertidor reductor CD–CD es uno de los circuitos más conocidos. En esencia, la topología del convertidor reductor es uno de los convertidores de potencia más sencillos y útiles, capaz de convertir una entrada de CD en una salida de CD con un valor de voltaje más bajo. Su versatilidad lo hace adecuado para aplicaciones de baja y alta potencia, por lo cual, **para éste trabajo de Tesis se considera la topología del convertidor CD–CD tipo reductor (Buck).**

El estudio del convertidor CD–CD tipo Buck se ha llevado a cabo mediante diferentes enfoques, los cuales van desde su diseño en circuitos integrados con tecnología CMOS, hasta su implementación en hardware, donde el control se implementa por medio de microcontroladores y microprocesadores; por ejemplo, los autores en [9] presentan un convertidor reductor de modulación por frecuencia de pulsos (PFM) de bajo rizo de voltaje y muy alta eficiencia con cargas ligeras para aplicaciones del Internet de las Cosas (IoT), el cual fue fabricado con tecnología CMOS de $0.35\mu m$. El convertidor reductor PFM reduce notablemente la pérdida del controlador incluso con rizado bajo al reemplazar el comparador estático por un comparador dinámico, que proporciona una alta ganancia de voltaje, una rápida velocidad de evaluación y un bajo consumo de energía. Además, para reducir aún más la pérdida del controlador, se utiliza un método de control de apagado dinámico que desactiva selectivamente los circuitos de control. En [10] presentan el diseño de un convertidor reductor para su uso en sistemas en chip (SoC) de bajo consumo, con un rizo de voltaje lo suficientemente bajo como para alimentar directamente circuitos analógicos sensibles sin la ayuda de reguladores de voltaje de baja caída (LDO). Para minimizar el rizo de voltaje y maximizar la eficiencia del convertidor con cargas ligeras, se utiliza un esquema de modulación de frecuencia de pulsos (PFM) y un comparador de voltaje, el cual es fabricado en un proceso CMOS de $0.18\mu m$. En tecnología CMOS, los autores de [11] adoptan el control adaptativo de corriente de pico y valle y diseñan un circuito de compensación de pendiente reutilizada, que reduce el consumo de energía estática del convertidor y mejora su eficiencia con carga ligera. El convertidor se implementó en un proceso CMOS estándar de $0.18\mu m$. En [12] se propone un convertidor reductor con un amplio rango de voltaje de entrada basado en el

modo de control adaptativo en tiempo (AOT), que puede utilizarse en aplicaciones de bajo consumo como el Internet de las Cosas y chips automotrices. Incluye un circuito detector de corriente cero que modifica dinámicamente el voltaje de compensación, lo que permite detectar la corriente del inductor cuando el circuito reductor opera en modo DCM. El convertidor reductor está diseñado con un proceso CMOS estándar de $0.18\mu m$. Cuando se utiliza un voltaje de entrada estándar de 12 V para generar un voltaje de salida de 5 V. En la referencia [13] se propone un convertidor reductor PFM-PWM de modulación basado en oscilador controlado por voltaje (VCO) para reducir la ondulación del voltaje de salida en modo PFM. Se establece un modelo de bucle para el modo PFM para el diseño de estabilidad. Además, se incorpora un método de transición de modo continuo basado en histéresis para garantizar un funcionamiento constante del convertidor a plena carga. Implementado con tecnología BCD de $0.18\mu m$

El diseño de los convertidores Buck ha sido analizado y estudiado para su mejora abordado desde modificaciones en los elementos que lo componen, dando paso a derivados de la topología original y obteniendo mejoras en algunas especificaciones. En [14] se realiza el estudio del convertidor reductor de una sola etapa y los problemas relacionados con el tamaño de los parámetros y una alta relación de conversión, produciendo una degradación en la corriente del inductor y los voltajes de salida. Se propone el diseño de un convertidor reductor el cual reduce una CD de alto voltaje (315 V) a una CD de muy bajo voltaje (5 V). El convertidor propuesto en la referencia [15] incluye la ganancia de voltaje ideal y práctica, cálculos de corriente, diseño de parámetros, eficiencia y un breve análisis del modo de conducción discontinua y las condiciones de contorno. El convertidor reductor con capacitor en serie que se propone en [16], duplica la relación de trabajo e iguala la corriente entre dos fases. Todos los interruptores se activan con voltaje cero y los interruptores del lado de bajo voltaje se desactivan con corriente cero. Se presenta un nuevo convertidor reductor de dos interruptores en [17]. Mediante la integración de un circuito de relleno de valle con inductores acoplados y el uso de la técnica de inductor de acoplamiento cruzado, el convertidor propuesto logra una reducción sustancial del rizado de la corriente de salida. El convertidor demuestra la capacidad de cancelación del rizado. La validación experimental se realiza mediante un convertidor prototipo de 300 a 24 V y 120 W.

Otras aplicaciones de los convertidores reductores CD-CD se encuentran en microrredes [4, 5, 18–21], sistemas de energía renovable [2, 22, 23], sistemas fotovoltaicos y carga de baterías [4, 5, 24, 25], controladores LED y gestión energética [5, 26, 27], control de velocidad de controladores de motores

de CD y CA [28, 29], turbina eólica, microturbina de gas y pilas de combustible [7], y redes de CD para redes de medio voltaje [8].

1.2. Técnicas de control para convertidores CD–CD

Por un lado, se han realizado investigaciones para mejorar o introducir nuevas topologías de convertidores CD–CD para cumplir con las especificaciones objetivo [28]; por otro lado, otro problema es la implementación del control para garantizar una salida de voltaje deseada, el convertidor debe garantizar un voltaje deseado (V_d) que se toma como referencia a alcanzar por la salida del convertidor (v_{out}), lo que requiere el diseño apropiado de un controlador para minimizar el error ($e(t) = V_d - v_{out}$). Además, el diseño de un controlador para el convertidor también debe mitigar el sobreimpulso, reducir el tiempo de establecimiento y aumentar la velocidad de respuesta.

Uno de los principales problemas de los convertidores CD–CD es el diseño de la técnica de control para mejorar su rendimiento y correcto funcionamiento. Sobre este tema, los autores de [2] ofrecen una breve clasificación y análisis de varias técnicas de control, mencionando que el diseño del control es fundamental, ya que desempeña un papel fundamental en la evaluación del rendimiento de los convertidores CD–CD, en donde se realizan varias recomendaciones a modo de análisis comparativo entre diferentes técnicas de control y su rendimiento en diversos convertidores CD–CD, considerados no aislados.

El control de los convertidores CD–CD hace referencia a las manipulaciones necesarias de los parámetros del convertidor para cumplir los requerimientos de alimentación del circuito. En este caso, es necesario garantizar un voltaje de salida constante aún en presencia de perturbaciones.

Uno de los principales objetivos de la mayoría de los convertidores CD–CD con control de retroalimentación de lazo cerrado es garantizar que el convertidor funcione con una respuesta dinámica rápida, un pequeño error de salida en estado estacionario y un bajo sobreimpulso, manteniendo a su vez una alta eficiencia y una baja emisión de ruido en términos de rechazo a las incertidumbres de los cambios de voltaje de entrada y las variaciones de carga [1]. Las estrategias para controlar a los convertidores se dividen en dos: técnicas de control lineal y técnicas de control no lineal. En este sentido, los métodos de control frecuentemente utilizados en convertidores CD–CD pueden asociarse con el control proporcional-integral-derivativo (PID) [19, 20, 28] y la retroalimentación con linealización [18, 19, 30]. Sin embargo, los métodos de control lineal requieren que la planta esté linealizada y, por lo tanto, son bastante sensibles a las variaciones e incertidumbres externas. Estos problemas pueden mitigarse mediante la aplicación de métodos de control no lineales, que mejoran

la respuesta transitoria.

La técnica de control no lineal es capaz de compensar perturbaciones en los parámetros con una respuesta transitoria rápida. Algunos de los métodos de control no lineal que se aplican actualmente son, por ejemplo, el control óptimo [18], el control predictivo de modelos (MPC) [2], la red neuronal, el control basado en el observador de estado extendido [23], el control de lógica difusa (FLC) [22,24], el control basado en pasividad [27], el control de modo deslizante (SMC) [31], el SMC basado en torsión [21,26] y el observador de modo deslizante [32].

Se han desarrollado diferentes técnicas de control para los convertidores CD-CD tipo Buck, en donde destacan principalmente el control proporcional-integral-derivativo (PID) de orden entero y de orden fraccionario (FOPID); así como la técnica de control por modos deslizantes (SMC). Por ejemplo, en [33] se emplea un controlador por retroalimentación de un sistema convertidor reductor de potencia. Se modela matemáticamente la planta del convertidor y se diseña un compensador para lograr la regulación del voltaje de salida del convertidor reductor. El controlador PID se desarrolla mediante el algoritmo de optimización ABC (Colonia Artificial de Abejas), que se emplea para obtener los mejores valores para los parámetros de ganancia del controlador. Se simula mediante MATLAB/Simulink, basándose en criterios de control que incluyen el tiempo de subida, el tiempo de asentamiento, el sobreimpulso y los parámetros de error en estado estacionario. El trabajo se implementa utilizando la biblioteca Simscape de Simulink. El control PID también ha sido modificado en algunos artículos para obtener la dinámica de respuesta deseada como en [34], donde se propone un método de control basado en la Máquina de Aprendizaje Extremo (ELM) combinado con un controlador PID, utilizado para el control del voltaje de salida del convertidor reductor en Modo de Conducción Continua mediante el método de promediado en el espacio de estados y se realiza la simulación bajo diferentes perturbaciones, en donde se verifica la efectividad de la estrategia de control ELM-PID propuesta, logrando estabilidad del voltaje de salida y una buena respuesta dinámica. Muchas de éstas investigaciones tienen también como objetivo encontrar el conjunto de ganancias óptimo para el desempeño del controlador, por lo cual se han planteado diferentes soluciones basadas en algoritmos de optimización. Con el objetivo de encontrar las ganancias que mejoren la respuesta de salida, reduciendo así el sobreimpulso en la respuesta, los autores de [35] consideran los valores de ganancia del controlador PID y la selección de la capacitancia en problemas multiobjetivo. La optimización se realiza utilizando el algoritmo NSGA-II y el algoritmo NSGA-II modificado, haciendo

una comparación en el dominio del tiempo.

Aunque el controlador PID ha mostrado un buen rendimiento, se ha demostrado que un controlador de orden fraccionario mejora significativamente el desempeño de la respuesta de salida, debido al grado de libertad extra del orden fraccionario, lo cual resulta en un controlador más flexible con una curva de respuesta suave, involucrando un campo de investigación basado en la optimización no sólo los valores de ganancia del controlador, sino también de los órdenes fraccionarios, para lo cual se han empleado diversas metaheurísticas. En [36] se propone un controlador PID de orden fraccionario basado en la técnica de algoritmo genético mejorado (EGA) para el control simultáneo de convertidores reductores síncronos. En la metodología propuesta por los autores, la ganancia del controlador FOPID se ajusta para lograr la respuesta preferida demostrada por la técnica EGA, en donde el objetivo de la técnica propuesta es lograr un voltaje de salida de CD suave con una respuesta amortiguada, el cual es simulado en la plataforma MATLAB, en donde se produce un voltaje de CD de salida regulada con un 34 % menos de sobreimpulso. Los autores en [28] describen el diseño óptimo de un controlador PID de orden fraccionario para un convertidor reductor mediante el enfoque de optimización de inteligencia de cohorte (CI) basado en inteligencia artificial. Los parámetros del controlador FOPID se diseñan para minimizar diversos índices de rendimiento, con especial énfasis en el índice de rendimiento de error cuadrático integral (ISE). El controlador FOPID presenta características de respuesta transitoria y dinámica más rápidas en comparación con el controlador PID convencional. La comparación del método propuesto con diferentes técnicas de optimización, como GA, PSO, ABC y SA, muestra buenos resultados con un menor tiempo de cálculo. En [37] se utilizó un controlador FOPID para optimizar el rendimiento de un convertidor reductor. Para ello, los autores utilizan un algoritmo metaheurístico híbrido que combina la distribución de vuelo de Levy y los algoritmos de recocido simulado (LFDSA). El algoritmo contribuyó a la obtención de valores óptimos de los parámetros FOPID, logrando un mejor control del voltaje de salida en lazo cerrado del convertidor reductor en términos de respuestas en los dominios temporal y frecuencial, así como en el rechazo de perturbaciones.

Los algoritmos recientes que se han aplicado para ajustar las ganancias y los órdenes fraccionarios de un controlador FOPID son, por ejemplo: optimización de colonias de hormigas [38], algoritmo de optimización híbrido [39], algoritmo genético de clasificación no dominada [40], algoritmo de búsqueda gravitacional [41], PSO [42], algoritmo de optimización de hormigas y leones [43], algoritmo

inteligente de cohorte [28], y el algoritmo de seno y coseno mejorado [44].

En ésta Tesis se muestra el ajuste de un control FOPID para un convertidor reductor CD-CD mediante la aplicación del algoritmo PSO, uno de los más utilizados que ofrece soluciones adecuadas y viables [28, 42, 43].

Por otro lado, la teoría de modos deslizantes ha destacado que las principales ventajas de ésta técnica incluyen robustez, dinámica compensada de orden reducido, convergencia en tiempo finito y baja sensibilidad a las variaciones de los parámetros del sistema en comparación con los enfoques de control tradicionales, como el adelanto-retraso, el regulador cuadrático lineal y el PID, debido a que se selecciona la ecuación de superficie de modo deslizante de acuerdo con la dinámica deseada del movimiento, según ciertos criterios de rendimiento, considerando las no linealidades de la planta y haciéndolo adecuado para el control de convertidores. En la literatura se pueden encontrar algunos trabajos que han aplicado esta técnica de control para convertidores Buck, obteniendo las características de salida requeridas. En [45] se presenta una metodología de diseño para optimizar el control de convertidores Buck de alta potencia mediante un controlador de modo deslizante, abordando las no linealidades y los desafíos dinámicos inherentes a dichos convertidores, con el fin de mejorar tanto la estabilidad como la eficiencia. El SMC se valida mediante dos métodos de prototipado rápido, Hardware-in-the-Loop (HIL) y Software-in-the-Loop (SIL), para garantizar un rendimiento robusto en diversas condiciones de operación. Además, se integra el control PID tradicional con el SMC para aprovechar las ventajas de ambos enfoques. El análisis comparativo con el control PID convencional demuestra la superioridad del SMC, especialmente en la gestión de escenarios operativos complejos. Otros trabajos similares, en donde el control en modo deslizante ha demostrado ser una buena opción de control para sistemas de estructura variable, como los convertidores, se encuentran en [31, 46, 47].

En la Tabla 1.2 se muestran algunas aplicaciones de los convertidores CD-CD y los tipos de control que frecuentemente se asocian a dichas aplicaciones. Entre los más utilizados destacan el PID y el control en modo deslizante (SMC), pudiendo ser ambos de orden entero o fraccionario, de acuerdo con la tendencia reciente descrita en [18–20].

Tabla 1.2: Aplicaciones de los convertidores CD-CD.

Aplicación	Topología	Tipo de control	E	V_d	Ref.
Micro grid	Buck	FSMC, PID, FOPID	18	5	[18]
	Buck	SMC, FSMC, PI	30	20/10	[19]
	Boost	TSMC, FOTSMC	50	200	[48]
	Buck	PI, NTSMC	30	20/15	[49]
	Buck-Boost	PI, FLC		500/120	
Energy Management	Buck-Boost	FOPID	25	15/35	[20]
	Cúk	SMC, PI	24	36	[50]
	Buck	FOPP, IOPP, FOPID	10	5-7	[51]
Battery Storage	Buck-Boost	FSMC, Super Twisting	261	420/220	[52]

A partir de la Tabla 1.2, puede concluirse que el diseño de la estrategia de control es esencial para asegurar un nivel de voltaje de salida apropiado y para lograr robustez ante variaciones de carga o de la fuente E . Dada la presencia de no linealidades, los esquemas de control no lineal, como SMC o PID fraccionario, han demostrado buenos resultados [2]. Las aportaciones recientes se enfocan en reducir el tiempo de establecimiento, sobretiro, y debido a la tendencia del control de orden fraccionario, se requiere garantizar una convergencia en tiempo finito.

La referencia [18] presenta una comparación entre controladores PID y modos deslizantes de orden entero y fraccionario. En la Figura 1.2 se ilustra cómo la versión de orden fraccionario puede mejorar sustancialmente el tiempo de establecimiento y reducir el sobretiro en el voltaje de salida.

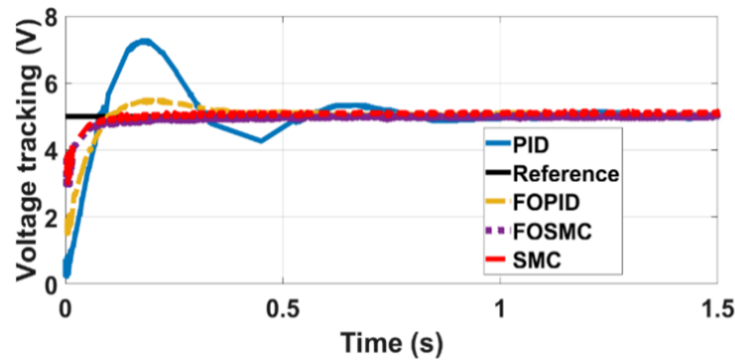


Figura 1.2: Comparación de controles PID y modos deslizantes de orden entero/fraccionario para el convertidor Buck [18].

En términos de sobretiro y error en estado estable, en la Figura 1.3 se presenta la comparación del error que presentan los diferentes controladores en donde se muestra que el PID de orden entero tiene un sobretiro de hasta 2.25 V, mientras que su versión fraccionaria solo llega a 0.478 V. Por otro lado, el modo deslizante de orden entero obtiene un sobretiro de 0.059 V y el de orden fraccionario, 0.049 V, que representa una mejora adicional. Estas características demuestran la ventaja de los controladores de orden fraccionario en ambientes con variaciones e incertidumbres, ya que el tiempo de establecimiento se reduce y la salida resulta en una curva más suave [19].

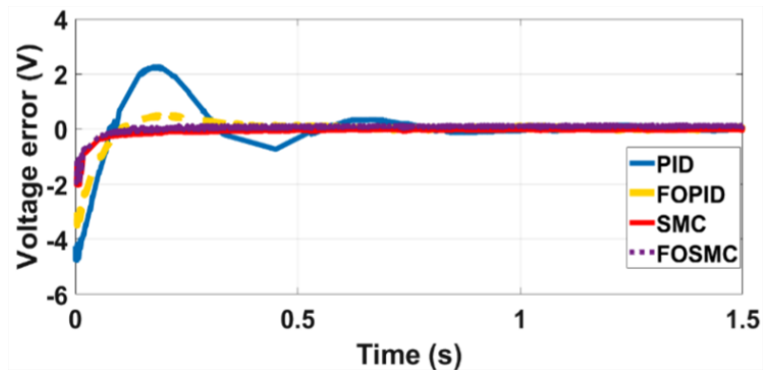


Figura 1.3: Error en el voltaje para controles PID y modos deslizantes de orden entero/fraccionario [18].

1.3. Implementaciones electrónicas

Como se puede inferir, en los convertidores de potencia, la precisión de la regulación de voltaje se ve gravemente afectada por incertidumbres y perturbaciones externas, lo que plantea el reto de mejorar el rendimiento del controlador para mitigar los efectos de estos factores desconocidos [53]. En este sentido, es bien sabido que los controladores proporcional-integral-derivativo (PID) convencionales no pueden lograr las propiedades deseadas, por lo que se han desarrollado diversas estrategias de control para su uso con convertidores reductores CD-CD [46, 47]. En una aplicación real, un controlador PID tiene el desafío de realizar un ajuste correcto de las ganancias asociadas a las acciones proporcional K_p , integral K_i y derivativa K_d [38, 54, 55]. Sin embargo, recientemente se ha observado que es posible ajustar correctamente tanto los controladores PID como los de orden fraccional (FOPID) para garantizar una correcta regulación del voltaje.

En la literatura se han utilizado diferentes combinaciones del PID fraccionario. La descripción de las topologías de los convertidores y sus respectivas implementaciones se muestran en la Tabla 1.3

Tabla 1.3: $PI^\lambda D^\mu$.

Topología	K_p, K_i, K_d	E/V_d	λ, μ	Implementación	Ref.
Buck	10, 30, 0.5	18/5	1, 1	Arduino mega 2560	[18]
	2, 10, 0.1		0.85, 1		
	0.3, 16	30/20-10	1, 1	dSPACE	[19]
	0.3, 0.1	30/20-15	1, 1	dSPACE	[49]
	0.1, 10				
	0.0085, 2.69, 7.49	10/5-7	1.68, 1	Arduino mega 2560	[51]
	3.162, 1.977, 0.315	24/10	0.92, 0.74	Microcontrolador	[56]
	-	10-20/5-18	-	Arduino DUE	[57]
Buck/Boost	0.003, 3, $75 \cdot 10^{-3}$	25/15-25	0.6745/0.6727	OPAMPS	[20]
				Matlab/Simulink	[24]
	0.04, 9.26, 0.9	25/37.5	0.9	Matlab/Simulink	[58]
Cúk	1, 170	24/36	1	Matlab/Simulink	[50]

La Tabla 1.3 muestra en el caso de la topología Buck un rango amplio de valores de voltaje de salida deseado, el cual se ha controlado con PID y FOPID y se ha implementado en diversos microcontroladores y microprocesadores.

Implementar controladores de orden fraccionario basados en puertas programables en campo (FPGA) para aplicaciones en tiempo real puede ser un desafío debido a sus dependencias de memoria. Problemas como el gran tamaño del diseño, la exploración espacial y la dificultad para crear hardware configurable pueden afectar la utilización de recursos, el consumo de energía y la precisión.

La aplicación de métodos numéricos para resolver ecuaciones diferenciales ordinarias (EDO) también es útil para sintetizar ecuaciones discretizadas en FPGA, como se detalla en ésta Tesis. Existen trabajos relacionados que realizan la simulación de convertidores CD-CD mediante la aplicación de métodos numéricos, como se describe en [59–62]. De hecho, la emulación del convertidor con el controlador puede llevarse a cabo dentro del ámbito conocido como hardware-in-the-loop (HIL) [47]. En realidad, HIL es un componente fundamental del ciclo de diseño de control de electrónica de potencia e incluye el uso de FPGA. Por ejemplo, los autores en [63, 64] proporcionan ejemplos del uso de HIL asociando métodos de simulación temporal. Los autores en [47] demuestran que la integración de la simulación de hardware en el bucle (HIL) en tiempo real es ahora un componente fundamental del ciclo de diseño de control de electrónica de potencia. Otros autores también han reportado recientemente el uso de HIL [63, 64], todos ellos asociando métodos de simulación temporal. De esta manera, varios trabajos recientes detallan el diseño de estrategias de control que se integran en plataformas FPGA [65–71]. Todas estas implementaciones de HIL y FPGA requieren el conocimiento de métodos numéricos, por lo que este trabajo de Tesis muestra la aplicación de métodos monopaso y multipaso para resolver el modelo del convertidor Buck y el controlador para lograr una regulación de voltaje DC altamente efectiva.

Como se mencionó anteriormente, los métodos de simulación de tiempo son bastante útiles para emular el comportamiento de los convertidores CD-CD que incorporan control PID [72–74]. De hecho, algunos trabajos recientes muestran la idoneidad de los métodos de simulación temporal para ajustar las ganancias de un PID de orden entero [38, 54, 55], y otros para ajustar topologías FOPID [39, 75–77]. Recientemente, los autores están aplicando métodos de optimización inspirados en la naturaleza para ajustar los controladores FOPID, cuyos algoritmos buscan en una amplia gama de espacios de soluciones tentativas [40, 41, 78–80].

Esta Tesis muestra la aplicación de un método explícito y de multipaso para resolver el modelo del convertidor Buck, controlado por bloques SMC y PID que se simulan mediante métodos numéricos para permitir su síntesis en FPGA.

1.4. Objetivo General y específicos

Objetivo general: Diseñar un algoritmo de control de orden entero/fraccionario para un convertidor CD-CD tipo reductor que minimice el tiempo de establecimiento y el sobreimpulso y que maximice la velocidad de respuesta.

Objetivos específicos:

- Revisar el estado del arte de los métodos de control de convertidores CD-CD tipo buck de orden entero/fraccionario.
- Revisar los métodos de control usando control PID y modos deslizantes de orden entero y fraccionario.
- Simular casos de estudio usando los controles PID y de modos deslizantes aplicando métodos numéricos de orden entero.
- Simular casos de estudio aplicando métodos numéricos de orden fraccionario, como Grünwald-Letnikov.
- Proponer una nueva superficie deslizante y analizar la estabilidad y convergencia en tiempo finito.
- Encontrar los ordenes fraccionarios para el método de control PID, que reduzca el sobretiro y tiempo de establecimiento de un convertidor CD-CD tipo buck.
- Emular el convertidor buck y los controladores SMC y PID en FPGA.
- Verificar la robustez de los controladores considerando la resistencia parásita.
- Verificar la robustez del convertidor CD-CD tipo buck, considerando variaciones de sus parámetros.

Meta general: Diseñar un algoritmo de control de orden fraccionario para un convertidor CD-CD tipo reductor, que minimice el sobretiro y tiempo de establecimiento, y garantice estabilidad y convergencia en tiempo finito, comparado con diseños similares en el estado del arte.

1.5. Contribuciones de la Tesis

Las contribuciones de ésta Tesis son las siguientes:

1. Aplicación de métodos numéricos para realizar la simulación temporal de las ecuaciones diferenciales ordinarias que modelan el convertidor CD–CD.
2. Propuesta de una superficie deslizante que produce una respuesta de salida que minimiza el sobreimpulso y el tiempo de establecimiento, y que maximiza la velocidad de respuesta.
3. Análisis de estabilidad y convergencia en tiempo finito de una superficie deslizante propuesta.
4. Aplicación de métodos numéricos de orden entero para realizar la simulación de controladores de orden entero.
5. Aplicación del cálculo fraccionario para resolver las ecuaciones diferenciales de orden fraccionario que modelan el controlador FOPID.
6. Aplicación del algoritmo PSO para ajustar las ganancias de un controlador PID, utilizando métodos del dominio temporal para evaluar las ecuaciones diferenciales, con la función objetivo asociada para minimizar el sobreimpulso y el tiempo de establecimiento, a la vez que se maximiza la velocidad de respuesta.
7. Análisis de la robustez de los controladores SMC y PID considerando la resistencia parásita del convertidor Buck y las variaciones en sus parámetros.
8. Implementación de los controladores propuestos en un FPGA, considerando el principio de memoria corta.
9. Diseño de un controlador PID de orden fraccionario, considerando la resistencia parásita y las variaciones en sus parámetros.

Convertidor CD-CD tipo reductor

2.1. Modelo del convertidor CD-CD tipo reductor

En la Figura 2.1 se describe el bloque que representa un convertidor CD-CD y los bloques de control para generar el voltaje deseado a la salida.

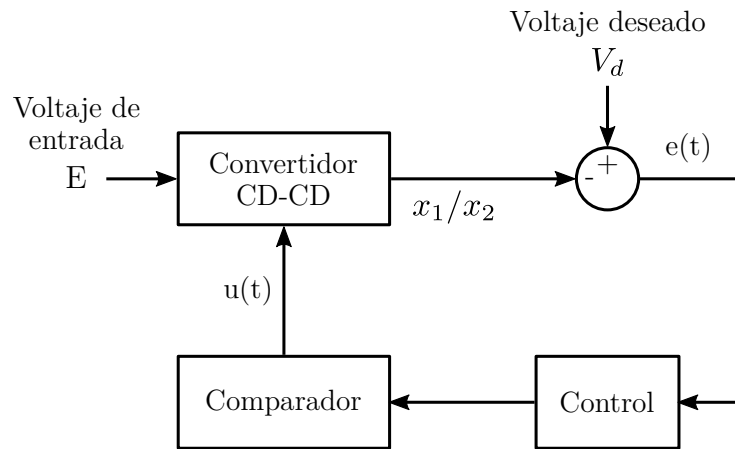


Figura 2.1: Diagrama general de un convertidor CD-CD con control.

Dentro de las topologías de convertidores CD-CD de tipo reductor, la más simple es la del tipo Buck, ya que requiere un menor número de componentes y exhibe mayor potencial para lograr una alta eficiencia en la conversión de energía debido al uso reducido de interruptores. La topología de este convertidor se ilustra en la Figura 2.2. Consta de una fuente de voltaje independiente E , considerada como la entrada; un interruptor cuyo cierre y apertura depende de la señal de control, que puede sustituirse por un dispositivo activo controlado por una señal digital para que se cierre o

se abra; un diodo y tres elementos pasivos: un inductor (L), un capacitor (C) y una resistencia (R), que modela la carga a la que se suministra el voltaje deseado o de salida.

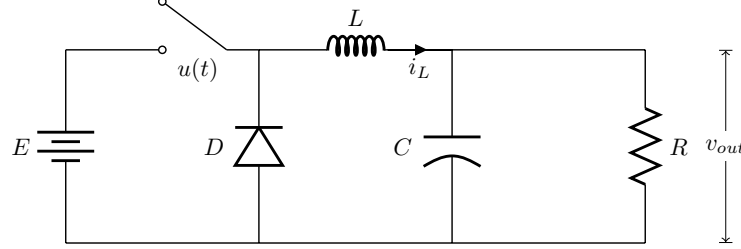


Figura 2.2: Topología genérica del convertidor DC-DC Buck.

El voltaje de salida v_{out} del convertidor Buck debe controlarse para igualar un valor de referencia V_d . Dicho control de v_{out} se logra modificando la posición (encendido/apagado) del interruptor, que puede sustituirse por un transistor de potencia que puede tener control ON-OFF, o una etapa de control más compleja como la modulación por impulsos. El modelo dinámico del convertidor CD-CD Buck mostrado en la Figura 2.2 es descrito mediante las dos ecuaciones diferenciales ordinarias (ODEs) de la ecuación (2.1), el cual se le conoce como modelo conmutado del convertidor, es decir, considera ambos casos, sin importar si el sistema se encuentra en modo de conducción o de no conducción. Donde el estado de ON corresponde a $u(t) = 1$ y el estado OFF a $u(t) = 0$. e i_L es la corriente en el inductor y V_C es el voltaje en el capacitor:

$$\begin{aligned} \dot{i}_L &= -\frac{V_C}{L} + \frac{uE}{L}, \\ \dot{V}_C &= \frac{i_L}{C} - \frac{V_C}{RC}. \end{aligned} \quad (2.1)$$

Tomando las variables de estado del circuito como $x_1 = i_L$ para denotar la corriente a través del inductor y $x_2 = V_C = v_{out}$ para denotar el voltaje a través del capacitor, que también es el voltaje de salida deseado, se puede definir el espacio de estados como se da en la ecuación (2.2).

$$\begin{aligned} \dot{x}_1 &= -\frac{1}{L} x_2 + \frac{uE}{L}, \\ \dot{x}_2 &= \frac{1}{C} x_1 - \frac{1}{RC} x_2. \end{aligned} \quad (2.2)$$

Este sistema, al ser forzado por la señal $u(t)$, puede operar en modo de conducción continua (CCM) o discontinua (DCM). En esta Tesis se adopta el modo CCM, donde la corriente a través del inductor siempre tiene un valor finito y positivo durante el ciclo de conmutación controlado por

$u(t)$, porque la corriente del inductor fluye continuamente, no permitiendo así que el inductor se descargue.

El funcionamiento ideal del CCM consta de dos modos de funcionamiento:

1. **Etapa 1 (modo ON):** El interruptor se cierra ($u(t) = 1$). El diodo queda en polarización inversa y la energía de la fuente E fluye hacia L , C y R .
2. **Etapa 2 (modo OFF):** El interruptor se abre ($u(t) = 0$). El diodo conduce para mantener la corriente en el inductor, de manera que la energía almacenada en L y en C se libera en la carga hasta que vuelve a activarse el modo ON.

Estas operaciones cíclicas, gobernadas por la señal de control $u(t)$, permiten variar el voltaje de salida en función del tiempo de conducción y del tiempo de no conducción (relación cíclica).

El convertidor reductor CD-CD se clasifica como un sistema de estructura cuyo modelo dinámico actual, o la estructura del sistema, depende en gran medida de la región del espacio de estados donde se encuentra circunstancialmente el funcionamiento del sistema; esto hace referencia a la dualidad del funcionamiento del mismo circuito cuando el interruptor está abierto o cerrado. En aplicaciones reales, el interruptor del convertidor se puede implementar con un dispositivo activo como un transistor, y debe controlarse mediante una técnica apropiada, ya que, debido a las no linealidades inherentes del mismo, puede ocasionar oscilaciones durante su funcionamiento. Para solucionar este problema, se han estudiado y analizado diferentes técnicas de control que minimizan las oscilaciones y mantienen el voltaje de salida a pesar de las perturbaciones causadas por cambios en los parámetros del sistema bajo ciertas condiciones deseadas de salida, tales como tiempo de establecimiento, sobretiro o buscando convergencia en tiempo finito. El controlador intenta garantizar que se alcance el voltaje de salida deseado V_d a partir de la reducción del error en la salida $e(t)$, la cual está dada por la diferencia entre el valor deseado de salida y el valor medido $e(t) = V_d - x_2$.

2.1.1. Tiempo de establecimiento, sobretiro y convergencia en tiempo finito

Al momento de especificar la respuesta en el tiempo de un sistema de control, existen ciertos parámetros que definen el comportamiento del sistema, sin importar las técnicas de control que se implementen. Estos parámetros permiten fijar uno o varios objetivos para su optimización. En la figura 2.3 es posible apreciar las características de la señal de salida de una planta con control,

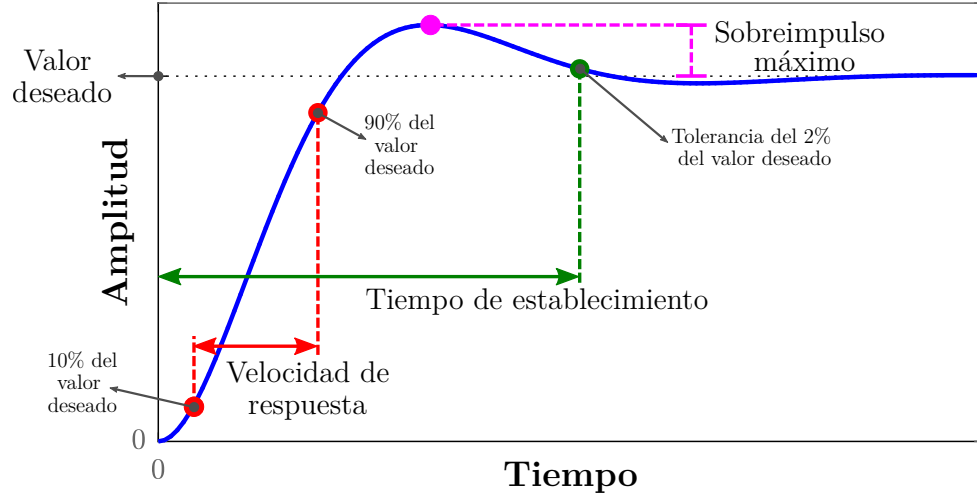


Figura 2.3: Respuesta de un sistema de control.

algunos de los cuales se numeran a continuación:

1. Tiempo de subida (rise time). Es el tiempo requerido para que la respuesta pase del 10 % al 90 % del valor final.
2. Sobre tiro: Es el valor del máximo de la respuesta del sistema medido a partir de su valor final.
3. Tiempo de establecimiento: es el tiempo que se requiere para que la curva de respuesta alcance un rango alrededor del valor final del tamaño especificado por el porcentaje absoluto del valor final (por lo general, de 2 a 5 %) y permanezca dentro de él. El tiempo de asentamiento se relaciona con la mayor constante de tiempo del sistema de control. Los objetivos del diseño del sistema en cuestión determinan cuál criterio de error en porcentaje usar.

El controlador es una función del espacio de estados del convertidor, por lo tanto, para analizar la estabilidad del sistema se pueden aplicar funciones candidatas de Lyapunov, de acuerdo con la Teoría de Lyapunov. Las variables de estado logran convergencia asintótica si $\lim_{t \rightarrow \infty} x_i = 0$, con un radio de convergencia dado, por medio de la función de control.

A fin de probar estabilidad asintótica alrededor de un punto de equilibrio $\sigma = 0$, se define una función escalar de Lyapunov (V), la cual debe satisfacer las siguientes condiciones [57,81]:

- $\dot{V} < 0$ para $\sigma \neq 0$.

$$\blacksquare \lim_{|\sigma| \rightarrow \infty} V = \infty$$

Dada una función candidata de Lyapunov de la forma

$$V = \frac{1}{2}\sigma^2 \quad (2.3)$$

Para lograr convergencia en tiempo finito (estabilidad global en tiempo finito), la primera condición puede ser modificada

$$\dot{V} \leq -\alpha V^\mu \quad (2.4)$$

para $\alpha > 0$ y $0 < \mu < 1$.

Consecuentemente, $V(t)$ alcanza cero en un tiempo finito t_r el cual está acotado por

$$t_r \leq \frac{V(x_0)^{1-\mu}}{\alpha(1-\mu)} \quad (2.5)$$

Por lo tanto, si la función de control satisface (2.4), la variable σ llegará a cero en tiempo finito y se mantendrá ahí.

2.2. Control en modos deslizantes

El término de control en modo deslizante (SMC, por sus siglas en inglés) aparece para los sistemas de estructura variable, o bien, en sistemas dinámicos con ecuaciones diferenciales con el lado derecho discontinuo. Es una herramienta eficiente para controlar sistemas complejos de orden mayor con plantas dinámicas operando bajo ciertas condiciones. Se utilizan en sistemas con control como una función de estado discontinua, llamada modo deslizante. La acción de control cambia a alta frecuencia si el modo deslizante ocurre en el sistema.

Con SMC el orden de los sistemas se reduce, así como la sensibilidad ante variación de parámetros. Sin embargo, la dinámica del modo deslizante depende de la conmutación en la superficie y no del control. La ecuación de la superficie con modo deslizante se selecciona para diseñar la dinámica deseada de este movimiento, de acuerdo con algún criterio de rendimiento. Entonces, el control discontinuo se debe encontrar de tal manera que el estado alcance la superficie y el modo deslizante exista en ésta. La planta es descrita por un modelo en espacio de estados con dimensión finita y de naturaleza no lineal y la salida de dicha planta tiene una o varias salidas las cuales representan las

variables que se desean medir, los estados constituyen una colección finita de variables las cuales permiten predecir el futuro comportamiento bajo ciertas condiciones de entrada, las cuales están a su vez se asumen solamente como valores discretos. Así, los objetivos de control adoptan varias formas; ya sea el seguimiento de trayectorias específicas, la estabilización de las salidas o los estados o bien trayectorias al rededor de un punto de equilibrio [82].

Al forzar las trayectorias de estado del sistema, independientemente de su valor inicial para satisfacer una o varias restricciones del sistema, como resultado se asume que el control obtendrá el comportamiento deseado de las salidas del sistema o de los estados del sistema. Tales restricciones, a menudo representarán una superficie lisa o un conjunto de superficies lisas independientes no redundantes en el espacio de estados del sistema con intersección no vacía. Estas funciones son denominadas funciones de coordenadas de superficie deslizante y miden la distancia al nivel cero, definiendo la superficie deslizante. En el caso donde el objetivo de control demanda que sean satisfechas varias restricciones simultáneamente, el estado del sistema hacia la superficie, representa el comportamiento deseado definido por la superficie deslizante. La estrategia de conmutación será responsable de manejar, por medio de acciones limitadas del control, el estado del sistema hacia la superficie representando el comportamiento deseado del sistema. Una vez que el estado golpea la superficie, es decir, una vez que la restricción del estado se vuelve válida en un instante de tiempo, es necesario mantener la trayectoria del estado evolucionando indefinidamente sobre la superficie [82]. Esta evolución de estados en la superficie deslizante, asume que el estado inicial está localizado en dicha superficie. Si dicha retroalimentación de control existe, se dice que el control es responsable de hacer la superficie deslizante invariante con respecto a los movimientos dentro de la superficie. Esta acción de control es llamada control equivalente. La existencia del control equivalente es esencial en la evaluación de la viabilidad de la existencia del régimen de deslizamiento en la superficie de deslizamiento dada. El principio de operación del modo deslizante se muestra en la figura 2.4

Un elemento clave en el control en modo deslizante son las perturbaciones de la planta. El modo deslizante es una técnica de control de retroalimentación discontinua muy robusta con respecto a las perturbaciones en los modelos del espacio de estados, bajo ciertas restricciones estructurales.

El modelo del convertidor reductor CD-CD dado en (2.2) puede describirse con una formulación de espacio de estados unificado en forma de sistema bilineal, de modo que pueda adaptarse para

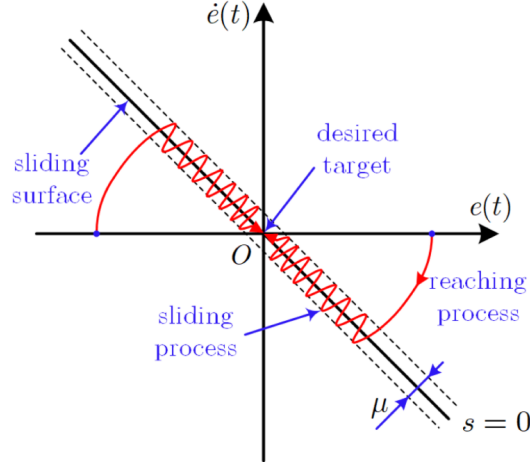


Figura 2.4: Principio de operación del control en modo deslizante.

adoptar la forma dada en (2.6).

$$\dot{x} = Ax + u(t)Bx. \quad (2.6)$$

Para circuitos controlados por interruptores, donde el valor puede asumir valores discretos, como en el caso de los convertidores es considerado ampliamente el modo deslizante. Puede aplicarse en el sistema de retransmisión de seguimiento de primer orden más simple con la variable de estado $f(x)$, $|f(x)| < f_0 = \text{constante}$ y el control como una función de retardo del error $e = r(t) - x$; donde $r(t)$ es la entrada de referencia y u está dada por:

$$u = \begin{cases} u_0 & \text{if } e > 0 \\ -u_0 & \text{if } e < 0 \end{cases} \quad (2.7)$$

o bien

$$u = u_0 \text{sign}(e) \quad (2.8)$$

Los valores de e y $\frac{de}{dx} = \dot{e} = \dot{r} - f(x) - u_0 \text{sign}(e)$ tienen diferente signo si $u_0 > f_0 + |\dot{r}|$. Esto significa que la magnitud del error decae en una proporción infinita y el error es igual a cero después de un intervalo finito de tiempo T .

Las condiciones para que el modo deslizante exista son formuladas en términos de la estabilidad del movimiento en s en término de la ecuación diferencial:

$$\dot{s} = Gf + GBu \quad (2.9)$$

El control (ecuación (2.10)) para componentes $s(x)^T = [s_1(x) \dots s_m(x)]$:

$$u = \begin{cases} u^+(x) & \text{if } s(x) > 0 \\ u^-(x) & \text{if } s(x) < 0 \end{cases} \quad (2.10)$$

puede ser representado como

$$u(x) = u_0(x) + U(x)\text{sign}(s) \quad (2.11)$$

donde:

$$u_0(x) = \frac{1}{2}(u^+(x) + u^-(x)) \quad (2.12)$$

y $U(x)$ es una matriz diagonal con elementos $U_i(x) = \frac{1}{2}(u^+(x) + u^-(x))$ para $i = 1, \dots, m$ y el control discontinuo $\text{sign}(s)$ toma la forma de un componente signo de la función

$$\text{sign}(s)^T = [\text{sign}(s_1) \dots \text{sign}(s_m)] \quad (2.13)$$

Así, la proyección del movimiento en s está dado por

$$\dot{s} = d(x) - D(x)\text{sign}(s) \quad (2.14)$$

con $d = Gf + GBu_0$ y $D = -GBu$.

Dado que el objetivo del controlador es suministrar un voltaje de salida constante v_{out} , igual al valor deseado V_d , el convertidor CD-CD Buck ha de regularse para operar en régimen estacionario. Ello se garantiza imponiendo la condición $x_2 = V_d$ y, puesto que el voltaje deseado es constante, resulta $\dot{x}_2 = 0$. Para que el modo deslizante exista sobre la variedad $s = 0$, debe cumplirse la condición de deslizamiento $s\dot{s} < 0$.

El diseño del controlador de modo deslizante puede desarrollarse al considerar un control discontinuo de la forma presentada en la ecuación (2.15) [46].

$$u(t) = \frac{1}{2}(1 - \text{sign}(s)), \quad (2.15)$$

donde s representa la función escalar de conmutación definida en la teoría de modo deslizante y la función signo de un número real w se define a trozos según (2.16).

$$\text{sign}(w) = \begin{cases} -1, & w < 0 \\ 0, & w = 0 \\ 1, & w > 0 \end{cases} \quad (2.16)$$

El control en modo deslizante es una técnica ampliamente usada en la literatura para convertidores de potencia DC-DC, de acuerdo con la tabla 2.1. Ha sido utilizado para la topología Buck en diferentes de valores del voltaje de entrada E y de voltaje deseado Vd , permitiendo un amplio rango de aplicaciones y diferentes tipos de implementaciones, donde destacan las implementaciones en sistemas embebidos.

Tabla 2.1: SMC.

Topología	Superficie	E/V_d	α	Implementación	Ref.
Buck	$S_V = c_1 D^{-\alpha} \{V_r - V_o\} + c_2 \int (\dot{V}_r - \dot{V}_o)$ $S_I = c_3 D^{-\alpha} \{I_{L-ref} - I_L\} + c_4 \int (\dot{I}_{L-ref} - \dot{I}_L)$	18/5	0.2	Arduino	[19]
	$s = x_1 + cx_2$ $s_1 = c_3 D^{\vartheta-1} [sgn^{\chi}(x_1)] + c_4 x_2$	30/20-10	1 0.5	dSPACE	[18]
	$s_1 = z_2 + K_s \xi(z_1) + l_s \xi(z_1) + \hat{d}_1$	30/20-15	1	dSPACE	[49]
	$s = D^{\alpha} e_1 + \frac{1}{\rho} sgn(e_2)^{\lambda}$	75/0-50	0.5	dSPACE	[83]
Boost	$s = e_1 ^{\gamma} sgn(e_1) + e_2 ^{\gamma} sgn(e_2) + c_1 e_1 + c_2 e_2$ $s = D^{\alpha} [e_1 ^{\gamma} sgn(e_1)] + D^{\alpha} [e_2 ^{\gamma} sgn(e_2)] + c_1 e_1 + c_2 e_2$	50/200	1 0.8	Matlab	[48]
Buck/boost	$S_J = k_{1J} D^{-\alpha} e_{1J} + k_{2J} D^{\alpha} e_{1J} ^{\gamma} sgn(e_{1J}) + k_{3J} D^{-\alpha} e_{2J} + k_{4J} D^{\alpha} e_{2J} ^{\gamma} sgn(e_{2J})$	261/440-220	0.25	Simulink	[52]
	$s = i_L - i_{Lref}$ $s(e) = D^{\alpha} e_1 + k e_2$	25/37.5	0.8	Simulink	[58]
Cúk	$\psi = \alpha_1 x_1 + \alpha_2 x_2 + \alpha_3 x_3 + \alpha_4 x_4$	24/36	1	Matlab	[50]

De la Tabla 2.1, además de las implementaciones, se observa que el control en modo deslizante presenta derivadas y/o integrales las cuales pueden ser de órdenes enteros o fraccionarios, permitiendo así un modelo más adecuado del control para la planta.

En el Capítulo 3 se describirá ésta técnica aplicada al convertidor Buck.

2.3. Control PID y PID de orden fraccionario

Como fue descrito en el Capítulo anterior, una de las técnicas de control mayormente utilizadas en los convertidores de potencia, particularmente para el convertidor Buck, es el control proporcional, integral, derivativo (PID).

El diseño de un controlador PID es muy popular debido a su simplicidad, costo accesible y eficiencia adecuada para convertidores de potencia [57]. Básicamente, el controlador PID se define como la combinación lineal del error de seguimiento, la derivada del error y la integral del error en el espacio de variables de estado. El controlador PID actúa sobre el error entre el punto de consigna o valor deseado V_d y el valor actual de la variable de estado $x_2 = v_{out}$, dicha diferencia se toma como salida y no requiere mediciones de estado internas. El controlador PID ejecuta tres acciones y, por lo tanto, consta de tres coeficientes de ganancia: proporcional K_p , integral K_i y derivativo K_d . Algunas ideas que se pueden encontrar en trabajos relacionados se pueden resumir de la siguiente manera: el controlador proporcional reduce el error de seguimiento, el controlador integral amortigua las oscilaciones y el controlador derivativo mejora la respuesta transitoria. Para verificar esto, se debe variar cada ganancia constante hasta mejorar el rendimiento deseado. El modelo matemático del PID se presenta en la ecuación (2.17).

$$u(t) = K_p e(t) + K_i \int e(t) + K_d \dot{e}(t), \quad (2.17)$$

donde $e(t)$ es el error que se está controlando y para el convertidor Buck se define como de acuerdo con (2.18).

$$e(t) = V_d - v_{out} = V_d - x_2. \quad (2.18)$$

El convertidor Buck se puede representar en forma matricial, de la forma: $\dot{x} = Ax + Bu$, e $y = Cx$, como se muestra en las ecuaciones (2.19) y (2.20), respectivamente.

$$\begin{bmatrix} \dot{x}_1 \\ \dot{x}_2 \end{bmatrix} = \begin{bmatrix} 0 & -\frac{1}{L} \\ -\frac{1}{C} & \frac{1}{RC} \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \end{bmatrix} + \begin{bmatrix} \frac{E}{L} \\ 0 \end{bmatrix} u(t), \quad (2.19)$$

$$y = \begin{bmatrix} 0 & 1 \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \end{bmatrix}. \quad (2.20)$$

Las ecuaciones (2.19) y (2.20) pueden resolverse mediante métodos numéricos que permiten aproximar la solución. En el mismo sentido, la derivada y la integral del controlador pueden ser resueltas utilizando métodos numéricos, con la condición de usar el mismo tamaño de paso entre ellas y con respecto al convertidor.

La aproximación numérica de la acción derivativa se realiza mediante la aplicación del cociente de diferencias, cuyo método se da en la ecuación (2.21),

$$\frac{f(x+h) - f(x)}{h}, \quad (2.21)$$

donde h es el tamaño de paso.

Por otra parte, para la acción integral del controlador existen diferentes métodos numéricos implícitos y explícitos, mono-paso y multi-paso, los cuales pueden aproximar la solución.

2.3.1. PID en el dominio del tiempo

Con el fin de resolver una ecuación diferencial del tipo: $\dot{x} = f(x, y)$, con condiciones iniciales $y(x_0)$, se utilizan métodos numéricos para aproximar los puntos de la curva real de solución. Lo anterior se puede lograr aproximando soluciones de problemas de valores iniciales de orden superior, reduciendo la ecuación diferencial a un sistema de ecuaciones de primer orden. Estos métodos son mayormente utilizados debido a la ventaja que presentan en cuanto a exactitud en los resultados y a la información real del error que presentan.

Existen diferentes métodos numéricos que permiten resolver sistemas de ecuaciones diferenciales, entre ellos se encuentran los siguientes [84], [85]: método de Euler, basado en Series de Taylor, y los de múltiples pasos conocidos como los de la familia Adams-Bashforth.

Cuando las derivadas son de orden fraccionario, existen métodos numéricos que permiten discretizar la derivada e integral fraccionaria directamente. Transformando un problema con valor inicial en integrales y derivadas de orden arbitrario y aplicando el correspondiente método numérico es posible resolver diversos sistemas de ecuaciones. Algunos de los métodos para solucionar ecuaciones fraccionarias, de acuerdo con [86] son:

- L1 Method
- Product Trapezoidal Method
- Grünwald-Letnikov Formula
- Fractional forward Euler Method
- Fractional backward Euler Method

- Fractional weighted difference Method

2.3.2. PID en el dominio de la frecuencia

En el dominio de la frecuencia, el convertidor Buck y el controlador pueden representarse empleando las ecuaciones de espacio de estados que representan el modelo completo del sistema. Para ello, se obtiene la función de transferencia del controlador y la planta (convertidor), y posteriormente la función de transferencia de lazo cerrado del sistema.

El convertidor Buck se representa con la forma $\dot{x} = Ax + Bu$ e $y = Cx$, como se muestra en (2.22) y (2.23), respectivamente.

$$\begin{bmatrix} 0 & -\frac{1}{L} \\ -\frac{1}{C} & \frac{1}{RC} \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \end{bmatrix} + \begin{bmatrix} \frac{E}{L} \\ 0 \end{bmatrix} u \quad (2.22)$$

$$\begin{bmatrix} 0 & 1 \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \end{bmatrix} \quad (2.23)$$

A partir del modelo de espacio de estados del convertidor Buck $Gp(s)$, la función de transferencia se obtiene de acuerdo con (2.24)

$$Gp(s) = C[SI - A]^{-1}B \quad (2.24)$$

Por tanto, (2.25) describe la función de transferencia del sistema linealizado.

$$Gp(s) = \frac{E/LC}{s^2 + \frac{1}{RC}s + \frac{1}{LC}} \quad (2.25)$$

Por otro lado, la función de transferencia del controlador $K(s)$ es

$$K(s) = Kp + \frac{Ki}{s} + Kd \cdot s \quad (2.26)$$

Así, la función de transferencia en lazo cerrado está dada por la ecuación (2.27)

$$\frac{Y(s)}{R(s)} = \frac{K(s)G(s)}{1 + K(s)G(s)} = \frac{(\frac{E}{LC})(Kd \cdot s^2 + Kp \cdot s + Ki)}{s^3 + (\frac{1}{RC} + \frac{E}{LC}Kd)s^2 + (\frac{1}{LC} + \frac{E}{LC}Kp)s + \frac{E}{LC}Ki} \quad (2.27)$$

Algunas herramientas como Simulink de Matlab utilizan aproximaciones en la frecuencia utilizando bloques preestablecidos, tal como se muestra a continuación. La Figura 2.5 muestra el bloque

que contiene las ecuaciones del convertidor Buck, la salida de voltaje x_2 se compara con un valor de referencia y se obtiene el error que será procesado en el bloque del PID. Por último, la salida del bloque pasa a un comparador para obtener la señal del interruptor.

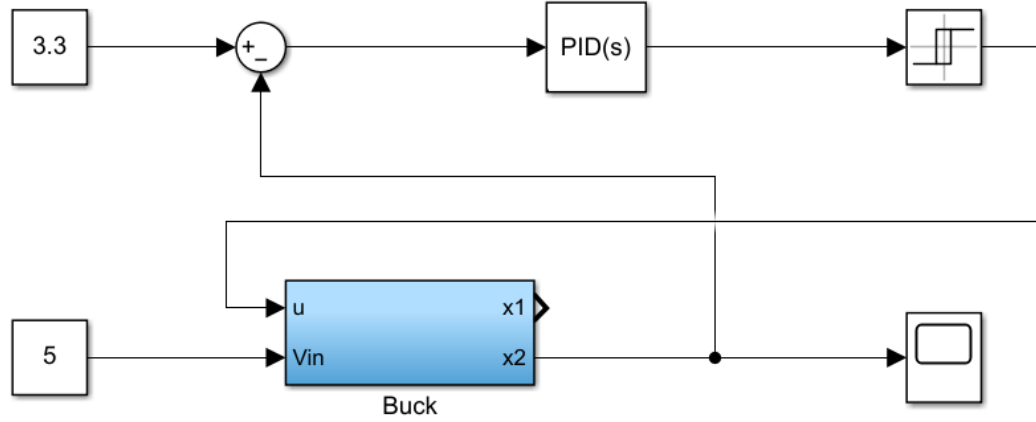


Figura 2.5: Convertidor Buck con control utilizando el bloque PID

Se utilizan para las constantes $K_p = 10$, $K_i = 40$ y $K_d = 0.5$, de acuerdo con [18]. La respuesta del convertidor con este controlador se muestra en la Figura 2.6

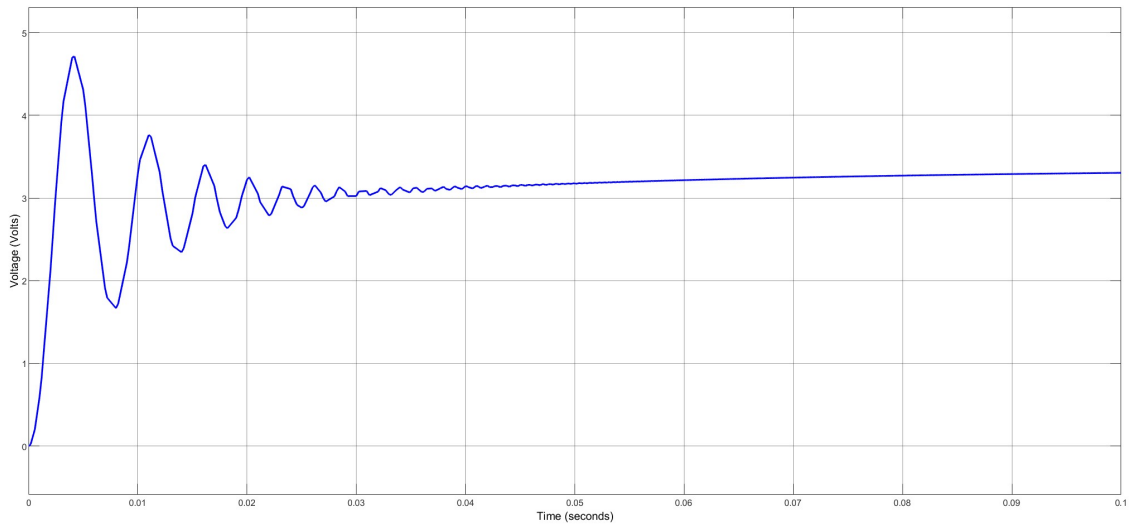


Figura 2.6: Respuesta del algoritmo de control utilizando el bloque PID

De igual forma, es posible aproximar ese bloque PID con bloques derivador e integrador y mul-

tiplicarlos por las respectivas ganancias. Se realiza el mismo análisis, bajo los mismos valores para las constantes

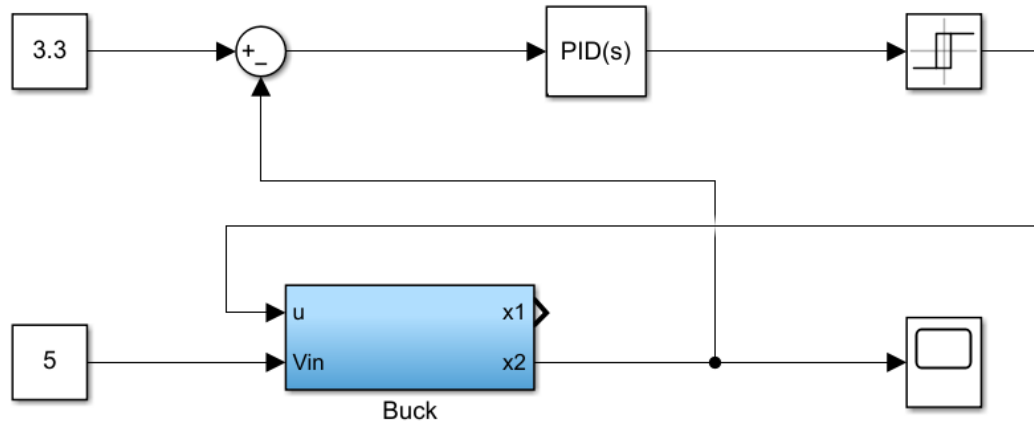


Figura 2.7: Convertidor Buck con control PID a bloques

Como se observa en la Figura 2.8, la respuesta es casi idéntica que utilizando el bloque PID. Los bloques que multiplican las ganancias utilizan la transformada de Laplace para aproximar la derivada y la integral, respectivamente; para el caso específico de la derivada se utiliza un filtro que limite el número de aproximaciones a 100.

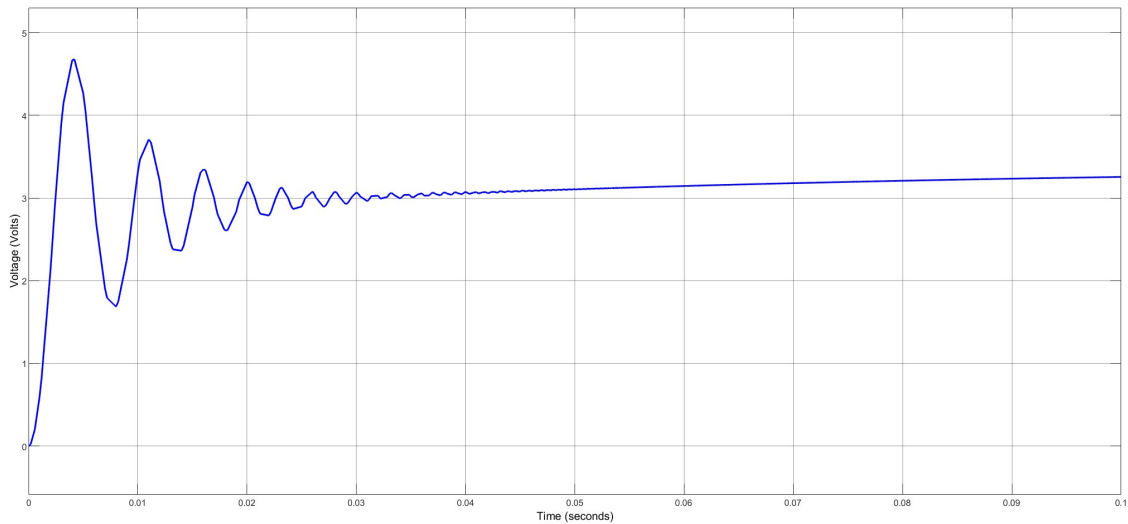


Figura 2.8: Respuesta del algoritmo de PID a bloques

Partiendo de la Figura 2.7, se diseñan los bloques derivador e integrador en el tiempo.

2.4. FOPID

El controlador PID de orden fraccionario de la forma $PI^\lambda D^\mu$ se puede modelar reescribiendo (2.17), ya que ahora se introducen dos parámetros adicionales en la ley de control: los operadores fraccionario, integral y derivativo (λ y μ , respectivamente). De esta manera, un FOPID tiene cinco parámetros de controlador que, con un ajuste adecuado, pueden mejorar la flexibilidad del diseño del controlador, junto con su capacidad para compensar eficazmente incertidumbres paramétricas más complejas [56]. Sin embargo, el nuevo desafío en el ajuste de los controladores FOPID se puede considerar compensado por el aumento de los grados de libertad. Por lo tanto, el modelo nominal de espacio de estados para la ley de control FOPID ($PI^\lambda D^\mu$) ahora viene dado por (2.28),

$$u(t) = K_p e(t) + K_i D^{-\lambda} e(t) + K_d D^\mu e(t), \quad (2.28)$$

donde en este caso, la integración y las derivadas se generalizan mediante cálculo fraccionario a operadores fundamentales de orden no entero de la forma ${}_a D_t^\alpha$, definidas de acuerdo con la ecuación (2.29),

$${}_a D_t^\alpha = \begin{cases} \frac{d^\alpha}{dt^\alpha}, & R(\alpha) > 0, \\ 1 & R(\alpha) = 0, \\ \int_a^t (d\tau)^{-\alpha} & R(\alpha) < 0, \end{cases} \quad (2.29)$$

donde a y t representan los límites de operación, α representa el orden fraccionario (menos para la integración y más para la derivación) y R es la parte real de α .

Dada la naturaleza del convertidor, la salida $u(t)$ del controlador FOPID controlará el interruptor con valores lógicos de salida 1 o 0, de modo que la salida viene dada por el signo del controlador FOPID. La figura 2.11 muestra la descripción del bloque del controlador modelado por (2.28), donde la señal de error $e(t)$ es procesada por las ganancias y la derivada e integral de orden fraccionario del FOPID, cuya salida es procesada por un comparador para generar la señal discreta $u(t)$.

Sin embargo, la simulación de un controlador FOPID requiere un método numérico que se aproxima a la solución de un problema de valor inicial de la forma expresada en la ecuación.

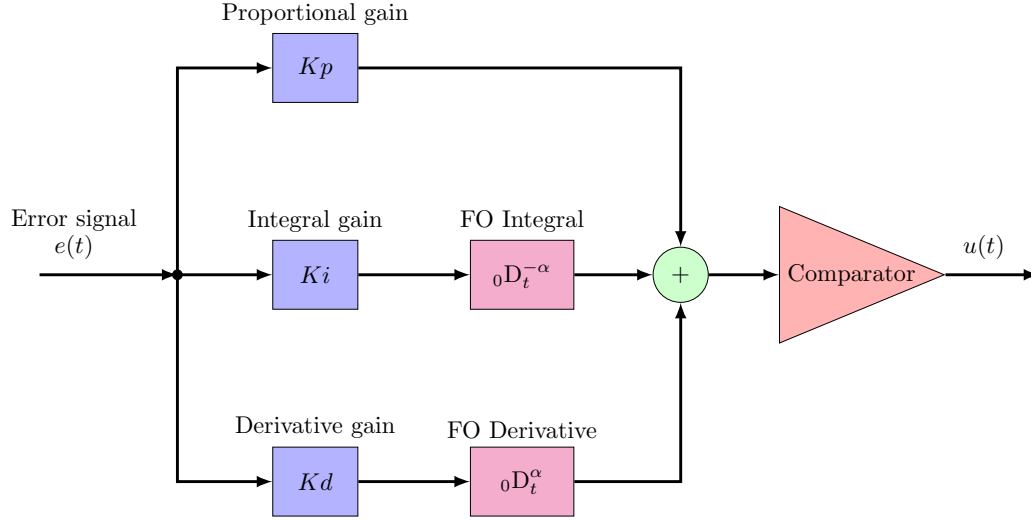


Figura 2.9: Descripción de bloques de la implementación de la ecuación (2.28), donde $u(t)$ es tomada de la salida del comparador.

(2.30),

$$\begin{cases} {}^C D_{0,t}^\alpha u(t) = f(t, u(t)), & m-1 < \alpha < m, \\ u^{(j)}(0) = u_0^j, & j = 0, 1, \dots, m-1, \end{cases} \quad (2.30)$$

Al igual que en el controlador de orden entero, se utilizan métodos numéricos de orden fraccionario para aproximar las soluciones de la derivada e integral fraccionaria de un problema de valor inicial de la forma de la ecuación (2.30).

2.5. Métodos numéricos

El modelo matemático del convertidor Buck, el cual se representa por dos ecuaciones diferenciales ordinarias acopladas dadas en la ecuación (2.2), permite visualizar el problema como un problema de valor inicial $\dot{x} = f(x, t) + u(t)$, que requiere condiciones iniciales para obtener una solución. En este sentido, el convertidor es modelado mediante la aplicación de métodos numéricos para realizar la simulación temporal de las ecuaciones diferenciales ordinarias, lo cual introduce retos en el diseño de un controlador robusto. Con base en la literatura revisada [2, 18, 19], se concluye que las estrategias más populares para su control son el PID y el control en modo deslizante (SMC), ambos en versiones de orden entero y fraccionario. El uso de controladores fraccionarios permite reducir el sobretiro y

el tiempo de establecimiento de forma más efectiva, aprovechando la capacidad de ajuste adicional que proporcionan los exponentes fraccionarios. La simulación en el dominio de la frecuencia siempre genera error, mientras que los métodos en el dominio del tiempo reflejan mejor el comportamiento real. Por tanto, el análisis de dichas metodologías y la implementación de métodos numéricos para aproximar el orden fraccionario constituyen una línea de investigación relevante a fin de mejorar las características de salida del convertidor CD-CD Buck: tiempo de establecimiento, sobretiro y tiempo de respuesta.

2.5.1. Solución de ecuaciones diferenciales de orden entero

Los métodos de integración numérica se utilizan para resolver problemas de valor inicial. Algunos de los más usados se describen a continuación:

Método de Euler

El método de Euler es la técnica de aproximación más elemental para resolver problemas de valores iniciales. La simplicidad de su derivación puede utilizarse para ilustrar las técnicas de construcción de algunos de los métodos más avanzados. Una vez obtenida la solución aproximada en los puntos, se puede hallar la solución aproximada en otros puntos del intervalo mediante interpolación. El método se muestra en la ecuación (2.31)

$$y_{n+1} = y_n + hf(x, y) \quad (2.31)$$

donde h es el tamaño de paso.

Método de Taylor

Los problemas de valor inicial pueden ser resueltos utilizando expansiones de las series de Taylor y aproximación polinomial; los algoritmos basados en las series de Taylor son llamados Runge-Kutta, mientras que los algoritmos basados en aproximación polinomial son llamados métodos de integración numérica.

Sea $x = \hat{x}(t)$ la solución exacta de $\dot{x} = f(x, t)$ con $x(t_0) = x_0$. Entonces $x = \hat{x}(t)$ puede ser expandido como:

$$\hat{x}(t_{n+1}) = \hat{x}(t_n) + \frac{\hat{x}^{(1)}(t_n)}{1!}(t_{n+1}-t_n) + \frac{\hat{x}^{(2)}(t_n)}{2!}(t_{n+1}-t_n)^2 + \dots + \frac{\hat{x}^{(p)}(t_n)}{p!}(t_{n+1}-t_n)^p + HOT \quad (2.32)$$

Donde HOT son los términos de alto orden y $\hat{x}^{(i)}(t_n)$ denota la derivada de $\hat{x}$ en $t = t_n$.

Por otra parte, la solución exacta a un problema de valor inicial $\dot{x} = f(x, t)$ con $x(t_0) = x_0$, puede ser descrita por algoritmos predictivo-correctivos:

$$\hat{x}(t) = a_0 + a_1 t + a_2 t^2 + \dots + a_k t^k \quad (2.33)$$

Por lo tanto

$$x_{n+1} = \sum_{i=0}^p a_i x_{n-i} + h \sum_{i=-1}^p b_i f(x_{n-i}, t_{n-i}) \quad (2.34)$$

Adams-Bashforth

Los métodos de Euler, Heun, Taylor y Runge-Kutta se conocen como métodos de un paso, porque en el cálculo de cada punto sólo se usa la información del punto anterior. Los métodos multipaso utilizan la información de dos ó más puntos previos. El principio que subyace en un método multipaso es utilizar los valores previos para construir un polinomio interpolante que aproxime a la función. Se utilizan comúnmente tres familias de métodos lineales de varios pasos: los métodos de Adams-Bashforth, los métodos de Adams-Moulton y las fórmula de diferenciación hacia atrás.

Los métodos de Adams son métodos multipasos. Los métodos de Adams se pueden clasificar en dos grandes clases: los métodos de Adams-Bashforth y los métodos de Adams-Moulton. Estos se pueden combinar para formar los métodos predictor-corrector de Adams-Bashforth-Moulton.

- **Algoritmo predictivo Adams Bashforth:** $p = k - 1, a = a_2 = \dots = a_{k-1} = b_{-1} = 0$

$$x_{n+1} = x_n + h f(x_n) \quad (2.35)$$

- **Algoritmo correctivo Adams Moulton:** $p = k - 2, a = a_2 = \dots = a_{k-1} = 0$

$$x_{n+1} = x_n + h f(x_{n+1}) \quad (2.36)$$

- **Algoritmo predictivo Adams Bashforth Moulton de orden 1, 2 y 3, respectivamente:**

PREDICTIVO

$$\begin{aligned}
 x_{n+1} &= x_n + hf(x_n, t_n) \\
 x_{n+1} &= x_n + h \left\{ \frac{3}{2}f(x_n, t_n) - \frac{1}{2}f(x_{n-1}, t_{n-1}) \right\} \\
 x_{n+1} &= x_n + h \left\{ \frac{23}{12}f(x_n, t_n) - \frac{16}{12}f(x_{n-1}, t_{n-1}) + \frac{5}{12}f(x_{n-2}, t_{n-2}) \right\}
 \end{aligned} \tag{2.37}$$

CORRECTIVO

$$\begin{aligned}
 x_{n+1} &= x_n + hf(x_{n+1}, t_{n+1}) \\
 x_{n+1} &= x_n + h \left\{ \frac{1}{2}f(x_{n+1}, t_{n+1}) + \frac{1}{2}f(x_n, t_n) \right\} \\
 x_{n+1} &= x_n + h \left\{ \frac{5}{12}f(x_{n+1}, t_{n+1}) + \frac{8}{12}f(x_n, t_n) - \frac{1}{12}f(x_{n-1}, t_{n-1}) \right\}
 \end{aligned} \tag{2.38}$$

La figura 2.10 muestra la respuesta de salida del convertidor Buck para un voltaje deseado de 3.3V utilizando métodos predictivos: forward Euler, Adams-Basforth de segundo y de tercer orden, respectivamente.

2.5.2. FOPID en el dominio del tiempo

Dado un problema de valor inicial de la forma expresada en (2.30), su solución puede aproximarse aplicando métodos para sistemas de orden fraccionario.

Grünwald-Letnikov

El método más utilizado es conocido como método de Grünwald-Letnikov [86, 87]. Este método numérico fraccionario se basa en la definición de Caputo y, dado que el objetivo es la implementación discreta, se requiere aproximar la derivada y la integral de la ecuación PID fraccionaria (2.28) mediante operaciones que puedan implementarse directamente. En este método, Grünwald y Letnikov introdujeron una definición de derivada fraccionaria a partir de la definición de derivada entera, que se describe mediante:

$$\frac{d^n}{dt^n} \equiv f^{(n)}(t) = \lim_{h \rightarrow 0} \frac{1}{h^n} \sum_{j=0}^n \binom{n}{j} f(t - jh), \tag{2.39}$$

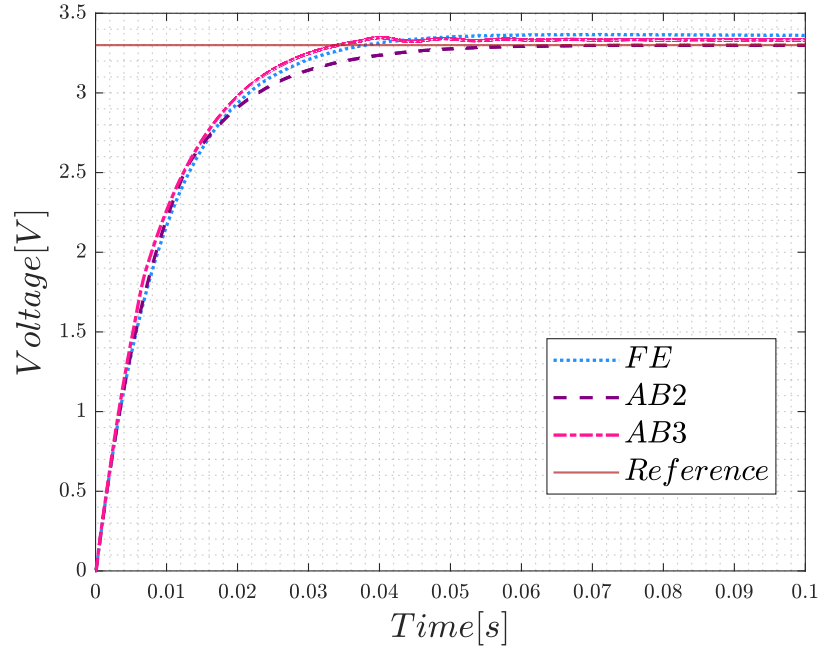


Figura 2.10: Respuesta del Buck con métodos numéricos predictivos.

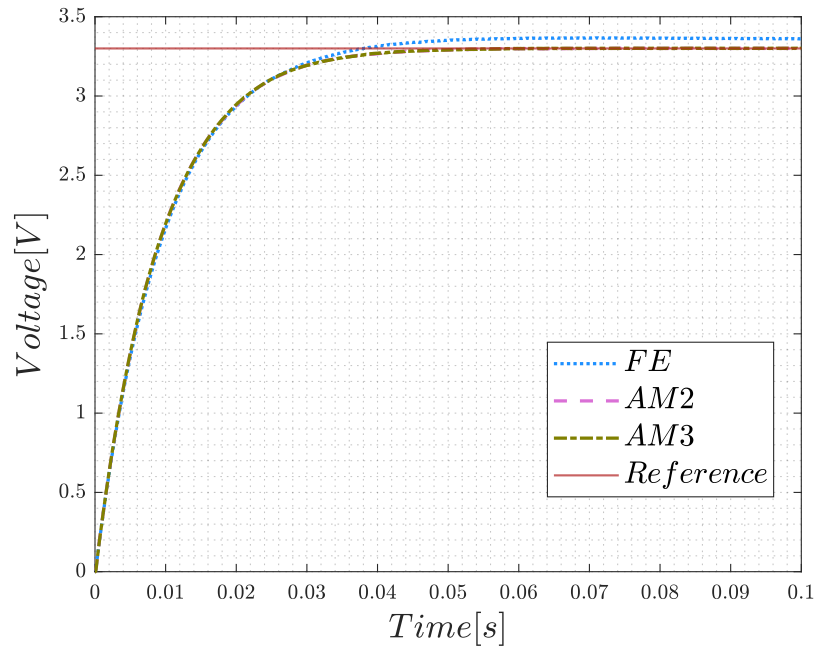


Figura 2.11: Respuesta del Buck con métodos numéricos correctivos.

donde la expresión en la suma está dada por la ecuación (2.40),

$$\binom{n}{j} = \frac{n(n-1)(n-2)\dots(n-j+1)}{j!} = \frac{n!}{j!(n-j)!}, \quad (2.40)$$

además,

$$\binom{-n}{j} = \frac{-n(-n-1)(-n-2)\dots(-n-j+1)}{j!}. \quad (2.41)$$

Si se realiza un cambio de variable en (2.39), de la forma: $n = \frac{t-a}{h}$, entonces la ecuación actualizada pasa a ser de la forma dada en la ecuación (2.42),

$${}_a D_t^\alpha f(t) = \lim_{h \rightarrow 0} \frac{1}{h^\alpha} \sum_{j=0}^{\frac{t-a}{h}} (-1)^j \binom{a}{j} f(t-jh), \quad (2.42)$$

que puede usarse para aproximar un problema de la forma dada en (2.30). En este caso, considerando una EDO clásica, al aplicar $D_{0,t}^{-\alpha}$ a ambos lados de (2.30), se obtiene la siguiente integral de Volterra (2.43):

$$u(t) = \sum_{j=0}^{m-1} \frac{t^j}{j!} u_0^{(j)} + \frac{1}{\Gamma(\alpha)} \int_0^t (t-s)^{\alpha-1} f(s, u(s)) ds = \sum_{j=0}^{m-1} \frac{t^j}{j!} u_0^{(j)} + D_{0,t}^{-\alpha} f(t, u(t)), \quad (2.43)$$

como resultado, se puede aproximar $D_{0,t}^{-\alpha}$ para resolver (2.30).

Fractional forward Euler Method

La integral fraccionaria descrita por (2.44)

$$[{}_0 D_t^{-\alpha} f(t, u(t))]_{t=n+1} \quad (2.44)$$

es aproximada de acuerdo con la ecuación (2.45)

$$u_{n+1} = \sum_{j=0}^{m-1} \frac{t_{n+1}^j}{j!} u_0^{(j)} + \Delta t^\alpha \sum_{j=0}^n b_{j,n+1} f(t_j, u_j) \quad (2.45)$$

donde

$$b_{j,n+1} = \frac{1}{\Gamma(\alpha+1)} [(n-j+1)^\alpha - (n-j)^\alpha] \quad (2.46)$$

Fractional backward Euler Method

La integral fraccionaria descrita por (2.44), es aproximada de acuerdo con la ecuación (2.47)

$$u_{n+1} = \sum_{j=0}^{m-1} \frac{t_{n+1}^j}{j!} y_0^{(j)} + \Delta t^\alpha \sum_{j=0}^n b_{j,n+1} f(t_{j+1}, u_{j+1}) \quad (2.47)$$

donde $b_{j,n+1}$ es definida por (2.46).

Fractional weighted difference Method

La integral fraccionaria descrita por (2.44), es aproximada de acuerdo con la ecuación (2.48)

$$u_{n+1} = \sum_{j=0}^{m-1} \frac{t_{n+1}^j}{j!} u_0^{(j)} + \Delta t^\alpha \sum_{j=0}^n b_{j,n+1} [\theta f(t_j, u_j) + (1 - \theta) f(t_{j+1}, u_{j+1})] \quad (2.48)$$

donde $b_{j,n+1}$ es definida por (2.46).

Si se considera $\alpha = 1$ y $\theta = 1/2$, los métodos anteriormente mencionados se reducen a la forma clásica del método de forward Euler, backward Euler y la fórmula trapezoidal, respectivamente.

2.5.3. Entonado de ganancias y órdenes fraccionarios

Los controladores de orden fraccionario han demostrado un rendimiento superior en sistemas electrónicos de potencia en los últimos años [20, 28, 42, 51, 56, 88]. El uso de derivadas e integrales no enteras da como resultado diferentes tipos de controladores, como el integrador FO, el diferenciador FO, FOPI, FOPID, etc. [28].

Se recomienda la definición de Caputo para permitir el uso del orden entero basado en condiciones iniciales. Por lo tanto, permite obtener funciones de transferencia de orden fraccionario para representar sistemas dinámicos [51].

Numerosos resultados publicados en la literatura demuestran la eficacia del cálculo fraccionario en la teoría de control e indican que los controladores de orden fraccionario mejoran el rendimiento en estado estacionario y han demostrado robustez frente a variaciones de parámetros, lo que se traduce en estrategias o controladores más precisos y flexibles.

Las estrategias de control se han rediseñado desde la perspectiva del cálculo fraccionario para mejorar la precisión del modelado y la respuesta dinámica. Las principales razones para utilizar el cálculo fraccional se describen a continuación, según [88].

1. Las derivadas de orden inferior implican niveles más bajos de ruido.
2. Robustez.
3. Mejor descripción de los sistemas.
4. Se ajusta mejor a la frecuencia de los sistemas.
5. Flexibilidad para aproximar sistemas con gran dimensión.
6. Buena descripción de los efectos de la memoria a largo plazo.

Uno de los principales retos en el uso de controladores PID de orden fraccionario es la sintonización de sus parámetros, en este sentido los métodos numéricos utilizan diferentes técnicas de optimización para sus parámetros, tales como: error integral cuadrático, error en el valor absoluto de la integral, o especificaciones como sobretiro, tiempo de establecimiento, etc.

La Figura 2.12 muestra la respuesta del control, utilizando diferentes valores de las constantes de ganancia y variando el valor de la integral fraccionaria α .

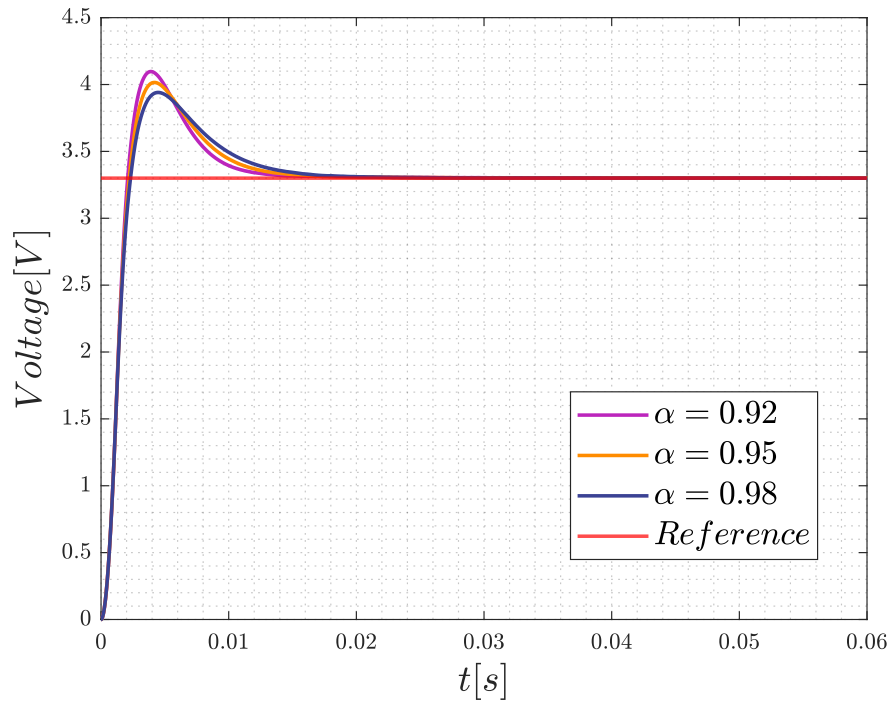


Figura 2.12: Respuesta del controlador fraccionario, variando una de las constantes del control.

Por otra parte, al igual que en el caso de las ganancias, la correcta sintonización de los órdenes fraccionarios del controlador representan un impacto significativa en la salida, reduciendo o aumentando el error, el tiempo de establecimiento y/o el sobre tiro, como se muestra en la Figura 2.13

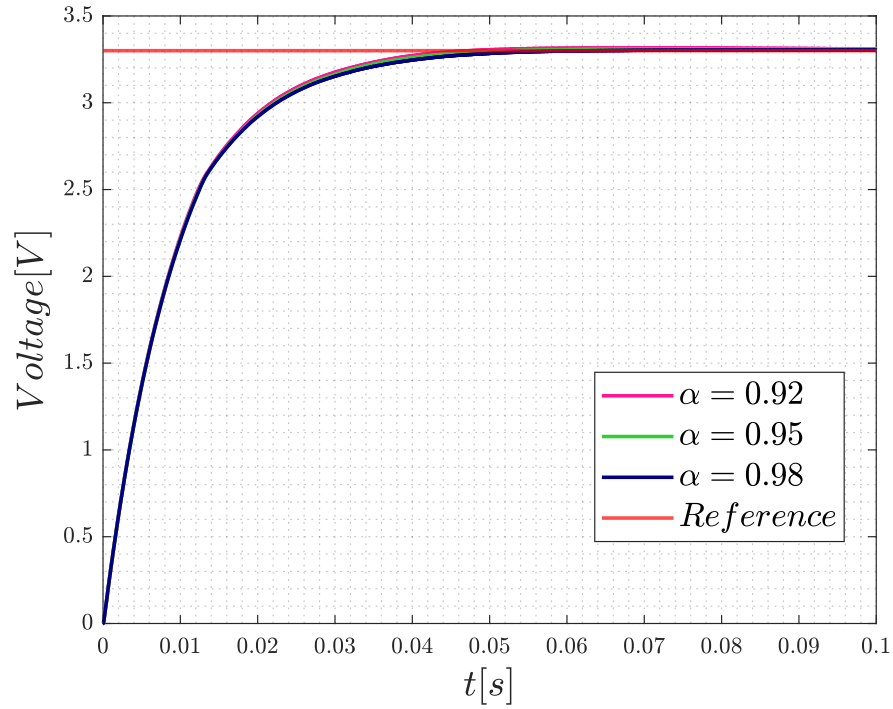


Figura 2.13: Respuesta del controlador fraccionario, con diferentes valores para la integral.

En la literatura, se han utilizado diversas herramientas para aproximar el orden fraccionario y entonar las ganancias de los controladores. Por ejemplo, se han aplicado técnicas de prueba y error, en herramientas como Simulink se tienen bloques preestablecidos que entonan las ganancias y los órdenes fraccionarios, así como aproximaciones en el dominio de la frecuencia o métodos que permiten variar el orden fraccionario en intervalos pequeños, como en las referencias [89, 90].

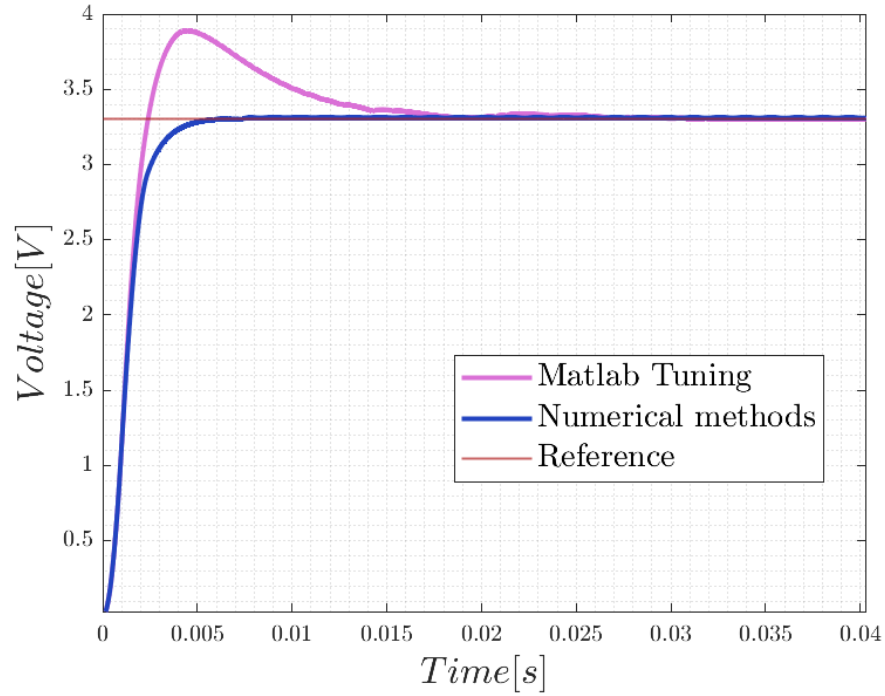


Figura 2.14: Comparación de la respuesta de voltaje usando Matlab/Simulink vs. métodos numéricos.

En la Figura 2.14, se observa que la respuesta de salida del convertidor Buck, controlado con un PID fraccionario en el cual sus ganancias son sintonizadas por una herramienta de software en el dominio de la frecuencia y utilizando métodos en el tiempo. Se presenta un sobretiro para el primer caso y un tiempo de establecimiento mayor en comparación con la curva sobreamortiguada que se obtiene para el segundo caso, donde el tiempo de establecimiento también se torna menor.

Control en Modo Deslizante

El convertidor reductor CD-CD se clasifica como un sistema de estructura variable con no linealidades inherentes, lo que puede causar oscilaciones durante su funcionamiento. En aplicaciones reales, el interruptor del convertidor se puede implementar con un dispositivo activo como un transistor, y debe controlarse mediante una técnica apropiada. Para solucionar este problema, se han estudiado y analizado diferentes técnicas de control que minimizan las oscilaciones y mantienen el voltaje de salida a pesar de las perturbaciones causadas por cambios en los parámetros del sistema. El controlador intenta garantizar que se alcance el voltaje de salida deseada V_d reduciendo a cero el error de voltaje de salida $e(t) = V_d - x_2$.

3.1. Control en modo deslizante

Como fue mencionado anteriormente, el SMC es una técnica de control no lineal ampliamente utilizada para convertidores de potencia, debido a su robustez ante variaciones en los parámetros del convertidor. En este sentido, se analizan dos superficies deslizantes encontradas en la literatura (Caso A y Caso B) y se propone una tercera superficie deslizante, la cual tiene como objetivo un voltaje deseado de salida de 3.3 V, con un menor tiempo de establecimiento, menor sobreimpulso y mayor tiempo de respuesta.

3.1.1. Caso A

Consideremos las EDO que describen el convertidor reductor CD-CD, dadas en la ecuación (2.1). Se realiza un cambio de variable [1], donde la nueva variable se asocia al voltaje de salida o V_C menos

el voltaje de salida regulado deseado, expresada por V_d . En este caso, la nueva variable se da de acuerdo con la ecuación (3.1), que describe el error de voltaje controlado por un bloque SMC. La derivada de y_1 lleva a relación de la ecuación (3.2), donde se puede apreciar que se ha eliminado el valor constante de V_d , y posteriormente, la derivada de y_2 produce la ecuación (3.3).

$$y_1 = V_C - V_d \quad (3.1)$$

$$\dot{y}_1 = \dot{V}_c = \frac{i_L}{C} - \frac{V_C}{RC} = y_2 \quad (3.2)$$

$$\begin{aligned} \dot{y}_2 &= \frac{1}{C} \left[-\frac{V_C}{L} + \frac{uE}{L} \right] - \frac{1}{RC} \left[\frac{i_L}{C} - \frac{V_C}{RC} \right] \\ &= \frac{1}{LC} [uE - y_1 - V_d] - \frac{y_2}{RC} \end{aligned} \quad (3.3)$$

De acuerdo con la referencia [1], el cambio de variables se describe ahora mediante la ecuación (3.4) y puede usarse para definir una superficie deslizante s , tal como se denota en la ecuación (3.5). En la superficie deslizante, α es una constante positiva y $0 < \beta < 1$. Ahora, la derivada de s se da de acuerdo con la ecuación (3.6).

$$\dot{y}_1 = y_2 \quad (3.4)$$

$$\dot{y}_2 = \frac{1}{LC} [uE - y_1 - V_d] - \frac{y_2}{RC}$$

$$s = \alpha y_1^\beta + y_2 \quad (3.5)$$

$$\dot{s} = \alpha \beta y_1^{\beta-1} \dot{y}_1 + \dot{y}_2 \quad (3.6)$$

La función de control u se puede dividir en dos partes: la primera es una función equivalente y continua que genera una superficie invariante u_{eq} , y la segunda incluye el sistema conmutado u_s , de modo que puede expresarse mediante la relación dada en (3.7), y cada término se describe de acuerdo con (3.7)

$$u = u_{eq} + u_s \quad (3.7)$$

donde:

- u_{eq} : La función de control equivalente se obtiene a partir de (3.6) y, según la teoría de modos deslizantes [91], se puede igualar a cero para obtener (3.8). Al reemplazar las variables de estado, se obtiene (3.9), y posteriormente la expresión para u se da en la ecuación (3.10).

$$\dot{s} = \alpha\beta y_1^{\beta-1} \dot{y}_1 + \dot{y}_2 = 0 \quad (3.8)$$

$$\alpha\beta y_1^{\beta-1} y_2 + \frac{1}{LC} [uE - y_1 - V_d] - \frac{y_2}{RC} = 0 \quad (3.9)$$

$$u = \left[\frac{y_2}{RC} - \alpha\beta y_1^{\beta-1} y_2 \right] \frac{LC}{E} + \frac{V_d + y_1}{E} = u_{eq} \quad (3.10)$$

- u_s : En esta Tesis, u_s se expresa en (3.11), donde K es una ganancia de control y puede tomar valores que garanticen condiciones de estabilidad. En las siguientes secciones, se proporcionan algunos valores de esta ganancias .

$$u_s = -K \text{sign}(s) \quad (3.11)$$

La combinación de u_{eq} y u_s genera la ley de control descrita por la ecuación (3.12). Esta es la señal de error que se utiliza para controlar el interruptor, el cual puede ser controlado por un comparador con un umbral igual a cero para proporcionar un 1 lógico o un 0 lógico para cerrar o abrir el interruptor, respectivamente.

$$u = \left[\frac{y_2}{RC} - \alpha\beta y_1^{\beta-1} y_2 \right] \frac{LC}{E} + \frac{V_d + y_1}{E} - K \text{sign}(s) \quad (3.12)$$

3.1.2. Caso B

En este caso, la superficie deslizante considera el voltaje de error definido por una nueva variable de estado denominada z_1 y dada en (3.13). La derivada de esta variable z_1 se da en (3.14), donde se puede apreciar que la derivada del voltaje deseado $\dot{V}_d$ se incluye en la ecuación simplemente para derivar una ecuación similar a la del trabajo dado en [1].

$$z_1 = V_C - V_d \quad (3.13)$$

$$\dot{z}_1 = \dot{V}_C - \dot{V}_d \quad (3.14)$$

Se considera z_2 de acuerdo con la ecuación (3.15) y su derivada se describe en (3.16), donde nuevamente se incluye la segunda derivada del voltaje deseado simplemente para tener una ecuación que pueda considerar este voltaje como variable.

$$z_2 = \frac{i_L}{C} - \frac{V_C}{RC} - \dot{V}_d \quad (3.15)$$

$$\dot{z}_2 = \frac{\dot{i}_L}{C} - \frac{\dot{V}_c}{RC} - \ddot{V}_d \quad (3.16)$$

Reemplazando la dinámica del modelo del convertidor, anteriormente presentada en la ecuación (2.1) en la relación de (3.16), se tiene (3.17), y de acuerdo con (3.13), se obtiene (3.18).

$$\dot{z}_2 = \left[-\frac{V_C}{L} + \frac{E}{L}u \right] \frac{1}{C} - \left[\frac{i_L}{C} - \frac{V_C}{RC} \right] \frac{1}{RC} - \ddot{V}_d \quad (3.17)$$

$$V_C = z_1 + V_d \quad (3.18)$$

De la ecuación (3.15), $z_2 + \dot{V}_d$ es dado (3.19) y usando (3.18) y (3.19) en la ecuación (3.16), se obtiene la expresión para $\dot{z}_2$ de la ecuación (3.20).

$$z_2 + \dot{V}_d = \frac{i_L}{C} - \frac{V_C}{RC} \quad (3.19)$$

$$\dot{z}_2 = \left[-\frac{(z_1 + V_d)}{L} + \frac{E}{L}u \right] \frac{1}{C} - \left[z_2 + \dot{V}_d \right] \frac{1}{RC} - \ddot{V}_d \quad (3.20)$$

Al definir $a = \frac{1}{CL}$ y $b = \frac{1}{RC}$, se obtiene el espacio de estados de acuerdo con (3.21). Se observa que las derivadas de primer y segundo orden de V_d que aparecen en (3.20) se han eliminado, ya que en este caso V_d se considera un valor constante. Sin embargo, para los casos en que el valor deseado varía, debe tomarse en consideración, de acuerdo con [1].

$$\begin{aligned} \dot{z}_1 &= z_2 \\ \dot{z}_2 &= -az_1 - aV_d + auE - bz_2 \end{aligned} \quad (3.21)$$

Al definir la superficie deslizante como una combinación lineal de las variables de estado [19], se obtiene (3.22), donde c es una constante de ganancia positiva, lo que significa que la derivada de s , considerada como la superficie, está dada por la ecuación (3.23).

$$s = z_1 + cz_2 \quad (3.22)$$

$$\dot{s} = \dot{z}_1 + c\dot{z}_2 \quad (3.23)$$

La función de control u se divide nuevamente en dos partes, como se hizo en el caso anterior (Caso A), como se indica en la ecuación (3.7). Los términos u_{eq} y u_s se describen a continuación:

- u_{eq} : Para obtener la función de control equivalente, y de acuerdo con la teoría de modos deslizantes [91], la ecuación (3.23) se actualiza a (3.24), y al reemplazar las variables $\dot{z}_1$ y $\dot{z}_2$ lleva a (3.25), de modo que la función de control u se da en la ecuación (3.26).

$$\dot{s} = \dot{z}_1 + c\dot{z}_2 = 0 \quad (3.24)$$

$$\dot{s} = z_2 + c(-az_1 - aV_d + aEu - bz_2) = 0 \quad (3.25)$$

$$u = -\frac{1}{aE} \left(\frac{1}{c} z_2 - az_1 - aV_d - bz_2 \right) = u_{eq} \quad (3.26)$$

- u_s : Considerando que u_s se da en la forma de (3.27) y reemplazando la ecuación de control equivalente (3.26) y la ecuación de conmutación (3.27) en (3.7), la función de la ley de control se obtiene de acuerdo con la ecuación (3.28). De nuevo, como para el Caso A, u es el error de señal que gobierna un comparador con un umbral igual a cero, proporcionando así un 1 lógico o un 0 lógico para cerrar o abrir el interruptor del convertidor reductor CD-CD que se muestra en la Figura 2.2, respectivamente.

$$u_s = -K \text{sign}(s) \quad (3.27)$$

$$u = -\frac{1}{aE} \left[\frac{1}{c} z_2 - az_1 - aV_d - bz_2 - b\dot{V}_d - \ddot{V}_d \right] - K \text{sign}(s) \quad (3.28)$$

3.2. Superficie deslizante propuesta: $s = \alpha s_1 + \beta s_2$

El objetivo del control es lograr un voltaje constante a la salida V_{out} igual a un voltaje deseado V_d . De esta forma, para que el convertidor se encuentre en estado estable se debe de cumplir la condición: $x_2 = V_d$, por lo que $\dot{x}_2 = 0$.

Se asume que x_1 en la ecuación de $\dot{x}_2$ es una entrada de control. Por lo que es posible denotar la corriente deseada como x_1^* . Sin embargo, la variable x_1 puede ser expresada en términos de la variable x_2 , ya que el objetivo del control es trabajar con el lazo de voltaje. Así, la corriente deseada se expresa de la siguiente manera:

$$x_1^* = \frac{V_d}{R} \quad (3.29)$$

Para definir la superficie de control en modo deslizante s , es necesario asegurar que la corriente x_1 , sigue a la corriente deseada. Para lo cual se hace cumplir

$$s_1 = x_1 - x_1^* \rightarrow 0 \quad (3.30)$$

Así, cuando $s = 0$, es posible alcanzar el punto estable en el lazo de corriente. Por otra parte, se alcanza el equilibrio en el lazo de voltaje cuando

$$s_2 = x_2 - Vd \rightarrow 0 \quad (3.31)$$

Con el objetivo de forzar la superficie deslizante en la condición $s = 0$, el control u sólo puede tomar valores de 1 o 0. Entonces, en la ecuación (2.2) el control se define de acuerdo con [91] como

$$u = \frac{1}{2}(1 - \text{sign}(s)) \quad (3.32)$$

Donde s es la función escalar de conmutación definida en la teoría de modo deslizante.

Para diseñar el control, se toman ambas superficies deslizantes, definidas en (5.5) y (5.6)

Así, la función de control (5.2), aplicada a la superficie de corriente será

$$u = \frac{1}{2}(1 - \text{sign}(s_1)) \quad (3.33)$$

$$u = \frac{1}{2}(1 - \text{sign}(s_2)) \quad (3.34)$$

Se propone una superficie que involucre ambas superficies deslizantes en una combinación lineal de las mismas

$$s = s_1 + s_2 \quad (3.35)$$

Por lo tanto la función de control propuesta es

$$u = \frac{1}{2}(1 - \text{sign}(s_1 + s_2)) \quad (3.36)$$

3.3. Análisis de estabilidad

El análisis de estabilidad para las superficies deslizantes descritas en el Caso A y el Caso B se encuentran en [1] y [19], respectivamente. En esta sección se describe el análisis de estabilidad y convergencia de la superficie desarrollada en la sección 3.2.

Considerando las EDO que representan el modelo del convertidor Buck (ecuación (2.1)) y la superficie deslizante (3.35), si la ley de control es propuesta de acuerdo con la ecuación (3.36), entonces las variables de estado del sistema convergen a s en un tiempo finito.

Demostración. Con el objetivo de probar la oración anterior, se utiliza el teorema de Lyapunov dado por [92] y [93].

La función candidata de Lyapunov se define de la siguiente manera:

$$V = \frac{1}{2}s^2 \quad (3.37)$$

La derivada temporal de (3.37) es

$$\begin{aligned} \dot{V} &= s\dot{s} \\ &= s(\alpha\dot{x}_1 + \beta\dot{x}_2) \\ &= s \left[-\left(\frac{\alpha}{L} + \frac{\beta}{RC}\right)x_2 + \frac{\beta}{C}x_1 + \frac{\alpha E}{2L} \right] + s \left[\frac{\alpha E}{L}u \right] \\ &= s \left[-\left(\frac{\alpha}{L} + \frac{\beta}{RC}\right)x_2 + \frac{\beta}{C}x_1 + \frac{\alpha E}{2L} \right] - \frac{\alpha E}{2L}|s| \end{aligned} \quad (3.38)$$

Para que el modo deslizante exista en $s = 0$, es necesario satisfacer la condición de deslizamiento $s\dot{s} < 0$, la cual define un dominio de atracción de la variedad deslizante.

$$s\dot{s} = s \left[-\left(\frac{\alpha}{L} + \frac{\beta}{RC}\right)x_2 + \frac{\beta}{C}x_1 + \frac{\alpha E}{2L} \right] - \frac{\alpha E}{2L}|s| < 0 \quad (3.39)$$

De la inecuación anterior en (3.39), si el modo deslizante existe, se mantienen la siguientes relaciones

$$\begin{aligned} \dot{s}_{s>0} &= -\left(\frac{\alpha}{L} + \frac{\beta}{RC}\right)x_2 + \frac{\beta}{C}x_1 < 0 \\ \dot{s}_{s<0} &= \left(\frac{\alpha}{L} + \frac{\beta}{RC}\right)x_2 - \frac{\beta}{C}x_1 < \frac{\alpha E}{L} \end{aligned} \quad (3.40)$$

Para diseñar las constantes de ganancia α y β y asegurar que siempre se satisface (3.40), se asume que $x_2 > x_1 > 0$, así

$$\begin{aligned} \frac{\alpha}{L} &> \frac{\beta}{RC} \\ \frac{\alpha}{L} + \frac{\beta}{RC} &> \frac{\beta}{C} \end{aligned} \quad (3.41)$$

las desigualdades en (3.41) aseguran que se cumple (3.40).

Los parámetros R, L, C, E son valores conocidos, por lo cual se reemplazan en (3.40)

$$\begin{aligned} -(50\alpha + 133.3\beta)x_2 + (1e04\beta)x_1 &< 0 \\ (50\alpha + 133.3\beta)x_2 - (1e04\beta)x_1 &< 250\alpha \end{aligned} \quad (3.42)$$

$$\beta < 0.0051\alpha \quad (3.43)$$

por lo tanto, α mantiene una relación proporcional con β , la cual implica que α debe ser suficientemente grande para satisfacer la desigualdad.

Asumiendo $\alpha = 500$

$$\beta < 0.0051(500) = 2.55 \quad (3.44)$$

entonces β puede tomar valores por debajo de 2.55.

Si $\beta = 1$, reemplazando en (3.42), ambas inecuaciones se satisfacen.

Así, de (3.42), la condición de estabilidad es garantizada.

Con el fin de tener convergencia en tiempo finito del sistema, $\dot{V} < 0$ puede ser modificada de acuerdo con [94].

$$\dot{V} \leq -\gamma V^{\frac{1}{2}} \quad (3.45)$$

entonces, en el intervalo de tiempo $0 \leq \tau \leq t$

$$\begin{aligned} \frac{dV}{d\tau} &\leq -\gamma V^{\frac{1}{2}} \\ 2 \left[V(t)^{\frac{1}{2}} - V(x_0)^{\frac{1}{2}} \right] &\leq -\gamma t \\ V(t)^{\frac{1}{2}} &\leq -\frac{1}{2}\gamma t + V(x_0)^{\frac{1}{2}} \end{aligned} \quad (3.46)$$

Así, $V(t)$ alcanza el cero en un tiempo finito t_r

$$t_r \leq \frac{2V(x_0)^{\frac{1}{2}}}{\gamma} \quad (3.47)$$

Por lo tanto, el control llevará a la variable s a cero en tiempo finito y se mantendrá ahí [94].

De acuerdo con (3.38), la ecuación puede ser dividida con el objetivo de encontrar límites

$$\begin{aligned}\dot{V} &= s\dot{s} \\ &= s \left[-\left(\frac{\alpha}{L} + \frac{\beta}{RC}\right)x_2 + \frac{\beta}{C}x_1 \right] + s \left[\frac{\alpha E}{L}u \right]\end{aligned}\quad (3.48)$$

Para el primer término de (3.48), se toman en cuenta las siguientes consideraciones

$$\begin{cases} 0 < x_2 < E \\ x_1 = x_2/R \end{cases}\quad (3.49)$$

Reemplazando (3.49)

$$\begin{aligned}& s \left[-\left(\frac{\alpha}{L} + \frac{\beta}{RC}\right)x_2 + \frac{\beta}{C}x_1 \right] \\ &= s \left[-\left(\frac{\alpha R}{L} + \frac{\beta}{C}\right)x_1 + \frac{\beta}{C}x_1 \right] \\ &= -|s|\frac{\alpha R}{L}x_1\end{aligned}\quad (3.50)$$

para el segundo término, sustituyendo u

$$s \left[\frac{\alpha E}{L}u \right] = s \left[\frac{\alpha E}{2L} - \frac{\alpha E}{2L}\text{sign}(s) \right]\quad (3.51)$$

$$\begin{cases} s \left[\frac{\alpha E}{2L} - \frac{\alpha E}{2L}\text{sign}(s) \right] = 0 & \text{if } \text{sign}(s) = 1 \\ s \left[\frac{\alpha E}{2L} - \frac{\alpha E}{2L}\text{sign}(s) \right] = |s|\frac{\alpha E}{L} & \text{if } \text{sign}(s) = -1 \end{cases}\quad (3.52)$$

Como consecuencia

$$s \left[\frac{\alpha E}{L}u \right] \leq |s|\frac{\alpha E}{L}\quad (3.53)$$

Sumando (3.50) y (3.53)

$$\begin{aligned}\dot{V} &= s \left[-\left(\frac{\alpha}{L} + \frac{\beta}{RC}\right)x_2 + \frac{\beta}{C}x_1 \right] + s \left[\frac{\alpha E}{L}u \right] \\ \dot{V} &\leq -|s|\frac{\alpha R}{L}x_1 + |s|\frac{\alpha E}{L} = |s| \left[\frac{\alpha R}{L}x_1 + \frac{\alpha E}{L} \right]\end{aligned}\quad (3.54)$$

De (3.45)

$$\dot{V} \leq -\gamma V^{\frac{1}{2}}\quad (3.55)$$

Considerando (3.37)

$$\begin{aligned}
 V &= \frac{1}{2}s^2 \\
 2V &= s^2 \\
 \sqrt{2}\sqrt{V} &= |s| \\
 V^{\frac{1}{2}} &= \frac{|s|}{\sqrt{2}}
 \end{aligned} \tag{3.56}$$

Sustituyendo

$$\begin{aligned}
 \dot{V} &\leq -\gamma V^{\frac{1}{2}} 2V \\
 &= -s^2 \\
 \sqrt{2}\sqrt{V} &= |s| \\
 \dot{V} &\leq -\frac{\gamma}{\sqrt{2}}|s| = |s| \left[\frac{\alpha R}{L}x_1 + \frac{\alpha E}{L} \right], \gamma > 0
 \end{aligned} \tag{3.57}$$

así

$$\begin{aligned}
 -\frac{\gamma}{\sqrt{2}} &= -\left[\frac{\alpha R}{L}x_1 - \frac{\alpha E}{L} \right] \\
 \gamma &= \sqrt{2} \left[\frac{\alpha R}{L}x_1 - \frac{\alpha E}{L} \right]
 \end{aligned} \tag{3.58}$$

Por lo tanto, $V(t)$ alcanza cero en un tiempo finito t_r

$$t_r \leq \frac{2V(x_0)^{\frac{1}{2}}}{\sqrt{2} \left[\frac{\alpha R}{L}x_1 - \frac{\alpha E}{L} \right]} \tag{3.59}$$

y el control llevará a s a cero en tiempo finito.

□

3.4. Resultados

Para mostrar el rendimiento de las tres superficies descritas en este Capítulo, el sistema convertidor reductor CD-CD se ha probado mediante simulaciones en MATLABTM. Los valores nominales de los parámetros de los componentes y las ganancias se resumen en las Tablas 5.5 y 3.1; son valores ya utilizados en el trabajo dado en [19] para el caso A y en [1] para el caso B. Además, se pueden proponer otros valores o combinarlos con los ya probados, como se muestra en [28], donde los autores

varían L y C . En la Tabla 3.1, se pueden ver dos conjuntos de valores dados para las superficies de los casos A y B, y solo un conjunto de valores para la superficie propuesta (caso C).

Tabla 3.1: Ganancias y valores de las constantes de las superficies deslizantes.

Superficie	Valores
case A	$\alpha = 100, \beta = 0.9, K = 1$
case A	$\alpha = 100, \beta = 0.6, K = 1$
case B	$c = 0.001, K = 1$
case B	$c = 0.015, K = 1$
case C (Propuesta)	$\alpha = 500, \beta = 1$

La simulación numérica del convertidor reductor CD–CD modelado por (2.2) se realiza aquí aplicando el método de Adams–Bashforth (ABM). En (3.60), se pueden ver tres casos del ABM: son los algoritmos de primer (ABM1), segundo (ABM2) y tercer orden (ABM3). Se puede apreciar que ABM1 es el conocido método Forward-Euler, que puede generar un error mayor que un ABM de orden superior; por esta razón, las simulaciones presentadas en este trabajo se realizan utilizando ABM2. Utilizando ABM3, el error puede disminuir, pero el procesamiento de la computadora puede aumentar. Otra consideración para reducir el error del ABM es elegir un tamaño de paso h apropiado, que en esta Tesis se ha establecido en $h = 0.00001$. De esta manera, se puede explorar el uso de otras condiciones de simulación para los tres casos de superficie deslizante y, además, se puede realizar un enfoque de optimización variando los valores de los elementos del circuito como se muestra en [28].

$$\begin{aligned}
 AB1 : x_{n+1} &= x_n + hf(x_n, t_n) \\
 AB2 : x_{n+1} &= x_n + h \left\{ \frac{3}{2}f(x_n, t_n) - \frac{1}{2}f(x_{n-1}, t_{n-1}) \right\} \\
 AB3 : x_{n+1} &= x_n + h \left\{ \frac{23}{12}f(x_n, t_n) - \frac{16}{12}f(x_{n-1}, t_{n-1}) + \frac{5}{12}f(x_{n-2}, t_{n-2}) \right\}
 \end{aligned} \tag{3.60}$$

Se puede observar que el modelo dinámico del convertidor Buck es un problema de valor inicial, por lo que es necesario introducir en el método numérico las condiciones iniciales para resolver el sistema de ecuaciones diferenciales ordinarias. Al resolver las variables de estado x_1 y x_2 , se puede usar el valor para ejecutar una acción de control. De esta manera, las superficies dadas en los casos A, B y C se utilizan para controlar la salida de voltaje con respecto a un valor deseado, denominado

V_d . Esto significa que la ley de control u para cada uno de los tres casos se describe en (3.12) para el caso A, en (3.28) para el caso B y en (3.36) para el caso C, que es el caso propuesto. En los tres casos de ley de control, se puede observar el uso de la función $\text{sign}()$, que se puede implementar con un comparador para controlar el error de señal. También se pueden utilizar otras herramientas de MATLAB, como Simulink, pero en tal caso, no se puede garantizar qué método numérico se utiliza ni qué tipo de error puede surgir.

A continuación, se muestra la solución del sistema completo, el convertidor reductor y el módulo de control de modos deslizantes (SMC) para cada uno de los tres casos, programados en MATLABTM y utilizando el método de Adams-Bashforth de segundo orden ABM2. Se puede observar la respuesta de las variables de estado en el plano fase-espacio, la respuesta de la convergencia en tiempo finito para las tres leyes de control y la respuesta de las variables de voltaje y corriente. Los casos A y B se amplían para cubrir dos conjuntos de valores que se listan en las tablas 5.5 y 3.1, como se mencionó anteriormente.

La figura 3.1 muestra el comportamiento de las trayectorias del sistema dinámico en el plano de fase, cuyas condiciones iniciales se dan en el origen. Para cada caso de las superficies deslizantes S1 (caso A), S2 (caso B) y caso C (propuesto), se puede observar que, a partir de la condición inicial, los estados evolucionan de forma diferente, hasta que se produce un cambio abrupto que impulsa la trayectoria a la salida deseada (3.3 volts). El comportamiento de las trayectorias consta de dos etapas: cuando la trayectoria del estado se dirige a la superficie (fase de alcance) y cuando la trayectoria del estado se mueve hacia el origen a lo largo de la superficie deslizante (fase de deslizamiento) y exhibe un movimiento en zigzag. Se observa claramente que las trayectorias tienen una buena respuesta (solo el caso B ($c = 0.001$) no proporciona una buena respuesta), mientras que la superficie deslizante propuesta (caso C) parece ser el mejor caso, como lo respaldan los siguientes resultados de simulación.

La figura 3.2 muestra la convergencia a cero en tiempo finito de la variable deslizante para las tres superficies deslizantes descritas. En esta figura, nuevamente, se puede observar que la respuesta proporcionada por el caso B ($c = 0.001$) no es tan regular como en los otros casos, es la superficie que tarda más en alcanzar la convergencia en tiempo finito. En la figura, también se puede observar que la superficie propuesta proporciona una buena respuesta y una convergencia más rápida en comparación con los casos A y B ($c = 0.001$). Se requiere otro análisis para verificar que la superficie propuesta

proporcione una buena respuesta, y esto se verifica en los siguientes resultados de simulación, al graficar las respuestas de voltaje y corriente asociadas a las dos variables de estado del convertidor reductor CD-CD.

La influencia de las constantes de ganancia y la metodología de diseño del controlador se puede apreciar considerando los valores dados en la Tabla 3.1, que lista cinco casos. La respuesta de simulación de los diferentes algoritmos de control se muestra en la Figura 3.3 para el comportamiento del voltaje, y en la Figura 3.4 para el comportamiento de la corriente. En la Figura 3.3, se puede interpretar que para la primera superficie S1 y tomando $\beta = 0.6$, el diseño del SMC no es lo suficientemente rápido, porque el valor deseado de 3.3 no se alcanza en 0.1 s, mientras que cuando $\beta = 0.9$, la respuesta mejora significativamente, alcanzando el valor deseado en 51.2 ms. Para el segundo caso S2, al establecer $c = 0.015$, el valor deseado se alcanza en 72.9 ms, mientras que con $c = 0.001$, el valor deseado se alcanza en 15.2 ms. La superficie deslizante propuesta, considerada como caso C, alcanza el valor deseado en 39,4 ms. Cabe destacar que ninguna respuesta presenta sobreimpulso, lo cual está relacionado con las ganancias y el control de conmutación.

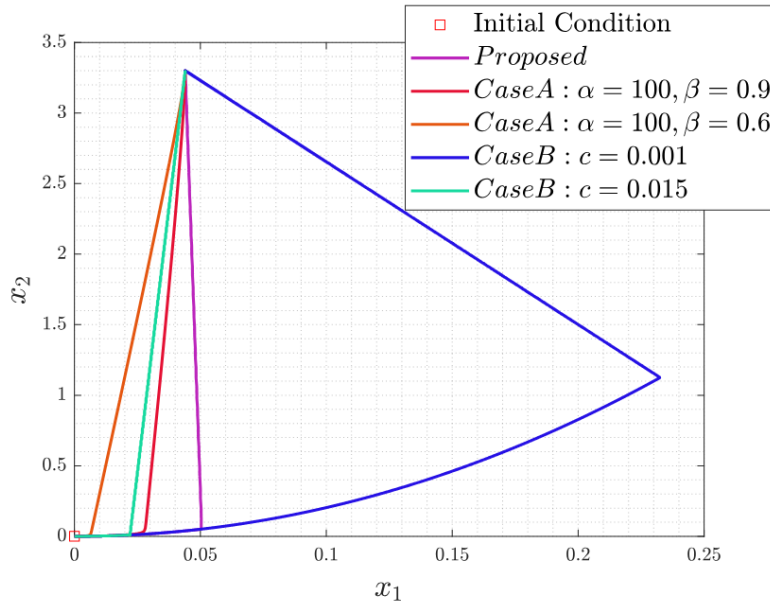


Figura 3.1: Retraro de fase de las tres superficies deslizantes.

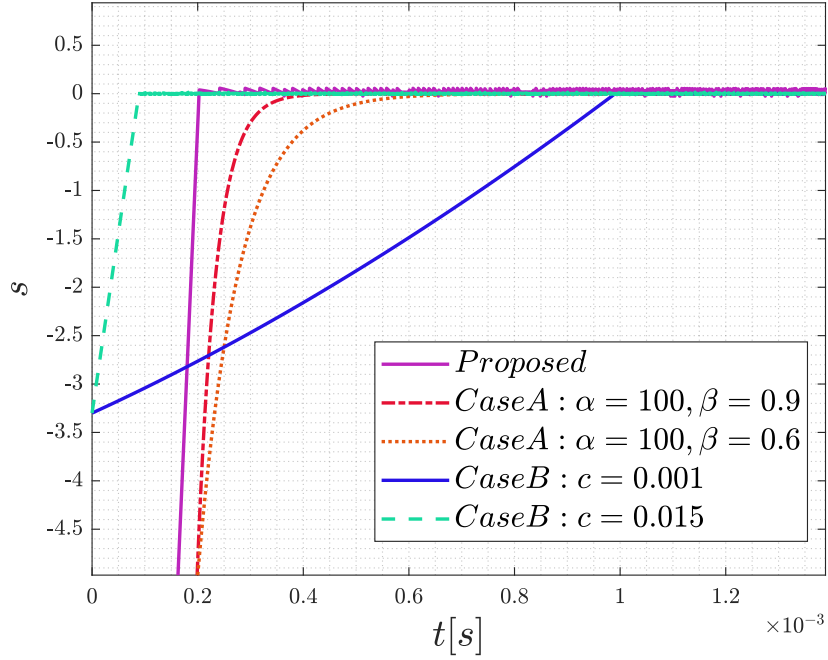


Figura 3.2: Convergencia en Tiempo finito de la variable de salida para las superficies deslizantes de los tres casos.

Las respuestas mostradas en la Figura 3.3 para el comportamiento de voltaje muestran que el caso B ($c = 0.001$) es la mejor respuesta. Sin embargo, al observar los resultados mostrados en la Figura 3.4 para el comportamiento de corriente, se puede ver que el sobreimpulso más alto lo proporciona la superficie deslizante etiquetada como caso B ($c = 0.001$), mientras que nuevamente, la superficie propuesta proporciona una muy buena respuesta. Se puede concluir que la superficie etiquetada como caso B ($c = 0.001$) no proporciona un buen comportamiento en el plano de fases, como se muestra en la Figura 3.1. Además, no muestra una buena convergencia de tiempo finito, como se muestra en la Figura 3.2 y proporciona el sobreimpulso de corriente más alto, como se muestra en la Figura 3.4. El caso propuesto C parece ser una buena superficie para el control del convertidor reductor CD-CD. Sin embargo, probablemente sea posible encontrar un valor entre $c = 0.001$ y $c = 0.015$ para el caso B, lo que proporcionaría una respuesta transitoria similar tanto en voltaje como en corriente al caso C propuesto.

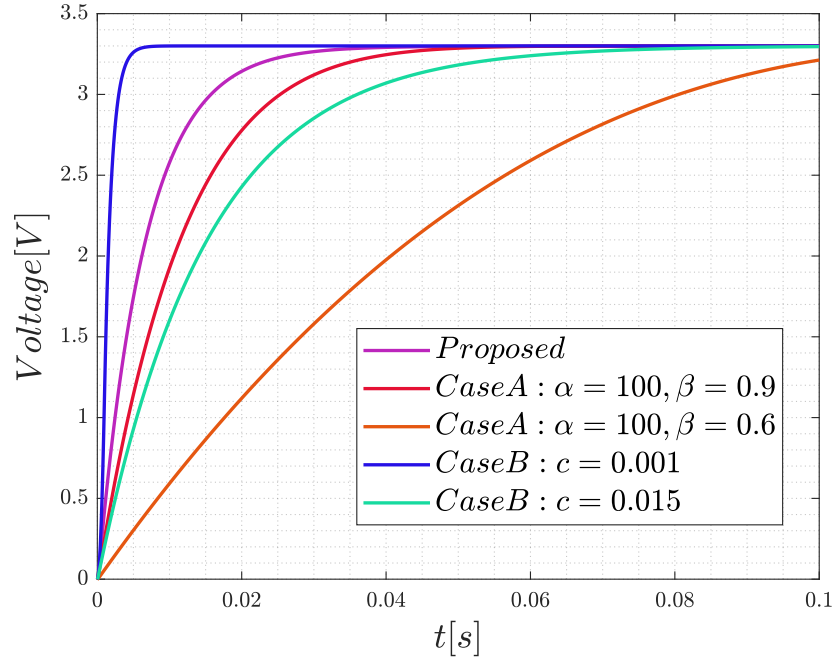


Figura 3.3: Respuestas de voltaje del control en modo deslizante para las tres superficies deslizantes.

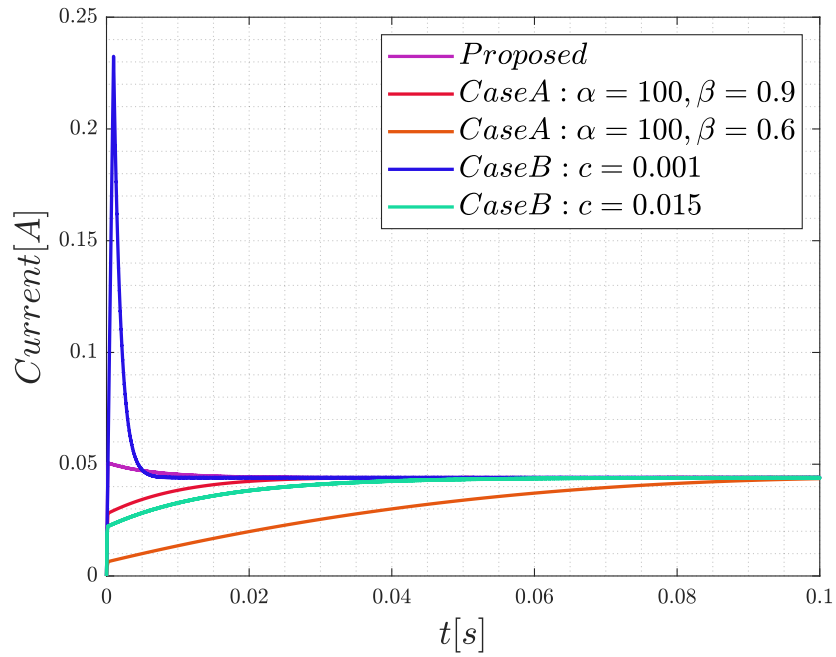


Figura 3.4: Respuestas de la corriente del modo deslizante para las tres superficies deslizantes.

En la figura 3.5 se muestran diferentes valores de β par la superficie deslizante propuesta. Dos

de esos valores cumplen la condición de estabilidad de acuerdo con (3.43), en donde se observa que, de no satisfacer la inecuación, se obtiene una respuesta con sobreimpulso, lo cual tiene afectaciones en el sistema.

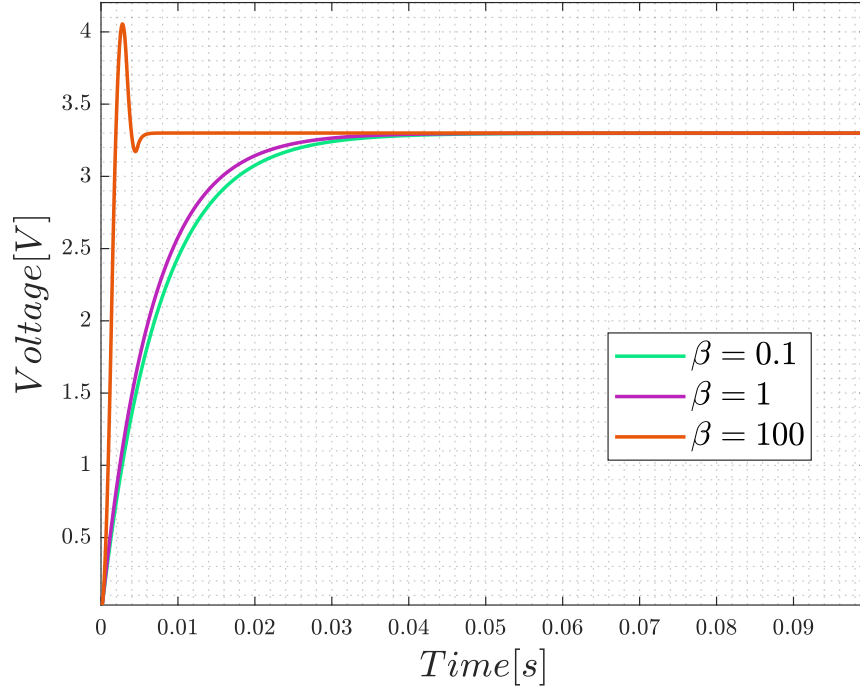


Figura 3.5: Valores de β para la superficie deslizante propuesta.

Los resultados experimentales sobre la implementación electrónica de algunos métodos SMC se pueden apreciar en [18, 19, 21]. En particular, los resultados experimentales presentados en [21] muestran que el método SMC suprime el efecto de vibración y mantiene la robustez ante variaciones de carga e incertidumbres paramétricas. Las figuras que muestran los resultados de la simulación proporcionan evidencia de que la superficie deslizante propuesta es estable y rápida, tiene una buena respuesta en el plano (trayectorias de estado), muestra una buena convergencia de tiempo finito y evita la ocurrencia de un sobreimpulso tanto en el voltaje a través del capacitor como en la corriente a través del inductor.

Técnicas de control PID y FOPID

En este Capítulo se describen las simulaciones en el tiempo y la frecuencia para el controlador PID de orden entero y de orden fraccionario (FOPID).

4.1. Control PID

Como se menciona en el Capítulo 2, un controlador PID puede ser entonado por métodos en la frecuencia y en el tiempo. A continuación se muestran los resultados numéricos obtenidos en el dominio de la frecuencia con la aproximación que utiliza el bloque PID de Matlab de orden entero, utilizando los valores de las constantes obtenidos a partir del Jacobiano de la matriz y las constantes de los elementos RLC del convertidor y utilizando los valores propuestos por el autotuning de Simulink

Tabla 4.1: Valores de las ganancias del controlador PID de orden entero en el dominio de la frecuencia.

Kp, Ki, Kd	Sobretiro	Ts (ms)	Error	λ	μ
10, 40, 0.1	-	40.826	1.57	1	1
10, 20, 0.1	-	83.449	0.001	1	1
11.7, 2306.6, 0.013	4.76	32.945	0.006	1	1

La tabla 4.1 muestra que para los valores de las constantes del autotuning, obtenidos on Simulink y dados en el último renglón, el tiempo de establecimiento es el menor, sin embargo presenta un pico

de 4.76 V.

Para la simulación numérica del PID, se utilizan dos métodos numéricos, como se describe en la tabla 4.2. Aquí se comparan los valores de las constantes obtenidas matemáticamente con los valores R, L y C y los valores que se obtienen del autotuning (11.7, 2306.6, 0.013).

Tabla 4.2: Respuesta del controlador PID de orden entero en el dominio del tiempo utilizando diferentes métodos numéricos.

Método numérico	Kp, Ki, Kd	Sobretiro	Ts (ms)	Error
Adams Bashforth	10, 40, 0.1	-	77.94	0.021
	Tuning	3.896	37.15	0.00939
Forward Euler	10, 40, 0.1	-	78.5	0.021
	Tuning	3.896	41.2	0.0031

Se observa que, para los valores obtenidos sin la herramienta Simulink no hay un sobreimpulso en la respuesta de salida. Sin embargo, el tiempo de establecimiento (T_s) es mayor, así como el error que presenta.

La figura 4.1 muestra la simulación numérica con los valores de ganancias obtenidos sin la herramienta de Matlab.

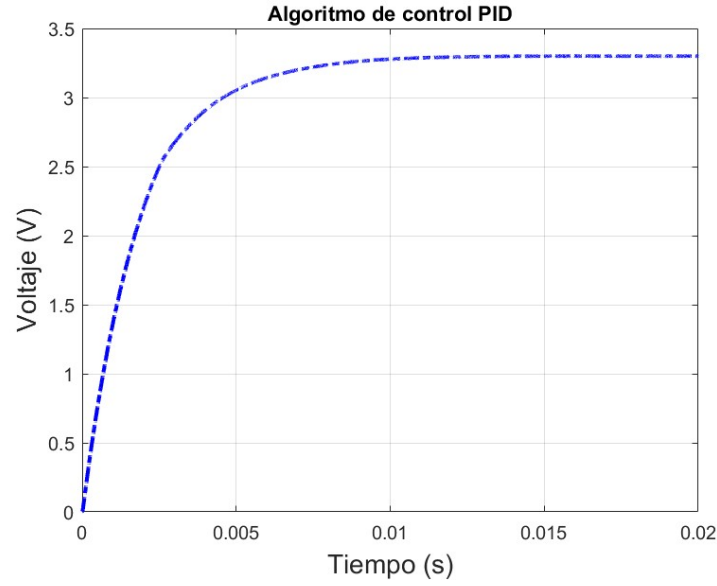


Figura 4.1: Respuesta de salida del PID utilizando las ganancias obtenidas a partir de los valores de los elementos del convertidor.

La aproximación numérica de la integral se realiza aplicando el método AB2 descrito en el Capítulo anterior, mientras que la acción derivada se puede realizar aplicando el cociente de diferencias, cuya fórmula en el cálculo de una sola variable se da en la Ec. (4.1)

$$\frac{f(x+h) - f(x)}{h}, \quad (4.1)$$

donde h es el tamaño de paso, el cual debe ser igual al utilizado por el método AB2 dado en (3.60).

La figura 4.2 muestra la respuesta del control PID de orden entero, para $Kp = 10$, $Ki = 40$ y dos diferentes valores de Kd .

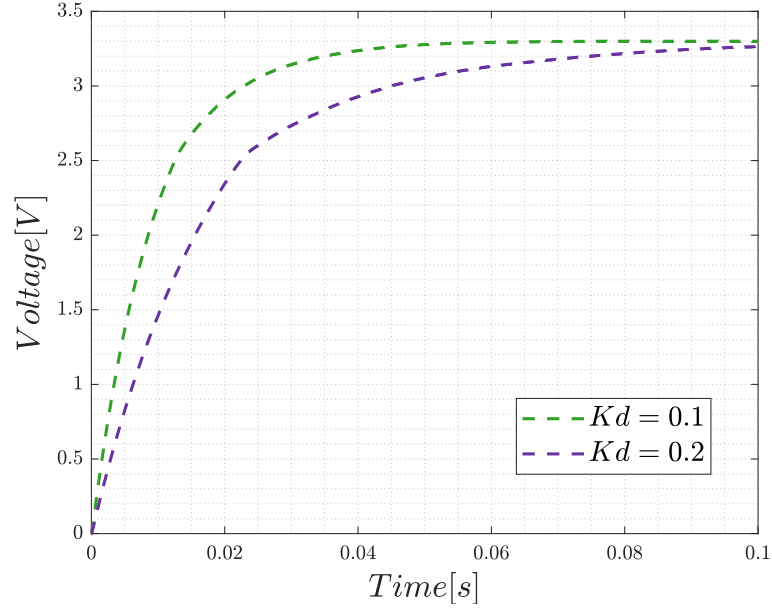


Figura 4.2: Respuesta del PID con diferentes valores de K_d .

Es notorio que con un pequeño cambio en alguna de las constantes del control la respuesta cambia significativamente, lo cual puede resultar en un beneficio o en algo perjudicial si no se sintonizan correctamente. Para este caso, la mejor respuesta en términos de tiempo de establecimiento es para $K_d = 0.1$.

Existen diferentes métodos para entonar y optimizar las ganancias del controlador de acuerdo con algún criterio del sistema, más adelante en este Capítulo se abordará a fondo uno de ellos.

4.2. Algoritmo de optimización de enjambre de partículas (PSO)

La sintonización del FOPID consiste en encontrar las constantes de ganancia apropiadas K_p , K_i y K_d , y los órdenes fraccionarios de los operadores integrales y derivativos λ y μ . El algoritmo PSO se adapta para ajustar el FOPID bajo la restricción de un error bajo $e(t) = V_d - x_2$, como se expresa en la ecuación (2.18). La función objetivo que se está minimizando se expresa en (4.2), la cual incluye tres términos que describen la respuesta del convertidor reductor CD-CD: velocidad de respuesta (SR medida en volts/ μs), sobreimpulso (medido como $|\max(x_2) - V_d|$), y tiempo de establecimiento (ST medido cuando $|V_d - x_2| < 0.025$, para $V_d = 15$).

$$F(\mathbf{V}, \mathbf{t}) = a_1 SR + a_2 |\max(x_2) - V_d| + a_3 |V_d - x_2|. \quad (4.2)$$

Como los tres términos en (4.2) tienen diferentes valores de amplitud, se establecen las constantes a_i para normalizar dichos valores, de modo que se establecen en $a_1 = 10000$, $a_2 = 1$ y $a_3 = 10$.

El algoritmo PSO es una técnica estocástica basada en enjambre que se utiliza para identificar la solución más favorable entre un conjunto de alternativas o soluciones factibles. Cada individuo se denomina partícula y se define como una solución potencial en un espacio de búsqueda de D dimensiones. PSO forma parte de los algoritmos evolutivos, pero también utiliza un modo de enjambre que permite la búsqueda simultánea de grandes regiones en el espacio de soluciones de la función objetivo optimizada. Según [95], PSO se ejecuta y se basa en cinco principios básicos: Proximidad, calidad, diversidad, estabilidad y adaptabilidad. De esta manera, en cada generación, el algoritmo combina la información de las partículas para ajustar la velocidad de cada dimensión, lo cual se utiliza para evaluar la nueva posición de la partícula. En cada generación, las partículas cambian constantemente en el espacio de búsqueda multidimensional hasta alcanzar un equilibrio o estado óptimo. La posición y la velocidad de cada partícula se actualizan en cada generación de acuerdo con (4.3):

$$\begin{aligned} v_{i,t+1}^d &= wV_{i,t}^d + c_1 \text{rand}(p_{i,t}^d - x_{i,t}^d) + c_2 \text{rand}(p_{g,t}^d - x_{i,t}^d), \\ x_{i,t+1}^d &= x_{i,t}^d + v_{i,t+1}^d. \end{aligned} \quad (4.3)$$

En la ecuación (4.3), los parámetros adaptativos: el coeficiente cognitivo (c_1) y el coeficiente social (c_2), se ajustan linealmente a lo largo de las iteraciones, así como el peso de inercia (w). Sus expresiones dependen de las épocas, representadas como t , y del número máximo de generaciones (max_gen), cuyos valores se actualizan como se muestra en el algoritmo 1, mediante las siguientes ecuaciones:

c_1 es responsable de la tendencia de la partícula individual a regresar a su mejor posición personal. Disminuye linealmente para promover la exploración global al principio y luego la explotación local utilizando (4.4),

$$c_1 = 2 - \left(\frac{2 \cdot t}{\text{max_gen}} \right). \quad (4.4)$$

c_2 Regula la tendencia de la partícula a moverse hacia la mejor posición global encontrada por el enjambre. Se incrementa linealmente a lo largo de las iteraciones para mejorar el enfoque en la

explotación local en las etapas posteriores de acuerdo con (4.5),

$$c_2 = \frac{2 \cdot t}{\max_gen}. \quad (4.5)$$

w Controla la influencia de la velocidad anterior sobre la velocidad actual, equilibrando la exploración y la explotación. Se ajusta linealmente para disminuir con el tiempo, lo que permite que el algoritmo cambie de exploración a explotación de acuerdo con la relación de la ecuación (4.6),

$$w = 2 - 2 \cdot \frac{t}{\max_gen}. \quad (4.6)$$

Los parámetros anteriores se utilizan en el pseudocódigo de PSO para ajustar el FOPID que se esboza en el algoritmo 1.

Algorithm 1 Pseudocódigo del PSO

- 1: Establecer el número máximo de generaciones $\max_gen$, e inicializar la población (pop_size)
 $(X_i \mid i = 1, 2, \dots, n_p)$ con posiciones y velocidades aleatorias para cada partícula p_i
 - 2: Inicializar la mejor posición personal para cada partícula
 - 3: Inicializar la mejor posición global p_g
 - 4: **while** $t < \max_gen$ **do**
 - 5: **for** $i = 1, \dots, \text{pop_size}$ **do**
 - 6: Simular el convertidor y evaluar la aptitud $f(X_i)$ de la posición actual utilizando (4.2)
 - 7: **if** $f(X_i) > f(p_i)$ **then**
 - 8: Actualizar la mejor posición personal
 - 9: **end if**
 - 10: **if** $f(X_i) > f(p_g)$ **then**
 - 11: Actualizar la mejor posición global
 - 12: **end if**
 - 13: Actualizar la velocidad y la posición usando (4.3)
 - 14: **end for**
 - 15: **end while**
 - 16: **return** Mejor posición global
-

Dentro del bucle de optimización, como se describe en el paso 6 del algoritmo 1, el convertidor se simula de modo que el modelo dinámico del convertidor Buck se resuelve aplicando el método

explícito y multipaso de Adams-Bashforth (AB2) de segundo orden, dado en (3.60), mientras que el FOPID se resuelve aplicando el método de Grünwald-Letnikov. En cada generación, se realiza la simulación para cada partícula y la aptitud se asocia a la función objetivo dada, que incluye tres características: velocidad de respuesta, sobreimpulso y tiempo de establecimiento. Para cada partícula de la población, si el resultado es mejor que el i -ésimo resultado registrado, este se convertirá en el nuevo vector. También se compara el mejor valor global, de modo que, si el último valor es mejor, se reemplaza hasta alcanzar el número máximo de generaciones (max_gen).

En esta Tesis, se ejecuta el algoritmo PSO para encontrar las ganancias y órdenes del FOPID durante 200 generaciones (max_gen), con una población n_p de 100 partículas (pop_size).

4.3. FOPID

El convertidor Buck CD-CD es controlado por un controlador PD^μ [42], y por dos $PI^\lambda D^\mu$ los cuales son introducidos en [43] y [28], cuyos valores de los elementos del convertidor se listan en la Tabla 4.3.

Tabla 4.3: Valores de los elementos del circuito del convertidor Buck CD-CD para ajustar las características de tres controladores FOPID.

Componente	Definición	[42]	[43]	[28]
E	Voltaje de entrada	25 V	10-20 V	24 V
V_d	Voltaje deseado	15 V	3-18 V	15 V
R	Resistor	10 Ω	10 Ω	3 Ω
L	Inductor	2.7 mH	100 μ H	70 μ H
C	Capacitor	7 μ F	100 μ F	22 μ F

Estos tres casos de estudio FOPID, ya publicados en [28, 42, 43], se mejoran aquí mediante la aplicación del algoritmo PSO. Los tres casos consideran un voltaje deseado $V_d = 15V$, con un voltaje de entrada E entre 20 – 25V. Los valores originales de los tres casos de estudio para los órdenes fraccionarios y las constantes de ganancia del FOPID se muestran en la Tabla 4.4.

La figura 4.3 muestra las características del convertidor reductor controlado por el FOPID,

Tabla 4.4: Valores originales y características del PD^μ ya introducidos en [42] y del controlador $PI^\lambda D^\mu$ descrito en [43] y [28], los valores de los elementos del convertidor se muestran en la Tabla 4.3.

Caso	λ	μ	K_p	K_i	K_d	Slew Rate [V/ μs]	Settling Time [μs]
PD^μ [42]	-	0.4148	1.2851	-	6.4255	0.0507	438.19
$PI^\lambda D^\mu$ [43]	0.9503	0.8200	2.263	4.35	3.3193	0.0164	1500
$PI^\lambda D^\mu$ [28]	0.0673	0.6107	162.08	133.84	0.5851	0.2864	180.40

descritas en [28, 42, 43], para un voltaje deseado $V_d = 15$ V. Se observa que todas las respuestas mitigan prácticamente el sobreimpulso, pero con diferentes valores de velocidad de respuesta y tiempo de establecimiento, como se resume en la tabla 4.4. Para los controladores FOPID originales, el tiempo de estabilización más bajo se mide en $231.8 \mu s$, lo que coincide con los autores en [28], aunque el transitorio es el peor en comparación con los otros dos casos de estudio.

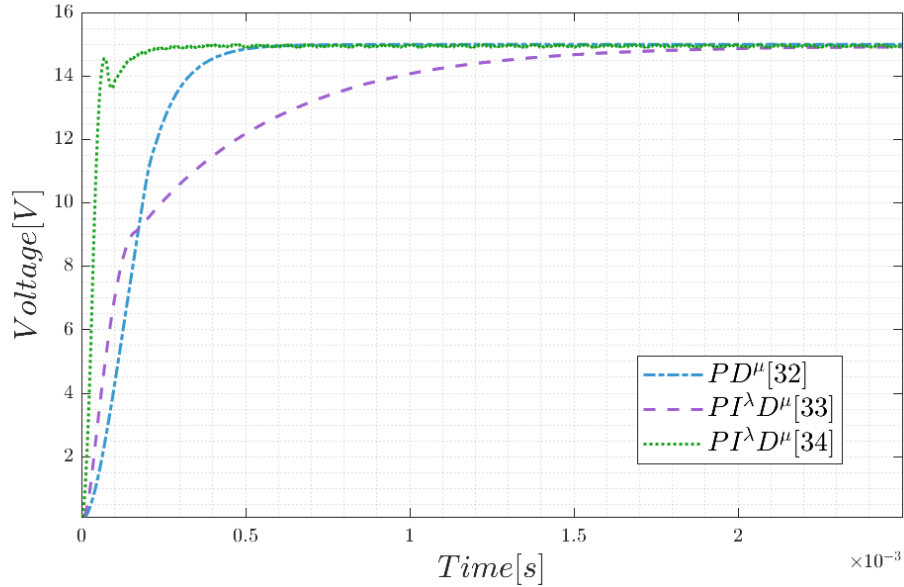


Figura 4.3: Respuestas de voltaje de los controladores sintonizados en [28, 42, 43] para el convertidor Buck, utilizando los valores dados en la Tabla 5.1.

Los valores enumerados en la Tabla 4.4 se mejoran mediante el ajuste de los controladores

FOPID aplicando el algoritmo PSO. Por ejemplo, considerando el controlador $PI^\lambda D^\mu$ dado en [28] con el algoritmo PSO, la Tabla 4.5 muestra diez soluciones factibles para las constantes de ganancia proporcionadas por PSO cuando se ejecuta durante 200 generaciones (max_gen) con una población n_p de 100 partículas (pop_size), considerando $V_d = 15$ V, $E = 20$ V y utilizando los valores dados en la Tabla 4.3.

Tabla 4.5: Diez soluciones factibles proporcionadas por la ejecución de PSO y el error asociado evaluado.

Solution	K_p	K_i	K_d	Error
1	4.7538	8.3717	0.000135521	0.016533394
2	1.7273	8.2255	0.000056700	0.012263234
3	1.9298	3.9953	0.000080	0.011911028
4	4.3133	0.4212	0.000114580	0.019285109
5	2.0756	3.9764	0.000006210	0.017063076
6	4.7001	6.2938	0.000137226	0.018392286
7	6.1825	1.7347	0.000176917	0.02024733
8	3.7690	4.5359	0.000111553	0.018699086
9	4.7806	6.7847	0.000152791	0.019936466
10	2.9284	4.9858	0.000102561	0.021249608
Mean	3.7160	4.9325	107.41×10^{-6}	0.0176
σ	1.4936	2.5924	49.69486×10^{-6}	0.00328

Como caso particular, se destacan las constantes de ganancia de la solución factible 3 y se utilizan para mejorar las características del convertidor reductor CD-CD mediante el ajuste del controlador $PI^\lambda D^\mu$ indicado en [28]. Tras ajustar los tres casos de estudio mediante el algoritmo PSO, las características mejoradas se listan en la Tabla 4.6.

La figura 4.4 muestra las respuestas temporales del PD^μ original y del PD mejorado, proporcionados en [42]. Se puede apreciar que el sobreimpulso se mitiga en ambos casos, pero las características ajustadas tras aplicar el algoritmo PSO mejoran, como se resume en la tabla 4.6. Por lo tanto, en comparación con los valores originales indicados en la tabla 4.4, el tiempo de asentamiento optimizado es aproximadamente $149.97 \mu s$ (438.19 – 288.22) menor en el nuevo controlador ajustado y,

Tabla 4.6: Valores finales ajustados y características del PD^μ ya introducidos en [42], y del $PI^\lambda D^\mu$ introducido en [43] y [28], después de ejecutar el algoritmo PSO considerando los valores del circuito enumerados en la Tabla 4.3.

Caso	λ	μ	K_p	K_i	K_d	Slew Rate [V/ μs]	Settling Time [μs]
PD^μ [42]	-	0.997	0.6108	-	18.076×10^{-6}	0.0629	288.22
$PI^\lambda D^\mu$ [43]	0.9	0.6	1.2313	2.5788	3.1950	0.1119	295.61
$PI^\lambda D^\mu$ [28]	0.90	0.990	1.9298	3.9953	80×10^{-6}	0.1381	165.78

Tabla 4.7: Características medidas para los controladores de orden entero y fraccionario que se muestran en la Fig. 4.4 y la Fig. 4.5.

Controller	Slew Rate [V/ μs]	Settling Time [μs]	Rise Time [ms]
$PD - PSO$	0.0578	362.52	0.208
$PD^\mu - PSO$ [42]	0.0629	288.22	0.191
$PID - PSO$	0.0013	7500	6.300
$PI^\lambda D^\mu - PSO$ [43]	0.1119	295.61	0.107
$PID - PSO$	0.1482	173.45	0.079
$PI^\lambda D^\mu - PSO$ [28]	0.1381	165.78	0.086

además, la velocidad de respuesta es ligeramente mayor.

La figura 4.5 muestra las respuestas temporales del $PI^\lambda D^\mu$ original ajustado en [43] y las respuestas tras aplicar el algoritmo PSO. En este caso, se aprecia un ligero sobreimpulso antes de alcanzar el voltaje deseado, por lo que se puede concluir que el sobreimpulso se mitiga en ambos casos, pero las características ajustadas tras aplicar el algoritmo PSO mejoran, como se resume en la tabla 4.6. Al observar las tablas 4.4 y 4.6, se puede concluir que el tiempo de asentamiento es menor en comparación con el controlador original y que la velocidad de respuesta también mejora.

La figura 4.6 muestra las respuestas temporales del $PI^\lambda D^\mu$ original ajustado en [28] y las res-

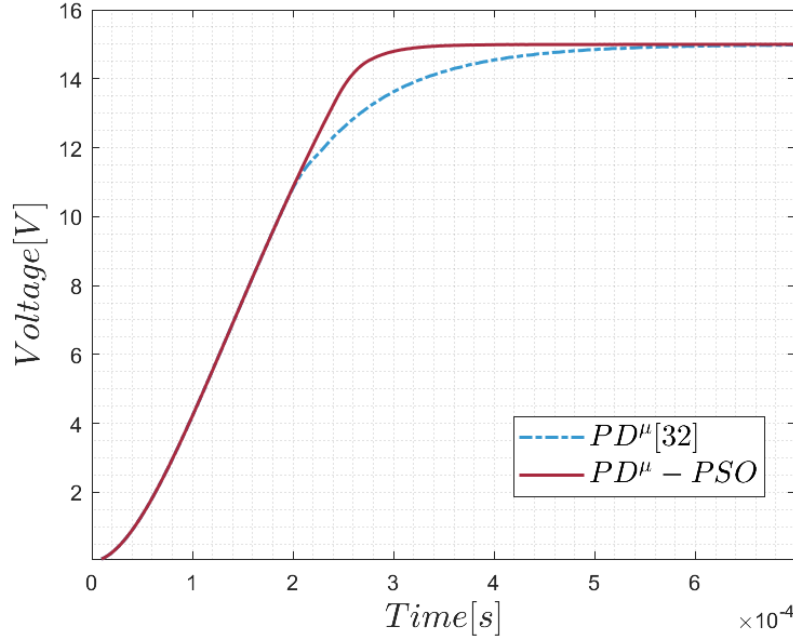


Figura 4.4: Comparación entre los valores originales dados en [42] y los valores optimizados por el algoritmo PSO.

puestas tras aplicar el algoritmo PSO. En este tercer caso práctico, se aprecia que en el trabajo original se produce un sobreimpulso antes de alcanzar el voltaje deseado, similar al del caso práctico anterior. Esto representa una clara desventaja en comparación con el controlador ajustado mediante el algoritmo PSO.

La evolución del error $e(t)$, considerando los tres controladores FOPID listados en la Tabla 4.6, se puede observar en la Fig. 4.7. La salida del controlador FOPID se toma a la salida de un comparador, como se muestra en la Fig. 2.11, denotada por $u(t)$, cuya señal discreta únicamente toma valores de salida lógicos 1 o 0, para controlar la conmutación del convertidor reductor. Esta señal de control $u(t)$ se muestra en la Fig. 4.8 para el caso de estudio tomado de [42], que se ha mejorado como se resume en la Tabla 4.6.

Finalmente, las respuestas de los tres controladores FOPID que se sintonizan aplicando el algoritmo PSO, y que se muestran en las figuras anteriores 4.4, 4.5 y 4.6, se pueden observar en conjunto en la figura 4.9, cuyas características principales se pueden ver en la Tabla 4.6.

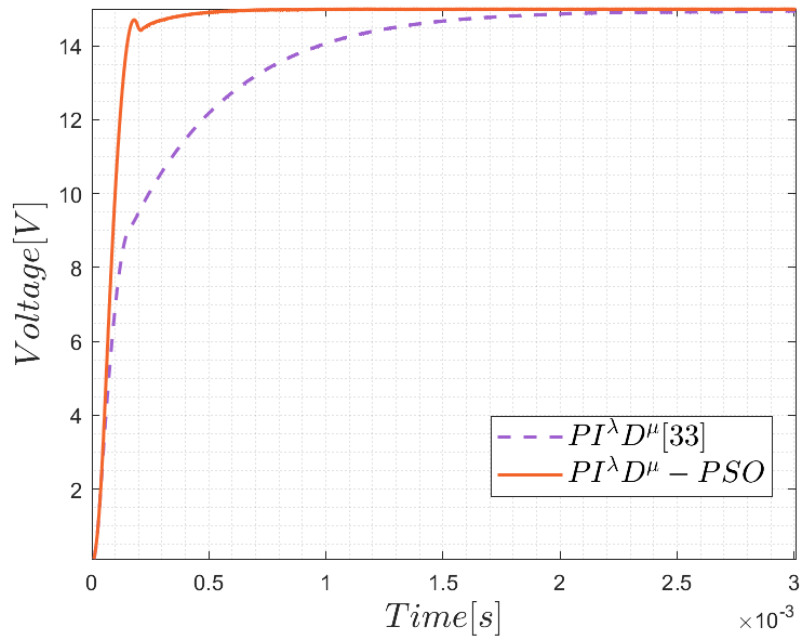


Figura 4.5: Comparación entre los valores originales dados en [43] y los valores optimizados por el algoritmo PSO.

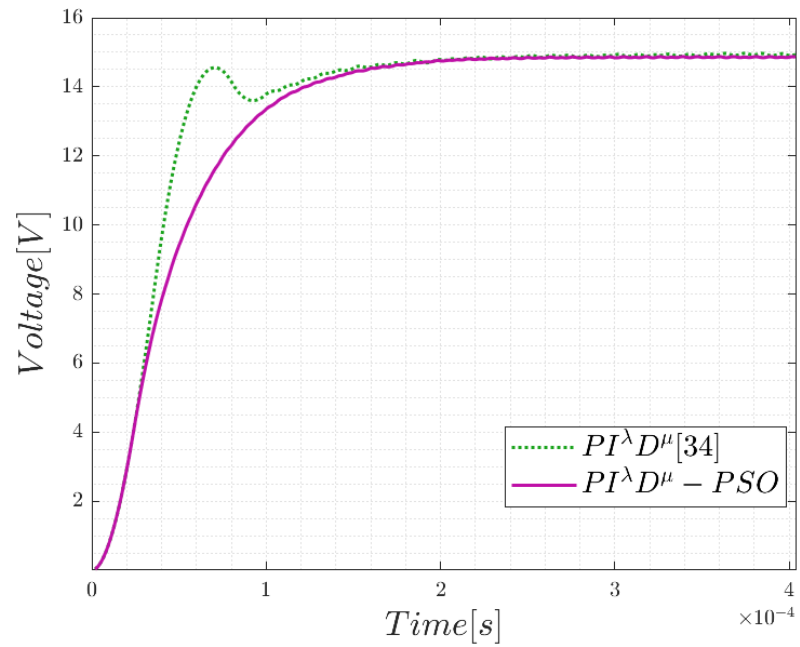


Figura 4.6: Comparación entre los valores originales dados en [28] y los valores optimizados por el algoritmo PSO.

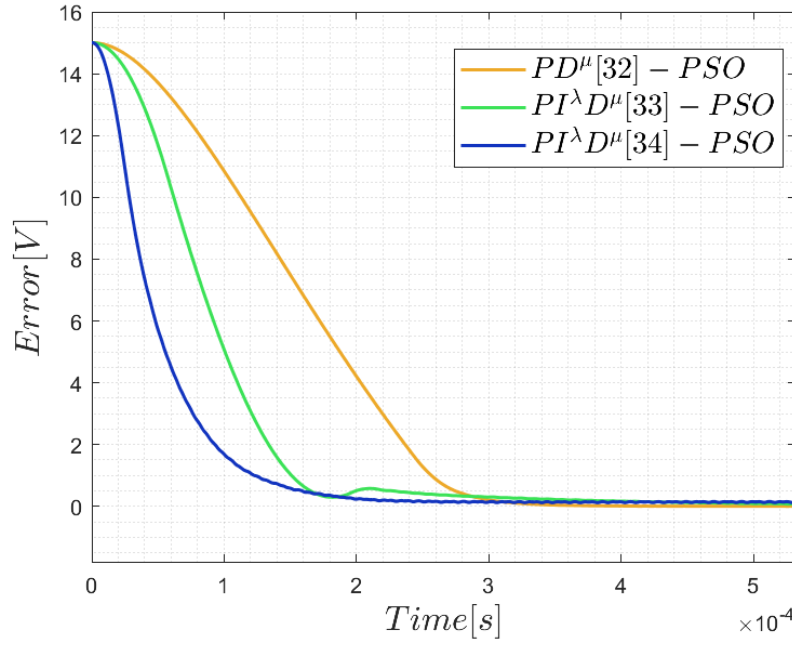


Figura 4.7: Evolución del error $e(t)$ de los tres casos de estudio enumerados en la Tabla 4.6.

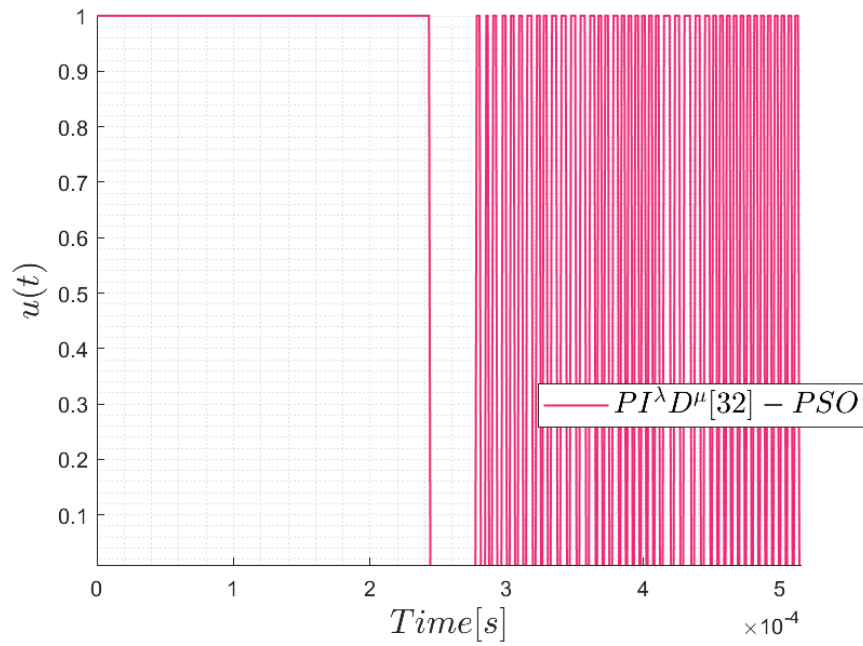


Figura 4.8: Señal de salida $u(t)$ proporcionada por el FOPID descrito en la Fig. 2.11 para el caso de estudio tomado de [42].

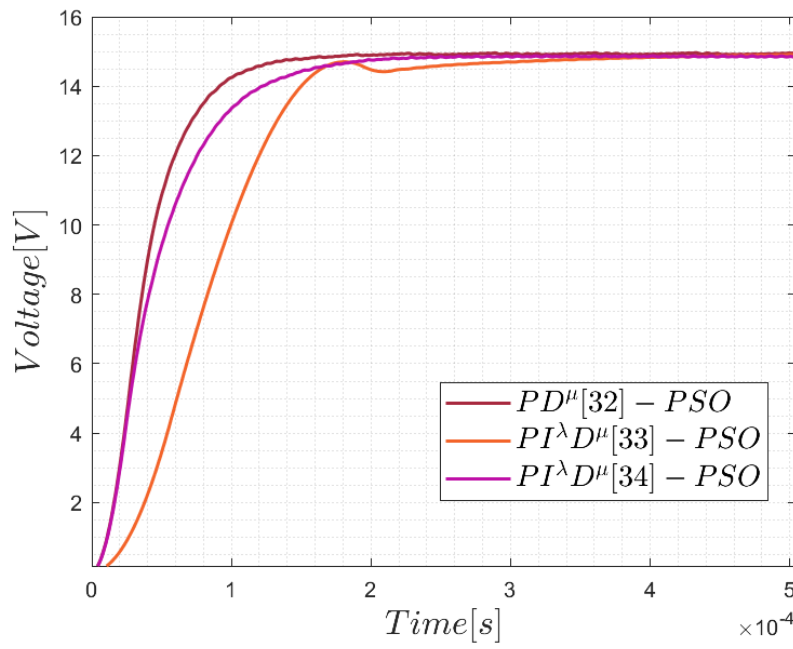


Figura 4.9: Respuestas temporales de los tres controladores FOPID mejorados tomadas de [28, 42, 43] y ajustadas mediante la aplicación del algoritmo PSO.

Implementación en FPGA

Una FPGA (Field-Programmable Gate Array) es un dispositivo programable que permite implementar ecuaciones discretizadas, descritos mediante un lenguaje de descripción de hardware; lo cual sirve para prototipado de circuitos, aceleración de algoritmos, y desarrollo de hardware. A diferencia de los ASIC (Application-Specific Integrated Circuits), que tienen una funcionalidad fija, las FPGA pueden ser reprogramadas para realizar diferentes tareas. La ventaja principal de una FPGA es la flexibilidad y la capacidad de adaptarse a diversas necesidades de prototipado rápido.

Implementar controladores basados en FPGA en aplicaciones en tiempo real puede ser un desafío debido a sus dependencias de memoria.

Internamente, las FPGAs incluyen bloques de procesamiento digital (DSP), bloques de memoria RAM, y bloques de lógica básicos, que constituyen la base de su arquitectura. La gran ventaja de estos dispositivos es su capacidad de ser reprogramados después de su fabricación, adaptándose a diferentes necesidades de diseño digital.

En el caso de las FPGAs Cyclone IV de Intel, la arquitectura interna se basa en arreglos lógicos, cada uno compuesto por 16 Logic Elements (LEs). Cada LE incluye una LUT (Look-Up Table) de 4 entradas, un flip-flop tipo D con clear síncrono o asíncrono, y capacidad para ser configurado en funciones combinacionales o secuenciales. Además, estas FPGAs también cuentan con bloques de memoria RAM integrados y bloques DSP especializados para operaciones aritméticas de alta velocidad. Están fabricadas con tecnología CMOS de 60 nanómetros, una tecnología que proporciona un balance óptimo entre consumo de energía y densidad de integración.

En este Capítulo se describe la selección de parámetros de los controladores SMC y PID, y su

simulación con métodos numéricos que se utilizan para realizar la síntesis en una FPGA Cyclone IV.

5.1. Discretización del control en modo deslizante

El modelo del convertidor Buck CD–CD, se puede describir con una formulación de espacio de estados unificado en forma de un sistema bilineal, de modo que se puede adaptar para tener la forma dada en (5.1).

$$\dot{x} = Ax + u(t)Bx. \quad (5.1)$$

Como fue descrito en el Capítulo 3, el diseño del controlador en modo deslizante se puede desarrollar considerando un control discontinuo de la forma dada en (5.2),

$$u(t) = \frac{1}{2}(1 - \text{sign}(s)), \quad (5.2)$$

donde s es la función escalar de conmutación definida en la teoría de modos deslizantes y la función signo de un número real w , es una función por partes que se define de acuerdo con (5.3).

$$\text{sign}(w) = \begin{cases} -1, & w < 0 \\ 0, & w = 0 \\ 1, & w > 0 \end{cases} \quad (5.3)$$

Dado que el objetivo del controlador es proporcionar una salida de voltaje constante v_{out} , igual al voltaje deseado V_d , el convertidor reductor CD–CD debe controlarse para que se encuentre en estado estacionario. Esto se logra satisfaciendo la condición $x_2 = V_d$, y dado que el voltaje deseado es constante, entonces $\dot{x}_2 = 0$. Para que el modo deslizante exista, debe cumplir la condición de deslizamiento $s\dot{s} < 0$.

Como x_1 en $\dot{x}_2$ puede considerarse una entrada de control, la corriente deseada se puede denotar como x_1^* . Sin embargo, x_1 puede expresarse en términos de x_2 para controlar la salida de voltaje. Esto significa que la corriente deseada se puede expresar como (5.4).

$$x_1^* = \frac{V_d}{R}. \quad (5.4)$$

El controlador de modo deslizante requiere definir una superficie s , que se puede describir asegurando que la corriente del inductor x_1 siga la corriente deseada y, por lo tanto, debe lograr (5.5),

$$s_1 = x_1 - x_1^* \rightarrow 0. \quad (5.5)$$

De esta manera, cuando $s = 0$, la corriente está en un punto estable y el lazo de voltaje está en equilibrio cuando se logra (5.6).

$$s_2 = x_2 - V_d \rightarrow 0. \quad (5.6)$$

En la superficie deslizante propuesta del Capítulo 3 ([46]), el diseño del SMC incluye superficies deslizantes (5.5) y (5.6), lo que significa que (5.2) se puede aplicar tanto a las superficies de corriente como de voltaje para obtener (5.7),

$$s = \alpha s_1 + \beta s_2. \quad (5.7)$$

La convergencia exponencial de las variables de estado se puede lograr llevando la superficie deslizante propuesta s dada en (5.7), a cero en tiempo finito por medio de la ley de control que ya está dada en (5.2). Posteriormente, con el objetivo de forzar la superficie deslizante durante la condición $s = 0$, el control $u(t)$ se restringe para que tome valores 1 o 0. Esto se puede lograr derivando una relación entre los parámetros de compensación α y β . Como resultado, el modo deslizante existe localmente en $s = 0$ si se cumple (5.8) [46]. En esta Tesis, la síntesis del SMC mediante FPGA se realiza para los parámetros de compensación $\alpha = 500$ y $\beta = 1$. De hecho, otros valores de β generan comportamientos inadecuados, como se muestra en la Fig. 5.1.

$$\beta < 0.0051\alpha \quad (5.8)$$

5.2. Discretización del controlador PID

A diferencia del SMC descrito anteriormente, esta subsección muestra la simulación del controlador PID para su aplicación en la síntesis FPGA. El diseño de un controlador PID es muy popular debido a su simplicidad, coste asequible y eficiencia adecuada para convertidores de potencia. [57]. El controlador PID ejecuta tres acciones, descritas en la teoría de control en el Capítulo anterior, y

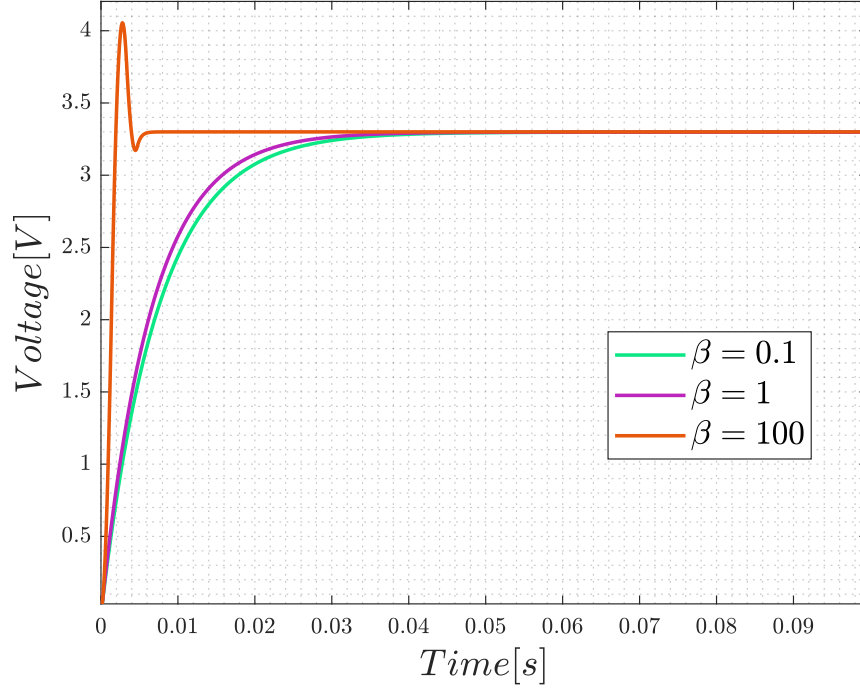


Figura 5.1: Respuesta de voltaje estableciendo $\alpha = 500$ y eligiendo tres valores de β .

por lo tanto consta de tres coeficientes de ganancia: proporcional K_p , integral K_i y derivativo K_d , y su modelo matemático se da en (5.9),

$$u(t) = K_p e(t) + K_i \int e(t) + K_d \dot{e}(t), \quad (5.9)$$

donde $e(t)$ es el error que se está controlando y para el convertidor CD-CD Buck, se define como,

$$e(t) = V_d - v_{out} = V_d - x_2. \quad (5.10)$$

Para realizar la síntesis FPGA del controlador PID, la aproximación numérica de la acción integral se realiza aplicando el método explícito de Adams-Bashforth (AB2) de segundo orden, que se proporciona en (3.60). La aproximación numérica de la acción derivativa se realiza aplicando el cociente diferencial, que en cálculo univariable se proporciona en (5.11),

$$\frac{f(x+h) - f(x)}{h}, \quad (5.11)$$

donde h es el tamaño del paso que debe ser igual al utilizado por el método AB2 dado en (3.60).

5.3. Principio de memoria corta

Implementar controladores de orden fraccionario basados en FPGA en aplicaciones en tiempo real puede ser un desafío debido a sus dependencias de memoria. La solución numérica general de la ecuación diferencial fraccionaria se puede expresar como:

$$y(t_k) = f(y(t_{k-1}), t_{k-1})h^\alpha - \sum_{j=1}^k C_j^\alpha y(t_{k-j}). \quad (5.12)$$

de acuerdo con el operador integro-diferencial descrito anteriormente.

La ecuación (5.12) describe un esquema numérico que implica la suma de k elementos. Por lo tanto, es necesario mantener un historial de todas las aproximaciones $f(t_k)$ que se hayan calculado previamente. Esto se debe a que cada nuevo valor calculado en el esquema depende, al menos parcialmente, de todos los valores anteriores. Este tipo de dependencia es característico de métodos numéricos como los utilizados para aproximar derivadas o integrales de orden fraccionario, donde el cálculo en cada instante t_k requiere información histórica del sistema. Al llevar este tipo de cálculo a una implementación en hardware, como un circuito digital o un microcontrolador, se enfrenta una limitación práctica debido a que la cantidad de memoria disponible es finita. Además, dado que el sistema puede operar por un tiempo indefinido no existe una certeza previa acerca de cuántas iteraciones se necesitarán almacenar. Esto significa que, a largo plazo, la memoria se saturaría si se intentara guardar todas las aproximaciones $f(t_k)$ desde $t = 0$.

Para superar este desafío, se introduce el principio de memoria corta (short memory principle), que se aplica en situaciones donde solo se puede conservar un número limitado de aproximaciones, y donde el tiempo de iteración t es considerablemente grande $t \gg 0$. Este principio permite simplificar el esquema numérico para tiempos grandes, al asumir que la influencia de los valores $f(t_k)$ correspondientes a los instantes cercanos al punto inicial $t = 0$ son despreciables. Esto es válido bajo ciertas condiciones matemáticas que garantizan que los efectos de la memoria antigua del sistema se atenúan con el tiempo.

El principio de memoria corta consiste, entonces, en considerar el comportamiento de $f(t_k)$ únicamente en los valores cercanos a la n -ésima iteración. Es decir, se restringe la suma histórica al intervalo $[t - L_m, t]$, donde L_m representa la longitud de la memoria o ventana de memoria que contiene las iteraciones recientes. Esta simplificación se expresa formalmente en la ecuación (5.13).

$${}_a D_{t_k}^\alpha f(t_k) \approx_{t-L_m} D_{t_k}^\alpha f(t_k), \quad (t > a + L_m). \quad (5.13)$$

El principio de memoria corta modifica el índice superior de la suma (5.12) relacionado con el número de aproximaciones de variables almacenadas en memoria y se puede reescribir de la siguiente manera:

$$y(t_k) = f(y(t_{k-1}), t_{k-1})h^\alpha - \sum_{j=1}^{\nu} C_j^\alpha y(t_{\nu-j}), \quad (5.14)$$

donde

$$\nu = \begin{cases} k, & \text{if } \frac{L_m}{h} > k \\ \frac{L_m}{h}, & \text{if } \frac{L_m}{h} < k. \end{cases} \quad (5.15)$$

Debido a esta aproximación, el número de sumandos en la aproximación (5.12) siempre es no mayor que $[L_m/h]$. Si $f(t) \leq M$ para $a \leq t \leq b$, la longitud de memoria necesaria L_m para lograr la precisión requerida ϵ se puede determinar mediante la desigualdad de la ecuación (5.16).

$$L_m \geq \left(\frac{M}{\epsilon |\Gamma(1-\alpha)|} \right). \quad (5.16)$$

Gracias a esta aproximación, es posible reducir la cantidad de memoria requerida y mantener un control eficiente sobre el uso de recursos computacionales para su implementación en hardware.

5.4. Implementación FPGA del controlador SMC

El convertidor reductor CD-CD descrito en el Capítulo 3, es controlado mediante edos técnicas de control: SMC y PID, utilizando los valores del circuito enumerados en la Tabla 5.1.

Los valores de los parámetros de los controladores se tomaron del trabajo [46] para realizar la síntesis FPGA del SMC, mientras que los parámetros del controlador PID fueron ajustados por los autores. De esta manera, los valores de los parámetros se muestran en la Tabla 5.2.

La emulación del convertidor Buck CD-CD se realiza aplicando el método AB2 dado en (3.60), que requiere la selección de un tamaño de paso h para garantizar la convergencia, en este caso, se establece en $h = 0.00001$.

Tabla 5.1: Valores de los elementos del circuito del convertidor reductor CD-CD que se muestran en la Figura 2.2.

Componente	Definición	Valor
E	Voltaje de entrada	5 V
V_d	Voltaje deseado	3.3 V
R	Resistor	75 Ω
L	Inductor	20 mH
C	Capacitor	100 μ F

Tabla 5.2: Valores de los parámetros de los controladores SMC y PID para el convertidor Buck CD-CD.

Controlador	Parámetro	Valor
PID	K_p	8.3413
	K_i	22.7361
	K_d	0.0086
SMC	α	500
	β	1

La simulación del SMC se basa en (5.2), donde al combinar (5.4), (5.5) y (5.6), entonces (5.7) se puede actualizar a,

$$s = \alpha(x_1 - (V_d/R)) + \beta(x_2 - V_d). \quad (5.17)$$

La función escalar de conmutación s dada en (5.17), se utiliza para evaluar la respuesta del SMC según (5.2), de modo que dependiendo de la función signum definida por (5.3), el controlador puede tomar los siguientes valores: $u(t)=1$ si después de evaluar (5.17), $s < 0$; $u(t)=0.5$ si $s = 0$; y $u(t)=0$ si $s > 0$.

El diseño digital del SMC y del convertidor se realiza mediante cálculo computacional de 32 bits. Al observar los valores de los parámetros indicados en las Tablas 5.1 y 5.2, se observa que el valor máximo es para $\alpha=500$, por lo que este número entero puede representarse con 9 bits. Por lo tanto,

el formato de punto fijo puede expresarse como $1 : 9 : 22$, según la distribución de la tabla 5.3. Esto implica que se puede garantizar una resolución de aproximadamente $2.38418579101562 \times 10^{-07}$.

Tabla 5.3: Distribución del formato de punto fijo para la síntesis FPGA del controlador SMC utilizando 32 bits.

Signo	Entero	Decimal
1 bit	9 bits	22 bits
0	000000000	.0000000000000000000000

La síntesis de las ecuaciones para el convertidor y el SMC requiere algunas manipulaciones para identificar la mejor manera de realizar una descripción de bloque. Dado que la síntesis se desarrolla utilizando un tamaño de paso de $h = 0.00001$ y el método AB2 en (3.60), las expresiones discretizadas y reducidas para las variables de estado se presentan a continuación.

Al discretizar la variable de estado $\dot{x}_1$ de (2.2), esta se denomina $x1_{n+1}$ y las variables x_1 y x_2 se actualizan a $x1_n$ y $x2_n$. Por lo tanto, a partir de la primera ecuación en (2.2): $\dot{x}_1 = -\frac{1}{L}x_2 + \frac{E}{L}u(t)$, tras aplicar el método AB2 dado en (3.60) y utilizando los valores de los parámetros, la variable de estado discretizada se actualiza de acuerdo con (5.18)

$$\begin{aligned}
 x1_{n+1} &= x1_n + \frac{3h}{2} \left[-\frac{1}{L}x2_n + \frac{E}{L}u(t) \right] - \frac{h}{2} \left[-\frac{1}{L}x2_{n-1} + \frac{E}{L}u(t) \right] \\
 x1_{n+1} &= x1_n - 0.00075x2_n + 0.00025x2_{n-1} + 0.0005Eu(t) \\
 x1_{n+1} &= x1_n - Ax2_n + Bx2_{n-1} + CEu(t)
 \end{aligned} \tag{5.18}$$

En (5.18), el parámetro E es un valor constante dado en la Tabla 5.1, sin embargo, se considera un parámetro para la síntesis del FPGA, así como las constantes $A = 0.00075$, $B = 0.00025$ y $C = 0.0005$. Al realizar el mismo desarrollo para la variable de estado $\dot{x}_2$, ahora se denomina $x2_{n+1}$. Por lo tanto, a partir de la segunda ecuación del modelo dinámico que describe al convertidor: $\dot{x}_2 = \frac{1}{C}x_1 - \frac{1}{RC}x_2$, tras aplicar el método AB2 dado en (3.60) y usar los valores de los parámetros, la variable de estado discretizada se actualiza a:

$$\begin{aligned}
x2_{n+1} &= x2_n + \frac{3h}{2} \left[\frac{1}{C}x1_n - \frac{1}{RC}x2_n \right] - \frac{h}{2} \left[\frac{1}{C}x1_{n-1} - \frac{1}{RC}x2_{n-1} \right] \\
x2_{n+1} &= 0.998x2_n + 0.15x1_n - 0.05x1_{n-1} + \frac{1}{1500}x2_{n-1} \\
x2_{n+1} &= Dx2_n + Fx1_n - Gx1_{n-1} + Jx2_{n-1}
\end{aligned} \tag{5.19}$$

En (5.19), los coeficientes de la última ecuación también se consideran parámetros, a saber: $D = 0.998$, $F = 0.15$, $G = 0.05$ y $J = 1/1500$. Por lo tanto, una vez conocidos todos los parámetros, la descripción general del convertidor y el controlador se etiqueta como bloques AB2 y SMC, como se muestra en la Fig. 5.2. La representación de alto nivel muestra la descripción del bloque del convertidor reductor CD-CD emulado por el método AB2 y el controlador SMC. Los buses son de 32 bits en formato de punto fijo, y las variables de estado $x1$, $x2$ proporcionadas por el bloque AB2 son controladas por el bloque SMC, que genera la señal $u(t)$.

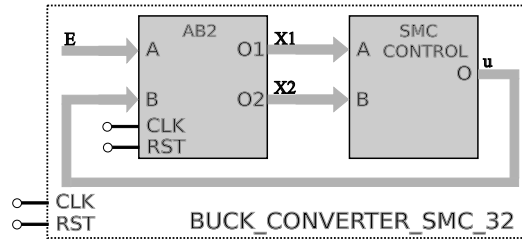


Figura 5.2: Descripción de alto nivel y de bloques del convertidor Buck CD-CD emulado por el método AB2 y el controlador SMC, utilizando buses de 32 bits para las variables de estado $x1$, $x2$.

La implementación FPGA de (5.18) y (5.19) se puede mejorar mediante el diseño de multiplicadores de una constante única (SCM), como se muestra en [96]. Esto se recomienda cuando una constante multiplica una variable, como en el caso de los parámetros A , B , C , D , E , F , G y J , que se etiquetan como SCM en la descripción detallada de bloques que se muestra en la Fig. 5.3. Los bloques restantes son sumadores, restadores, multiplicadores y registros. El control de las iteraciones n se ejecuta mediante el diseño de una máquina de estados finitos denominada «Contador» en la descripción del bloque que se muestra en la Figura 5.3.

El bloque SMC, mostrado en la Fig. 5.2, es responsable de la acción de control dada en (5.2). Implementa la función escalar conmutada s dada en (5.17) para actuar según el valor proporcionado por la función signum definida por (5.3), la cual es sintetizada por un comparador. La ecuación (5.2)

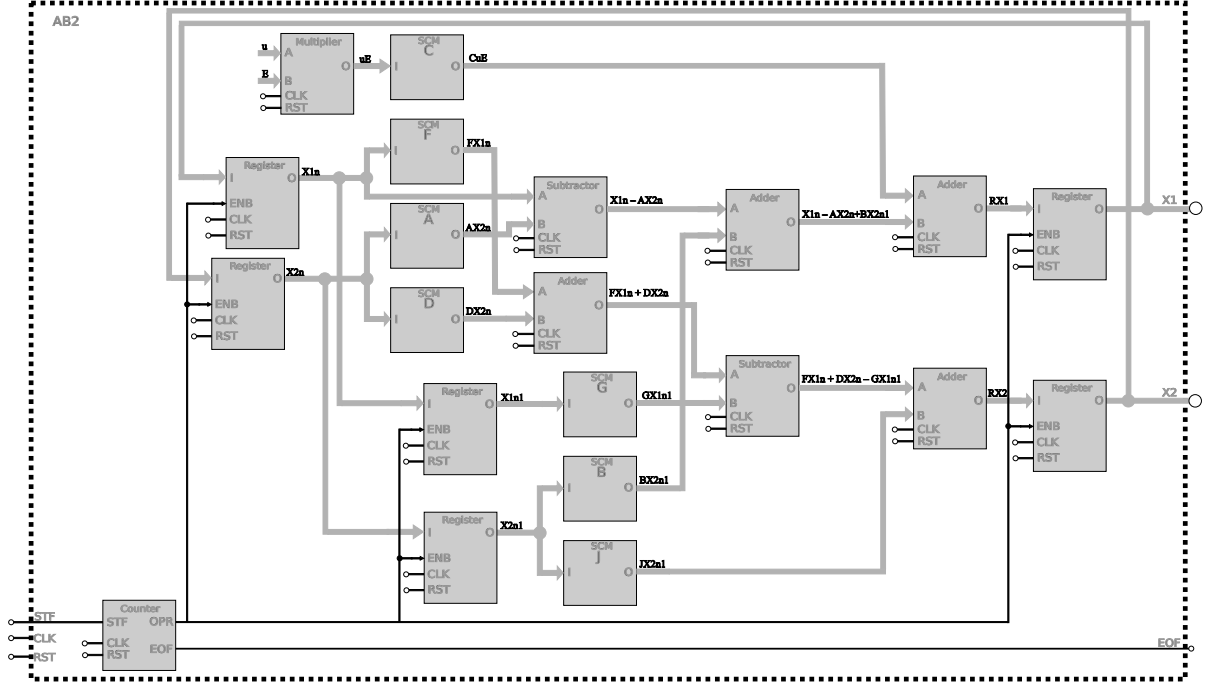


Figura 5.3: Descripción del bloque para la implementación FPGA de (5.18) y (5.19), que muestra multiplicadores de constantes simples (SCM) asociados a los parámetros A , B , C , D , E , F , G y J .

proporciona tres posibles valores de salida de la ley de control $u(t)$, que son $[1, 0.5, 0]$. Estos bloques se muestran en la figura 5.4, que también utiliza un SCM, un sumador y un comparador.

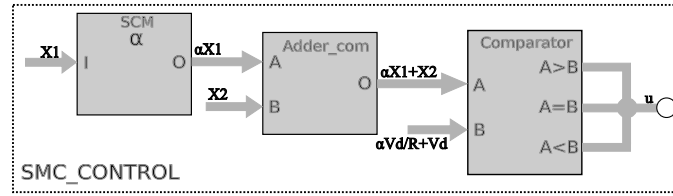


Figura 5.4: Descripción del bloque del controlador SMC.

La simulación FPGA de este controlador SMC para el convertidor reductor requiere tres ciclos de reloj (CC) para obtener un voltaje regulado v_{out} . Esto significa que la iteración n para (5.18) y (5.19) cambia a $n + 1$ después de 3 ciclos de reloj (CC).

5.5. Implementación FPGA del controlador PID

Para realizar la síntesis FPGA del controlador PID, las ganancias del controlador K_p , K_i y K_d se consideran parámetros con valor constante. Por un lado, y según el modelo del PID dado en (5.9), el error $e(t)$ debe multiplicarse por K_p , integrarse y multiplicarse por K_i , y derivarse y multiplicarse por K_d . Por otro lado, el error se da en (5.10), con la expresión $e(t) = V_d - x_2$, donde, según la tabla 5.1, $V_d = 3.3$.

En este caso, la acción integral se simula aplicando el método AB2, que se muestra en (3.60), y la acción derivativa se simula aplicando el método del cociente de diferencias, que se muestra en (5.11). La aritmética se realiza utilizando 32 bits distribuidos en el formato de punto fijo que se muestra en la tabla 5.4. Como la parte decimal tiene 21 bits, la resolución es de aproximadamente $4.768371582031250 \times 10^{-07}$.

Tabla 5.4: Distribución del formato de punto fijo para la síntesis FPGA del controlador PID utilizando 32 bits.

Signo	Entero	Decimal
1 bit	10 bits	21 bits
0	0000000000	.000000000000000000000

La razón para utilizar diez bits en la parte entera es representar el valor de $K_d/h = 0.0086/0.00001 = 860$, que es el valor máximo que se puede generar en el procesamiento de datos. De esta manera, la simulación del convertidor Buck CD-CD es la misma que la descrita en la subsección anterior, por lo tanto, las ecuaciones discretizadas aplicando el método AB2 se dan en (5.18) y (5.19). La descripción de bloques del convertidor para la síntesis FPGA se muestra en la figura 5.3. En una descripción general, la figura 5.5 muestra la conexión del convertidor emulado mediante el método AB2 y el controlador PID, que actúa sobre el error para generar la señal $u(t)$, como se indica en 5.9. A diferencia del controlador SMC, que genera tres valores de salida de la ley de control $u(t)$: $[1, 0.5, 0]$; el controlador PID tiene una ley de control que genera dos valores: $[1, 0]$.

La acción de integración sobre el error en la iteración $n + 1$, denotado como e_{n+1}^I , y aplicando el método AB2 dado en (3.60), conduce a las ecuaciones discretizadas dadas de la siguiente manera,

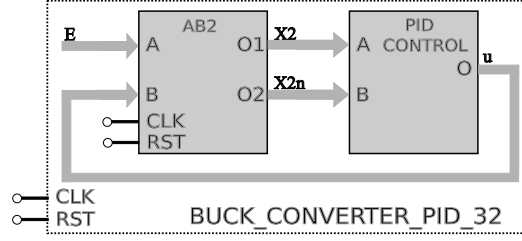


Figura 5.5: Descripción de alto nivel y por bloques del convertidor Buck DC–DC emulado por el método AB2 y el controlador PID, utilizando buses de 32 bits para las variables de estado.

mostrado en la ecuación (5.20)

$$\begin{aligned}
 e_{n+1}^I &= K_i \int e_n, \\
 e_{n+1}^I &= e_n + \frac{3h}{2} K_i e_n - \frac{h}{2} K_i e_{n-1}, \\
 e_{n+1}^I &= 1.00034104 e_n - 0.0001136 e_{n-1}, \\
 e_{n+1}^I &= L e_n - M e_{n-1}.
 \end{aligned} \tag{5.20}$$

En (5.20), los parámetros $L = 1.00034104$ y $M = 0.0001136$ tienen valores constantes para facilitar la implementación del FPGA. La acción derivada se simula aplicando el método del cociente diferencial (5.11), lo que genera la ecuación discretizada que se muestra a continuación.

$$\begin{aligned}
 e_{n+1}^D &= K_d \dot{e}_n, \\
 e_{n+1}^D &= \frac{K_d e_n - K_d e_{n-1}}{h}, \\
 e_{n+1}^D &= \frac{K_d}{h} (e_n - e_{n-1}), \\
 e_{n+1}^D &= 860 (e_n - e_{n-1}).
 \end{aligned} \tag{5.21}$$

En (5.21) no es necesario asignar un parámetro, como se hace para los casos anteriores, por lo que se utiliza la constante 860 tal cual, e impone la necesidad de utilizar 10 bits para representar la parte entera de un número real, como se mencionó anteriormente. De esta manera, la descripción en bloque de las ecuaciones discretizadas del PID, dadas por $e_{n+1}^P = K_p e_n$, (5.20) y (5.21), se muestra en la Fig. 5.6. Este diseño de FPGA también requiere tres ciclos de reloj (CC) para generar nuevos datos en la iteración $n + 1$, similar al diseño de FPGA para el convertidor que utiliza el controlador SMC.

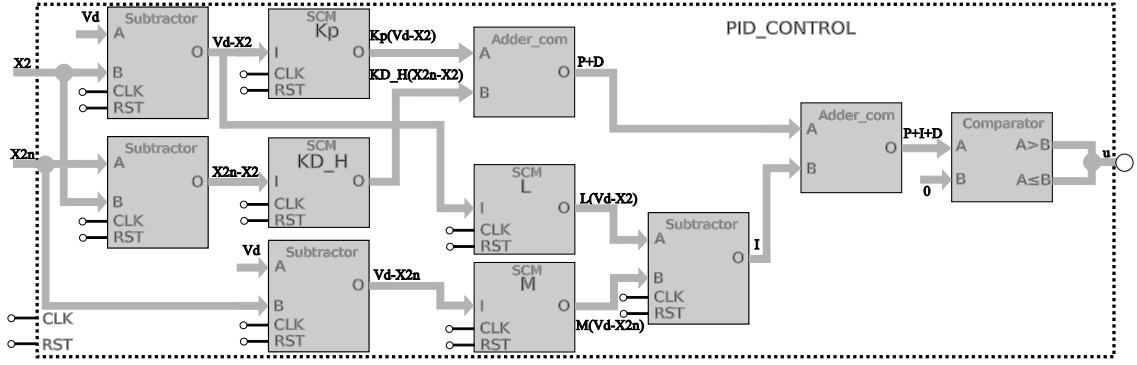


Figura 5.6: Descripción del bloque del controlador PID modelado por $e_{n+1}^P = K_p e_n$, e_{n+1}^I dado en (5.20), y e_{n+1}^D dado en (5.21).

5.6. Recursos de hardware FPGA y resultados experimentales

La síntesis FPGA de las descripciones de bloques para la emulación del convertidor Buck CD-CD mediante controladores SMC o PID requiere los recursos de hardware indicados en la Tabla 5.5 mediante el uso del FPGA Cyclone® IV EP4CGX150DF31C7N con un reloj de 50 MHz. Los bloques digitales se diseñaron con un pin de reloj para aumentar la frecuencia de operación.

Tabla 5.5:

Recursos de hardware para la síntesis del convertidor Buck CD-CD con controladores SMC y PID utilizando el FPGA Cyclone® IV EP4CGX150DF31C7N.

Controlador	Elementos Lógicos	Registros	Multiplicador de 9 bits embebidos	Frecuencia Máxima (MHz)
SMC	947	107	52	52.62
PID	1260	188	64	44.96

Cabe mencionar que, para observar la regulación experimental de voltaje, el voltaje de entrada E se emuló como un pulso con un valor $E = 5$ durante 7000 iteraciones $[n + 1]$ y $E = 0$ durante otras 7000 iteraciones. Esta emulación permite observar la respuesta transitoria en un osciloscopio, como se muestra en esta sección.

La figura 5.7 muestra la respuesta transitoria de MatLab y la simulación de error del convertidor

utilizando los parámetros SMC.

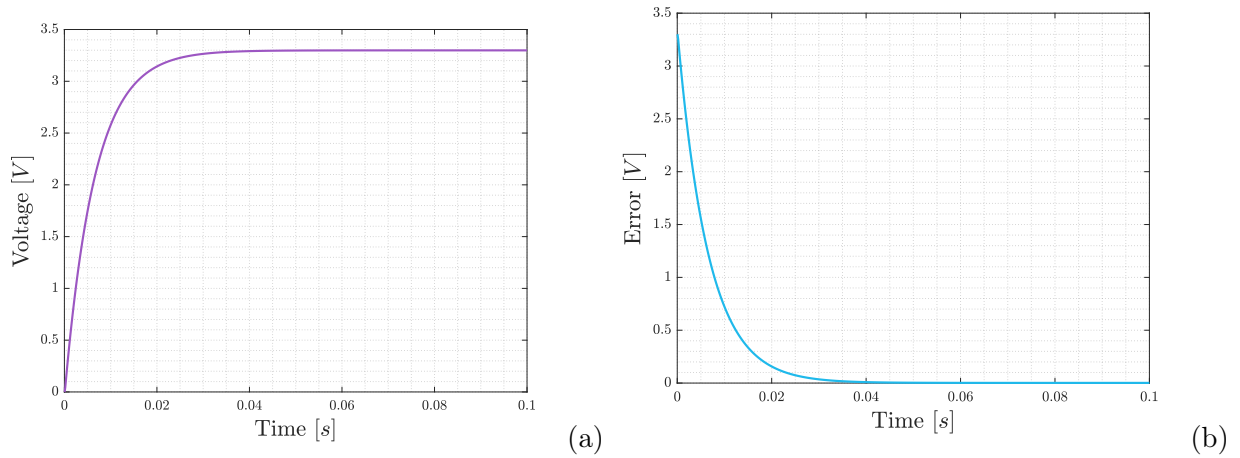


Figura 5.7: Resultados de la simulación de MatLab del convertidor Buck con controlador SMC: (a) regulación de voltaje y (b) evolución del error.

El resultado experimental de la implementación FPGA y mediante el uso de un convertidor digital a analógico de 16 bits, se muestra en la Fig. 5.8, para observar la respuesta transitoria de la regulación de voltaje.

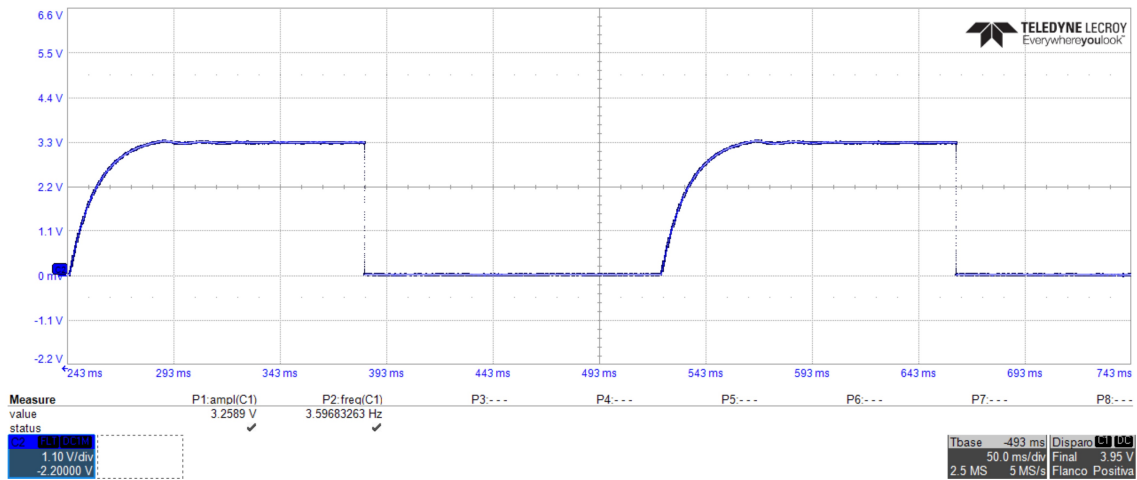


Figura 5.8: Observación experimental de la respuesta transitoria de la regulación de tensión del convertidor Buck con controlador SMC.

La figura 5.9 muestra la respuesta transitoria de MatLab y la simulación de error del convertidor utilizando los parámetros PID.



(b)



Efecto de la resistencia parásita y variaciones

6.1. Efectos de la resistencia parásita R_p utilizando un controlador PID y FOPID

Esta sección muestra los efectos R_p en la regulación de voltaje considerando el uso de un controlador PID y de un controlador FOPID para lograr la salida de voltaje deseada.

La figura 6.1 muestra la inclusión de la resistencia parásita R_p , que está conectada en serie con el inductor L [97]. En este caso, las ecuaciones actualizadas se derivan de la siguiente manera.

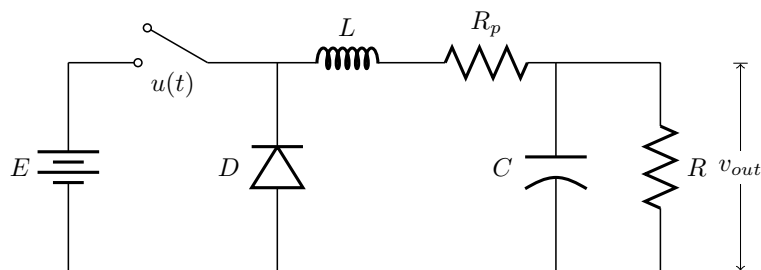


Figura 6.1: Topología de convertidor reductor CD-CD que incluye la resistencia parásita R_p .

Cuando el interruptor está encendido, el diodo D se polariza inversamente, de modo que los voltajes ahora pueden modelarse como $Eu(t) = v_L + v_{R_p} + v_{out}$, mientras que las variables de corriente permanecen constantes $i_L = i_C + i_R$, porque $i_L = i_{R_p}$. De esta manera, como $v_L = L\dot{i}_L$ e $i_C = C\dot{V}_C$, el modelo matemático ahora puede describirse como se da en la ecuación (6.1), donde $u(t) = 1$, $v_{R_p} = i_L R_p$, $v_{out} = V_C$ e $i_R = V_C/R$.

$$\begin{aligned}\dot{i}_L &= -i_L \frac{R_p}{L} - \frac{V_C}{L} + \frac{E}{L}, \\ \dot{V}_C &= \frac{i_L}{C} - \frac{V_C}{RC}.\end{aligned}\tag{6.1}$$

Cuando el interruptor está APAGADO, $u(t) = 0$, D está polarizado directamente y las ecuaciones asociadas se dan en la ecuación (6.2).

$$\begin{aligned}\dot{i}_L &= -i_L \frac{R_p}{L} - \frac{V_C}{L}, \\ \dot{V}_C &= \frac{i_L}{C} - \frac{V_C}{RC}.\end{aligned}\tag{6.2}$$

Nuevamente, como se puede inferir, la ecuación (6.1) y la ecuación (6.2) se pueden modelar juntas simplemente insertando $u(t)$ como se muestra en la ecuación (6.3), cuyo modelo matemático incluye el efecto de la resistencia parásita R_p [97].

$$\begin{aligned}\dot{i}_L &= -i_L \frac{R_p}{L} - \frac{V_C}{L} + \frac{E}{L}u(t), \\ \dot{V}_C &= \frac{i_L}{C} - \frac{V_C}{RC}.\end{aligned}\tag{6.3}$$

Tomando la corriente del inductor (i_L) y el voltaje del capacitor (V_C) como variables de estado x_1 y x_2 , respectivamente, el espacio de estados que incluye el efecto de la resistencia parásita se da en la ecuación (6.4).

$$\begin{aligned}\dot{x}_1 &= -\frac{R_p}{L}x_1 - \frac{1}{L}x_2 + \frac{Eu(t)}{L}, \\ \dot{x}_2 &= \frac{1}{C}x_1 - \frac{1}{RC}x_2.\end{aligned}\tag{6.4}$$

Dado que las resistencias parásitas deben mantenerse relativamente bajas para lograr una alta eficiencia del convertidor, su influencia en la resistencia de entrada del convertidor es insignificante en la mayoría de los casos. Sin embargo, para cargas pesadas, la influencia puede ser apreciable. El efecto de la resistencia parásita R_p en un convertidor reductor CD-CD se puede representar en forma matricial como: $\dot{x} = Ax + Bu$ e $y = Cx$, como se indica en las ecuaciones (6.5) y (6.6), respectivamente.

$$\begin{bmatrix} \dot{x}_1 \\ \dot{x}_2 \end{bmatrix} = \begin{bmatrix} -\frac{R_p}{L} & -\frac{1}{L} \\ \frac{1}{C} & -\frac{1}{RC} \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \end{bmatrix} + \begin{bmatrix} \frac{E}{L} \\ 0 \end{bmatrix} u(t),\tag{6.5}$$

$$y = \begin{bmatrix} 0 & 1 \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \end{bmatrix}.\tag{6.6}$$

El sistema de EDO dado en la ecuación (6.5) presenta la forma de un problema de valor inicial $\dot{x} = f(x, t) + u(t)$, que requiere condiciones iniciales para obtener una solución, como se mencionó en los Capítulos anteriores. En ésta Tesis, la solución de la ecuación (6.5) se obtiene aplicando el método de Adams-Bashforth (AB2) de segundo orden, un método explícito y de múltiples pasos cuya ecuación iterativa se da en la ecuación (3.60).

6.1.1. Convertidor CD–CD que incluye R_p con controlador PID

El convertidor Buck CD–CD se simula aplicando el método de integración Adams-Bashforth de segundo orden de la ecuación (3.60) y utilizando los valores de parámetros enumerados en la Tabla 6.1.

Tabla 6.1: Valores de los componentes del convertidor CD–CD Buck on control PID.

Parámetro	Definición	Valor
E	Voltaje de entrada	5 V
V_d	Voltaje deseado	3.3 V
R	Resistor	75 Ω
L	Inductor	20 mH
C	Capacitor	100 μ F

Las ganancias del controlador PID se toman de [98], donde se establecen en $K_p = 8.3413$, $K_i = 22.7361$ y $K_d = 0.0086$. Por lo tanto, esta sección solo muestra el efecto de la resistencia parásita R_p en la regulación de voltaje del convertidor. Según la ecuación (6.5), el caso ideal, es

decir, utilizando las EDO dadas en la ecuación (2.1), es cuando $R_p = 0$. La regulación de voltaje de este caso ideal se compara con los valores de R_p reportados en la literatura [97]. De esta manera, la figura 6.2 muestra las respuestas de la regulación de voltaje utilizando las EDO dadas en (6.5) que incluyen R_p , con control PID, y variando los valores de R_p a: 0.1, 0.3, 1 y 10 Ω .

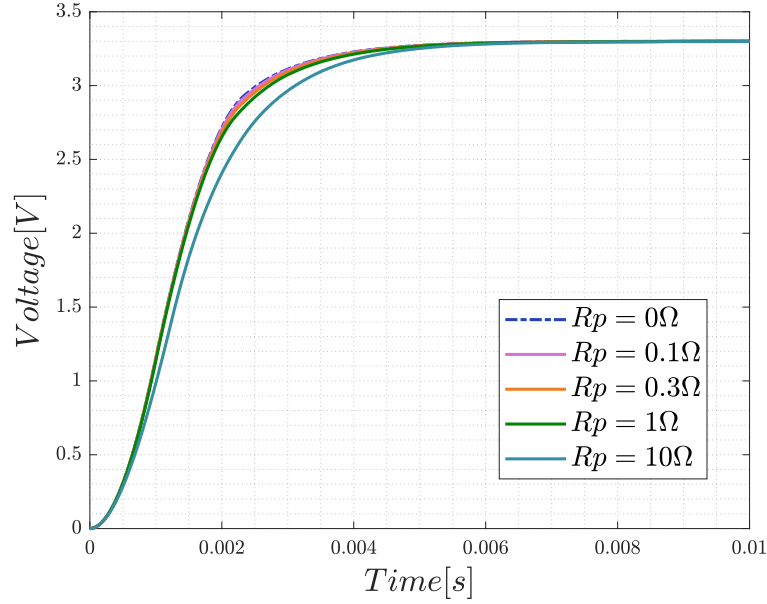


Figura 6.2: Voltaje de salida del convertidor con control PID considerando diferentes valores de la resistencia parásita R_p .

6.1.2. Convertidor CD-CD que incluye R_p con controlador FOPID

El convertidor con R_p se utiliza nuevamente para verificar el efecto parásito, pero ahora mediante control FOPID. Los valores de los parámetros del circuito son los mismos que los de la tabla 6.1, pero ahora la inductancia se establece en $L = 2\text{ mH}$. De esta manera, la Fig. 6.3 muestra la simulación del convertidor, estableciendo nuevamente las ganancias del controlador FOPID en [98], $K_p = 8.3413$, $K_i = 22.7361$ y $K_d = 0.0086$, y modificando los órdenes fraccionarios. Se puede observar que la mejor regulación de voltaje se obtiene estableciendo los órdenes fraccionarios en $\alpha = \beta = 0.9$, donde se mitiga el sobreimpulso y se obtiene una respuesta dinámica rápida. Por lo tanto, estos valores fraccionarios se utilizan para la simulación considerando el efecto R_p .

Similar a las variaciones de R_p en la subsección anterior al usar el PID, en este caso, al usar el controlador FOPID, el efecto parásito degrada la regulación de voltaje con valores superiores a

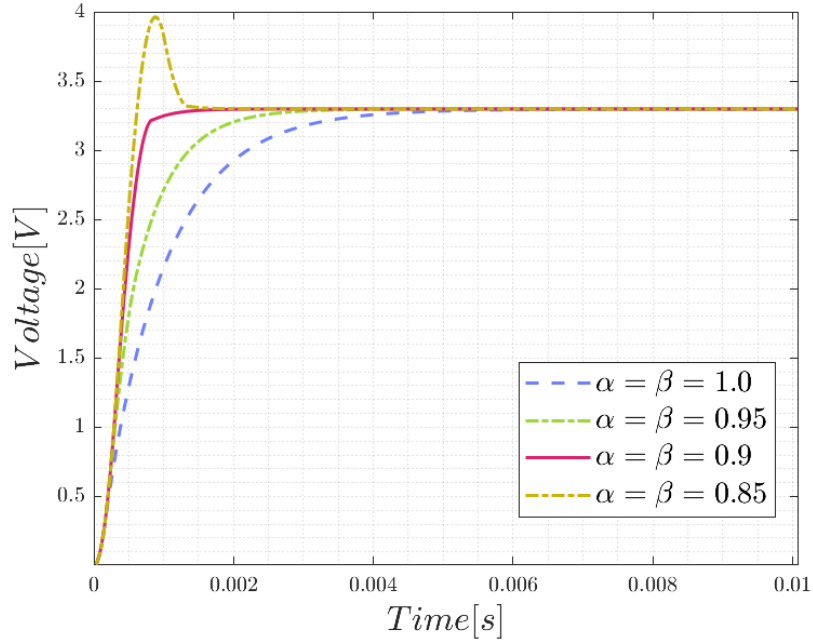


Figura 6.3: Respuesta de regulación de voltaje del convertidor Buck CD-CD utilizando el controlador FOPID con diferentes órdenes fraccionarios.

0.3 Ω . La figura 6.4 muestra este efecto, mostrando que el peor caso se aprecia claramente cuando $R_p = 1\Omega$.

6.2. Convertidor con controlador FOPID e incertidumbres paramétricas

Esta sección muestra el comportamiento de la regulación de voltaje del convertidor reductor CD-CD con controlador FOPID, expuesto a fluctuaciones paramétricas. Básicamente, la inductancia $L = 2\text{mH}$ y la capacitancia $C = 100\mu\text{F}$ varían por debajo de sus valores nominales entre $\pm 50\%$.

6.2.1. Variaciones L y ajustes en el FOPID

Cuando la inductancia varía alrededor de un valor nominal, la regulación de voltaje controlado por el PID o el FOPID se degrada. Consideremos el caso en el que se aplica el FOPID al convertidor y el inductor varía entre $\pm 50\%$. La regulación de voltaje se muestra en la Fig. 6.5, donde se puede

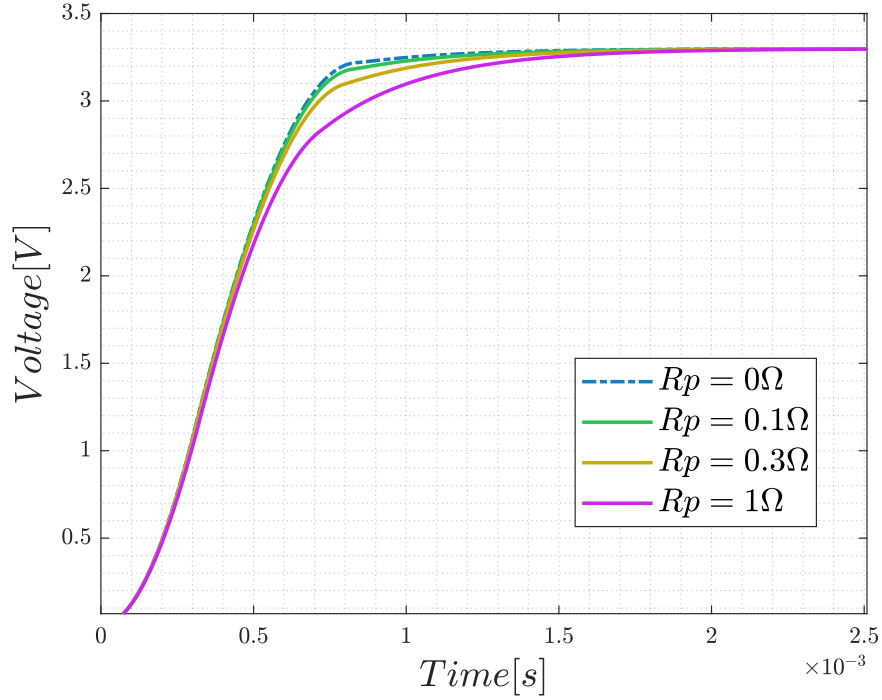


Figura 6.4: Efecto de R_p en la regulación de voltaje usando control FOPID con órdenes fraccionarios $\alpha = \beta = 0.9$.

apreciar que cuando L disminuye, tanto la velocidad de respuesta como el tiempo de estabilización aumentan, y cuando L supera el valor nominal ($L = 2\text{ mH}$), la velocidad de respuesta disminuye y el tiempo de estabilización aumenta, y además, se produce el sobreimpulso.

Estos efectos indeseables, como lo son: el aumento del tiempo de sobreimpulso y de establecimiento, así como la disminución de la velocidad de respuesta, se pueden mitigar mediante un ajuste adecuado del controlador FOPID, como se muestra a continuación.

Consideremos el caso en el que L aumenta un 30%. La respuesta de voltaje del convertidor mediante el controlador FOPID se muestra en la Fig. 6.6. Se puede apreciar que cuando $L = 2.6\text{ mH}$, la respuesta de voltaje genera un sobreimpulso y aumenta el tiempo de estabilización. Esto se puede mitigar ajustando las ganancias del controlador FOPID; en este caso, la ganancia diferencial se ajusta desde el valor nominal de $K_d = 0.0086$ a 0.0098 . La mejora en la regulación de voltaje se puede observar en la Fig. 6.6 en la línea naranja, donde se puede apreciar que el sobreimpulso se mitiga y el tiempo de estabilización se reduce.

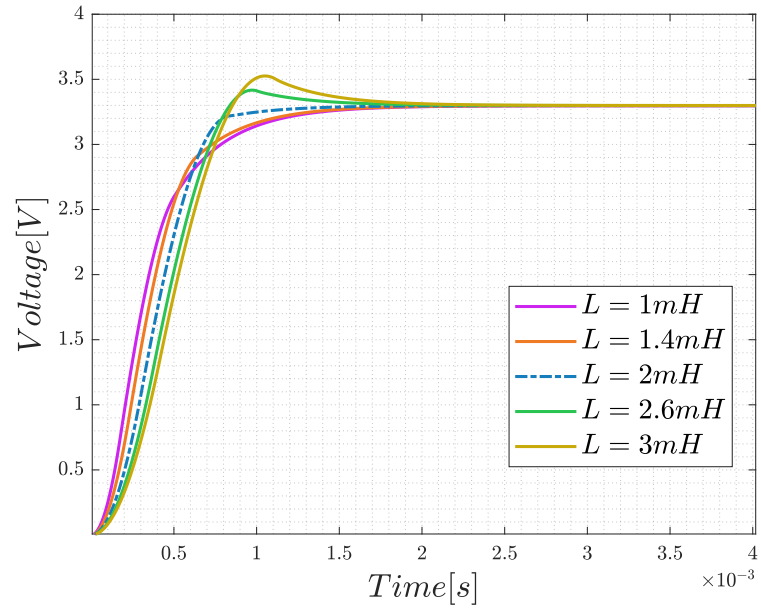


Figura 6.5: Respuesta del convertidor con control FOPID y variando L al rededor de $\pm 50\%$.

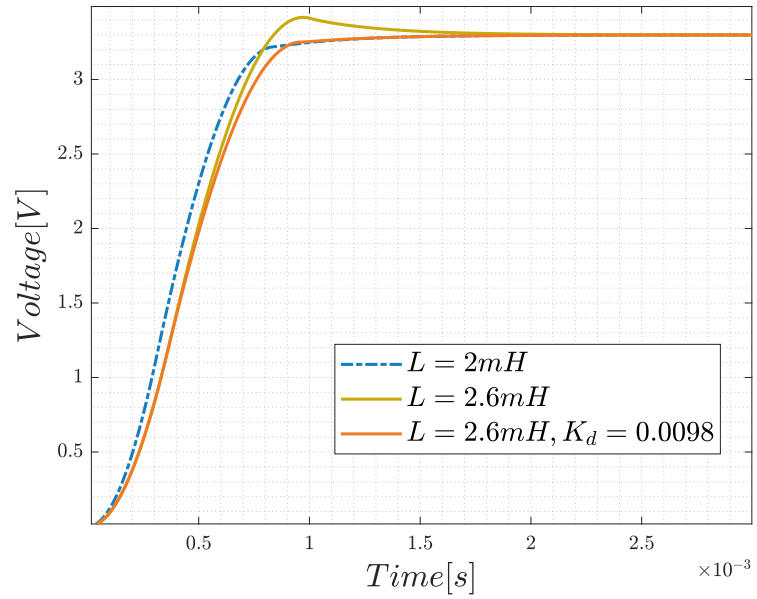


Figura 6.6: Respuesta de voltaje del convertidor cuando L varía 30% y mejora la respuesta al ajustar K_d de 0.0086 a 0.0098.

6.2.2. Variaciones de C y ajustes en el FOPID

Cuando C varía entre $\pm 50\%$ en el convertidor con control FOPID, la respuesta de voltaje es similar a la de L . La figura 6.7 muestra las respuestas del convertidor, donde se puede apreciar que si C alcanza valores inferiores al nominal ($100\mu F$), tanto la velocidad de respuesta como el tiempo de estabilización aumentan, y cuando C supera el valor nominal, la velocidad de respuesta disminuye y el tiempo de estabilización aumenta, produciéndose además un sobreimpulso. Este es el mismo comportamiento que se observa cuando L varía en la misma proporción. De esta manera, estos efectos indeseables, a saber, el aumento del tiempo de sobrepaso y asentamiento, así como la disminución de la velocidad de respuesta, también pueden mitigarse mediante un ajuste adecuado del controlador FOPID, como se muestra para el caso cuando L varía.

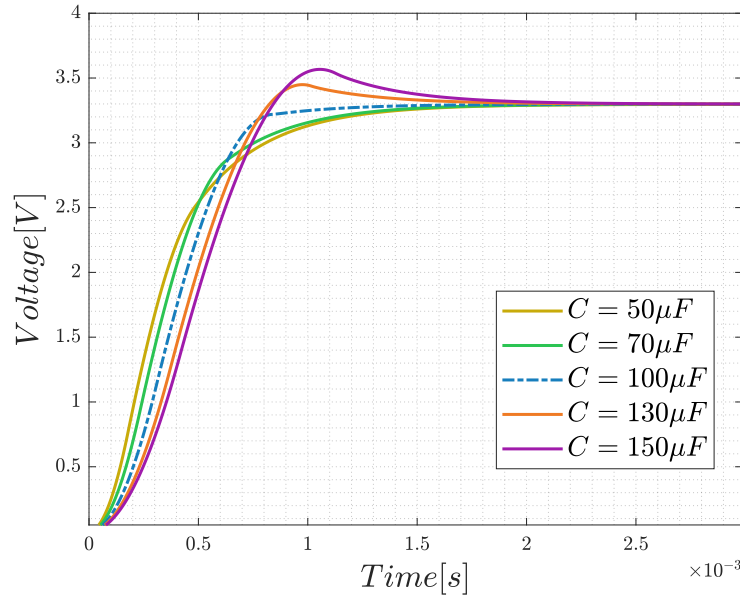


Figura 6.7: Respuesta de voltaje del convertidor usando control FOPID y variando C alrededor de $\pm 50\%$.

Como se muestra para la variación de L , consideremos ahora el caso en que C aumenta un 30% ; la respuesta de voltaje del convertidor, utilizando el controlador FOPID, se muestra en la Fig. 6.8. En esta respuesta, se puede apreciar que cuando $C = 130\mu F$, la respuesta de voltaje, mostrada en la línea verde, genera un sobreimpulso y aumenta el tiempo de estabilización.

Dado que estos comportamientos indeseables son bastante similares a los que surgen al variar L en la misma proporción, la mejora puede obtenerse parcialmente ajustando la ganancia diferencial

del controlador FOPID. De nuevo, la mejora puede lograrse ajustando K_d de su valor nominal de 0.0086 a 0.0098. En este caso, la regulación de voltaje puede observarse en la figura 6.8, donde se mitiga el sobreimpulso y también se reduce el tiempo de establecimiento.

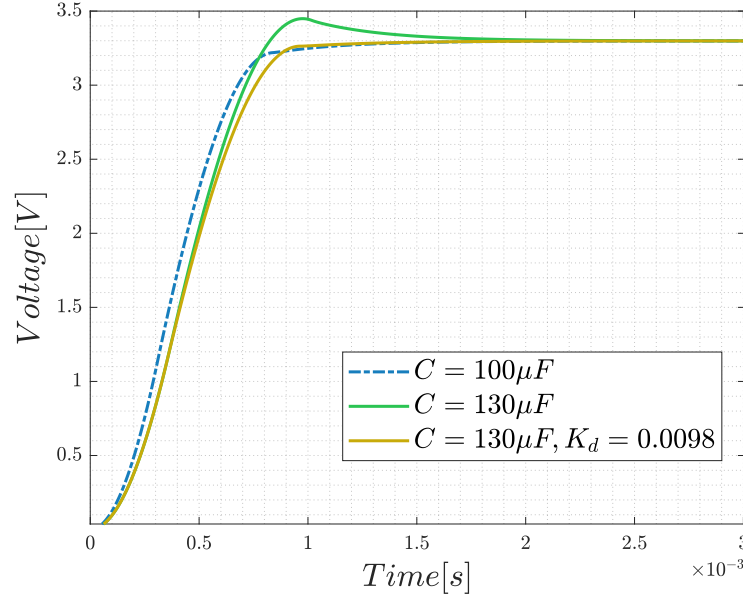


Figura 6.8: Respuesta de voltaje del convertidor cuando C varía 30% y mejora la respuesta al ajustar K_d de 0.0086 a 0.0098.

En este Capítulo se ha demostrado el efecto parásito de la resistencia en serie R_p asociada al inductor L en un convertidor reductor CD-CD. El modelo matemático del convertidor, incluyendo R_p , se derivó y se expresó en el estado espacial, cuya solución se aproximó mediante la aplicación del método de Adams-Bashforth de segundo orden (AB2). La regulación de voltaje se realizó mediante un controlador PID o FOPID, cuyas ganancias se obtuvieron de la literatura, mientras que los órdenes fraccionarios se obtuvieron simulando el convertidor con AB2 y el FOPID con el método de Grünwald-Letnikov. Tras determinar que la mejor respuesta se obtiene al establecer $\alpha = \beta = 0.9$ para el FOPID, con $K_p = 8.3413$, $K_i = 22.7361$ y $K_d = 0.0086$, los resultados de la simulación mostraron las respuestas del convertidor bajo incertidumbres en los valores de los parámetros.

Se variaron los parámetros R_p , L y C para mostrar sus efectos en el convertidor, y se concluyó que las variaciones de los parámetros pueden mitigarse mediante un ajuste adecuado del controlador FOPID. Esto confirmó la validez del modelo matemático derivado del convertidor reductor CD-

CD, que incluye R_p , el principal elemento parásito que causa un comportamiento indeseable en aplicaciones reales de convertidores.

Conclusiones

Esta Tesis presenta la propuesta de una superficie para aplicar la técnica de control en modos deslizantes (SMC) a un convertidor CD-CD tipo reductor (Buck). También describe la aplicación de un controlador proporcional-integral-derivativo (PID) de orden entero y de orden fraccionario. La aplicación de ambos controladores SMC y PID, requiere de entonar sus parámetros para garantizar un mínimo sobretiro y tiempo de establecimiento, una respuesta rápida, y que garanticen estabilidad y convergencia en tiempo finito.

Se describen métodos numéricos para simular el convertidor CD-CD tipo reductor con ambos controles SMC y PID, además del PID de orden fraccionario. En el caso del controlador SMC, se propuso una nueva superficie deslizante, se obtuvieron los valores de sus parámetros para garantizar estabilidad y convergencia en tiempo finito aplicando la Teoría de Lyapunov. También se mostró la implementación del control SMC propuesto en un arreglo de compuertas programables en el campo (FPGA), cuyos resultados experimentales coinciden con los resultados de simulación aplicando métodos numéricos.

Se aplicó el método de optimización por enjambre de partículas (PSO) para optimizar los parámetros del control PID, cuyos resultados se extendieron para entonar un PID fraccionario que mejoró las respuesta de tres trabajos publicados, y que controlan también un convertidor CD-CD tipo reductor. Asimismo, se implementó el control PID y se emuló el convertidor CD-CD tipo reductor en FPGA, cuyos resultados experimentales coinciden con los simulados con métodos numéricos. En el caso del PID de orden fraccionario, la simulación en el dominio del tiempo se realizó aplicando el método Grünwald-Letnikov para la derivada e integral, y se aplicó el principio de memoria corta.

Se presentó la influencia del resistor parásito y variaciones en los parámetros del convertidor, para garantizar la acción del control en el convertidor Cd-CD tipo reductor. Se mostró que a través del entonado de los controladores, se logra garantizar el buen comportamiento del convertidor CD-CD tipo reductor, logrando generar un voltaje deseado con un buen tiempo de respuesta y establecimiento. De esta manera se concluye que los controladores SMC y PID de orden entero y fraccionario, pueden entonarse aplicando métodos numéricos para mejorar las características de convertidores, en esta Tesis, del convertidor CD-CD tipo reductor.

Índice de figuras

1.1. Diagrama a bloques de un convertidor CD-CD.	1
1.2. Comparación de controles PID y modos deslizantes de orden entero/fraccionario para el convertidor Buck [18].	13
1.3. Error en el voltaje para controles PID y modos deslizantes de orden entero/fraccionario [18].	13
2.1. Diagrama general de un convertidor CD-CD con control.	19
2.2. Topología genérica del convertidor DC-DC Buck.	20
2.3. Respuesta de un sistema de control.	22
2.4. Principio de operación del control en modo deslizante.	25
2.5. Convertidor Buck con control utilizando el bloque PID	32
2.6. Respuesta del algoritmo de control utilizando el bloque PID	32
2.7. Convertidor Buck con control PID a bloques	33
2.8. Respuesta del algoritmo de PID a bloques	33
2.9. Descripción de bloques de la implementación de la ecuación (2.28), donde $u(t)$ es tomada de la salida del comparador.	35
2.10. Respuesta del Buck con métodos numéricos predictivos.	39
2.11. Respuesta del Buck con métodos numéricos correctivos.	39
2.12. Respuesta del controlador fraccionario, variando una de las constantes del control.	42
2.13. Respuesta del controlador fraccionario, con diferentes valores para la integral.	43

2.14. Comparación de la respuesta de voltaje usando Matlab/Simulink vs. métodos numéricos.	44
3.1. Retraro de fase de las tres superficies deslizantes.	57
3.2. Convergencia en Tiempo finito de la variable de salida para las superficies deslizantes de los tres casos.	58
3.3. Respuestas de voltaje del control en modo deslizante para las tres superficies deslizantes.	59
3.4. Respuestas de la corriente del modo deslizante para las tres superficies deslizantes. .	59
3.5. Valores de β para la superficie deslizante propuesta.	60
4.1. Respuesta de salida del PID utilizando las ganancias obtenidas a partir de los valores de los elementos del convertidor.	63
4.2. Respuesta del PID con diferentes valores de K_d	64
4.3. Respuestas de voltaje de los controladores sintonizados en [28, 42, 43] para el convertidor Buck, utilizando los valores dados en la Tabla 5.1.	68
4.4. Comparación entre los valores originales dados en [42] y los valores optimizados por el algoritmo PSO.	71
4.5. Comparación entre los valores originales dados en [43] y los valores optimizados por el algoritmo PSO.	72
4.6. Comparación entre los valores originales dados en [28] y los valores optimizados por el algoritmo PSO.	72
4.7. Evolución del error $e(t)$ de los tres casos de estudio enumerados en la Tabla 4.6. . . .	73
4.8. Señal de salida $u(t)$ proporcionada por el FOPID descrito en la Fig. 2.11 para el caso de estudio tomado de [42].	73
4.9. Respuestas temporales de los tres controladores FOPID mejorados tomadas de [28, 42, 43] y ajustadas mediante la aplicación del algoritmo PSO.	74
5.1. Respuesta de voltaje estableciendo $\alpha = 500$ y eligiendo tres valores de β	78
5.2. Descripción de alto nivel y de bloques del convertidor Buck CD-CD emulado por el método AB2 y el controlador SMC, utilizando buses de 32 bits para las variables de estado x_1, x_2	83

5.3. Descripción del bloque para la implementación FPGA de (5.18) y (5.19), que muestra multiplicadores de constantes simples (SCM) asociados a los parámetros A, B, C, D, E, F, G y J	84
5.4. Descripción del bloque del controlador SMC.	84
5.5. Descripción de alto nivel y por bloques del convertidor Buck DC–DC emulado por el método AB2 y el controlador PID, utilizando buses de 32 bits para las variables de estado.	86
5.6. Descripción del bloque del controlador PID modelado por $e_{n+1}^P = K_p e_n, e_{n+1}^I$ dado en (5.20), y e_{n+1}^D dado en (5.21).	87
5.7. Resultados de la simulación de MatLab del convertidor Buck con controlador SMC: (a) regulación de voltaje y (b) evolución del error.	88
5.8. Observación experimental de la respuesta transitoria de la regulación de tensión del convertidor Buck con controlador SMC.	88
5.9. Resultados de la simulación de MatLab del convertidor Buck con controlador PID: (a) regulación de voltaje y (b) evolución del error.	89
6.1. Topología de convertidor reductor CD–CD que incluye la resistencia parásita R_p . . .	90
6.2. Voltaje de salida del convertidor con control PID considerando diferentes valores de la resistencia parásita R_p	93
6.3. Respuesta de regulación de voltaje del convertidor Buck CD–CD utilizando el controlador FOPID con diferentes órdenes fraccionarios.	94
6.4. Efecto de R_p en la regulación de voltaje usando control FOPID con órdenes fraccionarios $\alpha = \beta = 0.9$	95
6.5. Respuesta del convertidor con control FOPID y variando L al rededor de $\pm 50\%$. . .	96
6.6. Respuesta de voltaje del convertidor cuando L varía 30 % y mejora la respuesta al ajustar K_d de 0.0086 a 0.0098.	96
6.7. Respuesta de voltaje del convertidor usando control FOPID y variando C alrededor de $\pm 50\%$	97
6.8. Respuesta de voltaje del convertidor cuando C varía 30 % y mejora la respuesta al ajustar K_d de 0.0086 a 0.0098.	98

Índice de tablas

1.1. Características de las topologías de convertidores CD-CD [2].	3
1.2. Aplicaciones de los convertidores CD-CD.	12
1.3. $PI^\lambda D^\mu$	14
2.1. SMC.	28
3.1. Ganancias y valores de las constantes de las superficies deslizantes.	55
4.1. Valores de las ganancias del controlador PID de orden entero en el dominio de la frecuencia.	61
4.2. Respuesta del controlador PID de orden entero en el dominio del tiempo utilizando diferentes métodos numéricos.	62
4.3. Valores de los elementos del circuito del convertidor Buck CD-CD para ajustar las características de tres controladores FOPID.	67
4.4. Valores originales y características del PD^μ ya introducidos en [42] y del controlador $PI^\lambda D^\mu$ descrito en [43] y [28], los valores de los elementos del convertidor se muestran en la Tabla 4.3.	68
4.5. Diez soluciones factibles proporcionadas por la ejecución de PSO y el error asociado evaluado.	69

4.6. Valores finales ajustados y características del PD^μ ya introducidos en [42], y del $PI^\lambda D^\mu$ introducido en [43] y [28], después de ejecutar el algoritmo PSO considerando los valores del circuito enumerados en la Tabla 4.3.	70
4.7. Características medidas para los controladores de orden entero y fraccionario que se muestran en la Fig. 4.4 y la Fig. 4.5.	70
5.1. Valores de los elementos del circuito del convertidor reductor CD–CD que se muestran en la Figura 2.2.	81
5.2. Valores de los parámetros de los controladores SMC y PID para el convertidor Buck CD–CD.	81
5.3. Distribución del formato de punto fijo para la síntesis FPGA del controlador SMC utilizando 32 bits.	82
5.4. Distribución del formato de punto fijo para la síntesis FPGA del controlador PID utilizando 32 bits.	85
5.5. Recursos de hardware para la síntesis del convertidor Buck CD–CD con controladores SMC y PID utilizando el FPGA Cyclone® IV EP4CGX150DF31C7N.	87
6.1. Valores de los componentes del convertidor CD–CD Buck on control PID.	92

Bibliografía

- [1] N. Yang, C. Wu, R. Jia, and C. Liu, “Fractional-order terminal sliding-mode control for buck dc/dc converter,” *Mathematical Problems in Engineering*, vol. 2016, 2016.
- [2] F. Mumtaz, N. Z. Yahaya, S. T. Meraj, B. Singh, R. Kannan, and O. Ibrahim, “Review on non-isolated dc-dc converters and their control techniques for renewable energy applications,” *Ain Shams Engineering Journal*, vol. 12, no. 4, pp. 3747–3763, 2021.
- [3] M. K. Kazimierczuk, G. M. Lozito, F. Corti, and A. Reatti, “Accurate design of output filter for dc–dc pwm buck converter and derived topologies,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 70, no. 4, pp. 1786–1794, 2023.
- [4] R. D. N. Aditama, N. Ramadhani, T. Ardriani, J. Furqani, A. Rizqian, and P. A. Dahono, “New modular multilevel dc-dc converter derived from modified buck-boost dc-dc converter,” *ENERGIES*, vol. 16, OCT 2023.
- [5] S. Du, B. Wu, and N. R. Zargari, “A transformerless high-voltage dc-dc converter for dc grid interconnection,” *IEEE TRANSACTIONS ON POWER DELIVERY*, vol. 33, pp. 282–290, FEB 2018.
- [6] L.-S. Yang and T.-J. Liang, “Analysis and implementation of a novel bidirectional dc-dc converter,” *IEEE TRANSACTIONS ON INDUSTRIAL ELECTRONICS*, vol. 59, pp. 422–434, JAN 2012.

- [7] E. Salary, M. R. Banaei, and A. Ajami, “Design of novel step-up boost dc/dc converter,” *IRANIAN JOURNAL OF SCIENCE AND TECHNOLOGY-TRANSACTIONS OF ELECTRICAL ENGINEERING*, vol. 41, pp. 13–22, MAR 2017.
- [8] S. Du, B. Wu, K. Tian, D. Xu, and N. R. Zargari, “A novel medium-voltage modular multi-level dc-dc converter,” *IEEE TRANSACTIONS ON INDUSTRIAL ELECTRONICS*, vol. 63, pp. 7939–7949, DEC 2016.
- [9] J.-S. Kim, J.-O. Yoon, and B.-D. Choi, “A high-light-load-efficiency low-ripple-voltage pfm buck converter for iot applications,” *IEEE Transactions on Power Electronics*, vol. 37, no. 5, pp. 5763–5772, 2021.
- [10] S. Thongmark and W. Wattanapanitch, “Design of a high-efficiency low-ripple buck converter for low-power system-on-chips,” *IEEE Access*, vol. 11, pp. 122566–122585, 2023.
- [11] L. Liu, L. Sun, J. Xu, X. Zhang, C. Xu, and X. Liao, “A 0.4-v startup, dead-zone-free, monolithic four-mode synchronous buck-boost converter,” *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 31, no. 7, pp. 1004–1013, 2023.
- [12] H. Lin, C. Chai, Q. Fan, F. Li, X. Mao, and Y. Yang, “A wide input voltage range dc-dc buck converter with dynamically modified zed circuit,” *IEICE Electronics Express*, vol. 21, no. 13, pp. 20240129–20240129, 2024.
- [13] Z. Zhao, P. Luo, Z. Zhang, J. Fan, S. Zhen, and B. Zhang, “A vco-based modulation low ripple pfm-pwm buck converter with seamless mode transition,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2024.
- [14] A. SIDDIQUE, W. ASLAM, M. MOHSIN, F. A. SAEED, and M. HANAN, “Design simulation and implementation of cascaded buck square converter for high voltage step-down applications,” *Journal of Engineering Science and Technology*, vol. 17, no. 5, pp. 3583–3599, 2022.
- [15] M. Hosseinpour, M. Ahmadi, A. Seifi, and S. H. Hosseini, “A new transformerless buck-boost converter with improved voltage gain and continuous input current,” *IET Power Electronics*, vol. 17, no. 4, pp. 534–550, 2024.

- [16] C. Tu, R. Chen, and K. D. Ngo, “Series-resonator buck converter—viability demonstration,” *IEEE Transactions on Power Electronics*, vol. 36, no. 9, pp. 9693–9697, 2021.
- [17] A. G. Esfahani, M. Sadeghi, E. Adib, P. Wheeler, A. A. Khan, and M. Jamil, “Low output current ripple ultra high step-down two-phase buck converter with low switching losses,” *IEEE Transactions on Industrial Electronics*, 2024.
- [18] N. Ullah, “Fractional order sliding mode control design for a buck converter feeding resistive power loads,” *Mathematical Modelling of Engineering Problems*, vol. 7, no. 4, pp. 649–658, 2020.
- [19] X. Lin, J. Liu, F. Liu, Z. Liu, Y. Gao, and G. Sun, “Fractional-order sliding mode approach of buck converters with mismatched disturbances,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 68, no. 9, pp. 3890–3900, 2021.
- [20] A. G. S. Sánchez, J. Soto-Vega, E. Tlelo-Cuautle, and M. A. Rodríguez-Licea, “Fractional-order approximation of pid controller for buck–boost converters,” *Micromachines*, vol. 12, no. 6, p. 591, 2021.
- [21] O. Kaplan and F. Bodur, “Second-order sliding mode controller design of buck converter with constant power load,” *INTERNATIONAL JOURNAL OF CONTROL*.
- [22] A. A. Amin and M. Abdullah, “A comparative study of dc-dc buck, boost, and buck-boost converters with proportional-integral, sliding mode, and fuzzy logic controllers,” *RECENT ADVANCES IN ELECTRICAL & ELECTRONIC ENGINEERING*, vol. 15, no. 1, pp. 75–91, 2022.
- [23] Y. Belkhier, A. Achour, F. Hamoudi, N. Ullah, and B. Mendil, “Robust energy-based nonlinear observer and voltage control for grid-connected permanent magnet synchronous generator in the tidal energy conversion system,” *International Journal of Energy Research*, vol. 45, no. 9, pp. 13250–13268, 2021.
- [24] A. A. Al Alahmadi, Y. Belkhier, N. Ullah, H. Abeida, M. S. Soliman, Y. S. H. Khraisat, and Y. M. Alharbi, “Hybrid wind/pv/battery energy management-based intelligent non-integer control for smart dc-microgrid of smart university,” *IEEE Access*, vol. 9, pp. 98948–98961, 2021.

- [25] A. Kaleem, I. U. Khalil, S. Aslam, N. Ullah, S. Al Otaibi, and M. Algethami, “Feedback pid controller-based closed-loop fast charging of lithium-ion batteries using constant-temperature–constant-voltage method,” *Electronics*, vol. 10, no. 22, p. 2872, 2021.
- [26] I. Sami, S. Ullah, Z. Ali, N. Ullah, and J.-S. Ro, “A super twisting fractional order terminal sliding mode control for dfig-based wind energy conversion system,” *Energies*, vol. 13, no. 9, p. 2158, 2020.
- [27] Y. Belkhier, A. Achour, R. N. Shaw, N. Ullah, M. S. Chowdhury, and K. Techato, “Energy-based combined nonlinear observer and voltage controller for a pmsg using fuzzy supervisor high order sliding mode in a marine current power system,” *Sustainability*, vol. 13, no. 7, p. 3737, 2021.
- [28] P. Warriar and P. Shah, “Optimal fractional pid controller for buck converter using cohort intelligent algorithm,” *Applied System Innovation*, vol. 4, no. 3, p. 50, 2021.
- [29] N. Chafekar, U. Mate, S. Kurode, and V. Vyawahare, “Design and implementation of fractional order sliding mode controller for dc-dc buck converter,” in *2019 Fifth Indian Control Conference (ICC)*, pp. 201–206, IEEE, 2019.
- [30] L. Xie, Z. Liu, K. Ning, and R. Qin, “Fractional-order adaptive sliding mode control for fractional-order buck-boost converters,” *JOURNAL OF ELECTRICAL ENGINEERING & TECHNOLOGY*, vol. 17, pp. 1693–1704, MAY 2022.
- [31] B. Taheri, M. Sedaghat, M. A. Bagherpour, and P. Farhadi, “A new controller for dc-dc converters based on sliding mode control techniques,” *JOURNAL OF CONTROL AUTOMATION AND ELECTRICAL SYSTEMS*, vol. 30, pp. 63–74, FEB 2019.
- [32] S. Ali, M. T. Raza, G. Abbas, N. Ullah, S. Al Otaibi, and H. Luo, “Sliding mode observer-based fault detection in continuous time linear switched systems,” *Energies*, vol. 15, no. 3, p. 1090, 2022.
- [33] I. K. Mohammed, “Design of optimized pid controller based on abc algorithm for buck converters with uncertainties,” *Journal of Engineering Science and Technology*, vol. 16, no. 5, pp. 4040–4059, 2021.

- [34] Y. Lu, W. Yu, J. Wang, D. Jiang, and R. Li, “Design of pid controller based on elm and its implementation for buck converters,” *International Journal of Control, Automation and Systems*, vol. 19, no. 7, pp. 2479–2490, 2021.
- [35] M. Rajamani, R. Rajesh, and M. Willjuice Iruthayarajan, “Design and experimental validation of pid controller for buck converter: A multi-objective evolutionary algorithms based approach,” *IETE Journal of Research*, vol. 69, no. 1, pp. 21–32, 2023.
- [36] A. Thangaraj, S. A. E. Xavier, and P. Ramasamy, “An ega approach-based fractional order pid controller for synchronous buck converters,” *Journal of Circuits, Systems and Computers*, vol. 30, no. 14, p. 2150253, 2021.
- [37] D. Izci, S. Ekinici, and B. Hekimoğlu, “Fractional-order pid controller design for buck converter system via hybrid lévy flight distribution and simulated annealing algorithm,” *Arabian journal for science and engineering*, vol. 47, no. 11, pp. 13729–13747, 2022.
- [38] L. Wang, Y. Luo, and H. Yan, “Ant colony optimization-based adjusted pid parameters: a proposed method,” *PEERJ COMPUTER SCIENCE*, vol. 9, NOV 9 2023.
- [39] S. Sangeetha, B. S. Revathi, K. Balamurugan, and G. Suresh, “Performance analysis of buck converter with fractional pid controller using hybrid technique,” *ROBOTICS AND AUTONOMOUS SYSTEMS*, vol. 169, NOV 2023.
- [40] J. Gao and H. Li, “Tuning parameters of the fractional order pid-lqr controller for semi-active suspension,” *ELECTRONICS*, vol. 12, OCT 2023.
- [41] N. A. A. Mohamed, H. M. M. Hasanien, A. Alkuhayli, T. Akmaral, F. Jurado, and A. O. O. Badr, “Hybrid particle swarm and gravitational search algorithm-based optimal fractional order pid control scheme for performance enhancement of offshore wind farms,” *SUSTAINABILITY*, vol. 15, AUG 2023.
- [42] A. G. S. Sánchez, F.-J. Perez-Pinal, and A. Espinosa-Calderón, “Optimization and its implementation impact of two-modes controller fractional approximation for buck converters,” *Micromachines*, vol. 13, no. 10, p. 1600, 2022.

- [43] S. M. Ghamari, H. G. Narm, and H. Mollaei, “Fractional-order fuzzy pid controller design on buck converter with antlion optimization algorithm,” *IET Control Theory & Applications*, vol. 16, no. 3, pp. 340–352, 2022.
- [44] N. F. Nanyan, M. A. Ahmad, and B. Hekimoğlu, “Optimal pid controller for the dc-dc buck converter using the improved sine cosine algorithm,” *Results in Control and Optimization*, vol. 14, p. 100352, 2024.
- [45] R. A. Acosta-Rodríguez, F. H. Martinez-Sarmiento, and G. A. Măşnoz-Hernandez, “Design methodology for optimized control of high-power quadratic buck converters using sliding mode and hybrid controllers,” *IEEE Access*, 2025.
- [46] S. Huerta-Moro, O. Martínez-Fuentes, V. R. Gonzalez-Diaz, and E. Tlelo-Cuautle, “On the sliding mode control applied to a dc-dc buck converter,” *Technologies*, vol. 11, no. 2, p. 33, 2023.
- [47] S. Alsarayreh and Z. Suto, “Optimal selection of switch model parameters for adc-based power converters,” *ENERGIES*, vol. 17, JAN 2024.
- [48] M. Asghar, A. Khattak, M. M. Rafiq, *et al.*, “Comparison of integer and fractional order robust controllers for dc/dc converter feeding constant power load in a dc microgrid,” *Sustainable Energy, Grids and Networks*, vol. 12, pp. 1–9, 2017.
- [49] Z. Liu, X. Lin, Y. Gao, R. Xu, J. Wang, Y. Wang, and J. Liu, “Fixed-time sliding mode control for dc/dc buck converters with mismatched uncertainties,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 70, no. 1, pp. 472–480, 2022.
- [50] H. Al-Baidhani and M. K. Kazimierczuk, “Simplified nonlinear current-mode control of dc-dc cuk converter for low-cost industrial applications,” *Sensors*, vol. 23, no. 3, p. 1462, 2023.
- [51] F. A. d. C. A. Junior, I. Bessa, V. M. B. Pereira, N. J. da Silva Farias, A. R. de Menezes, R. L. de Medeiros, J. E. Chaves Filho, M. K. Lenzi, and C. T. da Costa Júnior, “Fractional order pole placement for a buck converter based on commensurable transfer function,” *ISA transactions*, vol. 107, pp. 370–384, 2020.

- [52] Y. M. Alharbi, A. A. Al Alahmadi, N. Ullah, H. Abeida, M. S. Soliman, and Y. S. H. Khraisat, “Super twisting fractional order energy management control for a smart university system integrated dc micro-grid,” *IEEE Access*, vol. 8, pp. 128692–128704, 2020.
- [53] J. A. Gonzalez-Prieto, “Finite time adaptive smooth nonlinear control of dc-dc buck converters operating in ccm and dcm,” *INTERNATIONAL JOURNAL OF DYNAMICS AND CONTROL*, vol. 11, pp. 619–636, APR 2023.
- [54] J. Liu, S. Chen, S. Cai, and C. Xu, “A proposal on centralised and distributed optimisation via proportional-integral-derivative controllers (pid) control perspective,” *IET CYBER-SYSTEMS AND ROBOTICS*, vol. 5, DEC 2023.
- [55] F. Ding, W. Zhang, X. Luo, L. Hu, Z. Zhang, M. Wang, H. Li, M. Peng, X. Wu, L. Hu, and T. Zhang, “Gain self-adjusting single neuron pid control method and experiments for longitudinal relative position of harvester and transport vehicle,” *COMPUTERS AND ELECTRONICS IN AGRICULTURE*, vol. 213, 2023 OCT 2023.
- [56] O. Saleem, F. G. Awan, K. Mahmood-ul Hasan, and M. Ahmad, “Self-adaptive fractional-order lq-pid voltage controller for robust disturbance compensation in dc-dc buck converters,” *International Journal of Numerical Modelling: Electronic Networks, Devices and Fields*, vol. 33, no. 4, p. e2718, 2020.
- [57] S. M. Ghamari, F. Khavari, and H. Mollaei, “Lyapunov-based adaptive pid controller design for buck converter,” *Soft Computing*, pp. 1–10, 2023.
- [58] L. Xie, Z. Liu, K. Ning, and R. Qin, “Fractional-order adaptive sliding mode control for fractional-order buck-boost converters,” *Journal of Electrical Engineering & Technology*, vol. 17, no. 3, pp. 1693–1704, 2022.
- [59] M. A. Usta and E. Sahin, “Detailed analysis and modeling of an improved cascade buck converter,” *INTERNATIONAL JOURNAL OF ELECTRONICS*, 2023 OCT 19 2023.
- [60] X. Yang, L. Zhao, Z. Tan, M. Zhao, Y. Ding, W. Li, Y. Lu, and W. Qu, “A high-efficiency wide output range reconfigurable capacitive-sigma dc-dc converter,” *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, 2023 OCT 11 2023.

- [61] N. Hinov and T. Grigorova, “Design considerations of multi-phase buck dc-dc converter,” *APPLIED SCIENCES-BASEL*, vol. 13, OCT 2023.
- [62] M. Sun, C. Chen, L. Wang, X. Xie, Y. Wang, and M. Xu, “A fast transient adaptive on-time controlled buck converter with dual modulation,” *MICROMACHINES*, vol. 14, OCT 2023.
- [63] R. A. Acosta-Rodriguez, F. H. Martinez-Sarmiento, G. A. Munoz-Hernandez, G. Mino-Aguilar, E. A. Portilla-Flores, P. A. Nino-Suarez, and O. J. Salcedo-Parra, “Validation of sliding mode and passivity control in high-power quadratic buck converter through rapid prototyping,” *IEEE ACCESS*, vol. 12, pp. 8668–8699, 2024.
- [64] M. A. Garcia-Vellisca, C. Q. G. Munoz, M. S. Martinez-Garcia, and A. de Castro, “Automatic word length selection with boundary conditions for hil of power converters,” *ELECTRONICS*, vol. 12, AUG 2023.
- [65] T. Morales-Leal, A. Moreno-Munoz, M. A. Ortiz-Lopez, S. R. Geninatti, and F. J. Quiles-Latorre, “New random pwm method at constant switching frequency and maximum harmonic reduction created with a flexible fpga-based test bench,” *IEEE ACCESS*, vol. 11, pp. 19385–19394, 2023.
- [66] E. Guerrero-Ramirez, A. Martinez-Barbosa, M. Antonio Contreras-Ordaz, G. Guerrero-Ramirez, E. Guzman-Ramirez, J. Luis Barahona-Avalos, and M. Adam-Medina, “Dc motor drive powered by solar photovoltaic energy: An fpga-based active disturbance rejection control approach,” *ENERGIES*, vol. 15, SEP 2022.
- [67] E. M. Shaban, A. R. Hamed, A. M. Bassiuny, and A. M. A. Ghany, “On implementation of non-linear pid plus controller embedded on fpga module for industrial system,” *INTERNATIONAL JOURNAL OF DYNAMICS AND CONTROL*, 2023 DEC 12 2023.
- [68] R. Saralegui, A. Sanchez, and A. de Castro, “Efficient hardware-in-the-loop models using automatic code generation with matlab/simulink,” *ELECTRONICS*, vol. 12, JUL 2023.
- [69] J. A. Prathap and T. S. Anandhi, “Field programmable gate array-based new fusion control for photovoltaic inverter,” *COMPUTERS & ELECTRICAL ENGINEERING*, vol. 98, 2022 MAR 2022.

- [70] M. Kurre, S. Deshmukh, R. Tandekar, P. Mishra, and A. Banerjee, “A low-cost control architecture for buck converter fed vsi based bldc motor drive,” *INTERNATIONAL JOURNAL OF ENGINEERING RESEARCH IN AFRICA*, vol. 62, pp. 161–171, 2022.
- [71] L. Yu, S. Xu, H. Zhang, L. Shi, and W. Sun, “An autotuning method based on system identification for digitally controlled synchronous buck converter,” *IEEE JOURNAL OF EMERGING AND SELECTED TOPICS IN POWER ELECTRONICS*, vol. 9, pp. 3307–3321, JUN 2021.
- [72] Q. Wu, Z. Liu, F. An, and B. Liu, “Self-tuning pid feedback control method for magnetic suspension active vibration isolation system with parameters uncertainty,” *JOURNAL OF VIBRATION AND CONTROL*, 2024 JAN 17 2024.
- [73] Y. Yang, Y. Chen, and B. Zhang, “A simplified model-based nonlinear control with fast response and simple design flow for hb-llc resonant converter,” *INTERNATIONAL JOURNAL OF CIRCUIT THEORY AND APPLICATIONS*, 2024 FEB 19 2024.
- [74] F. Covaciu, “Development of a control program for dc motors using pid control and low-pass filter,” *ACTA TECHNICA NAPOCENSIS SERIES-APPLIED MATHEMATICS MECHANICS AND ENGINEERING*, vol. 66, pp. 191–198, JUN 2023.
- [75] M. Zheng, C. Chen, Y. Zhang, M. Ruan, and P. Li, “Event-triggered fractional pid-based load frequency control in islanded microgrids under cloud-edge collaborative framework,” *JOURNAL OF CIRCUITS SYSTEMS AND COMPUTERS*, 2024 JAN 29 2024.
- [76] B. Ashok and P. A. Michael, “Integration of cascaded controllers for super-lift Luo converter with buck converter in solar photovoltaic and electric vehicle,” *ANALOG INTEGRATED CIRCUITS AND SIGNAL PROCESSING*, 2024 FEB 20 2024.
- [77] B. Xiang, X. Mao, Z. Liu, and H. Wang, “Stabilization of isolated hybrid microgrids with electric vehicle-based energy storage systems using a fractional order proportional-integral-derivative control,” *INTERNATIONAL JOURNAL OF GREEN ENERGY*, 2023 DEC 23 2023.
- [78] T. Ji, H. Wei, J. Wang, S. Tian, Y. Yao, and S. Hu, “Research into the beetle antennae optimization-based pid servo system control of an industrial robot,” *MATHEMATICS*, vol. 11, OCT 2023.

- [79] C. Ersali and B. Hekimoglu, “A novel opposition-based hybrid cooperation search algorithm with nelder-mead for tuning of fopid-controlled buck converter,” *TRANSACTIONS OF THE INSTITUTE OF MEASUREMENT AND CONTROL*, 2024 JAN 18 2024.
- [80] A. Rajamallaiiah, S. P. K. Karri, and Y. R. Shankar, “Deep reinforcement learning based control strategy for voltage regulation of dc-dc buck converter feeding cpls in dc microgrid,” *IEEE ACCESS*, vol. 12, pp. 17419–17430, 2024.
- [81] T. Wang, X. Wang, G. Liu, Z. Wang, and Q. Xing, “Neural networks based lyapunov functions for transient stability analysis and assessment of power systems,” *IEEE Transactions on Industry Applications*, vol. 59, no. 2, pp. 2626–2638, 2022.
- [82] H. J. Sira-Ramirez and R. Silva-Ortigoza, *Control design techniques in power electronics devices*. Springer Science & Business Media, 2006.
- [83] B. Babes, S. Mekhilef, A. Boutaghane, and L. Rahmani, “Fuzzy approximation-based fractional-order nonsingular terminal sliding mode controller for dc–dc buck converters,” *IEEE Transactions on Power Electronics*, vol. 37, no. 3, pp. 2749–2760, 2021.
- [84] R. L. Burden, J. D. Faires, and A. M. Burden, *Numerical analysis*. Cengage learning, 2015.
- [85] S. C. Chapra, R. P. Canale, *et al.*, *Numerical methods for engineers*, vol. 1221. Mcgraw-hill New York, 2011.
- [86] C. Li and F. Zeng, *Numerical methods for fractional calculus*, vol. 24. CRC Press, 2015.
- [87] S. C. Chapra, R. P. Canale, R. S. G. Ruiz, V. H. I. Mercado, E. M. Díaz, and G. E. Benites, *Métodos numéricos para ingenieros*, vol. 5. McGraw-Hill New York, NY, USA, 2011.
- [88] A. G. Soriano-Sánchez, M. A. Rodríguez-Licea, F. J. Pérez-Pinal, and J. A. Vázquez-López, “Fractional-order approximation and synthesis of a pid controller for a buck converter,” *Energies*, vol. 13, no. 3, p. 629, 2020.
- [89] E. Tlelo-Cuautle, A. D. Pano-Azucena, O. Guillén-Fernández, and A. Silva-Juárez, *Analog/digital implementation of fractional order chaotic circuits and applications*. Springer, 2020.

- [90] C. Sánchez-López, “An experimental synthesis methodology of fractional-order chaotic attractors,” *Nonlinear Dynamics*, vol. 100, no. 4, pp. 3907–3923, 2020.
- [91] V. Utkin, J. Guldner, and J. Shi, *Sliding mode control in electro-mechanical systems*. CRC press, 2017.
- [92] H. K. Khalil, *Nonlinear control*, vol. 406. Pearson New York, 2015.
- [93] M. Labbadi and M. Cherkaoui, “Robust adaptive nonsingular fast terminal sliding-mode tracking control for an uncertain quadrotor uav subjected to disturbances,” *ISA transactions*, vol. 99, pp. 290–304, 2020.
- [94] Y. Shtessel, C. Edwards, L. Fridman, A. Levant, *et al.*, *Sliding mode control and observation*, vol. 10. Springer, 2014.
- [95] D. Wang, D. Tan, and L. Liu, “Particle swarm optimization algorithm: an overview,” *Soft computing*, vol. 22, pp. 387–408, 2018.
- [96] E. Tlelo-Cuautle, L. De La Fraga, and J. Rangel-Magdaleno, “Engineering applications of fpgas,” *Engineering Applications of FP-GAs*, 2016.
- [97] M. Afkar, P. Karimi, R. Gavagsaz-Ghoachani, M. Phattanasak, and S. Pierfederici, “Effect of the parasitic resistances on the voltage gain in a dc-dc modular system,” in *2022 19th International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI-CON)*, pp. 1–4, IEEE, 2022.
- [98] S. Huerta-Moro, J. D. Tavizón-Aldama, and E. Tlelo-Cuautle, “Fpga implementation of sliding mode control and proportional-integral-derivative controllers for a dc–dc buck converter,” *Technologies*, vol. 12, no. 10, p. 184, 2024.