



INAOE

Diseño de Bloques Analógicos para la Adquisición de Señales Encefalográficas

por

Fabián Yáñez Ortega

Tesis sometida como requisito parcial para
obtener el grado de

**MAESTRO EN CIENCIAS EN LA
ESPECIALIDAD DE ELECTRÓNICA**

en el

**Instituto Nacional de Astrofísica,
Óptica y Electrónica.**

Febrero 2012

Tonantzintla, Puebla

Supervisada por:

**Dr. Alejandro Díaz Sánchez y Dr. Jose
Miguel Rocha Pérez**

©INAOE 2012

Derechos Reservados

El autor otorga al INAOE el permiso de
reproducir y distribuir copias de esta tesis en su
totalidad o en partes mencionando la fuente.



*A las personas más importantes de mi vida: Mis
padres, Fabián y Olivia, mis hermanos, Eliot y
Fabiola, mi tía y mi abuelita: Delia y Margarita*

Agradecimientos

Existen diversos caminos que cada hombre o mujer toma sin saber a dónde lo llevarán. Un día la vida me permitió llegar al Instituto Nacional de Astrofísica, Óptica y Electrónica a realizar mis prácticas profesionales. Este evento cambio mi forma de pensar y el camino que tomaría al querer ingresar como estudiante de maestría, y que ahora se ve culminada en esta tesis.

Este éxito logrado se lo debo a personas maravillosas, que me dieron su amistad, compartieron su conocimiento y sobre todo hicieron que esta experiencia fuera de las más hermosas que he vivido.

Le agradezco a mi familia por su amor, su apoyo y su fortaleza, ya que han sabido guiar a lo largo de mi vida.

Le doy las gracias a mis dos asesores, el Dr. Alejandro Días Sánchez, sin usted yo no habría conocido el INAOE, me permitió aprender de usted su mundo lleno de ideas e inspiración. Dr. José Miguel Rocha fue el que me recibió en la PYME y me permitió motivarme para aprender más con ese entusiasmo que lo caracteriza. Los dos son unas grandes personas que me guiaron con sus consejos, sus ideas y su conocimiento. Gracias por su amistad.

Nuestra otra familia son todas esas personas que no solo comparte momentos felices si no también los difíciles:

Les doy las gracias a mis amigos de la PYME: que me apoyaron desde llegue al INAOE: Beto, Ana, Iván, Arturo, Fer, y amigos que compartimos este lugar de trabajo.

Mis hermanos Colombianos: Héctor, Jhoan, Luz Karine y Ricardo, No solo me ayudaron en esas noches de desvelo en proyectos, me permitieron conocer otra cultura. Gracias por compartir tan bellos momentos conmigo.

Mis amigos de la Maestría: Diseño, Comunicaciones, Microelectrónica e Instrumentación, mi estancia en el INAOE fue agradable gracias a ustedes.

Gracias María Guadalupe por tu apoyo en esos momentos difíciles y el amor que me brindaste.

ABSTRACT

TITLE: Design of Analog Blocks for Encephalographic Signal Acquisition.

AUTHOR: Fabián Yáñez Ortega.

DESCRIPTION: Acquisition of biomedical signals is not a trivial task, mainly because of the restrained characteristics of these signals, such as the frequency and the amplitude range. Since such task requires the development of secure systems, which allow the acquisition of medical signs and easy to find a medical diagnosis. EEG signals, also called encephalographic ones, require deep stringent design specifications, besides the extra requirement that the system should be the less invasive as possible. Therefore, its realization can be considered still a challenge for the design of integrated circuits focused on this assignment.

The present work describes the design of a typical biopotential amplifier, which consists of three OPAMS, where each amplifier will be constructed using two stages. The first stage is a folded cascode OTA structure, which uses auto-cascode transistors to increase the output impedance, and increasing its gain to 90.4dB. The second stage is a class AB voltage buffer, which handles the amplifier load and delivers an output range of 1.3Vpp. The instrumentation amplifier was designed for a gain of 40dB and a CMRR of 163dB.

The present report also presents four topologies of high-valued CMOS resistors, which is achieved by operating the MOS transistors in the weak inversion region. All four proposed topologies present improved dynamic ranges when they are compared to the others reported works, besides a more precise control. These features allow implementing very large RC time constants, which can be used for very low frequency filters, frequently required in medical applications. The proposed topology 4 resistor is used to implement a programmable band-rejection filter.

The circuits were simulated in HSPICE ®, and the geometric pattern was performed in a 0.5µm technology from ON SEMI.

RESUMEN

TITULO: Diseño de Bloques Analógicos para la Adquisición de Señales Encefalográficas.

AUTOR: Fabián Yáñez Ortega.

DESCRIPCIÓN: La adquisición de señales biomédicas no es una tarea trivial debido a las características de estas señales, como son el rango frecuencia y la amplitud tan pequeña en la trabajan. Debido a esto se requiere del desarrollo de sistemas que permitan la adquisición segura de señales médicas y realizar un diagnostico medico. Las señales EEG, también llamadas encefalográficas, requieren de especificaciones de diseño más estrictas, además que este tipo de sistemas deben ser lo menos invasivo posible. Por tal motivo, su realización es un reto para el diseño de circuitos integrados enfocados a esta área.

En este trabajo se presenta un amplificador de biopotenciales clásico formado por tres OPAMS, cada amplificador se construyó a partir de dos etapas. La primera etapa lo conforma una estructura OTA cascode doblado, utilizando transistores Auto-Cascode para aumentar la impedancia de salida Teniendo una ganancia de 90.4dB. La segunda etapa lo conforma un *buffer* de voltaje clase AB para poder manejar la carga a salida del amplificador, con un rango de salida de 1.3Vpp. El amplificador de instrumentación fue diseñado para una ganancia de 40dB con presentando un CMRR de 163dB.

También se presentan cuatro topologías de resistores CMOS que operan en la región de inversión débil, la topología cuatro presenta una mejora en el rango dinámico a comparación de las otras con un control más preciso del valor de resistencia. Estas características permiten implementar constantes de tiempo RC muy grandes, las cuales pueden ser usadas para realizar filtros de muy baja frecuencia, que son requeridos en aplicaciones médicas. Para validar el resistor se propuso implementarlo en un filtro rechaza banda programable.

Los circuitos fueron simulados en HSPICE®, y el patrón geométricos se realizo en una tecnología 0.5µm de ON SEMI.

CONTENIDO

| | |
|---|----|
| <i>Introducción</i> | 1 |
| 1.1 Introducción a los Biopotenciales. | 1 |
| 1.2 Características de la Señales Bioeléctricas. | 3 |
| 1.3 Introducción al Procesamiento de Señales Biomédicas. | 4 |
| 1.4 Amplificación y Filtrado de Biopotenciales. | 5 |
| 1.5 Motivación del Trabajo de Tesis. | 6 |
| 1.6 Objetivos y Descripción del Trabajo. | 6 |
| <i>Marco Teórico</i> | 8 |
| 2.1 El Encefalograma. | 8 |
| 2.2 Electrodo para Biopotenciales. | 9 |
| 2.3 El Sistema 10-20. | 10 |
| 2.4 Características de las Señales EEG. | 11 |
| 2.5 Técnicas de Bajo Voltaje. | 12 |
| 2.5.1 Transistor MOS Compuesto | 13 |
| 2.5.2 Transistores MOS de Compuerta Flotante. | 14 |
| 2.5.3 Operación en la Región de Sub-umbral. | 15 |
| 2.6 Ruido. | 16 |
| 2.6.1 Ruido Térmico en Resistencias. | 17 |
| 2.6.2 Ruido Térmico en Transistores MOS. | 18 |
| 2.6.3 Ruido Flicker en Transistores MOS. | 19 |
| 2.7 Conclusiones | 20 |
| <i>Amplificador de Biopotenciales</i> | 21 |
| 3.1 Amplificador de Instrumentación (AI). | 21 |
| 3.1.1 Configuración Básica de Amplificador de Instrumentación. | 22 |

| | | |
|--------------|--|-----------|
| 3.2 | OTA Usando Transistores MOS Auto-Cascodo..... | 23 |
| 3.3 | Diseño y Simulación del OTA Cascodo Doblado..... | 25 |
| 3.4 | Buffer de Voltaje..... | 30 |
| 3.5 | Amplificador Operacional..... | 33 |
| 3.6 | Simulación del Amplificador de Instrumentación..... | 36 |
| 3.7 | Layout del Amplificador de Instrumentación..... | 41 |
| 3.8 | Conclusiones..... | 43 |
| | <i>Diseño de Filtros a Baja Frecuencia Usando Resistores de Gran Valor.....</i> | <i>44</i> |
| 4.1 | Filtros de Baja Frecuencia..... | 45 |
| 4.2 | Resistencias Activas de Gran Valor..... | 45 |
| 4.2.1 | Topología 1..... | 46 |
| 4.2.2 | Topología 2..... | 49 |
| 4.2.3 | Topología 3..... | 51 |
| 4.2.4 | Topología 4..... | 53 |
| 4.3 | Filtro Rechaza Banda..... | 55 |
| 4.4 | Simulación del Filtro Rechaza Banda Utilizando un Resistor de Gran Valor..... | 59 |
| 4.5 | Patrón Geométrico del Filtro Rechaza Banda..... | 61 |
| 4.6 | Conclusiones..... | 62 |
| | <i>Conclusiones y Trabajo Futuro.....</i> | <i>63</i> |
| 5.1 | Conclusiones..... | 63 |
| 5.2 | Trabajo futuro..... | 65 |
| | <i>Referencias.....</i> | <i>66</i> |

Índice de Figuras

| | |
|--|----|
| Figura 1.1 Frecuencia y amplitud característica de las señales biomédicas | 3 |
| Figura 1.2 Diagrama a bloques de un sistema de propósito general de adquisición de señales biomédicas | 5 |
| Figura 2.1 Modelo de circuito equivalente de un electrodo para biopotenciales | 9 |
| Figura 2.2 Sistema 10-20..... | 10 |
| Figura 2.3 Transistor Auto-cascodo. | 13 |
| Figura 2.4 Transistor MOS con compuerta flotante..... | 14 |
| Figura 2.5 Fuente de voltaje del ruido térmico en la resistencia. | 17 |
| Figura 2.6 Modelo de ruido térmico mediante una fuente de corriente. | 17 |
| Figura 2.7. El modelo de circuito para el ruido térmico para transistores MOS operando en la región de saturación..... | 18 |
| Figura 2.8 Modelo circuital de ruido para un transistor MOSFET operando en la región óhmica. | 19 |
| Figura 2.9 Frecuencia de corte de ruido flicker..... | 20 |
| Figura 3.1. Diagrama esquemático del amplificador de instrumentación | 22 |
| Figura 3.2. Amplificador de instrumentación clásico..... | 22 |
| Figura 3.3 Amplificador Cascodo Doblado..... | 24 |
| Figura 3.4 Amplificador cascodo doblado usando transistores Auto-Cascodo..... | 26 |
| Figura 3.5 Espejos de corriente de bajo voltaje..... | 27 |
| Figura 3.6 Análisis del OTA con transistores compuestos, (a) barrido en DC, (b) transiente en configuración de seguidor..... | 28 |
| Figura 3.7 Respuesta en el dominio de la frecuencia. | 29 |
| Figura 3.8 CMRR del amplificador de transconductancia. | 29 |
| Figura 3.9 PSRR \pm del amplificador de transconductancia..... | 30 |

| | |
|---|----|
| Figura 3.10. Seguidor de voltaje clase AB. | 30 |
| Figura 3.11. (a) Barrido en DC de la señal de entrada, (b) Respuesta en el dominio del tiempo para diferentes amplitudes. | 31 |
| Figura 3.12. Análisis de esquinas en el dominio de la frecuencia del buffer voltaje. | 32 |
| Figura 3.13. Análisis de esquinas en el dominio en el tiempo del buffer voltaje. | 32 |
| Figura 3.14 Análisis de esquinas en el dominio de la frecuencia del OPAM. | 33 |
| Figura 3.15. Características en DC y respuesta transitoria del OPAM en lazo cerrado. | 34 |
| Figura 3.16 CMRR del OPAM. | 35 |
| Figura 3.17 PSRR \pm del OPAM. | 35 |
| Figura 3.18. Rango de señal a la salida del buffer de amplificador. | 37 |
| Figura 3.19. Análisis de esquinas en el dominio del tiempo para el amplificador de instrumentación. | 38 |
| Figura 3.20. Análisis de esquinas en el dominio de la frecuencia para el amplificador de instrumentación. | 38 |
| Figura 3.21. Análisis de esquinas para el CMRR del amplificador de instrumentación. | 39 |
| Figura 3.22. Respuesta del amplificador de instrumentación para señales de modo común y modo diferencial. | 40 |
| Figura 3.23 Análisis de esquinas del PSRR \pm del amplificador de Instrumentación. | 40 |
| Figura 3.24. Patrón geométrico del amplificador de instrumentación, área 135 μ m \times 696 μ m. | 42 |
| Figura 4.1 Resistor CMOS de alto valor | 46 |
| Figura 4.2 (a) Curvas características I-V, (b) Variación del voltaje VSG1,2 con la corriente de control para distintos valores de VAB y valor de la resistencia vs. Ic (c) Variación de la resistencia en función del voltaje VAB. | 48 |
| Figura 4.3 Topología 2, resistor activo CMOS de alto valor. | 49 |

| | |
|--|----|
| Figura 4.4 (a) Curvas características I-V, (b) Variación del voltaje $V_{SG1,2}$ con la corriente de control para distintos valores de V_{AB} y valor de la resistencia vs. I_c , (c) Variación de la resistencia en función del voltaje V_{AB} | 50 |
| Figura 4.5 Topología 3 de resistor CMOS de valor alto. | 51 |
| Figura 4.6 (a) Curvas características I-V, (b) Variación del voltaje $V_{SG1,2}$ con el voltaje de control V_c para distintos valores de V_{AB} , y valor de la resistencia vs. V_c , (c) Variación de la resistencia en función del voltaje V_{AB} | 52 |
| Figura 4.7 Topología 4 de resistor CMOS de alto valor y su símbolo. | 53 |
| Figura 4.8 (a) Curvas características I-V, (b) Variación del voltaje $V_{SG1,2}$ con la corriente de control V_c para distintos valores de V_{AB} , y valor de la resistencia vs. V_c , (c) Variación de la resistencia en función del voltaje V_{AB} | 54 |
| Figura 4.9 Topología del filtro rechaza banda implementada con elementos pasivos RC... 56 | |
| Figura 4.10 Topología del filtro rechaza banda implementada con elementos pasivos RC. 57 | |
| Figura 4.11 Topología propuesta del filtro rechaza banda utilizando resistores activos..... 58 | |
| Figura 4.12 Respuesta en AC del filtro rechaza banda a 60Hz | 60 |
| Figura 4.13 Respuesta en AC del filtro rechaza banda para cambios de la corriente de control I_c | 60 |
| Figura 4.14 Patrón geométrico (Layout) del filtro rechaza banda..... | 62 |

Índice de Tablas

| | |
|--|----|
| Tabla 1.1. Amplitud típica y ancho de banda de algunas señales bioeléctricas. | 4 |
| Tabla 3.1. Dimensiones de los transistores usados en el OTA. | 26 |
| Tabla 3.2. Detalles de diseño de los espejos de corriente. | 27 |
| Tabla 3.3. Especificaciones del buffer de voltaje. | 31 |
| Tabla 3.4. Resultados para el OPAM. | 36 |
| Tabla 3.5. Especificaciones del amplificador de instrumentación. | 41 |
| Tabla 4.1. Detalles de diseño para la topología 1. | 47 |
| Tabla 4.2. Detalles de diseño para la topología 2. | 50 |
| Tabla 4.3. Detalles de diseño para la topología 3. | 52 |
| Tabla 4.4. Detalles de diseño para la topología 4. | 54 |
| Tabla 4.5. Detalles de diseño del filtro rechaza banda con elementos activos. | 58 |

CAPÍTULO 1

Introducción

Una parte crucial e importante de un sistema de diagnóstico médico es el monitoreo de los biopotenciales, también conocidos como señales biomédicas. Este tipo de señales son sensadas en tiempo real para su interpretación en la práctica médica. Para realizar este procedimiento, los pacientes son conectados a un equipo voluminoso, el cual es alimentado por una línea de energía eléctrica. De lo anterior se puede determinar que la movilidad del equipo es reducida, creando una sensación de falta de *comfort* para el paciente, además de limitar el rango de alcance para realizar el diagnóstico por el personal médico. Otra consecuencia de eso es el incremento del tiempo de adquisición de las señales, pues impide el seguimiento continuo de los pacientes, afectando con esto el diagnóstico. Por esta razón hay una creciente demanda por el desarrollo de sistemas ambulatorios de adquisición de señales biomédicas, los cuales requieren tener un bajo consumo de energía y tamaño reducido. Todo esto para desarrollar un sistema de adquisición de señales: cómodo, móvil, y de bajo consumo de energía para prolongar el tiempo de vida de las baterías.

1.1 Introducción a los Biopotenciales.

Durante más de un siglo, los biopotenciales han demostrado ser una herramienta útil en el diagnóstico médico. Los métodos de diagnóstico basados en la interpretación de estos biopotenciales, como el electrocardiograma y el electroencefalograma, son utilizados en forma habitual en la práctica médica. Se trata de técnicas no invasivas, de bajo costo y de rápida interpretación por un profesional entrenado.

Los biopotenciales son generados debido a la actividad electroquímica en las células que conforman el tejido nervioso, muscular o glandular. Eléctricamente, estas células presentan un potencial de reposo y, cuando son estimuladas, generan un potencial de acción. Este potencial se propaga a través de los tejidos circundantes, los cuales trabajan como conductores, y puede ser detectado en la superficie del cuerpo mediante electrodos. A esto se le denomina interface electrodo-piel. En esta interface ocurren fenómenos electroquímicos complejos, que dan lugar a una transducción de corrientes iónicas a corrientes eléctricas, factibles para ser procesadas electrónicamente [1,2]. Las características de estos transductores son muy variables, ya que dependen de factores como la preparación de la piel, del electrolito utilizado, la temperatura, la humedad, etc. Esto conduce a que la fuente de señal accesible en los electrodos presente impedancias poco predecibles. También es posible encontrar semi-baterías de origen electroquímico que pueden llegar a tomar valores de hasta algunos cientos de milivolts [2,3]. Estos potenciales de corriente continua (DC) pueden ser varios órdenes de magnitud mayores que la amplitud de las señales a detectar lo que impone exigentes especificaciones de diseño en la etapa de entrada [2].

Para adquirir biopotenciales de buena calidad, era usual recurrir a técnicas invasivas como abrasión de la piel, electrodos subcutáneos o intracorticales. La tendencia actual es trasladar la complejidad al diseño del sistema de adquisición de señales biomédicas. Gracias al avance tecnológico es posible obtener señales bioeléctricas reduciendo lo invasivo del esquema de adquisición. Una de las dificultades al tratar de adquirir los biopotenciales, es la interferencia electromagnética (EMI) producida por las fluctuaciones en la red de eléctrica. Este tipo de señal no deseada ingresa al sistema por diversos mecanismos, requiriendo el uso de técnicas avanzadas para su reducción y rechazo [4].

1.2 Características de la Señales Bioeléctricas.

Las señales bioeléctricas presentes a la entrada de un sistema de adquisición son de amplitud y ancho de banda (BW) reducido, este ultimo dependiente de su origen. Como referencia, se mencionan algunos valores típicos para señales de uso común en diagnóstico médico como lo son el electrooculograma (EOG), electroencefalograma (EEG), electrocardiograma (ECG) y electromiograma (EMG).

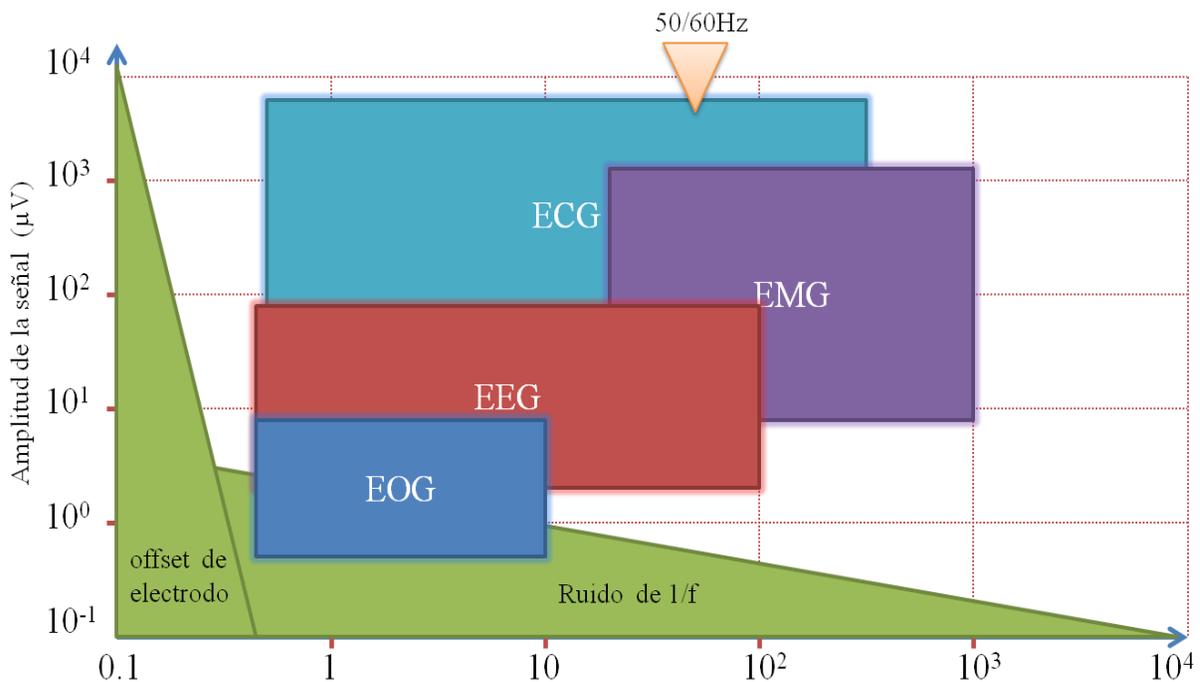


Figura 1.1 Frecuencia y amplitud característica de las señales biomédicas.

En la Figura 1.1 se muestra la frecuencia y amplitud característica de las señales EMG, ECG, EEG y EOG, y como están relacionadas entre ellas al ser registradas por electrodos colocados en la superficie de la piel [3,5]. Adicionalmente se muestra la interferencia de la red, la cual aparece en 50/60 Hz. Con el fin de extraer este tipo de señales biomédicas, diversas señales no deseadas como el ruido de baja frecuencia 1/f de los transistores CMOS, la interferencia de la línea y la tensión diferencial en DC de los electrodos, deben ser rechazadas o filtradas por el circuito de lectura.

A partir de la Figura 1.1 se forma la tabla 1.1 donde se muestran los valores típicos de las señales biomédicas mostradas, a fin de proponer las especificaciones de un sistema para la adquisición de biopotenciales. Es posible observar en la Tabla 1.1, que la señal bioeléctrica más difícil de adquirir es la EEG, dado que la amplitud de este tipo de señal es muy pequeña, aunque su ancho de banda es similar al de las otras señales.

| | Amplitud (típica) | Frecuencia (típica) |
|------------|--------------------------|----------------------------|
| EOG | 1 μ V | 10 Hz |
| EEG | 10 μ V | 100 Hz |
| ECG | 1 mV | 100 Hz |
| EMG | 100 μ V | 1 KHz |

Tabla 1.1 Amplitud típica de algunas señales bioeléctricas.

1.3 Introducción al Procesamiento de Señales Biomédicas.

Adquirir, transferir y procesar biopotenciales de manera confiable son tareas esenciales en sistemas biomédicos. Estos sistemas imponen especificaciones exigentes que por lo general, incrementan el costo de los dispositivos. Los circuitos utilizados para el procesamiento de señales biomédicas deben garantizar la seguridad del paciente, así como también el rechazo o la atenuación de cualquier tipo de señal de interferencia [4,6]. Por lo tanto, la construcción de bloques de alto rendimiento, como son los amplificadores de bajo ruido y filtros analógicos, son requisitos para mejorar el comportamiento del sistema.

Para la implementación de sistemas de adquisición de biopotenciales, algunas de las consideraciones de diseño más importantes son: bajos niveles de voltaje y corriente de ruido, baja distorsión armónica, reducida área y bajo consumo de potencia. En un sistema de adquisición de señales biomédicas, como el de la Figura 1.2, existe una gran variedad de variables físicas que son frecuentemente medidas, entre algunas de ellas podemos encontrar presión y temperatura por nombrar algunas.

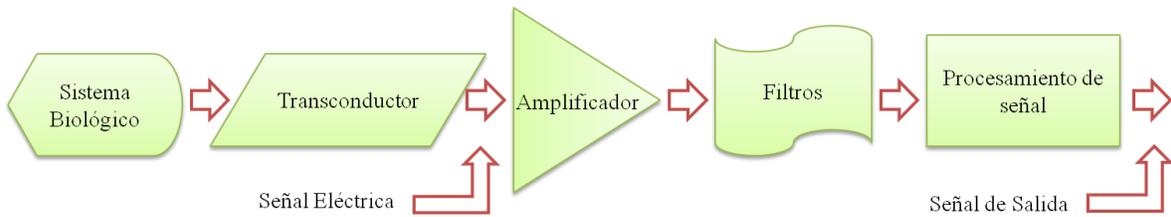


Figura 1.2 Diagrama a bloques de un sistema de propósito general para adquisición de señales biomédicas

Prosiguiendo con el diagrama de la Figura 1.2, los amplificadores deben llevar la señal eléctrica adquirida por los electrodos a un nivel de amplitud que permita su fácil manipulación con baja distorsión y ruido. Una vez amplificada la señal, se utiliza una etapa de filtrado para seleccionar la banda de frecuencia en la que se encuentren los biopotenciales y, a su vez, rechazar las señales no deseadas. Los circuitos encargados del filtrado deben ser diseñados para alto rendimiento con capacidad de entonado. Una vez adquirida y filtrada la señal, se realiza un procesamiento de esta para ser grabada o interpretada por un especialista médico. Esta última etapa se puede realizar por medio de un circuito o de un computador personal [7, 8].

1.4 Amplificación y Filtrado de Biopotenciales.

El propósito esencial de un amplificador de señales biomédicas es acondicionar la amplitud de la señal de interés a un valor que permita procesarla de forma segura. Los desafíos para el diseño de un amplificador para biopotenciales pueden ser resumidos de la siguiente manera:

- Lograr una alta relación de rechazo de modo común (CMRR).
- Rechazar el voltaje de DC generado por el offset del electrodo.
- Impedancia diferencial de entrada muy alta, idealmente infinita.
- Una razón de señal a ruido (SNR) alta.
- Baja disipación de potencia para incrementar la autonomía del dispositivo.

- Ganancia variable para adaptarse a diferentes amplitudes de la señal de entrada.
- Debe presentar una etapa de filtrado capaz de adaptarse a las características de las diferentes señales biomédicas.

Para procesar las señales biomédicas mostradas en la Figura 1.1 se requiere de un filtro de selección de banda. El diseño de estos filtros no es trivial, especialmente si existen especificaciones de diseño como bajo ruido, amplio rango dinámico, baja distorsión y consumo de potencia reducido. Por ejemplo, los filtros en circuitos integrados con frecuencias por debajo de 10 Hz requieren la realización de constantes de tiempo $\tau=R*C$ mayores a 0.1 s. Para un valor típico de capacitancia $C=1$ pF se requiere que el valor de la resistencia $R \geq 100M\Omega$, lo cual en resistores pasivos requiere de una gran área del chip. Por otro lado, si utilizamos un valor $R=100$ K Ω entonces, el valor del capacitor $C \geq 1\mu F$, lo cual requiere de un área excesivamente grande. La realización de resistores de valor alto representa un gran desafío para los diseñadores de circuitos integrados.

1.5 Motivación del Trabajo de Tesis.

A partir de lo antes mencionado, este trabajo se realizó con el propósito de aportar diferentes estrategias de diseño para los sistemas de adquisición de biopotenciales debido a la importancia que tienen en el diagnóstico médico. El mejoramiento en las técnicas de diseño de los sistemas de adquisición de biopotenciales permitirá que dichos sistemas sean más confiables, eficientes y baratos.

1.6 Objetivos y Descripción del Trabajo.

El objetivo principal de este trabajo de tesis es la realización de algunos bloques de procesamiento analógico que cumplan las especificaciones para el monitoreo de un EEG. En especial, este trabajo se enfocara en el amplificador de instrumentación y en la realización de los filtros de muy baja frecuencia para la selección de banda, utilizando la

técnica de resistores activos de muy alto valor. Un punto importante es lograr que los circuitos desarrollados puedan ser integrados en silicio, para lo cual se eligió la tecnología CMOS ON SEMI 0.5 μm que consta de tres niveles de metal y dos niveles de polisilicio

El trabajo está organizado de la siguiente manera: En el Capítulo 2 se mostrará el sustento teórico de las señales encefalográficas, sus características y técnicas de bajo voltaje para el diseño en tecnología CMOS, mostrando así los elementos utilizados para el desarrollo de los bloques que son propuestos para la construcción de sistemas de adquisición de señales médicas. En el Capítulo 3 se mostrará el diseño de un amplificador que cumple con las características necesarias para ser utilizado en la detección de biopotenciales, y que sirve de base para realizar el amplificador de instrumentación. Se mostrará el buffer de voltaje propuesto. En el Capítulo 4 se describe cuatro topologías de resistores activos implementando un filtro rechaza banda programable operando a baja frecuencia. Finalmente, en el Capítulo 5 se discuten las conclusiones y el trabajo futuro.

CAPÍTULO 2

Marco Teórico

En el diseño de los sistemas de biopotenciales se integran diferentes áreas de investigación debido a la complejidad de señales que el cerebro humano puede producir y permite ser quien somos. La medicina y la electrónica hacen posible a los doctores interpretar los biopotenciales. Este capítulo muestra las características de dichas señales y las técnicas de diseño electrónico usadas en tecnología CMOS

2.1 El Encefalograma.

Los primeros antecedentes de mediciones de la actividad eléctrica del cerebro se realizaron durante el siglo XIX, las cuales se llevaron a cabo utilizando animales. Sin embargo, el primer análisis sistemático fue realizado por el psiquiatra alemán Hans Berger, quien introdujo el término de encefalograma (EEG, por las siglas en inglés) para referirse a la grabación de las fluctuaciones de los potenciales eléctricos del cerebro [8]. El electroencefalograma es usado para el diagnóstico de lesiones cerebrales, búsqueda de enfermedades y, en gran medida, para la investigación en neurofisiología. Convencionalmente, la actividad eléctrica del cerebro es obtenida por medio de tres tipos de electrodos: los de cuero cabelludo, los corticales y los electrodos profundos. Cuando los electrodos empleados son colocados en la superficie del cerebro, las grabaciones son llamadas electrocorticograma (ECoG) [9].

2.2 Electrodo para Biopotenciales.

Mediante el uso de transductores como lo son los electrodos, el potencial iónico que hay entre las células se puede convertir en un potencial eléctrico que puede ser medido por un sistema de adquisición señales. Muchos de los problemas asociados a la amplificación de señales bioeléctricas son debido al comportamiento de los electrodos, ya que una alta impedancia de interfaz electrodo-electrolito-piel causa distorsión, además de adicionar una componente de DC que interfiere con la señal de interés. Su impedancia equivalente varía de valores altos a bajas frecuencia a valores bajos a altas frecuencias. Este hecho es una de las razones para usar amplificadores de alta impedancia, pues no dejan que la señal se distorsione [3, 9]. Otro problema que puede presentarse debido a los electrodos es que disminuya el CMRR del sistema.

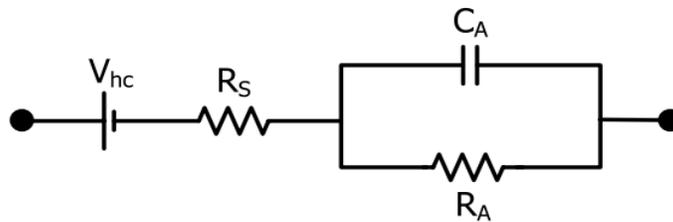


Figura 2.1 Modelo de circuito equivalente de un electrodo para biopotenciales

La impedancia que presenta la interfaz piel-electrodo depende de muchos factores, y solo se puede tener un valor estimado de entre $100\text{-}500\Omega$, de acuerdo con el estándar internacional para EEG. El electrodo se puede modelar con resistencias, capacitancias y fuentes de voltaje, y su circuito equivalente se muestra en la Figura 2.1, donde C_A y R_A están relacionados con la impedancia reactiva y resistiva asociada a la interfaz electrodo-electrolito respectivamente, mientras R_S representa la resistencia de la solución electrolítica. El potencial de la denominada media celda de la interfaz es representada como una fuente de tensión llamada V_{hc} .

Los electrodos para biopotenciales pueden ser clasificados en húmedos, secos y electrodos de no contacto. El tipo de electrodo húmedo más común es el de plata o cloruro de plata, el cual aprovecha la característica de ser un electrodo no polarizado y, por lo tanto, puede ser

fácilmente fabricado en el laboratorio [8]. La ventaja más importante de este tipo de electrodo conocido como Ag/AgCl, es su baja impedancia. La impedancia de un electrodo para este tipo de aplicaciones es aproximadamente de unos 100 Ω y, por esta razón, son los electrodos más frecuentemente utilizados para cuero cabelludo en encefalografía. Su diámetro oscila entre los 4 mm y 10 mm de radio.

2.3 El Sistema 10-20.

La Federación Internacional de electroencefalografía y la clínica de neurofisiología de Estados Unidos recomiendan una posición estándar de electrodos, la cual es conocida como sistema 10-20 mostrada en Figura 2.2.

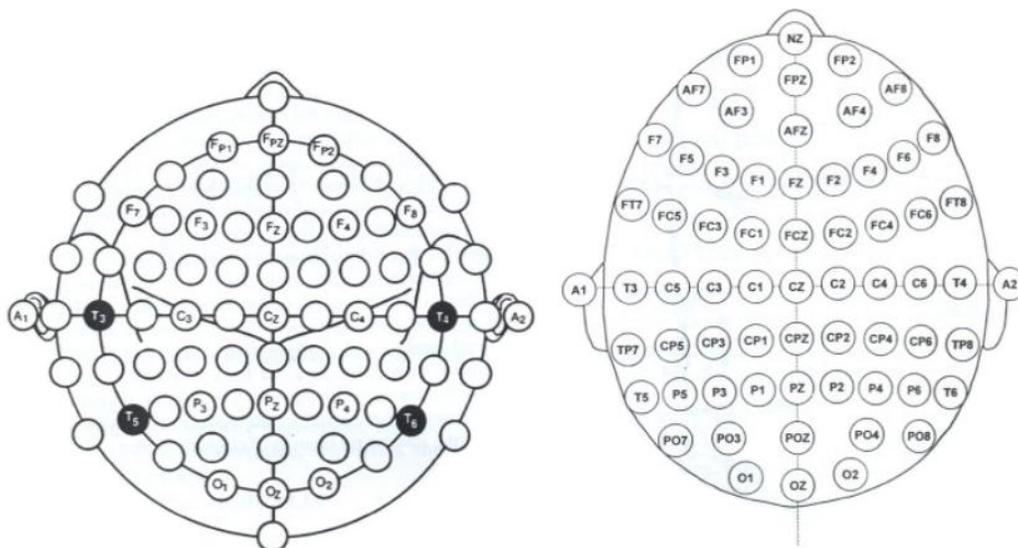


Figura 2.2 Sistema 10-20.

Este sistema es un método ampliamente utilizado para describir la localización de los electrodos en el cuero cabelludo. Se basa en la relación entre la localización de un electrodo y el área subyacente de la corteza cerebral. Los “10” y “20” se refieren al hecho de que las distancias reales entre los electrodos adyacentes son los 10% o los 20% de la distancia delantera-detrás o de derecha a izquierda total del cráneo. La Sociedad Americana de Neurofisiología Clínica recomienda el uso de al menos 21 electrodos, a fin de realizar una medición confiable. Cada sitio tiene una letra para identificar el lóbulo y un número para

identificar la localización del hemisferio. Las letras F, T, C, P y O se refieren a frontal, temporal, central, parietal y occipital respectivamente, como se muestra en la Figura 2.2. Dado que no hay un lóbulo central, la letra “C” se utiliza para propósito de identificación solamente. La letra “Z” se refiere a un electrodo colocado en la línea central. Los números pares (2, 4, 6, 8) se refieren a posiciones del electrodo en el hemisferio derecho, mientras que los números impares (1, 3, 5, 7) se refieren a los del hemisferio izquierdo [9].

2.4 Características de las Señales EEG.

Las señales EEG son eventos eléctricos de baja frecuencia grabados con fines de diagnóstico clínico, utilizando frecuentemente electrodos para cuero cabelludo, a fin de que este no sea invasivo. Típicamente, la amplitud de estas señales se encuentra alrededor de $50\mu\text{Vpp}$, pudiendo alcanzar valores tan altos como $150\mu\text{Vpp}$. Existen diferentes tipos de ondas, también conocidas como actividades, de diferente frecuencia cada una, las cuales son divididas en seis principales grupos, las cuales son brevemente descritas a continuación:

Actividad beta.

En general, la actividad beta está relacionada con el razonamiento, la atención y el enfoque. Esta actividad se asocia a las señales que tienen frecuencias entre 13 Hz y 30 Hz, y niveles de tensión entre $5\mu\text{V}$ y $20\mu\text{V}$. Durante períodos de intensa actividad mental, la frecuencia de las ondas beta pueda alcanzar a los 40 Hz.

Actividad Alfa.

Las actividades *alfa* se han relacionado con la relajación mental y el poco interés en algo. Esta actividad se asocia con señales que se encuentran en la banda entre 8-13Hz y amplitudes de entre $30\mu\text{V}$ a $50\mu\text{V}$. La actividad Mu es una señal espontánea alrededor de 8 a 10Hz y es el ritmo central de la actividad alfa.

Actividad Delta.

Las señales *delta* están asociadas a la actividad de sueño, y de ser encontradas en un paciente despierto, indica la existencia de disfunción cerebral. La actividad delta tiene una banda de frecuencias entre 0.5 Hz a 4 Hz, con una amplitud variable.

Actividad Gamma.

Esta actividad está asociada a las funciones cognoscitivas, como son la atención, el aprendizaje y la memorización. Las frecuencias en esta actividad son entre 35 Hz a 100 Hz. La amplitud de esta actividad puede estar entre 10 μV a 80 μV .

Actividad Theta.

La actividad *theta* también se asocia a la inspiración y la meditación profunda, aunque tanto el estrés mental como la frustración pueden reforzar esta actividad en el área frontal. Las frecuencias en que esta actividad se localiza oscilan entre los 6 Hz y 7 Hz, aunque la frecuencia dominante es 7 Hz, y una amplitud superior a 20 μV .

2.5 Técnicas de Bajo Voltaje.

El uso dispositivos portátiles en el campo de la biomedicina ha impulsado la necesidad de reducir el consumo de energía en una amplia variedad de productos como marcapasos, dispositivos de ayuda auditiva, sensores implantables y sistemas de monitoreo ambulatorio, entre otros. La baja disipación de potencia es esencial en estos sistemas para extenderla vida de la batería. Por otro lado, la miniaturización de los transistores, permite colocar un mayor número de ellos en la misma área de silicio como lo prevé la Ley de Moore. Desafortunadamente, la tecnología de fabricación de baterías no evoluciona al mismo paso, es decir, la cantidad de energía que se puede obtener de una batería no se duplica cada 18 meses como en el caso de los circuitos basados en transistores. Lo anterior obliga al diseñador a buscar técnicas de diseño de circuitos para bajo voltaje y baja disipación de potencia.

Adicionalmente, existen varios problemas cuando se intenta diseñar circuitos que operen con bajos voltajes de alimentación. Uno de ellos es que la fuente de alimentación debe ser por lo menos mayor a la suma de los voltajes de umbral de los transistores. Es decir, $V_{DD} - V_{SS} \geq V_{THN} + V_{THP}$ para que el circuito funcione adecuadamente. Otro problema es el continuo decremento de la longitud de canal, debido a que la tecnología CMOS está en constante cambio, el impacto del efecto de modulación de canal es más notorio por lo que la ganancia intrínseca de los transistores disminuye. Un problema adicional es la falta de un modelo analógico preciso para tecnologías sub-micrométricas a bajo voltaje, lo que resulta en el uso de longitudes de canal largo para poder utilizar modelos clásicos. En consecuencia, el rendimiento óptimo en tecnologías sub-micrométricas no se lleva a cabo. Estos son algunos de los motivos por los cuales se buscan otras alternativas como las siguientes.

2.5.1 Transisto MOS Compuesto

La técnica del transistor compuesto proporciona una alta impedancia de salida con un rango de salida mayor que las estructuras cascado convencionales. El transistor compuesto se forma del transistor M1 que se polariza en la región lineal y el transistor M2 en la región de saturación. Esta técnica es mostrada en la Figura 2.3.

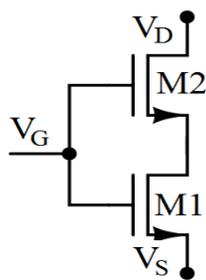


Figura 2.3 Transistor Compuesto

Las dimensiones de estos transistores deben cumplir con la condición:

$$(W/L)_2 \gg (W/L)_1 \quad (2.1)$$

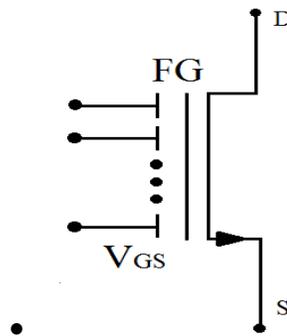
Cabe notar que el transistor compuesto emula el comportamiento de un único transistor,

pero con una mayor impedancia de salida, la cual es aproximadamente proporcional a $(W/L)_2/(W/L)_1$ mientras que el voltaje de saturación $V_{DSAT} = V_{GS} - V_{TH}$ que es el mismo que en un solo transistor MOS. [10, 11].

2.5.2 Transistores MOS de Compuerta Flotante.

La Figura 2.4 muestra un transistor de compuerta flotante (FGMOS) el cual puede ser fabricado en cualquier tecnología CMOS que permita la realización de capacitores [2]. Las principales ventajas de los circuitos con FGMOS son:

- Pueden operar con voltajes de alimentación menores que los voltajes requeridos en una tecnología estándar ya que permiten modificar el voltaje de umbral del transistor CMOS.
- Consumen menos potencia que la mínima requerida en un circuito diseñado con solo transistores MOS en la misma tecnología con el mismo desempeño.



• Figura 2.4 Transistor MOS con compuerta flotante

Después de describir esta técnica de diseño, al referimos a consideraciones de bajo voltaje y bajo consumo de potencia, se tienen las siguientes ventajas cuando se usan los FGMOS:

- Reducen la complejidad del circuito. Menor complejidad significa menos dispositivos y por tanto menos corriente ya que hay menos ramas. Al tener menos nodos, potencialmente también se puede mejorar la respuesta en frecuencia.

- Simplifican el procesamiento de la señal. Resulta más sencillo de realizar funciones complejas cuando se usan FGMOS.
- Es posible cambiar los niveles de la señal. Los transistores pueden ser polarizados en la región de operación más adecuada para un rango más amplio de las señales de entrada por medio del cambio de los voltajes de umbral de los transistores MOS.
- Facilidad de entonado. El uso de FGMOS permite el cambio de los voltajes de umbral y por tanto de el valor efectivo de la transconductancia de modo que se incrementan los grados de libertad disponibles para entonar/programar los circuitos.

Uno de los problemas más graves con el uso de los FGMOS es la carga atrapada en la compuerta, la cual se desconoce después de haber sido fabricado el dispositivo [13]. Existen diversas propuestas que permiten solucionar este problema, una de ellas es el uso de Quasi-Floating Gates (QFGMOS), que consiste en conectar el nodo flotante a un potencial conocido a través de una resistencia de valor muy grande, usualmente un transistor apagado, con lo cual se fija el punto de operación del transistor MOS.

2.5.3 Operación en la Región de Sub-umbral.

La energía necesaria para operar un circuito ha llegado a ser una consideración crítica en circuitos digitales y analógicos. Una alternativa propuesta es la operación del transistor en la región sub-umbral (también conocida como región de inversión débil) donde el voltaje aplicado entre compuerta y fuente, V_{GS} , es menor del voltaje de encendido, V_{TH} . En esta región la corriente de drenaje, I_{DS} , presenta un comportamiento exponencial [14, 15]. Cuando un circuito opera en esta región, la energía requerida se reduce por un orden de magnitud pero a costa de un deterioro en las especificaciones del diseño. Sin embargo, esto puede ser justificable ya que en aplicaciones portátiles/ambulatorias, el tiempo de vida de la batería es el parámetro más importante de diseño.

La corriente de drenaje a fuente, I_{DS} , de un transistor MOS operando en la región de sub-umbral puede ser expresada como:

$$I_{DS} = I_0 \exp\left(\frac{V_{GS} - V_{TH}}{nU_T}\right) \left[1 - \exp\left(-\frac{V_{DS}}{U_T}\right)\right] \quad (2.1)$$

Donde n es el factor de pendiente, U_T es el voltaje térmico que está definido por (kT/q) , y su valor aproximado, a temperatura ambiente, es de 25mV. I_S está determinado por:

$$I_S = 2n\mu C_{OX} U_T^2 (W/L) \quad (2.2)$$

donde μ es la movilidad de los portadores, C_{OX} es el óxido de compuerta por unidad de área, W/L se refiere a la relación ancho y largo del canal. El voltaje de umbral V_{TH} depende del voltaje fuente-sustrato, V_{SB} , el cual esta expresado en (2.3) donde V_{TH0} es el voltaje de umbral para $V_{SB} = 0$.

$$V_{TH} = V_{TH0} + (n - 1)V_{SB} \quad (2.3)$$

Las ecuaciones también pueden aplicarse a los transistores de canal P invirtiendo los subíndices de I_{DS} , V_{GS} , V_{DS} a I_{SD} , V_{SG} , V_{SD} . La transconductancia de un transistor trabajando en la región de inversión débil está determinada por (2.4)

$$g_m = \frac{\partial I_{DS}}{\partial V_{GS}} = \frac{1}{nU_T} I_{DS} \quad (2.4)$$

La conductancia a pequeña señal puede ser encontrada de la de la expresión (2.1) como:

$$g_{ds} = \frac{\partial I_{DS}}{\partial V_{DS}} = \frac{1}{U_T} I_0 \frac{W}{L} \exp\left(\frac{V_G}{nU_T}\right) \exp\left(\frac{-V_S}{U_T}\right) \exp\left(\frac{-V_{DS}}{U_T}\right) \quad (2.5)$$

En la región sub-umbral, los transistores MOS tienen bajos voltajes de saturación cerca de los 100 mV, lo cual nos permite tener un buen swing de voltaje a la salida incluso utilizando estructuras en cascada con transistores MOS.

2.6 Ruido.

Las señales analógicas procesadas por circuitos integrados son afectadas principalmente por dos tipos de ruido: el ruido del dispositivo y el ruido ambiental. En este trabajo, se considera el ruido generado por el funcionamiento del dispositivo.

2.6.1 Ruido Térmico en Resistencias.

El ruido térmico de un resistor se debe al movimiento aleatorio de electrones en el material, y se manifiesta como fluctuaciones en el voltaje medido, aún cuando la corriente promedio es cero y no es afectado por la presencia o ausencia de corriente directa. El espectro del ruido térmico es proporcional a la temperatura [16]. El modelo de la resistencia del ruido térmico se muestra en la Figura 2.5 donde su densidad espectral de potencia (PSD) esta dada por:

$$S_v(f) = 4kTR f \geq 0 \quad (2.6)$$

donde $k=1.38 \times 10^{-23} \text{ J/}^\circ\text{K}$ es la constante de Boltzman. El ruido térmico es un tipo de *ruido blanco*, debido a que presenta el mismo valor para todo el rango de frecuencias.

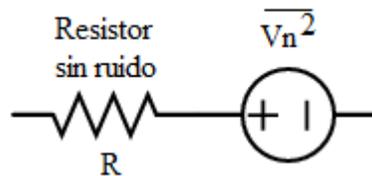


Figura 2.5 Fuente de voltaje del ruido térmico en la resistencia.

El ruido térmico se expresa como:

$$\overline{V_n^2} = 4kTR\Delta f \quad (2.7)$$

En la Figura 2.5 se muestra que el ruido térmico puede ser modelado con una fuente de voltaje en serie con una resistencia ideal. La Figura 2.6 muestra el modelo del ruido térmico implementado mediante una fuente de corriente conectada en paralelo con una resistencia ideal.

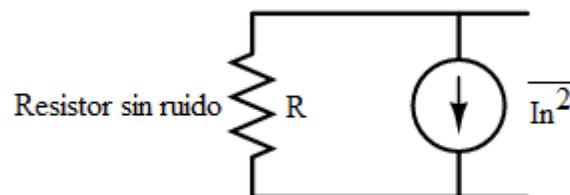


Figura 2.6 Modelo de ruido térmico mediante una fuente de corriente.

Con el propósito de que los modelos de ruido de las Figuras 2.5 y 2.6 sean equivalentes, se tiene que:

$$\frac{\overline{V_n^2}}{R^2} = \overline{I_n^2} \quad (2.8)$$

Por lo tanto:

$$\overline{I_n^2} = \frac{4kT}{R} \quad (2.9)$$

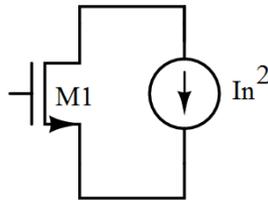


Figura 2.7. El modelo de ruido térmico para transistores MOS operando en la región de saturación.

Se puede observar que el ruido blanco es solamente un concepto teórico, pues el área total bajo la PSD, donde la portadora de potencia total dada por el ruido, es infinita. Sin embargo, en la práctica, el concepto de ruido blanco puede ser considerado dentro de una banda limitada del sistema.

2.6.2 Ruido Térmico en Transistores MOS.

La resistencia del canal es la fuente más importante de ruido térmico en los transistores MOS. Para transistores MOS que operan en la región de saturación y que tienen canales largos, el ruido puede ser modelado por una fuente de corriente entre las terminales de drenaje y fuente, su corriente de ruido es:

$$\overline{I_n^2} = 4kT\gamma gm \quad (2.10)$$

donde el coeficiente γ para transistores con canales largos es igual a $2/3$.

Un transistor MOS que opera en la región óhmica tiene componentes de ruido térmico. Los materiales que se utilizan para fabricar las terminales (drenaje, fuente y compuerta) de un transistor tienen una resistividad finita y, por lo tanto, inducen ruido. Para un transistor relativamente grande, las resistencias en las terminales de drenaje y fuente son insignificantes, mientras que la resistencia de compuerta puede ser grande dependerá del patrón geométrico del circuito.

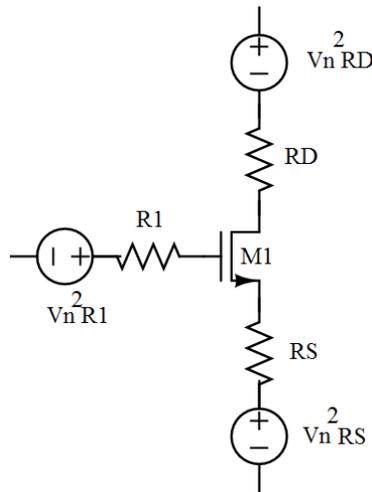


Figura 2.8 Modelo de ruido para un transistor MOS operando en la región óhmica.

En la Figura 2.8, R_1 representa la resistencia distribuida en la compuerta, R_D es la resistencia del drenaje y R_S es la resistencia en la fuente. El ruido térmico generado en el canal es modificado sólo por la transconductancia del transistor.

2.6.3 Ruido Flicker en Transistores MOS.

El ruido flicker es también conocido como ruido $1/f$. El ruido flicker es generado cuando los portadores en movimiento son atrapados o puestos en libertad aleatoriamente en la interfaz Si-SiO₂ y dentro del óxido de compuerta. Tales mecanismos dan lugar a una señal de ruido concentrado que es apreciado en bajas frecuencias.

El ruido flicker puede ser modelado como una fuente de voltaje conectada en serie con la compuerta de un transistor, descrita por la ecuación:

$$\overline{V_n^2} = \frac{k}{C_{OX}WL} \frac{\Delta f}{f} \quad (2.11)$$

donde k es una constante del orden de 10^{-25} V²F. Como se puede observar, la densidad espectral de potencia es inversamente proporcional a la frecuencia. Con el propósito de disminuir el ruido en un transistor, se recomienda que el área de éste sea muy grande.

Para cuantificar el ruido flicker con respecto al térmico, se grafican ambas PSD como en la Figura 2.9. La frecuencia de corte de ruido es la intersección entre el ruido térmico y el ruido flicker.

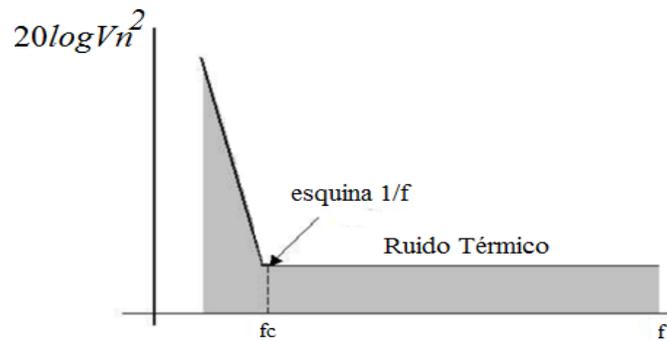


Figura 2.9. Frecuencia de corte de ruido flicker.

En la Figura 2.9, f_c es calculado mediante:

$$f_c = \frac{K}{C_{OX}WL} gm \frac{3}{8kT} \quad (2.12)$$

Generalmente f_c depende de las dimensiones del transistor y de la corriente de polarización.

2.7 Conclusiones

En este capítulo se mencionó los antecedentes en las señales encefalográficas así como sus características y la forma de obtenerlas por medio de electrodos. Otro punto importante fueron las técnicas de diseño de bajo voltaje que son utilizadas en dichos sistemas de adquisición de las cuales para este trabajo. El diseño con transistores compuesto y en la región de inversión débil son utilizados en el desarrollo de este trabajo junto con otras consideraciones como lo son los tipos de ruido y que banda de frecuencia donde se aprecian sus efectos.

CAPÍTULO 3

Amplificador de Biopotenciales

En el capítulo anterior se presentó el sustento teórico de la de tesis, se mostraron las características más importantes de las señales EEG como lo son la amplitud y el rango de frecuencias en las que se encuentran, además se mencionaron los electrodos comúnmente utilizados en la adquisición de estas señales, en este caso los de AgCl, así como también el sistemas 10-20 que permiten la colocación de dichos electrodos sobre el cuero cabelludo.

También se presentaron técnicas de bajo voltaje, como son las compuertas flotantes, transistor compuesto, mencionando la región de inversión débil o sub umbral como alternativa de diseño circuitos. Finalmente expusieron los tipos de ruido como el ruido térmico y el ruido flicker que son los que predominan al trabajar con frecuencias bajas y afectan a los sistemas de adquisición de potenciales.

En este capítulo se muestra un amplificador de instrumentación que resuelve las necesidades en los registros de biopotenciales para después ser procesados, almacenados y analizados.

3.1 Amplificador de Instrumentación (AI).

El amplificador de instrumentación es utilizado para tomar mediciones en ambientes ruidosos, donde la señal de interés de baja amplitud [16]. Este tipo de circuitos son es ideales para detectar señales que provienen de transductores como lo son los electrodos, entre otros. Un amplificador de instrumentación, cuyo esquemático se muestra en la Figura 3.1, es un bloque de ganancia en lazo cerrado con una entrada diferencial y una salida con

respecto a una referencia, cuya ganancia se programa a través de una resistencia, la cual puede ser externa o interna. Este tipo de amplificadores poseen un valor grande de rechazo al modo común (CMRR), el cual se incrementa proporcionalmente a la ganancia diferencial, tiene una alta impedancia de entrada y presenta pequeñas variaciones de voltaje con respecto a la temperatura.

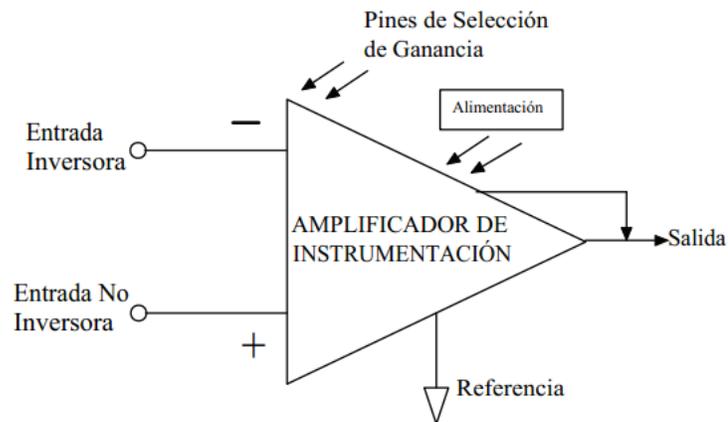


Figura 3.1. Diagrama del amplificador de instrumentación

3.1.1 Configuración Básica de Amplificador de Instrumentación.

La configuración más utilizada como amplificador de instrumentación está compuesta por tres amplificadores operacionales, como se muestra en la Figura 3.2.

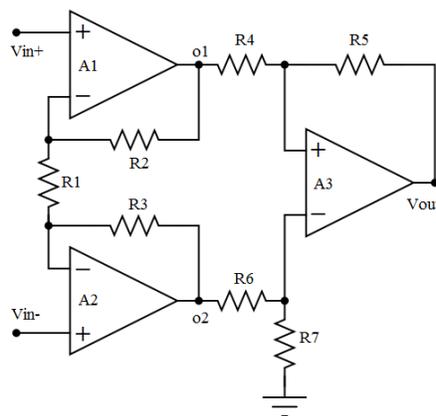


Figura 3.2. Amplificador de instrumentación clásico.

El circuito está compuesto por dos partes: El amplificador $A3$ toma la diferencia de voltaje en los nodos $o1$ y $o2$ para después amplificarlo. Los seguidores de tensión a la entrada dan una gran impedancia de entrada, mientras la ganancia ajustable se realiza por medio de la resistencia $R1$. Para que no se generen voltajes de offset en esta configuración, las resistencias deben ser de valores precisos. Esta configuración nos permitirá implementar un amplificador con ganancia diferencial dada por la expresión (3.1), cuando $R4=R6$, $R2=R3$ y $R5=R7$ [17,18].

$$\frac{V_{out}}{V_{in+} - V_{in-}} = \left(1 + 2 \frac{R2}{R1}\right) \frac{R5}{R4} \quad (3.1)$$

Entre las principales características eléctricas se encuentra la razón de rechazo en modo común (CMRR), el cual es un parámetro que está definido como el cociente de la ganancia en modo diferencial y la ganancia en modo común. Expresado en decibeles, el CMRR es:

$$CMRR = 20 * \log \left(\frac{A_D}{A_{CM}}\right) \quad (3.2)$$

Donde A_D es la ganancia en modo diferencial y A_{CM} es la ganancia en modo común. Los valores típicos de $CMRR$ para un amplificador de instrumentación están el rango de $70dB$ a 100 dB [17]. Otro parámetro importante es la relación de rechazo al ruido de las fuentes de alimentación, ($PSRR$) [17, 18], también llamada sensibilidad de la fuente y que se expresa en decibeles como:

$$PSRR = 20 * \log \left(\frac{A_D}{A_{CF}}\right) \quad (3.3)$$

Donde A_D es la ganancia en modo diferencial y A_{CF} es la ganancia de la fuente reflejada a la salida del amplificador. Es conveniente que el amplificador de instrumentación tenga una ganancia diferencial alta en la primera etapa, ya que su alto $CMRR$ las señales en modo común no se ven amplificadas [18].

3.2 OTA Usando Transistores MOS Auto-Cascodo.

Al realizar una descripción del amplificador de instrumentación clásico es necesario presentar el diseño de un amplificador operacional que será utilizado en la construcción del amplificador de instrumentación. El circuito debe tener una ganancia diferencial e

impedancia de entrada altas además de una baja impedancia de salida. El amplificador de transconductancia Cascodo Doblado es una estructura mencionada frecuentemente en la literatura y que se muestra en la Figura 3.3.

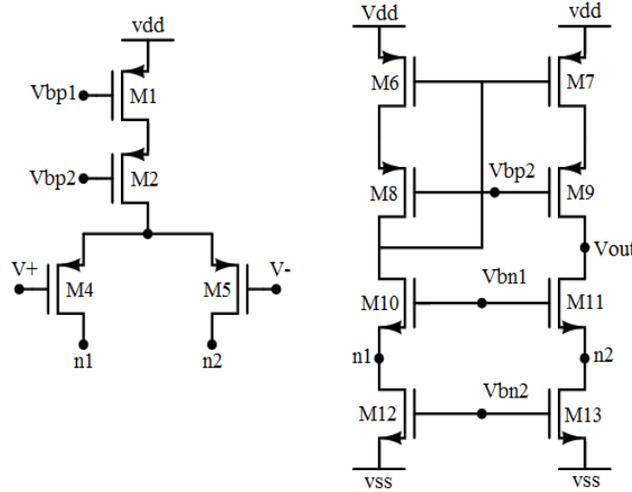


Figura 3.3 Amplificador Cascodo Doblado

Las características que presenta esta topología es que mejora el rango de entrada en modo común $ICMV$ y el rechazo a la tensión de alimentación $PSRR$ con respecto al clásico OTA de dos etapas. Podemos considerar a este amplificador como dos bloques en cascada: Una etapa de transconductancia diferencial, seguida de una carga formada por un espejo de corriente cascode. Una de las principales ventajas del amplificador Cascodo doblado es que tiene una salida *push-pull*. Esto quiere decir que, el amplificador puede tanto ser fuente como sumidero de corriente para la carga [19, 20, 21].

El amplificador *cascodo doblado* cuenta con salida sencilla y presenta una impedancia de salida alta dada por la expresión:

$$R_{out} = g_{m9} r_{ds9} r_{ds7} \parallel [g_{m11} r_{ds11} (r_{ds5} \parallel r_{ds13})] \quad (3.4)$$

La ganancia en baja frecuencia se obtiene mediante (3.5).

$$A_v = g_{m4} R_{out} \quad (3.5)$$

donde $g_{m4}=g_{m5}$ es la transconductancia de los transistores del par diferencial de entrada. La

respuesta en frecuencia del amplificador *Cascodo Doblado* está determinada principalmente por el polo de salida, el cual viene dado por la siguiente ecuación:

$$P_{out} = \frac{1}{R_{out} * C_{out}} \quad (3.6)$$

donde la capacitancia C_{out} representa la capacitancia total conectada al nodo de salida.

Sin embargo, si se desea incrementar aún más la ganancia, una opción es utilizar transistores auto-cascodo, en la cual, gracias a que presenta una mayor impedancia de salida, es posible aumentar la resistencia a la salida manteniendo una excursión de salida similar, además que el consumo de potencia permanece igual con respecto a la estructura clásica. La topología utilizando los transistores auto-cascodo se muestra en la Figura 3.4

3.3 Diseño y Simulación del OTA Cascodo Doblado.

Para el diseño de el OTA se consideraron las siguientes restricciones:

- $V_{dd}/V_{ss} = \pm 1.65 V$
- $C_L = 2 pF$
- $V_{DSAT} = 150 mV$

Existen diversas maneras de dimensionar los transistores del par diferencial y del amplificador. Algunas de ellas consideran factores como el producto ganancia-ancho de banda (GBW), la carga de la siguiente etapa (C_L), las corrientes de polarización (I_{bias}), el consumo de potencia, el área de silicio, los voltajes de alimentación, el ruido en la banda de trabajo, etc. Algunas de ellas llegan a ser contradictorias, por ejemplo, no se puede incrementar el GBW y al mismo tiempo minimizar la corriente de polarización I_{bias} .

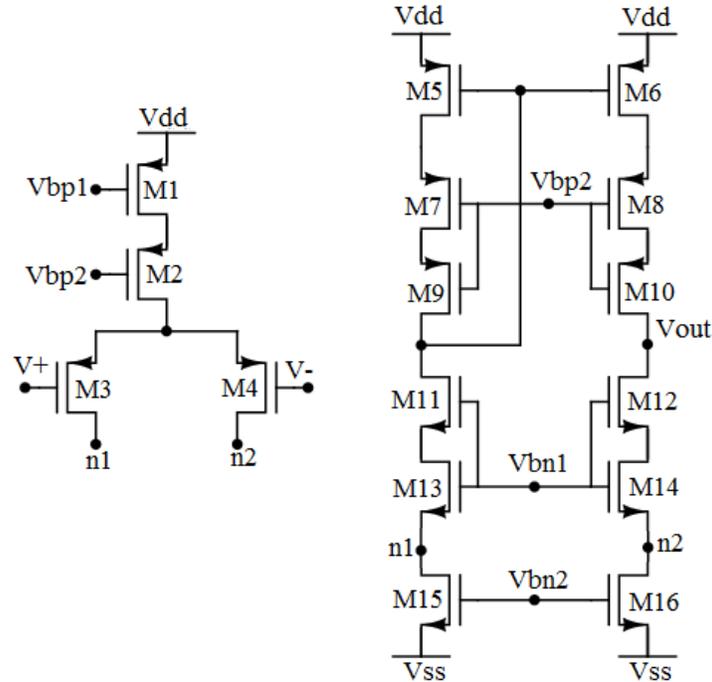


Figura 3.4 Amplificador cascode doblado usando transistores compuestos.

En nuestro caso, se realizó el dimensionamiento proponiendo la corriente que pasa por el drenaje del transistor I_D utilizando transistores compuestos, proponiendo el voltaje de saturación de cada transistor de modo que no fuera excesivo para tener un mayor rango dinámico, y utilizando la ecuación (3.7). Las dimensiones resultantes se muestran en la Tabla 3.1.

$$\frac{W}{L} = \frac{2 \cdot I_D}{\mu_{COX} V_{DSAT}^2} \quad (3.7)$$

| Transistores | W/L ($\mu\text{m}/\mu\text{m}$) | M |
|----------------------------|-----------------------------------|---|
| M1, M2 | 76.95/2.4 | 1 |
| M3, M4, M5, M6, M9, M10 | 38.4/2.4 | 1 |
| M7, M8 | 38.4/2.4 | 5 |
| M11, M12 | 12.6/2.4 | 1 |
| M13, M14 | 12.6/2.4 | 5 |
| M15, M16 | 25.2/2.4 | 1 |

Tabla 3.1 Dimensiones de los transistores usados en el OTA.

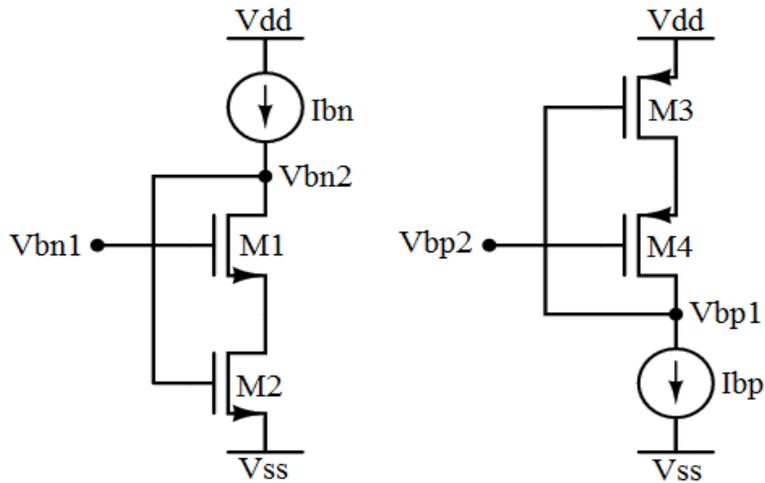


Figura 3.5 Espejos de corriente de bajo voltaje.

El amplificador con transistores Compuesto fue polarizado con espejos de corriente de bajo voltaje, también conocidos como *wide swing current mirror* [19], Figura 3.5. Para la topología presentada se utilizaron dos espejos de corriente MOS: un tipo *P* y un tipo *N*. La Tabla 3.2 muestra las dimensiones para estos espejos.

| Elementos | Valores |
|-----------------------|--|
| <i>M1, M2, M3, M4</i> | $W/L (\mu\text{m}/\mu\text{m})=12.6/2.4, 25.2/2.4$ $76.95/2.4, 76.95/2.4$ |
| <i>Ibn, Ibp</i> | $6 \mu\text{A}, 6 \mu\text{A}$ |
| <i>Vdd, Vss</i> | $1.65 \text{ V}, -1.65 \text{ V}$ |

Tabla 3.2 Detalles de diseño de los espejos de corriente.

Para el diseño del *OTA* se utilizaron longitudes de canal de $2.4 \mu\text{m}$ para todos los transistores además de corrientes $I_{bias}=6 \mu\text{A}$ y una capacitancia de carga $C_L=2 \text{ pF}$ que a su vez funcionó como capacitor de compensación. Los resultados de simulación fueron obtenidos mediante HSPICE® usando los modelos de ON SEMI $0.5 \mu\text{m}$.

Para comprobar la excursión de la señal de salida se realizó un análisis en *DC* variando la señal de entrada de $-2V$ a $2V$ teniendo a la salida una máxima excursión de la señal de $-1.4V$ a $1V$. En una configuración de seguidor de voltaje se ingresó una señal en el dominio del tiempo con una amplitud máxima de 900 mVpp a una frecuencia de 1 KHz , ver Figura 3.6 . Por supuesto, mientras más pequeña sea la señal de entrada, como en el caso de las señales de biopotenciales, menos distorsión se tiene a la salida.

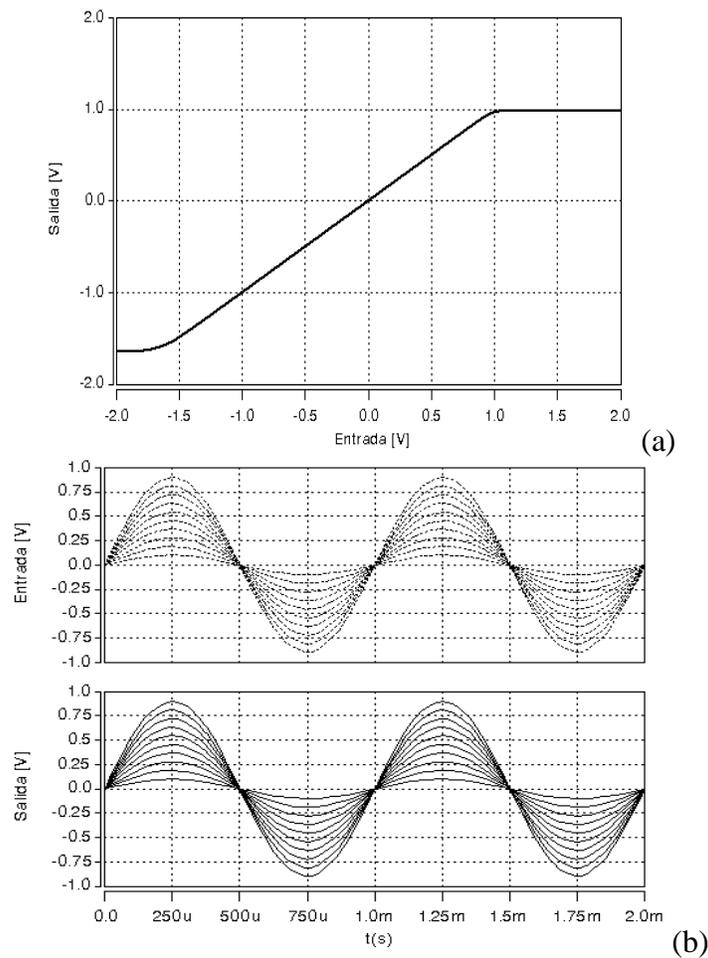


Figura 3.6 Análisis del OTA con transistores compuestos, (a) barrido en DC, (b) transiente en configuración de seguidor.

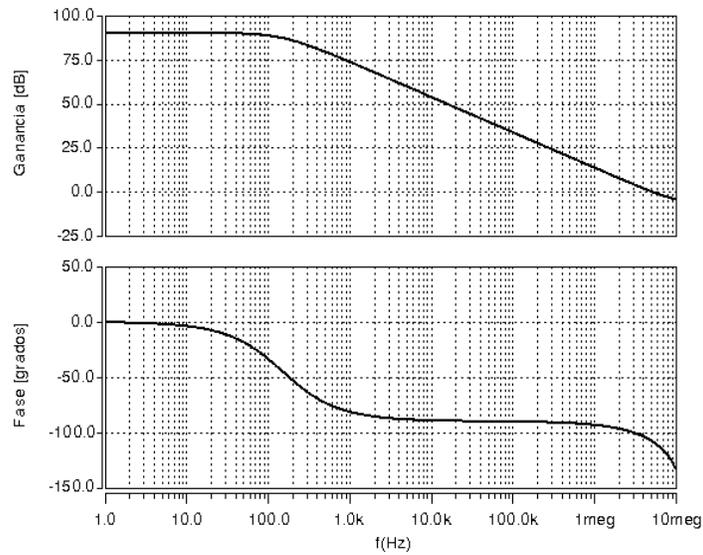


Figura 3.7 Respuesta en el dominio de la frecuencia.

La Figura 3.7 muestra un análisis en el dominio de la frecuencia para el OTA, donde se obtuvo una ganancia de 90.4dB .

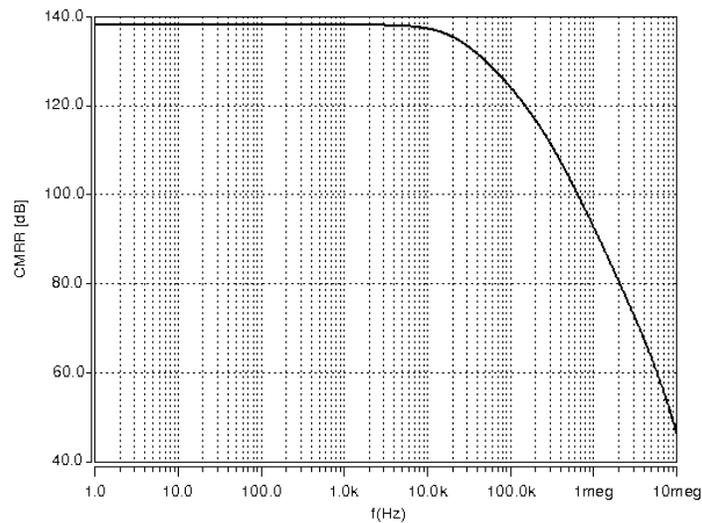


Figura 3.8 CMRR del amplificador de transconductancia.

La Figura 3.8 muestra los resultados de simulación obtenidos para el $CMRR$ el cual es de 138 dB hasta una frecuencia de 2.2 KHz . La Figura 3.9 muestra los resultados para el $PSRR+$ el cual es de 101 dB hasta una frecuencia de 1.8 KHz y un $PSRR-$ de 90 dB hasta 20 KHz .

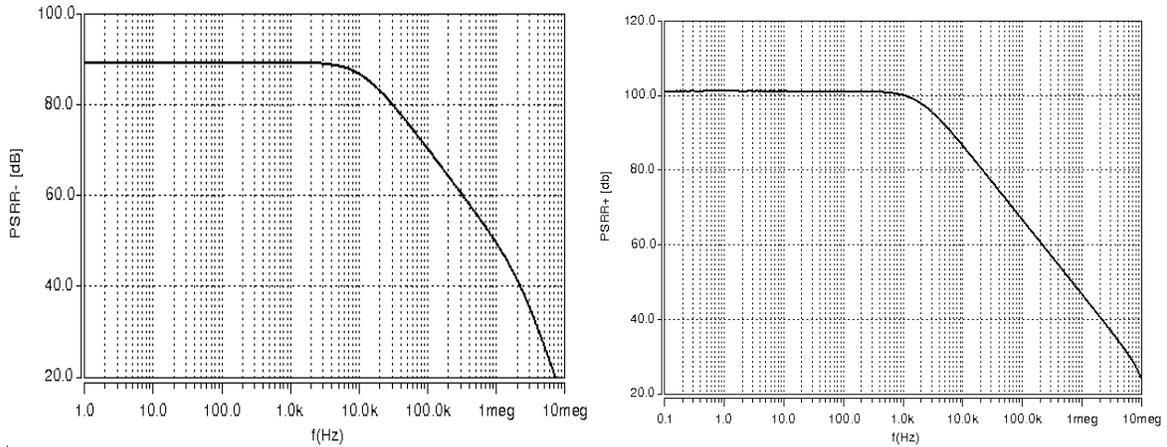


Figura 3.9 PSRR± del amplificador de transconductancia.

3.4 Buffer de Voltaje.

Para tener un OPAM generalmente a partir de un OTA, es necesario agregar un buffer cuya impedancia de salida del OTA de un valor muy alto, a un valor de impedancia bajo. El buffer implementado se muestra en la Figura 3.10 el cual tiene una salida clase AB con lo cual tiene una buena excursión de salida, al casi alcanzar los voltajes de alimentación.

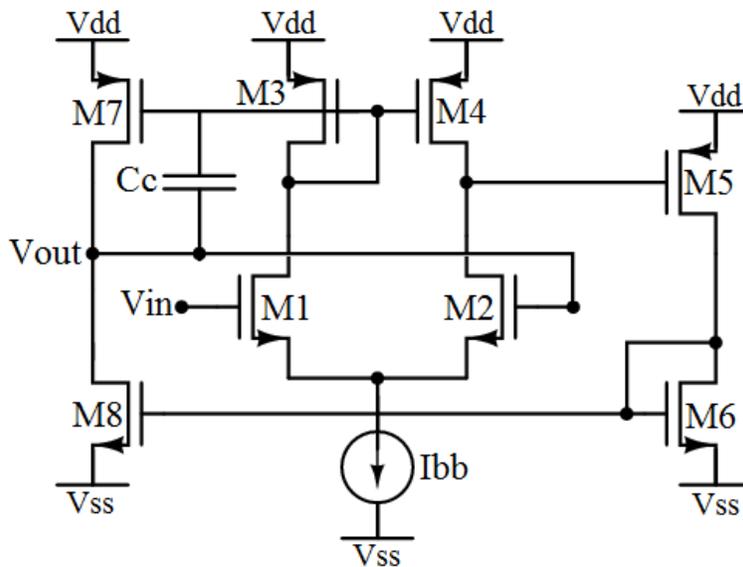


Figura 3.10. Buffer de voltaje clase AB.

El buffer se compone de un amplificador retroalimentado con ganancia de lazo unitaria para reducir la impedancia de salida y el nivel de offset.

| Elementos | Valores |
|---------------------------------------|--|
| M1, M2, M3, M4, M5, M6, M7, M8 | $W/L (\mu\text{m}/\mu\text{m})=12.6/2.4, 12.6/2.4, 38.4/2.4, 38.4/2.4, 192.8/1.2, 63/1.2, 192.8/1.2, 63/1.2$ |
| Cc, CL | 500 fF, 1 pF |
| I_{bb} | 6 μA |
| V_{dd}, V_{ss} | 1.65 V, -1.65 V |

Tabla 3.3 Especificaciones del buffer de voltaje.

En la Tabla 3.3 se muestran los detalles para el diseño del buffer de voltaje. Para caracterizar el buffer se realizaron varios análisis, el primero de fue un barrido en DC del voltaje de entrada en un rango de -1.65V a 1.65V con lo que se obtuvo un rango de salida de -1.5V a 1.5V , ver Figura 3.11. De igual forma, se realizó un análisis transitorio para una señal de entrada de 1.2 Vp , a con frecuencia de 1KHz , con lo cual se obtiene una distorsión armónica del 0.1% , mientras que la resistencia de salida del buffer es de $14\ \Omega$.

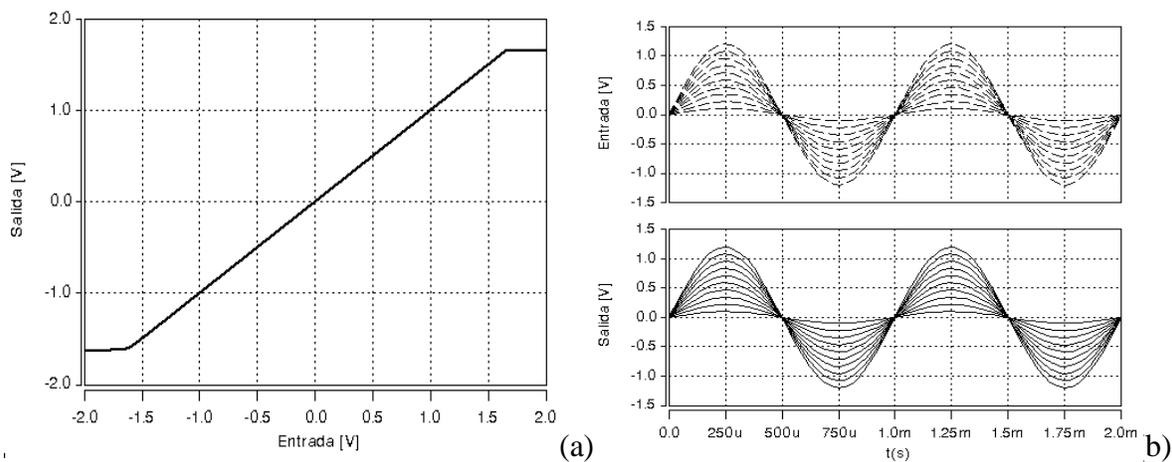


Figura 3.11. (a) Barrido en DC de la señal de entrada, (b) Respuesta en el dominio del tiempo para diferentes amplitudes.

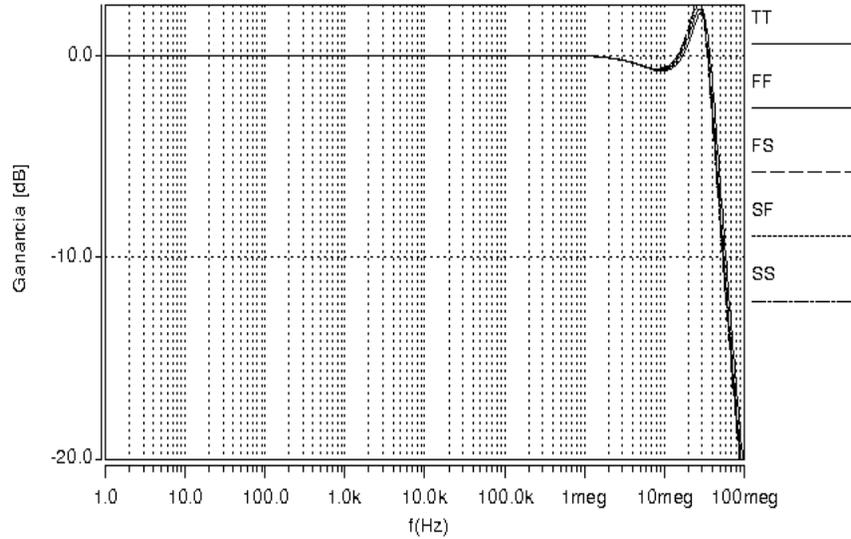


Figura 3.12. Análisis de esquinas en el dominio de la frecuencia del buffer voltaje.

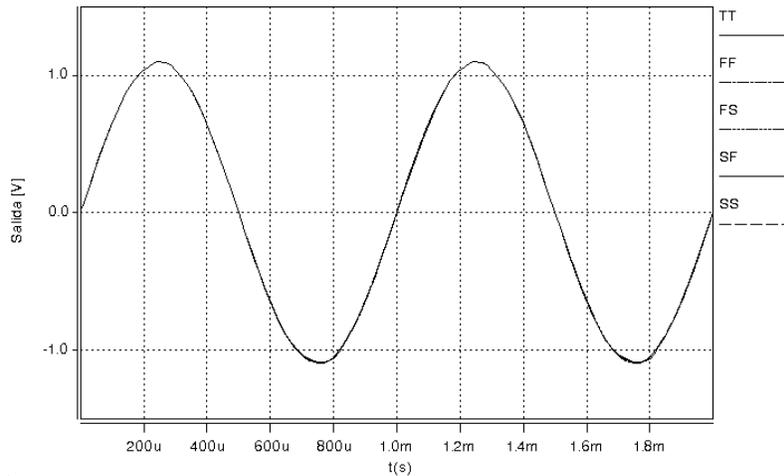


Figura 3.13. Análisis de esquinas en el dominio en el tiempo del buffer voltaje.

Adicionalmente, se realizaron los análisis de esquinas en el dominio de la frecuencia y del tiempo, los resultados se muestran en las Figuras 3.12 y 3.13 respectivamente. El buffer de voltaje funciona correctamente a frecuencias de varios MHz , además, el análisis de esquinas reflejó que no hay una variación significativa en este circuito. De igual manera el análisis de esquina en el dominio del tiempo muestra muy poca variación.

3.5 Amplificador Operacional.

En las anteriores secciones se presentó el diseño del amplificador de transconductancia y el buffer de voltaje, uniendo estos dos bloques es posible construir un amplificador operacional. En esta sección se muestran los resultados obtenidos mediante simulación, que permiten caracterizar dicho amplificador. En la Figura 3.14 se muestra el análisis de esquinas en el dominio de la frecuencia tanto para la ganancia como para la fase de este amplificador. En cualquiera de las esquinas se tiene una ganancia en lazo abierto y una fase aceptable para nuestra aplicación.

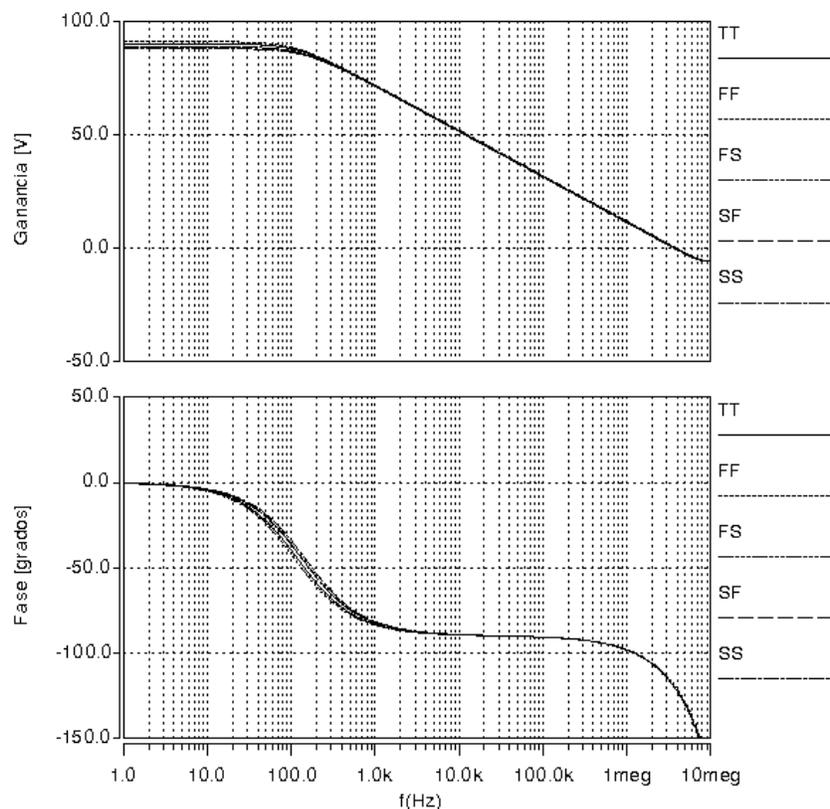


Figura 3.14 Análisis de esquinas en el dominio de la frecuencia del OPAM.

La Figura 3.15 muestra una caracterización en lazo cerrado del OPAM, para este propósito se eligió una ganancia de $40.08dB$ en una configuración no inversora. El rango dinámico del voltaje de salida es de alrededor de $\pm 1V$ para una entrada de $-20mV$ a $20mV$ mientras que la respuesta transitoria no presenta oscilaciones, es decir, el amplificador es estable. Para el análisis en el dominio del tiempo se aplicó una señal de entrada de $10mVp$ a una



frecuencia de 1KHz teniendo una amplitud a la salida de 1.2Vp y presentando una distorsión armónica del 0.2% .

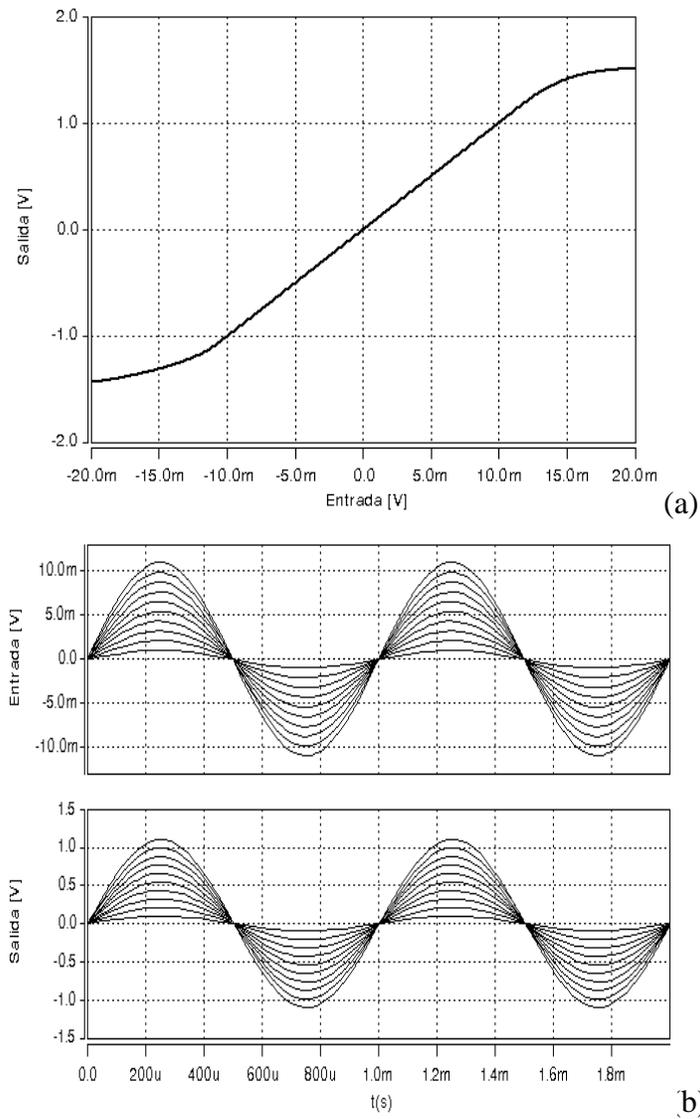


Figura 3.15. Características en DC y respuesta transitoria del OPAM en lazo cerrado.

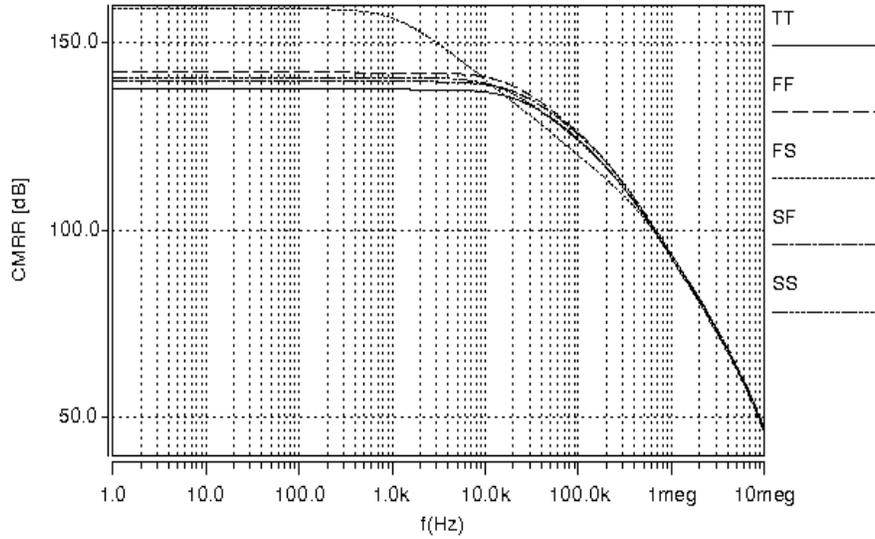


Figura 3.16 CMRR del OPAM.

En la Figura 3.16 se realizó un análisis de esquinas para el *CMRR* del OPAM, el valor típico fue de *138 dB*. En el caso del *PSRR-* y *PSRR+* se obtuvieron *102 dB* y *92 dB* respectivamente, Figura 3.17.

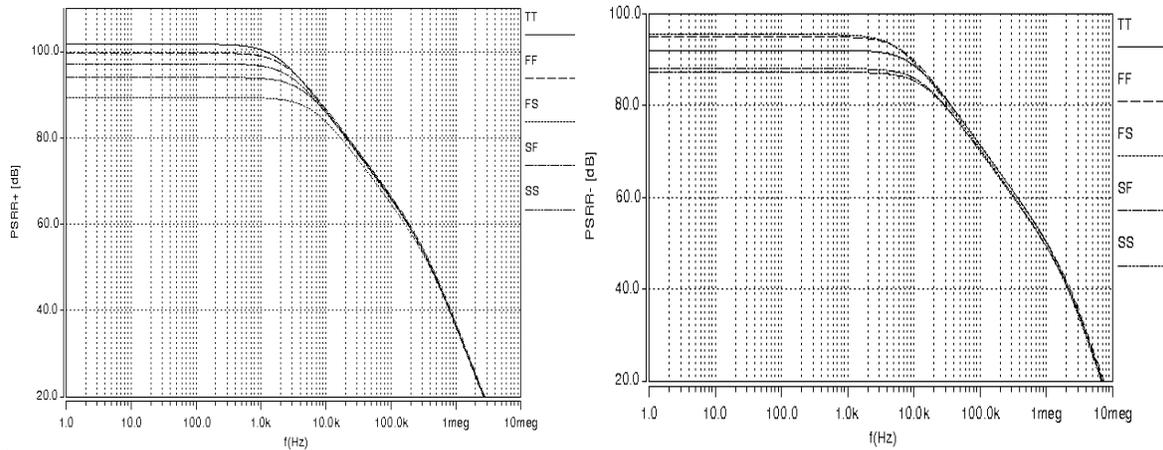


Figura 3.17 PSRR± del OPAM.

Los resultados obtenidos del amplificador operacional utilizando transistores compuestos, están resumidos en la Tabla 3.4.

| Especificación | Valor (Típico) |
|---------------------------------------|-----------------------|
| <i>V_{dd}, V_{ss}</i> | <i>1.65, -1.65V</i> |
| <i>Potencia disipada</i> | <i>79.3μW</i> |
| <i>A_{OL}</i> | <i>90.4dB</i> |
| <i>GBW</i> | <i>3.9MHz</i> |
| <i>Margen de Fase</i> | <i>61°</i> |
| <i>PSRR+</i> | <i>102dB</i> |
| <i>PSRR-</i> | <i>92dB</i> |
| <i>CMRR</i> | <i>138dB@2.2KHz</i> |
| <i>Offset</i> | <i>18.26μV</i> |

Tabla 3.4 Resultados para el OPAM.

Tomando como base el OPAM previamente diseñado, se implementó un amplificador de instrumentación utilizando la topología clásica en la sección 3.1.1. Los resultados se muestran en la siguiente sección.

3.6 Simulación del Amplificador de Instrumentación.

Una vez discutidas las características del *OPAM*, se implementó la topología de la Figura 3.2 junto con los elementos resistivos que componen al amplificador de instrumentación. Los resistores del amplificador fueron calculados utilizando la expresión (3.1) de tal manera que la ganancia diferencial fuera de 100. Los valores seleccionados fueron: $R1=10K\Omega$, $R2=10K\Omega$, $R5=50K\Omega$, $R4=10K\Omega$. Es importante mencionar que el resistor $R2$ es externo con el propósito de poder cambiar la ganancia al realizar mediciones en el laboratorio una vez fabricado el amplificador de instrumentación.

En la Figura 3.18 se muestra el rango de la señal a la salida del amplificador para la cual se utilizaron las mismas condiciones que el amplificador operacional, una señal de *DC* a la

entrada de -20 mV a 20 mV y un rango a la salida de -1.4 V a 1.4 V . En el caso del análisis en el dominio del tiempo, la señal de entrada se varió desde 1 mVp a 12 mVp a una frecuencia de 1 KHz , presentado a la salida un rango de 1.2 Vp .

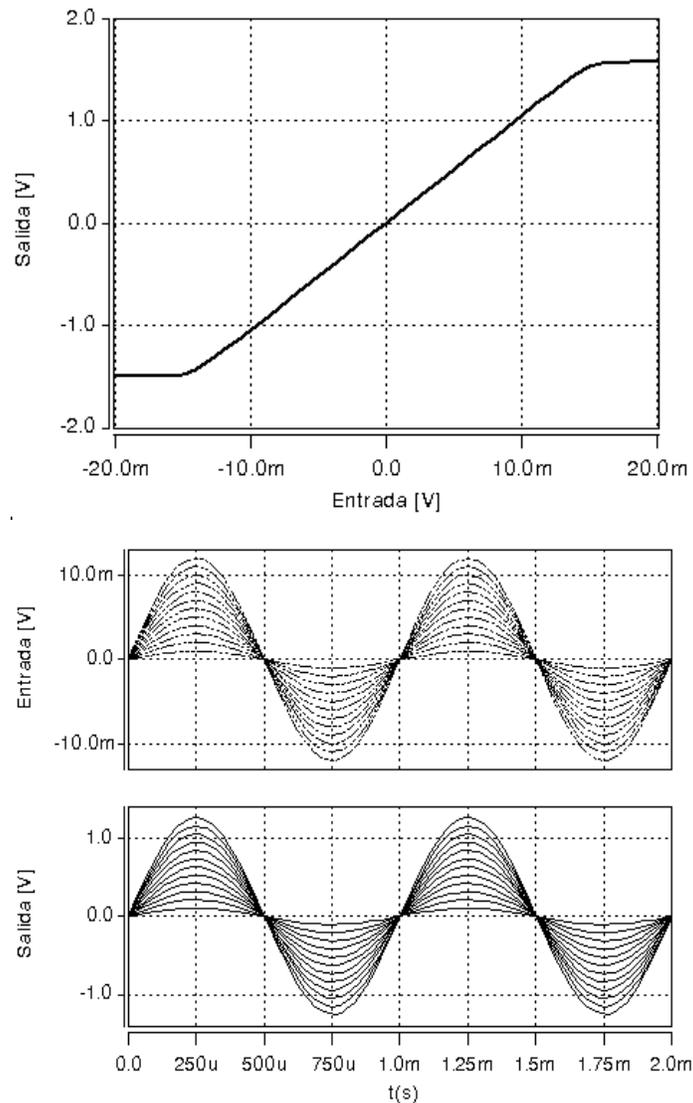


Figura 3.18. Rango de señal a la salida del buffer de amplificador.

La Figura 3.19 corresponde a la respuesta del amplificador en el dominio del tiempo, esta simulación se realizó para ver el efecto que tiene el análisis de esquinas en el offset del amplificador de instrumentación, como se puede ver la variación obtenida es muy pequeña y está en un rango de $100\text{ }\mu\text{V}$ a $150\text{ }\mu\text{V}$ para una señal de entrada de $1\text{ }\mu\text{Vp}$ a una frecuencia de un 1 KHz .

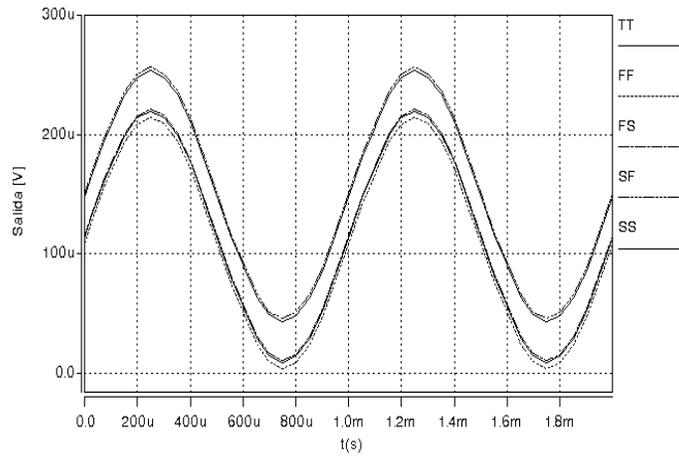


Figura 3.19. Análisis de esquinas en el dominio del tiempo para el amplificador de instrumentación.

En la Figura 3.20 se muestra la respuesta en el dominio de la frecuencia, donde se realizó un análisis de esquinas en el que se observa que la ganancia no se ve afectada.

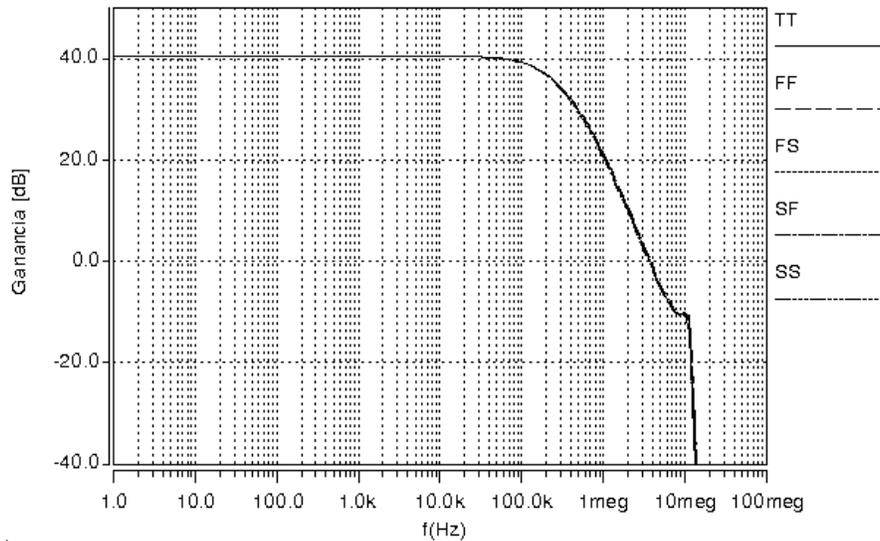


Figura 3.20. Análisis de esquinas en el dominio de la frecuencia para el amplificador de instrumentación.

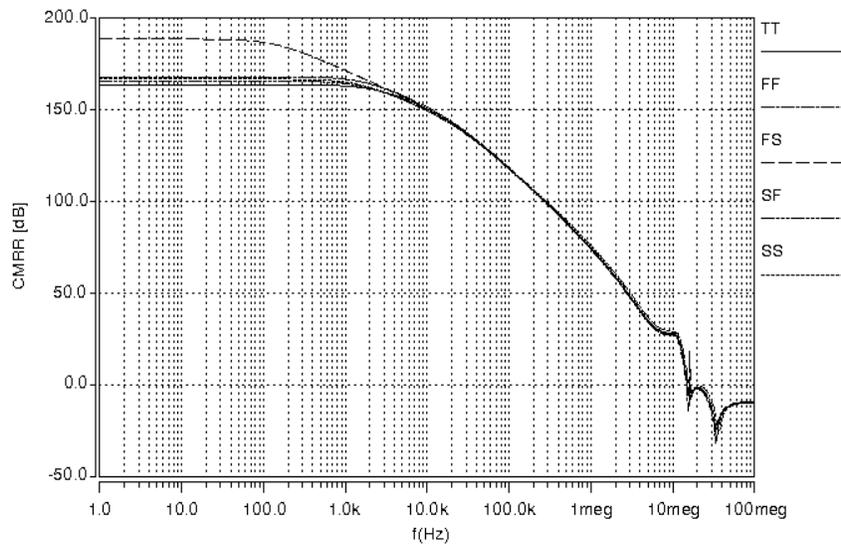


Figura 3.21. Análisis de esquinas para el CMRR del amplificador de instrumentación.

En la figura 3.21 se presenta el análisis de esquinas correspondiente al *CMRR* obteniéndose un valor típico de 163dB . Sin embargo, como se muestra en la Figura 3.21, la esquina rápido-lento presenta una variación considerable dando un *CMRR* de 188dB . Se realizó una simulación se obtuvo una grafica el dominio del tiempo para comprobar el funcionamiento del amplificador para señales en modo común. La señal en modo común aplicada fue de una amplitud de 800mVp con una frecuencia de 60Hz simulando el ruido de modo común de la línea de alimentación, en cuanto a la señal de modo diferencial tuvo una amplitud de $100\mu\text{Vp}$ a una frecuencia de 1KHz . El resultado de simulación se muestra en la Figura 3.22 donde se puede observar que la señal a la salida del AI es la señal de entrada amplificada mientras que la señal en modo común es rechazada completamente. Este valor de la señal de modo común de $\pm 800\text{mV}$ es suficiente para contender con las señales de modo común generados en un *EEG*. En la Figura 3.23 se muestra el análisis de esquinas del *PSRR-* y *PSRR+* con un valor típico para cada uno de 113dB y 118dB respectivamente.

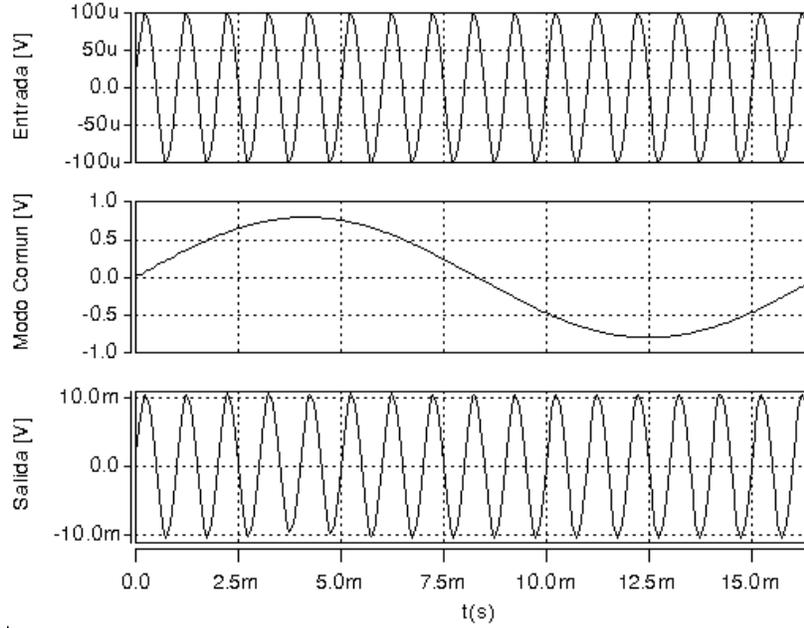


Figura 3.22. Respuesta del amplificador de instrumentación para señales de modo común y modo diferencial.

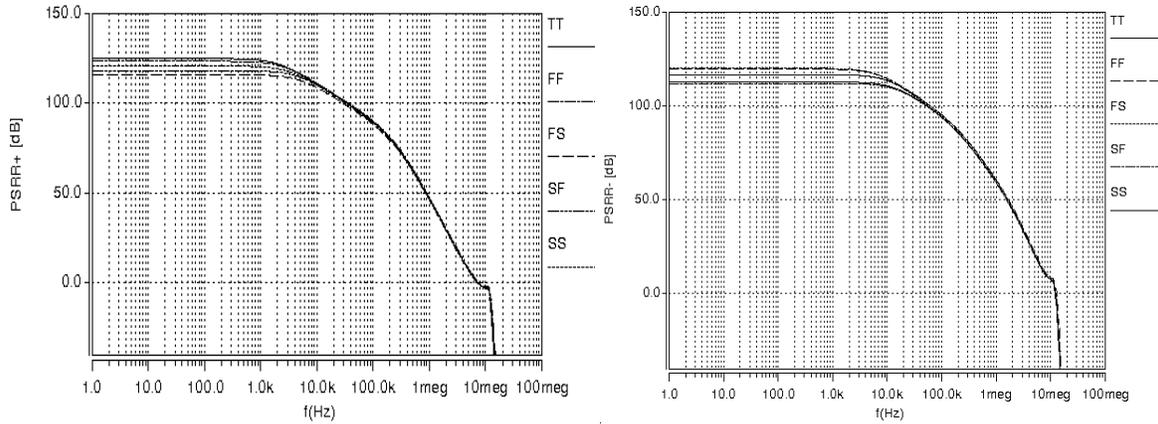


Figura 3.23 Análisis de esquinas del PSRR± del amplificador de Instrumentación.

Un resumen de los resultados obtenidos para el amplificador se presenta en la Tabla 3.5 junto con otros datos importantes que permiten verificar el rendimiento del amplificador de instrumentación.

| Especificaciones | Valor(Típico) |
|---------------------------------------|----------------------|
| <i>V_{dd}, V_{ss}</i> | <i>1.65V, -1.65V</i> |
| <i>Potencia disipada</i> | <i>903.6 μW</i> |
| <i>A_v</i> | <i>40.4dB</i> |
| <i>Ancho de banda</i> | <i>147KHz</i> |
| <i>PSRR+</i> | <i>118dB</i> |
| <i>PSRR-</i> | <i>113dB</i> |
| <i>CMRR</i> | <i>163dB</i> |
| <i>Offset</i> | <i>100μV</i> |

Tabla 3.5. Especificaciones del amplificador de instrumentación.

3.7 Layout del Amplificador de Instrumentación

El siguiente paso en el diseño del AI consiste en generar el *layout* para su envío a fabricación. El circuito se realizó utilizando las reglas de diseño de un proceso CMOS estándar 0.5μm de ON SEMI, el cual que cuenta con 3 niveles de metal y dos niveles de polisilicio, el *layout* se muestra en la Figura 3.24.

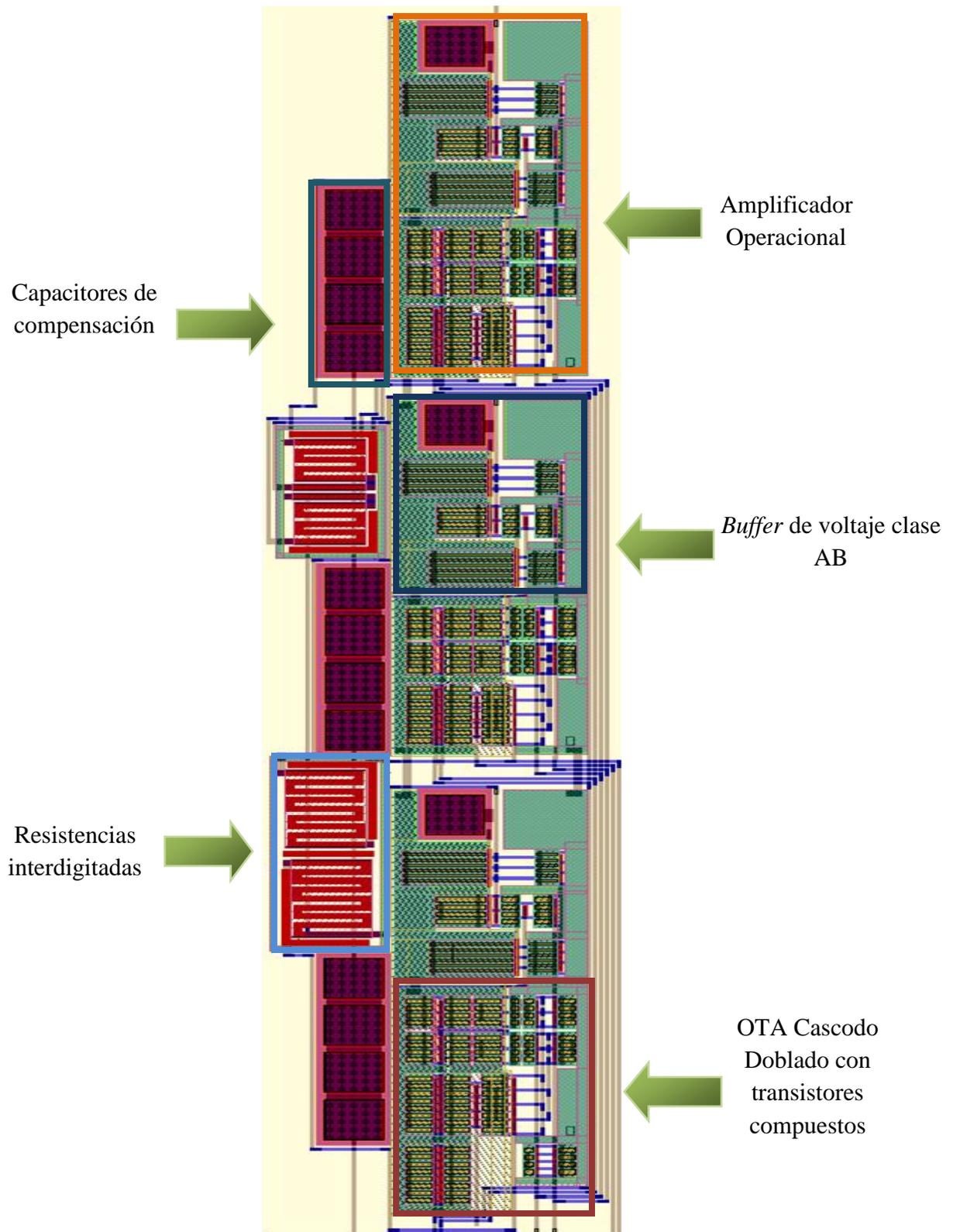


Figura 3.24. Layout del amplificador de instrumentación, área $135\mu\text{m} \times 696\mu\text{m}$.

Para reducir el *mismatch* entre los diferentes dispositivos que conforman el *AI*, se tomaron en cuenta las consideraciones pertinentes, como por ejemplo, interdigitar los transistores y las resistencias, utilizar componentes *dummies*, no utilizar dimensiones mínimas, entre otras. También se colocaron anillos de guarda anchos para disminuir la interferencia o ruido de los circuitos cercanos en el chip.

3.8 Conclusiones

En este capítulo se presentó el diseño de un amplificador de bajo voltaje, utilizando una topología cascode doblado. Para aumentar la ganancia del amplificador se utilizaron transistores compuestos con lo cual el consumo de potencia no se incrementa. También se presentó el diseño de un seguidor de voltaje clase AB que tiene un amplio rango de salida y una baja impedancia. Con este bloque básico, se diseñó un *AI* y se caracterizó a nivel esquemático. Se presentaron los resultados obtenidos así como el patrón geométrico del amplificador de instrumentación.

CAPÍTULO 4

Diseño de Filtros a Baja Frecuencia Usando Resistores de Gran Valor

Los resistores integrados de gran valor son elementos clave en muchas aplicaciones. Pueden ser utilizados para propósitos de polarización, como en el caso de los QFG's, o para implementar filtros de muy baja frecuencia, como por ejemplo en aplicaciones médicas. Además de lograr valores altos de resistencia, los resistores activos de gran valor deben tener la capacidad de ajustarse, ya que el valor exacto del resistor no puede ser conocido después de haber sido fabricados. En aplicaciones de muy baja frecuencia, como en el caso de señales biomédicas, los filtros analógicos son utilizados para rechazar señales indeseadas, como el offset, ruido flicker y cualquier otro tipo de ruido fuera de la banda de interés. El diseño de filtros con frecuencia de corte inferior a 1KHz no es trivial si se planea llevarlo a un circuito integrado, especialmente cuando otras especificaciones tales como ruido, distorsión, consumo de potencia, rango dinámico y área reducida deben ser satisfechas. Varias técnicas se han propuesto en la literatura, como el uso de capacitores externos (requiere pads externos adicionales), escaladores de impedancia (el factor de escalamiento usualmente no es grande), técnicas de división y cancelación de corriente (propenso a problemas de offset y *mismatch*) y, más recientemente, se ha propuesto el uso de resistores activos utilizando la región de inversión débil del transistor MOS. Las implementaciones con transistores MOS de los resistores activos, tienen un rango lineal muy limitado, típicamente en el orden de las decenas de milivolts, por lo que la amplitud de

la señal aplicada se ve limitada. Una manera de medir esta no-linealidad es cuantificando la cantidad de distorsión que introducen para una amplitud dada de la señal aplicada.

4.1 Filtros de Baja Frecuencia.

El diseño de filtros de baja frecuencia es muy importante en sistemas biomédicos en especial en la adquisición de biopotenciales, donde se emplean para el pre-procesamiento analógico de las señales. Generalmente, los filtros empleados en tales sistemas son usados para sensar señales bioeléctricas las cuales, típicamente, están en el rango de $1\mu\text{V} - 100\text{mV}$, mientras que las frecuencias están por debajo de los 100Hz . A la entrada de cualquier sistema, se recomienda siempre emplear un filtro pasa-bajas para limitar la banda de frecuencias de interés, o bien puede usarse un filtro pasa-altas para eliminar las componentes de DC y parte del ruido flicker. En este trabajo de tesis, se explora la técnica de resistores activos CMOS de muy alto valor, polarizados en la región de inversión débil, para realización de filtros de muy baja frecuencia.

4.2 Resistencias Activas de Gran Valor.

Los resistores activos CMOS son una alternativa para la realización de resistencias pasivas. Pueden implementarse para diferentes rangos de valores mediante el control del punto de operación. Por ejemplo, en la región lineal se tienen valores bajos de resistencia, mientras que en la región de saturación se obtienen valores moderados y en la región de inversión débil se obtienen valores altos. Gracias a esto, los resistores activos CMOS representan una alternativa al uso de los resistores pasivos, además que pueden integrarse en un chip, debido a sus bajos requerimientos de área.

En el caso de los resistores activos de gran valor, la relación entre el voltaje compuerta-fuente y la corriente de drenaje es exponencial, por lo que se tienen problemas de linealidad cuando la señal aplicada es moderadamente grande, lo cual hace que se introduzca

distorsión en la señal de interés. A continuación revisaremos una estructura reportada en la literatura seguida de las modificaciones propuestas en este trabajo de tesis.

4.2.1 Topología 1.

La topología tomada como referencia para la realización del resistor activo de valor alto se muestra en la Figura 4.1 [22].

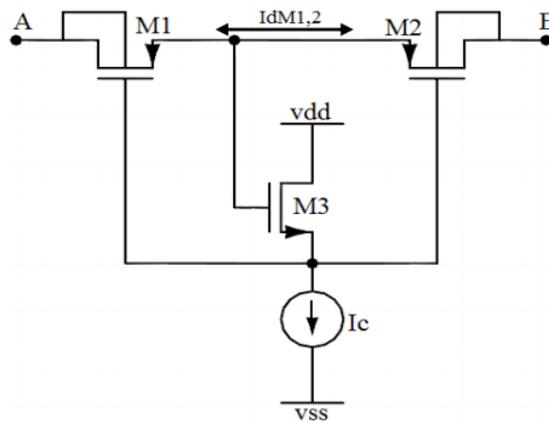


Figura 4.1 Resistor CMOS de alto valor

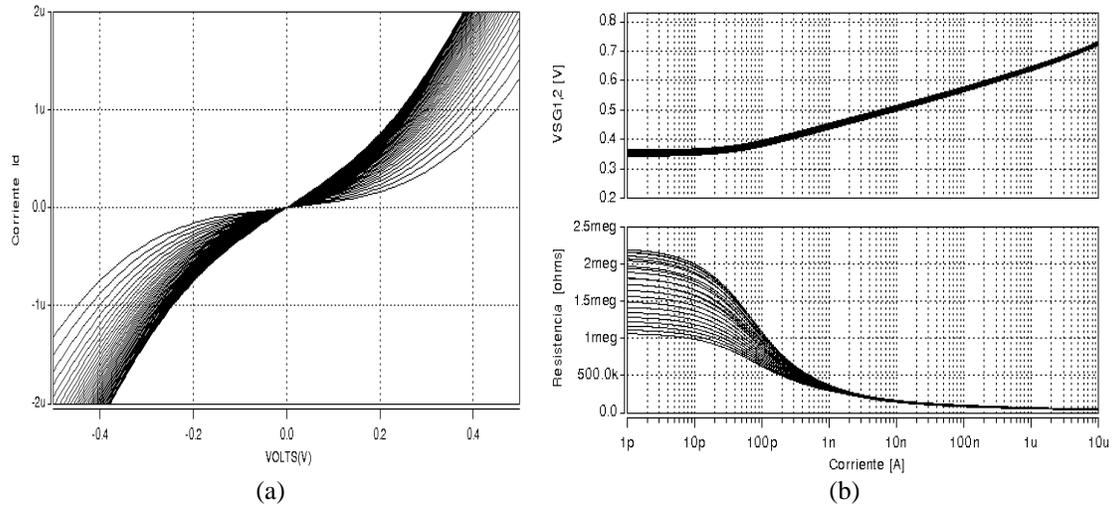
La operación de este circuito se basa en que los transistores $M1$, $M2$ y $M3$ operan en inversión débil. La corriente I_C junto con las dimensiones de $M3$ se diseñan para que quede polarizado en inversión débil, así que $V_{GS3} < V_{TH3}$. Note que V_{GS3} a su vez define el voltaje $V_{SG1,2}$ de los transistores $M1$, $M2$. De esta manera la resistencia de salida R_{SD} de los transistores $M1$ y $M2$ puede ser modificada. La resistencia entre los nodos A y B puede ser establecida como $R_{AB} = R_{SD1} + R_{SD2}$. Cabe notar que cuando $V_{AB} > 0V$, se tiene que $R_{SD1} \ll R_{SD2}$ debido a que el transistor $M1$ y pasa a la región lineal o de triodo, sin embargo el transistor $M2$ sigue operando en la región de sub-umbral o inversión débil.

| Elementos | Valores |
|------------|--|
| M1, M2, M3 | W/L ($\mu\text{m}/\mu\text{m}$)=3/1.2, 3/1.2, 10.8/1.2 |
| Ic | 1pA-10nA |
| Vdd,Vss | 1.65V, -1,65V |

Tabla 4.1 Detalles de diseño para la topología 1.

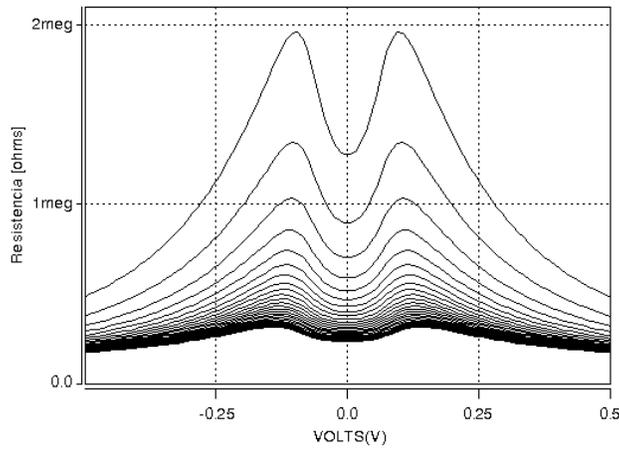
Una situación simétrica sucede cuando el voltaje $V_{AB} < 0V$, entonces $R_{SD2} \ll R_{SD1}$ por lo tanto la resistencia total a la salida del resistor es $R_{AB} \approx R_{SD2}$.

Para caracterizar el funcionamiento del resistor activo de la Figura 4.1, se realizaron simulaciones para obtener la curva característica de corriente versus voltaje $I-V$, en una tecnología CMOS de $0.5\mu\text{m}$ ON SEMI utilizando como simulador HSPICE®. La curva característica se muestra en la Figura 4.2 (a) y en la Tabla 4.1 se muestran los detalles de diseño de la topología1. En la Figura 4.2 (a) se realizó una variación de la corriente de control I_C en el rango $1 \text{ pA} - 1 \text{ nA}$, para una fuente de voltaje en las terminales $V_{AB} = [-0.5V, 0.5V]$ (eje X en la Figura 4.2a). Note que el voltaje V_{AB} representa la señal aplicada al resistor y por tanto nos permite observar su rango dinámico. Como puede observarse, el resistor que se logra con esta topología (inversa de la pendiente de las curvas en la Figura 4.2a) es altamente no lineal a pesar de que el valor resistivo es moderado. Otro problema asociado a esta topología es que el voltaje V_{GS3} tiene cambios abruptos cuando la corriente I_c se varía de 1pA a unos cuantos μA y por tanto causa cambios abruptos en el valor de resistencia R_{AB} como se muestra en la Figura 4.2(b) ya que la variación de la resistencia sucede en un rango menor a 1nA . También se muestra en el Figura 4.3(c) la variación que existe en la resistencia al variar el voltaje V_{AB} (eje X) tomando a I_c como parámetro.



(a)

(b)



(c)

Figura 4.2 (a) Curvas características I-V, (b) Variación del voltaje $V_{SG1,2}$ con la corriente de control para distintos valores de V_{AB} y valor de la resistencia vs. I_c . (c) Variación de la resistencia en función del voltaje V_{AB} .

El rango dinámico donde la linealidad es aceptables es de apenas unas decenas de milivolts. Los problemas antes mencionados, motivaron la búsqueda de otras topologías que mejoren el desempeño de éste resistor activo.

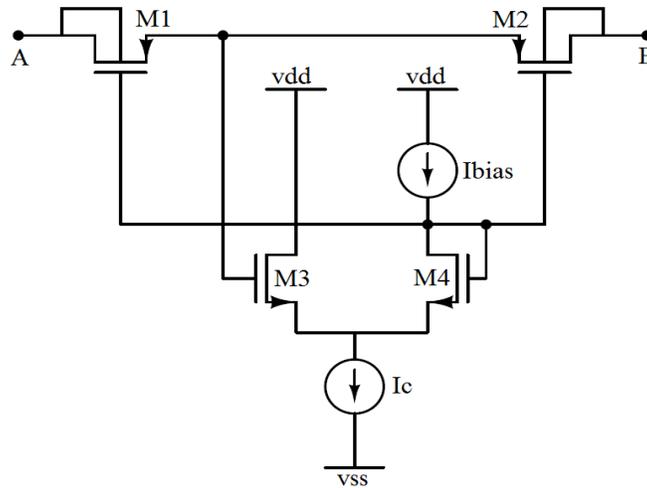


Figura 4.3 Topología 2, resistor activo CMOS de alto valor.

4.2.2 Topología 2.

La Figura 4.3 muestra la propuesta de modificación a la Topología 1. Esta propuesta se enfoca en mejorar el control del voltaje $V_{GS1,2}$ y por tanto en tener un mejor control del valor del resistor R_{AB} . El funcionamiento del circuito es similar al de la Figura 4.2, sin embargo, el punto importante radica en cómo generar el voltaje $V_{GS1,2}$.

Los transistores $M3$, $M4$ junto con las fuentes de corriente I_c e I_{bias} , implementan un desplazador de nivel cuya entrada y salida (compuertas de $M3$ y $M4$) sirven para generar el voltaje $V_{GS1,2}$. Cuando $I_{bias} = I_c/2$, los voltajes en las compuertas de $M3$ y $M4$ son iguales y el voltaje $V_{GS1,2} = 0$. Al aumentar la corriente de control I_c , aumenta el voltaje V_{GS3} y a la inversa, cuando disminuye I_c , también lo hace el voltaje V_{GS3} .

En la Figura 4.4 se muestra los resultados de simulación de esta topología. Note que en la Figura 4.4 (b) la escala es lineal, a diferencia de la 4.3(b) donde la escala es logarítmica, como puede observarse, los valores que alcanzan los resistores son mucho más altos que en la topología 1 y es debido principalmente a que el voltaje $V_{GS1,2}$ es muy cercano a cero por lo que la corriente de drenaje $I_{DS1,2}$ son extremadamente pequeñas. En la Tabla 4.2 se muestran los resultados de simulación para la topología 2.

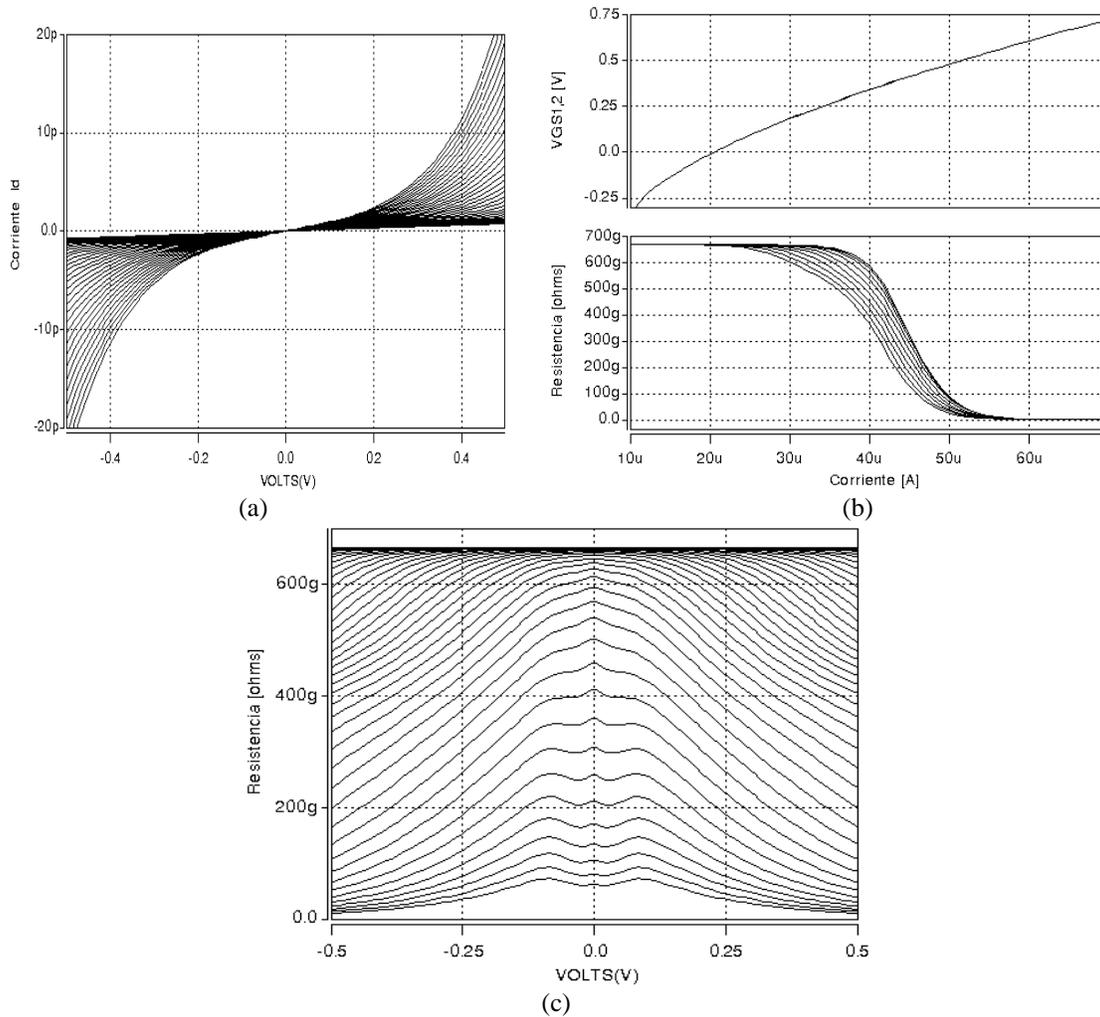


Figura 4.4 (a) Curvas características I-V, (b) Variación del voltaje $V_{SG1,2}$ con la corriente de control para distintos valores de V_{AB} y valor de la resistencia vs. I_c , (c) Variación de la resistencia en función del voltaje V_{AB} .

| Elementos | Valores |
|------------------|--|
| $M1, M2, M3, M4$ | $W/L (\mu m/\mu m)=3/1.2, 3/1.2, 1.8/1.2, 1.8/1.2$ |
| I_c, I_{bias} | $20\mu A-50\mu A, 10\mu$ |
| V_{dd}, V_{ss} | $1.65V, -1.65V$ |

Tabla 4.2 Detalles de diseño para la topología 2.

Para los resultados de la simulación, la corriente I_{bias} permanece constante con un valor de $10\mu A$, mientras que la corriente de control tiene valores desde $20\mu A$ hasta $50\mu A$. Para

comprobar el rango dinámico de la resistencia también se utilizó una fuente de voltaje en las terminales del resistor, V_{AB} , y haciendo un barrido desde $-0.5V$ a $0.5V$, Figura 4.4(c). Cabe destacar que al utilizar el desplazador de nivel, los valores utilizados en la corriente de control, I_c , tienen una gran diferencia en comparación con la topología 1. Como se aprecia en la Figura 4.4(b) el control sobre el voltaje V_{GS3} es más lineal, lo cual permite un mejor control de la resistencia ya que ahora I_c está en rango de $30\mu A$ a $50\mu A$. La resistencia de salida tiene una dependencia con el voltaje aplicado a sus terminales, V_{AB} , como se muestra en la Figura 4.4(c). En aplicaciones biomédicas, donde las señales tienen una amplitud muy pequeña, esto podría no ser un problema. Sin embargo, resulta conveniente buscar otras alternativas que ofrezcan una mejor linealidad.

4.2.3 Topología 3

Otra propuesta de resistor activo de gran valor se muestra en la Figura 4.5 en donde se ha reemplazado la fuente de corriente I_{bias} de la topología 2, por una realización simple constituida por un transistor $M5$ y un voltaje de control V_c . El voltaje V_c se utiliza para controlar el voltaje $V_{SG1,2}$ y por tanto para controlar el valor de la resistencia.

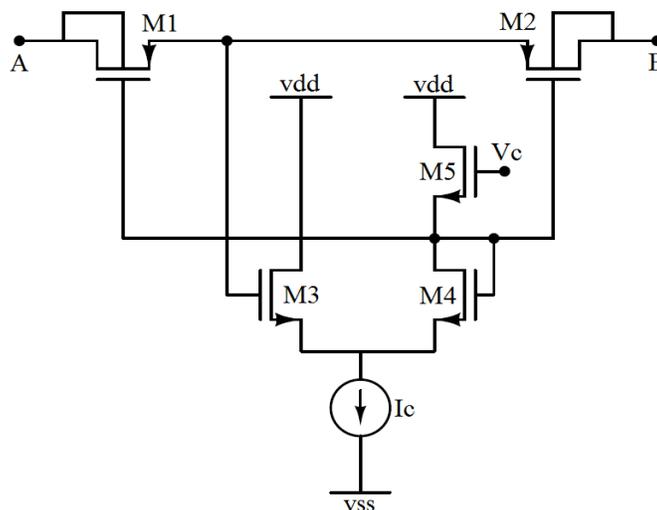


Figura 4.5 Topología 3 de resistor CMOS de valor alto.

La Tabla 4.3 muestra los detalles de diseño para este circuito. Para propósitos de comparación con la topología 2, se fija la corriente $I_c=10\mu A$, mientras que V_c se varía de -

0.1V a 1.0V. El voltaje en las terminales del resistor, V_{AB} , se vario en el mismo rango de valores que en los dos casos anteriores. Los resultados de la simulación se observan en la Figura 4.6.

| Elementos | Valores |
|----------------------|--|
| $M1, M2, M3, M4, M5$ | $W/L (\mu\text{m}/\mu\text{m})=3/1.2, 3/1.2, 10.8/1.2, 10.8/1.2, 10.8/1.2$ |
| I_c, V_c | $10\mu\text{A}, -0.1 - 1.0\text{V}$ |
| V_{dd}, V_{ss} | $1.65\text{V}, -1.65\text{V}$ |

Tabla 4.3 Detalles de diseño para la topología 3.

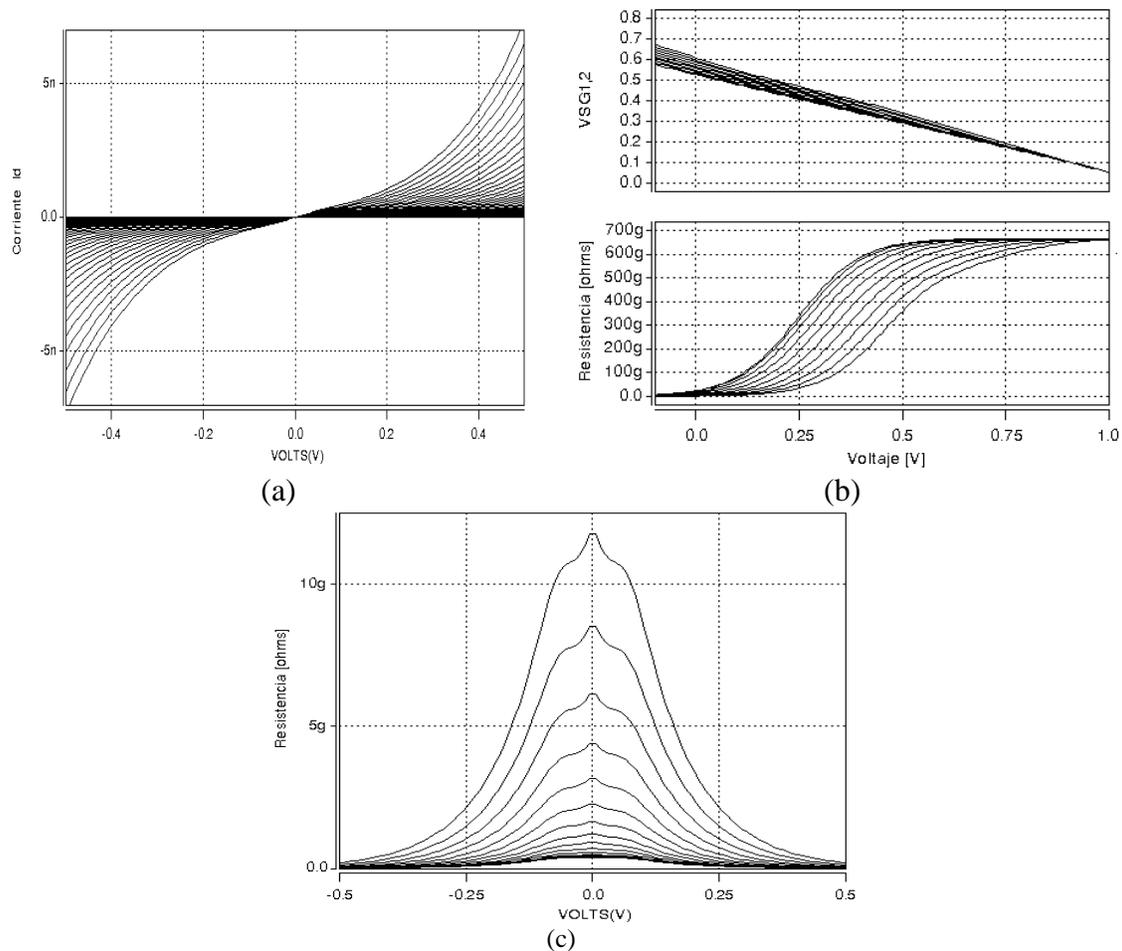


Figura 4.6 (a) Curvas características I-V, (b) Variación del voltaje $V_{SG1,2}$ con el voltaje de control V_c para distintos valores de V_{AB} , y valor de la resistencia vs. V_c , (c) Variación de la resistencia en función del voltaje V_{AB} .

Es de notar que si se modifica la polaridad de las baterías flotantes, cambiando el lugar donde se aplican las corrientes I_c , el transistor $M3$ podría estar polarizado en saturación en cuyo caso $V_{GS1,2} = (V_{GS3} - V_R)$. Utilizando las baterías flotantes se puede tener un mejor control del voltaje $V_{GS1,2}$ mejorando así el control de la resistencia de esta estructura. La Tabla 4.3 muestra los detalles de diseño.

| Elementos | Valores |
|------------------|---|
| $M1, M2, M3$ | $W/L (\mu m/\mu m)=3/1.2, 3/1.2, 7.5/1.2$ |
| R | $20K\Omega$ |
| I_c, I_{bias} | $10\mu A-50 \mu A, 10\mu A$ |
| V_{dd}, V_{ss} | $1.65V, -1.65V$ |

Tabla 4.4 Detalles de diseño para la topología 4.

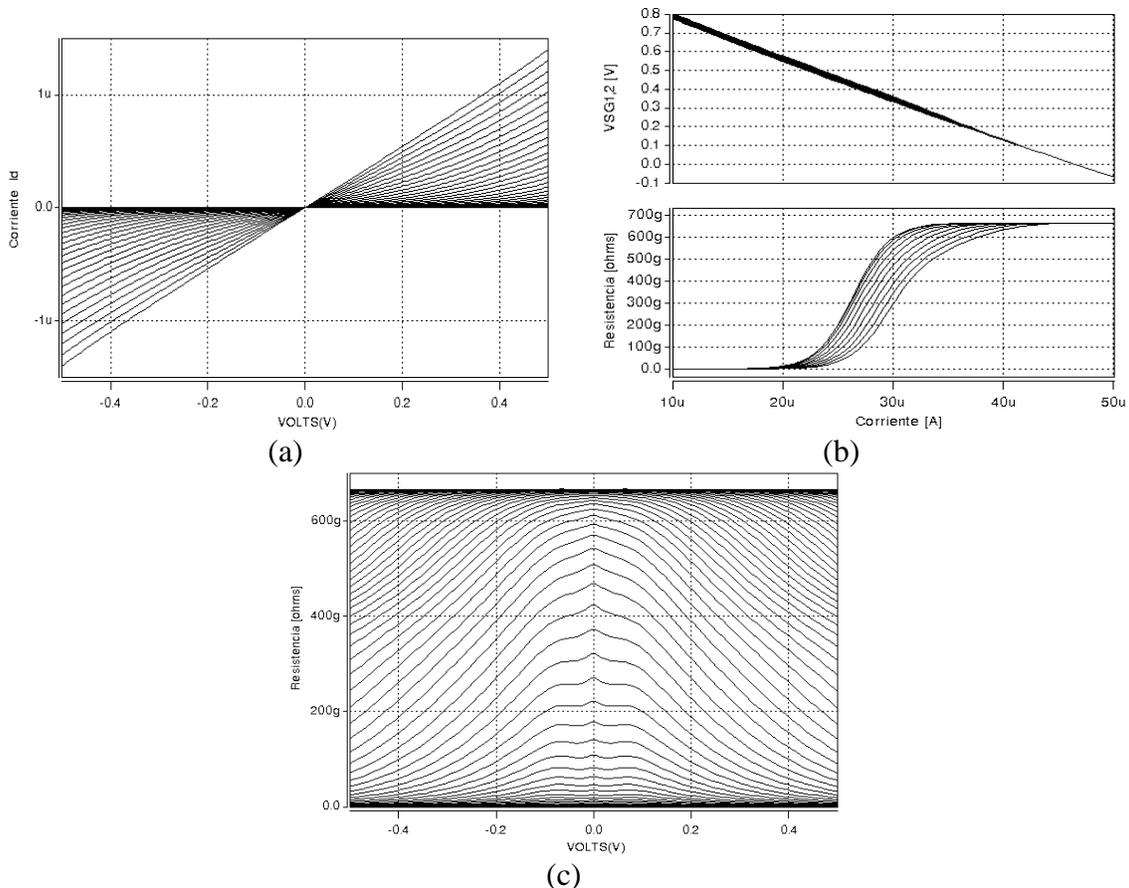


Figura 4.8 (a) Curvas características I-V, (b) Variación del voltaje $V_{SG1,2}$ con la corriente de control V_c para distintos valores de V_{AB} , y valor de la resistencia vs. V_c , (c) Variación de la resistencia en función del voltaje V_{AB} .

La Figura 4.8 muestra los resultados de simulación para esta última propuesta. Para obtener las gráficas, la corriente de control fue barrida de $10\mu A$ a $50\mu A$ mientras que la fuente de corriente I_{bias} permanece con una corriente constante de $10\mu A$. Se aplicó una fuente de voltaje, V_{AB} , en las terminales del resistor y se realizó un barrido de $-0.5V$ a $0.5V$. La Figura 4.8(a) muestra una gran diferencia en comparación de las topologías 2 y 3. En ella se puede apreciar que la linealidad aumentó en más de $\pm 500mV$, mientras que la corriente de los transistores $M1$ y $M2$ puede ir desde los micro-amperes hasta los nano-amperes. El cambio que existe del voltaje $V_{SG1,2}$ es más lineal con respecto a la variación de la fuente de control, lo que permite obtener valores de resistencia más precisos que las anteriores propuestas, como se muestra en la Figura 4.8(b). Sin embargo, esta mejora en la linealidad del resistor con respecto al voltaje V_{AB} es marginal y solo se mantiene para valores en el orden de las decenas de Mega Ohms, ya que para valores de los Giga Ohms la linealidad vuelve a ser similar que en el caso de las topologías anteriores como se muestra en la Figura 4.8(c). Aun así, la topología 4 tiene las mejores características en cuanto a control del valor de la resistencia y linealidad, lo que contribuye en una aportación en este trabajo de tesis, sobre todo si se compara con la propuesta inicial.

4.3 Filtro Rechaza Banda

Los filtros rechaza banda son frecuentemente utilizados en aplicaciones en las que se desea atenuar o eliminar señales en una banda muy estrecha de frecuencia lo cual requiere tener un factor de calidad Q grande. Un ejemplo de este tipo de filtros lo hallamos en sistemas de instrumentación, donde la señal de interferencia introducida por la línea de alimentación a 50/60Hz debe ser eliminada, acondicionando la señal de interés para su posterior procesamiento. Adicionalmente, integrar un filtro de baja frecuencia en un CI requiere la realización de constantes de tiempo grandes y es aquí donde la técnica de resistores activos de gran valor tiene una aplicación. En esta sección se describe el diseño de un filtro rechaza banda con un factor de calidad ajustable implementado a través de una red *twin T* formada a partir elementos resistivos y capacitivos, además de un lazo de retroalimentación negativa que permite ajustar el factor de calidad a la frecuencia de interés

[23]. La realimentación utilizada para generar la variación del factor de calidad es implementada por medio de un buffer de voltaje y una resistencia activa MOS operando en la región lineal.

La función general de transferencia de un filtro rechaza banda de segundo orden está determinada por la expresión (4.1).

$$H(s) = \frac{s^2 + w_0^2}{s^2 + \frac{w_0}{Q}s + w_0^2} \quad (4.1)$$

En la expresión (4.1), w_0 es la frecuencia central del filtro y Q es el factor de calidad. El ancho de la banda de rechazo (BW) está relacionado con el factor de calidad Q y la frecuencia central w_0 mediante la siguiente expresión:

$$BW = \frac{w_0}{Q} \quad (4.2)$$

Para un alto valor en el factor de calidad Q , el ancho de la banda de rechazo se reduce y el filtro es más selectivo. La implementación del filtro rechaza banda de segundo orden es llevada a través de una red *twin T*, llamada así por la forma de conexión de sus elementos pasivos. Dicha red es presentada en la Figura 4.9.

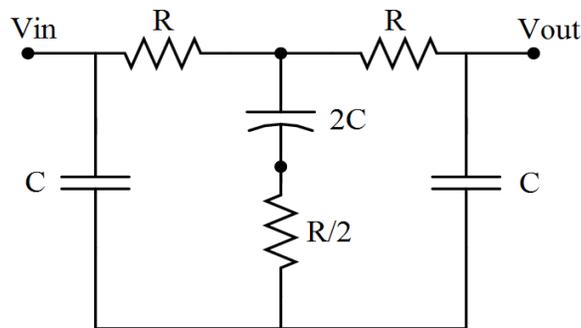


Figura 4.9 Topología del filtro rechaza banda implementada con elementos pasivos RC

Idealmente esta red presenta una atenuación infinita para la frecuencia central de rechazo, que es equivalente a:

$$f_0 = \frac{1}{2\pi RC}$$

(4.3)

La red RC *twin T* como la que aparece en la Figura 4.9, presenta una pendiente suave en la banda de transición por lo que se atenúan sin deseárselo componentes de frecuencia de la señal que se pretende procesar. En esta Figura 4.10 el filtro tiene una frecuencia central $f_0=50/60\text{Hz}$.

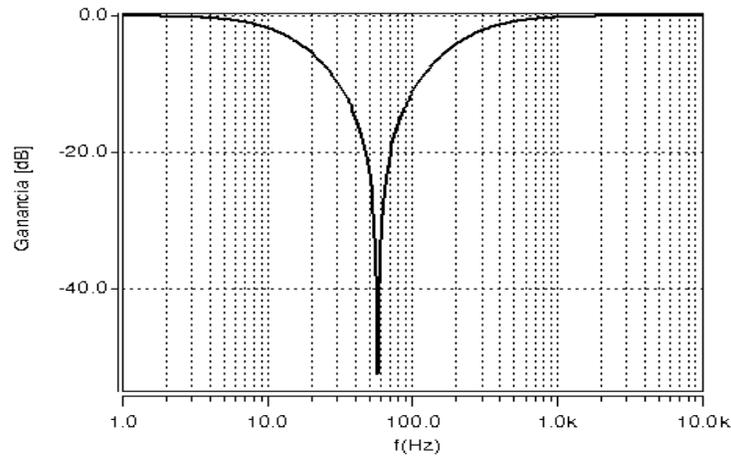


Figura 4.10 Topología del filtro rechaza banda implementada con elementos pasivos RC.

Para mejorar la selectividad que presenta la red RC, se propone utilizar una retroalimentación negativa mediante elementos activos, como se muestra en la Figura 4.11. Como se puede apreciar, se utilizaron cuatro resistores de gran valor, como los descritos en la topología 4, de forma que se puede modificar la frecuencia de rechazo mediante una sola corriente de control I_C . De esta manera, los resistores activos, denominados R_g en la Figura 4.11, cambian su valor al mismo tiempo. En la Tabla 4.4 se muestran los detalles de diseño del filtro rechaza banda.

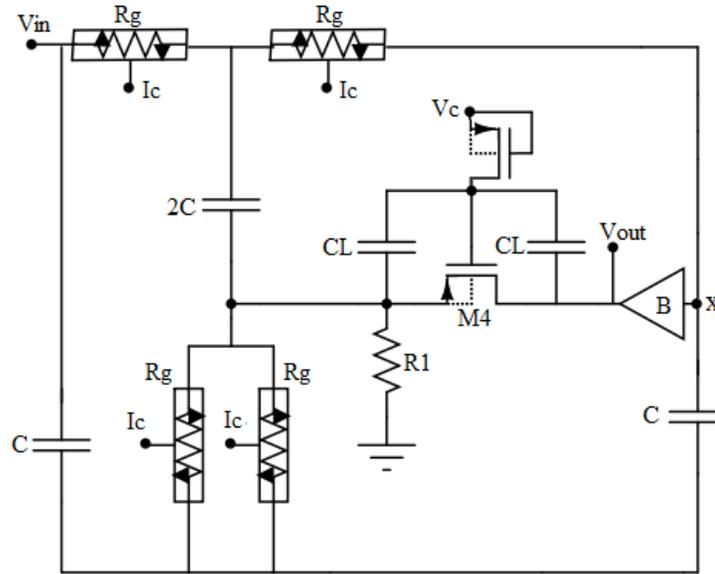


Figura 4.11 Topología propuesta del filtro rechaza banda utilizando resistores activos

| Elementos | Valores |
|---------------------|--|
| <i>M4</i> | $W/L (\mu\text{m}/\mu\text{m})=180/0.6$ |
| <i>C</i> | 2.5pF |
| <i>Ic</i> | $10\mu\text{A}-70 \mu\text{A}$ |
| <i>Vdd, Vss, Vc</i> | $1.65\text{V}, -1.65\text{V}, Vc [-2, -1]$ |

Tabla 4.4 Detalles de diseño del filtro rechaza banda con elementos activos.

En la Figura 4.11 se muestra el elemento denominado B que corresponde al buffer de voltaje que fue discutido en el Capítulo 3. Este buffer permite tener una baja impedancia de salida y mantener la frecuencia de rechazo independiente de los valores de *R1* y de la resistencia presentada por el transistor *M4* (R_{DS4}). La función de transferencia para el circuito de la Figura 4.11 está dada mediante la siguiente expresión:

$$H(s) = \frac{V_{out}}{V_{in}} = \frac{s^2 + \frac{4}{RgC} \left(\frac{R_{DS4}K}{Rg} \right) s + \frac{1}{Rg^2C^2}}{s^2 + \frac{4(1-K)}{RgC} s + \frac{1}{Rg^2C^2}}$$

(4.4)

Para la obtención de la ecuación (4.4) se asume que $R_g \gg RI$, $R_g \gg R_{DS4}$ y $K = R_{DS4} / (RI + R_{DS4})$, K es la ganancia del lazo de retroalimentación. Cuando la resistencia R_{DS4} es modificada a través del voltaje de control V_C , el factor de calidad Q del filtro puede ser modificado. La expresión para Q es:

$$Q = \frac{1}{4(1-K)} = \frac{1}{4} \left(1 + \frac{R_{DS4}}{RI} \right) \quad (4.5)$$

Para incrementar Q , la ganancia K se puede variar en el intervalo de 0 a 1. Si K es muy cercana a 1, Q será grande. La ecuación para la frecuencia de rechazo f_0 está dada por:

$$f_0 = \frac{1}{2\pi R_g C} \quad (4.6)$$

Note que es posible ajustar el factor de calidad del filtro sin modificar la frecuencia de rechazo mediante el divisor de voltaje formado por RI y R_{DS4} . De igual modo, la frecuencia de rechazo f_0 es independiente de RI y R_{DS4} . Lo anterior permite tener un control independiente tanto de la frecuencia de rechazo como del factor de calidad Q . El resistor implementado a través de M4 puede ser entonado a través del voltaje V_C y utiliza la técnica de linealización descrita en [24].

4.4 Simulación del Filtro Rechaza Banda Utilizando un Resistor de Gran Valor.

Una vez discutidos los elementos que conforman el filtro rechaza banda (*notch*) de la Figura 4.11, se procede a su simulación utilizando los parámetros de la tecnología CMOS ON-SEMI 0.5 μ m. Los resultados de la simulación en AC se muestran en la Figura 4.12, donde se describe la respuesta en el dominio de la frecuencia cuando se ha ajustado la frecuencia central de rechazo a 60Hz a través de la corriente I_C .

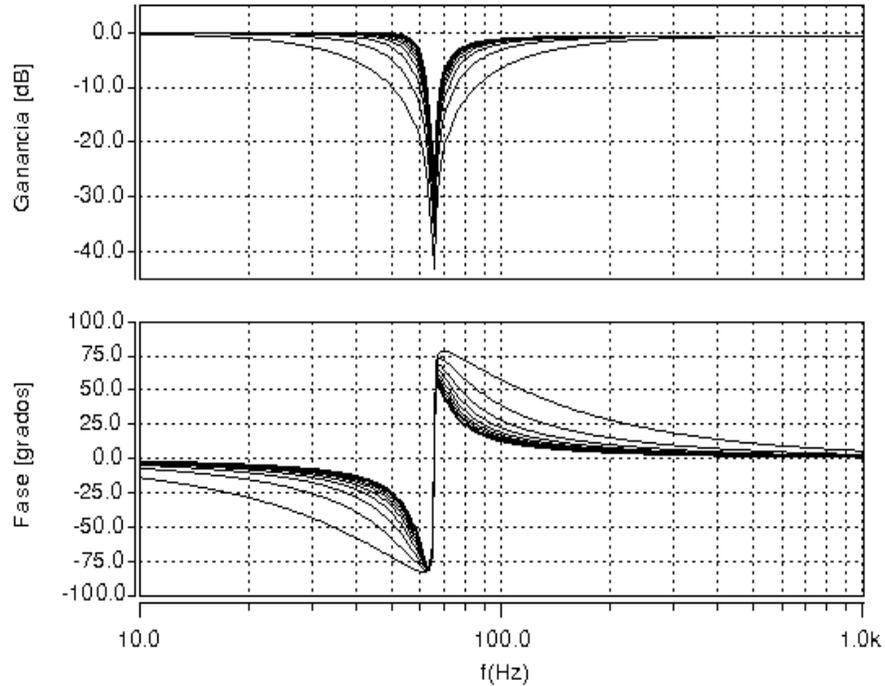


Figura 4.12 Respuesta en AC del filtro rechaza banda a 60Hz

Para ajustar la frecuencia de rechazo, la fuente de control I_C se fijó a un valor de $36\mu A$, mientras que para mostrar cómo cambia el factor de calidad Q , el voltaje de control V_C se varía de forma lineal de $-2V$ hasta $-1V$ en pasos de $0.1V$ con lo cual se tiene una atenuación en el rango de $-21.57dB$ a $-43.5dB$. Asimismo, la Figura 4.12 nos permite verificar que el control del factor de calidad es independiente del control de la frecuencia.

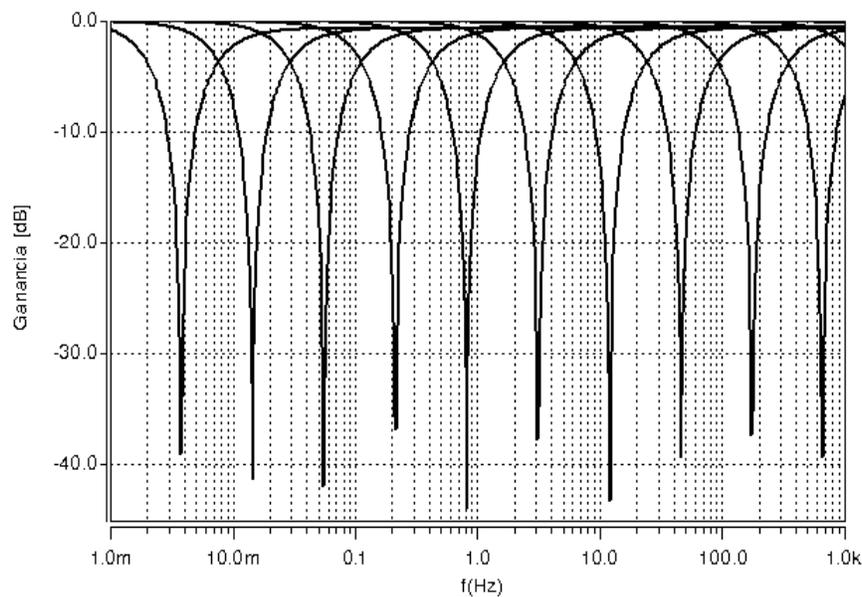


Figura 4.13 Respuesta en AC del filtro rechaza banda para cambios de la corriente de control I_C .

La Figura 4.13 muestra la respuesta en AC del filtro notch cuando se varía la corriente de control I_C , desde $10\mu A$ hasta $70\mu A$. Note que la frecuencia de rechazo cambia de forma logarítmica cuando el control cambia de manera lineal, y que además el valor tan alto que se puede lograr con la resistencia activa nos permite alcanzar frecuencias tan bajas como mili-hertz. Utilizando la expresión 4.6 para una frecuencia central de $0.0036Hz$ el valor calculado de resistencia activa es de $42.44G\Omega$ para cada elemento activo. Estos datos corresponden a una corriente de control I_C de $70\mu A$. Lo anterior nos muestra que utilizando el resistor activo propuesto es posible lograr valores muy altos de resistencia, los cuales tienen un control lineal y que, además, puede ser fabricado en un CI.

4.5 Patrón Geométrico del Filtro Rechaza Banda.

El siguiente paso en el diseño del filtro *notch* es la realización del patrón geométrico (*Layout*) el cual se muestra en la Figura 4.14. Para ello se utilizaron las reglas de diseño del proceso CMOS estándar $0.5\mu m$ de ON SEMI que cuenta con 3 niveles de metal y dos niveles de polisilicio. Las consideraciones que se tomaron para la realización del patrón geométrico fueron las siguientes: Las resistencias de gran valor se ordenaron de tal manera que su estructura fuera simétrica con el objetivo de reducir el *mismatch* entre ellas. También se tomaron precauciones con los capacitores por lo que estos elementos fueron interdigitados de tal manera que también conservaran su simetría como se muestra en la Figura 4.14. El área ocupada por el filtro rechaza banda fue de $396\mu m \times 250\mu m$.

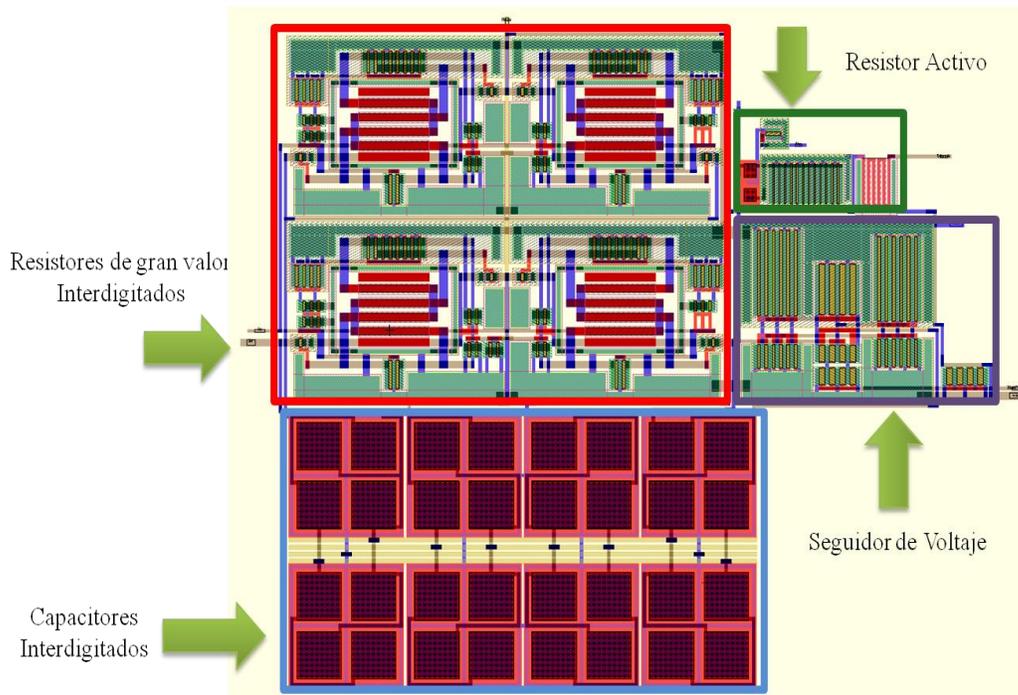


Figura 4.14 Patrón geométrico (Layout) del filtro rechaza banda.

4.6 Conclusiones

En este capítulo se presentaron 3 nuevas topologías de resistores de gran valor que mejoran de manera significativa la propuesta que sirvió de base en la literatura. La topología 4 fue la que tuvo un mejor rango dinámico y mejor control del valor resistivo a través de las baterías flotantes. Para comprobar el potencial de la topología 4 en el diseño de filtros de muy baja frecuencia, el resistor activo fue implementado en un filtro rechaza banda utilizando una red *twin T*. El filtro fue modificado con respecto a lo encontrado en la literatura para poder modificar con elementos activos el factor de calidad Q . Finalmente se presento el patrón geométrico del filtro.

CAPITULO 5

Conclusiones y Trabajo Futuro

5.1 Conclusiones

En este trabajo se presentaron algunos bloques analógicos orientados a la realización de sistemas para la adquisición de bioseñales. El desarrollo de este tipo de sistemas es una tarea compleja debido a sus características, en especial las concernientes a un EEG dada la frecuencia involucrada en las señales, las amplitudes de voltaje, el ruido interno de los dispositivos, el ruido del medio ambiente, el efecto de los electrodos, etc. Este trabajo se enfocó en al diseño de bloques importantes para el pre-procesamiento ya condicionamiento de las señales provenientes de un EEG, en especial al diseño y fabricación del amplificador de instrumentación utilizando una arquitectura basada en el amplificador *cascode doblado* con transistores compuestos, y a la realización de filtros de muy baja frecuencia a partir de un resistor activo de muy alto valor. Las *conclusiones* de este trabajo pueden ser resumidas de la siguiente manera:

-Utilizando la técnica de bajo voltaje conocida como transistores compuestos logró mejorar la ganancia del OTA *cascode doblado* debido a que es posible incrementar la impedancia de salida. Este OTA se utiliza como parte de un OPAM.

-Se presentó el diseño de un buffer de voltaje clase AB el cual tiene una impedancia del orden de las decenas de *Ohms* a su salida, y el cual se utiliza como etapa de final para la construcción del OPAM. Los dos bloques anteriores se caracterizan a nivel esquemático para verificar que tienen buenas características para ser utilizados en un sistema de adquisición de un EEG.

-Basado en el amplificador operacional, se construye un amplificador de instrumentación con características adecuadas para la adquisición y procesamiento de señales biomédicas, como lo son: bajo offset, baja impedancia de salida, buen rango señal a la salida, altos PSRR y CMRR.

-Se realiza el *layout* del amplificador de instrumentación para su fabricación, utilizando las reglas de diseño del proceso CMOS ON-SEMI 0.5 μ m, y aplicando técnicas de *layout* para la reducción del *mismatch* en los componentes del circuito.

Las principales *contribuciones* de este trabajo podemos enumerarlas del siguiente modo:

-Se propusieron 3 *nuevas* topologías de resistores CMOS activos, que muestran mejores características respecto a las presentadas en [22]. Estos resistores fueron caracterizados mostrando un alto valor de resistencia y un mejor control de su valor resistivo, gracias a esta propiedad pueden ser utilizadas en el procesamiento de señales biomédicas permitiendo generar constantes de tiempo muy grandes y su posible integración en un chip.

-Utilizando una de las topologías de los resistores propuestos, se diseña un filtro *notch* basado en una red *Twin-T*. El filtro presenta un factor de calidad ajustable, así como una programabilidad que permite sea entonado para diferentes frecuencias de rechazo, desde frecuencias del orden de los mili-Hz hasta los KHz. Como caso especial, se usó un filtro puede ser usado para la eliminación del ruido de la línea a 60Hz que pueda ser integrado en un CI. Se realizó su patrón geométrico para su fabricación en un proceso CMOS ON SEMI 0.5 μ m.

Como resultado de las anteriores contribuciones se ha generado la siguiente publicación:

Fabián Yáñez Ortega, José Miguel Rocha Pérez, Alejandro Díaz Sánchez, Carlos Muñiz Montero, Jesus E. Molinar Solis, “A Novel High-Value Resistor Suitable for Medical Applications”, Circuits and Systems for Medical and Environmental Applications (CASME 2012), January 9-10, 2012, Merida Yucatan, México.

5.2 Trabajo futuro

-Caracterizar el resistor activo de gran valor que fue enviado a fabricación y comparar los resultados con las simulaciones y hacer el ajuste de los modelos. Optimizar el diseño en cada una de las tres nuevas topologías a fin de mejorar el rango dinámico y el control del valor resistivo, además de realizar un análisis en el dominio de la frecuencia, análisis de ruido y reducir las variaciones de proceso, voltaje y temperatura.

-Buscar nuevas aplicaciones para los resistores de gran alto como por ejemplo para realizar filtros pasa-bajas, pasa-altas, pasa-banda, biquadráticos, variables de estado, etc, además de aplicaciones como amplificadores de ganancia variable, entre otros.

-Caracterizar el OPAM enviado a fabricar y verificar, el cual debe cumplir con las especificaciones que dictan las simulaciones. Hacer las correcciones si las hubiera e incluir en el nuevo diseño técnicas de corrección de offset así como hacer consideraciones para minimizar el ruido interno del dispositivo.

-Caracterizar el Amplificador de Instrumentación, especialmente en cuanto a CMMR se refiere.

-Integrar todo el sistema de adquisición/condicionamiento para implementar un canal de adquisición para un EEG.

-Rediseñar los bloques diseñados en esta tesis en una tecnología sub-micrométrica.

Referencias

- [1]. E. Waterhouse, “New horizons in ambulatory electroencephalography,” *Engineering in Medicine and Biology Magazine, IEEE* ,vol.22 , no. 3, pp. 74–80, 2003.
- [2]. A. C. Metting van Rijn, A. Peper, C. A. Grimbergen: “High-quality recording of bioelectric events; part 1, interference reduction, theory, and practice,” *Medical and Biological Engineering and Computing*, vol.28 , pp. 389–397, 1990.
- [3]. S. Nishimura, Y. Tomita, T. Horiuchi, “Clinical application of an active electrode using an operational amplifier,” *Biomedical Engineering, IEEE Transactions on*,vol.39 , no. 10, pp. 1096–1099, 1990.
- [4]. J. C. Huhta, J. G. Webster, “60-Hz interference in electrocardiography,” *Biomedical Engineering, IEEE Transactions on*, vol.BME-20, no. 2, pp. 91–101, 1973
- [5]. B. He “*Neural Engineering*”, Kluwer Academics. 2005.
- [6] J. W. Clark; M. R. Neuman; W. H. Olson; R. A. Peura; F. P. Primiano, Jr; M. P. Siedband; J. G. Webster; L. A. Wheeler. “*Medical Instrumentation; Application And Design.*”John G. Webster, Editor; Wiley, Third Ed. 1998.
- [7] J. Baztarrica Ochoa “*EEG Signal Classification for Brain Computer Interface Applications*”, ecole polytechnique federale de lausanne. 2002.
- [8]J.D. Bronzino, “*The Biomedical Engineering Handbook*”, CRC Press Inc. and IEEE Press, 1995.
- [9] J. Baztarrica Ochoa “*EEG Signal Classification for Brain Computer Interface Applications*”, ecole polytechnique federale de lausanne. 2002.
- [10] A.B. Williams and F.J. Taylor, *Electronic filter design handbook*, McGraw-Hill, New York, 1995.
- [11] D. J. Comer, D. T. Comer, and C. Petrie, “The utility of the composite cascode in analog CMOS design,” *International Journal of Electronics*, vol. 91, no. 8, pp. 491–502, Aug. 2004.



- [12] Esther Rodriguez-Villegas, “Low Power and Low Voltage Circuit Design with the FGMOS Transistor”, the Institution of Engineering and Technology, London United Kingdom, 2006.
- [13] Jesus E. Molinar-Solis, Rodolfo Z. Garcia-Lozano, Ivan Padilla-Cantoya, Alejandro Díaz-Sanchez, José Rocha-Pérez, “On the characterization of the trapped charge in FG-CMOS inverters”, Springer Science Business Media, LLC, 2009
- [14] E. Sanchez-Sinencio, “Low Voltage Analog Circuit Design Techniques”, IEEE Dallas CAS Workshop , 2000.
- [15] E. Sanchez-Sinencio and A. G. Andreou, ed., Low Voltage/Low Power Integrated Circuits and Systems. IEEE Press, 1999
- [16]G. Vasilescu, “Electronic Noise and Interfering Signals Principles and Electronic Noise and Interfering Signals. Principles and Applications”, Springer.2005.
- [17] Kitchin C. y Counts L. A designer’s guide to instrumentation amplifiers. U.S.A. Analog devices, Inc. 2000.
- [18] A. Harb and M. sawan , “New Low-power Low-Voltage High-CMRR CMOS Instrumentation amplifier,” in Proc. IEEE International Symposium on Circuits and Systems, 1999.
- [19] D. Johns and K. Martin, Analog Integrated Circuit Design. New York: John Wiley & Sons, Inc., 1996.
- [20] P. E. Allen and D. R. Holberg, CMOS Analog Circuit Design,2nd Ed. New York: Oxford University Press, 2002.
- [21] B. Razavi, Design of analog CMOS integrated circuits. New York: McGraw-Hill, 2001.
- [22] A. Tajalli, Y. Leblebici and E.J. Brauer, “Implementing ultra-high-value floating tunable CMOS resistors,” Electronics Letters, vol. 44, no. 5, pp. 349-350, February 2008.
- [23] A.B. Williams and F.J. Taylor, Electronic filter design handbook, McGraw-Hill, New York, 1995.
- [24] A. Torralba, C. Luján-Martínez, R. González-Carvajal, J. Galan, M. Pennisi, J. Ramírez-Angulo and A. López-Martín, “Tunable Linear MOS Resistors Using Quasi-Floating-Gate Techniques,” IEEE Transactions on Circuits and Systems II, vol. 56. no. 1, pp. 41-45, January 2009.

