



INAOE

**Caracterización de MOSFETs de
Microondas Considerando Variaciones en el
Voltaje de Substrato**

por

Fabián Zárate Rincón

Tesis sometida como requisito parcial para
obtener el grado de

**MAESTRO EN CIENCIAS EN LA
ESPECIALIDAD DE ELECTRÓNICA**

en el

**Instituto Nacional de Astrofísica, Óptica y
Electrónica.**

Julio de 2012
Tonantzintla, Puebla
Supervisada por:

**Dr. Reydezel Torres Torres, INAOE
Dr. Roberto Murphy Arteaga, INAOE**

© INAOE 2012

El autor otorga al INAOE el permiso de
reproducir y distribuir copias en su totalidad o
en partes de esta tesis



Resumen

La manera de caracterizar e implementar modelos de pequeña señal para un MOSFET que opera en el rango de microondas es mediante los bien conocidos parámetros S. En éste caso, se miden dichos parámetros a partir de un analizador de redes vectorial de dos puertos, conectando al transistor en configuración de fuente y sustrato comunes. Esto permite inyectar una señal de entrada en la compuerta del dispositivo y observar la salida en el drenaje, obteniendo las correspondientes respuestas de transmisión directa e inversa. La desventaja de utilizar esta técnica es que la caracterización se limita a condiciones de operación en las que el voltaje de sustrato de fuente (V_{bs}) es igual a cero. Esto es un caso muy particular que no siempre se encuentra de manera práctica en un circuito real. Por esta razón, resulta indispensable desarrollar técnicas que permitan llevar a cabo estudios del transistor bajo diferentes condiciones de polarización del sustrato, analizando su efecto en el voltaje de umbral y la red parásita del sustrato. Éste es el objetivo general del proyecto. Así, se obtiene la caracterización detallada del impacto de las variaciones de V_{bs} en los elementos del modelo en pequeña señal del MOSFET en el rango de microondas, además de sus parámetros fundamentales, tales como el potencial interconstruido ψ_{bi} en las uniones de fuente y drenaje, el voltaje de umbral V_{th} , el potencial de cuerpo ψ_B , la concentración de impurezas en el sustrato N_A y el voltaje de banda plana V_{FB} .

Abstract

The way to characterize and implement small-signal model for a MOSFET, operating in the microwave range, is through S-parameters, which is a well known concept. In this case, these parameters are measured from a two-port on-wafer vector network analyzer (VNA), connecting to the transistor in common source-substrate. This allows to inject an input signal at the gate and to observe the output signal at the drain, obtaining the responses for forward and reverse transmission. The disadvantage of this technique is that the characterization is limited by the operating conditions in which the bulk-source voltage (V_{bs}) is equal to zero. This is a very special case that is not always practical in each real circuit. For this reason, it is essential to develop techniques that take into account the studies of the transistor under different substrate bias conditions, analyzing their effect on threshold voltage and substrate parasitic network. This is the objective of the project. Thus, the detailed characterization of the impact of V_{bs} variation in the small-signal equivalent circuit elements of the RF-MOSFET is obtained. In addition, the basic parameters of the transistor, such as the built-in potential ψ_{bi} in the source and drain junctions, the threshold voltage V_{th} , the bulk potential ψ_B , the substrate impurity concentration N_A and the flat-band voltage V_{FB} , have been found.

Agradecimientos

A continuación expreso mis agradecimientos a quienes de manera directa o indirecta hicieron posible la culminación de este trabajo.

- A mi familia, por su constante motivación en mi profesión y apoyo incondicional en momentos difíciles de mi vida.
- Al Dr. Reydezel Torres y al Dr. Roberto Murphy, por creer en mis capacidades para la ejecución de este trabajo, por su constante colaboración, su enorme motivación y valiosas enseñanzas durante el transcurso de este trabajo.
- Al estudiante de doctorado Germán Álvarez, por su inmensa colaboración durante y después de las prácticas de laboratorio.
- Al personal humano del INAOE por su colaboración permanente.
- A los miembros del jurado de mi examen de tesis, Dr. Alonso Corona Chávez, Dr. José Luis Olvera Cervantes y Dr. Francisco Javier De la Hidalga Wade, por sus contribuciones para la mejora del escrito final.
- Al CONACyT, por la beca dada para mis estudios de maestría.
- Al IMEC, por el soporte de las muestras necesarias para el desarrollo de este trabajo.

Índice general

1. Introducción	1
1.1. Tecnología MOS para aplicaciones en RF.....	2
1.2. Estructura MOS de volumen.....	3
1.3. Requerimientos para caracterización y modelado.....	4
1.3.1. Motivación.....	5
1.3.2. Retos.....	5
1.3.3. Estado del arte.....	6
1.3.4. Propuesta y contribución.....	7
1.4. Descripción detallada de la propuesta.....	7
1.4.1. Ventajas.....	7
1.4.2. Retos.....	7
1.4.3. Contribuciones.....	8
1.5. Descripción del documento.....	9
2. Modelado de RF-MOSFET	10
2.1. Modelo en pequeña señal.....	10
2.1.1. Elementos intrínsecos.....	11
2.1.2. Elementos extrínsecos.....	11
2.2. Parámetros físicos de MOSFET.....	11
2.2.1. Potencial interconstruido.....	12
2.2.2. Voltaje de umbral.....	12
2.2.3. Potencial de cuerpo.....	13
2.2.4. Concentración de impurezas en el sustrato.....	13
2.2.5. Voltaje de banda plana.....	14
2.3. Efectos de canal corto en transmisores MOS.....	14
2.4. Regiones de Operación.....	16
2.5. Desarrollo teórico para la extracción de parámetros.....	17
2.5.1. Extracción del potencial interconstruido.....	18
2.5.2. Extracción del voltaje de umbral del MOSFET en la región lineal.....	18
2.5.3. Extracción del voltaje de umbral de MOSFET en la región de saturación.....	21
2.5.4. Extracción del potencial de cuerpo, la concentración de impurezas en el sustrato y el voltaje de banda plana.....	22
2.5.5. Extracción de parámetros mediante mediciones de AC.....	22
2.6. Conclusiones.....	23
3. Implementación experimental	24
3.1. Mediciones de parámetros S.....	24
3.1.1. Calibración del equipo de pruebas.....	25
3.1.2. Desincrustación de los datos experimentales.....	27

3.2.	Descripción de los dispositivos y detalles experimentales.....	27
3.3.	Condiciones de polarización.....	28
3.4.	Conclusiones.....	29
4.	Resultados y discusión	30
4.1.	Caracterización de RF-MOSFET apagado con voltaje de sustrato en 0V.....	30
4.2.	Caracterización del RF-MOSFET apagado variando el voltaje de sustrato.....	48
4.3.	Caracterización del RF-MOSFET en fuerte inversión variando el voltaje de sustrato.....	51
4.4.	Voltaje de umbral del RF-MOSFET para diferentes valores del voltaje de sustrato, considerando mediciones de RF.....	55
4.5.	Voltaje de umbral del RF-MOSFET para diferentes valores del voltaje de sustrato, considerando mediciones de DC.....	59
4.6.	Comprobación de los resultados obtenidos a partir de mediciones de RF con las de DC.....	63
4.7.	Conclusiones.....	64
5.	Conclusiones	65
	Referencias	66

Índice de figuras

1.1.	Esquema básico del MOSFET, resaltando las regiones LDD.....	3
1.2.	Esquema de una estructura CMOS, resaltando los dos transistores bipolares parásitos.....	3
1.3.	Esquema del flujo de corriente a través del canal y del sustrato.....	5
1.4.	Capacitancias de unión en la fuente y el drenaje.....	6
1.5.	Configuración fuente-sustrato común	7
1.6.	Amplificador cascode, considerando la red parásita del sustrato.....	8
2.1.	Esquema del transistor nMOS, resaltando el circuito equivalente en pequeña señal.....	10
2.2.	Esquema de la región de agotamiento, resaltando el potencial interconstruido. Los valores N_A , N_D y W_D corresponden a las impurezas aceptoras, impurezas donadoras y ancho de la región de agotamiento, respectivamente.....	12
2.3.	Diagrama de bandas de un capacitor MOS. Los valores ψ_B , ψ_s y W_D corresponden al potencial de cuerpo, potencial de superficie y ancho de la región de agotamiento, respectivamente.....	13
2.4.	Capacitancia normalizada en función del voltaje de compuerta con respecto al sustrato para un capacitor MOS ideal, resaltando las regiones de operación. Los valores C_{ox} , C_{FB} y C_{min} corresponden a las capacitancias del óxido, de banda plana y mínima, respectivamente.....	14
2.5.	Comparación del diagrama de bandas entre el MOSFET de canal largo con uno de canal corto, resaltando el efecto DIBL.....	15
2.6.	Corriente de drenaje en escala logarítmica en función del voltaje de compuerta para el RF-MOSFET de 80 nm de longitud del canal, considerado en este trabajo. Asimismo, se resalta la región de sub-umbral y de inversión fuerte.....	16
2.7.	Ejemplo de curvas de la corriente de sustrato (I_b) y la razón de I_b con la corriente de drenaje (I_d) en función del voltaje de compuerta para un nMOSFET de 0.18 μ m, bajo diferentes voltajes de polarización [31].....	17
2.8.	Extracción del potencial interconstruido ψ_{bi} a partir de la extrapolación del inverso del cuadrado de la capacitancia de unión en función del voltaje aplicado.....	18
2.9.	Extracción del voltaje de umbral mediante el método ELR. Los datos corresponden a un dispositivo RF-MOSFET con longitud del canal de 80 nm, considerado en este trabajo.....	19
2.10.	Extracción del voltaje de umbral mediante el método de la segunda derivada. Los datos corresponden a un dispositivo RF-MOSFET con longitud del canal de 80 nm, considerado en este trabajo.....	19
2.11.	Extracción del voltaje de umbral mediante el método de extrapolación de la transconductancia. Los datos corresponden a un dispositivo RF-MOSFET con longitud del canal de 80 nm, considerado en este trabajo.....	20

2.12.	Extracción del voltaje de umbral mediante el método RM. Los datos corresponden a un dispositivo RF-MOSFET con longitud del canal de 80 nm, considerado en este trabajo.....	21
2.13.	Extracción del voltaje de umbral mediante el método de la segunda derivada del logaritmo de la corriente de drenaje. Los datos corresponden a un dispositivo RF-MOSFET con longitud del canal de 80 nm, considerado en este trabajo.....	21
3.1.	Parámetros de dos puertos con la definición de los parámetros S en el MOSFET.....	24
3.2.	Montaje experimental para las mediciones de la estructura RF-NMOS con terminal separado para el sustrato.....	25
3.3.	Esquema de las estructuras de calibración SOLT.....	26
3.4.	Microfotografía del MOSFET, ilustrando las puntas de prueba y el plano de calibración.....	26
3.5.	Esquema del circuito equivalente para la desincrustación de la estructura de la plataforma.....	27
3.6.	Microfotografía de la estructura RF-NMOS, resaltando las dimensiones de la plataforma.....	27
3.7.	Esquemas de una estructura convencional y blindada. En la convencional se observa acoplamiento entre contactos a través del sustrato, ilustrado por la línea punteada.....	28
3.8.	Esquema de polarización de la compuerta y el sustrato del RF-MOSFET con la fuente como terminal común.....	29
4.1.	Esquema del circuito equivalente del RF-MOSFET apagado, con y sin despreciar R_{dsb1} y R_{dsb2} en la red parásita del sustrato.....	31
4.2.	Esquema del circuito equivalente del RF-MOSFET apagado, considerado en este trabajo.....	31
4.3.	Circuito equivalente para Y_{11} . Las letras G, S y B hacen referencia a la compuerta, fuente y sustrato, respectivamente.....	32
4.4.	Circuito reducido para Y_{11} . Las letras G, S y B hacen referencia a la compuerta, fuente y sustrato, respectivamente.....	32
4.5.	Circuito equivalente para Z_{11} . Las letras G, S y B hacen referencia a la compuerta, fuente y sustrato, respectivamente.....	34
4.6.	Circuito reducido para Z_{11} . Las letras G, S y B hacen referencia a la compuerta, fuente y sustrato, respectivamente.....	34
4.7.	Circuito equivalente para Y_{22} . Las letras D, S y B hacen referencia al drenaje, fuente y sustrato, respectivamente.....	36
4.8.	Circuito reducido para Y_{22} . Las letras D, S y B hacen referencia al drenaje, fuente y sustrato, respectivamente.....	36
4.9.	Circuito equivalente para Z_{22} . Las letras D, S y B hacen referencia al drenaje, fuente y sustrato, respectivamente.....	38
4.10.	Circuito reducido para Z_{22} . Las letras D, S y B hacen referencia al drenaje, fuente y sustrato, respectivamente.....	38
4.11.	Circuito equivalente para Y_{12} . Las letras D, S y B hacen referencia al drenaje, fuente y sustrato, respectivamente.....	41

4.12.	Circuito equivalente para Y_{12} , despreciando a R_g y C_{gb} . Las letras D, S y B hacen referencia al drenaje, fuente y sustrato, respectivamente.....	41
4.13.	Circuito equivalente de Y_{22} para encontrar la capacitancia C_{js} . Las letras D, S y B hacen referencia al drenaje, fuente y sustrato, respectivamente.....	41
4.14.	Regresión lineal de los datos experimentales para la extracción de parámetros de un dispositivo RF-nMOS, con $L_m=80\text{nm}$, $W_f=3\mu\text{m}$ and $NF=64$. En todos los casos V_{gs} , V_{ds} , $V_{bs} = 0\text{V}$	44
4.15.	En (a) se ilustra el circuito equivalente para Y_{22} y en (b), la transformación de impedancias delta-estrella en los nodos 1 a 3. Las letras D, S y B hacen referencia al drenaje, fuente y sustrato, respectivamente.....	45
4.16.	Circuito equivalente del RF-MOSFET apagado con V_{bs} igual a 0V	45
4.17.	Magnitud y fase de S_{11} de los datos experimentales y simulados con el modelo propuesto y el reportado en [50] (sin C_{js} y C_{gb}). V_{gs} , V_{ds} , V_{bs} son iguales a 0V	46
4.18.	Magnitud y fase de S_{12} de los datos experimentales y simulados con el modelo propuesto y el reportado en [50] (sin C_{js} y C_{gb}). V_{gs} , V_{ds} , V_{bs} son iguales a 0V .	46
4.19.	Magnitud y fase de S_{22} de los datos experimentales y simulados con el modelo propuesto y el reportado en [50] (sin C_{js} y C_{gb}). V_{gs} , V_{ds} , V_{bs} son iguales a 0V .	47
4.20.	Datos simulados y experimentales del modelo propuesto del modelo propuesto y del modelo en [51] ($C_{gs0}=C_{gd0}$, $C_{js}=C_{jd}$ y sin R_g) para S_{22} . V_{gs} , V_{ds} , V_{bs} son iguales a 0V	47
4.21.	Datos simulados y experimentales del modelo propuesto del modelo propuesto y del modelo en [51] ($C_{gs}=C_{gd}$, $C_{js}=C_{jd}$ y sin R_g) para S_{11} . V_{gs} , V_{ds} , V_{bs} son iguales a 0V	47
4.22.	Valor promedio y error de la resistencia de compuerta R_g (a) y de la capacitancia compuerta-sustrato C_{gb} (b) al variar V_{bs} . A su vez, V_{gs} y V_{ds} son iguales a 0V	48
4.23.	Valor promedio y error de las capacitancias de traslape C_{gs0} y C_{gd0} al variar V_{bs} . A su vez, V_{gs} y V_{ds} son iguales a 0V	48
4.24.	Curva de la resistencia de sustrato en función de V_{bs} . A su vez, V_{gs} y V_{ds} son iguales a 0V	49
4.25.	Curva de la capacitancia de unión en función de V_{bs} . A su vez, V_{gs} y V_{ds} son iguales a 0V	49
4.26.	Gráfica de $1/C_{js}^2$ en función de V_{bs} para extraer el potencial interconstruido ψ_{bi_s} . A su vez, V_{gs} y V_{ds} son iguales a 0V	51
4.27.	Gráfica de $1/C_{jd}^2$ en función de V_{bs} para extraer el potencial interconstruido ψ_{bi_d} . A su vez, V_{gs} y V_{ds} son iguales a 0V	51
4.28.	Regresión lineal de los datos experimentales para la extracción de parámetros de un dispositivo RF-nMOS, con $L_m=80\text{nm}$, $W_f=3\mu\text{m}$ y $NF=64$, considerando $V_{gs}=0.55\text{V}$, $V_{bs}=-1\text{V}$ y $V_{ds}=0\text{V}$	52
4.29.	Circuito equivalente del RF-MOSFET para $V_{gs}=0.55\text{V}$, $V_{bs}=-1\text{V}$ y $V_{ds}=0\text{V}$	53
4.30.	Comparación de los parámetros S simulados con los experimentales de un dispositivo RF-nMOS, con $L_m=80\text{nm}$, $W_f=3\mu\text{m}$ y $NF=64$, considerando $V_{gs}=0.55\text{V}$, $V_{bs}=-1\text{V}$ y $V_{ds}=0\text{V}$. A su vez, S_{12} es igual a S_{21}	54
4.31.	Curvas de la resistencia de drenaje R_d (a) y fuente R_s (b) en función de V_{bs} para 3 valores diferentes de V_{gs}	55
4.32.	Curvas de la resistencia del canal R_{ch} en función de V_{bs} para 3 valores	

	diferentes de V_{gs}	55
4.33.	Parte real de la admitancia Y_{22} en función de V_{gs} para $V_{bs}=0V$. A su vez, V_{gs} varía de 0.1V a 0.65V, considerando un paso más fino en el rango de 0.55V a 0.65V.....	56
4.34.	Parte real de la admitancia Y_{22} en función de V_{gs} para diferentes valores de V_{bs} . A su vez, V_{gs} varía de 0.55V a 0.65V en pasos de 0.01V.....	56
4.35.	Ajuste del inverso de la resistencia del canal R_{ch} en función de V_{gs} con $V_{bs} = -1V$ para hallar el voltaje de umbral.....	57
4.36.	Variación del parámetro β con V_{bs}	58
4.37.	Dependencia del voltaje de umbral V_{th} con el voltaje de sustrato V_{bs} , considerando mediciones de RF.....	58
4.38.	Ajuste del voltaje de umbral V_{th} en función de $(2\psi_B - V_{bs})^{1/2}$, considerando mediciones de RF. Donde ψ_B (igual a 0.36V) es el potencial de cuerpo.....	59
4.39.	Determinación del voltaje de umbral a partir de diferentes métodos de extracción, considerando mediciones de DC.....	60
4.40.	Dependencia del voltaje de umbral V_{th} con el voltaje de sustrato V_{bs} , considerando mediciones de DC y el método ELR.....	61
4.41.	Ajuste del voltaje de umbral V_{th} en función de $(2\psi_B - V_{bs})^{1/2}$, considerando mediciones de DC.....	62
4.42.	Voltaje de umbral en función del voltaje de compuerta obtenido a partir de mediciones DC y RF.....	63

Índice de tablas

4.1.	Orden de magnitud de los parámetros del RF-MOSFET apagado, considerando un canal de 0.13 μm de longitud y 1.8 μm de ancho [49].....	31
4.2.	Resumen de ecuaciones.....	42
4.3.	Potencial de cuerpo, concentración de impurezas y voltaje de banda plana extraídos a partir de mediciones de DC, utilizando diferentes métodos.....	61
4.4.	Comparación de los parámetros del RF-MOSFET (ψ_B , N_A y V_{FB}) extraídos a partir de mediciones de RF y de DC.....	63

Capítulo 1

Introducción

El consumo masivo de sistemas electrónicos ha impulsado el desarrollo de dispositivos que operen en altas frecuencias, como es el caso del transistor de efecto de campo metal-óxido-semiconductor (MOSFET, por sus siglas en inglés). En sus inicios, el MOSFET, considerado como lento, no fue tenido en cuenta en aplicaciones de RF (radio frecuencia) debido a sus limitaciones en velocidad de conmutación cuando se comparaba con las tecnologías bipolares y de materiales con alta movilidad de electrones (grupos III-V de la Tabla Periódica). Entre los problemas que se presentan tradicionalmente en los MOSFETs se cuentan:

- El canal formado cuando el dispositivo opera en la región de inversión fuerte está muy cerca de la frontera entre el silicio y el dióxido de silicio (Si/SiO_2). De esta manera, el desempeño del dispositivo se ve reducido por efectos superficiales como la rugosidad, imperfección de la red cristalina y trampas en la interfaz Si-SiO_2 . Estos efectos degradan la corriente que circula por el canal así como la transconductancia del dispositivo.
- El silicio (Si) presenta una movilidad electrónica baja en relación a otros semiconductores usados comercialmente (por ejemplo, GaAs).
- Anteriormente, los procesos de miniaturización del MOSFET no estaban bien desarrollados. Por ejemplo, en los 80's, el MOSFET alcanzaba longitudes de la compuerta de $1.5 \mu\text{m}$ a $2.5 \mu\text{m}$, mientras que el GaAs MESFET (transistor de efecto de campo metal-semiconductor, por sus siglas en inglés) de RF presentaba ya longitudes bajas entre $0.25 \mu\text{m}$ y $0.5 \mu\text{m}$. Esto daba la impresión de que la tecnología del MOSFET no permitiría fabricar estructuras que fueran apropiadas para trabajar en frecuencias del orden de los gigahertz.

No obstante, estas desventajas fueron desapareciendo con el avance de las técnicas de fabricación submicrométrica [1]. Esto debido a que la miniaturización del dispositivo su desempeño, ya que su velocidad de conmutación está relacionada con el inverso de la longitud del canal. De esta manera, se han hecho investigaciones enfocadas a la reducción de las dimensiones del MOSFET que han dado paso a una mayor escala de integración y al incremento de figuras de mérito importantes [2, 3], como la frecuencia de corte y la frecuencia máxima de oscilación. Actualmente, la longitud de la compuerta en el MOSFET llega a ser comparable o menor que el RF GaAs MESFET. Este desarrollo se debió en gran parte al avance de las tecnologías VLSI (integración a muy grande escala, por sus siglas en inglés).

En términos generales, la tecnología MOS está en continuo crecimiento por su bajo costo, alto nivel de integración y fácil acceso sobre otras tecnologías. Más aún, esta tecnología permite reunir circuitos analógicos de baja frecuencia y digitales con circuitos de RF en un solo circuito integrado. Por otro lado, existen todavía retos importantes a ser enfrentados en la implementación de circuitos integrados en tecnología MOS, por ejemplo, las pérdidas considerables en el sustrato tomando en cuenta que el rango de resistividad práctico para el Si es de $0.01 \Omega\text{cm}$ a $10 \Omega\text{cm}$. Éste contrasta con la resistividad del GaAs de $10^8 \Omega\text{cm}$. En este sentido, surge también la necesidad de desarrollar modelos apropiados que describan adecuadamente estos efectos parásitos para representar su impacto en el rendimiento de los dispositivos.

1.1 Tecnología MOS para aplicaciones en RF

Como se mencionó anteriormente, el desarrollo de la tecnología MOS ha incentivado el uso de estos dispositivos en aplicaciones de RF [4]. El RF-MOSFET, siendo una parte fundamental en circuitos de alta frecuencia, consta de 4 terminales, denominadas como fuente, compuerta, drenaje y sustrato. En principio, se tiene un sustrato semiconductor tipo p en el caso del MOSFET de canal n (nMOSFET). Para llevar a cabo la fabricación del dispositivo, se limpia la superficie de la oblea y luego una película delgada de óxido es crecida térmicamente. El óxido crecido sirve como aislante entre compuerta y sustrato, y además reduce la canalización de iones en la etapa de implantación. Posteriormente, se deposita metal o polisilicio fuertemente dopado para formar la compuerta. La región de la compuerta es delimitada en los procesos de fotolitografía y grabado. Para ello, se usa una película de foto-resina líquida dispersa sobre la oblea, en la cual se hace la transferencia de patrones presentes en una mascarilla mediante la exposición con luz. Luego, se revela selectivamente la foto-resina. Así, se protegen algunas zonas del polisilicio durante el grabado. Finalmente, se hacen implantaciones controladas altamente dopadas tipo n^+ para definir la fuente y el drenaje.

La longitud del canal del MOSFET se ha ido reduciendo significativamente con el paso de los años, presentándose efectos indeseados de canal corto aún cuando se siguen reglas de escalamiento. De hecho, las regiones de agotamiento correspondientes a las uniones de fuente y drenaje llegan a ser comparables con la longitud del canal. Esto se soluciona con un dopado más alto del canal, puesto que el ancho de la región de agotamiento es inversamente proporcional a la raíz cuadrada de la concentración de impurezas. Sin embargo, se origina un incremento en el voltaje de umbral, el cual se puede fijar en un valor adecuado cambiando el espesor del óxido de compuerta. Así, al seguir reglas adecuadas para el escalamiento, es posible optimizar el desempeño del dispositivo.

Otro problema que ocurre al disminuir las dimensiones del dispositivo es que el campo eléctrico longitudinal aumenta considerablemente, lo que da paso a la inyección de portadores calientes en el óxido, que modifican el voltaje de umbral y la transconductancia. Para disminuir el campo eléctrico longitudinal máximo se emplean regiones LDD (drenaje ligeramente dopado, por sus siglas en inglés) para la fuente y el drenaje [5], como se muestra en la figura 1.1. Esto también permite eliminar el efecto DIBL (reducción de la barrera de potencial a través del drenaje, por sus siglas en inglés). Este último efecto se

presenta cuando las regiones de agotamiento en la fuente y el drenaje son una fracción considerable de la longitud del canal, lo cual da paso a una disminución de la barrera de potencial en la fuente y una inyección extra de portadores que incrementan la corriente substancialmente. Así, esto resulta en un control reducido de la corriente del canal por medio del voltaje de compuerta. Adicionalmente, la introducción de las regiones LDD genera una dependencia de las resistencias de fuente R_s y drenaje R_d con el voltaje de compuerta, que debe ser tenido en cuenta en los modelos del dispositivo.

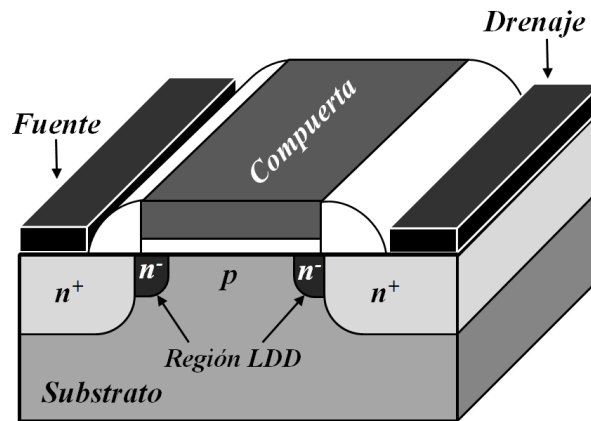


Figura 1.1. Esquema básico del MOSFET, resaltando las regiones LDD.

1.2. Estructura MOS de volumen

Durante el desarrollo del trabajo, se consideraron estructuras MOS de volumen; éstas son caracterizadas a partir de mediciones de parámetros S, basadas en redes de dos puertos. La fabricación del MOSFET sobre sustrato de silicio se ha desarrollado enormemente con el paso de los años debido en parte a sus bajos costos de producción y facilidad de integración en un solo chip. Esto se hizo posible por el avance de las tecnologías submicrométricas para la longitud del canal [6]. De hecho, los transistores MOS de volumen son ampliamente usados en aplicaciones de alta frecuencia y constituyen la base de la industria de los circuitos integrados.

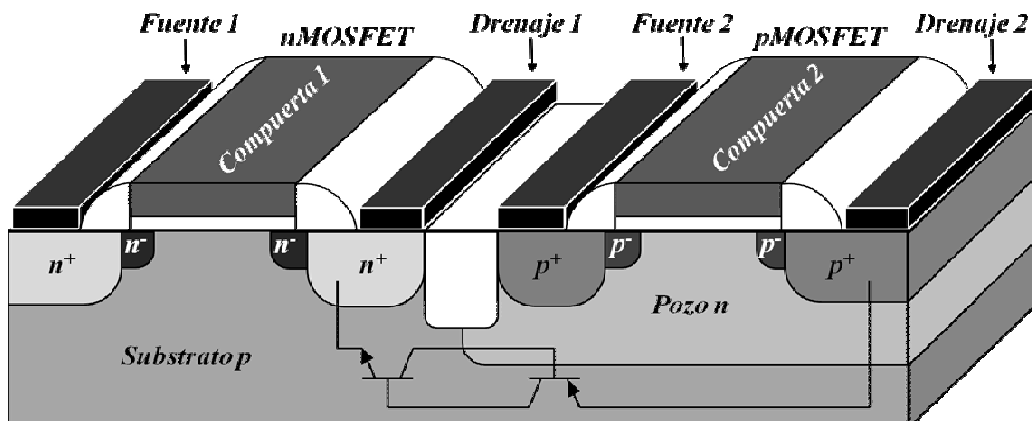


Figura 1.2. Esquema de una estructura CMOS, resaltando los dos transistores bipolares parásitos.

Sin embargo, la tecnología de volumen presenta varios inconvenientes tales como los efectos parásitos del sustrato [7], la limitación en la cercanía de las regiones de difusión entre dispositivos para un circuito VLSI, el consumo de las implantaciones de fuente y drenaje por los silisuros durante la etapa de metalización, y la aparición de dos transistores NPN parásitos en el CMOS (ver figura 1.2) que se forman por las 2 regiones de drenaje n^+ , el sustrato p y el pozo n . Para solucionar algunos de estos problemas, se emplean estructuras de fuente y drenaje elevadas ($E/S/D$) para evitar el daño ocasionado por los silisuros [8], e implementaciones de una capa ligeramente dopada denominada región epitaxial que reduce el efecto asociado a los transistores NPN parásitos [9].

1.3. Requerimientos para caracterización y modelado

Es importante considerar no sólo un modelo apropiado que describa correctamente las características del dispositivo, sino también una metodología de extracción de parámetros adecuada para encontrar el conjunto de parámetros correcto. A su vez, el modelo junto con el método de extracción debe estar en capacidad de reproducir datos experimentales de una manera sistemática y con sustento físico. Por esta razón, diferentes condiciones de polarización deben ser cuidadosamente seleccionadas antes de hacer mediciones con fines de caracterización.

La comprensión de la física asociada al dispositivo da paso a la creación de un modelo basado en un circuito equivalente que consiste de arreglo de elementos (resistencias, capacitores e inductores) que representan topológicamente los efectos que ocurren en su estructura. Posteriormente, se puede plantear el conjunto de ecuaciones que permite la extracción de cada uno de los elementos mediante el procesamiento de datos experimentales. A su vez, en la búsqueda de modelos mejorados, nuevos elementos son adicionados al circuito equivalente. Sin embargo, esto incrementa el costo computacional y dificulta la metodología de extracción. En general, se desea que los elementos en modelos de pequeña señal sean independientes de la frecuencia para su implementación directa en modelos tipo SPICE. Por el contrario, esto no ocurre en condiciones no cuasi-estáticas o cuando se tiene en cuenta fenómenos como la dispersión de las señales al viajar en el dispositivo.

En este trabajo se utiliza un modelo de pequeña señal, conocido también como modelo incremental de señal para representar adecuadamente el comportamiento del RF-MOSFET y simplificar sustancialmente su análisis. De esta manera, se proporciona una herramienta para el diseñador. El modelo es obtenido mediante el análisis del transistor a pequeños cambios de corriente y voltaje en sus terminales. En condiciones de polarización apropiadas, éste puede ser modelado a partir de un circuito lineal. Al amplificar pequeñas señales, éstas fluctuarán alrededor de un punto de operación dentro de un rango reducido de valores; así, se asegura el desempeño del transistor en una región lineal sin distorsión en la salida. En la práctica, el estudio de los amplificadores frecuentemente requiere de un análisis previo en DC para establecer las condiciones de polarización; luego, se deben hacer los cálculos de admitancias e impedancias a partir del modelo de pequeña señal con el fin de proporcionar un circuito equivalente.

1.3.1. Motivación

Uno de los factores relevantes para un producto específico es el tiempo que pasa desde su diseño hasta su comercialización. Por esta razón, es importante tener un proceso de diseño, fabricación y caracterización confiable y eficiente. Para ello, se necesita como punto de partida un modelo adecuado que permita predecir correctamente el buen desempeño del circuito. En la mayoría de los simuladores comerciales, el modelo del MOSFET está orientado hacia aplicaciones analógicas de baja frecuencia y digitales. De esta manera, se alcanzan frecuencias en el orden de los megahertz. No obstante, el uso del MOSFET en el rango de los gigahertz requiere de modelos apropiados para este tipo de aplicaciones. En estas frecuencias, se hace significativa la contribución de los componentes extrínsecos del dispositivo además de los componentes intrínsecos. Al no considerar los componentes extrínsecos, el modelo pierde validez para predecir el comportamiento de un circuito diseñado.

1.3.2. Retos

Para llevar a cabo la caracterización del RF-MOSFET, se pueden utilizar datos experimentales. En este caso, se debe considerar el método de medición apropiado en alta frecuencia, las condiciones de polarización más representativas en las que opera el transistor y los requisitos que se deben satisfacer para proveer una simulación robusta y eficiente. El modelado y la extracción de parámetros son más difíciles en el RF-MOSFET que en otros transistores de alta frecuencia. Esto se debe a las pérdidas dadas por los efectos parásitos del sustrato y a la estructura conformada por 4 terminales. Así, usualmente se conecta el sustrato y la fuente, puesto que las mediciones de parámetros S se hacen con un analizador de redes vectorial (VNA) de dos puertos. De esta manera, se tendría un dispositivo de tres terminales que puede ser tratado como una red de dos puertos. Sin embargo, la terminal de sustrato afecta significativamente el funcionamiento del transistor, variando parámetros como el voltaje de umbral.

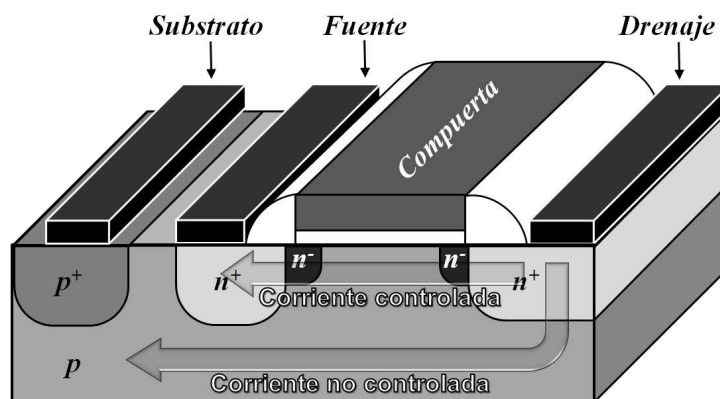


Figura 1.3. Esquema del flujo de corriente a través del canal y del sustrato.

El modo de operación del MOSFET es esencialmente controlar el flujo de corriente de drenaje a fuente por medio de la compuerta. No obstante, existe una corriente no

controlable a través del sustrato como se presenta en la figura 1.3. Este efecto parásito se acentúa conforme se incrementa la frecuencia de operación, el cual no está contemplado en los modelos básicos de pequeña señal a bajas frecuencias.

A partir de la medición de parámetros S del RF-MOSFET, es posible caracterizar la red parásita del sustrato. Para ello, se han propuesto diferentes circuitos equivalentes y metodologías de extracción de parámetros [10-15]. A su vez, es de interés conocer las capacitancias de unión de fuente y drenaje ilustradas en la figura 1.4, que influyen en altas frecuencias. Estas capacitancias forman un camino de baja impedancia para la corriente a través del sustrato al aumentar la frecuencia de operación.

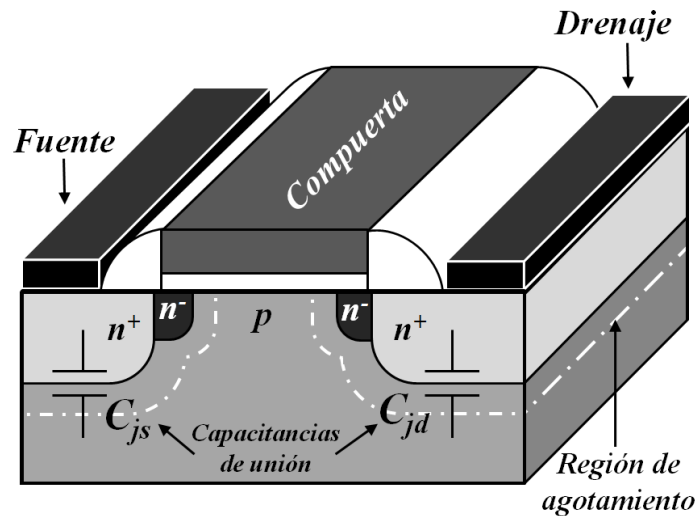


Figura 1.4. Capacitancias de unión en la fuente y el drenaje.

1.3.3. Estado del arte

En el estudio de los parámetros del MOSFET mediante mediciones de parámetros S de dos puertos, incluyendo la red parásita del sustrato, se han reportado varias propuestas. En general, se tiene en cuenta una sola resistencia del sustrato efectiva por la imposibilidad de hallar la red de resistencias completa ya que no se tiene acceso al interior del dispositivo para colocar puntas de prueba [16,19]. A su vez, en algunos casos se supone que las capacitancias de unión son iguales y simétricas, mientras que en otros simplemente se omite la capacitancia de unión en la fuente [19,20]. Esto se sustenta en la necesidad de poner en corto las terminales de fuente y sustrato para hacer las mediciones, como se muestra en la figura 1.5. De esta manera, se obtiene una estructura de tres terminales. Por otro lado, las inductancias debidas a las terminales, que fueron consideradas en los modelos iniciales, son despreciables en los MOSFETs actuales. Esto se debe a la disminución apreciable de las inductancias conforme se reduce la longitud del canal [21].

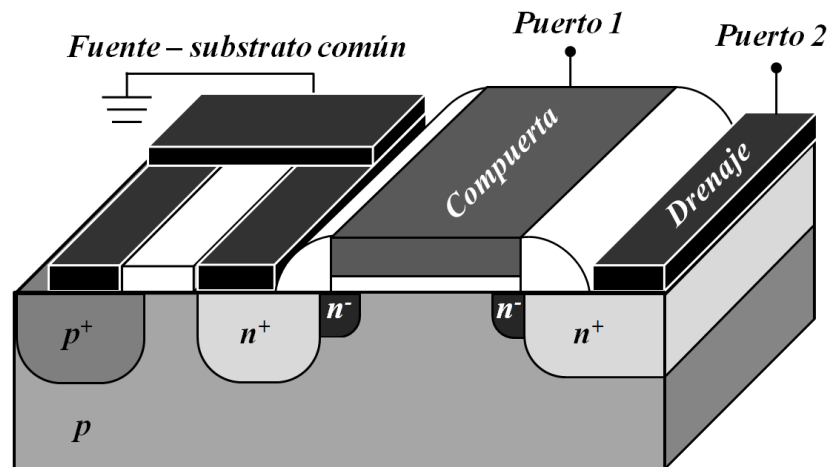


Figura 1.5. Configuración fuente-substrato común.

1.3.4. Propuesta y contribución

Las mediciones del MOSFET usualmente se hacen mediante parámetros de dos puertos. Para ello, se utiliza la configuración fuente-substrato común, como se ilustra en la figura 1.8. Así, se tiene un dispositivo de tres terminales. En este trabajo, se caracterizó un RF-MOSFET de canal n con terminal independiente de sustrato. De esta manera, es posible encontrar variaciones en el voltaje de umbral y en las capacitancias de unión de fuente-substrato y drenaje-substrato para polarizaciones diferentes entre la fuente y el sustrato.

1.4. Descripción detallada de la propuesta

1.4.1. Ventajas

La estructura de pruebas considerada para la medición de parámetros de dispersión posee una terminal separada para el sustrato que posibilita la caracterización del MOSFET bajo diferentes condiciones de polarización adicionales a la de compuerta drenaje y fuente. Así, se puede encontrar la relación de los parámetros extraídos del circuito equivalente con el voltaje de sustrato. Éste es el caso de la resistencia del canal que depende del voltaje de umbral y a su vez el voltaje de umbral es función del voltaje de sustrato. De esta manera, se obtiene una caracterización completa del RF-MOSFET

1.4.2. Retos

En principio, se busca caracterizar completamente la red parásita del sustrato en diferentes valores de voltaje entre sustrato y fuente con el RF-MOSFET apagado. Para ello, se necesita una metodología de extracción adecuada para encontrar todos los parámetros del

circuito equivalente. Posteriormente, se puede hallar el voltaje de umbral en diferentes puntos de polarización en la compuerta.

1.4.3. Contribuciones

En el RF-MOSFET, la red parásita del sustrato es una parte crítica en su caracterización y modelado. Para ello, se hacen mediciones de parámetros S del transistor basadas en parámetros de dos puertos; esto implica el uso de una configuración fuente-sustrato común. Sin embargo, no siempre es posible conectar la fuente con el sustrato en muchas aplicaciones. Por ejemplo, la terminal de sustrato de uno de los dos transistores de un amplificador cascode no está en corto con la fuente, como se muestra en la figura 1.6; además, la red de resistencias del sustrato y las capacitancias de unión, que influyen considerablemente la operación del circuito tanto en la topología de compuerta común como en drenaje común, dependen del voltaje del sustrato con respecto a la fuente [22]. Por esta razón, es esencial caracterizar por completo al transistor, empleando una metodología de extracción adecuada que considere la terminal de sustrato de forma aislada. De esta manera, se evitaría la pérdida de información relevante en el modelo de pequeña señal, requerida por el diseñador.

Así, una estructura nueva con conexión separada para el sustrato ha sido caracterizada; para ello, se propone una metodología de extracción que permite hallar independientemente las capacitancias de traslape de compuerta-sustrato y de compuerta-fuente, y las de unión en fuente y en drenaje para diferentes valores del voltaje de sustrato V_{bs} . Las capacitancias de unión influyen en el comportamiento del puerto de salida del transistor en altas frecuencias. A su vez, el voltaje de umbral se puede encontrar a partir de la extrapolación del inverso de la resistencia del canal en función del voltaje de compuerta V_{gs} . Adicionalmente, los parámetros físicos del transistor MOS tales como el potencial interconstruido en las regiones de fuente y drenaje, el potencial de cuerpo, el voltaje de banda plana y la concentración de impurezas en el sustrato se pueden obtener mediante el ajuste de las curvas de las capacitancias de unión y del voltaje de umbral contra V_{bs} . De esta forma, se caracteriza totalmente al MOSFET, utilizando únicamente mediciones de RF. Asimismo, se evita la necesidad de hacer mediciones de DC para establecer las condiciones de polarización del transistor.

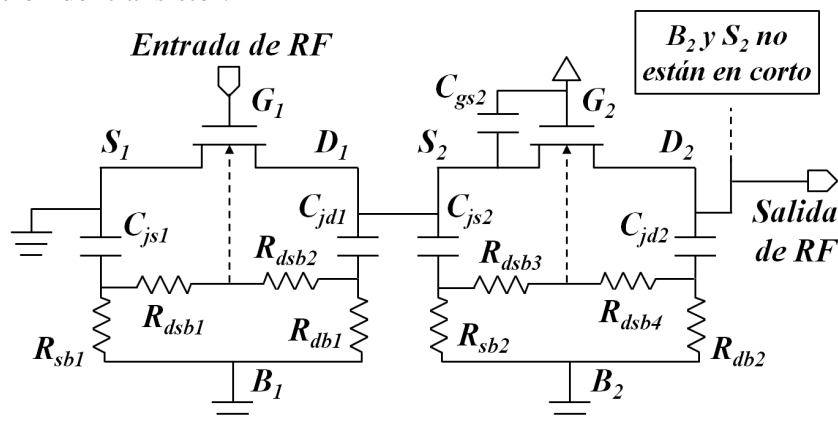


Figura 1.6. Amplificador cascode, considerando la red parásita del sustrato.

1.5. Descripción del documento

El documento está estructurado en dos partes. En primer lugar, se presenta la metodología de extracción de la red parásita del sustrato para el RF-MOSFET en diferentes voltajes del sustrato respecto a la fuente, manteniendo el transistor apagado. De esta manera, se encuentran las capacitancias de unión en la fuente y el drenaje en función del voltaje del sustrato. Luego, la simulación del circuito equivalente en pequeña señal se valida mediante la comparación con los datos experimentales para cada una de las condiciones de operación. Finalmente, se halla el potencial interconstruido en las regiones de fuente y drenaje.

En segundo lugar, se tiene en cuenta al MOSFET polarizado en inversión fuerte para diferentes potenciales del sustrato. En principio, se presenta la dependencia de la resistencia del canal con el voltaje de compuerta y el voltaje de umbral. A su vez, se sabe que el voltaje de umbral está relacionado con el voltaje del sustrato. De esta manera, mediante el ajuste del voltaje de umbral se puede hallar el potencial de cuerpo y la concentración del sustrato.

Capítulo 2

Modelado del RF-MOSFET

Alrededor del MOSFET, se han hecho muchos estudios orientados hacia la comprensión de la física y el modelado del transistor. Como consecuencia, su comportamiento en cada uno de los diferentes regímenes de operación tales como inversión débil, moderada y fuerte ha sido descrito por una gran variedad de modelos. No obstante, éstos deben ser continuamente evaluados a causa del constante y rápido avance de las tecnologías. Así, en este capítulo se presentan los elementos asociados al modelo en pequeña señal del RF-MOSFET, incluyendo la red parásita del sustrato; además, se muestran sus parámetros físicos, el potencial interconstruido, el voltaje de umbral, el potencial de cuerpo, la concentración de impurezas en el sustrato y el voltaje de banda plana. A su vez, cabe resaltar que en este trabajo se utiliza un transistor de 80 nm de longitud de canal; por lo tanto, se deben estudiar los efectos de canal corto, que afectan parámetros como el voltaje de umbral. Adicionalmente, se requiere del uso de regiones LDD para reducir el efecto indeseado de los portadores calientes. Éstas introducen variaciones en las resistencias de fuente y drenaje con respecto al voltaje de compuerta. Finalmente, se muestran las regiones de operación y los métodos de extracción de parámetros.

2.1. Modelo en pequeña señal

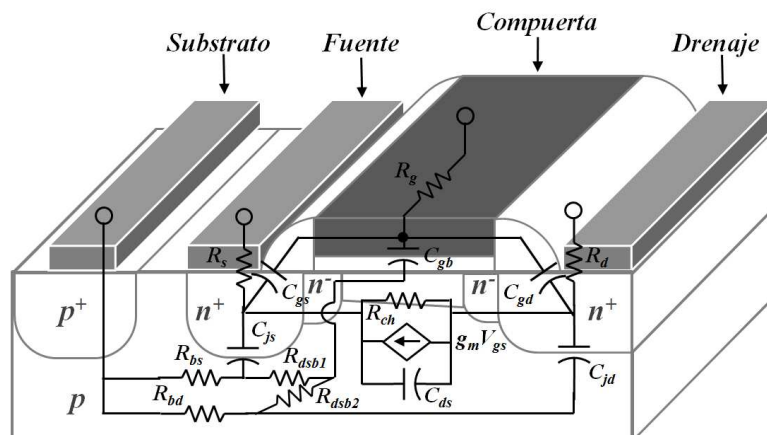


Figura 2.1. Esquema del transistor nMOS, resaltando el circuito equivalente en pequeña señal.

El transistor MOS es en esencia un amplificador de transconductancia, con una resistencia muy grande a la entrada y ganancia de corriente a la salida. Sin embargo, en la práctica se tiene un dispositivo no ideal. El régimen de pequeña señal es un modo de operación importante tanto en dispositivos MOSFETs como en otros dispositivos activos.

Usualmente, la amplitud de las señales AC es más pequeña que los valores DC dados para el punto de operación. De esta manera, una relación lineal puede ser asumida entre las señales de entrada y su respuesta [23]. Esto facilita la metodología de extracción de parámetros del transistor. De hecho, el comportamiento eléctrico del transistor es posible describirlo a partir de un circuito equivalente. A su vez, el conocimiento previo de la física del dispositivo proporciona la información suficiente para considerar una topología determinada. En el caso de modelos de alta frecuencia, se requiere de mediciones de parámetros S para encontrar los parámetros de admitancia e impedancia, y luego se determinan los elementos del circuito. En la figura 2.1 se ilustran los elementos asociados al circuito equivalente en pequeña señal. La validación del modelo está limitada por el comportamiento no cuasi-estático en altas frecuencias. Para ello, se necesita información adicional para realizar las simulaciones, que puede ser mediante una matriz de polarización.

2.1.1. Elementos intrínsecos

Estos son los elementos asociados directamente con el funcionamiento de la región activa del RF-MOSFET, los cuales son R_{ch} , C_{ds} , C_{gb} , C_{gs} , C_{gd} y g_m . Las capacitancias de compuerta, C_{gs} , C_{gd} y C_{gb} , son debidas en gran parte a la capacitancia del óxido, considerando el área del canal. Además, las capacitancias de traslape, debidas a la extensión de la compuerta sobre las regiones de fuente y drenaje, también contribuyen con las capacitancias C_{gs} y C_{gd} . En el caso de C_{ds} , esta modela el efecto de las dos uniones p-n conectadas en serie a través del canal. Por otra parte, R_{ch} representa la resistencia del canal, la cual varía con las dimensiones del canal y la polarización de las terminales del dispositivo [24-26]. Finalmente, g_m es la transconductancia dada por la variación de la corriente de drenaje con respecto al voltaje de compuerta

2.1.2. Elementos extrínsecos

Los elementos extrínsecos del transistor MOS son R_g , R_s , R_d , C_{js} , C_{jd} , R_{sb} , R_{db} , R_{dsb1} y R_{dsb2} . La resistencia de compuerta R_g está relacionada con el material empleado como terminal de interconexión sobre la capa de óxido. A su vez, las pérdidas presentes en el sustrato se ven reflejadas por las capacitancias de unión C_{js} y C_{jd} , además de la red de resistencia R_{sb} , R_{db} , R_{dsb1} y R_{dsb2} [27, 28]. Al aumentar la frecuencia de operación las capacitancias C_{js} y C_{jd} proporcionan un camino para la corriente a través del sustrato. Por otro lado, las resistencias de fuente y sustrato, R_s y R_d , se originan por la resistencia de contacto metal-semiconductor y la resistencia debida a las implantaciones LDD y n^+ . Estas resistencias deben ser consideradas cuando el transistor opera en la región de inversión fuerte, puesto que la resistencia del canal es pequeña.

2.2. Parámetros físicos del MOSFET

En la sección anterior se discute el modelo en pequeña señal del MOSFET, describiendo cada uno de los elementos asociados al circuito equivalente que considera la red parásita del sustrato. Por otro lado, en esta sección se exponen los parámetros físicos involucrados

en el transistor, el potencial interconstruido, el voltaje de umbral, el potencial de cuerpo, la concentración de impurezas en el sustrato y el voltaje de banda plana, los cuales se presentan en el mismo orden en que son hallados en el capítulo 4. El conocimiento de los elementos del circuito equivalente y de los parámetros físicos del transistor MOS permitirá caracterizar completamente al dispositivo y proveerá información suficiente para la simulación de circuitos complejos, dando paso al desarrollo de herramientas de diseño.

2.2.1. Potencial interconstruido

Luego de unir un semiconductor tipo p con uno del tipo n, hay recombinación de pares electrón–hueco cerca de la interfaz debido al gradiente de concentración; ésta da como resultado la generación de una región sin portadores libres, conocida como región de agotamiento, en la cual sólo están presentes las impurezas aceptoras (iones negativos) y donadoras (iones positivos) como se muestra en la figura 2.2. De esta manera, se produce un potencial interconstruido, que debe ser superado para hacer circular una corriente a través de la unión. Este comportamiento es equivalente al de un capacitor, en el que existen dos placas paralelas separadas por un dieléctrico. En el modelo de pequeña señal del transistor MOS, este efecto capacitivo se ve reflejado en las capacitancias de unión de fuente y drenaje.

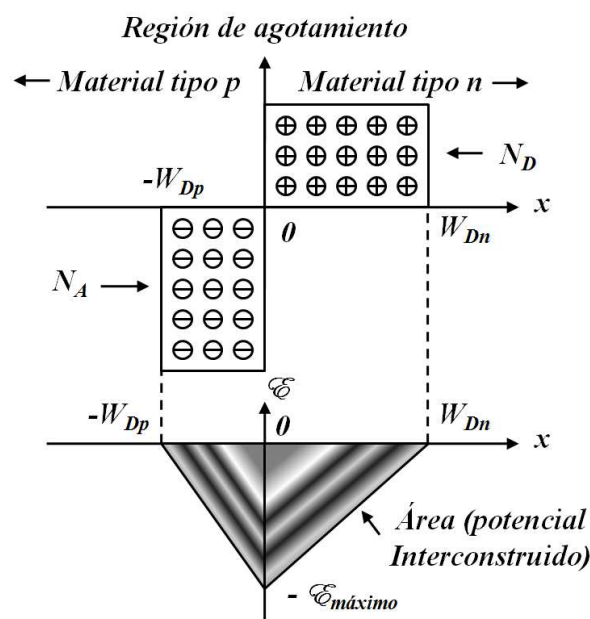


Figura 2.2. Esquema de la región de agotamiento, resaltando el potencial interconstruido. Los valores N_A , N_D y W_D corresponden a las impurezas aceptoras, impurezas donadoras y ancho de la región de agotamiento, respectivamente.

2.2.2. Voltaje de umbral

Para cualquier FET, el voltaje de umbral representa un parámetro importante, puesto que separa los estados prendido y apagado del dispositivo. Así, éste delimita la región de inversión en débil, moderada y fuerte. La barrera de potencial promedio en el canal para el estado apagado es relativamente alta a la de fuente, creando una barrera efectiva en contra

del transporte de electrones de fuente a drenaje. En el estado encendido, esta barrera es significativamente pequeña, promoviendo una alta población de electrones libres en la región del canal. En MOSFETs sub-micrométricos, las características de tamaño y los voltajes de alimentación reducidos en aplicaciones de baja potencia implican que la transición entre los estados prendido y apagado sea poco distinguible. Por esta razón, un modelo preciso de todos los regímenes de operación es necesario para dispositivos de canal corto, tanto en aplicaciones digitales como analógicas de alta frecuencia.

2.2.3. Potencial de cuerpo

El potencial de cuerpo ψ_B está relacionado con la diferencia de energía entre el nivel de Fermi y el nivel intrínseco del capacitor MOS como se muestra en la figura 2.3, en la cual ψ_s corresponde al potencial de superficie. Este último parámetro define los rangos de operación del dispositivo. De esta forma, la región de acumulación acontece cuando $\psi_s < 0$ V, la región de agotamiento en $\psi_B > \psi_s > 0$ V, la inversión del canal en $\psi_s > \psi_B$ y finalmente la inversión fuerte en $\psi_s > 2\psi_B$. Así, el voltaje de compuerta necesario para que ocurra inversión fuerte, conocido como voltaje de umbral V_{th} , debe superar el doble del potencial de cuerpo $2\psi_B$.

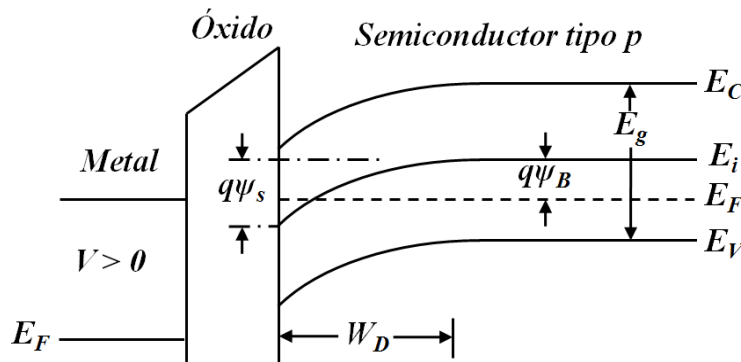


Figura 2.3. Diagrama de bandas de un capacitor MOS. Los valores ψ_B , ψ_s y W_D corresponden al potencial de cuerpo, potencial de superficie y ancho de la región de agotamiento, respectivamente.

2.2.4. Concentración de impurezas en el sustrato

En la fabricación de transistores MOS, se emplea un sustrato tipo p en el caso de un dispositivo de canal n y uno tipo n cuando se desea un canal p; para ello, se dopa al material con impurezas aceptoras (elementos del grupo III de la tabla periódica) o donadoras (elementos del grupo V de la tabla periódica) según sea el caso. Las impurezas donadoras cuando ceden un electrón quedan cargadas positivamente, mientras que las impurezas aceptoras cuando reciben un electrón quedan cargadas negativamente. Así, las impurezas donadoras y aceptoras se encuentran ionizadas, denotadas como N_D^+ y N_A^- . A su vez, parámetros como el voltaje de umbral y el potencial de cuerpo dependen de la concentración de impurezas en el sustrato.

2.2.5. Voltaje de banda plana

El MOSFET tiene integrado un capacitor MOS, para el cual las bandas de energía están planas en 0 V en el caso de un dispositivo ideal. No obstante, en un capacitor MOS real el voltaje necesario para que las bandas de energía sean planas (V_{FB}) es diferente de 0 V y depende de la diferencia de función de trabajo metal-semiconductor además de las cargas presentes en el óxido. En la condición de banda plana, la carga en la superficie es igual a cero. A su vez, V_{FB} puede ser determinado mediante mediciones C-V. Esto se logra porque la capacitancia depende del voltaje aplicado en la compuerta con respecto al sustrato (V_{gb}). De esta manera, en la curva C-V se distinguen 3 regiones, las cuales son: acumulación, agotamiento, e inversión. La región de acumulación se da cuando $V_{gb} < V_{FB}$ y además la carga superficial presente en el semiconductor es del mismo tipo que la del sustrato. Por otro lado, en el caso de agotamiento e inversión se requiere de $V_{gb} > V_{FB}$, como se muestra en la figura 2.4.

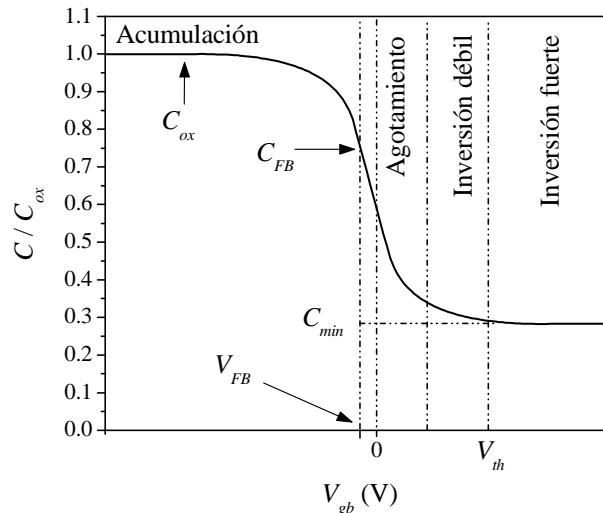


Figura 2.4. Capacitancia normalizada en función del voltaje de compuerta con respecto al sustrato para un capacitor MOS ideal, resaltando las regiones de operación. Los valores C_{ox} , C_{FB} y C_{min} corresponden a las capacitancias del óxido, de banda plana y mínima, respectivamente.

2.3. Efectos de canal corto en transistores MOS

En este trabajo se hacen mediciones de parámetros S de transistores de 80 nm de longitud del canal, lo cual implica que deben tenerse en cuenta los efectos de canal corto; asimismo, las posibles consecuencias de estos efectos en los elementos del modelo en pequeña señal y los parámetros físicos del MOSFET, los cuales se presentaron en las secciones anteriores. El transistor es considerado de canal corto cuando la longitud de la compuerta está en el mismo orden de magnitud que el espesor de la región de agotamiento en las uniones de fuente y drenaje. En el caso de una unión abrupta se tiene una región de agotamiento de 80 nm de ancho para una concentración de $2 \times 10^{16} \text{ cm}^{-3}$ y una red de potencial ($\psi_{bi} - V - 2kT/q$)

igual a 0.1 V [6], donde kT/q es el potencial térmico y V , el voltaje aplicado. De acuerdo a las aplicaciones, tales como circuitos digitales o analógicos de altas frecuencias y de baja potencia, existen diferentes especificaciones en las cuales debe operar el RF-MOSFET; en general, se requiere de frecuencias de corte elevadas, lo cual se ha logrado con la reducción del canal a partir de criterios adecuados de escalamiento. Esto se da porque la frecuencia de corte es inversamente proporcional al tránsito de los portadores de carga a través del canal y por lo tanto, también a las dimensiones del canal. Sin embargo, aún con las mejores reglas de escalamiento, el dispositivo de canal corto presenta una desviación del comportamiento de uno de canal largo. De esta manera, se evidencia un campo eléctrico alto con inyección de portadores calientes en el óxido, modificando la transconductancia y el voltaje de umbral. De hecho, la movilidad es dependiente del campo, que da como resultado la saturación de la velocidad. Además, se observa una distribución del potencial bidimensional en el canal, que varía con el campo eléctrico transversal y longitudinal a causa de la polarización de la compuerta y el drenaje, respectivamente. La reducción de la longitud efectiva del canal disminuye considerablemente el voltaje de umbral, observándose una dependencia exponencial. Por otro lado, el voltaje de umbral varía linealmente con el voltaje de drenaje (V_{ds}), puesto que los portadores son despejados del canal por el campo eléctrico alto en la región de agotamiento junto al drenaje. A su vez, los dispositivos con regiones LDD presentan un decremento y una menor sensibilidad a variaciones de la longitud del canal, debido a su más bajo potencial interconstruido en las uniones de fuente y drenaje. Asimismo, el voltaje de umbral tiene una menor dependencia con V_{ds} en transistores de canal corto con regiones LDD, porque la región LDD reduce el voltaje de drenaje efectivo [29].

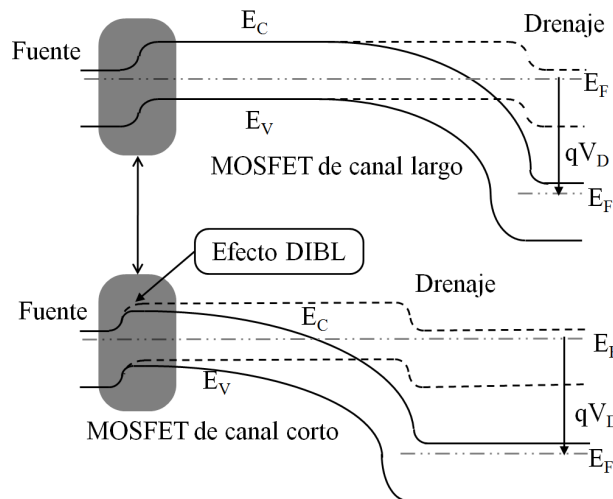


Figura 2.5. Comparación del diagrama de bandas entre el MOSFET de canal largo con uno de canal corto, resaltando el efecto DIBL.

En el caso extremo en el cual la suma de las dimensiones de las regiones de agotamiento debidas a las uniones en la fuente y el drenaje es aproximadamente la longitud del canal, efecto conocido como estrangulamiento (en inglés, punch-through), una gran corriente de fuga ocurrirá a lo largo del canal. Esta corriente es altamente sensible a la polarización de drenaje. El estrangulamiento se produce por la disminución de la barrera de potencial cerca

a la fuente, comúnmente llamado DIBL [30] (ver figura 2.5). En transistores de canal corto, la fuente y el drenaje están muy próximos; así, la barrera de potencial en la fuente puede ser influenciada por el voltaje de drenaje, variando la concentración de portadores. Esto es observado en el diagrama de bandas a lo largo de la superficie del semiconductor. A su vez, el MOSFET ya no alcanza la saturación y no puede ser apagado a causa de la disminución del voltaje de umbral, como consecuencia del estrangulamiento.

2.4. Regiones de operación

En esta sección, se exponen las regiones de operación delimitadas por el voltaje de umbral; de esta forma, se presentan los efectos que ocurren en el RF-MOSFET para un voltaje de compuerta menor (región de sub-umbral) y mayor (inversión fuerte) al voltaje umbral. En particular, las condiciones de polarización dadas para llegar a inversión fuerte son necesarias para identificar el punto de operación en el que se hallarán los elementos del modelo en pequeña señal y los parámetros físicos del transistor. Adicionalmente, se muestra la dependencia del voltaje de umbral con el voltaje de sustrato, enfatizando en las implicaciones que esto conlleva en la solución de los efectos indeseados.

Anteriormente, se han hecho trabajos enfocados en la región de sub-umbral con el fin de disminuir el consumo de potencia en el dispositivo. Esta región se presenta cuando la polarización de la compuerta respecto al sustrato está por debajo del voltaje de umbral. Al graficar la corriente de drenaje en escala logarítmica para diferentes valores de voltaje de compuerta se aprecia un cambio de V_{gs} por década de I_d , como se presenta en la figura 2.7. De esta forma, la superficie del semiconductor se encuentra en agotamiento o en inversión débil. En este caso, la corriente de deriva en el transistor es pequeña; así, la corriente de drenaje es dominada por difusión. Estas consideraciones hacen que la corriente a través del sustrato deba tenerse en cuenta en los modelos.

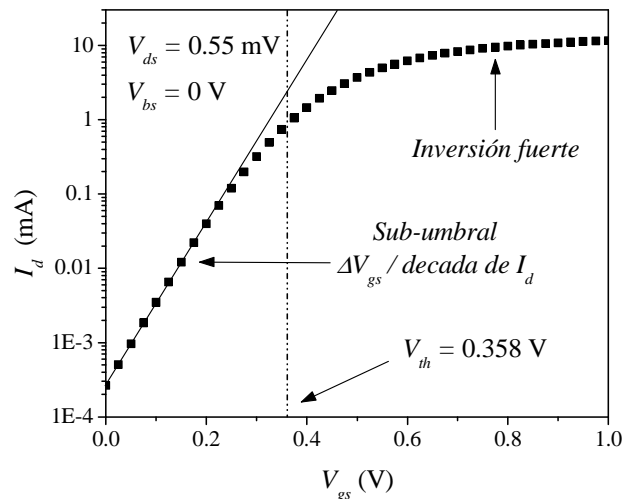


Figura 2.6. Corriente de drenaje en escala logarítmica en función del voltaje de compuerta para el RF-MOSFET de 80 nm de longitud del canal, considerado en este trabajo. Asimismo, se resalta la región de sub-umbral y de inversión fuerte.

Por otro lado, la región de inversión fuerte se alcanza cuando $V_{gs} > V_{th}$, como se ilustra en la figura 2.6; de tal manera que al cumplirse esta condición, se atraen portadores minoritarios a la frontera entre el silicio y el dióxido de silicio, formándose el canal de inversión. Adicionalmente, la relación entre la corriente del sustrato sobre la corriente de drenaje, dada en inversión fuerte, se incrementa conforme se hace más negativo el voltaje de sustrato con respecto a la fuente (V_{bs}) [31], como se ilustra en la figura 2.7. A su vez, la polarización inversa del sustrato eleva la población de portadores calientes debido al campo eléctrico en la unión drenaje-sustrato [32]. No obstante, se reduce levemente el ruido del canal de alta frecuencia (NF_{min}) por la aparición de efectos secundarios tales como el ruido inducido en el sustrato, lo cual puede proveer una metodología de ajuste del NF_{min} . Por otro lado, el voltaje de sustrato puede modificar el voltaje de umbral (V_{th}) a causa del efecto cuerpo. De esta manera, es posible tener un control fino del dispositivo y del desempeño del circuito [33]. Sin embargo, en algunas aplicaciones la variación del V_{th} no es deseada. Para ello, se prefiere un dopado bajo del sustrato y un espesor delgado del óxido, que reduce la sensibilidad del transistor con el V_{th} . Esto también se puede hacer a partir de un metal diferente para la compuerta, lo cual afecta el voltaje de banda plana a través de la diferencia de función de trabajo entre el metal y el semiconductor.

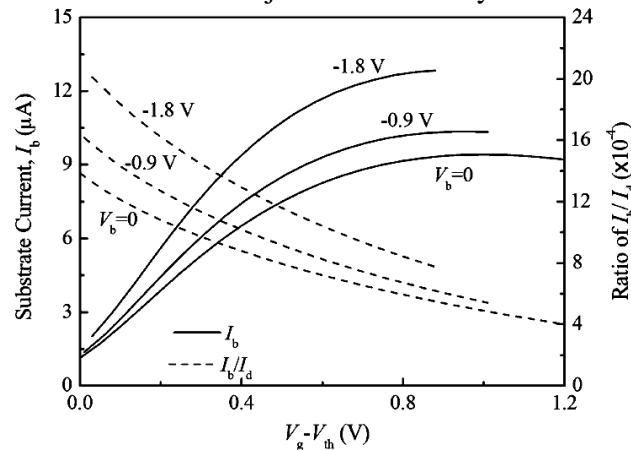


Figura 2.7. Ejemplo de curvas de la corriente de sustrato (I_b) y la razón de I_b con la corriente de drenaje (I_d) en función del voltaje de compuerta para un nMOSFET de $0.18\mu m$, bajo diferentes voltajes de polarización [31].

2.5. Desarrollo teórico para la extracción de parámetros

Luego de definir cada uno de los elementos del modelo en pequeña señal y parámetros físicos implícitos en el transistor, se requiere de una metodología apropiada de extracción de parámetros. De hecho, la caracterización del RF-MOSFET es importante para proveer modelos adecuados que puedan ser usados por los diseñadores. De esta manera, la extracción de parámetros asociada al transistor es una herramienta necesaria en el desarrollo de tecnologías MOS. En el caso del potencial interconstruido, existe una relación directa con las capacitancias de unión de fuente y drenaje; de tal manera que pueda ser encontrado mediante el análisis de la gráfica de la capacitancia de unión contra voltaje de sustrato. A su vez, el voltaje de umbral, siendo uno de los parámetros más importantes en la caracterización del RF-MOSFET, puede ser determinado mediante mediciones de DC en la región lineal o en la región de saturación [34]. Por otra parte, el potencial de cuerpo, la

concentración de impurezas en el sustrato y el voltaje de banda plana se obtienen a partir de la curva del voltaje umbral en función del voltaje del sustrato. Adicionalmente, tanto los parámetros físicos como los elementos del circuito equivalente dados para el modelo en pequeña señal pueden ser hallados a partir de mediciones de parámetros S, siendo la contribución más significativa de este trabajo.

2.5.1. Extracción del potencial interconstruido

En primer lugar, se sabe que las capacitancias de unión de fuente y drenaje dependen inversamente del ancho de la región de agotamiento; a su vez, este último parámetro está relacionado con la polarización del sustrato respecto a la fuente V_{bs} y el drenaje V_{bd} , según sea el caso, además del potencial interconstruido. Al graficar el inverso del cuadrado de la capacitancia de unión en función del voltaje aplicado, se puede extraer por extrapolación el potencial interconstruido ψ_{bi} , como se ilustra en la figura 2.8 [6].

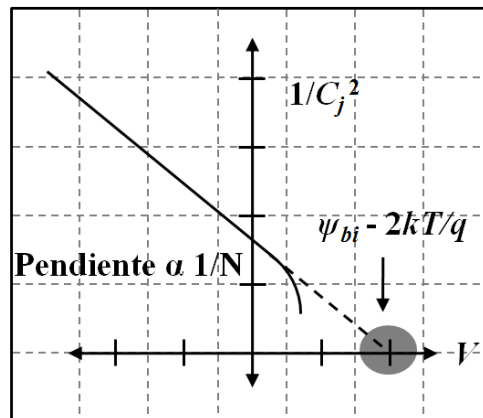


Figura 2.8. Extracción del potencial interconstruido ψ_{bi} a partir de la extrapolación del inverso del cuadrado de la capacitancia de unión en función del voltaje aplicado.

2.5.2. Extracción del voltaje de umbral del MOSFET en la región lineal

Existen diferentes métodos para hallar el voltaje de umbral del transistor en la región lineal ($V_d \ll V_g - V_{th}$), los cuales son:

- Método de corriente constante: En este caso se considera el voltaje de compuerta para un valor arbitrario y constante de la corriente de drenaje. En principio, se puede usar el valor $(W_m/L_m) \times 10^{-7}$ para la corriente de drenaje, donde W_m es el ancho y L_m es la longitud del transistor [35]. De hecho, es un método muy simple que puede ser usado con facilidad. Por ello, ha sido usado ampliamente en la industria. No obstante, se tiene una variación muy alta de los valores extraídos al seleccionar diferentes valores para la corriente de drenaje, siendo muy inexacto.

- Método ELR (extrapolación en la región lineal, por sus siglas en inglés): Éste es el método más popular y consiste en extraer el voltaje de umbral de la curva de la corriente de drenaje en función del voltaje de compuerta ($I_d - V_{gs}$). Para ello, se halla el voltaje de compuerta para el cual la primera derivada (la transconductancia) es máxima. Luego, se traza una recta tangente en el punto de voltaje de compuerta encontrado en la curva $I_d - V_{gs}$. Finalmente, el voltaje de umbral corresponde al corte de la recta tangente en $I_d = 0A$, como se ilustra en la figura 2.9. Por otro lado, el valor máximo de la pendiente puede ser incierto debido al comportamiento no ideal de la característica $I_d - V_{gs}$, que se da por la degradación de la movilidad y las resistencias parásitas de fuente y drenaje [36].

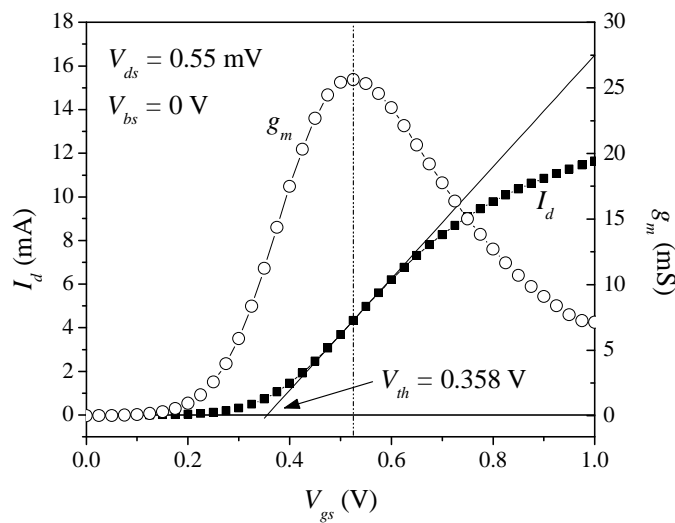


Figura 2.9. Extracción del voltaje de umbral mediante el método ELR. Los datos corresponden a un dispositivo RF-MOSFET con longitud del canal de 80 nm, considerado en este trabajo.

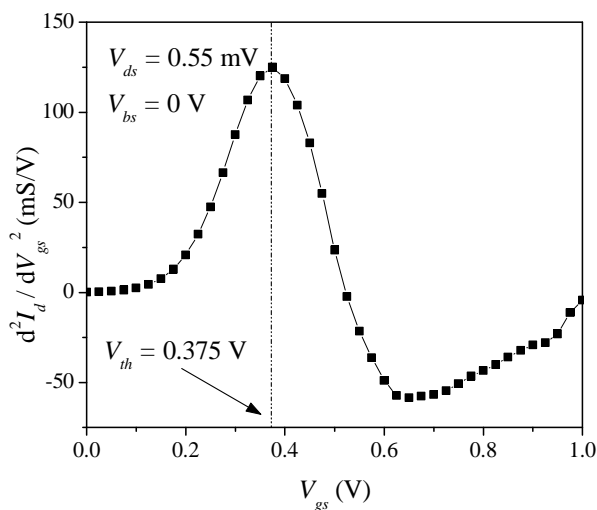


Figura 2.10. Extracción del voltaje de umbral mediante el método de la segunda derivada. Los datos corresponden a un dispositivo RF-MOSFET con longitud del canal de 80 nm, considerado en este trabajo.

- Método SD (segunda derivada, por sus siglas en inglés): El método se basa en la determinación del voltaje de umbral cuando la derivada de la transconductancia ($dg_m/dV_{gs} = d^2I_d/dV_{gs}^2$) es máxima [37], como se muestra en la figura 2.10. Éste fue implementado para evitar la dependencia de la extracción del voltaje de umbral del transistor con las resistencias en serie. Sin embargo, se tiene una alta sensibilidad con el ruido luego de ser aplicada la segunda derivada de las mediciones $I_d - V_{gs}$.
- Método GMLE (extrapolación de la transconductancia, por sus siglas en inglés): En este método, propuesto en 1998, se halla el voltaje de umbral a partir del intercepto en el eje x de la recta tangente que pasa por el voltaje de compuerta de la curva $g_m - V_{gs}$ en el cual la derivada de la transconductancia es máxima [38]. Esto se sustenta en varios aspectos, la transconductancia varía exponencialmente con la polarización de compuerta en inversión débil. A su vez, la transconductancia en inversión fuerte es constante si se desprecian las resistencias en serie además de la degradación de la movilidad, que por el contrario, tiende a decrecer lentamente con respecto al voltaje de compuerta. De hecho, la región de transición entre inversión fuerte y débil se presenta cuando la transconductancia tiene una dependencia lineal con el voltaje de compuerta, como se muestra en la figura 2.11.

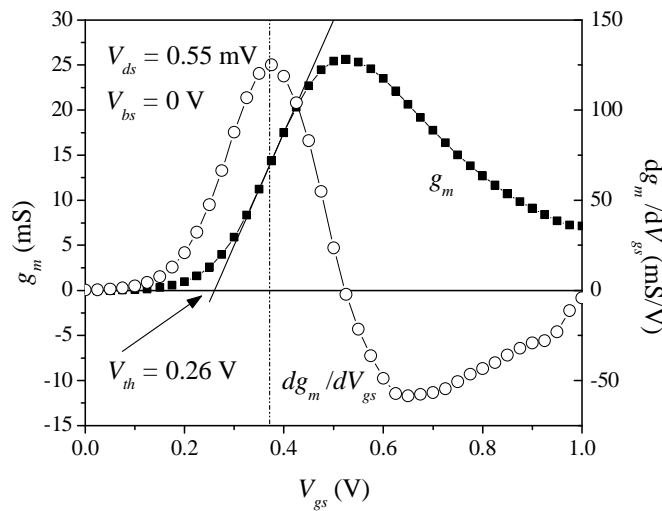


Figura 2.11. Extracción del voltaje de umbral mediante el método de extrapolación de la transconductancia. Los datos corresponden a un dispositivo RF-MOSFET con longitud del canal de 80 nm, considerado en este trabajo.

- Método RM (método del cociente, por sus siglas en inglés): Este se fundamenta en la determinación del voltaje de umbral a partir de la razón entre la corriente de drenaje y la raíz cuadrada de la transconductancia ($I_d / g_m^{0.5}$) [39], como se presenta en la figura 2.12. De esta manera, se evita la dependencia de la extracción del voltaje de umbral con la degradación de la movilidad, las resistencias parásitas en serie y los efectos de saturación de la velocidad.

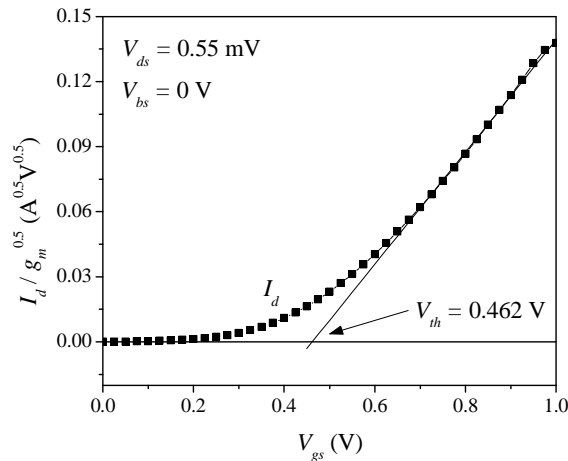


Figura 2.12. Extracción del voltaje de umbral mediante el método RM. Los datos corresponden a un dispositivo RF-MOSFET con longitud del canal de 80 nm, considerado en este trabajo.

- Método SDL (segunda derivada del logaritmo de la corriente de drenaje, por sus siglas en inglés): En este caso, el voltaje de umbral corresponde al voltaje de compuerta en el cual la segunda derivada del logaritmo de la corriente de drenaje ($d^2 \ln[I_d] / dV_{gs}^2$) llega a su valor mínimo, como se ilustra en la figura 2.13. En este valor las corrientes de difusión y deriva son iguales. A diferencia del método ELR, no se requiere de un bajo voltaje en la terminal de drenaje para ser utilizado.

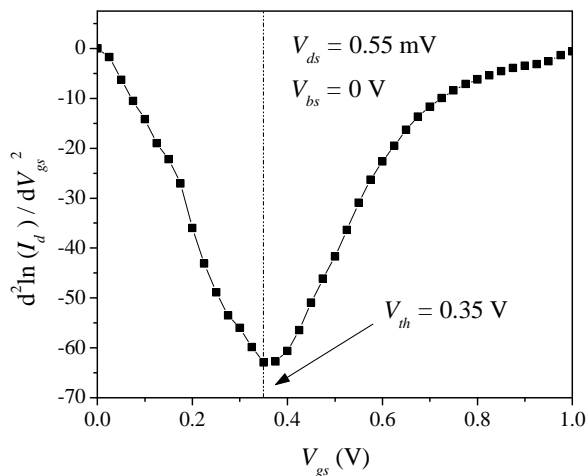


Figura 2.13. Extracción del voltaje de umbral mediante el método de la segunda derivada del logaritmo de la corriente de drenaje. Los datos corresponden a un dispositivo RF-MOSFET con longitud del canal de 80 nm, considerado en este trabajo.

2.5.3. Extracción del voltaje de umbral del MOSFET en la región de saturación

El método más usado para encontrar el voltaje de umbral en la región de saturación es el ESR (método de extrapolación en la región de saturación, por sus siglas en inglés). Para ello, se traza una recta tangente en el punto con el valor máximo de la primera derivada de

la curva $I_{dsat}^{0.5} - V_{gs}$. Luego, el corte con el eje x , que corresponde al voltaje de compuerta, es el voltaje de umbral del transistor. Las mediciones del dispositivo se hacen con $V_{ds} = V_{gs}$ para garantizar la región de saturación.

2.5.4. Extracción del potencial de cuerpo, la concentración de impurezas en el sustrato y el voltaje de banda plana

El potencial de cuerpo (ψ_B) se obtiene a partir del ajuste de la curva del voltaje de umbral (V_{th}) en función del voltaje de sustrato (V_{bs}) con base en la ecuación (2.1). A su vez, el potencial de cuerpo está relacionado con el logaritmo de la razón entre la concentración de impurezas en el sustrato (N_A) y la concentración intrínseca (n_i); por consiguiente, la concentración de impurezas se puede hallar de forma indirecta a partir de la ecuación (2.2). Finalmente, la linealización de la gráfica del voltaje de umbral contra el voltaje de sustrato permite encontrar el voltaje de banda plana (V_{FB}) por extrapolación en $(2\psi_B - V_{bs}) = 0$ [6].

$$V_{th} = V_{FB} + 2\psi_B + \frac{\sqrt{2\epsilon_s q N_A (2\psi_B - V_{bs})}}{C_{OX}} \quad (2.1)$$

$$N_A = n_i \exp\left(\psi_B \frac{q}{kT}\right) \quad (2.2)$$

2.5.5. Extracción de parámetros mediante mediciones de AC

Las mediciones de AC son imprescindibles en la caracterización de dispositivos RF-MOSFET. Algunas técnicas orientadas hacia la extracción de parámetros a partir de este tipo de mediciones emplean parámetros S. Para ello, la polarización del transistor se puede hacer a un punto de operación fijo o por medio de pulsos sobrepuestos a la señal de voltaje. Estas dos maneras de realizar mediciones se presentan a continuación:

- Polarización del transistor en un punto de operación fijo: En este caso, la extracción de parámetros de acuerdo al modelo propuesto es directa. Para ello, se acentúa el efecto de unos parámetros con respecto a otros con base en el estímulo de voltaje aplicado. Sin embargo, se desprecian los efectos derivados del voltaje DC, como el atrapamiento de carga o los efectos térmicos del transistor. Esto se puede corregir mediante la variación de temperatura cuando se cambia la polarización del dispositivo [40].
- Pulsos sobrepuestos a la señal de voltaje: Mediante este método es posible modelar los efectos no lineales del transistor. Entre las más conocidas se encuentran el atrapamiento de carga producto de la ionización por impacto o auto-calentamiento, y las corrientes de fuga en las uniones fuente-sustrato y drenaje-sustrato [41].

En este trabajo en particular, se hacen mediciones de parámetros S basadas en redes de dos puertos de un RF-MOSFET con polarización en un punto de operación fijo. A su vez, el

transistor considerado tiene una terminal separada para el sustrato que permite hacer un análisis más detallado de los elementos del modelo en pequeña señal, tales como las capacitancias de unión y la resistencia del canal; éstos dan paso a la determinación de los parámetros físicos mencionados anteriormente a partir de ajustes de los datos experimentales. Esto se hace en detalle en el capítulo 4.

2.6. Conclusiones

En este capítulo, se explicaron los elementos que conforman el circuito equivalente de pequeña señal del RF-MOSFET, los cuales están divididos en elementos intrínsecos y extrínsecos. Algunos de estos elementos dependen del voltaje de sustrato o del voltaje de compuerta, de los cuales se destacan las capacitancias de unión y la resistencia del canal. Asimismo, se presentaron los parámetros físicos involucrados en el transistor y los efectos de canal corto que deben ser tenidos en cuenta en los modelos. Por otro lado, los métodos basados en mediciones de DC para hallar el voltaje de umbral que han sido estudiados servirán de soporte para comparar sus resultados con los obtenidos mediante mediciones de RF. Luego de obtenerse el voltaje de umbral para diferentes valores del voltaje de sustrato, se puede hallar el potencial de cuerpo, la concentración de impurezas y el voltaje de banda plana, puesto que estos parámetros están directamente relacionados con el voltaje de umbral.

Por otro lado, en el siguiente capítulo se presentarán los detalles experimentales. Así, se expondrán las mediciones basadas en parámetros de dispersión, las estructuras de prueba, los procedimientos de calibración y desincrustación, y finalmente, las condiciones de polarización empleadas durante la ejecución del trabajo.

Capítulo 3

Implementación experimental

A lo largo del capítulo, se explica la significancia y uso de los parámetros S asociados con redes de dos puertos. Además, se presenta el procedimiento llevado a cabo para determinar los efectos parásitos debidos a las puntas de prueba, los cables y la plataforma utilizados para su obtención experimental. Para ello, se emplean estructuras de prueba y algoritmos de calibración. Esto permite hallar los datos experimentales propios del dispositivo bajo prueba. Luego, se exponen las estructuras consideradas durante el desarrollo del trabajo y las condiciones de polarización usadas para encontrar los elementos asociados al circuito equivalente.

3.1. Mediciones de parámetros S

En la extracción de los elementos asociados al circuito equivalente es necesario hacer mediciones de parámetros S (parámetros de dispersión) para obtener, a partir de cálculos teóricos, los parámetros de admitancia o impedancia [42]. De esta manera, se puede caracterizar el dispositivo basado en parámetros de dos puertos. Adicionalmente, se requiere de estructuras en circuito abierto (en inglés *open*) y con todos los pads en corto circuito (en inglés *short-all*) para abstraer del dispositivo bajo prueba (DUT, por sus siglas en inglés) el efecto debido a la plataforma. Este procedimiento es conocido con el nombre de desincrustación.

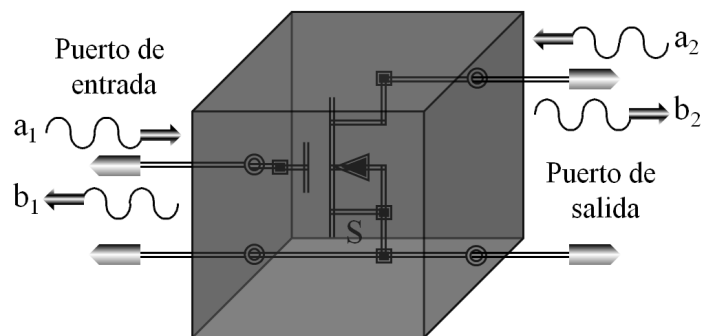


Figura 3.1. Parámetros de dos puertos con la definición de los parámetros S en el MOSFET.

En la medición de parámetros S se emplea una señal AC de alta frecuencia sobrepuesta a la polarización DC en la entrada de las terminales. Desde luego, la polarización DC está relacionada con el punto de operación que se desea estudiar. En el caso de los transistores MOS se usan diferentes condiciones de polarización. Cada una de ellas permite acentuar el efecto de algunos elementos del circuito equivalente con respecto a otros. De esta manera, se reduce el número de ecuaciones, despreciando los elementos que no interfieren

significativamente en los ajustes de los datos experimentales. Por otro lado, la señal AC de entrada es conocida como onda de voltaje incidente (a_1). Una parte de a_1 se refleja hacia la fuente (b_1), mientras que la otra parte se transmite hacia la carga (b_2). A su vez, si la carga no está acoplada, existirá reflexión en el puerto 2 (a_2). En la figura 3.1 se presenta un esquema de las ondas de voltaje involucradas en el dispositivo MOSFET con fuente-substrato común.

3.1.1. Calibración del equipo de pruebas

En la figura 3.2 se presenta un esquema del montaje experimental, empleado durante la ejecución del trabajo. Asimismo, se aprecian las puntas de prueba CASCADE G-S-G coplanares de RF con 100 μm de separación entre agujas, conectadas a los puertos de entrada y salida del dispositivo. Además, se cuenta con el analizador de redes vectorial (VNA) Agilent E8361A y la fuente de alimentación Keithley 2400 para la polarización del dispositivo. La fuente de alimentación es conectada al DUT a través del VNA. Luego de encender el equipo y ubicar las puntas de prueba se procede con la calibración. Ésta consiste en un procedimiento estándar para abstraer los efectos asociados a las puntas y cables de prueba del DUT en el equipo de medición de los parámetros S, que debe ser hecho antes de cada sesión de medida. Por consiguiente, hay substratos especiales con las estructuras de calibración, las cuales son proporcionadas por el fabricante de los equipos. Por ejemplo, la empresa CASCADE emplea el substrato número 101-190C, que reúne a las estructuras de prueba *separate*, *thru*, *short* y *match*. Luego, mediante el software del equipo de trabajo se efectúan los algoritmos de calibración. En este sentido, se han implementado diferentes métodos matemáticos tales como SOLT (*Short-Open-Load-Thru*), TRL (*Thru-Reflect-Line*) y LRM (*Line-Reflect-Match*) [43], los cuales se basan en la solución de una serie de ecuaciones obtenidas a partir de la medida de las estructuras de prueba. Así, se elimina el error debido a la desviación de las mediciones propias del DUT con las obtenidas en la práctica.

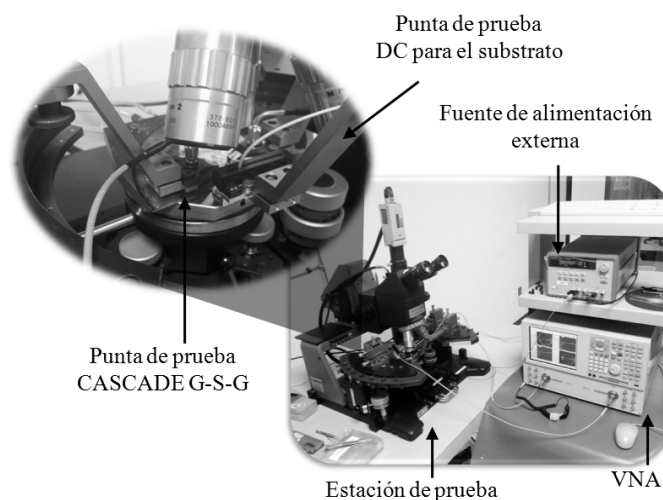


Figura 3.2. Montaje experimental para las mediciones de la estructura RF-NMOS con terminal separado para el substrato.

En la figura 3.3 se ilustran las estructuras de calibración utilizadas en la técnica SOLT. Por otro lado, en la figura 3.4 se presenta una microfotografía del dispositivo RF-MOSFET en la cual está sobrepuesta las puntas de prueba de los puertos de entrada-salida y de DC para la polarización del sustrato, resaltando el plano de calibración.

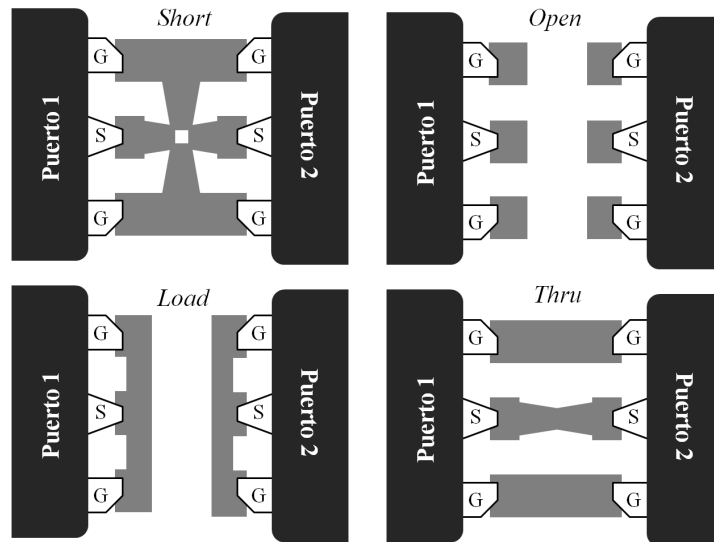


Figura 3.3. Esquema de las estructuras de calibración SOLT.

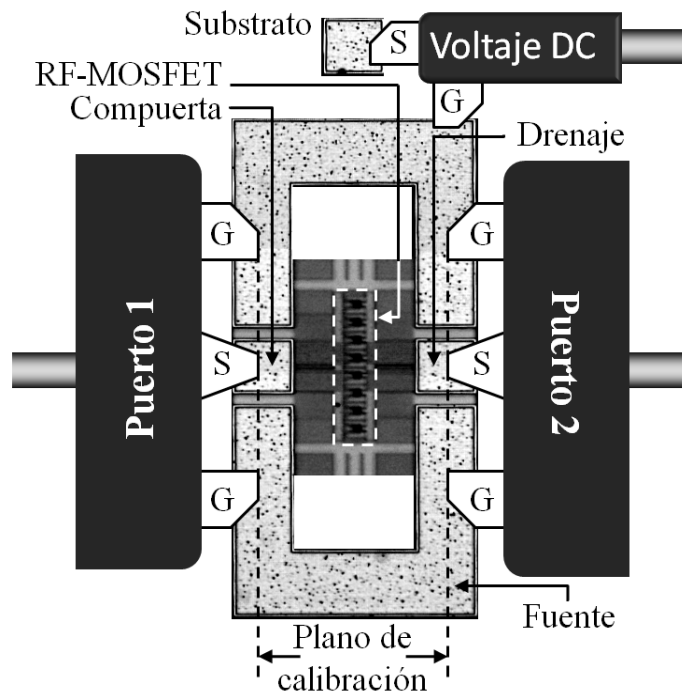


Figura 3.4. Microfotografía del MOSFET, ilustrando las puntas de prueba y el plano de calibración.

3.1.2. Desincrustación de los datos experimentales

Después de la calibración, las medidas obtenidas durante la práctica todavía involucran desde la plataforma y las líneas metálicas hasta el dispositivo. Así, se requiere de la medición de estructuras de prueba para determinar los parámetros S propios del DUT. Por esta razón, en la oblea destinada para las pruebas se cuenta con estructuras de prueba como el *open* y el *short-all*. Los elementos parásitos atribuidos a la plataforma y a las líneas metálicas conforman circuitos RLC [44]. En la figura 3.5 se presenta un ejemplo de la distribución de elementos a partir de impedancias en serie y admitancias en paralelo, propuesto por Cho y Burk [45].

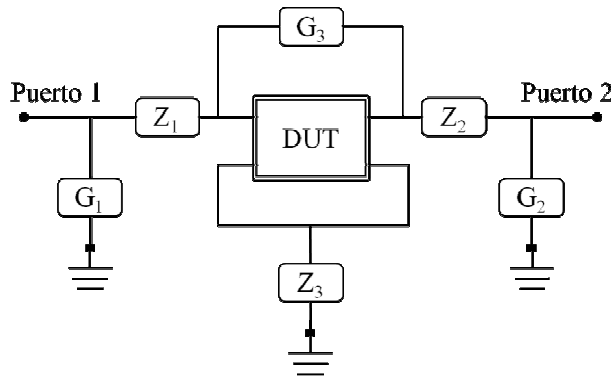


Figura 3.5. Esquema del circuito equivalente para la desincrustación de la estructura de la plataforma.

3.2. Descripción de los dispositivos y detalles experimentales

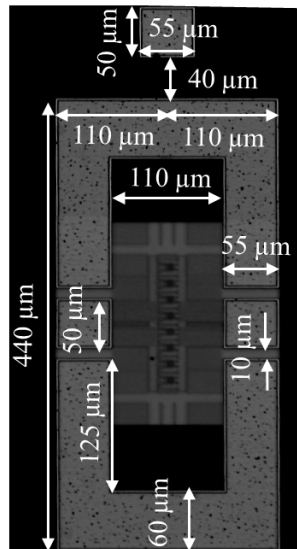


Figura 3.6. Microfotografía de la estructura RF-NMOS, resaltando las dimensiones de la plataforma.

El arreglo de dispositivos y estructuras de prueba fue fabricado en el IMEC, Bélgica. En éste, se cuenta con las estructuras *open* y *short-all* para hacer la desincrustación de los datos experimentales, además del dispositivo RF-MOSFET. En la figura 3.6 se ilustra la distribución y las dimensiones de la plataforma. De hecho, en el transistor existe un blindaje (M_1) debajo de todas las interconexiones y de la plataforma. A su vez, la plataforma de tierra está por debajo de M_1 . El blindaje evita el acople entre parejas de contactos a través del substrato cuando se hacen las mediciones de RF. Así, esta configuración permite un mejor confinamiento del campo eléctrico en las puntas de prueba semejante al observado en una guía de onda coplanar [46-48], como se presenta en la figura 3.7. Por otro lado, hay una gran área activa por debajo del blindaje de tierra M_1 , la cual está conectada al terminal de polarización de DC. De esta manera, se puede hacer la polarización DC del substrato mientras se toman las medidas de RF.

Los dispositivos caracterizados a lo largo del trabajo corresponden a transistores MOS de canal n en la configuración de fuente común con una terminal separada para polarización DC del substrato, los cuales fueron fabricados en un substrato tipo p. El RF-nMOS está escalado a una tecnología de 80 nm ($L_f = 80$ nm) con un ancho de canal de 3 μm ($W_f = 3$ μm) y tiene 64 dedos de compuerta ($NF = 64$).

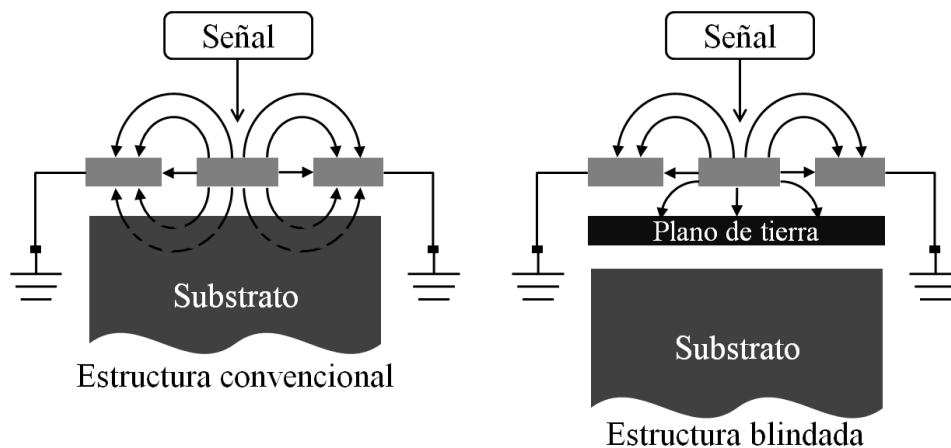


Figura 3.7. Esquemas de una estructura convencional y blindada. En la convencional se observa acoplamiento entre contactos a través del substrato, ilustrado por la línea punteada.

3.3. Condiciones de polarización

El RF-MOSFET presenta diferentes comportamientos de acuerdo a las condiciones de polarización. De esta manera, se tiene la región lineal, trío y de saturación. A su vez, la extracción de cada uno de los elementos del circuito equivalente de pequeña señal se hace con determinados valores de polarización, de tal manera que se acentúe el parámetro que se desea extraer. Así, la red parásita del substrato se obtiene con el transistor apagado, para el cual el canal no está formado y la corriente circula por el substrato. Esto permite despreciar la resistencia del canal y la capacitancia entre drenaje y fuente. Luego, estos elementos son encontrados en inversión fuerte. De hecho, a partir del inverso de la resistencia del canal en función del voltaje de compuerta se puede hallar por extrapolación el voltaje de umbral.

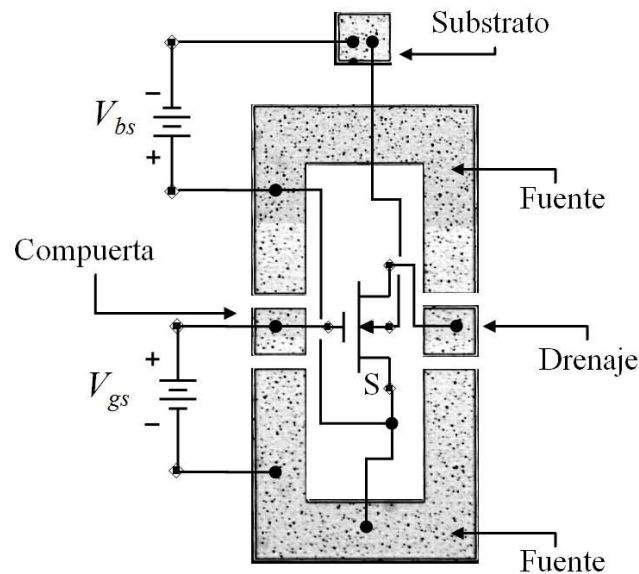


Figura 3.8. Esquema de polarización de la compuerta y el substrato del RF-MOSFET con la fuente como terminal común.

Para las condiciones de polarización se consideraron variaciones en los voltajes de compuerta (V_{gs}) y substrato (V_{bs}) con respecto al terminal de fuente, como se muestra en la figura 3.8. El rango de voltajes usados en la compuerta se hizo entre 0.55 V y 0.65 V en pasos de 0.01 V, incluyendo $V_{gs} = 0$ V. En el caso del substrato, el rango de voltajes varía desde -1.2 V hasta 0 V en pasos de 0.1 V.

3.4. Conclusiones

En este capítulo, se presentó secuencialmente el procedimiento llevado a cabo en la parte experimental. De esta manera, se definió inicialmente la medición de los parámetros de dispersión, basados en redes de dos puertos. Luego, se continuó con la explicación de las etapas de calibración y desincrustación, las cuales son muy importantes en el proceso de obtención de los datos experimentales propios del dispositivo bajo prueba ya que se sustrae el efecto asociado a las puntas de prueba, los cables y la plataforma. Posteriormente, se expusieron las consideraciones dadas para el transistor nMOS de RF, utilizado en este trabajo. Por último, se mostraron las condiciones de polarización empleadas en el laboratorio, que corresponden a fuerte inversión y al transistor apagado.

Con base en lo anterior, en el próximo capítulo se presentarán los resultados obtenidos del trabajo. De esta forma, se obtendrán todos los elementos asociados al circuito equivalente de pequeña señal y los parámetros físicos del transistor MOS. A su vez, los parámetros físicos hallados mediante mediciones de RF se compararán con los de mediciones de DC.

Capítulo 4

Resultados y discusión

Luego de hacer las mediciones de parámetros S y llevar a cabo los procedimientos de calibración y desincrustación, descritos en el capítulo anterior, se necesita hacer la extracción de los elementos del modelo en pequeña señal del RF-MOSFET. Después se prosigue con la validación de la metodología de extracción mediante la comparación de las simulaciones con los datos experimentales. En este trabajo, se cuenta con una estructura nueva que posee una terminal separada para la polarización del sustrato respecto a la fuente. De esta manera, se pueden obtener parámetros del transistor MOS tales como el potencial interconstruido, el voltaje de umbral, el potencial de cuerpo, la concentración de impurezas en el sustrato y el voltaje de banda plana. Adicionalmente, las capacitancias de unión, las cuales forman un camino de conducción a través del sustrato, son halladas en función del voltaje de sustrato. De acuerdo a lo mencionado anteriormente, el RF-MOSFET con conexión DC para el sustrato puede ser caracterizado por completo a través de mediciones de RF, obteniéndose valores similares al caso de mediciones de DC. Así, en este capítulo se presenta secuencialmente los pasos requeridos para la obtención de los parámetros asociados al dispositivo bajo prueba. Para ello, en las condiciones de polarización del transistor se consideraron 2 regímenes, apagado y fuerte inversión. En el caso del transistor apagado, se acentúa el efecto asociado a la red parásita del sustrato, puesto que la resistencia del canal es muy alta; mientras que en fuerte inversión el canal ya está formado y la resistencia del canal es pequeña, siendo considerablemente mayor la corriente a través del canal en comparación con la corriente del sustrato.

4.1. Caracterización del RF-MOSFET apagado con el voltaje de sustrato en 0V

En la figura 4.1 se ilustra el circuito equivalente del transistor MOS apagado sin despreciar los parámetros parásitos del sustrato. En ésta, C_{js} y C_{jd} corresponden a las capacitancias de unión de fuente y drenaje. A su vez, C_{gs0} , C_{gd0} y C_{gb} representan las capacitancias de compuerta-fuente, compuerta-drenaje y compuerta-sustrato, respectivamente; R_{sb} , R_{db} , R_{dsb1} y R_{dsb2} forman la red de resistencias del sustrato. Puesto que las resistencias R_{dsb1} y R_{dsb2} son muy pequeñas, el circuito puede ser simplificado como se muestra al lado derecho de la figura 4.1. De hecho, los valores de las resistencias R_{dsb1} y R_{dsb2} son dos órdenes de magnitud menores que los valores de R_{sb} y R_{db} [49], como se muestra en la tabla 4.1. Así, R_{sb} y R_{db} quedan orientadas en paralelo, lo cual es presentado como R_b en la figura.

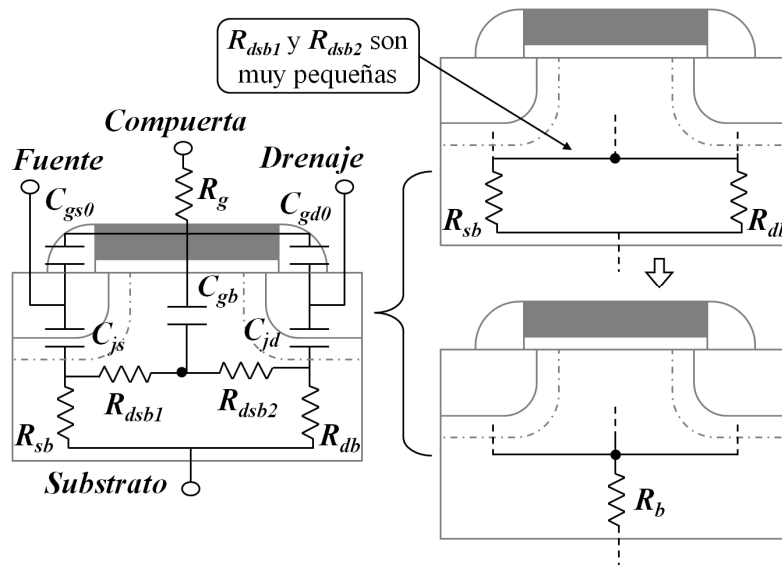


Figura 4.1. Esquema del circuito equivalente del RF-MOSFET apagado, con y sin despreciar R_{dsb1} y R_{dsb2} en la red parásita del sustrato.

Tabla 4.1. Orden de magnitud de los parámetros del RF-MOSFET apagado, considerando un canal de 0.13 μm de longitud y 1.8 μm de ancho [49].

Parámetro	Detalle	Orden de magnitud	Unidades
R_g	Resistencia de compuerta	10^0	Ω
C_{gs0}	Capacitancia compuerta-fuente	10^{-13}	F
C_{gd0}	Capacitancia compuerta-drenaje	10^{-13}	F
C_{gb}	Capacitancia compuerta-sustrato	10^{-15}	F
C_{js}	Capacitancia de unión en la fuente	10^{-13}	F
C_{jd}	Capacitancia de unión en el drenaje	10^{-13}	F
R_{dsb1}, R_{dsb2}	Resistencias del sustrato	10^0	Ω
R_{sb}	Resistencia fuente-sustrato	10^2	Ω
R_{db}	Resistencia drenaje-sustrato	10^2	Ω
$R_b = R_{sb} \parallel R_{db}$	Resistencia del sustrato con R_{dsb1} y R_{dsb2} muy pequeñas	5×10^1	Ω

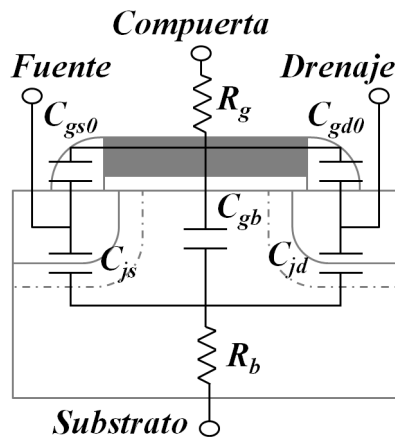


Figura 4.2. Esquema del circuito equivalente del RF-MOSFET apagado, considerado en este trabajo.

A continuación se describe el procedimiento llevado a cabo para el cálculo de los parámetros de admitancia e impedancia del circuito equivalente presentado en la figura 4.2, considerando el RF-MOSFET apagado.

A. Admitancia Y_{11}

El circuito resultante para la admitancia de entrada Y_{11} se muestra en la figura 4.3; en ésta, es importante destacar que las terminales de fuente (S) y sustrato (B) están conectados al mismo nodo AC porque la polarización de sustrato con respecto a la fuente se hace a través de una punta de prueba CASCADE compensada. A su vez, el circuito dado para Y_{11} es reducido e ilustrado en la figura 4.4. El desarrollo matemático se enuncia en las ecuaciones (4.1) a (4.16); donde las ecuaciones (4.15) y (4.16) corresponden a la parte imaginaria y real de Y_{11} , respectivamente.

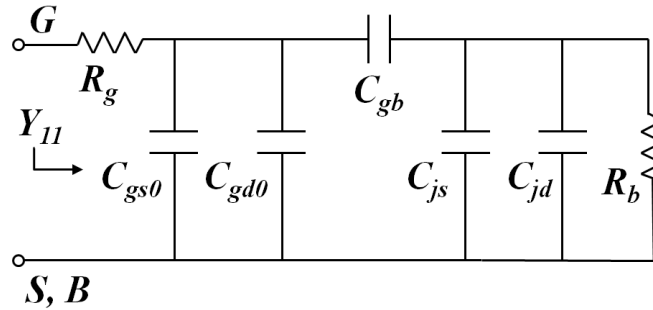


Figura 4.3. Circuito equivalente para Y_{11} . Las letras G, S y B hacen referencia a la compuerta, fuente y sustrato, respectivamente.

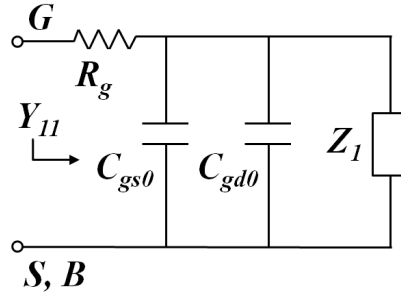


Figura 4.4. Circuito reducido para Y_{11} . Las letras G, S y B hacen referencia a la compuerta, fuente y sustrato, respectivamente.

A continuación, se presenta la impedancia Z_1 del circuito de la figura 4.4:

$$Z_1 = \frac{1}{j\omega C_{gb}} + \frac{1}{j\omega(C_{js} + C_{jd})} \parallel R_b \quad (4.1)$$

Por otro lado, se define Z_2 como:

$$Z_2 = R_g + \frac{1}{j\omega(C_{gs0} + C_{gd0})} \parallel Z_1 \quad (4.2)$$

$$Y_{11} = \frac{1}{Z_2} \quad (4.3)$$

A su vez, C_{gb} es 2 órdenes de magnitud menor en comparación con $(C_{js} + C_{jd})$, como se ilustra en la tabla 4.1. Asimismo, la impedancia debida a C_{gb} es mayor a la del paralelo entre $(C_{js} + C_{jd})$ y R_b . Esto se cumplirá, aún sin considerar C_{js} . Así, se tiene:

$$\left| \frac{1}{j\omega C_{gb}} \right| \gg \left| \frac{1}{j\omega(C_{js} + C_{jd})} \parallel R_b \right| \quad (4.4)$$

$$Z_1 \approx \frac{1}{j\omega C_{gb}} \quad (4.5)$$

Así, al reemplazar la ecuación (4.5) en (4.2) se llega a la expresión (4.6).

$$Z_2 \approx R_g + \frac{1}{j\omega(C_{gs0} + C_{gd0})} \parallel \frac{1}{j\omega C_{gs}} \quad (4.6)$$

$$Z_2 \approx R_g + \frac{1}{j\omega(C_{gs0} + C_{gd0} + C_{gb})} \quad (4.7)$$

Con:

$$C_1 \approx C_{gs0} + C_{gd0} + C_{gb} \quad (4.8)$$

$$Z_2 \approx R_g + \frac{1}{j\omega C_1} \quad (4.9)$$

$$Y_{11} = \frac{1}{Z_2} \approx \frac{\omega^2 R_g C_1^2}{1 + \omega^2 R_g^2 C_1^2} + \frac{j\omega C_1}{1 + \omega^2 R_g^2 C_1^2} \quad (4.10)$$

De acuerdo al orden de magnitud de los parámetros R_g y $C_1 \approx C_{gs0} + C_{gd0} + C_{gb}$ con base en la tabla 4.1 se puede aproximar la ecuación (4.10) en (4.12), considerando la frecuencia máxima empleada para los ajustes de los datos experimentales ($f = 20 \times 10^9$ Hz). Para ello, se tiene:

$$\omega^2 R_g^2 C_1^2 \approx (2\pi \times 20 \times 10^9 \times 10^0 \times 10^{-13})^2 = 1.58 \times 10^{-4} \ll 1 \quad (4.11)$$

$$Y_{11} \approx \frac{1}{Z_2} \approx \omega^2 R_g C_1^2 + j\omega C_1 \quad (4.12)$$

Así, la parte imaginara y real de Y_{11} es:

$$\text{Im}(Y_{11}) \approx \omega(C_{gs0} + C_{gd0} + C_{gb}) \quad (4.13)$$

$$\text{Re}(Y_{11}) \approx \omega^2 R_g (C_{gs0} + C_{gd0} + C_{gb})^2 \quad (4.14)$$

B. Impedancia Z_{11}

El circuito equivalente de Z_{11} se presenta en la figura 4.5.

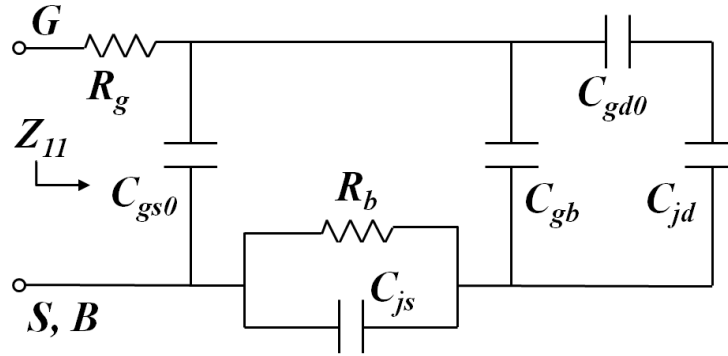


Figura 4.5. Circuito equivalente para Z_{11} . Las letras G, S y B hacen referencia a la compuerta, fuente y sustrato, respectivamente.

$$C_2 = C_{gb} + \frac{C_{gd0}C_{jd}}{C_{gd0} + C_{jd}} \quad (4.15)$$

$$Z_3 = R_b \parallel \frac{1}{j\omega C_{js}} = \frac{R_b}{1 + \omega^2 C_{js}^2 R_b^2} - j \frac{\omega C_{js} R_b^2}{1 + \omega^2 C_{js}^2 R_b^2} \quad (4.16)$$

$$Z_{11} = R_g + \frac{1}{j\omega C_{gs0}} \parallel \left(Z_3 + \frac{1}{j\omega C_2} \right) \quad (4.17)$$

En la ecuación (4.16) se muestra la expresión para Z_{11} . A su vez, C_2 y Z_3 , referenciadas en las ecuaciones (4.14) y (4.15), se ilustran en el circuito de la figura 4.6.

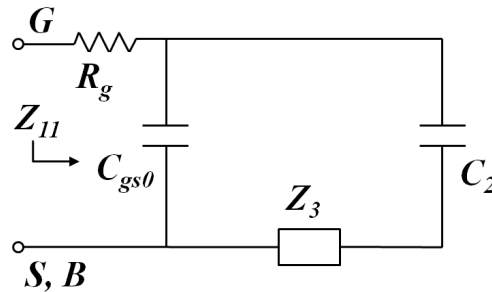


Figura 4.6. Circuito reducido para Z_{11} . Las letras G, S y B hacen referencia a la compuerta, fuente y sustrato, respectivamente.

El orden de magnitud de los parámetros R_b y C_{js} se muestra en la tabla 4.1. A su vez, en frecuencias menores o iguales a 4×10^9 Hz el efecto de la capacitancia C_{js} no es significativo, como se observará más adelante en los ajustes de los datos experimentales. De esta manera, se obtiene:

$$\omega^2 C_{js}^2 R_b^2 \approx (2\pi \times 4 \times 10^9 \times 10^{-13} \times 5 \times 10^1)^2 = 1.58 \times 10^{-2} \ll 1 \quad (4.18)$$

$$Z_3 \approx R_b - j\omega C_{js} R_b^2 \approx R_b \quad (4.19)$$

$$Z_{11} \approx R_g + \frac{1}{j\omega C_{gs0}} \parallel \left(R_b + \frac{1}{j\omega C_2} \right) \quad (4.20)$$

$$Z_{11} \approx R_g + \frac{\frac{1}{j\omega C_{gs0}} \left(R_b + \frac{1}{j\omega C_2} \right)}{\frac{1}{j\omega C_{gs0}} + R_b + \frac{1}{j\omega C_2}} \quad (4.21)$$

$$Z_{11} \approx R_g + \frac{R_b - \frac{j}{\omega C_2}}{\left(1 + \frac{C_{gs0}}{C_2} \right) + j\omega C_{gs0} R_b} \quad (4.22)$$

$$\text{Re}(Z_{11}) \approx R_g + \frac{\left(1 + \frac{C_{gs0}}{C_2} \right) R_b - \frac{C_{gs0}}{C_2} R_b}{\left(1 + \frac{C_{gs0}}{C_2} \right)^2 + \omega^2 C_{gs0}^2 R_b^2} \quad (4.23)$$

La parte real de Z_{11} , ver ecuación (4.23), puede ser reducida mediante la aproximación dada en (4.24) con R_b y C_{gs0} extraídos de la tabla 4.1. La frecuencia de 4×10^9 Hz se debe a la condición interpuesta por la capacitancia C_{js} , como se menciono anteriormente. De esta manera, se llega a la expresión (4.25).

$$\omega^2 C_{gs0}^2 R_b^2 \approx (2\pi \times 4 \times 10^9 \times 10^{-13} \times 5 \times 10^1)^2 = 1.58 \times 10^{-2} \ll \left(1 + \frac{C_{gs0}}{C_2} \right)^2 \approx 4 \quad (4.24)$$

$$\text{Re}(Z_{11}) \approx R_g + \frac{R_b}{\left(1 + \frac{C_{gs0}}{C_{gb} + \frac{C_{gd0} C_{jd}}{C_{gd0} + C_{jd}}} \right)^2} \quad (4.25)$$

Por otro lado, la parte imaginaria de Z_{11} es:

$$\text{Im}(Z_{11}) \approx -\frac{\omega C_{gs0} R_b^2 - \frac{1}{\omega C_2} \left(1 + \frac{C_{gs0}}{C_2} \right)}{\left(1 + \frac{C_{gs0}}{C_2} \right)^2 + \omega^2 C_{gs0}^2 R_b^2} \quad (4.26)$$

De acuerdo a la tabla 4.1 la capacitancia C_2 está en un orden de magnitud de 10^{-13} F. Así, se tiene:

$$\omega C_{gs0} R_b^2 \approx 6.28 \Omega \ll \frac{1}{\omega C_2} \left(1 + \frac{C_{gs0}}{C_2} \right) \approx \frac{1}{2\pi \times 4 \times 10^9 \times 10^{-13}} \left(1 + \frac{10^{-13}}{10^{-13}} \right) \Omega = 795.77 \Omega \quad (4.27)$$

$$\text{Im}(Z_{11}) \approx -\frac{\frac{1}{\omega C_2} \left(1 + \frac{C_{gs0}}{C_2} \right)}{\left(1 + \frac{C_{gs0}}{C_2} \right)^2} = -\frac{1}{\omega (C_{gs0} + C_2)} \quad (4.28)$$

$$-\frac{1}{\text{Im}(Z_{11})} \approx \omega \left(C_{gs0} + C_{gb} + \frac{C_{gd0}C_{jd}}{C_{gd0} + C_{jd}} \right) \quad (4.29)$$

C. Admitancia Y_{22}

En la figura 4.7 se muestra el circuito equivalente para la admitancia Y_{22} . A su vez, al aplicar una transformación delta-estrella en los nodos 1-3 se llega al circuito ilustrado en la figura 4.8. La impedancia Z_3 está definida en la ecuación (4.19) para frecuencias bajas.

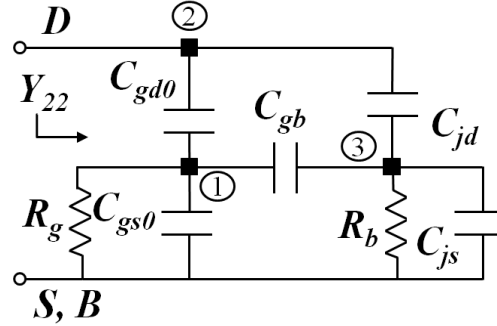


Figura 4.7. Circuito equivalente para Y_{22} . Las letras D, S y B hacen referencia al drenaje, fuente y sustrato, respectivamente.

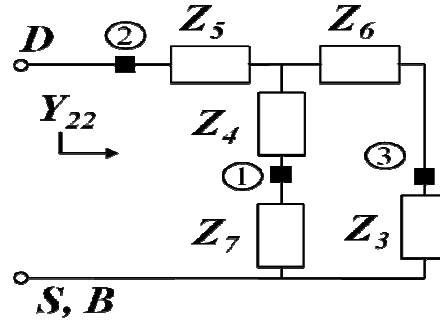


Figura 4.8. Circuito reducido para Y_{22} . Las letras D, S y B hacen referencia al drenaje, fuente y sustrato, respectivamente.

Las impedancias Z_4 a Z_7 de la figura 4.8 se definen en las ecuaciones (4.30) a (4.33). Los órdenes de magnitud de las capacitancias C_3 , C_4 y C_5 son 10^{-13} , 10^{-11} y 10^{-13} , respectivamente, los cuales se determinaron con base en la tabla 4.1.

$$Z_4 = \frac{1}{j\omega C_{gd0}C_{gb} \left(\frac{1}{C_{gd0}} + \frac{1}{C_{jd}} + \frac{1}{C_{gb}} \right)} = \frac{1}{j\omega C_3} \quad (4.30)$$

$$Z_5 = \frac{1}{j\omega C_{gd0}C_{jd} \left(\frac{1}{C_{gd0}} + \frac{1}{C_{jd}} + \frac{1}{C_{gb}} \right)} = \frac{1}{j\omega C_4} \quad (4.31)$$

$$Z_6 = \frac{1}{j\omega C_{gb}C_{jd} \left(\frac{1}{C_{gd0}} + \frac{1}{C_{jd}} + \frac{1}{C_{gb}} \right)} = \frac{1}{j\omega C_5} \quad (4.32)$$

$$Z_7 = R_g \parallel \frac{1}{j\omega C_{gs0}} = \frac{R_g}{1 + \omega^2 C_{gs0}^2 R_g^2} - j \frac{\omega C_{gs0} R_g^2}{1 + \omega^2 C_{gs0}^2 R_g^2} \quad (4.33)$$

De igual manera a las aproximaciones anteriores, la frecuencia de 4×10^9 Hz en la expresión (4.34) se debe a la condición dada para C_{js} .

$$\omega^2 C_{gs0}^2 R_g^2 \approx (2\pi \times 4 \times 10^9 \times 10^{-13} \times 10^0)^2 = 6.32 \times 10^{-6} \ll 1 \quad (4.34)$$

$$Z_7 \approx R_g - j\omega C_{gs0} R_g^2 \approx R_g \quad (4.35)$$

$$Z_8 = Z_5 + [(Z_4 + Z_7) \parallel (Z_6 + Z_3)] \quad (4.36)$$

$$Z_8 \approx Z_5 + [(Z_4 + R_g) \parallel (Z_6 + R_b)] \quad (4.37)$$

$$Z_8 \approx \frac{1}{j\omega C_4} + \left[\left(\frac{1}{j\omega C_3} + R_g \right) \parallel \left(\frac{1}{j\omega C_5} + R_b \right) \right] \quad (4.38)$$

La resistencia R_g es más o menos 2 % el valor de R_b . A su vez, las impedancias $(\omega C_3)^{-1}$ y $(\omega C_5)^{-1}$ son del orden de 397.89Ω para 4 GHz, considerando los valores presentados en la tabla 4.1. Por lo tanto, para un rango de frecuencias apropiado se obtiene la ecuación (4.39).

$$Z_8 \approx \frac{1}{j\omega C_4} + \left[\left(\frac{1}{j\omega C_3} \right) \parallel \left(\frac{1}{j\omega C_5} + R_b \right) \right] \quad (4.39)$$

$$Z_8 \approx \frac{1}{j\omega C_4} + \frac{\left(-\frac{1}{\omega^2 C_3 C_5} + \frac{R_b}{j\omega C_3} \right)}{\frac{1}{j\omega} \left(\frac{1}{C_3} + \frac{1}{C_5} \right) + R_b} \quad (4.40)$$

$$Z_8 \approx \frac{\left(R_b + \frac{C_4 R_b}{C_3} \right) j\omega + \left(\frac{1}{C_3} + \frac{1}{C_5} + \frac{C_4}{C_3 C_5} \right)}{j\omega C_4 \left(\frac{1}{C_3} + \frac{1}{C_5} \right) - \omega^2 C_4 R_b} \quad (4.41)$$

$$Y_{22} = \frac{1}{Z_8} \approx \frac{j\omega C_4 \left(\frac{1}{C_3} + \frac{1}{C_5} \right) - \omega^2 C_4 R_b}{\left(R_b + \frac{C_4 R_b}{C_3} \right) j\omega + \left(\frac{1}{C_3} + \frac{1}{C_5} + \frac{C_4}{C_3 C_5} \right)} \quad (4.42)$$

$$Y_{22} \approx \frac{[j\omega C_4 (C_3 + C_5) - \omega^2 C_3 C_4 C_5 R_b] [-(C_3 C_5 + C_4 C_5) j\omega R_b + (C_3 + C_4 + C_5)]}{(C_3 C_5 + C_4 C_5)^2 \omega^2 R_b^2 + (C_3 + C_4 + C_5)^2} \quad (4.43)$$

Así, la parte imaginaria de Y_{22} de acuerdo a la ecuación (4.43) es:

$$\text{Im}(Y_{22}) \approx \frac{\omega C_4 (C_3 + C_5) (C_3 + C_4 + C_5) - \omega^3 C_3 C_4 C_5 R_b^2 (C_3 C_5 + C_4 C_5)}{(C_3 C_5 + C_4 C_5)^2 \omega^2 R_b^2 + (C_3 + C_4 + C_5)^2} \quad (4.44)$$

A partir de las aproximaciones dadas en (4.44) y (4.45), se obtiene la ecuación (4.46).

$$\omega^3 C_3 C_4 C_5 R_b^2 (C_3 C_5 + C_4 C_5) \ll \omega C_4 (C_3 + C_5) (C_3 + C_4 + C_5) \quad (4.44)$$

$$(C_3 C_5 + C_4 C_5)^2 \omega^2 R_b^2 \ll (C_3 + C_4 + C_5)^2 \quad (4.45)$$

$$\text{Im}(Y_{22}) \approx \frac{\omega C_4 (C_3 + C_5)}{C_3 + C_4 + C_5} \quad (4.46)$$

$$\frac{C_4 (C_3 + C_5)}{C_3 + C_4 + C_5} = \left(\frac{1}{C_{gd0}} + \frac{1}{C_{jd}} + \frac{1}{C_{gb}} \right) \frac{(C_{jd} + C_{gd0}) C_{gd0} C_{jd} C_{gb}}{C_{gd0} C_{jd} + C_{jd} C_{gb} + C_{gd0} C_{gb}} = C_{jd} + C_{gd0} \quad (4.47)$$

$$\text{Im}(Y_{22}) \approx \omega (C_{jd} + C_{gd0}) \quad (4.48)$$

Por otro lado, la parte real de Y_{22} es:

$$\text{Re}(Y_{22}) \approx \frac{\omega^2 C_4 (C_3 + C_5) (C_3 C_5 + C_4 C_5) R_b - \omega^2 C_3 C_4 C_5 (C_3 + C_4 + C_5) R_b}{(C_3 C_5 + C_4 C_5)^2 \omega^2 R_b^2 + (C_3 + C_4 + C_5)^2} \quad (4.49)$$

$$C_4 (C_3 + C_5) (C_3 C_5 + C_4 C_5) - C_3 C_4 C_5 (C_3 + C_4 + C_5) = (C_4 C_5)^2 \quad (4.50)$$

$$\text{Re}(Y_{22}) \approx \omega^2 \left(\frac{C_4 C_5}{C_3 + C_4 + C_5} \right)^2 R_b \quad (4.51)$$

$$\text{Re}(Y_{22}) \approx \omega^2 C_{jd}^2 R_b \quad (4.52)$$

D. Impedancia Z_{22}

En el caso de Z_{22} , el circuito equivalente se presenta en la figura 4.9. Este puede ser redibujado como se muestra en la figura 4.10, empleando la conversión delta-estrella.

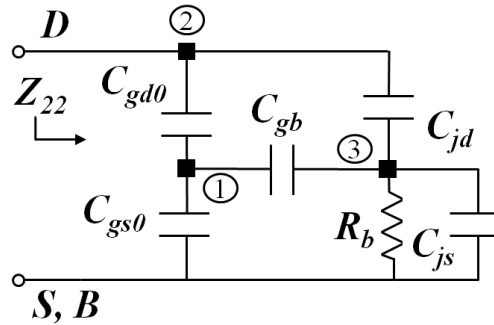


Figura 4.9. Circuito equivalente para Z_{22} . Las letras D, S y B hacen referencia al drenaje, fuente y sustrato, respectivamente.

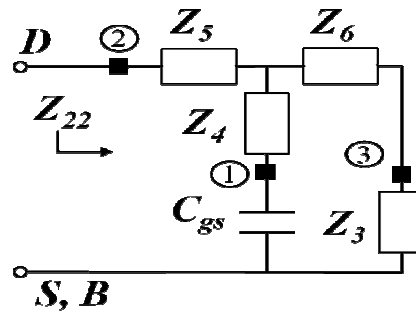


Figura 4.10. Circuito reducido para Z_{22} . Las letras D, S y B hacen referencia al drenaje, fuente y sustrato, respectivamente.

A continuación se hace el desarrollo matemático para Z_{22} .

$$Z_{22} = Z_5 + \left[(Z_3 + Z_6) \left\| \left(\frac{1}{j\omega C_{gs0}} + Z_4 \right) \right\| \right] \quad (4.53)$$

Haciendo uso de la aproximación dada en la ecuación (4.19) para Z_3 , se llega a:

$$Z_{22} \approx \frac{1}{j\omega C_4} + \left[\left(R_b + \frac{1}{j\omega C_5} \right) \left\| \left(\frac{1}{j\omega C_{gs0}} + \frac{1}{j\omega C_3} \right) \right\| \right] \quad (4.54)$$

$$C_6 = \frac{C_{gs0} C_3}{C_{gs0} + C_3} \quad (4.55)$$

$$Z_{22} \approx \frac{1}{j\omega C_4} + \left[\left(R_b + \frac{1}{j\omega C_5} \right) \left\| \left(\frac{1}{j\omega C_6} \right) \right\| \right] \quad (4.56)$$

$$Z_{22} \approx \frac{1}{j\omega C_4} + \frac{\left(\frac{R_b}{\omega C_6} - j \frac{1}{\omega^2 C_5 C_6} \right) \left(\frac{1}{\omega} \left(\frac{1}{C_5} + \frac{1}{C_6} \right) - j R_b \right)}{\frac{1}{\omega^2} \left(\frac{1}{C_5} + \frac{1}{C_6} \right)^2 + R_b^2} \quad (4.57)$$

De la ecuación (4.56) se extrae la parte imaginaria y real de Z_{22} . Así, la parte imaginaria es:

$$\text{Im}(Z_{22}) \approx -\frac{1}{\omega C_4} - \left(\frac{\frac{R_b^2}{\omega C_6} + \frac{1}{\omega^3 C_5 C_6} \left(\frac{1}{C_5} + \frac{1}{C_6} \right)}{\frac{1}{\omega^2} \left(\frac{1}{C_5} + \frac{1}{C_6} \right)^2 + R_b^2} \right) \quad (4.58)$$

$$-\text{Im}(Z_{22}) \approx \frac{1}{\omega C_4} + \frac{\omega C_5^2 C_6 R_b^2 + \frac{1}{\omega} (C_5 + C_6)}{(C_5 + C_6)^2 + \omega^2 C_5^2 C_6^2 R_b^2} \quad (4.59)$$

Se tiene que:

$$\omega C_5^2 C_6 R_b^2 \ll \frac{1}{\omega} (C_5 + C_6) \quad (4.60)$$

$$\omega^2 C_5^2 C_6^2 R_b^2 \ll (C_5 + C_6)^2 \quad (4.61)$$

$$-\text{Im}(Z_{22}) \approx \frac{1}{\omega C_4} + \frac{1}{\omega (C_5 + C_6)} \quad (4.62)$$

$$-\frac{1}{\text{Im}(Z_{22})} \approx \omega \left(\frac{C_4 (C_5 + C_6)}{C_4 + C_5 + C_6} \right) \quad (4.63)$$

$$-\frac{1}{\text{Im}(Z_{22})} \approx \omega \left(C_{jd} + \frac{C_{gd0}(C_{gs0} + C_{gb})}{C_{gd0} + C_{gs0} + C_{gb}} \right) \quad (4.64)$$

$$-\frac{1}{\text{Im}(Z_{22})} \approx \omega \left(C_{jd} + \frac{C_{gd0}C_{gs0}}{C_{gd0} + C_{gs0} + C_{gb}} + \frac{C_{gd0}C_{gb}}{C_{gd0} + C_{gs0} + C_{gb}} \right) \quad (4.65)$$

Puesto que C_{gb} es tan solo el 1 % de C_{gd0} y C_{gs0} de acuerdo a la tabla 4.1, se tiene:

$$C_{jd} + \frac{C_{gd0}C_{gs0}}{C_{gd0} + C_{gs0} + C_{gb}} \approx (10^{-13} + 5 \times 10^{-14})F = 1.5 \times 10^{-13} F \quad (4.66)$$

$$C_{jd} + \frac{C_{gd0}C_{gs0}}{C_{gd0} + C_{gs0} + C_{gb}} + \frac{C_{gd0}C_{gb}}{C_{gd0} + C_{gs0} + C_{gb}} \approx (1.5 \times 10^{-13} + 5 \times 10^{-16})F \approx 1.5 \times 10^{-13} F \quad (4.67)$$

$$\frac{C_{gd0}C_{gs0}}{C_{gd0} + C_{gs0} + C_{gb}} \approx \frac{C_{gd0}C_{gs0}}{C_{gd0} + C_{gs0}} \quad (4.68)$$

$$-\frac{1}{\text{Im}(Z_{22})} \approx \omega \left(C_{jd} + \frac{C_{gd0}C_{gs0}}{C_{gd0} + C_{gs0}} \right) \quad (4.69)$$

Así, la parte real de Z_{22} es:

$$\text{Re}(Z_{22}) \approx \frac{\frac{R_b}{\omega^2 C_6} \left(\frac{1}{C_5} + \frac{1}{C_6} \right) - \frac{R_b}{\omega^2 C_5 C_6}}{\frac{1}{\omega^2} \left(\frac{1}{C_5} + \frac{1}{C_6} \right)^2 + R_b^2} \quad (4.70)$$

$$\text{Re}(Z_{22}) \approx \frac{R_b C_5 (C_5 + C_6) - R_b C_5 C_6}{(C_5 + C_6)^2 + \omega^2 C_5^2 C_6^2 R_b^2} \quad (4.71)$$

$$\text{Re}(Z_{22}) \approx \frac{R_b C_5^2}{(C_5 + C_6)^2} \quad (4.72)$$

$$\text{Re}(Z_{22}) \approx \frac{R_b}{\left(1 + \frac{C_6}{C_5} \right)^2} \quad (4.73)$$

$$\frac{C_6}{C_5} = \frac{1}{C_{jd} \left[\frac{1}{C_{gd0}} + \frac{C_{gb}}{C_{gs0}} \left(\frac{1}{C_{gd0}} + \frac{1}{C_{jd}} + \frac{1}{C_{gb}} \right) \right]} \quad (4.74)$$

E. Admitancia Y_{12}

Para el caso de Y_{12} el circuito equivalente se muestra en la figura 4.11.

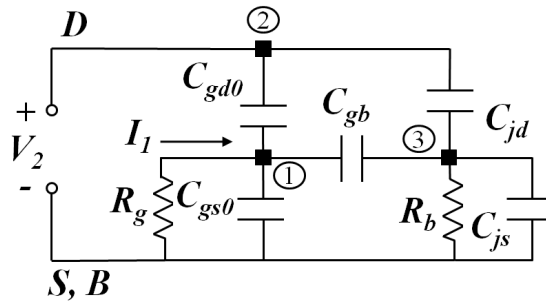


Figura 4.11. Circuito equivalente para Y_{12} . Las letras D, S y B hacen referencia al drenaje, fuente y sustrato, respectivamente.

Como los valores de R_g y C_{gb} son despreciables, se obtiene el circuito ilustrado en la figura 4.12. De esta manera, se llega a la ecuación (4.75).

$$-\text{Im}(Y_{12}) = \frac{I_1}{V_2} \Big|_{V_1=0V} \approx \omega C_{gd0} \quad (4.75)$$

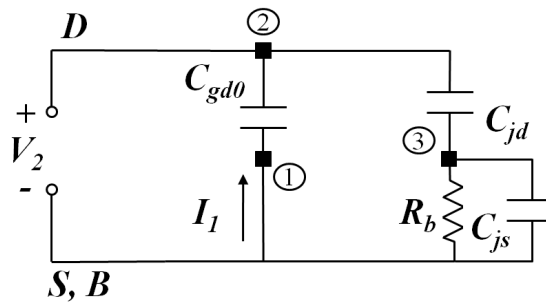


Figura 4.12. Circuito equivalente para Y_{12} , despreciando a R_g y C_{gb} . Las letras D, S y B hacen referencia al drenaje, fuente y sustrato, respectivamente.

F. Capacitancia C_{js}

Las impedancias Z_4 a Z_7 mostradas en la figura 4.13 se definen en las ecuaciones (4.30) a (4.33). Al abstraer los parámetros de Y_{22} hasta llegar a C_{js} se obtiene ecuación (4.76).

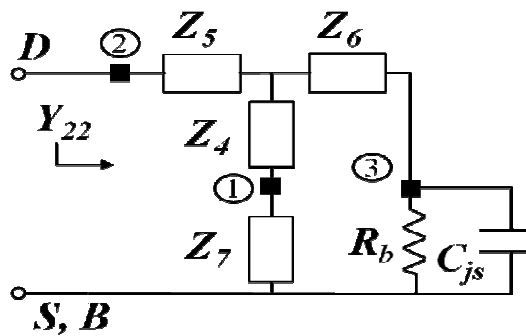


Figura 4.13. Circuito equivalente de Y_{22} para encontrar la capacitancia C_{js} . Las letras D, S y B hacen referencia al drenaje, fuente y sustrato, respectivamente.

$$\text{Im} \frac{1}{\frac{1}{\frac{1}{Y_{22}} - Z_5} - \frac{1}{Z_4 + Z_7}} - Z_6} = \text{Im}(Y') = \omega C_{js} \quad (4.76)$$

Tabla 4.2. Resumen de ecuaciones.

Ítem	Ecuación	Consideraciones	Ajuste de datos
1	$\text{Im}(Y_{11}) \approx \omega(C_{gs0} + C_{gd0} + C_{gb})$	C_{gb} muy pequeña	$f \leq 20$ GHz
2	$\text{Re}(Y_{11}) \approx \omega^2 R_g (C_{gs0} + C_{gd0} + C_{gb})^2$	C_{gb} muy pequeña	$f \leq 20$ GHz
3	$-\frac{1}{\text{Im}(Z_{11})} \approx \omega \left(C_{gs0} + C_{gb} + \frac{C_{gd0} C_{jd}}{C_{gd0} + C_{jd}} \right)$	Frecuencias bajas	$f \leq 4$ GHz
4	$\text{Re}(Z_{11}) \approx R_g + \frac{R_b}{\left(1 + \frac{C_{gs0}}{C_{gb} + \frac{C_{gd0} C_{jd}}{C_{gd0} + C_{jd}}} \right)^2}$	Frecuencias bajas	$f \leq 4$ GHz
5	$\text{Im}(Y_{22}) \approx \omega(C_{jd} + C_{gd0})$	Frecuencias bajas	$f \leq 4$ GHz
6	$\text{Re}(Y_{22}) \approx \omega^2 C_{jd}^2 R_b$	Frecuencias bajas	$f \leq 4$ GHz
7	$-\frac{1}{\text{Im}(Z_{22})} \approx \omega \left(C_{jd} + \frac{C_{gd0} C_{gs0}}{C_{gd0} + C_{gs0}} \right)$	Frecuencias bajas	$f \leq 4$ GHz
8	$\text{Re}(Z_{22}) \approx \frac{R_b}{\left(1 + \frac{C_6}{C_5} \right)^2}$ $\frac{C_6}{C_5} = \frac{1}{C_{jd} \left[\frac{1}{C_{gd0}} + \frac{C_{gb}}{C_{gs0}} \left(\frac{1}{C_{gd0}} + \frac{1}{C_{jd}} + \frac{1}{C_{gb}} \right) \right]}$	Frecuencias bajas	$f \leq 4$ GHz
9	$-\text{Im}(Y_{12}) \approx \omega C_{gd0}$	R_g y C_{gb} despreciables	$f \leq 20$ GHz
10	$\text{Im} \frac{1}{\frac{1}{\frac{1}{Y_{22}} - Z_5} - \frac{1}{Z_4 + Z_7}} - Z_6} = \text{Im}(Y') = \omega C_{js}$	Ninguna	$6 \text{ GHz} \leq f \leq 20 \text{ GHz}$

En la tabla 4.2 se muestra un listado de las ecuaciones obtenidas para los parámetros de admitancia e impedancia del RF-MOSFET apagado, resaltando en cada caso las consideraciones tenidas en cuenta durante el ajuste de los datos experimentales para un rango de frecuencias determinado.

Luego de obtenerse el desarrollo matemático de los parámetros de admitancia e impedancia, se prosigue con el ajuste de los datos experimentales del transistor MOS apagado en un rango apropiado de frecuencias para determinar los elementos involucrados en el circuito equivalente. Para ello, las capacitancias C_{gd0} , C_{jd} , C_{gs0} , y C_{gb} son encontradas a partir de las ecuaciones (4.77) a (4.80), respectivamente. Después, se hallan las resistencias R_g y R_b mediante (4.81) y (4.82). Así, se hace la regresión lineal de los datos experimentales con las ecuaciones mencionadas anteriormente, lo cual se presenta en orden de extracción de parámetros del RF-MOSFET en la figura 4.14.

$$-\text{Im}(Y_{12}) \approx \omega C_{gd0} \quad (4.77)$$

$$\text{Im}(Y_{22}) \approx \omega(C_{gd0} + C_{jd}) \quad (4.78)$$

$$-\frac{1}{\text{Im}(Z_{22})} \approx \omega \left(C_{jd} + \frac{C_{gs0}C_{gd0}}{C_{gs0} + C_{gd0}} \right) \quad (4.79)$$

$$\text{Im}(Y_{11}) \approx \omega(C_{gs0} + C_{gd0} + C_{gb}) \quad (4.80)$$

$$\text{Re}(Y_{11}) \approx \omega^2 R_g (C_{gs0} + C_{gd0} + C_{gb})^2 \quad (4.81)$$

$$\text{Re}(Y_{22}) \approx \omega^2 R_b C_{jd}^2 \quad (4.82)$$

En la condición de polarización del transistor apagado se presenta la combinación en paralelo de C_{js} y R_b en el circuito equivalente del RF-MOSFET. Por esta razón, el efecto de la capacitancia de unión C_{js} no es apreciable en frecuencias relativamente bajas. Así, La admitancia Y_{22} y la impedancia Z_{22} se ajustaron hasta 4 GHz, como se muestra en la figura 4.14. Por otro lado, C_{js} es encontrado en frecuencias por encima de 6 GHz mediante Y' . Esta admitancia corresponde a la reducción del circuito equivalente para Y_{22} (ver figura 4.15(a)), substrayendo todos los elementos hasta llegar a C_{js} . Para ello, se hace una transformación de impedancias delta-estrella en los nodos 1 a 3 a partir de las ecuaciones (4.83) a (4.87), como se ilustra en la figura 4.15(b).

$$Z_1 = \frac{1}{j\omega C_{gd0} C_{gb} \left(\frac{1}{C_{gd0}} + \frac{1}{C_{jd}} + \frac{1}{C_{gb}} \right)} \quad (4.83)$$

$$Z_2 = \frac{1}{j\omega C_{gd0} C_{jd} \left(\frac{1}{C_{gd0}} + \frac{1}{C_{jd}} + \frac{1}{C_{gb}} \right)} \quad (4.84)$$

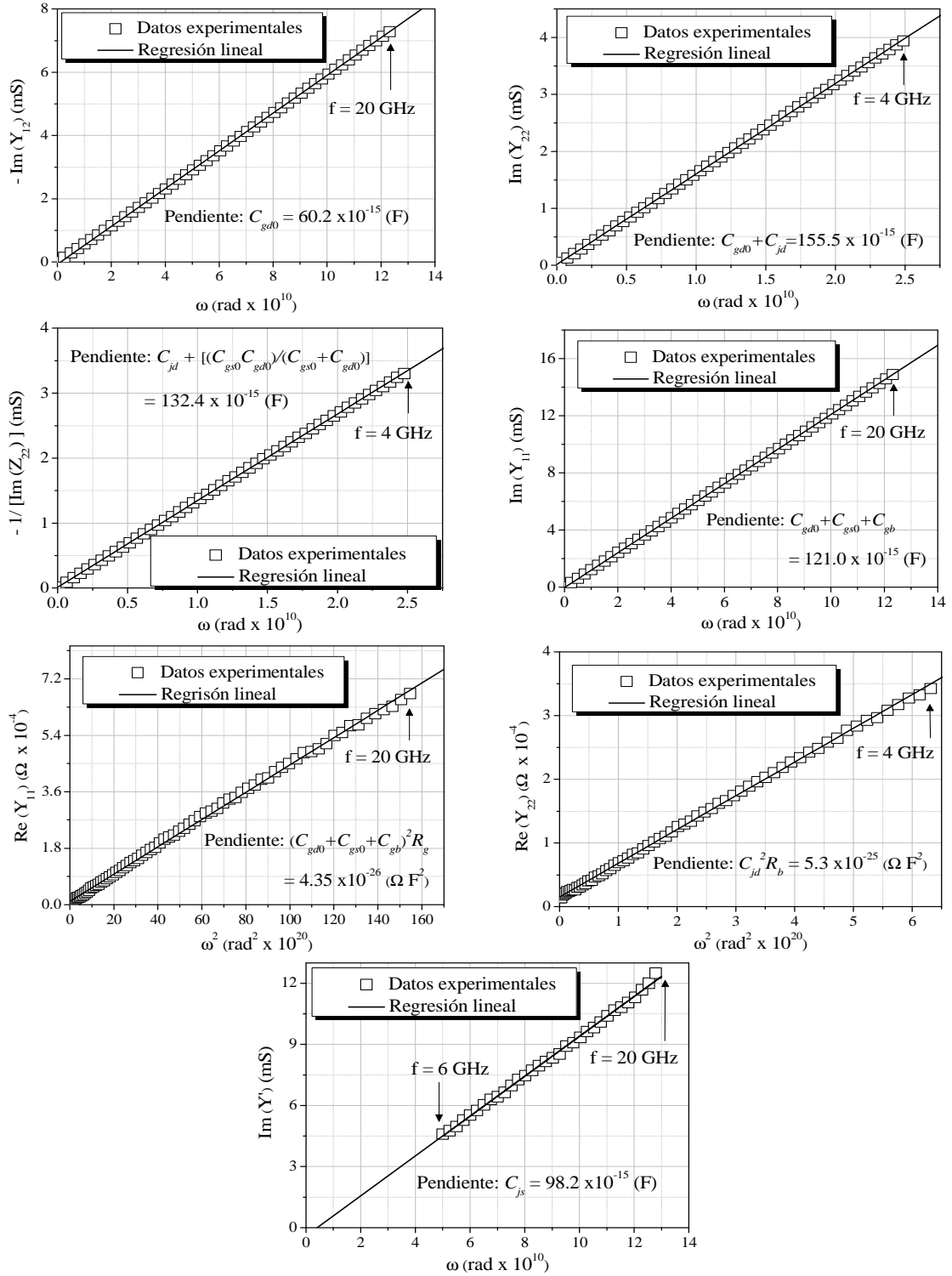


Figura 4.14. Regresión lineal de los datos experimentales para la extracción de parámetros de un dispositivo RF-nMOS, con $L_m=80\text{nm}$, $W_f=3\mu\text{m}$ and $NF=64$. En todos los casos V_{gs} , V_{ds} , $V_{bs} = 0\text{V}$.

$$Z_3 = \frac{1}{j\omega C_{gb} C_{jd} \left(\frac{1}{C_{gd0}} + \frac{1}{C_{jd}} + \frac{1}{C_{gb}} \right)} \quad (4.85)$$

$$Z_4 = R_g \parallel \frac{1}{j\omega C_{gs0}} \quad (4.86)$$

$$\text{Im} \frac{1}{\frac{1}{\frac{1}{\frac{1}{Y_{22}} + Z_2} - \frac{1}{Z_1 + Z_4}} - Z_3}} = \text{Im}(Y') = \omega C_{js} \quad (4.87)$$

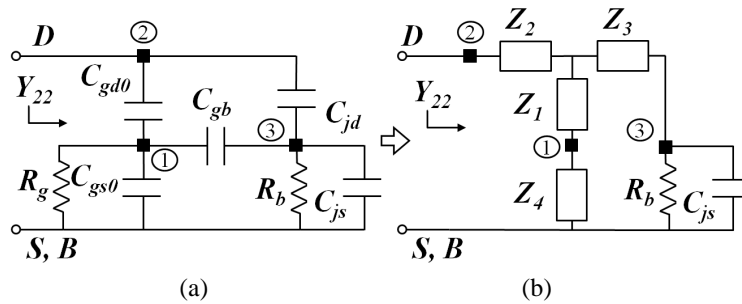


Figura 4.15. En (a) se ilustra el circuito equivalente para Y_{22} y en (b), la transformación de impedancias delta-estrella en los nodos 1 a 3. Las letras D, S y B hacen referencia al drenaje, fuente y sustrato, respectivamente.

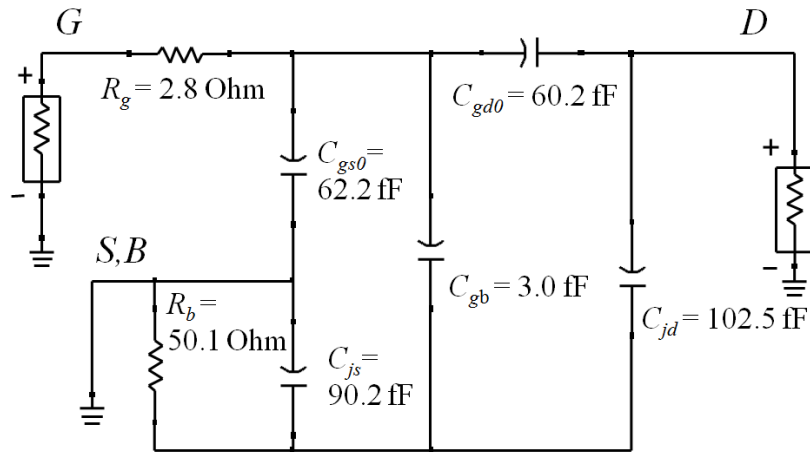


Figura 4.16. Circuito equivalente del RF-MOSFET apagado con V_{bs} igual a 0V.

El valor de los elementos asociados al circuito equivalente, obtenidos a partir de las regresiones lineales de los datos experimentales, se presentan en la figura 4.16. Así, se evidencia que las capacitancias C_{js} y C_{jd} están en el mismo orden de magnitud, lo cual se cumple también para C_{gs0} y C_{gb} . Por otra parte, C_{gb} solo alcanza el 5% del valor de C_{gs0} y C_{gb} .

Las figuras 4.17 a 4.19 muestran la comparación de los parámetros S de los datos experimentales con las simulaciones del modelo propuesto (con C_{js} y C_{gb}) y del modelo en

[50] (sin C_{js} y C_{gb}). Así, se ilustra una ligera diferencia a partir de 14 GHz en la magnitud de S_{11} del modelo en [50] con el propuesto. A su vez, las componentes S_{12} y S_{21} son iguales; por ello, solo se presenta la magnitud y fase de S_{12} . Asimismo, no se evidencian divergencias entre los modelos para S_{12} . A su vez en la magnitud de S_{22} , el modelo en [50] no sigue el comportamiento de los datos experimentales por encima de 6 GHz. Esto permite despreciar la capacitancia de unión C_{js} en frecuencias bajas. De esta manera, se justifica el hecho de obtener esta capacitancia en frecuencias superiores a 6GHz, como se plantea en este trabajo.

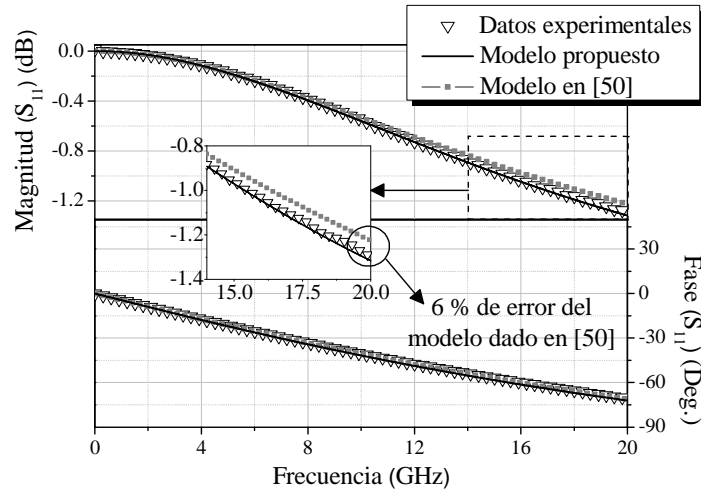


Figura 4.17. Magnitud y fase de S_{11} de los datos experimentales y simulados con el modelo propuesto y el reportado en [50] (sin C_{js} y C_{gb}). V_{gs} , V_{ds} , V_{bs} son iguales a 0V.

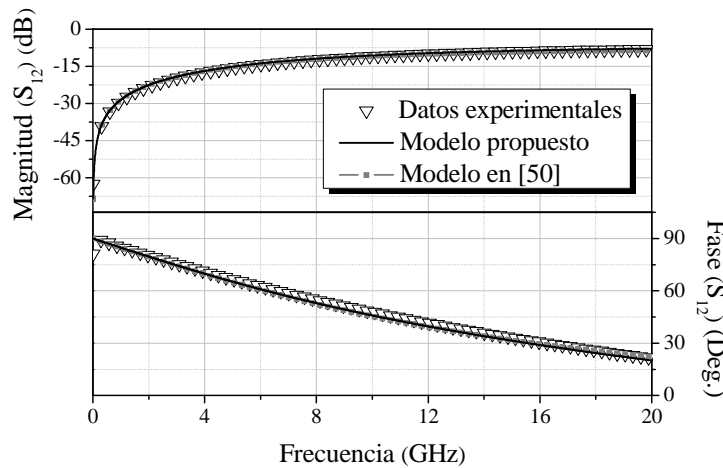


Figura 4.18. Magnitud y fase de S_{12} de los datos experimentales y simulados con el modelo propuesto y el reportado en [50] (sin C_{js} y C_{gb}). V_{gs} , V_{ds} , V_{bs} son iguales a 0V.

En la figura 4.20 se compara el modelo propuesto con el presentado en [51] para S_{22} . Las consideraciones en [51], $C_{gs0}=C_{gd0}$, $C_{js}=C_{jd}$ y sin R_g , no permiten un mejor ajuste de S_{22} en altas frecuencias, lo cual es posible hacerlo por medio del modelo propuesto. De hecho, R_g no afecta la extracción de la mayoría de parámetros de la red parásita del sustrato a excepción de C_{js} , como se ilustra en las ecuaciones (4.86) y (4.87). Si R_g es despreciada, la simulación del circuito equivalente para S_{11} no se ajustará correctamente a los datos experimentales, como se muestra en la figura 4.21.

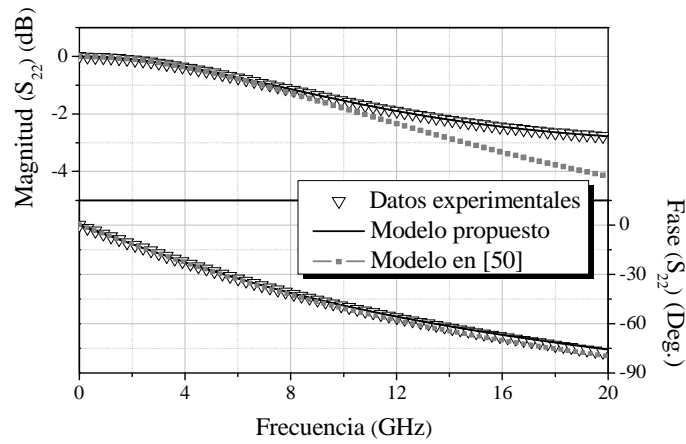


Figura 4.19. Magnitud y fase de S_{22} de los datos experimentales y simulados con el modelo propuesto y el reportado en [50] (sin C_{js} y C_{gb}). V_{gs} , V_{ds} , V_{bs} son iguales a 0V.

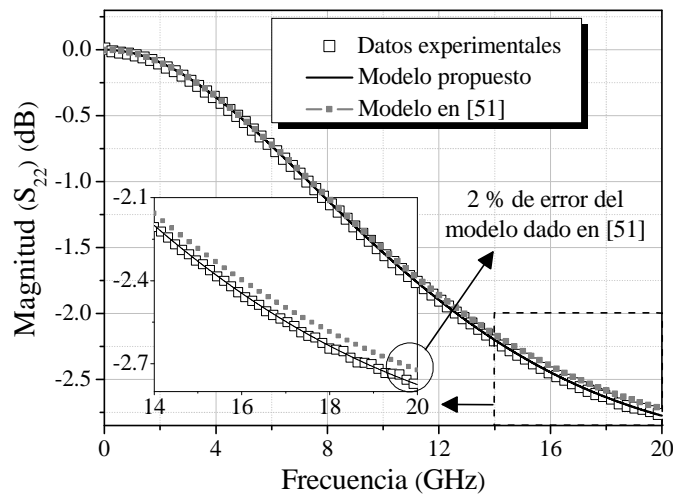


Figura 4.20. Datos simulados y experimentales del modelo propuesto del modelo propuesto y del modelo en [51] ($C_{gs0}=C_{gd0}$, $C_{js}=C_{jd}$ y sin R_g) para S_{22} . V_{gs} , V_{ds} , V_{bs} son iguales a 0V.

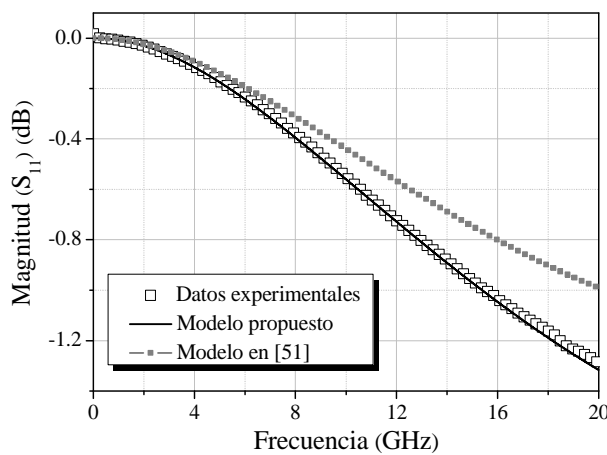


Figura 4.21. Datos simulados y experimentales del modelo propuesto del modelo propuesto y del modelo en [51] ($C_{gs}=C_{gd}$, $C_{js}=C_{jd}$ y sin R_g) para S_{11} . V_{gs} , V_{ds} , V_{bs} son iguales a 0V.

4.2. Caracterización del RF-MOSFET apagado variando el voltaje de sustrato

En la sección anterior se presenta el modelo propuesto para caracterizar, a partir de una red de dos puertos, al transistor MOS apagado con polarización del sustrato en 0V, el cual considera la resistencia de compuerta R_g y asume que las capacitancias de unión (C_{js} y C_{jd}) y las de traslape (C_{gs0} y C_{gd0}) son diferentes. No obstante, es importante conocer la variación de los elementos asociados al circuito equivalente del RF-MOSFET en función del voltaje aplicado en la terminal de sustrato con respecto a la fuente (V_{bs}). De esta manera, se muestra la dependencia de la red parásita del sustrato con V_{bs} , fijando a V_{gs} en 0V. Así, esto da como resultado la obtención del potencial interconstruido en las regiones de fuente y drenaje.

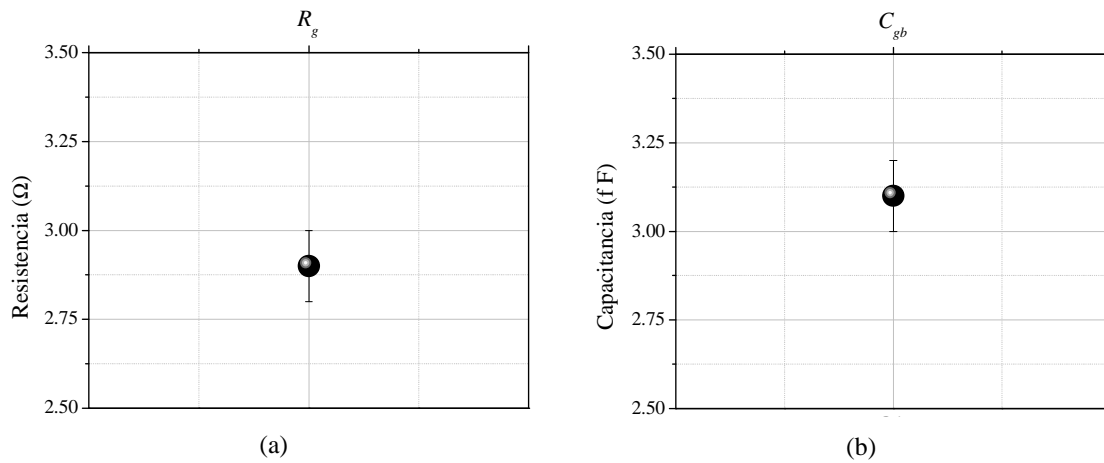


Figura 4.22. Valor promedio y error de la resistencia de compuerta R_g (a) y de la capacitancia compuerta-sustrato C_{gb} (b) al variar V_{bs} . A su vez, V_{gs} y V_{ds} son iguales a 0V.

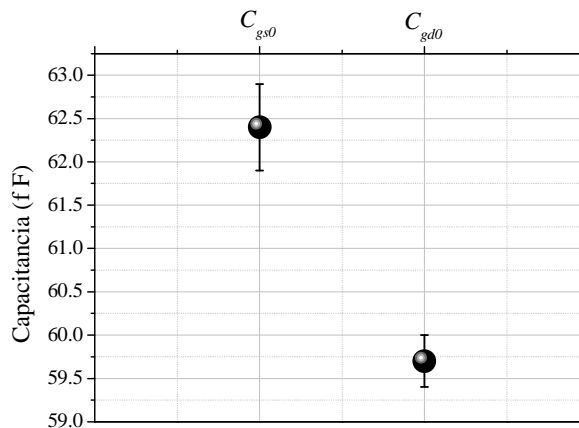


Figura 4.23. Valor promedio y error de las capacitancias de traslape C_{gs0} y C_{gd0} al variar V_{bs} . A su vez, V_{gs} y V_{ds} son iguales a 0V.

Los elementos debidos al terminal de compuerta del RF-MOSFET apagado, R_g , C_{gb} , C_{gs0} y C_{gd0} , no evidencian diferencias significativas al variar el voltaje de sustrato. Así, la resistencia de compuerta R_g es $(2.9 \pm 0.1) \Omega$ y la capacitancia compuerta-sustrato C_{gb} es

(3.1 ± 0.1) fF como se ilustra en las figuras 4.22(a) y 4.22(b), respectivamente. A su vez, las capacitancias de traslape C_{gs0} de (62.4 ± 0.5) fF y C_{gd0} de (59.7 ± 0.3) fF se presentan en la figura 4.23.

Por otro lado, los elementos que constituyen la red parásita del sustrato, R_b , C_{js} y C_{jd} , varían con el voltaje sustrato aplicado V_{bs} . Así, la resistencia de sustrato R_b aumenta de 50.1Ω a 55.3Ω al variar V_{bs} de 0V a -1.2V, como se muestra en la figura 4.24. Esto está estrechamente relacionado con el incremento de la región de agotamiento para valores más negativos, lo cual disminuye el volumen efectivo con igual concentración en el sustrato y en consecuencia se modifica el valor de R_b . Este comportamiento concuerda con los resultados publicados en [52].

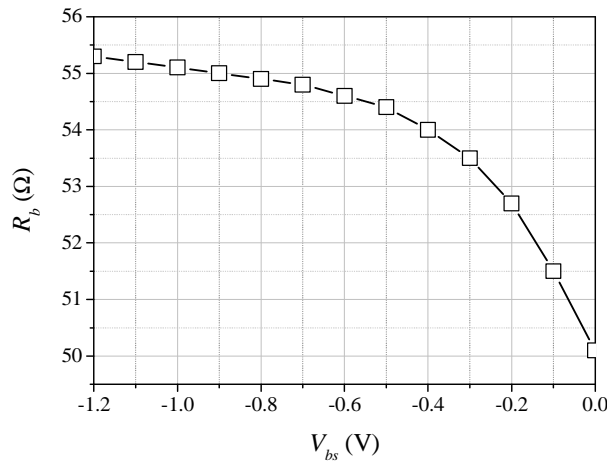


Figura 4.24. Curva de la resistencia de sustrato en función de V_{bs} . A su vez, V_{gs} y V_{ds} son iguales a 0V.

En el caso de las capacitancias de unión C_{js} y C_{jd} , se observa una disminución de sus valores cuando V_{bs} varía de 0V a -1.2V, como se ilustra en la figura 4.25. Un resultado similar, se aprecia en la referencia [52] para C_{jd} . El comportamiento de C_{js} y C_{jd} se debe a la expansión de la región de agotamiento conforme V_{bs} se hace más negativo. A su vez, la pendiente de la parte imaginaria de la admitancia Y_{22} , relacionada con C_{jd} a través de la ecuación (4.2), se reduce considerablemente.

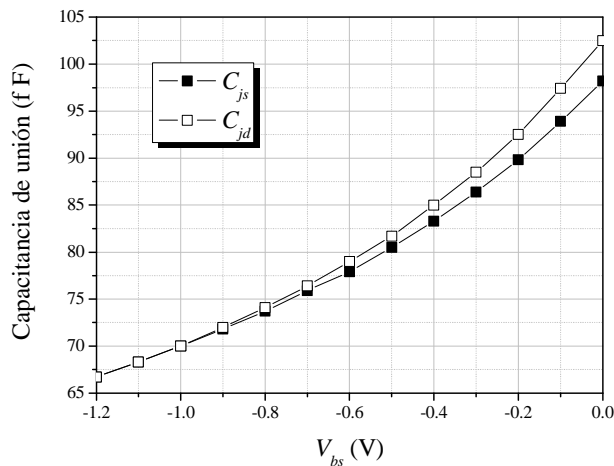


Figura 4.25. Curvas de la capacitancia de unión en función de V_{bs} . A su vez, V_{gs} y V_{ds} son iguales a 0V.

La capacitancia de unión por unidad de área C_j' es inversamente proporcional al ancho de la región de agotamiento W_D como se muestra en la ecuación (4.88), la cual está dada para una unión abrupta. La condición de unión abrupta se cumple en el MOSFET porque la concentración de impurezas del sustrato es mucho menor que la de fuente y drenaje; así, la región de agotamiento se localiza en gran parte en el cuerpo del sustrato. La capacitancia C_j' varía con el inverso de la raíz cuadrada del voltaje aplicado. En el caso de un transistor MOS, las capacitancias de unión de fuente y drenaje dependen de las condiciones de polarización del sustrato. A partir de la linealización de la ecuación (4.88), se llega a la ecuación (4.89), en la cual se obtiene el inverso de la capacitancia al cuadrado $1/C_j'^2$ en función del voltaje y se involucra al potencial interconstruido ψ_{bi} y al voltaje térmico kT/q , además de otros parámetros. A su vez, el voltaje térmico, reportado en la literatura, es 25.9 mV a una temperatura de 300 K [6]. Así, el potencial interconstruido se halla mediante la extrapolación en el punto $1/C_j'^2 = 0 \text{ F}^{-2} \text{ m}^4$ de $1/C_j'^2$ en función del voltaje aplicado, como se presenta en la ecuación (4.90).

$$C_j' = \frac{\epsilon_s}{W_D} = \sqrt{\frac{q\epsilon_s N}{2}} \left(\psi_{bi} - V - \frac{2kT}{q} \right)^{-1/2} \quad (4.88)$$

$$\frac{1}{C_j'^2} = \frac{2}{q\epsilon_s N} \left(\psi_{bi} - \frac{2kT}{q} - V \right) \quad (4.89)$$

$$\psi_{bi} = \left(V \Big|_{\frac{1}{C_j'^2}=0} \right) + \frac{2kT}{q} \quad (4.90)$$

El parámetro C_j' tiene unidades de F/m^2 ; no obstante, las capacitancias de unión, extraídas del transistor RF-nMOS mediante la regresión lineal de los datos experimentales, están dadas en unidades de F. Para ello, la ecuación (4.90) se puede transformar en las ecuaciones (4.91) y (4.92) para las uniones de fuente-sustrato y de drenaje-sustrato, donde A corresponde al área. Cabe resaltar que el voltaje de polarización del drenaje es cero, por lo tanto, V_{bd} es igual a V_{bs} .

$$\frac{1}{C_{js}^2} = \frac{2}{q\epsilon_s N_{A_s} A_s^2} \left(\psi_{bi_s} - \frac{2kT}{q} - V_{bs} \right) \quad (4.91)$$

$$\frac{1}{C_{jd}^2} = \frac{2}{q\epsilon_s N_{A_d} A_d^2} \left(\psi_{bi_d} - \frac{2kT}{q} - V_{bs} \right) \quad (4.92)$$

En las figuras 4.26 y 4.27 se exponen la linealización de C_{js} y C_{jd} , respectivamente, resaltando la extrapolación de los datos experimentales en los puntos $1/C_{js}^2 = 0 \text{ F}^{-2}$ y $1/C_{jd}^2 = 0 \text{ F}^{-2}$. De esta manera, el potencial interconstruido en la unión de fuente-sustrato ψ_{bi_s} es 1.05 V y en la unión de drenaje-sustrato ψ_{bi_d} , 0.95 V, ver ecuaciones (4.93) y (4.94).

$$\psi_{bi_s} = \left(V_{bs} \Big|_{\frac{1}{C_{js}^2}=0} \right) + \frac{2kT}{q} = 1.05V \quad (4.93)$$

$$\psi_{bi_d} = \left(V_{bs} \Big|_{\frac{1}{C_{jd}^2}=0} \right) + \frac{2kT}{q} = 0.95V \quad (4.94)$$

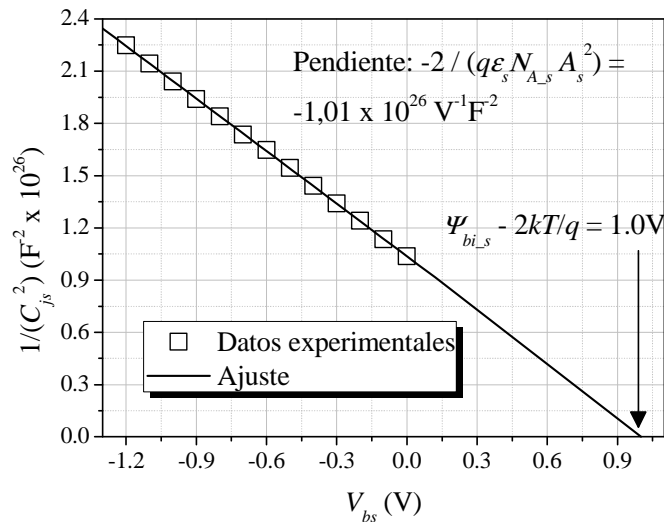


Figura 4.26. Gráfica de $1/C_{js}^2$ en función de V_{bs} para extraer el potencial interconstruido ψ_{bi_s} . A su vez, V_{gs} y V_{ds} son iguales a 0V.

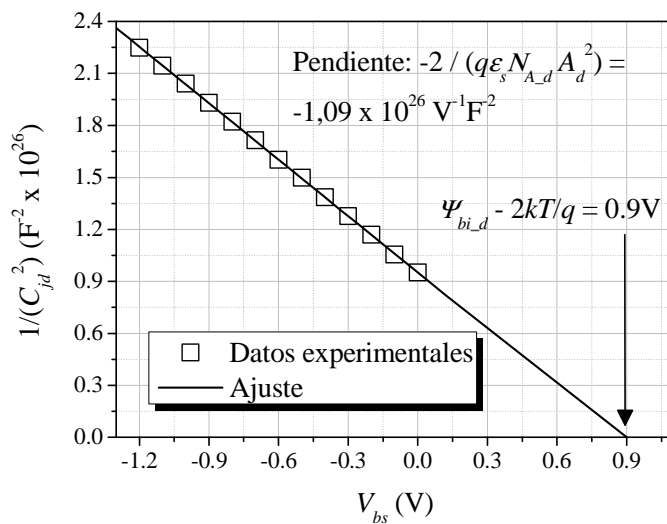


Figura 4.27. Gráfica de $1/C_{jd}^2$ en función de V_{bs} para extraer el potencial interconstruido ψ_{bi_d} . A su vez, V_{gs} y V_{ds} son iguales a 0V.

4.3. Caracterización del RF-MOSFET en fuerte inversión variando el voltaje de sustrato

En la figura 4.28 se ilustra la regresión lineal de los datos experimentales para hallar todos los parámetros correspondientes al circuito equivalente del RF-MOSFET con $V_{gs}=0.55\text{V}$, $V_{bs}=-1\text{V}$ y $V_{ds}=0\text{V}$. Esto se hizo a partir de las ecuaciones (4.95) a (4.100), donde R_g , C_{gb} , y los elementos de la red parásita del sustrato (R_b , C_{jd} y C_{js}) se obtuvieron con el dispositivo apagado ($V_{gs}=V_{ds}=0\text{V}$) para los diferentes valores de V_{bs} . De esta manera, se tienen 6 ecuaciones y el mismo número de incógnitas (C_{gd} , C_{gs} , C_{ds} , R_{ch} , R_s , y R_d), que pueden ser encontradas por optimización. Para el ajuste, se consideró un rango de frecuencias de 0

GHz hasta 10 GHz, puesto que no se cuenta con un sustrato de calibración para la punta de prueba DC. Esta punta de prueba fue diseñada y fabricada por *Cascade Microtech* específicamente para el desarrollo de este trabajo. Los parámetros extraídos del transistor MOS se presentan en el circuito de la figura 4.29. Este mismo procedimiento se hace para cada una de las condiciones de polarización del sustrato y la compuerta.

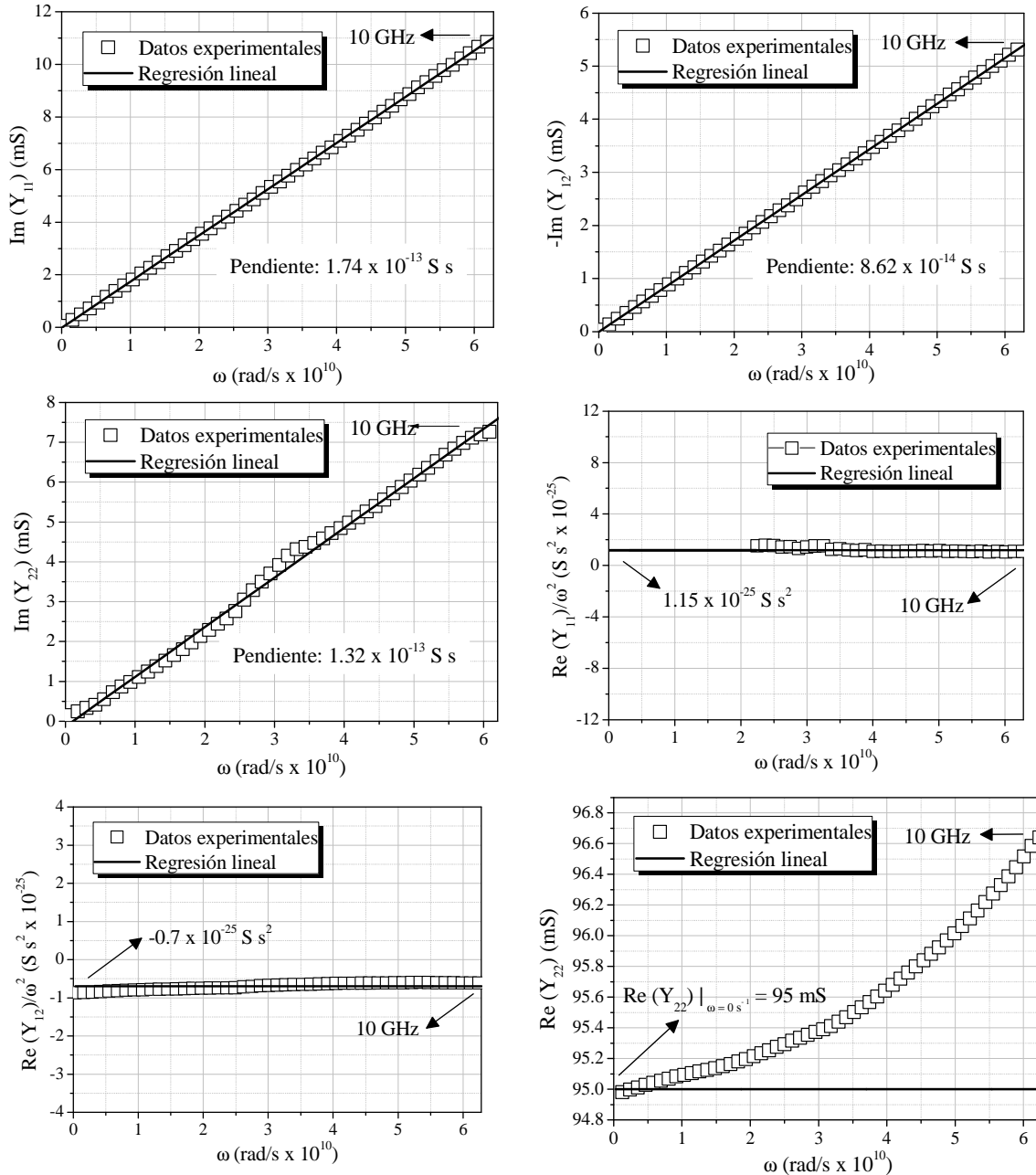


Figura 4.28. Regresión lineal de los datos experimentales para la extracción de parámetros de un dispositivo RF-nMOS, con $L_m=80\text{nm}$, $W_f=3\mu\text{m}$ y $NF=64$, considerando $V_{gs}=0.55\text{V}$, $V_{bs}=-1\text{V}$ y $V_{ds}=0\text{V}$.

$$\text{Im}[Y_{11}] \approx \omega(C_{gs} + C_{gd} + C_{gb}) \quad (4.95)$$

$$\frac{\text{Re}[Y_{11}]}{\omega^2} \approx \frac{2C_{gd}C_{gs} \left(\frac{R_{ch}R_g + R_gR_s}{+R_d(R_g + R_s)} \right) + C_{gd}^2 \left(\frac{R_{ch}(R_d + R_g) + R_gR_s}{+R_d(R_g + R_s)} \right) + C_{gs}^2 \left(\frac{R_gR_s + R_{ch}(R_g + R_s)}{+R_d(R_g + R_s)} \right)}{R_{ch} + R_d + R_s} \quad (4.96)$$

$$\text{Im}[Y_{12}] \approx -\frac{\omega(C_{gs}R_s + C_{gd}(R_{ch} + R_s))}{R_{ch} + R_d + R_s} \quad (4.97)$$

$$\frac{\text{Re}[Y_{12}]}{\omega^2} \approx \frac{-1}{(R_{ch} + R_d + R_s)^2} \left(\begin{aligned} & C_{ds}R_{ch}^2(C_{gd}R_d - C_{gs}R_s) + C_{gd}^2(R_{ch} + R_s) \left(\frac{R_{ch}(R_d + R_g) + R_gR_s}{+R_d(R_g + R_s)} \right) \\ & + C_{gd} \left(\begin{aligned} & C_{js}R_dR_s^2 + C_{jd}R_d(R_{ch} + R_s)^2 \\ & + C_{gs}(R_{ch} + 2R_s) \left(\frac{R_g(R_{ch} + R_s)}{+R_d(R_g + R_s)} \right) \end{aligned} \right) \\ & + C_{gs}R_s \left(\begin{aligned} & C_{js}(R_{ch} + R_d)R_s + C_{jd}R_d(R_{ch} + R_s) \\ & + C_{gs}(R_gR_s + (R_{ch} + R_d)(R_g + R_s)) \end{aligned} \right) \end{aligned} \right) \quad (4.98)$$

$$\text{Im}[Y_{22}] \approx \frac{\omega}{(R_{ch} + R_d + R_s)^2} \left(\begin{aligned} & C_{ds}R_{ch}^2 + C_{jd}R_{ch}^2 + 2C_{jd}R_{ch}R_s + C_{gs}R_s^2 + C_{jd}R_s^2 + C_{js}R_s^2 \\ & + C_{gd}(R_{ch} + R_s)^2 \end{aligned} \right) \quad (4.99)$$

$$\text{Re}[Y_{22}]|_{\omega=0s^{-1}} \approx \frac{1}{R_{ch} + R_d + R_s} \quad (4.100)$$

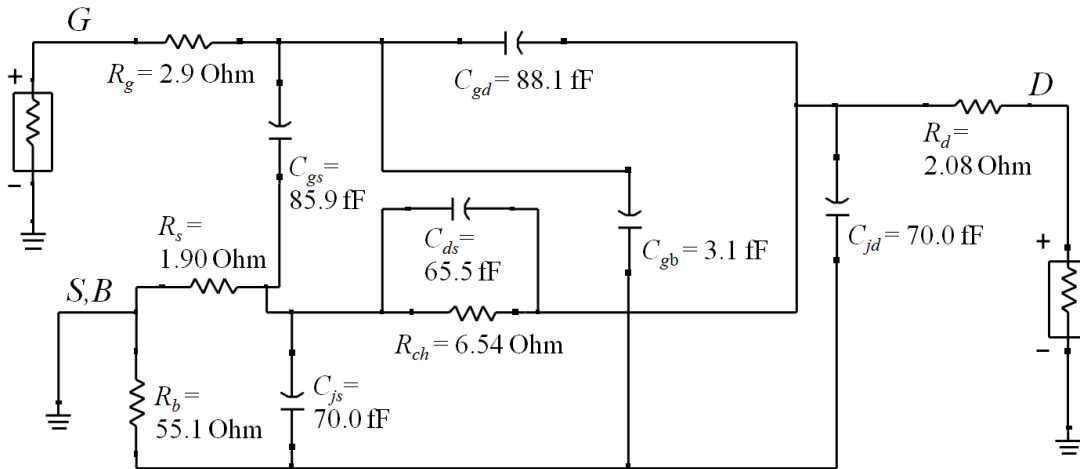


Figura 4.29. Circuito equivalente del RF-MOSFET para $V_{gs}=0.55\text{V}$, $V_{bs}=-1\text{V}$ y $V_{ds}=0\text{V}$.

Por otro lado, en la figura 4.30 se muestra la validación del circuito equivalente de la figura 4.29, observándose una buena concordancia de los parámetros S experimentales y simulados hasta 10 GHz para $V_{gs}=0.55\text{V}$, $V_{bs}=-1\text{V}$ y $V_{ds}=0\text{V}$. Además, se considera que S_{12} es igual a S_{21} .

Ahora, se centra la atención alrededor de las resistencias R_d , R_s y R_{ch} , las cuales están estrechamente relacionadas con la parte real de Y_{22} como se aprecia en la ecuación (4.100); además, R_{ch} depende del voltaje de umbral, que es uno de los parámetros de interés en este

trabajo. Así, la dependencia de la resistencia de drenaje R_d y de fuente R_s con el voltaje de sustrato V_{bs} para 3 valores diferentes de V_{gs} se ilustra en las figuras 4.31(a) y 4.31(b), respectivamente. A medida que disminuye V_{bs} las resistencias R_d y R_s aumentan; de igual manera, este comportamiento sucede en el caso de V_{gs} . El cambio en las resistencias R_d y R_s con V_{gs} se debe a las regiones LDD. De esta manera, un incremento en V_{gs} induce portadores minoritarios en las regiones LDD, reduciendo el valor de R_d y R_s . A su vez, cuando V_{gs} incrementa hasta llegar a 0.65 V ya no se aprecia una variación significativa de R_d y R_s con V_{bs} . Por otro lado, como es de esperarse, la resistencia del canal R_{ch} disminuye con el aumento de V_{gs} a causa de la formación de la región de inversión o de V_{bs} (ver figura 4.32).

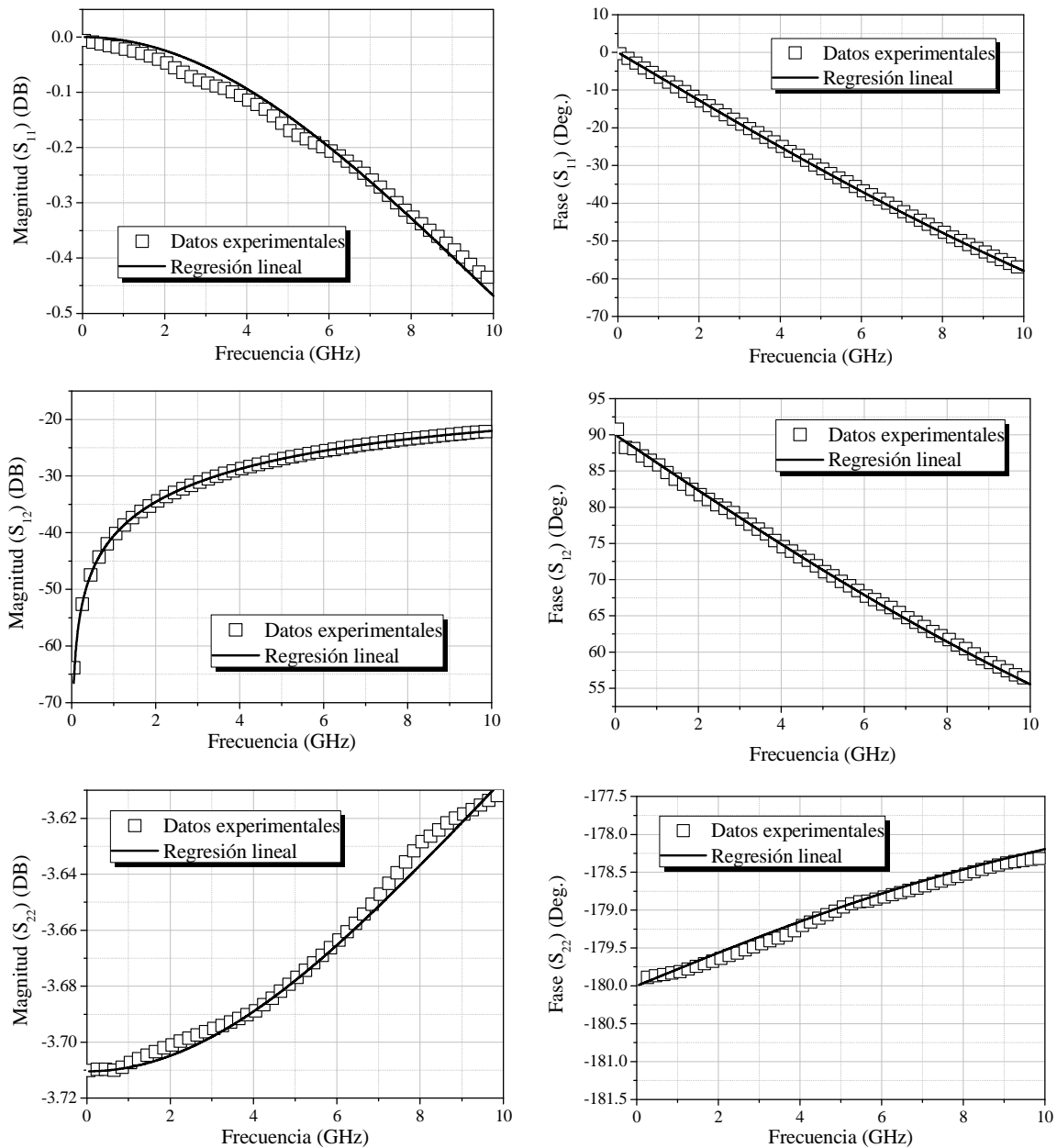


Figura 4.30. Comparación de los parámetros S simulados con los experimentales de un dispositivo RF-nMOS, con $L_m=80\text{nm}$, $W_f=3\mu\text{m}$ y $NF=64$, considerando $V_{gs}=0.55\text{V}$, $V_{bs}=-1\text{V}$ y $V_{ds}=0\text{V}$. A su vez, S_{12} es igual a S_{21} .

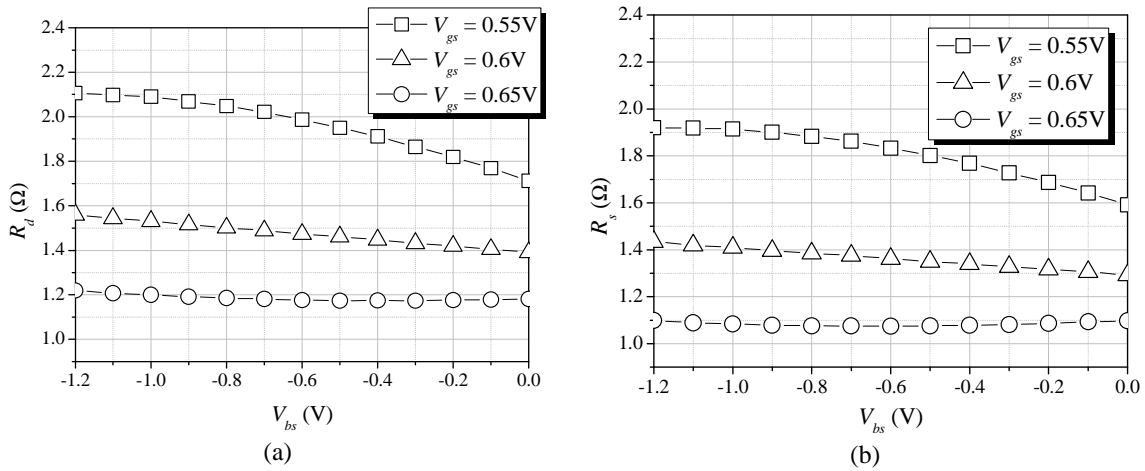


Figura 4.31. Curvas de la resistencia de drenaje R_d (a) y fuente R_s (b) en función de V_{bs} para 3 valores diferentes de V_{gs} .

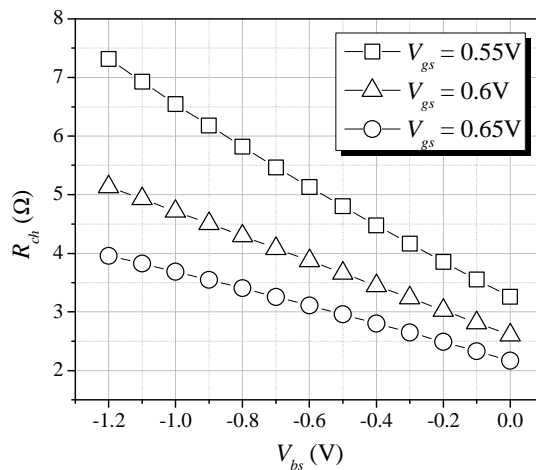


Figura 4.32. Curvas de la resistencia del canal R_{ch} en función de V_{bs} para 3 valores diferentes de V_{gs} .

4.4. Voltaje de umbral del RF-MOSFET para diferentes valores del voltaje de sustrato, considerando mediciones de RF

En principio, se considera el rango de voltajes de compuerta V_{gs} para el cual la parte real de la admitancia Y_{22} para $\omega=0s^{-1}$ en función de V_{gs} , relacionada con la resistencia del canal y por consiguiente con el voltaje de umbral, tiene un comportamiento lineal. Esto se hace porque se desconoce el voltaje de umbral de los dispositivos en cuestión, además la obtención de $Re[Y_{22}]$ no requiere de un procedimiento de extracción adicional a las mediciones de los dispositivos. A su vez, el inverso de la resistencia del canal depende del voltaje de umbral de acuerdo a la ecuación (4.101) para el caso del transistor MOS en fuerte inversión con un voltaje de drenaje $V_{gd}=0V$. Así, si se reemplaza la ecuación (4.101) en (4.100) y se llega a la expresión (4.102). Por otro lado, en la figura 4.33 se muestra una

curva de $\text{Re}[Y_{22}]|_{\omega=0}$ contra V_{gs} para $V_{bs}=0\text{V}$, observándose una tendencia lineal para un rango de valores apropiados de V_{gs} , desde 0.55V hasta 0.65V . Para estos valores, el MOSFET habría superado la condición de fuerte inversión y se cumpliría la ecuación (4.103), lo cual es válido también para diferentes valores de V_{bs} como se aprecia en la figura 4.34. Cabe resaltar que las resistencias R_d y R_s disminuyen con el aumento de V_{gs} (ver expresión 4.104).

$$\frac{1}{R_{ch}} = \beta(V_{gs} - V_t) \quad (4.101)$$

$$\text{Re}[Y_{22}]|_{\omega=0s^{-1}} = \frac{1}{\frac{1}{\beta(V_{gs} - V_t)} + R_d + R_s} \quad (4.102)$$

$$\text{Re}[Y_{22}]|_{\omega=0s^{-1}} = \frac{\beta}{1 + \beta(V_{gs} - V_t)(R_d + R_s)} V_{gs} - \frac{\beta V_t}{1 + \beta(V_{gs} - V_t)(R_d + R_s)} = \alpha_1 V_{gs} - \alpha_2 \quad (4.103)$$

$$V_{gs} \uparrow \Rightarrow (R_d + R_s) \downarrow \quad (4.104)$$

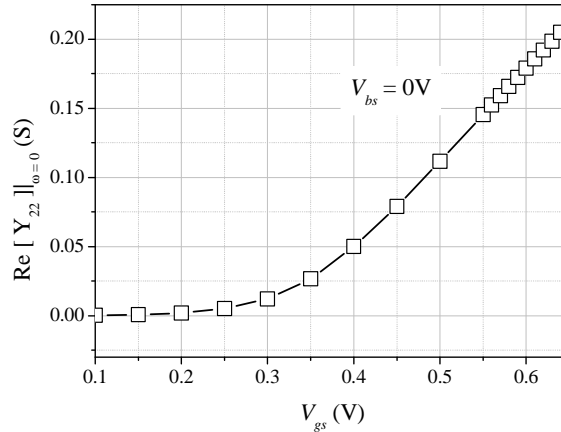


Figura 4.33. Parte real de la admitancia Y_{22} en función de V_{gs} para $V_{bs}=0\text{V}$. A su vez, V_{gs} varía de 0.1V a 0.65V , considerando un paso más fino en el rango de 0.55V a 0.65V .

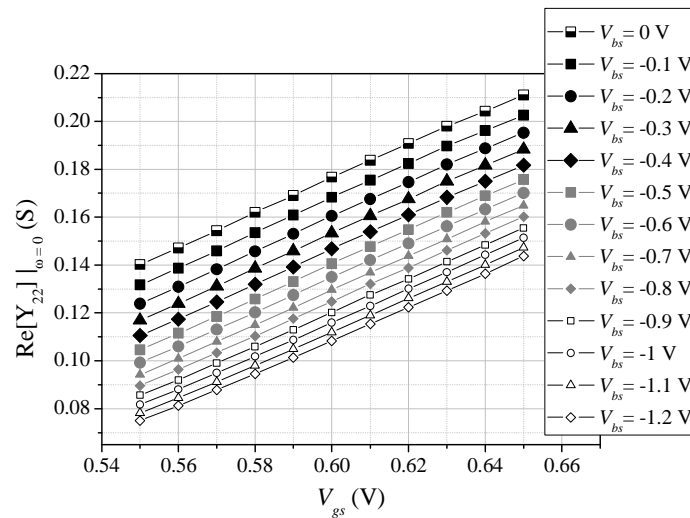


Figura 4.34. Parte real de la admitancia Y_{22} en función de V_{gs} para diferentes valores de V_{bs} . A su vez, V_{gs} varía de 0.55V a 0.65V en pasos de 0.01V .

El parámetro β mencionado anteriormente está relacionado con la movilidad efectiva (μ_{eff}), la capacitancia del óxido (C_{OX}), el ancho (W_{eff}) y largo (L_{eff}) del canal, como se muestra en la ecuación (4.105). β y V_{th} son dependientes del voltaje de sustrato V_{bs} . No obstante, para valores cercanos de V_{gs} y un V_{bs} determinado, el parámetro β puede ser considerado constante.

$$\beta = \frac{\mu_{eff} C_{OX} W_{eff}}{L_{eff}} \quad (4.105)$$

Luego de establecer las condiciones de polarización adecuadas para alcanzar fuerte inversión en el RF-MOSFET ($0.55V < V_{gs} < 0.65$, en pasos de $0.01V$) mediante el análisis de la gráfica de $Re[Y_{22}]|_{\omega=0}$ en función de V_{bs} , se continúa con la extracción del voltaje de umbral del dispositivo. De esta manera, a partir de la ecuación (4.101) se halla el voltaje de umbral mediante la pendiente (β) y el intercepto en $V_g = 0V$ del inverso de la resistencia del canal ($1/R_{ch}$) en función de V_{gs} para un solo valor de V_{bs} , como se muestra en la ecuación (4.106). Este procedimiento se ilustra en la figura 4.35 para V_{bs} igual a $-1V$, el cual se debe hacer para todos los valores de V_{bs} .

$$V_{th} = - \left(\frac{1}{R_{ch}|_{V_{gs}=0V}} \div \beta \right) \quad (4.106)$$

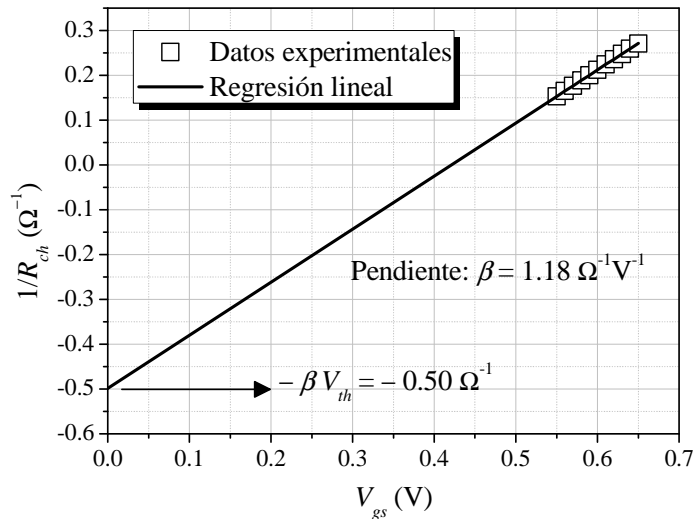
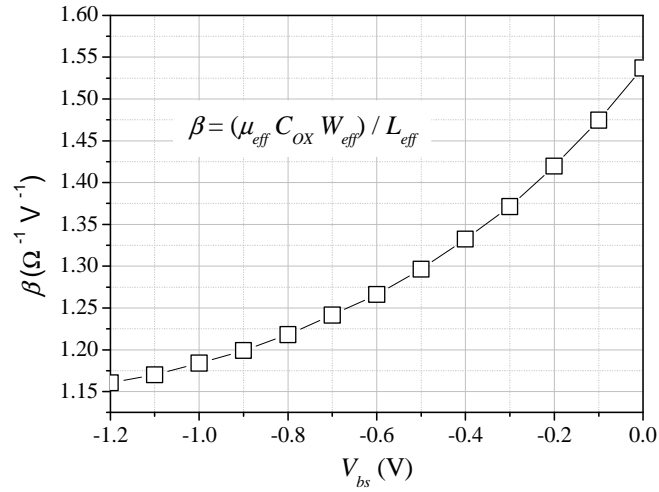


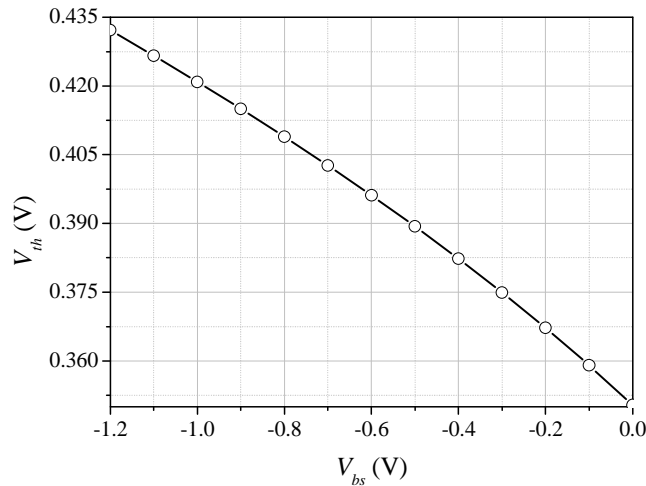
Figura 4.35. Ajuste del inverso de la resistencia del canal R_{ch} en función de V_{gs} con $V_{bs} = -1V$ para hallar el voltaje de umbral.

En la figura 4.36 se presenta la gráfica del parámetro β en función de V_{bs} . De esta manera, se observa un comportamiento decreciente de β conforme se reduce el valor de V_{bs} de $0V$ a $-1.2V$, como se ilustra en la figura 4.36. Esto se debe a la dependencia de la movilidad μ_{eff} con V_{bs} , lo cual concuerda con lo reportado en [53, 54].

Figura 4.36. Variación del parámetro β con V_{bs} .

Por otro lado, en la figura 4.37 se presenta la curva del voltaje de umbral V_{th} en función del voltaje de sustrato V_{bs} . Así, se evidencia un aumento de V_{th} para valores más negativos de V_{bs} ; de hecho, V_{th} está relacionado con V_{bs} de acuerdo a la ecuación (4.107), en la cual interviene el potencial de cuerpo ψ_B , la concentración de impurezas N_A , el voltaje de banda plana V_{FB} , la permitividad del semiconductor ϵ_s y la capacitancia del óxido C_{OX} .

$$V_{th} = V_{FB} + 2\psi_B + \frac{\sqrt{2\epsilon_s q N_A (2\psi_B - V_{bs})}}{C_{OX}} \quad (4.107)$$

Figura 4.37. Dependencia del voltaje de umbral V_{th} con el voltaje de sustrato V_{bs} , considerando mediciones de RF.

El potencial de cuerpo ψ_B se puede hallar por medio de la ecuación (4.108). De esta manera, se requieren 3 parejas de puntos de V_{th} en función de V_{bs} . Así, se obtiene $\psi_B = 0.36V$. Por otra parte, la concentración promedio de impurezas aceptoras N_A del sustrato puede ser encontrada a partir de ψ_B de acuerdo a la ecuación (4.109), donde $n_i = 1 \times 10^{10} \text{ cm}^{-3}$ es la concentración intrínseca de portadores [55] y $kT/q = 25.9 \text{ mV}$, el voltaje térmico [6].

$$\frac{V_{th2} - V_{th1}}{V_{th3} - V_{th2}} = \frac{\sqrt{2\psi_B - V_{bs2}} - \sqrt{2\psi_B - V_{bs1}}}{\sqrt{2\psi_B - V_{bs3}} - \sqrt{2\psi_B - V_{bs2}}} \quad (4.108)$$

$$N_A = n_i \exp\left(\psi_B \frac{q}{kT}\right) = 1 \times 10^{10} \exp(0.36/0.0259) \text{cm}^{-3} = 1.1 \times 10^{16} \text{cm}^{-3} \quad (4.109)$$

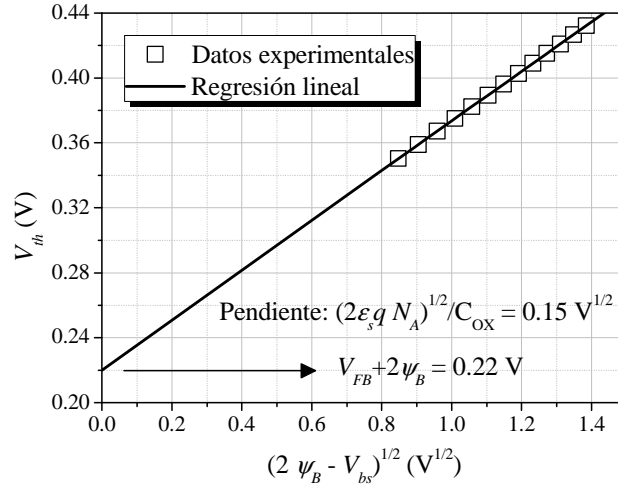


Figura 4.38. Ajuste del voltaje de umbral V_{th} en función de $(2\psi_B - V_{bs})^{1/2}$, considerando mediciones de RF. Donde ψ_B (igual a 0.36V) es el potencial de cuerpo.

Finalmente, se hace la linealización del voltaje de umbral V_{th} , como se ilustra en la figura 4.38. Para ello, se grafica V_{th} en función de $(2\psi_B - V_{bs})^{1/2}$. Así, se obtiene por extrapolación de los datos experimentales el voltaje de banda plana $V_{FB} = -0.50\text{V}$, el cual está relacionado con la diferencia de función de trabajo metal-semiconductor y las cargas en el óxido. Por consiguiente, el material de compuerta podría ser polisilicio n^+ , que cumple la condición de V_{FB} negativo [6].

4.5. Voltaje de umbral del RF-MOSFET para diferentes valores del voltaje de sustrato, considerando mediciones de DC

Para contrastar los resultados presentados en la sección anterior, se hicieron mediciones de DC del RF-MOSFET bajo las mismas condiciones de polarización, considerando un voltaje de drenaje V_{ds} de 50 mV. Así en la figura 4.39, se ilustran 5 métodos de extracción del voltaje de umbral V_{th} (ELR, SD, GMLE, RM y SDL) para V_{bs} igual a -1V; éstos se explicaron en detalle en el capítulo 2. Los valores obtenidos del voltaje de umbral varían entre 0.342V y 0.539V, que corresponden a los métodos GMLE y RM, respectivamente. Luego, se usan los métodos para cada uno de los valores de V_{bs} . De esta manera, se obtiene

la figura 4.40, evidenciando un comportamiento creciente de V_{th} cuando V_{bs} varía desde 0V hasta -1.2V.

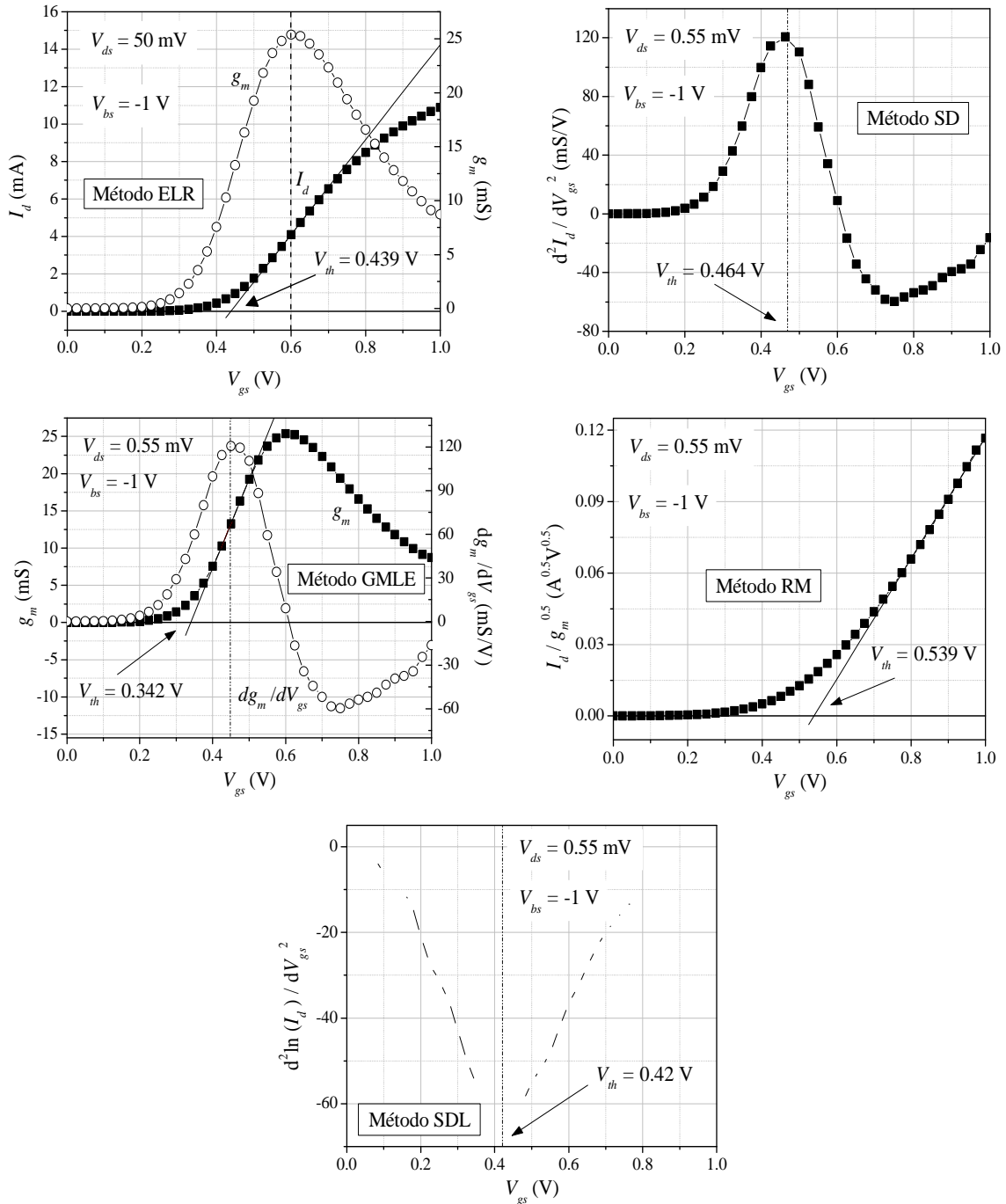


Figura 4.39. Determinación del voltaje de umbral a partir de diferentes métodos de extracción, considerando mediciones de DC.

Adicionalmente, el potencial de cuerpo ψ_B se halla a partir de la ecuación (4.108), encontrándose los valores listados en la tabla 4.3 para cada uno de los métodos. Para ello, se examinan 3 puntos de la gráfica de V_{th} en función de V_{bs} , la cual se muestra en la figura 4.40. A su vez, ψ_B permite hallar la concentración de impurezas aceptoras N_A en el sustrato. Así, se obtiene un rango de valores, que varía desde $0.2 \times 10^{16} \text{ cm}^{-3}$ hasta $7.5 \times 10^{16} \text{ cm}^{-3}$, como se presenta en la tabla 4.3. Por último, el voltaje de banda plana V_{FB} se determina por medio de la extrapolación en el punto $(2\psi_B - V_{bs}) = 0\text{V}$ de la gráfica de V_{th} en función de $(2\psi_B - V_{bs})^{1/2}$, como se ilustra en la figura 4.41.

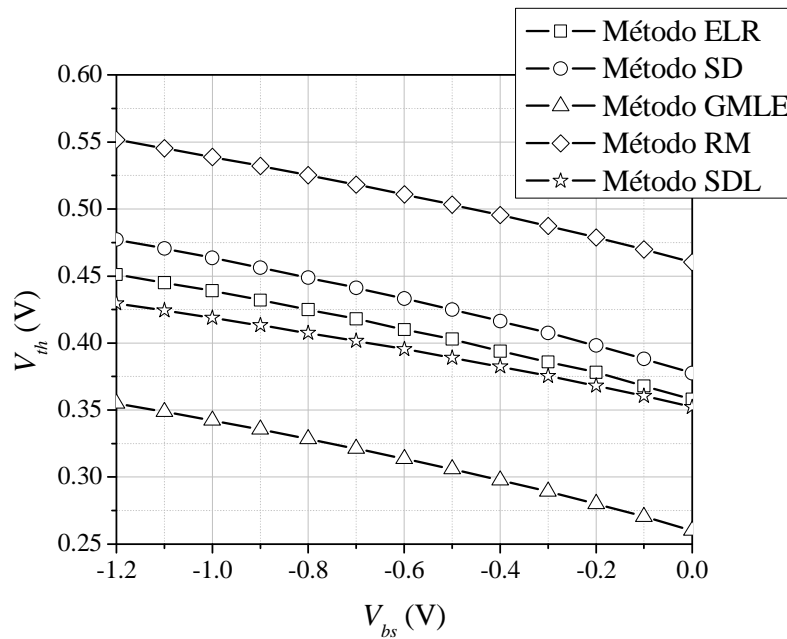


Figura 4.40. Dependencia del voltaje de umbral V_{th} con el voltaje de sustrato V_{bs} , considerando mediciones de DC y el método ELR.

Tabla 4.3. Potencial de cuerpo, concentración de impurezas y voltaje de banda plana extraídos a partir de mediciones de DC, utilizando diferentes métodos.

Método	Potencial de cuerpo ψ_B (V)	Concentración de impurezas N_A (cm^{-3})	Voltaje de banda plana V_{FB} (V)
ELR	0.38	2.4×10^{16}	-0.56
SD	0.39	3.5×10^{16}	-0.57
GMLE	0.31	0.2×10^{16}	-0.49
RM	0.41	7.5×10^{16}	-0.52
SDL	0.36	1.1×10^{16}	-0.49

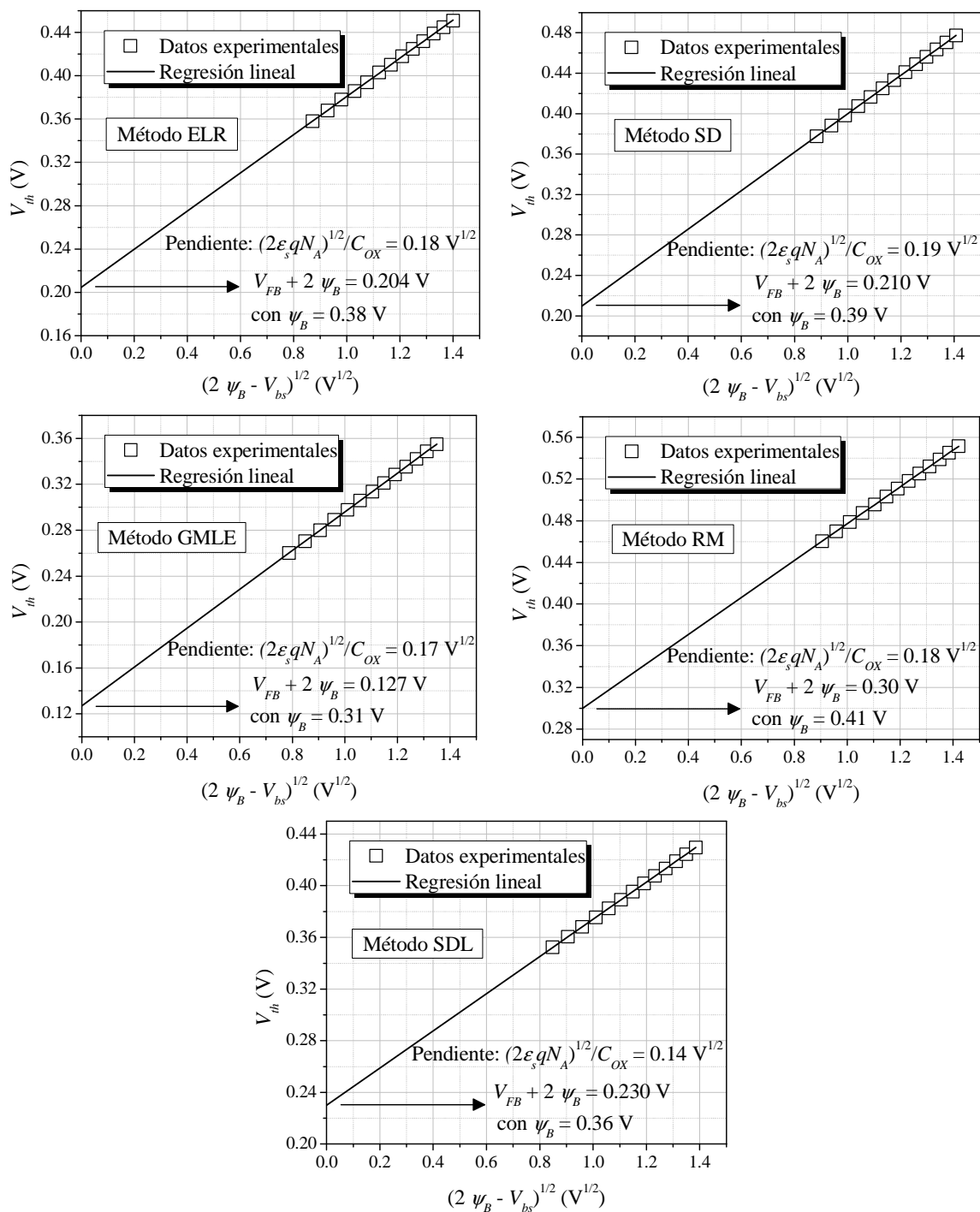


Figura 4.41. Ajuste del voltaje de umbral V_{th} en función de $(2\psi_B - V_{bs})^{1/2}$, considerando mediciones de DC.

4.6. Comparación de los resultados obtenidos a partir de mediciones de RF con las de DC

Después de hacer la caracterización del RF-MOSFET con terminal DC separado para el sustrato por medio de mediciones de RF y de DC, es necesario contrastar los resultados y establecer posibles diferencias. De esta forma, en la figura 4.42 se comparan las curvas del voltaje de umbral V_{th} en función del voltaje de sustrato V_{bs} a partir de mediciones de RF y de DC para diferentes métodos (ELR, SD, GMLE, RM y SDL). En consecuencia, los valores del voltaje de umbral, hallados mediante las mediciones de RF, están dentro del rango de variación de los métodos de extracción en cuestión. Cabe resaltar, que el método SDL presenta un comportamiento similar al obtenido por mediciones de DC, como se muestra en la tabla 4.4.

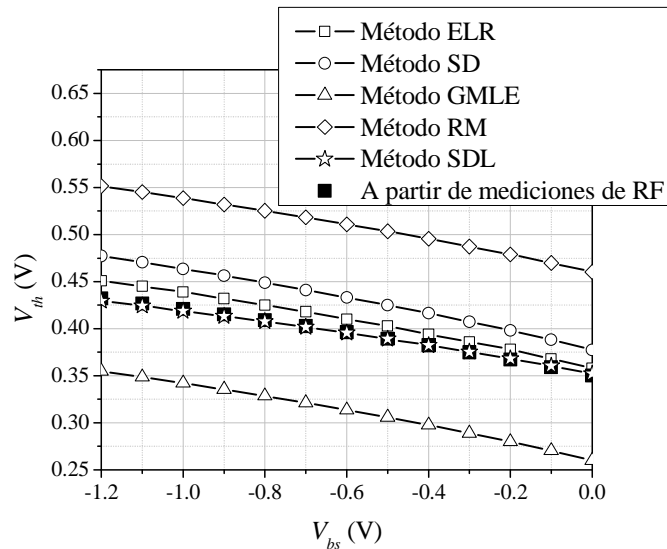


Figura 4.42. Voltaje de umbral en función del voltaje de compuerta obtenido a partir de mediciones DC y RF.

Tabla 4.4. Comparación de los parámetros del RF-MOSFET (ψ_B , N_A y V_{FB}) extraídos a partir de mediciones de RF y de DC.

Parámetros	Mediciones de RF del RF-MOSFET	Mediciones de DC del RF-MOSFET	Método SDL
Potencial de cuerpo ψ_B (V)	0.36	0.31 – 0.41	0.36
Concentración de impurezas N_A (cm^{-3})	1.1×10^{16}	$0.2 \times 10^{16} - 7.5 \times 10^{16}$	1.1×10^{16}
Voltaje de banda plana V_{FB} (V)	-0.50	(-0.57) – (-0.49)	-0.49

4.7. Conclusiones

En este capítulo, se presentó una metodología de extracción, basada en redes de dos puertos, de los elementos del circuito equivalente de pequeña señal de un RF-MOSFET con terminal separado para el sustrato, que determina de forma aislada las capacitancias de unión y las capacitancias de traslape. En este caso, se consideró al transistor apagado y solo se varió el voltaje de sustrato. Así, el potencial interconstruido se obtuvo a partir de la curva de la capacitancia de unión en función del voltaje de sustrato. A continuación, se expusieron las ecuaciones de admitancia dadas para el transistor en fuerte inversión. De esta manera, luego de extraer la resistencia del canal se pudo hallar el voltaje de umbral para diferentes valores del voltaje de sustrato, el cual está relacionado con el potencial de cuerpo, la concentración de impurezas y el voltaje de banda plana. Estos parámetros fueron obtenidos mediante mediciones de RF y de DC con el fin de hacer comparaciones.

Capítulo 5

Conclusiones

Se presenta una metodología simple de extracción de la red parásita del sustrato. Así, este método fue usado para caracterizar al dispositivo con la fuente y el sustrato desconectados. De hecho, hay una conexión DC separada para el sustrato. Este tipo de dispositivo se midió a partir de parámetros S de dos puertos, demostrando que el modelo propuesto sigue la misma tendencia de los datos experimentales. Una clara ventaja de este método es que las capacitancias pueden ser determinadas independientemente, dando paso a un conocimiento más detallado de los componentes parásitos presentes en el RF-MOSFET. Esta propuesta provee un método simple de caracterización basado en mediciones de parámetros de dos puertos de una estructura RF-MOSFET nueva con conexión DC separada para el sustrato. Esto permite al diseñador simular circuitos complejos en los cuales el sustrato y la fuente están polarizados con diferente potencial.

A partir del ajuste de los datos experimentales del RF-MOSFET apagado para diferentes voltajes de sustrato V_{bs} , se obtiene la variación de los elementos de la red parásita del sustrato, R_b , C_{js} y C_{jd} , con V_{bs} . Así, las capacitancias de unión disminuyen al hacerse más negativo V_{bs} , lo cual se debe al aumento del ancho de la región de agotamiento. Asimismo, se reduce el volumen efectivo con igual concentración en el sustrato y por ende se aumenta ligeramente la resistencia de sustrato R_b . A su vez, la linealización de las curvas de las capacitancias de unión en función de V_{bs} permite encontrar el potencial interconstruido en las uniones de fuente y drenaje. Por otro lado, en la condición de polarización de fuerte inversión se halla el voltaje de umbral del transistor mediante la extrapolación del inverso de la resistencia del canal en función del voltaje de compuerta V_{gs} para diferentes valores de V_{bs} ; luego, se pueden encontrar el potencial de cuerpo ψ_B , la concentración de impurezas del sustrato N_A y el voltaje de banda plana V_{FB} . Los resultados obtenidos con mediciones de RF se contrastaron con los de mediciones de DC, evidenciando una tendencia similar y el mismo orden de magnitud en cada uno de los parámetros en cuestión. Para ello, se consideraron 5 métodos de extracción del voltaje de umbral, extrapolación en la región lineal (ELR), segunda derivada de la transconductancia (SD), extrapolación de la transconductancia (GMLE), razón entre la corriente de drenaje y la raíz cuadrada de la transconductancia (RM) y segunda derivada del logaritmo de la corriente de drenaje (SDL). Así, en este trabajo se propone la extracción, basada en mediciones de RF, de todos los parámetros físicos asociados al transistor MOS, además de la caracterización de la red parásita del sustrato.

Referencias

- [1] Juin J. Liou and Frank Schwierz, "RF MOSFET: Recent advances and future trends," IEEE, pp. 185-192, 2003.
- [2] R. L. Negre, D. Roy, S. Boret, P. Scheer, D. Gloria and G. Ghibaudo, "Advanced 45nm MOSFET small-signal equivalent circuit aging under DC and RF hot carrier stress," Reliability Physics Symposium (IRPS), IEEE International, pp. HV.1.1 - HV.1.4, April 2011.
- [3] R. L. Negre, D. Roy, S. Boret, P. Scheer, D. Gloria and G. Ghibaudo, "Aging of 40nm MOSFET RF parameters under RF conditions from characterization to compact modeling for RF design," Radio Frequency Integrated Circuits Symposium (RFIC), IEEE, June 2011.
- [4] N. Zhang, L. Sun, J. Wen, J. Liu, J. Lou, G. Su and H. Li, "A 60GHz power amplifier using 90-nm RF-CMOS technology," ASIC (ASICON), IEEE 9th International Conference, pp. 933 - 936, Oct. 2011.
- [5] Ogura S, Codella C., Rovedo N, Shepard JF, Riseman J., "A Half-Micron MOSFET Using Double Implanted LDD," Tech Dig IEDM, pp. 718 – 721, 1982.
- [6] S. M. Sze and Kwok K. Ng, "Physics of semiconductor devices," Wiley, third edition, 2007.
- [7] Y. Cheng, M. J. Deen and C. H. Chen, "MOSFET modeling for RF circuit design," IEEE Transactions on Electron Devices, vol. 52, no. 7, 2005.
- [8] E. Augendre, R. Rooyackers, M. Caymax, EP. Vandamme, A. De Keersgieter, C. Perello, M. Van Dievel, S. Pochet, G. Badenes, "Elevated source/drain by sacrificial selective epitaxy for high performance deep submicron CMOS: Process window versus complexity," IEEE Transactions on Electron Devices, vol. 47, No. 7, pp. 1484-1491, 2000.
- [9] Y. Tsvetkov, "Operation and modeling of the MOS transistor," Oxford University Press, 1999.
- [10] J.-J. Ou, X. Jin, I. Ma, C. Hu, and P. R. Gray, "CMOS RF modeling for GHz communication ICs," VLSI Tech. Dig, pp. 94–95, 1998.

- [11] S. H.-M. Jen, C. C. Enz, D. R. Pehlke, M. Schröter, and B. J. Sheu, "Accurate modeling and parameter extraction for MOS transistors valid up to 10 GHz," *IEEE Trans. Electron Devices*, vol. 46, pp. 2217–2227, Nov. 1999.
 - [12] R. Sung, P. Bendix, and M. Das, "Extraction of high-frequency equivalent circuit parameters of submicron gate-length MOSFETs," *IEEE Trans. Electron Devices*, vol. 45, pp. 1769–1775, Aug. 1998.
 - [13] L. Tiemeijer and D. Klaassen, "Geometry scaling of the substrate loss of RF MOSFETs," in *Proc. ESSDERC 1998*, 1998, pp. 480–483.
 - [14] I. Kwon, M. Je, K. Lee, and H. Shin, "RF CMOS device modeling: BSIM-based physical model with root-like construction approach—small signal modeling," *Simul. Stand.*, vol. 11, no. 1, pp. 1–5, 2000.
 - [15] I. Kwon, M. Je, K. Lee and H. Shin, "A simple and analytical parameter extraction method of MOSFET for microwave modeling," *IEEE Trans. Microwave Theory Tech.*, vol. 50, pp. 1503–1509, June 2002.
 - [16] J. Han, M. Je, and H. Shin, "A simple and accurate method for extracting substrate resistance of RF MOSFETs," *IEEE Electron Device Letters*, vol. 23, No. 7, July 2002.
 - [17] J. Han, M. Je, and H. Shin, "Extraction method for substrate resistance of RF MOSFETs," *Proc. IEEE Int. Conference on Microelectronic Test Structures*, Vol 15, April 2002.
 - [18] S. F. Tin and K. Mayaram, "Substrate network modeling for CMOS RF circuit simulation," *IEEE Custom Integrated Circuits Conference*, pp. 583-586, 1999.
 - [19] A.F. Tong, K.S. Yeo, L. Jia, C.Q. Geng, J.-G. Ma and M.A. Do, "Simple and accurate extraction methodology for RF MOSFET valid up to 20 GHz," *IEE Proc.-Circuits Devices Syst.*, Vol. 151, No. 6, pp. 587-592, December 2004.
 - [20] I. Kwon, M. Je, K. Lee, and H. Shin "A simple and analytical parameter-extraction method of a microwave MOSFET," *IEEE Transactions on Microwave Theory and Techniques*, vol. 50, No. 6, June 2002.
 - [21] R. Sung, P. Bendix, and M. B. Das, "Extraction of high-frequency equivalent circuit parameters of submicron gate-length MOSFET's," *IEEE Transactions on Electron Devices*, vol. 45, No. 8, pp. 1769-1775, August 1998.
 - [22] Choong-Yul Cha, Jin-Pil Kim, and Sang Gug Lee, "Small-Signal substrate resistance effect in RF CMOS CASCODE amplifier," *IEEE Microwave and Wireless Components Letters*, vol. 13, no 7, pp. 253-255, 2003.
-

-
- [23] A. S. Sedra and K. C. Smith, "Circuitos Microelectrónicos," Oxford University Press, 1999.
- [24] R. Torres-Torres, "Small-signal modeling of bulk MOSFETs for high frequency applications," Ph.D. dissertation, Instituto Nacional de Astrofísica, Óptica y Electrónica (INAOE), December 2003.
- [25] C. Ho, Y. Lo, Y. Chang and J. J. Liou, "Determination of gate-bias dependent source/drain series resistance and effective channel length for advanced MOS devices," *Solid State Electronics*, vol. 50, no. 11-12, pp. 1774–1779, 2006.
- [26] F. C. J. Kong, Y. T. Yeow, and Z. Q. Yao, "Extraction of MOSFET threshold voltage, series resistance, effective channel length and inversion layer mobility from small-signal channel conductance measurement," *IEEE Transaction Electron Devices*, vol. 48, no. 12, 2001.
- [27] M. Y. Je, I. Kwon, H. Shin and K. Lee, "MOSFET modeling and parameter extraction for RF ICs," *International Journal of High speed Electronics and Systems*, vol. 11, no. 4, 2001.
- [28] N. Arora, "MOSFET modeling for VLSI simulation, theory and practice," World Scientific, 2007.
- [29] Z. H. Liu, C. Hu, J. H. Huang, T. Y. Chan, M. C. Jeng, P. K. Ko and Y. C. Cheng, "Threshold voltage model deep-submicrometer MOSFET's," *IEEE Trans. Electron Devices*, vol. 40, no. 1, pp. 86–95, January 1993.
- [30] K. H. Oh, Z. Yu and R. Dutton, "A bias dependent source/drain resistance model in LDD MOSFET devices for distortion analysis," 6th International Conference on VLSI and CAD, ICVC, pp. 190-193, 1999.
- [31] H. Wang, R. Zeng and X. Li, "An experimental study of carrier heating on channel noise in deep-submicrometer NMOSFETs via body bias," *IEEE Transactions on Microwave Theory and Techniques*, vol. 53, No 2, pp. 564-570, 2005.
- [32] L. Selmi and D. Esseni, "A better understanding of substrate enhanced gate current in VLSI MOSFET's and flash cells—Part II: Physical analysis," *IEEE Trans. Electron Devices*, vol. 46, no. 2, pp. 376–382, Feb. 1999.
- [33] F. Assaderaghi, D. Sinitsky, S. Parke, J. Bokor, P. K. Ko, and C. Hu, "A dynamic threshold voltage MOSFET (DTMOS) for ultra-low voltage operation," in *Int. Electron Devices Meeting Tech. Dig.*, pp. 809–812, 1994.
- [34] A. Ortiz-Conde, F. J. García Sánchez, J. J. Liou, A. Cerdeira, M. Estrada and Y. Yue, "A review of recent MOSFET threshold voltage extraction methods," *Microelectronics Reliability*, vol. 42, pp. 583-596, 2002.
-

- [35] M. Tsuno, M. Suga, M. Tanaka, K. Shibahara, M. Miura-Mattausch and M. Hirose, "Physically-based threshold voltage determination for MOSFET's of all gate lengths," IEEE Transactions on Electron Devices, vol. 46, pp. 1429-1434, 1994.
 - [36] J. J. Liou, A. Ortiz-Conde and F. J. García Sánchez, "Analysis and design of MOSFETs: modeling, simulation and parameter extraction," Kluwer Academic Publishers, 1998.
 - [37] H. S. Wong, M. H. White, T. J. Krutsick and R. V. Booth, "Modeling of transconductance degradation and extraction of threshold voltage in thin oxide MOSFET's," Solid-State Electron, vol. 30, pp. 953, 1987.
 - [38] M. Tsuno, M. Suga, M. Tanaka, K. Shibahara, M. Miura-Mattausch and M. Hirose, "Reliable threshold voltage determination for sub-0.1 um gate length MOSFETs," Proceedings of Asia and South Pacific conference, pp. 111-116, 1998.
 - [39] C. Mourrain, B. Cretu, G. Ghibaudo and P. Cottin, "New method for parameter extraction in deep submicrometer MOSFETs," Proceedings of the 2000 International Conference on Microelectronic Test Structures (ICMTS), pp. 181-186, 2000.
 - [40] E. T. Rios, "Substrate loss characterization and modeling for high frequency CMOS applications," Ph.D. dissertation, Instituto Nacional de Astrofísica, Óptica y Electrónica (INAOE), November 2008.
 - [41] A. Parker and J. Rathmell, "Bias and frequency dependence of fet characteristics," IEEE Transactions on Microwave Theory and Techniques, vol. 51, no. 2, pp. 588-592, Feb. 2003.
 - [42] R. S. Murphy, "Teoría Electromagnética," Trillas, 2001.
 - [43] L. Martens, "High-frequency characterization of electronic packaging," Springer, 1998.
 - [44] R. Tórres-Tórres, R. S. Murphy-Arteaga and J. A. Reynoso-Hernández, "Analytical model and parameter extraction to account for the pad parasitics in RF-CMOS," Transactions on Electron Devices, IEEE. vol. 52, no. 7. 2005.
 - [45] H. Cho and D. Burk, "A three step method for the de-embedding of high frequency S-parameter measurements," Transactions on Electron Devices, IEEE. vol. 38, no. 6, pp. 1371-1375, 1991.
 - [46] M. Koolen, J. Geelen and M. Versleijen, "An improved de-embedding technique for on-wafer high-frequency characterization," Proceedings of the 1991 Bipolar Circuits and Technology Meeting, pp. 188-191, 1991.
-

- [47] T. Kaija and P. Heino, "The optimization of on-wafer shield-based test fixture layout," *IEEE Transaction on Microwave Theory and Techniques*, vol. 54, no. 5 pp. 1975-1982, May 2006.
 - [48] E. Torres Rios, R. Torres Torres, R. Murphy Arteaga and E. Gutierrez, "Analytical characterization and modeling of shielded test structures for RF-CMOS," *International Journal of High Speed Electronics and Systems*, vol. 18, no. 4 pp. 2008.
 - [49] I. M. Kang, J. Duk Lee, and H. Shin, "Extraction of π -type substrate resistance based on three-port measurement and the model verification up to 110 GHz," *IEEE Electron Device Letters*, vol. 28, No 5, pp. 425-427, 2007.
 - [50] N. Srirattana, D. Heo, H. M. Park, A. Raghavan, P. E. Allen, and J. Laskar, "A new analytical scalable substrate network model for RF MOSFETs," *IEEE MTT-S Digest*, vol. 4, pp. 699-702, 2004.
 - [51] J. Han, Minkyu Je, and H. Shin, "A simple and accurate method for extracting substrate resistance of RF MOSFETs," *IEEE Electron Device Letters*, vol. 23, No. 7, pp. 434-436, 2002.
 - [52] S. Lee, C. S. Kim and H. K. Yu, "A small-signal RF model and its parameter extraction for substrate effects in RF MOSFETs," *IEEE Transactions on Electron Devices*, vol. 48, No. 7, pp. 1374-1379, July 2001.
 - [53] D. W. Lin, M. L. Cheng, S. W. Wang, C. C. Wu and M. J. Chen, "A novel method of MOSFET series resistance extraction featuring constant mobility criteria and mobility universality," *IEEE Transactions on Electron Devices*, vol. 57, no. 4, pp. 890-897, April 2010.
 - [54] C. K. Park, C. Y. Lee, K. Lee, B. J. Moon, Y. H. Byun and M. Shur, "A unified charge control model for long channel n-MOSFETs," *IEEE Transactions on Electron Devices*, vol. 38, pp. 399-406, 1991.
 - [55] M. Levinshtein and G. Simin, "Transistors: From crystals to integrated circuits," *World Scientific Publishing*, pp. 19, 1998.
-