



INAOE

Modelado Comportamental de Sistemas Basados en Transistores de un Solo Electrón

por

Francisco Javier Castro González

Tesis sometida como requisito parcial para obtener el
grado de

**MAESTRO EN CIENCIAS EN LA
ESPECIALIDAD DE ELECTRONICA**

en el

**Instituto Nacional de Astrofísica, Óptica y
Electrónica**

Agosto 2009. Tonantzintla, Puebla

Supervisada por:

**Dr. Arturo Sarmiento Reyes
Dr. Luís Hernández Martínez**

©INAOE 2009

El autor otorga al INAOE el permiso de reproducir y
distribuir copias en su totalidad o en partes de esta tesis



Agradecimientos

Un especial agradecimiento a mis asesores, los Doctores Librado Arturo Sarmiento Reyes y Miguel Hernández Martínez, quienes con sus constantes consejos y estímulos me guiaron a la exitosa finalización de esta tesis.

También a mis profesores del INAOE que durante el año de estudios contribuyeron ampliamente con mi formación académica.

Otro especial agradecimiento a mis compañeros del cubo Jacobo, Pacheco y Rosy, a ellos gracias por su compartir su tiempo conmigo. No olvido a mis compañeros de generación Yahir, Luis Carlos, Arturo, Isabelo, Hector, Emmanuel, etcétera, gracias!

A mi familia tan hermosa, mi jefa (mi madre), mi hermana (bss), mi sobrino Madox, y mi cuñado. También a mi tío Gabino y su familia.

A mi GIS "tomat".

Por último quiero dar gracias al CONACyT y al INAOE por brindarme las facilidades para cursar mis estudios de maestría.

Índice general

1. Introducción	1
1.1. Motivación	1
1.2. Escalamiento del MOSFET	2
1.3. Objetivos	4
1.4. Organización de la Tesis	4
2. Estado del arte	7
2.1. El transistor de un solo electrón (SET)	7
2.1.1. La electrónica de un solo electrón	7
2.1.2. Arquitectura básica del SET	11
2.1.3. Parámetros y curvas características del SET	12
2.1.4. Principales enfoques para la simulación del SET	14
2.2. Modelado Lineal a Segmentos	17
2.2.1. Introducción	17
2.2.2. Modelado explícito de Chua-Kang	18
2.2.3. Modelo implícito de van Bokhoven	25
3. Modelado del SET	29
3.1. Introducción	29
3.2. Modelado de la curva característica $I_D - V_{DS}$	31
3.2.1. Modelo explícito PWL	33
3.3. Modelado de la curva característica $I_D - V_{GS}$	40
3.3.1. Modelado “alternativo” de la curva característica $I_D - V_{GS}$	51

4. Ejemplos	59
4.1. Inversor con SETs	59
4.2. Inversor híbrido MOS-SET	61
4.3. Compuerta híbrida NOR	64
5. Conclusiones y Trabajo Futuro	67
5.1. Conclusiones	67
5.2. Trabajo futuro	68
Apéndice	68
A. Módulos en Verilog-A	69
A.1. Módulo para el modelo PWL	69
A.2. Módulo para el modelo sinusoidal	71
A.3. Módulo para el modelo “sinusoidal alternativo”	72

Índice de figuras

2.1. Idea básica del control mediante un solo electrón: el sistema (isla) antes (a) y después (b) de añadir un electrón. La carga de este electrón crea un campo eléctrico \mathbf{E} , el cual previene la adición de más electrones al sistema.	9
2.2. Evolución del SET. Desde la unión túnel (a), pasando por el dispositivo de un solo electrón (b) hasta el transistor de un solo electrón (c).	12
2.3. Diagrama esquemático del SET.	13
2.4. Curvas características del SET obtenidas con SIMON a una temperatura $T = 1K$. Los parámetros del dispositivo usados para la simulación son $C_G = 2aF$, $C_{TD} = C_{TS} = 1aF$, y $R_{TD} = R_{TS} = 1M\Omega$	14
2.5. Macromodelo propuesto por Yu.	16
2.6. Clasificación de curvas PWL unidimensional	18
2.7. Ejemplos de curvas PWL (univaluada y multivaluada).	19
2.8. Ejemplos de curvas PWL (continua y discontinua).	20
2.9. Ejemplos de curvas PWL (m -finita vs m -infinita).	21
2.10. Curva lineal a segmentos unidimensional para el ejemplo 1.	22
2.11. Circuito que contiene un diodo túnel (a). Curva característica del diodo túnel 1N3716 (b).	24
2.12. Aproximación PWL (línea azul) para la curva característica del diodo túnel 1N3716 (línea magenta).	25

3.1. Dispositivo bajo prueba: SET.	30
3.2. Familia de curvas características $I_D - V_{DS}$ obtenidas con SIMON ver. 2, para varios valores de voltaje de compuerta a fuente (V_{GS}).	32
3.3. Super-posición de voltajes de compuerta a fuente V_{GS}	33
3.4. Enfoque del modelo PWL para el SET.	34
3.5. Comparación de las curvas características $I_D - V_{DS}$ entre el modelo PWL (trazo azul) y SIMON (puntos). El error punto a punto se muestra en color rojo	37
3.6. Comparación de las curvas características $I_D - V_{GS}$ entre el modelo PWL y SIMON para (V_{DS} positivos).	38
3.7. Comparación de las curvas características $I_D - V_{GS}$ entre el modelo PWL y SIMON para (V_{DS} negativos).	39
3.8. Familia de curvas $I_D - V_{GS}$ obtenidas con SIMON para voltajes V_{DS} positivos (a) y negativos (b).	41
3.9. Parámetros que describen una función sinusoidal. a) Amplitud, b) Frecuencia, c) Fase inicial y d) Desnivel.	42
3.10. Variación de la amplitud en función del voltaje V_{DS}	44
3.11. Variación de la frecuencia en función del voltaje V_{DS}	45
3.12. Variación de la fase en función del voltaje V_{DS}	46
3.13. Variación del desnivel en función del voltaje V_{DS}	46
3.14. Resultados de SIMON y la función sinusoidal propuesta para varios voltajes V_{DS} sobre la curva característica $I_D - V_{GS}$	48
3.15. Error (línea roja) montado sobre el desnivel (línea verde) entre SIMON 2.0 y la función sinusoidal propuesta para diversos valores de voltaje V_{DS}	49
3.16. Resultados de SIMON y la función sinusoidal propuesta para voltajes V_{DS} negativos.	51
3.17. Comparación entre la función PWL y la función cuadrática para describir la amplitud A_0	52
3.18. Comparación entre la función PWL y la función cuadrática para describir el desnivel A_{off}	53

3.19. Comparación entre los resultados de SIMON y la función sinusoidal propuesta (modelo alternativo) para la familia de curvas características $I_D - V_{GS}$	54
3.20. Error (línea roja) entre SIMON 2.0 y la función sinusoidal propuesta (modelo alternativo) montadas sobre el desnivel (línea verde) para diversos valores de voltaje V_{DS}	55
3.21. Representación de las funciones impares para la amplitud y el desnivel.	56
3.22. Comparación entre los resultados de SIMON y la función sinusoidal propuesta (modelo alternativo) para la familia de curvas características $I_D - V_{GS}$ (V_{DS} negativos).	57
3.23. Error cuadrático medio para los modelos sinusoidales.	58
4.1. Ejemplo 1. Inversor compuesto por 2 SETs.	60
4.2. Característica entrada-salida del inversor con SETs. Comparación entre los modelos propuestos y SIMON.	60
4.3. Ejemplo2. Inversor híbrido MOS-SET.	61
4.4. Resultados de simulación utilizando el modelo sinusoidal para el circuito de la figura 4.3. (a) I_d del SET y V_t en el nodo SET/NMOS como función de V_{in} . (b) Característica transitoria de V_t , V_i y V_{out} al aplicar un señal cuadrada en V_{in}	63
4.5. Ejemplo 3. Compuerta híbrida NOR.	64
4.6. Compuerta NOR, conectada a una serie de 4 buffers CMOS.	64
4.7. Respuesta en el tiempo de la compuerta híbrida NOR.	65

Resumen

Los actuales avances tecnológicos en la fabricación de dispositivos de un solo electrón ofrecen la oportunidad de diseñar sistemas en los cuales la tecnología CMOS y los nanodispositivos puedan coexistir en un gran número de aplicaciones. Además, la constante reducción en las dimensiones de los dispositivos CMOS está llegando a sus límites fundamentales, debido a la aparición de los efectos cuánticos que no se tuvieron en cuenta hace apenas unos cuantos años.

Similarmente a como sucedió en el caso del diseño de circuitos y sistemas microelectrónicos, un flujo de diseño TOP-DOWN también debe ser concebido para sistemas compuestos por MOSFETs y dispositivos de un solo electrón. Este flujo de diseño debe incluir un ruta de verificación con varios niveles de jerarquía y tipos de cosimulación. Una estrategia de verificación particularmente sencilla para los sistemas híbridos compuestos de dispositivos SET y CMOS consiste en la formulación de modelos funcionales que pueden ser aplicados directamente en el flujo de diseño.

Los modelos funcionales tienen una capacidad demostrada para acelerar la verificación eléctrica por recurrir a descripciones matemáticas del sistema bajo análisis, que pueden ser fácilmente evaluadas y consultadas durante el proceso iterativo de simulación. Entre los modelos funcionales, las relaciones constitutivas de rama de un elemento de circuito resultan ser excelentes herramientas para la descripción completa y detallada de los dispositivos involucrados en la simulación de circuitos microelectrónicos.

En este trabajo se presenta un modelo funcional lineal por segmentos y otros dos modelos sinusoidales para el transistor de un solo electrón. Los modelos están destinados a la cosimulación de sistemas híbridos, y pueden ser fácilmente codificadas en un lenguaje de alto nivel de descripción.

Abstract

Present-day technological developments in the fabrication of Single-Electron devices provide the opportunity for devising systems in which CMOS technology and nanodevices will coexist for a wide number of applications. Besides, the steady downscaling of CMOS devices is reaching its fundamental limits due to the occurrence of quantum effects which were not taken into account just a few years ago.

As it happened in the case of microelectronic design, a top-to-down design flow must also be conceived for systems composed of MOS and SET devices. Such a design flow must include a design verification path with several levels of hierarchy and types of cosimulation tasks. A particularly simple verification strategy for hybrid systems composed of SET devices and CMOS consists in the formulation of functional models that may be of straightforward application in the design flow-path.

Functional models have a proven capability to speed up electrical verification by resorting to mathematical descriptions of the system under analysis, which can be easily evaluated and consulted during the iterative process of simulation. Among the functional models, the constitutive branch-relationships of circuit elements come across as excellent tools for the complete and detailed description of the devices involved in microelectronic circuit simulation.

In this work, a piecewise linear model and two sinusoidal models for the single-

electron transistor are presented. The models are aimed for co-simulation of hybrid systems, and they can be easily coded in a high level description language.

Capítulo 1

Introducción

1.1. Motivación

Por una lado, el continuo escalamiento en las dimensiones del transistor MOS está llegando a su límite. Por otro lado, los avances relacionados al diseño de dispositivos electrónicos a nivel nanométrico se están volviendo una realidad, como el transistor de un solo electrón (SET, *Single-Electron Transistor*). Esto permite vislumbrar la futura coexistencia del transistor MOS con dispositivos nanoelectrónicos para formar sistemas electrónicos a nivel *nano*, llamados sistemas híbridos.

Bajo esta perspectiva, se requieren herramientas CAD, tanto de verificación como de modelado, para estudiar el comportamiento de estos sistemas híbridos, y así obtener las ventajas que proporcionan distintas tecnologías.

La presente tesis aborda en particular el problema del modelado para el SET, por la necesidad de incluir dispositivos nanoelectrónicos en el flujo de diseño de circuitos integrados y de manera más específica combinar los modelos comportamentales del SET con los estándares de modelado eléctrico del transistor MOS.

Los modelos obtenidos deben tener una estructura modular con el objetivo de ser implementados en VERILOG-A, lo que permita su fácil inclusión en el flujo de

diseño descendiente (*top-down*).

1.2. Escalamiento del MOSFET

En la industria de circuitos integrados, el transistor de efecto de campo (*FET*) ha permanecido vigente desde los años 60's. El uso comercial de este dispositivo motiva a esta industria a mantener una continua reducción en las dimensiones del dispositivo, incrementando la densidad de integración de los circuitos, la velocidad de operación, reduciendo su costo de producción y disminuyendo el consumo de potencia [1], [2].

Aunque este panorama es muy alentador, la disminución en las dimensiones del FET conlleva a limitantes relevantes a partir de longitudes de compuerta menores a 100nm [3], las cuales pueden catalogarse en:

Limitantes fundamentales Están relacionadas con leyes de la física básica. Por ejemplo, basados en la termodinámica y en la teoría de la información, artículos como [4] y [5] deducen que la energía mínima de conmutación es:

$$E_{min} = (\ln 2)k_B T$$

donde k_B es la constante de Boltzmann y T es la temperatura absoluta. Para el caso del inversor CMOS, la energía, el voltaje V_{DD} y la longitud de compuerta mínima para cada transistor MOSFET a una temperatura de 300°K [6] son:

Parámetro	Expresión	Valor Numérico ¹
$E_s(min)$	$(\ln 2)k_B T$	0.017eV
$V_{DD}(min)$	$2(\ln 2)k_B T/q$	0.0358V
$L(min)$	$\sqrt{[T_{ox}/\epsilon_{ox}]q^2/[2(\ln 2)kT]}$	13.9nm

¹ En un FET ideal a 300°K y asumiendo el mínimo $T_{ox} = 1.5nm$ para mantener las propiedades del bulk en SiO_2

Estás limitaciones están presentes en cualquier tipo de material, dispositivo o circuito usado para la transición binaria.

Limitantes en materiales Están estrechamente relacionadas con las propiedades de los metales, los dieléctricos y los semiconductores utilizados en la fabricación de circuitos integrados. Por ejemplo, la finita conductividad de las interconexiones que degradan el comportamiento ideal de los dispositivos, el inevitable movimiento de cargas a través de los dieléctricos que introducen corrientes no deseadas.

Limitantes a nivel dispositivo Son debidas a la arquitectura, principios y tecnología usada. Ejemplos son:

1. La reducción de la barrera de potencial inducida por el drenaje (Drain Induced Barrier Lowering -DIBL-)
2. Los efectos cuánticos en la capa de inversión (avalancha y tuneleo)
3. La corriente de fuga por compuerta
4. Las resistencias ocasionadas por las terminales (fuente y drenaje)
5. El efecto "Perforación" (Punch through en inglés)
6. La degradación de la movilidad por campos eléctricos altos
7. La corriente estática
8. Los elementos y dispositivos parásitos (capacitores, resistores, diodos, transistores bipolares, etc.)
9. La degradación del óxido de compuerta

Limitantes a nivel circuital y de sistemas Están ligadas con la arquitectura, la energía de conmutación, la disipación de calor, la frecuencia de operación y el tamaño del chip, entre otras.

Limitantes en el costo de fabricación Este tipo de limitantes pueden ser consideradas como las principales, ya que determinan la factibilidad de las tecnologías emergentes.

1.3. Objetivos

Con base en la necesidad existente de tener circuitos híbridos y que el flujo de diseño pueda ser efectuado de manera eficiente, se plantea el **objetivo general** de esta tesis, que es:

- Generar modelos comportamentales para el transistor de un solo electrón.

Con los siguientes **objetivos específicos**:

1. Desarrollar un modelo lineal a segmentos a partir de la curva característica $I_D - V_{DS}$ del SET.
2. Elaborar un modelo matemático funcional a partir de la curva característica $I_D - V_{GS}$ del SET.
3. Generar dichos modelos con una estructura modular programados en VERILOG-A para permitir la cosimulación con el transistor MOS.
4. Verificar por medio de ejemplos circuitales, el funcionamiento de los modelos propuestos.

1.4. Organización de la Tesis

En el capítulo 2 se presenta el estado del arte correspondiente al transistor de un solo electrón. En este mismo capítulo se realiza una introducción sobre el modelado lineal a segmentos (PWL, Piecewise Linear en inglés), donde se presentan algunos ejemplos sobre su formulación. El objetivo de este capítulo es proporcionar una idea general sobre el funcionamiento del SET y sus principales enfoques de simulación, así como introducir el marco matemático en el que se desarrollan los modelos propuestos en el capítulo tres.

En el capítulo 3 se presenta el desarrollo de un modelo funcional mediante la formulación explícita lineal a segmentos a partir de la curva característica $I_D - V_{DS}$

del SET. En este mismo capítulo y con el afán de mejorar el modelo previo, se presentan dos modelos matemáticos utilizando funciones sinusoidales para describir el comportamiento del SET a partir de la curva característica $I_D - V_{GS}$.

En el capítulo 4 se presentan algunos ejemplos utilizando los modelos propuestos: un inversor constituido únicamente con SETs, un inversor híbrido SET-MOS y una compuerta NOR híbrida SET-MOS.

Por último, las conclusiones y el a trabajo futuro se detallan en el capítulo 5.

Capítulo 2

Estado del arte

En este capítulo se presenta el estado del arte relacionado con el transistor de un solo electrón. También se introduce la formulación explícita del modelado lineal a segmentos [7], [8] y [9] que sirve de transfondo matemático para la generación de los modelos propuestos para el SET en el capítulo 3. Por último, se realiza un breve análisis sobre la formulación implícita del modelado lineal a segmentos [10], [11] que es otra forma de interpretar una función no lineal, mediante funciones afines.

2.1. El transistor de un solo electrón (SET)

2.1.1. La electrónica de un solo electrón

Reseña histórica

En 1951, C. J. Gorter, estudiando estructuras metálicas ultra-delgadas (con forma de un capacitor, pero con dimensiones micrométricas) a bajas temperaturas [12] notó la supresión de la conductividad en DC a bajos voltajes, lo cual era debido a la carga de un solo electrón encerrado dentro de la estructura metálica en cuestión. Este fenómeno, que es conocido como Bloqueo Coulómbico, fue la base para el desarrollo de electrónica de un solo electrón.

Después de casi dos décadas sin avances relevantes en la electrónica de un solo electrón, en 1969, Lambe y Jacklevic investigaron acerca de la cuantización de la carga en capacitores túnel [13]. En este mismo año, Zeller and Giaever desarrollaron la teoría sobre el Bloqueo Coulómbico en uniones túnel [14].

Continuando con la línea histórica, a mediados de los años 80's la investigación en la electrónica de un solo electrón se ve favorecida gracias a las investigaciones de Averin y Likharev en [15], introduciendo la teoría de la transferencia oscilatoria de un solo electrón y el transistor de un solo electrón. En consecuencia a estas investigaciones, se vislumbró un gran potencial para usarlas como compuertas lógicas y memorias.

Hoy en día, debido a los continuos avances tecnológicos, es posible construir estructuras con dimensiones nanométricas [16]-[17], las cuales resultan adecuadas para trabajar con dispositivos de un solo electrón.

Principios de operación

La idea básica sobre la electrónica de un solo electrón se muestra en la figura 2.1, la esfera representa un sistema (comúnmente conocido como isla) que al añadirle o quitarle un electrón (o un pequeño número de estos) se puede controlar la fuerza de atracción o repulsión ejercida por la isla sobre otros electrones.

Una explicación más detallada es la siguiente: la esfera que se ilustra en la figura 2.1 (a) se puede entender como un conductor electroneutral (es decir, que tenga el mismo número m de electrones que protones en su estructura cristalina) el cual no presenta un campo eléctrico significativo en sus bordes por tener un equilibrio de cargas. Al suministrar un campo eléctrico al sistema (es decir, a la isla) se puede atraer un electrón del exterior, por lo que el sistema adquiere una carga $-e$, lo que produce un momento dipolar y un campo eléctrico que rechazan a los siguientes electrones que podrían ser añadidos, provocando que la isla deje de ser electroneu-

tral como se ve en la Figura 2.1 (b).

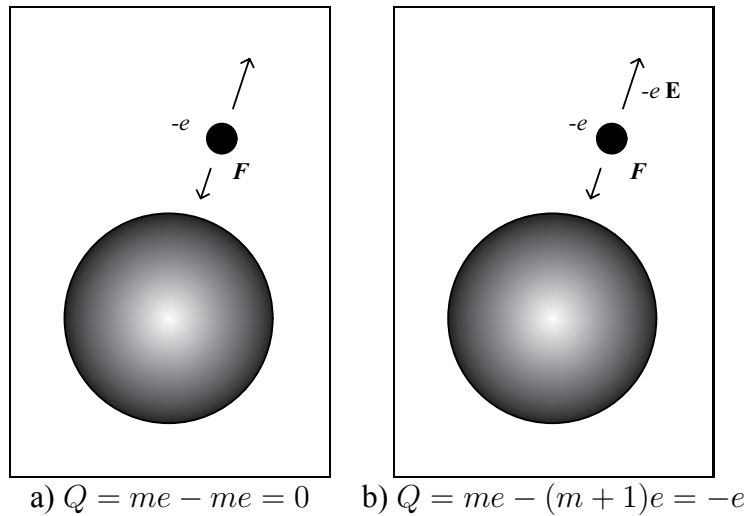


Figura 2.1: Idea básica del control mediante un solo electrón: el sistema (isla) antes (a) y después (b) de añadir un electrón. La carga de este electrón crea un campo eléctrico \mathbf{E} , el cual previene la adición de más electrones al sistema.

Dado que la carga eléctrica fundamental tiene un valor de $e \cong 1.6 \times 10^{-19}\text{C}$ y que el campo eléctrico es inversamente proporcional al cuadrado de la tamaño de la isla, el campo eléctrico puede tomar valores muy altos para estructuras nanométricas. Por ejemplo, utilizando [18] se pueden calcular campos eléctricos mayores a 140kV/cm en la superficie de una esfera de 10nm según la siguiente formulación:

$$\begin{aligned}
 E_{EXT.}(r) &= \frac{Q}{4\pi\epsilon_0 r^2} = \frac{1.6 \times 10^{-19}\text{C}}{4\pi(8.85 \times 10^{-14}\text{F} \cdot \text{cm}^{-1})(1 \times 10^{-6}\text{cm})^2} \\
 &= 143\text{kV} \cdot \text{cm}^{-1}
 \end{aligned}
 \tag{2.1}$$

En lugar de utilizar al campo eléctrico para realizar los cálculos en la electrónica de un solo electrón, es más común utilizar el concepto de energía, dado que relaciona la carga con la capacitancia ($E \propto Q^2/C$). De esta manera, la energía que aporta un electrón a la isla está dada por:

$$E_A = E_C + E_K \approx E_C \approx e^2/C \quad (2.2)$$

donde E_C es la energía almacenada (e^2/C para un conductor esférico [19]) y E_K es la energía cinética que añade el electrón. En [20] se deduce que E_A es dominada por E_C cuando el diámetro de la isla es mayor a 1nm. Dada esta condición, los electrones requieren de una energía mínima para entrar al sistema. Cuando se aplica un voltaje externo al sistema (es decir, a la isla) incapaz de proveer dicha energía mínima, ningún electrón podrá entrar a ésta y el dispositivo se encontrará apagado. Tal situación es conocida como Bloqueo Coulómbico.

Por otra parte, la temperatura puede inducir el tuneléo de electrones a la isla, suprimiendo el fenómeno de Bloqueo Coulómbico, por lo cual la cantidad de energía aplicada para introducir un electron a la isla E_A tiene que ser β veces mayor que la energía térmica:

$$E_A \approx e^2/C \geq \beta k_B T \quad (2.3)$$

donde $k_B T$ es la energía térmica y β toma valores desde 10 (para aplicaciones de memorias) hasta 40 (para aplicaciones lógicas).

Por ejemplo, haciendo los cálculos correspondientes para un dispositivo de un solo electrón que este alrededor de los 100nm, se necesitaría una temperatura aproximada a los 10°K para mantener confinado el electrón dentro de la isla, Sin embargo, cuando el mismo dispositivo es tratado con dimensiones menores (reduciendo un orden de magnitud), la temperatura rondará sobre la del ambiente (300°K) conforme a las investigaciones en [21], y de acuerdo a los siguientes cálculos:

Parámetro	Expresión	Valor	
		$T = 10^\circ\text{K}$	$T = 300^\circ\text{K}$
C	$\frac{e^2}{\beta k_B T}$	18aF	61aF
ψ	$\frac{C}{4\pi\epsilon_0}$	166nm	5.5nm

2.1.2. Arquitectura básica del SET

Semejante a los transistores tradicionales (el BJT y el MOSFET), el transistor de un solo electrón está constituido a partir de otro componente más sencillo llamado unión túnel (ver figura 2.2 (a)). Dicha unión está compuesta básicamente por dos placas conductoras (electrodos) separadas por un diminuto dieléctrico (de unos cuantos nanómetros), que según la teoría clásica es una barrera que impide el paso de los electrones de un electrodo a otro. Sin embargo, para la teoría cuántica hay cierta probabilidad de que un electrón pueda cruzar el dieléctrico en un corto tiempo debido al fenómeno cuántico conocido como efecto túnel ([22]).

Cuando dos uniones túnel se conectan en serie forman el dispositivo de un solo electrón (SED, single-electron device), el cual se muestra en la figura 2.2 (b). La parte intermedia de este dispositivo es la anteriormente denominada isla.

Al incluir una tercera terminal conectada a la isla, se obtiene un SET. Aunque esta tercera terminal puede estar acoplada mediante un capacitor (C-SET), o un resistor (R-SET), o un diodo (D-SET) o incluso otra unión túnel (J-SET) [23], el SET con mayor tratamiento en la literatura es C-SET [24], [25], [26], por lo que esta tesis se enfoca únicamente en dicha categoría. Se ilustra en la figura 2.2 (c) el símbolo utilizado para representar al C-SET y el concepto de su estructura física.

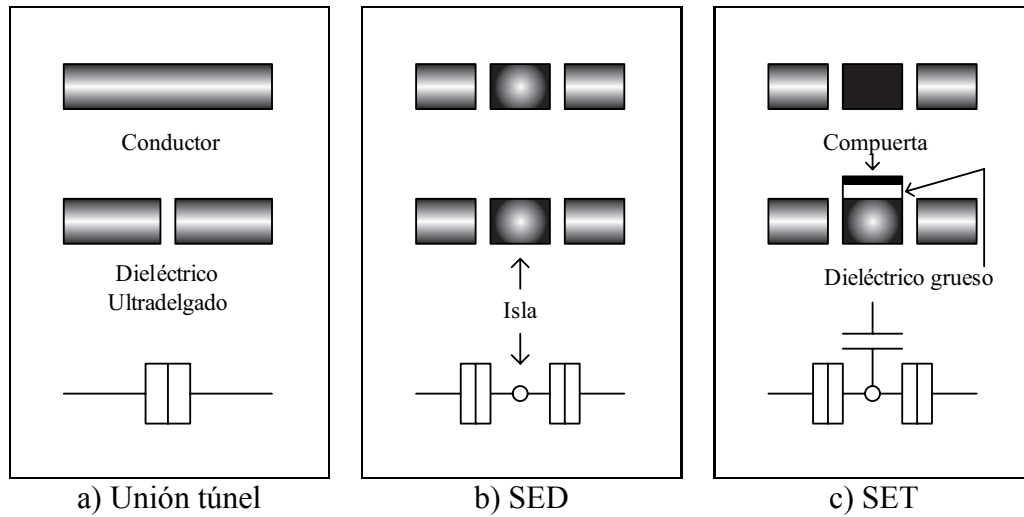


Figura 2.2: Evolución del SET. Desde la unión túnel (a), pasando por el dispositivo de un solo electrón (b) hasta el transistor de un solo electrón (c).

2.1.3. Parámetros y curvas características del SET

En la figura 2.3 se ilustra el circuito esquemático de un SET con doble compuerta. El símbolo se compone por dos uniones túnel conectadas en serie, donde los extremos se denominan terminal de fuente y terminal de drenaje. La parte intermedia de estas uniones se le conoce como isla, a la cual se le conecta un capacitor que es la terminal de compuerta C_G . En esta figura es posible ver otra terminal de compuerta C_{G2} que generalmente indica la capacitancia producida por el sustrato. Cabe especificar que los modelos propuestos en esta tesis están desarrollados para el SET con una sola terminal de compuerta.

El símbolo de la unión túnel se representa mediante la combinación de un capacitor y un resistor (C_T y R_T respectivamente) con el objetivo de ilustrar un comportamiento de fugas.

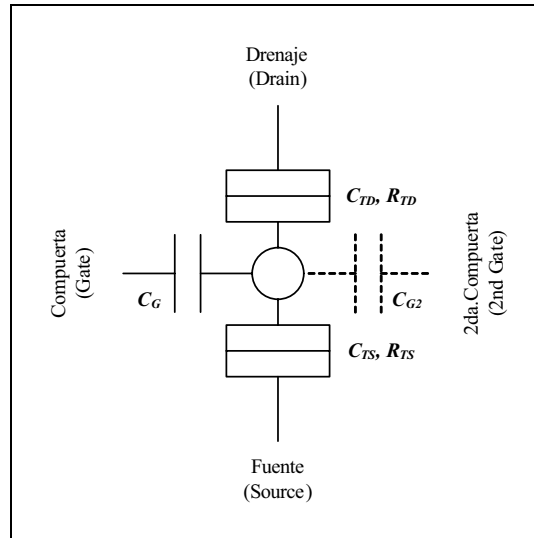


Figura 2.3: Diagrama esquemático del SET.

De la figura anterior, se definen los principales parámetros eléctricos que caracterizan al SET:

- C_{TD} : Capacitancia de la unión túnel del drenaje
- C_{TS} : Capacitancia de la unión túnel de la fuente
- C_{G1} : Capacitor de compuerta
- C_{G2} : Capacitor de la segunda compuerta
- R_{TD} : Resistencia de la unión túnel del drenaje
- R_{TS} : Resistencia de la unión túnel de la fuente

En la figura 2.4 (a) se ilustran unas curvas de I_D contra V_{DS} para varios valores de V_{GS} del SET, en donde se aprecia la *Región de Bloqueo Coulómbico* para el caso de $V_{GS} = -0.02V$. Así mismo, se observa que en estas curvas el SET opera como una resistencia lineal a partir de los extremos del Bloqueo Coulómbico.

Por otra parte, en la figura 2.4 (b) se muestran las curvas características de I_D contra V_{GS} para varios V_{DS} del SET, en las cuales se puede observar una manifestación periódica en función de V_{GS} .

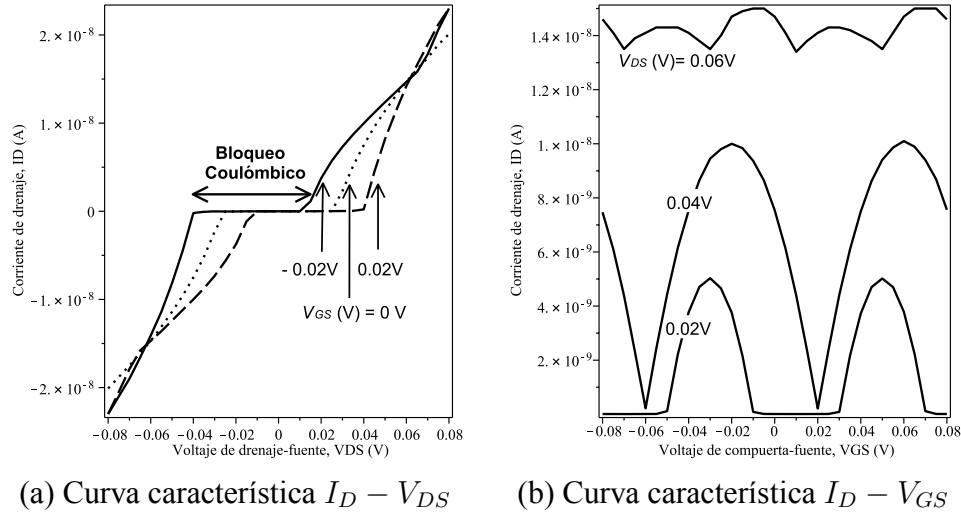


Figura 2.4: Curvas características del SET obtenidas con SIMON a una temperatura $T = 1K$. Los parámetros del dispositivo usados para la simulación son $C_G = 2aF$, $C_{TD} = C_{TS} = 1aF$, y $R_{TD} = R_{TS} = 1M\Omega$.

2.1.4. Principales enfoques para la simulación del SET

Las técnicas de fabricación, diseño y simulación son las tres vertientes más importantes para que algún dispositivo electrónico emergente tenga éxito en la industria de semiconductores. En el caso de la simulación de circuitos basados en transistores de un solo electrón tres enfoques principales se han desarrollado:

1. Monte Carlo
2. Ecuación maestra
3. Macromodelos circuitales

Simulación por Monte Carlo

Es probablemente la técnica más popular para simular dispositivos de un solo electrón, debido a su alta exactitud para representar sus características eléctricas.

Su funcionamiento se basa en considerar todos los eventos túnel posibles, a los cuales se le asigna cierta probabilidad de ocurrencia, para después elegir aleatoriamente uno de estos. Esta elección se hace en múltiples ocasiones para poder describir el transporte de electrones a través del circuito. Por tal motivo, la parte fundamental de estos simuladores es el generador de números aleatorios.

Dos desventajas se presentan en este tipo de simuladores: es un proceso lento para grandes circuitos y a la fecha no existe un simulador reportado que ofrezca un ambiente de cosimulación con dispositivos MOSFETs.

Algunos simuladores desarrollados son: SIMON [27], MOSES [28] y KOSEC [29], entre otros.

Aplicación de la Ecuación Maestra

Describe el proceso de Markov [30] para el tuneléo de un electrón de una isla a otra, por lo que un circuito queda definido por un conjunto de estados. Dichos estados son proporcionados por las fuentes de voltaje externas y la distribución de la carga en todo el circuito, por lo tanto, se necesita un número finito de estados para resolver la ecuación maestra. Es una técnica ventajosa sobre la simulación por Monte Carlo cuando es bien conocida la estructura del circuito.

Este enfoque permite la cosimulación con el transistor MOS.

Un simulador desarrollado con esta técnica es SETTRANS [31].

Macromodelos circuitales

El SET es representado por un equivalente circuital, lo que lo hace altamente compatible con simuladores tipo SPICE. En consecuencia, permite la simulación con dispositivos MOSFET.

La gran desventaja de estos macromodelos es su naturaleza empírica, lo que trae problemas de adaptabilidad sobre los parámetros que describen al SET.

Uno de los macromodelos más reportados es el propuesto por Yu [32] descrito en la figura 2.5.

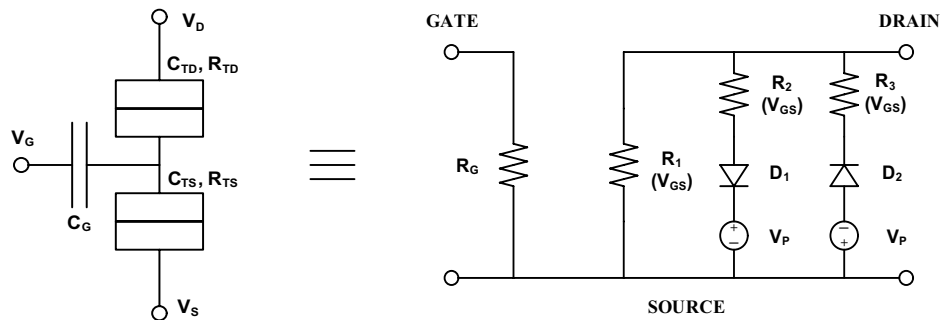


Figura 2.5: Macromodelo propuesto por Yu.

Conclusión

Después de estudiar brevemente los principales enfoques para simular circuitos basados en SET, se puede concluir que las técnicas viables para la simulación de circuitos híbridos recae en los dos últimos enfoques mencionados. El método propuesto en esta tesis emplea un nuevo tipo de enfoque para simular circuitos híbridos. En un principio se pretende obtener el comportamiento de las variables eléctricas del SET a partir de simulaciones por SIMON, para después encontrar una función matemática que trate de aproximar dicho comportamiento, y con ello crear modelos comportamentales del SET, los cuales puedan ser escritos y probados con un simulador de alto nivel (Verilog-A).

2.2. Modelado Lineal a Segmentos

2.2.1. Introducción

La funcionalidad de un sistema puede ser descrita matemáticamente, creando así un *modelo descriptivo del sistema*. Cuando el sistema presenta un comportamiento no-lineal, una expresión matemática no-lineal es frecuentemente usada para aproximar el comportamiento del sistema. Principalmente, hay tres conceptos para aproximar una función no-lineal:

Funciones polinómicas Esta técnica trata de aproximar una función no lineal mediante el uso de polinomios. Destacan las aproximaciones por Taylor, Chebyshev y Padé [33].

Arreglo de datos (Table-look-up) En este caso; dado un conjunto de puntos obtenidos de un sistema no lineal en forma de tabla, se emplean técnicas de interpolación para hallar valores intermedios entre dichos puntos, y extrapolación para determinar valores cercanos en los puntos extremos.

Funciones lineales a segmentos (Piecewise linear functions) Se intenta describir una función no lineal mediante un conjunto de funciones afines de la forma $f(x) = mx + b$. Para el caso de dos dimensiones, estos segmentos son líneas rectas consecutivas definidas por intervalos a lo largo del eje dominante. Cada línea recta es válida para una cierta región llamada politopo, la cual es delimitada por ecuaciones lineales denominadas hiperplanos. Los puntos que indican la transición entre dos politopos en una curva lineal a segmentos se denotan como puntos de quiebre (o breakpoints en inglés). La exactitud de dicha técnica está relacionada con el número de funciones afines empleadas y la adecuada ubicación de los hiperplanos.

Para formular modelos PWL¹ existen dos vertientes: la formulación explícita y la implícita. La formulación explícita está expresada por un conjunto de funciones

¹ De ahora en adelante, las siglas *PWL* también se usarán para referirse a: *lineal(es) a segmentos*.

afines en términos de valores absolutos. Por otra parte, la formulación implícita tiene un transfondo circuital, donde el uso de variables de estados definen la partición del dominio del espacio.

2.2.2. Modelado explícito de Chua-Kang

En 1977 y 1978, Chua y Kang redactaron sus primeros artículos sobre el modelado lineal a segmentos [34] y [7] respectivamente. En estos artículos se propuso la descripción de una función no lineal mediante un conjunto de funciones lineales a segmentos de representación explícita, al igual que sus propiedades.

La figura 2.6 ilustra un diagrama de árbol que expresa la descripción de curvas PWL unidimensionales bajo tres niveles, donde las flechas punteadas de color azul indican la trayectoria que caracterizan a las curvas PWL utilizadas en esta tesis.

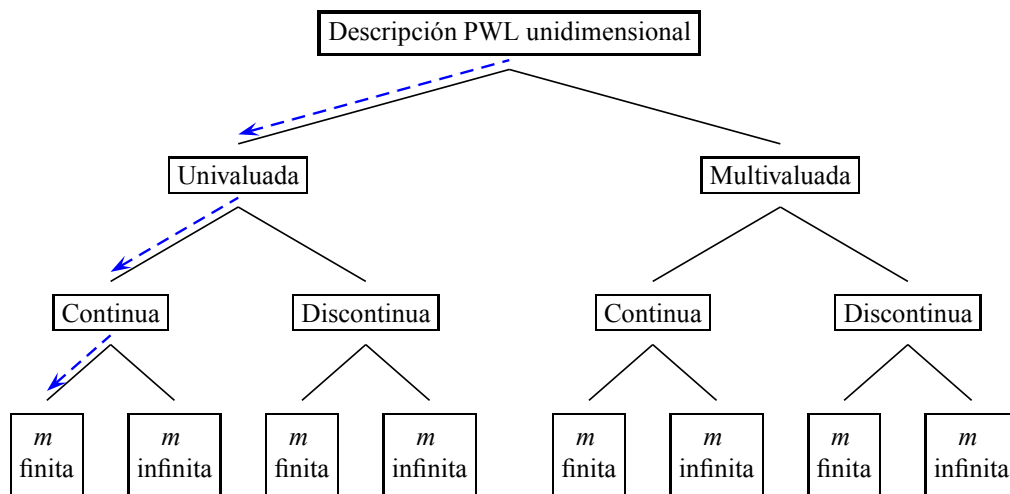


Figura 2.6: Clasificación de curvas PWL unidimensional

Para tener una idea más clara de las propiedades con las que cuenta una curva PWL unidimensional, a continuación se realiza una comparación para cada nivel de la figura anterior [35], [36], [34], [8], [9], [37], [38].

El primer nivel está dedicado al tipo de curvas univaluadas y multivaluadas.

Teorema 1. *Una curva PWL que está descrita por una función $y = f(x)$ se le denominada univaluada si y sólo si para cada valor de la variable independiente x le corresponde un único valor de la variable dependiente y .*

Teorema 2. *Una curva PWL descrita por $y = f(x)$ se denomina multivaluada si y sólo si al menos existe un valor de la variable independiente x que corresponde con más de un valor de la variable dependiente y .*

En la figura 2.7 se ejemplifican las propiedades correspondientes para una curva PWL univaluada (a) y una multivaluada (b).

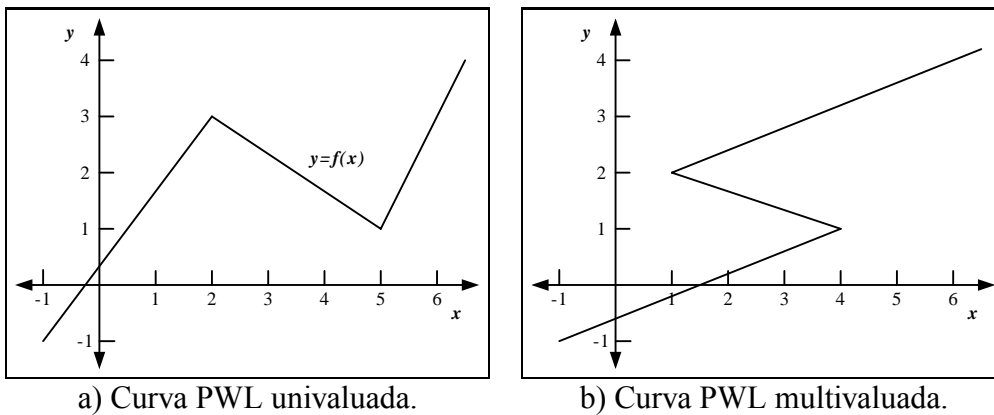


Figura 2.7: Ejemplos de curvas PWL (univaluada y multivaluada).

Continuando con el segundo nivel de la figura 2.6, se describe a continuación el tipo de curvas PWL continuas y discontinuas.

Teorema 3. *Una curva PWL se dice que es continua si todos sus k segmentos están vinculados por n puntos de quiebres (donde $n = k - 1$).*

El teorema 3 es solamente una condición suficiente, pero una condición necesaria es dada por el siguiente lema:

Lema 1. Si solamente hay una trayectoria que recorra secuencialmente todos los segmentos de una curva PWL, entonces se dice que es una curva continua.

El lema complementario es:

Lema 2. Si hay más de una trayectoria que recorra secuencialmente todos los segmentos de una curva PWL, entonces se dice que es una curva discontinua.

En la figura 2.9 se ilustra un ejemplo para una curva PWL unidimensional continua (a) y una discontinua (b).

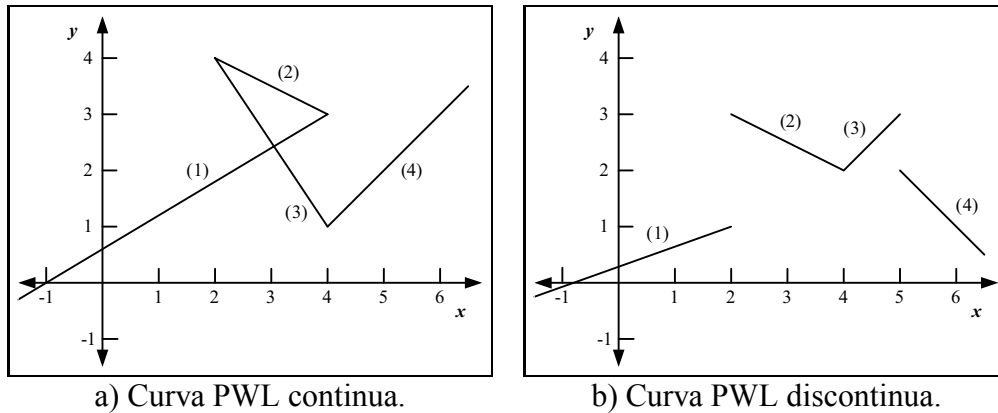


Figura 2.8: Ejemplos de curvas PWL (continua y discontinua).

El tercer y último nivel de la figura 2.6 trata sobre la existencia de por lo menos una pendiente infinita producida por los segmentos constitutivos de la curva PWL.

Teorema 4. Una curva PWL cuya función está definida por $y = f(x)$, se le considera como “*m-finita*” si todos los segmentos que constituyen la curva PWL tienen un valor finito para la razón $(\frac{\Delta y}{\Delta x})$.

Teorema 5. Una curva PWL cuya función está dada por $y = f(x)$, se le considera como “*m-infinita*” si al menos un segmento constitutivo de la curva PWL regida por la razón $(\frac{\Delta y}{\Delta x})$ incluye una división por cero ($\Delta x = 0$).

En la figura 2.9 se muestra un ejemplo de una curva PWL unidimensional *m-finita* y una *m-infinita*.

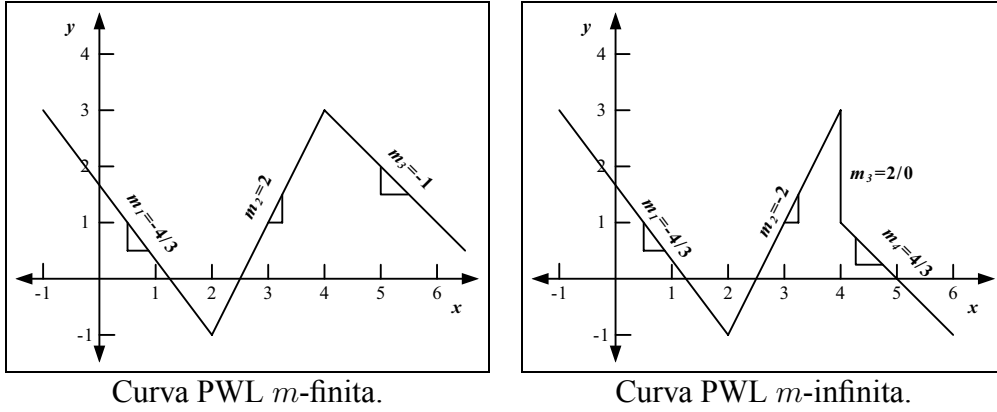


Figura 2.9: Ejemplos de curvas PWL (m -finita vs m -infinita).

Del análisis previo sobre la clasificación de curvas PWL unidimensionales, la formulación explícita propuesta por Chua-Kang para una curva PWL unidimensional, univaluada, continua y con m -finita queda definida por el siguiente teorema:

Teorema 6. *Cualquier curva PWL en una sola dimensión con k segmentos y n hiperplanos $\beta_1 < \beta_2 < \dots < \beta_n$, puede ser representada por:*

$$f(x) = a_0 + a_1 \cdot x + \sum_{j=1}^n b_j \cdot |x - \beta_j| \quad (2.4)$$

donde $k = n - 1$ y $a_0, a_1, b_j, \beta_j \in R^1$. Los coeficientes pueden ser calculados de la siguiente manera:

$$a_1 = \frac{1}{2} \cdot (m_0 + m_n) \quad (2.5)$$

$$b_j = \frac{1}{2} \cdot (m_j - m_{j-1}), \quad j = 1, 2, \dots, n \quad (2.6)$$

$$a_0 = f(0) - \sum_{j=1}^n b_j \cdot |\beta_j| \quad (2.7)$$

donde m_j es la pendiente del j -ésimo segmento y $f(0)$ es el valor de la ordenada en el origen.

Para tener una idea del uso y el alcance del modelado explícito PWL utilizando la

formulación de Chua-Kang, se presentan a continuación algunos ejemplos.

Ejemplo 1. Dada la curva unidimensional PWL que se muestra en la figura 2.10, encontrar su representación mediante la formulación explícita de Chua-Kang.

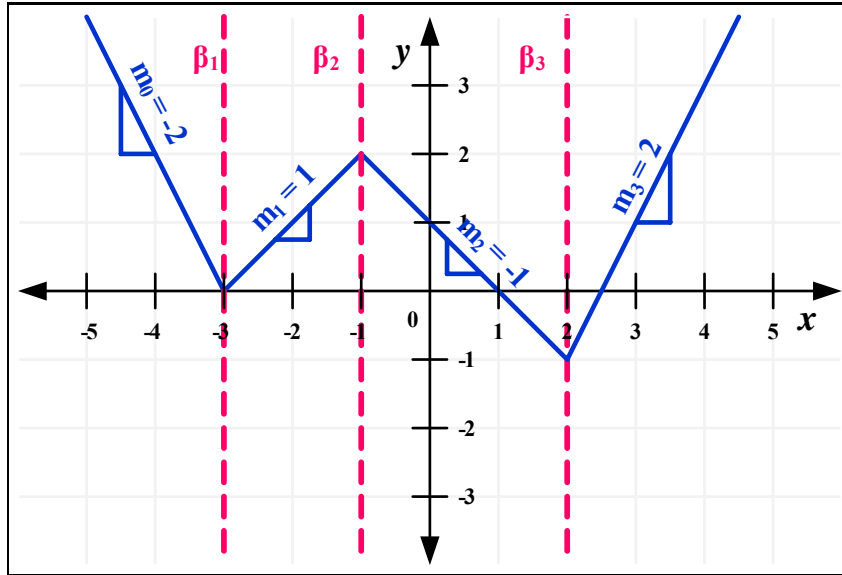


Figura 2.10: Curva lineal a segmentos unidimensional para el ejemplo 1.

De la figura previa se identifican los valores de las pendientes $m_0 = -2$, $m_1 = 1$, $m_2 = -1$, $m_3 = 2$ y los hiperplanos en $\beta_1 = -3$, $\beta_2 = -1$, $\beta_3 = 2$. Aplicando las ecuaciones de 2.5 a 2.7 sobre dichos valores, se calculan los siguientes coeficientes:

$$\begin{aligned}
 a_1 &= \frac{1}{2}(m_0 + m_n) = \frac{1}{2}(-2 + 2) = 0 \\
 b_1 &= \frac{1}{2}(m_1 + m_0) = \frac{1}{2}(1 - (-2)) = \frac{3}{2} \\
 b_2 &= \frac{1}{2}(m_2 + m_1) = \frac{1}{2}(-1 - 1) = -1 \\
 b_3 &= \frac{1}{2}(m_3 + m_2) = \frac{1}{2}(2 - (-1)) = \frac{3}{2} \\
 a_0 &= f(0) - b_1|\beta_1| - b_2|\beta_2| - b_3|\beta_3| \\
 &= 1 - \frac{3}{2}| -3| - (-1)| -1| - \frac{3}{2}|2| = -\frac{11}{2}
 \end{aligned}$$

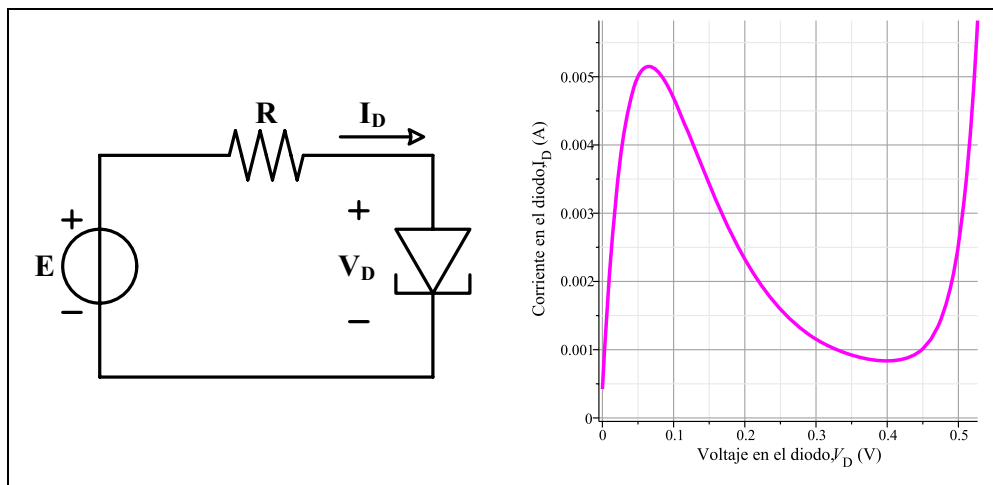
Una vez calculados los coeficientes, se realiza la sustitución de los mismos en la ecuación 2.4, por lo que la formulación explícita PWL de Chua-Kang queda:

$$y = -\frac{11}{2} + \frac{3}{2}|x + 3| - |x + 1| + \frac{3}{2}|x - 2|$$

Ejemplo 2. El diodo túnel 1N3716 contenido en el circuito que se ilustra en la figura 2.11 (a), es un dispositivo electrónico no-lineal cuya función de rama puede ser descrita por el siguiente modelo en SPICE:

$$I_D(V_D) = I_p e^{-V_{pp}/V_t} (e^{V_D/V_t} - 1) + I_p (V_D/V_p) e^{1-V_D/V_p} + I_v e^{V_D-V_v}$$

donde $V_p = 100mV$, $I_p = 4.7mA$, $V_v = 370mV$, $V_t = 26mV$, $V_{pp} = 525mV$ e $I_v = 370uA$. De acuerdo con estos valores, la curva característica del diodo túnel se muestra en la figura 2.11 (b). Hallar una representación explícita PWL con dos hiperplanos para la curva característica en cuestión, conservando la similitud con la del modelo en SPICE.



(a) Circuito con diodo túnel

(b) Curva característica del diodo túnel 1N3716

Figura 2.11: Circuito que contiene un diodo túnel (a). Curva característica del diodo túnel 1N3716 (b).

Infinidad de propuestas se pueden dar para hallar una expresión explícita PWL. Una manera fácil y de gran exactitud sería colocar los hiperplanos sobre los puntos de inflexión de la curva característica del diodo, tal y como se muestra en la figura 2.12.

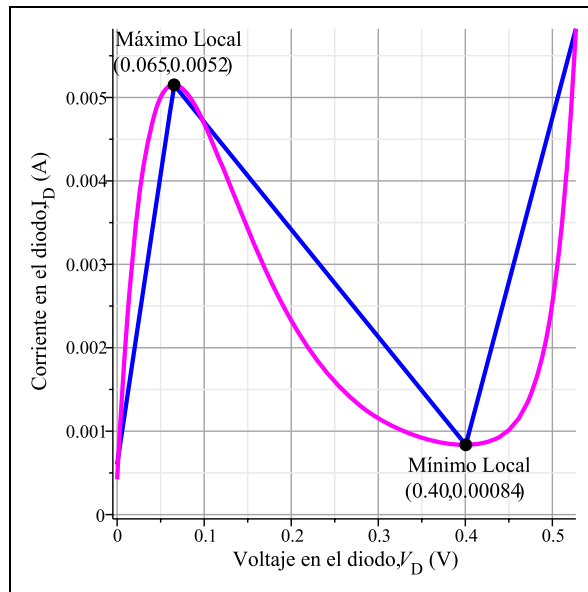


Figura 2.12: Aproximación PWL (línea azul) para la curva característica del diodo túnel 1N3716 (línea magenta).

Como resultado, las regiones quedan definidas de la siguiente manera:

Intervalos			
l_1	$-\infty$	$< V_D \leq$	65mV
l_2	65mV	$< V_D \leq$	400mV
l_3	400mV	$< V_D <$	$+\infty$

Por lo tanto, la representación lineal a segmentos explícita puede ser escrita como:

$$\begin{aligned}
 I_D = & -0.007958493323 + 0.05645359714 V_D \\
 & -0.04122927974 |V_D - 0.06540833393| \\
 & +0.02809999196 |V_D - 0.4005421724|.
 \end{aligned}$$

2.2.3. Modelo implícito de van Bokhoven

El otro tipo de representación PWL es la implícita, la cual fue formulada por W. M. G. van Bokhoven. Tiene un transfondo circuital, debido a que su repre-

sentación se basa en expresiones de una red resistiva lineal con M puertos compuesta por diodos ideales. Van Bokhoven, al realizar su tesis doctoral en 1981, obtuvo su primer modelo implícito expuesto en [10], donde una curva PWL unidimensional con k segmentos y n ($n=k-1$) puntos de quiebre $\beta_1 < \beta_2 < \dots < \beta_n$, puede ser descrita como:

$$y = \mathbf{A}x + \mathbf{B}u + \mathbf{f} \quad (2.8)$$

$$j = \mathbf{C}x + \mathbf{D}u + \mathbf{g} \quad (2.9)$$

con $\mathbf{A} \in R^{m \times n}$, $\mathbf{B} \in R^{m \times k}$, $\mathbf{C} \in R^{k \times n}$, $\mathbf{D} \in R^{k \times k}$, $\mathbf{f} \in R^m$, $\mathbf{g} \in R^k$.

Más adelante publicó su segundo modelo [11]. Aunque parecido a su modelo previo, trabajó con el objeto de satisfacer la definición de los hiperplanos, obteniendo mayor facilidad para determinar los parámetros del modelo. Su formulación es la siguiente:

$$0 = \mathbf{I}y + \mathbf{A}x + \mathbf{B}u + \mathbf{f} \quad (2.10)$$

$$j = \mathbf{D}y + \mathbf{C}x + \mathbf{I}u + \mathbf{g} \quad (2.11)$$

con $\mathbf{A} \in R^{m \times n}$, $\mathbf{B} \in R^{m \times k}$, $\mathbf{C} \in R^{k \times n}$, $\mathbf{D} \in R^{k \times m}$, $\mathbf{f} \in R^m$, $\mathbf{g} \in R^k$.

En los dos modelos anteriores de van Bokhoven, las variables $\mathbf{u}, \mathbf{j} \in R^k$, y deben tener la forma:

$$u, j \geq 0, \quad u^T j = 0 \quad (2.12)$$

para satisfacer la condición del Problema Lineal Complementario [39], [40], [41], [42].

Por último, resta decir que la formulación explícita de Chua-Kang tiene una forma

compacta, la cual puede ser evaluada como una función inyectiva. Por otro lado, la formulación implícita de van Bokhoven, al incluir variables de estado, requiere de un algoritmo para determinarlas.

Capítulo 3

Modelado del SET

En este capítulo se presenta el modelado de las curvas características del SET. Por un lado, se realiza el modelado de la curva característica $I_D - V_{DS}$ utilizando la formulación explícita PWL de Chua-Kang. Por otro lado, se lleva a cabo el modelado de la curva característica $I_D - V_{GS}$ utilizando una función periódica del tipo sinusoidal. Ambas curvas características son comparadas mediante la simulación por Monte Carlo, utilizando el software SIMON (ver. 2).

3.1. Introducción

En un principio se simuló al transistor de un solo electrón con SIMON que es un programa dedicado a la simulación de dispositivos de un solo electrón aplicando la técnica de Monte Carlo. Se escogió esta técnica debido a que los resultados obtenidos por este enfoque son los que más se aproximan a las características reales de los dispositivos de un solo electrón (como se mencionó anteriormente en el capítulo 2, sección 2.1.4).

El circuito bajo prueba que fue simulado en SIMON se ilustra en la figura 3.1, donde se pueden apreciar los valores adoptados para los parámetros del dispositivo. Cabe mencionar que el valor para la variable de temperatura es de 30°K.

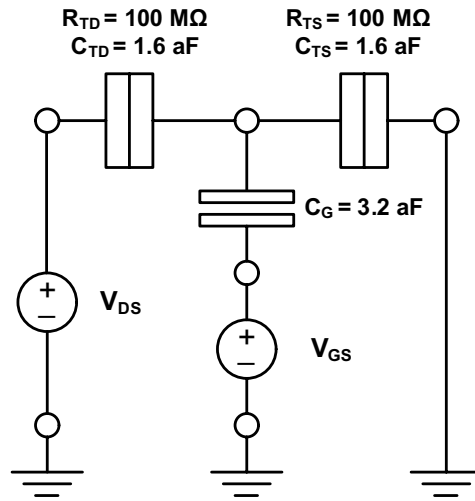


Figura 3.1: Dispositivo bajo prueba: SET.

Del libro [21] se toman las siguientes conjeturas:

1. A diferencia del MOSFET, ambos voltajes V_{DS} y V_{GS} pueden controlar la región de Bloqueo Coulómbico, y cuando $|V_{DS}| > e/(C_G + C_{TS} + C_{TD})$ entonces se pierde la región de Bloqueo Coulómbico que caracteriza al SET. Por lo tanto, para operaciones de conmutación, el SET debe estar polarizado de manera tal que $|V_{DS}| < e/(C_G + C_{TS} + C_{TD})$. Como V_{DS} está limitado por el factor $e/(C_G + C_{TS} + C_{TD})$ y por R_{TD} y R_{TS} (en el orden de cientos de $K\Omega$ a unos cuantos $M\Omega$, debido a la propiedad de confinamiento cuántico), la corriente en un SET está en el orden de nano-Amperes. También a diferencia del MOSFET, el SET tiene dos voltajes de encendido (compuerta y drenaje).
2. De la figura 2.4 (a) y (b), también se puede notar que a valores altos de V_{DS} , tales como $|V_{DS}| > 1.5e/(C_G + C_{TS} + C_{TD})$, V_{DS} pierde el control sobre I_D y el SET se comporta como una resistencia ordinaria. Este fenómeno también limita la operación del SET hacia bajas magnitudes de V_{DS} .

Por lo tanto, haciendo las debidas sustituciones sobre los parámetros del circuito bajo prueba mostrado en la figura 3.1, se obtienen las siguientes valores donde se

hace presente la región de Bloque Coulómbico:

Del punto 1

$$|V_{DS}| < e/(C_G + C_{TS} + C_{TD})$$

$$|V_{DS}| < (1.6 \times 10^{-19})/(3.2 \times 10^{-18} + 1.6 \times 10^{-18} + 1.6 \times 10^{-18})$$

$$|V_{DS}| < 50mV$$

Del punto 2

$$|V_{DS}| < 1.5 \cdot e/(C_G + C_{TS} + C_{TD})$$

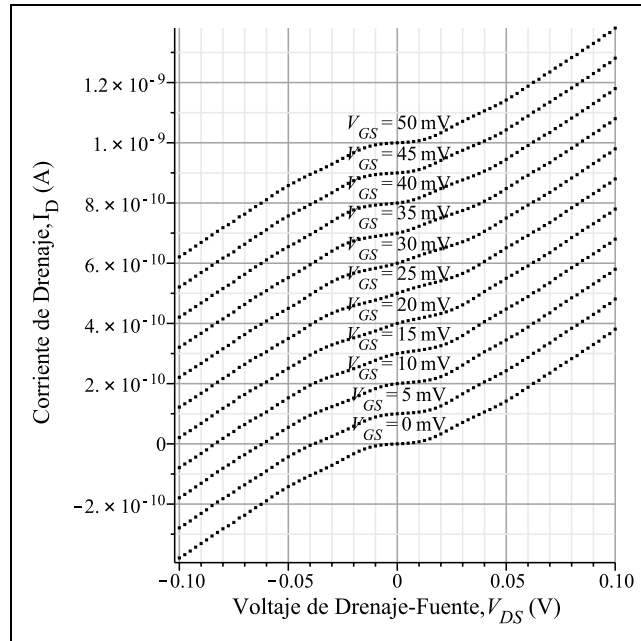
$$|V_{DS}| < 1.5 \cdot (1.6 \times 10^{-19})/(3.2 \times 10^{-18} + 1.6 \times 10^{-18} + 1.6 \times 10^{-18})$$

$$|V_{DS}| < 75mV$$

De los resultados obtenidos por SIMON ver 2.0 para el circuito bajo prueba, y de las figuras 3.2 (a y b) y 3.8 (a y b), los intervalos de voltaje V_{DS} donde se manifiesta la región de Bloqueo Coulómbico está comprendida entre $-40mV$ a $40mV$.

3.2. Modelado de la curva característica $I_D - V_{DS}$

La curva característica $I_D - V_{DS}$ del SET se muestra en la figura 3.2. En esta figura se puede apreciar una familia de curvas correspondiente a varios valores de voltaje de compuerta-fuente (V_{GS}), las cuales se obtuvieron al simular el circuito bajo prueba de la figura 3.1 mediante SIMON ver. 2. A partir de estas curvas, y de un análisis deductivo, se desarrolló un modelo explícito PWL, el cual se puede utilizar como forma alternativa para simular este tipo de nano-dispositivos electrónicos a nivel comportamental, y en consecuencia, la cosimulación con dispositivos MOSFETs. Cabe mencionar que para visualizar sin confusiones la familia de curvas características, estas van teniendo un desplazamiento de $+100pA$ a propósito para el caso de la figura 3.2 (a) y un desplazamiento de $-100pA$ para la figura 3.2 (b).



a) Voltajes de compuerta a fuente positivos.

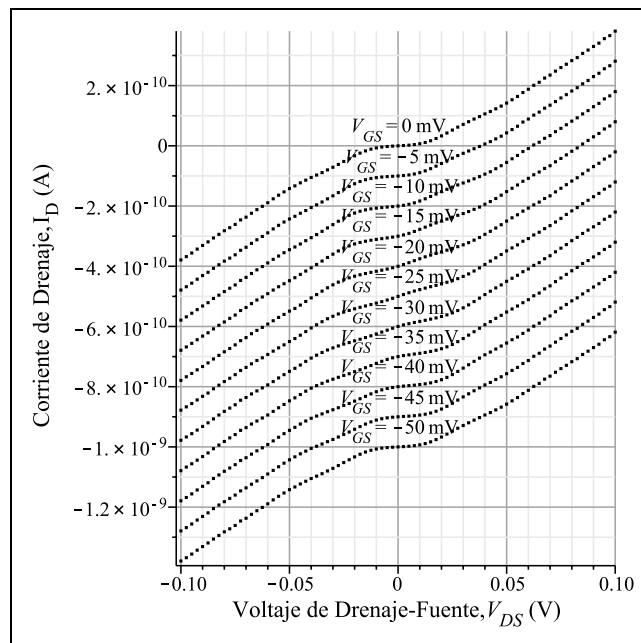
b) Voltajes de compuerta a fuente V_{GS} negativos.

Figura 3.2: Familia de curvas características $I_D - V_{DS}$ obtenidas con SIMON ver. 2, para varios valores de voltaje de compuerta a fuente (V_{GS}).

3.2.1. Modelo explícito PWL

En la figura 3.3 (a) se puede apreciar una superposición de las curvas correspondientes a los voltajes V_{GS} negativos mostrados en la figura 3.2. De manera similar; en la figura 3.3 (b) se pueden observar las curvas para V_{GS} positivos. De éstas figuras se deduce que es conveniente ubicar un hiperplano en el inicio del comportamiento lineal, tanto para valores negativos, como positivos; por lo que dichos hiperplanos están colocados sobre $V_{DS} = -0.04V$ y $V_{DS} = 0.04V$ respectivamente. Otros 2 hiperplanos son ubicados dentro de las regiones del Bloqueo coulombico; específicamente en $V_{DS} = -0.0125V$ y $V_{DS} = 0.0125V$.

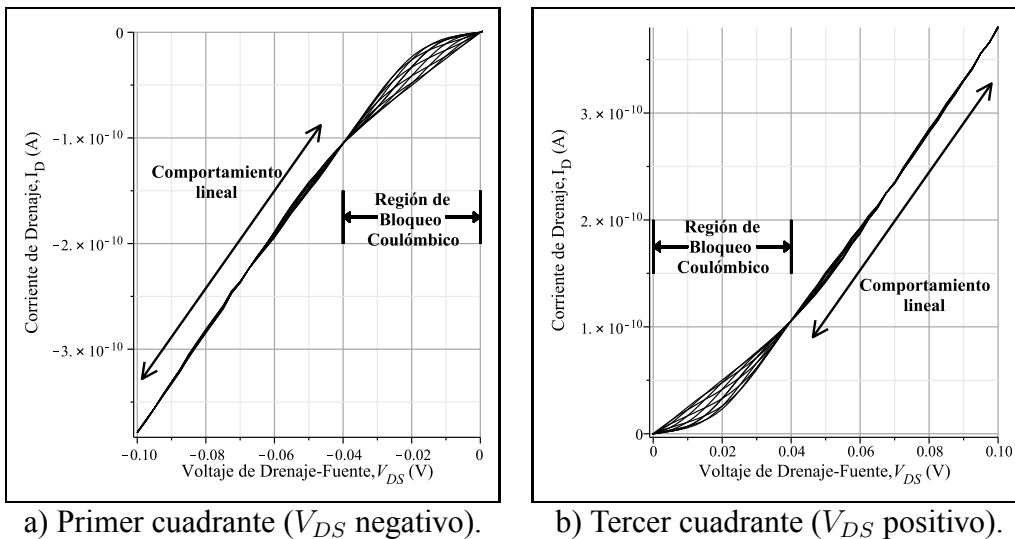


Figura 3.3: Super-posición de voltajes de compuerta a fuente V_{GS} .

El modelo PWL consta de 4 hiperplanos y, por lo tanto, el mismo número de puntos de quiebre. Los valores numéricos de estos hiperplanos y puntos de quiebre se muestran en la tabla 3.1. Los puntos de quiebre (n_2 y n_3) varían cíclicamente en forma vertical debido a la oscilación de Bloqueo coulombico, por lo que su movimiento está en función de V_{GS} para poder seguir el comportamiento de las curvas características.

Punto de quiebre	Valor en la abscisa	Valor en la Ordenada (A)
n_1	-0.04V	-106p
n_2	-0.0125V	$-5p - f(V_{GS})$
n_3	+0.0125V	$+5p + f(V_{GS})$
n_1	+0.04V	+106p

Tabla 3.1: Valores principales para el modelo PWL

En la figura 3.4 (a), se puede observar la ubicación gráfica de los 4 hiperplanos, mientras que en la figura 3.4 (b) se ilustra el concepto general del modelo PWL, donde además se indican la ubicación de los hiperplanos y los posición relativa de los segmentos.

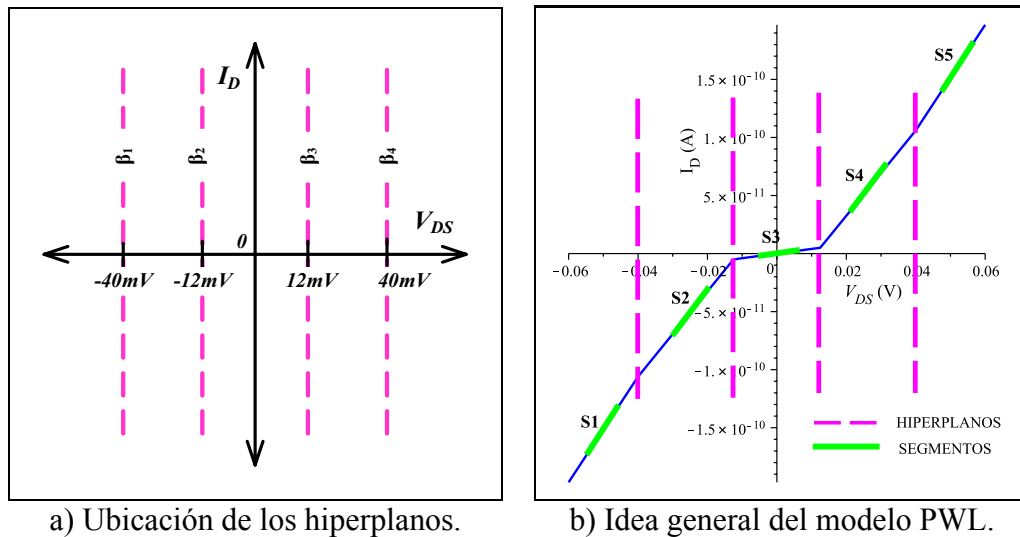


Figura 3.4: Enfoque del modelo PWL para el SET.

Por lo tanto, los intervalos que definen el modelo PWL quedan definidos de la siguiente manera:

$$\begin{aligned}
I_{(1)} : & \quad -\infty < V_{DS} \leq -0.04 \\
I_{(2)} : & \quad -0.04 < V_{DS} \leq -0.0125 \\
I_{(3)} : & \quad -0.0125 < V_{DS} \leq +0.0125 \\
I_{(4)} : & \quad -0.0125 < V_{DS} \leq +0.04 \\
I_{(5)} : & \quad +0.04 < V_{DS} < +\infty
\end{aligned}$$

El objetivo de desarrollar un modelo PWL a partir de la curva característica $I_D - V_{DS}$ del SET, es derivado de buscar una interpretación matemática simple y que por lo tanto, sea fácil de evaluar computacionalmente. Su planteamiento está regido por los siguientes criterios:

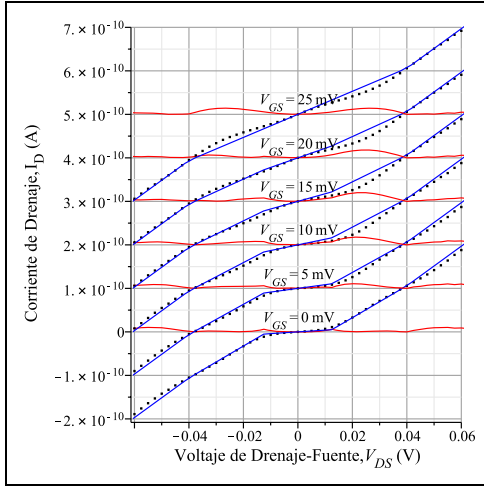
1. Todas las curvas mostradas en la figura 3.2, las cuales son producidas por SIMON, cruzan por el origen.
2. El modelo PWL está formado por 4 hiperplanos (y, por lo tanto, 5 segmentos).
3. La ubicación de los hiperplanos es sobre los cambios abruptos en la resistencia del dispositivo, los cuales son producto del Bloqueo coulombico.
4. En la familia de curvas de la figura 3.2 se aprecia que al aumentar el voltaje de compuerta a fuente (V_{GS}) los puntos de quiebre varían en la ordenada. Por tal motivo, al aumentar el valor de V_{GS} hasta 25mV, los puntos de quiebre aumentan su valor sobre la ordenada para el primer cuadrante y disminuyen en el tercer cuadrante. Para el caso de valores $> 25\text{mV}$ de V_{GS} , los puntos de quiebre disminuyen en el primer cuadrante y aumentan en el tercer cuadrante solamente para el eje de las ordenadas.
5. Un análisis similar al descrito en el punto anterior, se hace para el movimiento de los puntos de quiebre, pero en este caso para valores negativos del voltaje de compuerta a fuente (V_{GS}).

De los puntos anteriores y aplicando las ecuaciones de 2.4 a 2.7, la representación explícita PWL para este primer modelo del SET queda descrita en la tabla 3.2.

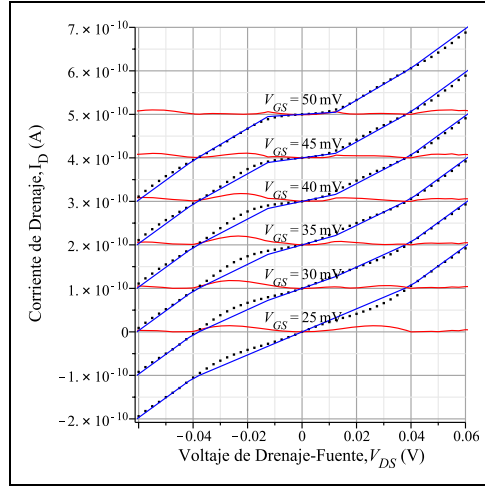
MODELO PWL PARA EL SET	
Para valores de $0\text{mV} \leq V_{GS} \leq 25\text{mV}$ cada $\pm 25\text{mV}$ el modelo PWL queda:	
I_D	$= 4.55 \times 10^{-9} \cdot V_{DS} + (2.0455 \times 10^{-8} \cdot V_{GS} + 4.386 \times 10^{-10}) \cdot V_{DS} - 0.04 $ $+ (-6.5455 \times 10^{-8} \cdot V_{GS} + 1.6364 \times 10^{-9}) \cdot V_{DS} - 0.0125 $ $+ (6.5455 \times 10^{-8} \cdot V_{GS} - 1.6364 \times 10^{-9}) \cdot V_{DS} + 0.0125 $ $+ (-2.0455 \times 10^{-8} \cdot V_{GS} - 4.386 \times 10^{-10}) \cdot V_{DS} + 0.04 $
Para valores de $25\text{mV} \leq V_{GS} \leq 50\text{mV}$ cada $\pm 25\text{mV}$ el modelo PWL queda:	
I_D	$= 4.55 \times 10^{-9} \cdot V_{DS} + (-2.0455 \times 10^{-8} \cdot V_{GS} + 1.4614 \times 10^{-9}) \cdot V_{DS} - 0.04 $ $+ (6.5455 \times 10^{-8} \cdot V_{GS} - 1.6364 \times 10^{-9}) \cdot V_{DS} - 0.0125 $ $+ (-6.5455 \times 10^{-8} \cdot V_{GS} + 1.6364 \times 10^{-9}) \cdot V_{DS} + 0.0125 $ $+ (2.0455 \times 10^{-8} \cdot V_{GS} - 1.4614 \times 10^{-10}) \cdot V_{DS} + 0.04 $

Tabla 3.2: Ecuaciones del modelo PWL para el SET.

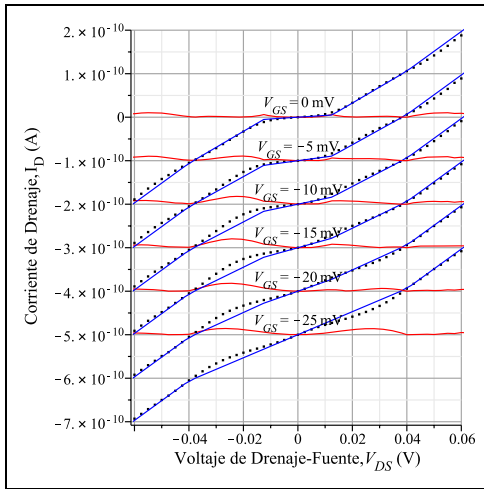
La comparación entre los resultados de la simulación por SIMON y el modelo explícito PWL se ilustra en la figura 3.5 (a) y (b) para valores de voltaje V_{GS} positivos, mientras que en la figura 3.5 (c) y (d) para valores de V_{GS} negativos. En las 4 figuras, los puntos representan los resultados generados por SIMON, mientras que las curvas azules son producidas al evaluar el modelo PWL para un cierto valor de voltaje V_{GS} . Los trazos rojos indican el error punto-a-punto ϵ que hay entre la corriente obtenida por simulación I_D^{MC} y la corriente obtenida al evaluar el modelo PWL I_D^{PWL} . El cual se define como $\epsilon(V_{DS}) = |I_D^{MC}(V_{DS}) - I_D^{PWL}(V_{DS})|$.



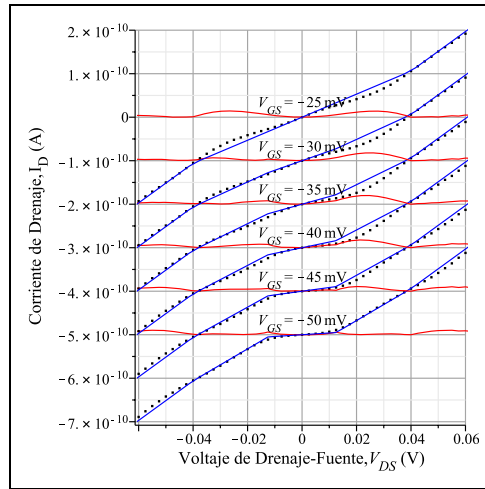
a) $V_{GS} = [0, 5, 10, 15, 20, 25]mV$



b) $V_{GS} = [25, 30, 35, 40, 45, 50]mV$



c) $V_{GS} = -[0, 5, 10, 15, 20, 25]mV$



d) $V_{GS} = -[25, 30, 35, 40, 45, 50]mV$

Figura 3.5: Comparación de las curvas características $I_D - V_{DS}$ entre el modelo PWL (trazo azul) y SIMON (puntos). El error punto a punto se muestra en color rojo

Por otra parte, la evaluación del modelo PWL sobre la curva característica $I_D - V_{GS}$ se muestra en las figuras 3.6 (para V_{DS} positivos) y 3.7 (para V_{DS} negativos), donde además se hace la comparación con los resultados obtenido por SIMON.

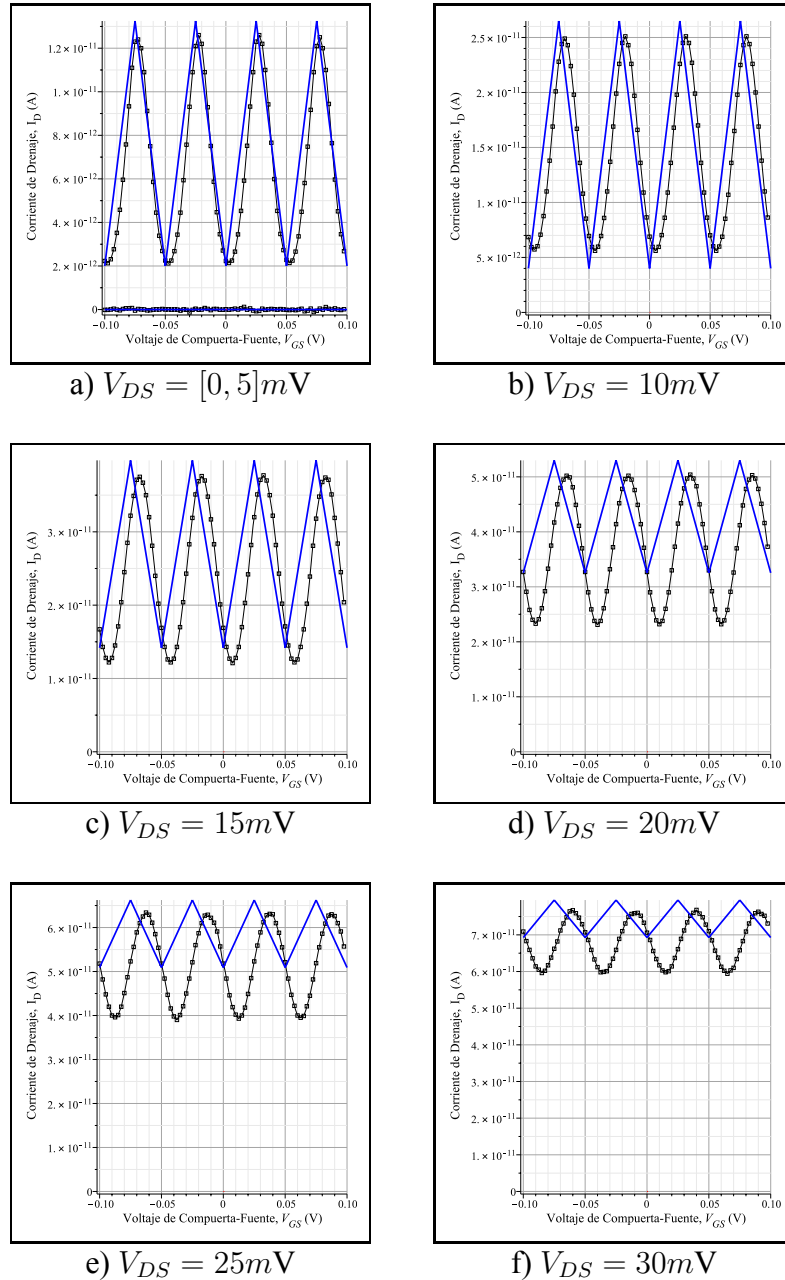


Figura 3.6: Comparación de las curvas características $I_D - V_{GS}$ entre el modelo PWL y SIMON para (V_{DS} positivos).

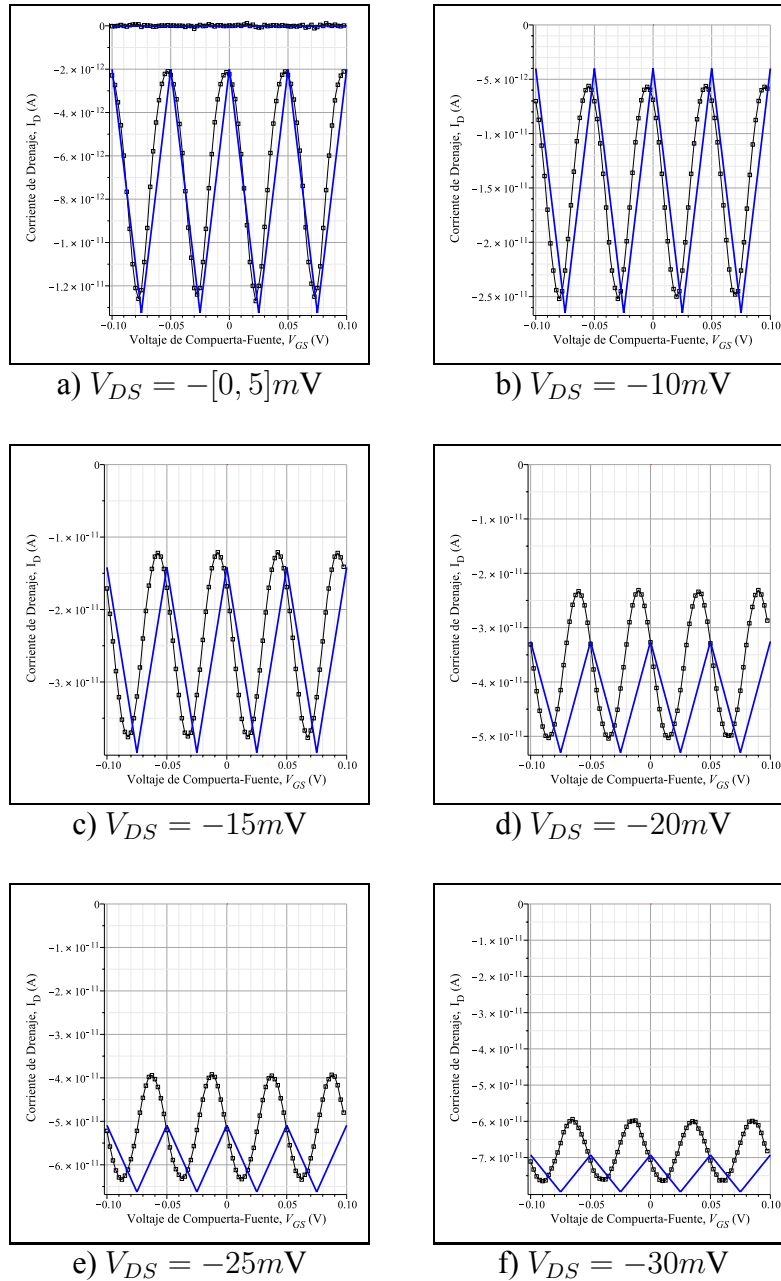


Figura 3.7: Comparación de las curvas características $I_D - V_{GS}$ entre el modelo PWL y SIMON para (V_{DS} negativos).

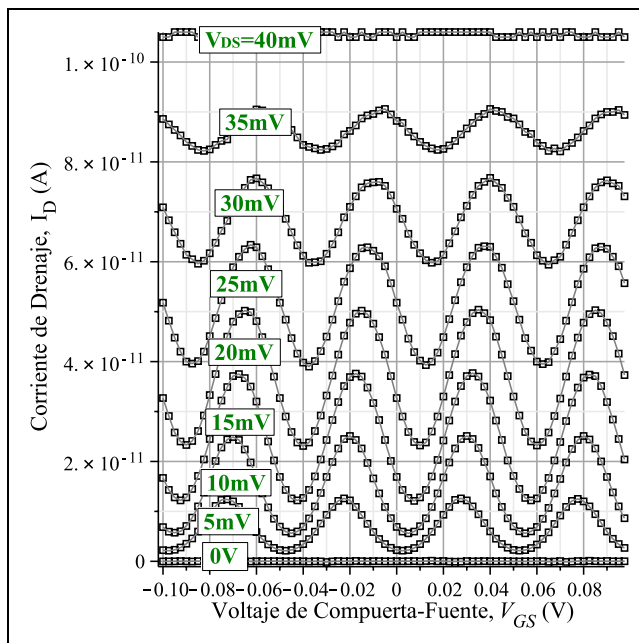
De las figuras 3.6 y 3.7 se observa que existe un error considerable para los valores de V_{DS} cercanos a los cambios abruptos de la resistencia, donde el modelo presenta su máximo error.

3.3. Modelado de la curva característica $I_D - V_{GS}$

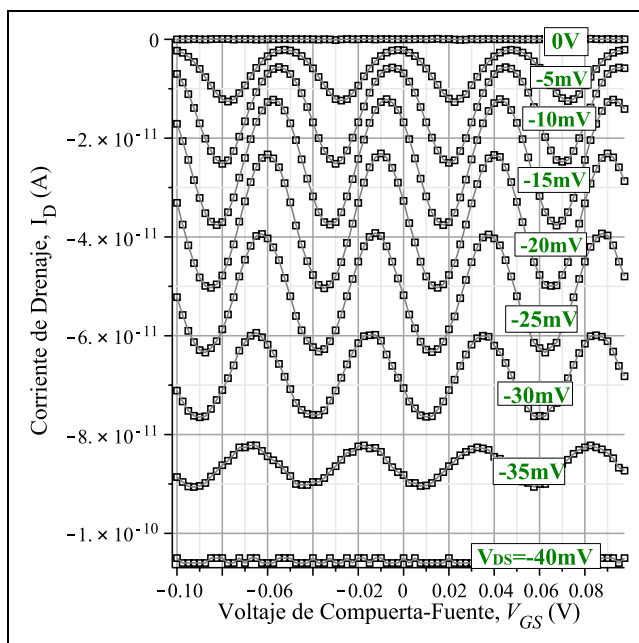
La curva característica $I_D - V_{GS}$ del SET se manifiesta mediante el fenómeno conocido como oscilación de Bloqueo Coulómbico. Dicho fenómeno puede ser visto como el comportamiento que tiene la corriente de drenaje, la cual se expresa de forma periódica a lo largo de V_{GS} , lo que indica que en ciertos intervalos habrá periodos continuos de disminución en dicha corriente. Cabe mencionar que esta periodicidad está dada por e/C_G .

De manera similar al modelo previo, inicialmente se realizó la simulación de la curva característica de corriente de drenaje I_D contra el voltaje de compuerta a fuente V_{GS} para SET utilizando SIMON 2.0 bajo los mismos parámetros de la figura 3.1 ($T = 30^\circ\text{K}$, $C_G = 3.2\text{aF}$, $C_T = 1.6\text{aF}$ y $R_T = 100\text{M}\Omega$). Los resultados producidos por esta simulación se ilustran en la figura 3.8 (a) para valores positivos de V_{DS} y en la figura 3.8 (b) para valores negativos de V_{DS} . En estas figuras se puede apreciar que las curvas resultantes presentan un comportamiento periódico derivado de la oscilación coulómbica; además se hace notar que dicha oscilación se asemeja a una función sinusoidal. Por tal motivo, para la curva característica en tratamiento se ha escogido una representación sinusoidal para describirla.

Cabe aclarar que inicialmente se realiza el desarrollo del modelo sobre la curva característica $I_D - V_{GS}$ solamente para valores de voltaje V_{DS} positivos, más adelante, se incluye un apartado para los voltajes negativos de V_{DS} , dado que las curvas tienen cierta simetría con respecto al eje de las abscisas.



a) Familia de curvas $I_D - V_{GS}$ para voltajes V_{DS} positivos.



b) Familia de curvas $I_D - V_{GS}$ para voltajes V_{DS} negativos.

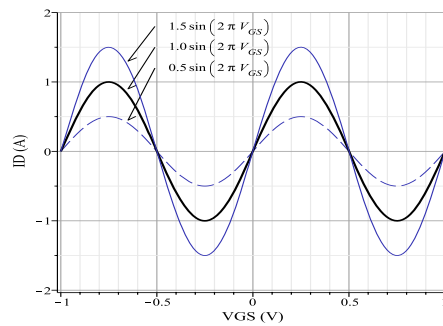
Figura 3.8: Familia de curvas $I_D - V_{GS}$ obtenidas con SIMON para voltajes V_{DS} positivos (a) y negativos (b).

Es bien conocido que una función sinusoidal se caracteriza por la siguiente formulación:

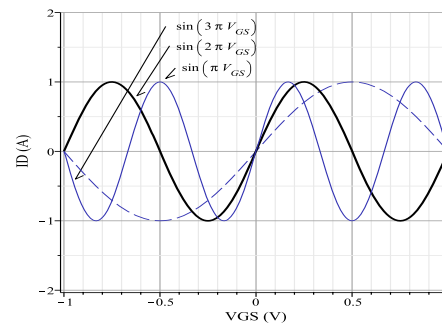
$$a(t) = A_0 \cdot \sin(\omega x + \beta) + A_{off} \quad (3.1)$$

donde A_0 es la amplitud, ω es la frecuencia angular ($2\pi f$), β es la fase inicial y A_{off} es el desnivel (o desplazamiento de la función verticalmente).

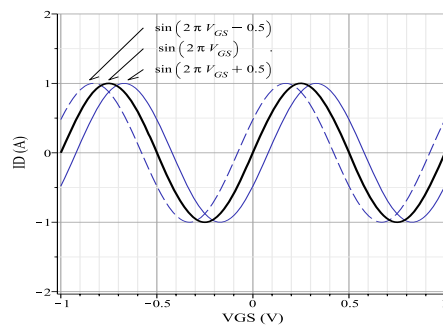
Los parámetros de amplitud, frecuencia angular, fase inicial y desnivel, los cuales determinan una función sinusoidal se ilustran en la figura 3.9. Por ejemplo, en el inciso (a) se ilustra el cambio en la amplitud de la función, en el (b) se muestra la variación de la frecuencia sobre la función, el inciso (c) se hace notar el desfase de la función y, por último, en el (d) se puede apreciar la idea del desnivel.



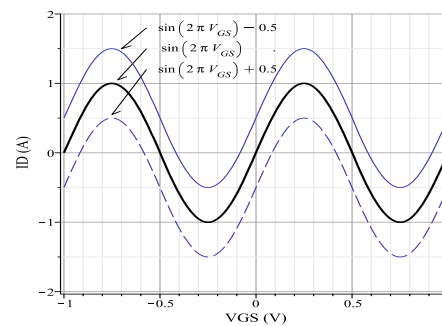
a) Variación de la amplitud, (A_0)



b) Variación de la frecuencia, (f)



c) Variación de la fase inicial, (β)



d) Variación del desnivel, (A_{off})

Figura 3.9: Parámetros que describen una función sinusoidal. a) Amplitud, b) Frecuencia, c) Fase inicial y d) Desnivel.

Desarrollo del modelo para valores positivos de V_{DS}

Mediante un análisis a las curvas producidas por SIMON y mostradas en la figura 3.8 fue posible encontrar los valores que deben adoptar los parámetros de la función sinusoidal para poder tener una buena aproximación. La siguiente tabla muestra los valores que la amplitud, la frecuencia, la fase inicial y el desnivel deben tener sobre la función sinusoidal expresada en la ecuación 3.1:

V_{DS}	A_0	f, T	β	A_{off}
0V	0pA	19.95V ⁻¹ , 50.12mV	4.7rad	0pA
5mV	5.2pA		4.4rad	7.3pA
10mV	9.5pA		4.1rad	15pA
15mV	13pA		3.8rad	25pA
20mV	13.5pA		3.5rad	36.7pA
25mV	12pA		3.2rad	51pA
30mV	8.5pA		2.9rad	68pA
35mV			2.6rad	
40mV	0pA	20.15V ⁻¹ , 49.62mV	2.3rad	105.5pA

Tabla 3.3: Valores obtenidos de la familia de curvas características $I_D - V_{GS}$ de la figura 3.8.

A continuación, se desarrolla el modelado de cada uno de los parámetros de la función sinusoidal.

MODELADO DE LA AMPLITUD

Aplicando nuevamente la formulación PWL explícita propuesta por Chua-Kang en el capítulo 2, se obtiene la función PWL que aproxima la amplitud (A_0) que debe tener la función sinusoidal. Esto se ilustra en la figura 3.10.

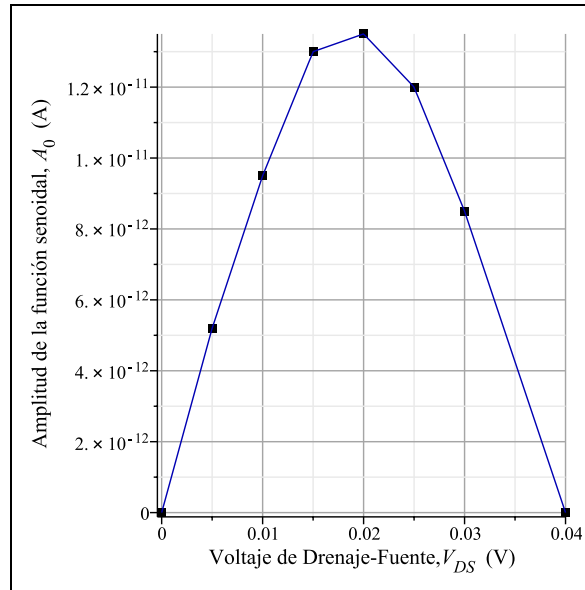


Figura 3.10: Variación de la amplitud en función del voltaje V_{DS} .

Por lo tanto, la función PWL que describe el comportamiento de la amplitud con respecto a un voltaje V_{DS} , queda de la siguiente manera:

$$\begin{aligned}
 A_0(V_{DS}) = & 1.7 \times 10^{-11} + 9.5 \times 10^{-11} \cdot V_{DS} \\
 & - 9 \times 10^{-11} \cdot |V_{DS} - 0.005| \\
 & - 8 \times 10^{-11} \cdot |V_{DS} - 0.010| \\
 & - 3 \times 10^{-10} \cdot |V_{DS} - 0.015| \\
 & - 2 \times 10^{-10} \cdot |V_{DS} - 0.020| \\
 & - 2 \times 10^{-10} \cdot |V_{DS} - 0.025| \\
 & - 7.5 \times 10^{-11} \cdot |V_{DS} - 0.030|. \quad (3.2)
 \end{aligned}$$

MODELADO DE LA FRECUENCIA DE OSCILACIÓN

Para la variación que debe tener la frecuencia, se aprecia que en la tabla 3.3 sólo hay dos valores extremos (19.95V^{-1} y 20.15V^{-1}), los cuales pueden ser fácilmente descritos por una función afín como la que se muestra en la figura 3.11.

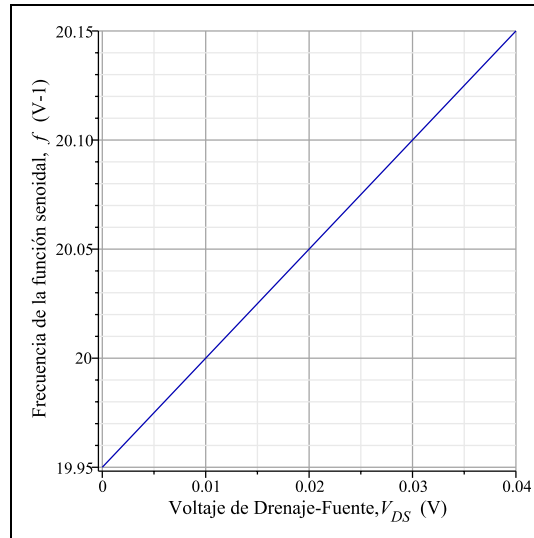


Figura 3.11: Variación de la frecuencia en función del voltaje V_{DS} .

Por lo tanto, la función afín que hace referencia a la variación de la frecuencia (f) con respecto a un valor de voltaje V_{DS} dado es la siguiente:

$$f(V_{DS}) = 5 \cdot V_{DS} + 19.95 \quad (3.3)$$

MODELADO DE LA FASE

Recurriendo nuevamente a la tabla 3.3, se nota que la fase (β) tiene un valor de 4.7rad para un $V_{DS} = 0V$, a la vez que va disminuyendo $-0.3rad$ cada que aumenta $5mV$ el V_{DS} . Dicha variación se muestra en la figura 3.12, la cual es representada por la siguiente función afín:

$$\beta(V_{DS}) = 4.7 - 60 \cdot V_{DS} \quad (3.4)$$

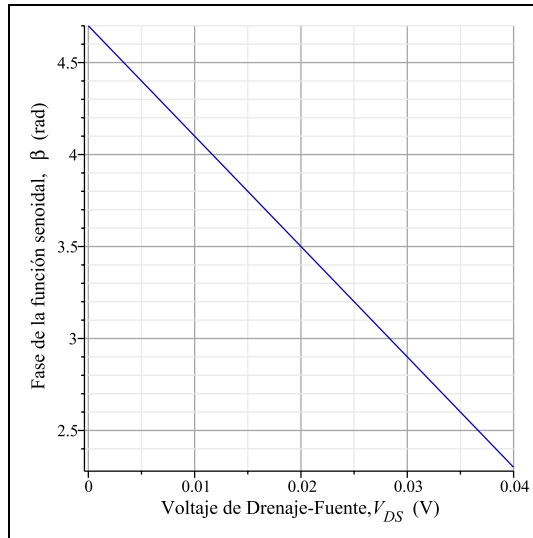


Figura 3.12: Variación de la fase en función del voltaje V_{DS}

MODELADO DEL DESNIVEL

Semejante al caso de la amplitud, la variación que debe tener el desnivel sobre la función sinusoidal queda representada por una función PWL obtenida de los valores en la tabla 3.3. La figura 3.13 ilustra el cambio que tiene el desnivel con respecto a un valor de voltaje V_{DS} .

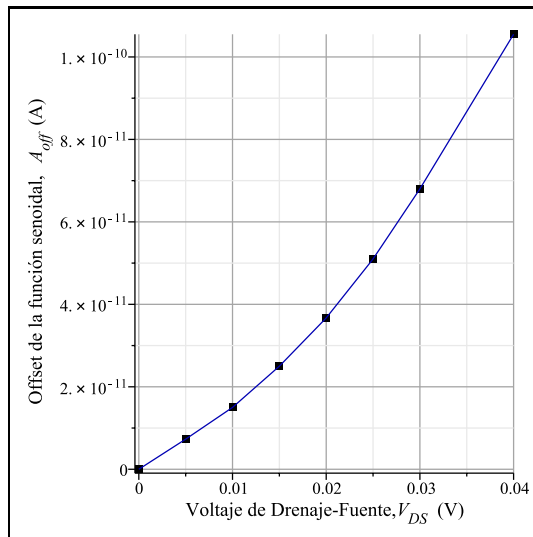


Figura 3.13: Variación del desnivel en función del voltaje V_{DS}

La función PWL que describe la variación del desnivel con respecto a un voltaje V_{DS} dado, queda de la siguiente manera:

$$\begin{aligned}
A_{off}(V_{DS}) = & -2.25 \times 10^{-11} + 2.605 \times 10^{-9} \cdot V_{DS} \\
& +4 \times 10^{-11} \cdot |V_{DS} - 0.005| \\
& +2.3 \times 10^{-10} \cdot |V_{DS} - 0.010| \\
& +1.7 \times 10^{-10} \cdot |V_{DS} - 0.015| \\
& +2.6 \times 10^{-10} \cdot |V_{DS} - 0.020| \\
& +2.7 \times 10^{-10} \cdot |V_{DS} - 0.025| \\
& +1.75 \times 10^{-10} \cdot |V_{DS} - 0.030| \quad (3.5)
\end{aligned}$$

Ahora se procede a generar el modelo completo sinusoidal, sustituyendo las ecuaciones de amplitud A_0 , frecuencia f , fase β y desnivel A_{off} (3.2 a 3.5) sobre la ecuación que caracteriza la función sinusoidal de la ecuación 3.1, por lo que se obtiene el siguiente modelo:

$$\begin{aligned}
a &= A_0 \cdot \sin(2 \cdot \pi \cdot f \cdot x + \beta) + A_{off} \\
&\quad \downarrow \\
I_D(V_{GS}, V_{DS}) &= (1.7 \times 10^{-11} + 9.5 \times 10^{-11} \cdot V_{DS} - 9 \times 10^{-11} \cdot |V_{DS} - 0.005| \\
&\quad -8 \times 10^{-11} \cdot |V_{DS} - 0.010| - 3 \times 10^{-10} \cdot |V_{DS} - 0.015| \\
&\quad -2 \times 10^{-10} \cdot |V_{DS} - 0.020| - 2 \times 10^{-10} \cdot |V_{DS} - 0.025| \\
&\quad -7.5 \times 10^{-11} \cdot |V_{DS} - 0.030|) \cdot \sin(2 \cdot \pi \cdot V_{GS} \cdot (5 \cdot V_{DS} + 19.95) \\
&\quad +4.7 - 60 \cdot V_{DS}) - 2.225 \times 10^{-11} + 2.605 \times 10^{-9} \cdot V_{DS} \\
&\quad +4 \times 10^{-11} \cdot |V_{DS} - 0.005| + 2.3 \times 10^{-10} \cdot |V_{DS} - 0.010| \\
&\quad +1.7 \times 10^{-10} \cdot |V_{DS} - 0.015| + 2.6 \times 10^{-10} \cdot |V_{DS} - 0.020| \\
&\quad +2.7 \times 10^{-10} |V_{DS} - 0.025| + 1.75 \times 10^{-10} |V_{DS} - 0.030| \quad (3.6)
\end{aligned}$$

que es válido para valores comprendidos entre $0 < V_{DS} \leq 40mV$.

Al sustituir en la ecuación 3.6 los valores correspondientes de V_{DS} y V_{GS} según las curvas producidas por SIMON en la figura 3.8, se consigue una gran apro-

ximación entre los resultados de SIMON 2.0 y la función sinusoidal propuesta, como se muestra la figura 3.14. En dicha figura los puntos en forma de cuadrados pequeños indican los resultados de SIMON 2.0, mientras que las curvas azules señalan la función sinusoidal propuesta.

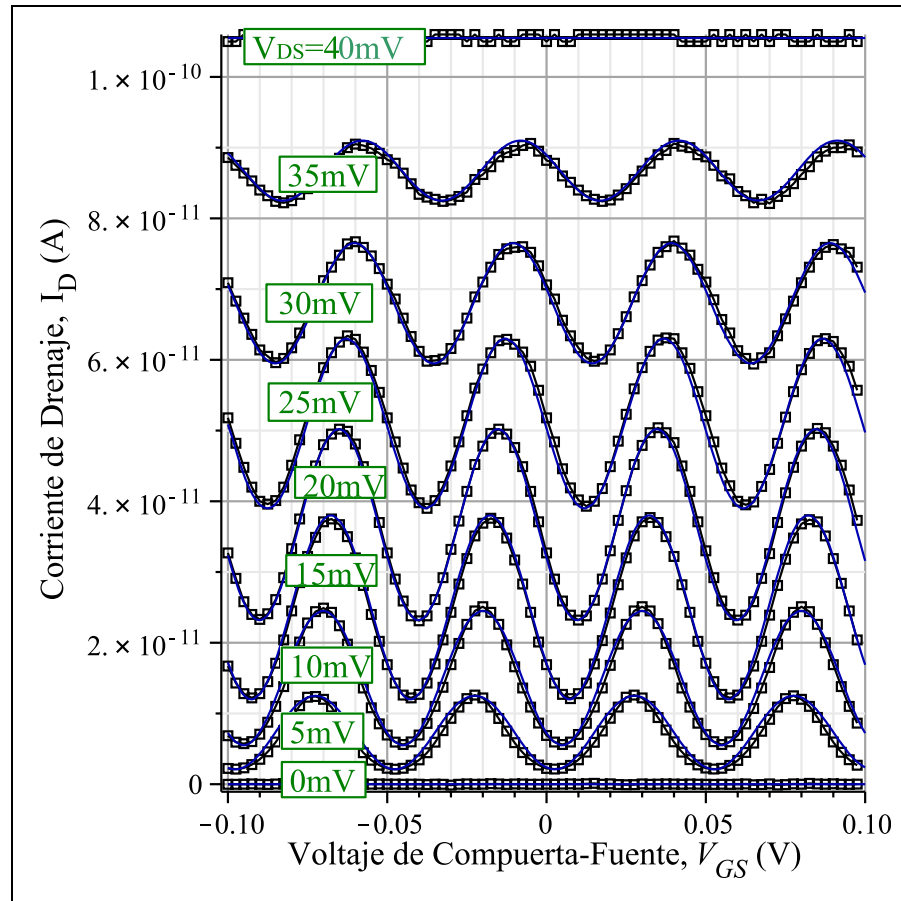
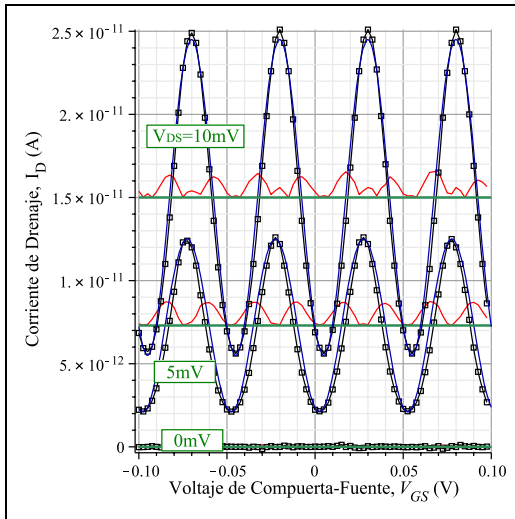
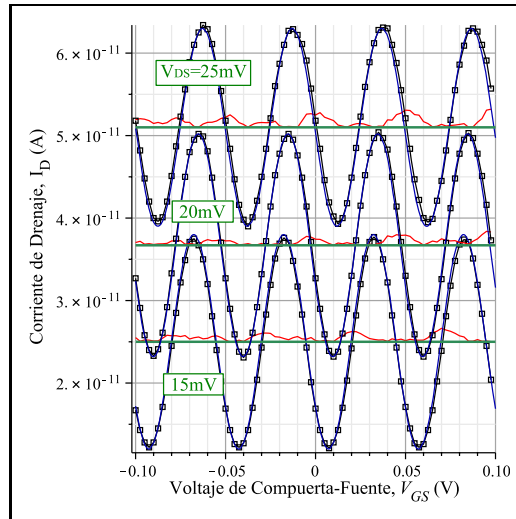


Figura 3.14: Resultados de SIMON y la función sinusoidal propuesta para varios voltajes V_{DS} sobre la curva característica $I_D - V_{GS}$

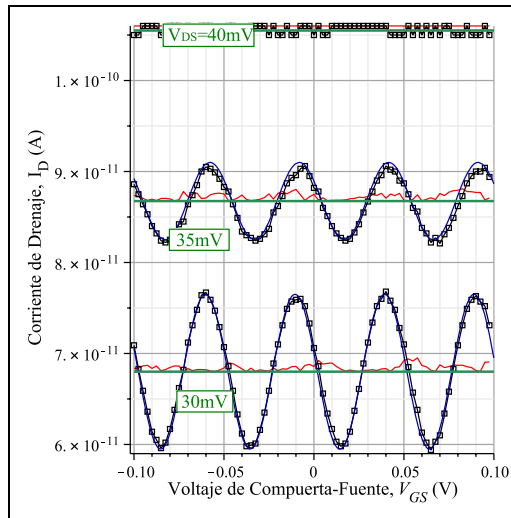
En la figura 3.15, aparecen tres gráficos donde se presenta el error punto-a-punto (línea roja) que hay entre los resultados de SIMON 2.0 y la función sinusoidal propuesta. De manera detallada, en el caso del inciso (a) se señalan los valores de voltaje V_{DS} para $[0, 5, 10]mV$, en el inciso (b) se pueden observar los valores de V_{DS} para $[15, 20, 25]mV$, y por último, en el inciso (c) los valores de V_{DS} para $[30, 35, 40]mV$.



a) Error para $V_{DS} = [0, 5, 10]mV$



b) Error para $V_{DS} = [15, 20, 25]mV$



b) Error para $V_{DS} = [30, 35, 40]mV$

Figura 3.15: Error (línea roja) montado sobre el desnivel (línea verde) entre SIMON 2.0 y la función sinusoidal propuesta para diversos valores de voltaje V_{DS} .

La líneas de color verde en la figura anterior, además de servir como referencia para el error punto-a-punto, indican el desnivel para cada caso del voltaje V_{DS} .

Desarrollo del modelo para valores negativos de V_{DS} .

La parte complementaria en el desarrollo del modelo para la curva característica $I_D - V_{GS}$ que comprende tomar los valores negativos de V_{DS} , se basa en la tabla 3.4. En esta tabla se presentan tanto los valores positivos como negativos de V_{DS} para notar la simetría entre ellos.

V_{DS}	Amplitud $\rightarrow A_0$		Frecuencia $\rightarrow f$		Fase $\rightarrow \beta$		Desnivel $\rightarrow A_{off}$	
	+	-	+	-	+	-	+	-
0mV	0pA		19.95V-1		4.7rad		0pA	
5mV	5.2pA	-5.2pA	19.975V-1	19.925V-1	4.4rad	5.0rad	7.3pA	-7.3pA
10mV	9.5pA	-9.5pA	20V-1	19.9V-1	4.1rad	5.3rad	15pA	-15pA
15mV	13pA	-13pA	20.025V-1	19.875V-1	3.8rad	5.6rad	25pA	-25pA
20mV	13.5pA	-13.5pA	20.05V-1	19.85V-1	3.5rad	5.9rad	36.7pA	-36.7pA
25mV	12pA	-12pA	20.075V-1	19.825V-1	3.2rad	6.2rad	51pA	-51pA
30mV	8.5pA	-8.5pA	20.1V-1	19.8V-1	2.9rad	6.5rad	68pA	-68pA
35mV	4.25pA	-4.25pA	20.125V-1	19.775V-1	2.6rad	6.8rad	86.75pA	-86.75pA
40mV	0pA		20.15V-1	19.75V-1	2.3rad	7.1rad	105.5pA	-105.5pA

Tabla 3.4: Extracción de los valores en la figura 3.8.

Entonces, para valores comprendidos entre los $-40mV \leq V_{DS} < 0V$ la ecuación para el modelo en cuestión queda de la siguiente manera:

$$\begin{aligned}
I_D(V_{GS}, V_{DS}) = & (-1.7 \times 10^{-11} + 9.5 \times 10^{-11} \cdot V_{DS} + 9 \times 10^{-11} \cdot |V_{DS} + 0.005| \\
& + 8 \times 10^{-11} \cdot |V_{DS} + 0.010| + 3 \times 10^{-10} \cdot |V_{DS} + 0.015| \\
& + 2 \times 10^{-10} \cdot |V_{DS} + 0.020| + 2 \times 10^{-10} \cdot |V_{DS} + 0.025| \\
& + 7.5 \times 10^{-11} \cdot |V_{DS} + 0.030|) \cdot \sin(2 \cdot \pi \cdot V_{GS} \cdot (5 \cdot V_{DS} + 19.95) \\
& + 4.7 - 60 \cdot V_{DS}) + 2.225 \times 10^{-11} + 2.605 \times 10^{-9} \cdot V_{DS} \\
& - 4 \times 10^{-11} \cdot |V_{DS} + 0.005| - 2.3 \times 10^{-10} \cdot |V_{DS} + 0.010| \\
& - 1.7 \times 10^{-10} \cdot |V_{DS} + 0.015| - 2.6 \times 10^{-10} \cdot |V_{DS} + 0.020| \\
& - 2.7 \times 10^{-10} \cdot |V_{DS} + 0.025| - 1.75 \times 10^{-10} \cdot |V_{DS} + 0.030| \quad (3.7)
\end{aligned}$$

La evaluación de la ecuación anterior para V_{DS} negativos fueron comparadas con

los resultados de SIMON ver 2., los cuales se ilustran en la figura 3.16.

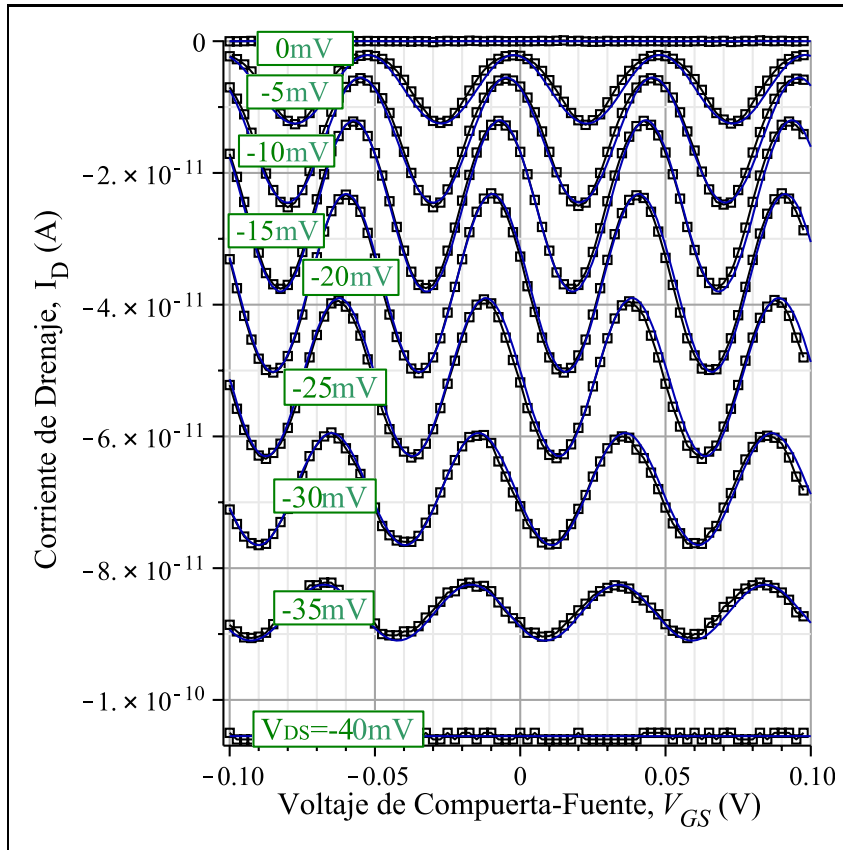


Figura 3.16: Resultados de SIMON y la función sinusoidal propuesta para voltajes V_{DS} negativos.

3.3.1. Modelado “alternativo” de la curva característica $I_D - V_{GS}$

Las funciones PWL contenidas en la ecuación 3.6, debido a la amplitud (A_0) y el desnivel (A_{off}) (3.2 y 3.5 respectivamente), pueden ser reducidas al aplicar algún tipo de técnica de análisis numérico que pueda aproximar la función PWL por una función polinomial ([43], [44], [45], [46], [47], [48]) de orden cuadrático y con ello reducir los términos que hay dentro de las ecuaciones 3.6 y 3.7.

El hecho de expresar una función PWL por una función cuadrática que se le apro-

xime, cae en la necesidad de encontrar ecuaciones que por su simplicidad puedan ser rápidamente evaluadas, lo que conllevaría a una simulación más veloz.

La ecuación 3.2, que en un principio es una función PWL, puede ser ajustada mediante mínimos cuadrados y con ello obtener una función cuadrática como la que se muestra a continuación:

$$A_0 = -\frac{10}{3} \times 10^{-8} \cdot V_{DS}^2 + \frac{4}{3} \times 10^{-9} \cdot V_{DS} \quad (3.8)$$

La comparación entre la función PWL que representa la amplitud que debe tomar la función sinusoidal y la función cuadrática obtenida a través de mínimos cuadrados se ilustra en la figura 3.17. La curva negra punteada representa la función PWL, mientras que la curva azul es la evaluación de función cuadrática descrita en la ecuación 3.8.

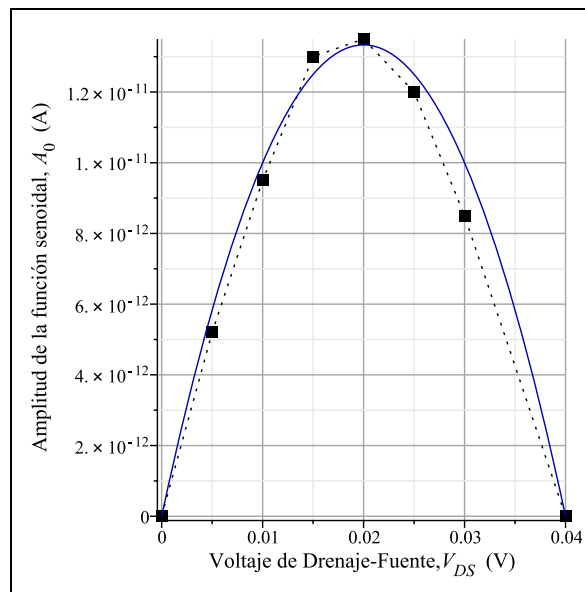


Figura 3.17: Comparación entre la función PWL y la función cuadrática para describir la amplitud A_0 .

De manera semejante, la función PWL que describe el desnivel (A_{off}) también se ha ajustado con mínimos cuadrados para obtener una función cuadrática. Dicha función es la siguiente:

$$A_{off} = \frac{91}{24} \times 10^{-8} \cdot V_{DS}^2 + \frac{269}{240} \times 10^{-9} \cdot V_{DS} \quad (3.9)$$

En la figura 3.9, la línea negra punteada indica la función PWL que describe el desnivel (ec. 3.5). En la misma figura la función cuadrática (ec. 3.9) está señalada por la línea de color azul. Ambas ecuaciones intentan representar el desnivel que debe tener la función sinusoidal propuesta.

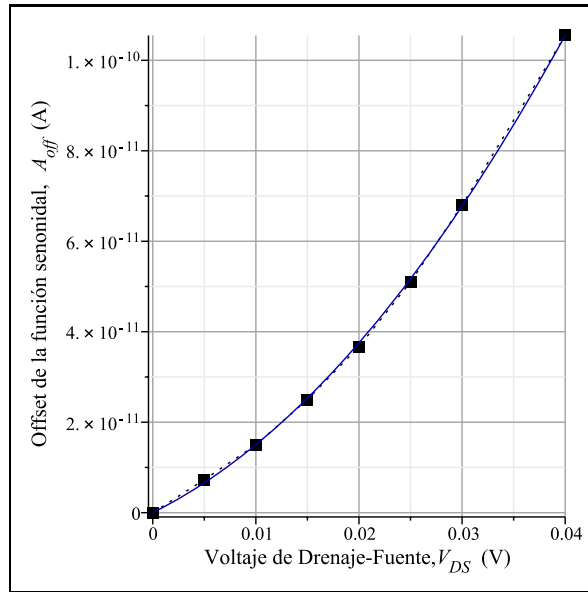


Figura 3.18: Comparación entre la función PWL y la función cuadrática para describir el desnivel A_{off} .

Por lo tanto, la ecuación sinusoidal propuesta re-formulada con las ecuaciones de amplitud 3.8 y desnivel 3.9 queda de la siguiente manera:

$$I_D(V_{GS}, V_{DS}) = \left(-\frac{10}{3} \times 10^{-8} \cdot V_{DS}^2 + \frac{4}{3} \times 10^{-9} \cdot V_{DS} \right) \cdot \sin(2 \cdot \pi \cdot (5 \cdot V_{DS} + 19.95) \cdot V_{GS} + 4.7 - 60 \cdot V_{DS}) + \left(\frac{91}{24} \times 10^{-8} \cdot V_{DS}^2 + \frac{269}{240} \times 10^{-9} \cdot V_{DS} \right) \quad (3.10)$$

La ecuación anterior claramente tiene menos términos que la ecuación equivalente 3.6, lo que facilita computacionalmente los cálculos, obteniendo así una mayor velocidad de simulación. La comparación entre este modelo alternativo con SIMON se ilustra en la figura 3.19.

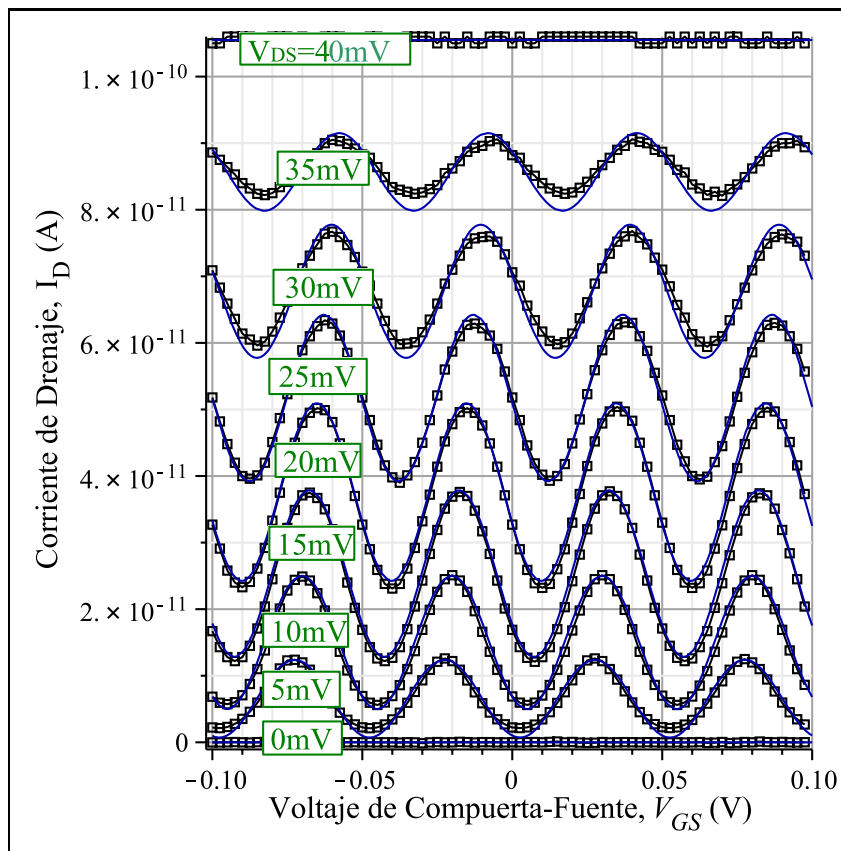


Figura 3.19: Comparación entre los resultados de SIMON y la función sinusoidal propuesta (modelo alternativo) para la familia de curvas características $I_D - V_{GS}$.

La figura 3.20 muestra tres gráficos en los cuales se ilustra el error punto-a-punto (línea roja) que hay entre los resultados de SIMON 2.0 y el modelo alternativo. En el inciso (a) de la figura en cuestión se indican los voltajes V_{DS} para $[0, 5, 10]mV$, en el (b) para los voltajes $[15, 20, 30]mV$ y por último en el inciso (c) los voltajes V_{DS} para $[35, 40, 50]mV$.

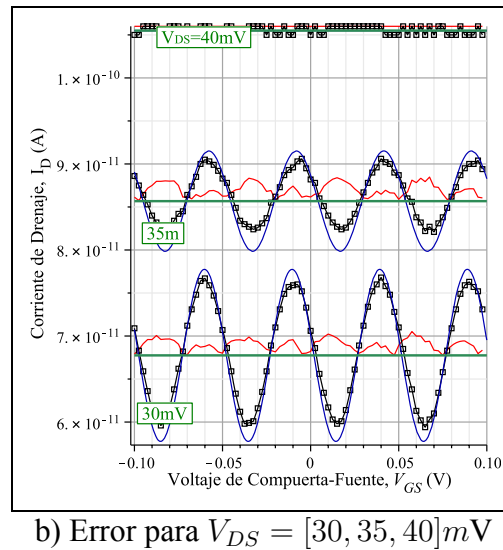
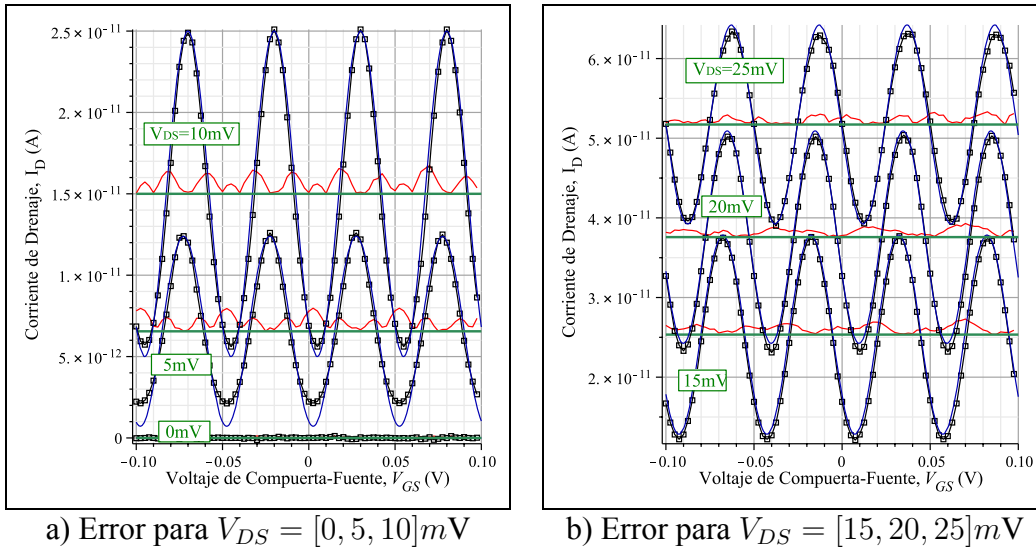
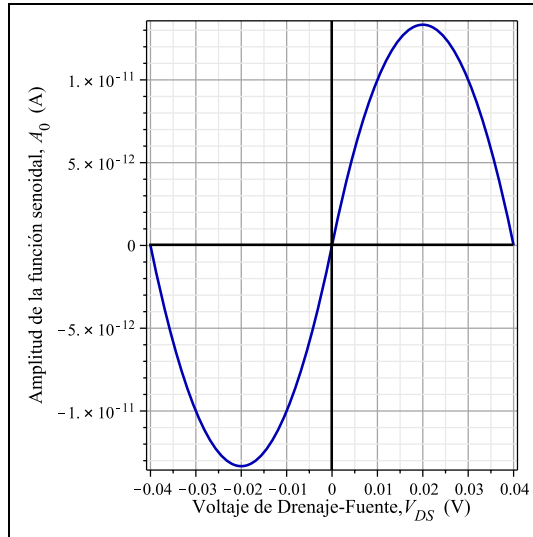


Figura 3.20: Error (línea roja) entre SIMON 2.0 y la función sinusoidal propuesta (modelo alternativo) montadas sobre el desnivel (línea verde) para diversos valores de voltaje V_{DS} .

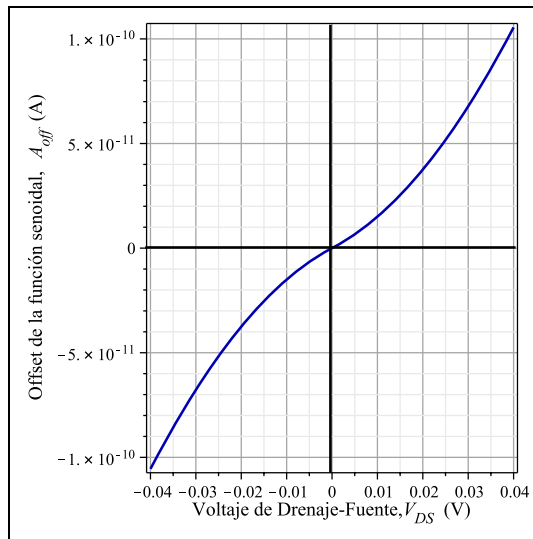
Desarrollo del “modelo alternativo” para valores negativos de V_{DS}

Para abarcar en este “modelo alternativo” valores negativos de V_{DS} , se toma en cuenta que las funciones correspondientes a la amplitud (A_0 , ec. 3.8) y el desnivel (A_{off} , ec. 3.9) son funciones simétricas impares; esto quiere decir que $f(-x) =$

$-f(x)$. La figura 3.21 (a) y (b) muestra esta situación.



a) Amplitud en función de V_{DS}



b) Desnivel en función de V_{DS}

Figura 3.21: Representación de las funciones impares para la amplitud y el desnivel.

Las restantes ecuaciones correspondientes a la fase inicial (β , ec. 3.4) y la frecuencia (f , ec. 3.3) se manejan sin cambio, por lo que la formulación para valores negativos de V_{DS} para el “modelo alternativo” queda de la siguiente manera:

$$\begin{aligned}
I_D(V_{GS}, V_{DS}) = & \left(\frac{10}{3} \times 10^{-8} \cdot V_{DS}^2 + \frac{4}{3} \times 10^{-9} \cdot V_{DS} \right) \cdot \\
& \sin(2 \cdot \pi \cdot (5 \cdot V_{DS} + 19.95) \cdot V_{GS} + 4.7 - 60 \cdot V_{DS}) \\
& + \left(-\frac{91}{24} \times 10^{-8} \cdot V_{DS}^2 + \frac{269}{240} \times 10^{-9} \cdot V_{DS} \right)
\end{aligned} \quad (3.11)$$

La evaluación del “modelo alternativo” para V_{DS} negativos se ilustra en la figura 3.22, donde además se hace la comparación con los resultados obtenidos con SIMON.

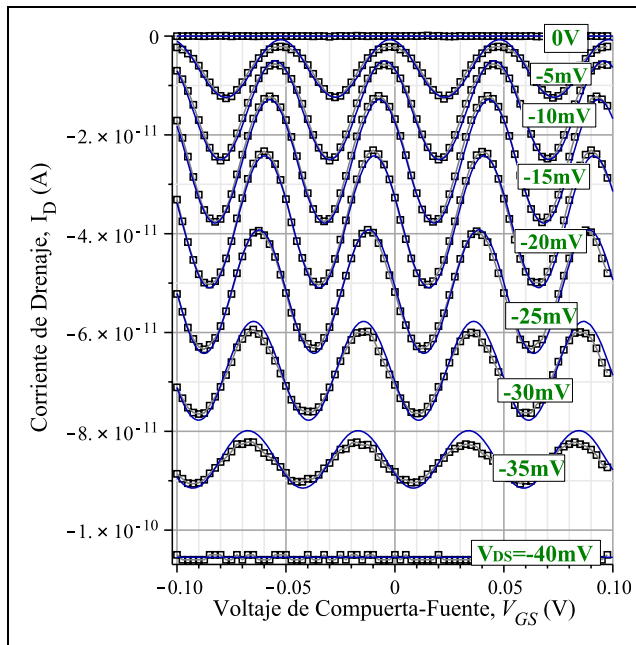


Figura 3.22: Comparación entre los resultados de SIMON y la función sinusoidal propuesta (modelo alternativo) para la familia de curvas características $I_D - V_{GS}$ (V_{DS} negativos).

Para el cálculo de la precisión de los modelos sinusoidales, se utiliza el error cuadrático medio, definido como [49]:

$$RMSE = \sqrt{\sum_{i=1}^N \frac{(\phi_{imod} - \phi_{iSIMON})^2}{N}} \quad (3.12)$$

donde $\phi_{i\text{mod}}$ es el valor del modelo propuesto para la celda i
 $\phi_{i\text{SIMON}}$ es el valor obtenido de SIMON para la celda i
 N es el número de valores analizado

En la figura 3.23 se indica el error cuadrático medio para los modelos sinusoidales propuestos.

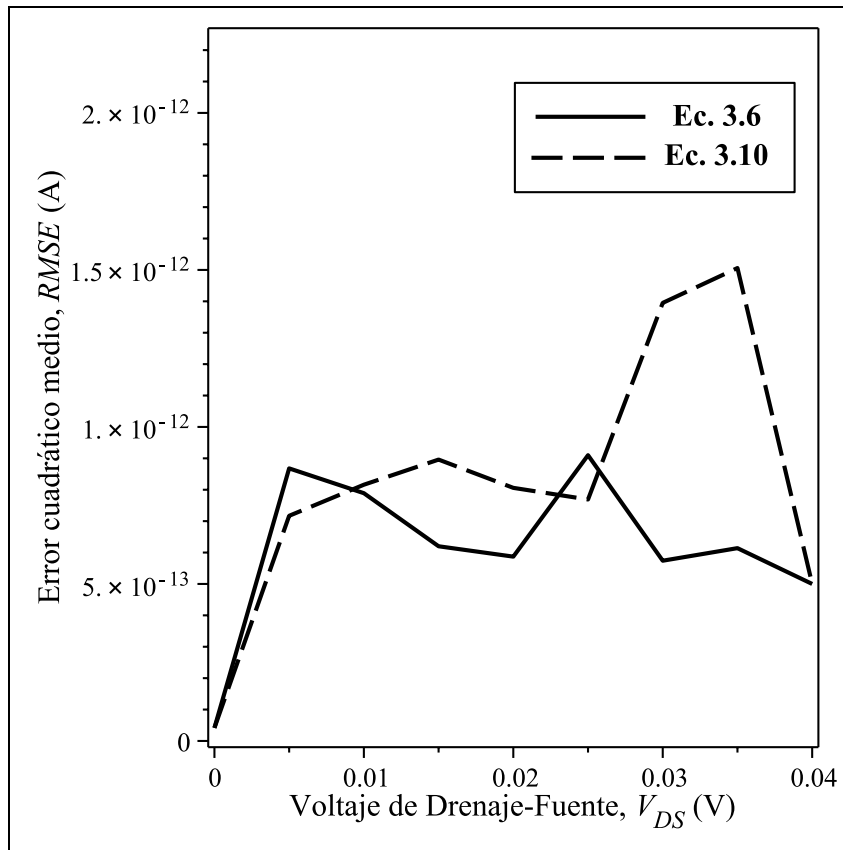


Figura 3.23: Error cuadrático medio para los modelos sinusoidales.

El promedio de los errores a lo largo del intervalo $0V \leq V_{DS} \leq 0.04V$ es de $0.612pA$ para el modelo sinusoidal con funciones PWL (línea negra sólida) y de $0.827pA$ para el modelo sinusoidal con funciones cuadráticas (línea negra punteada).

Capítulo 4

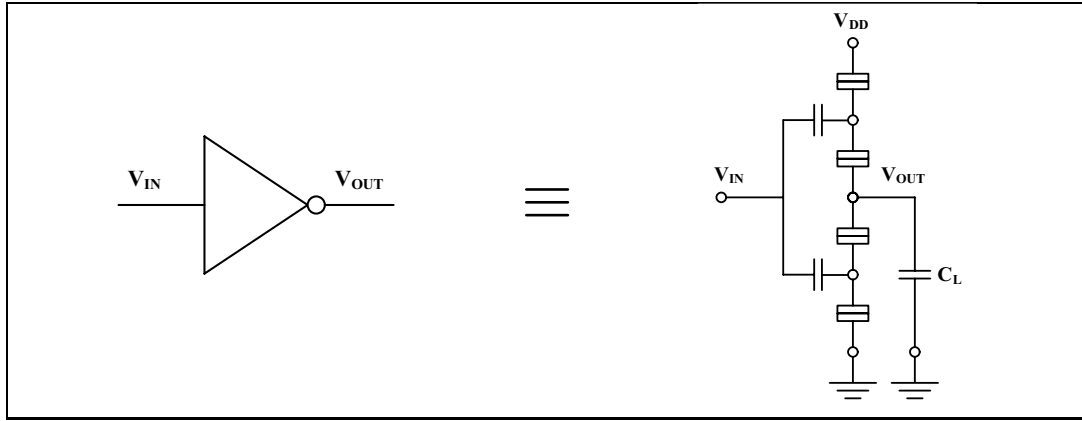
Ejemplos

Esta sección está desarrollada con la finalidad de utilizar los modelos anteriormente propuestos para el Transistor de un Solo electrón en casos de estudio para la simulación híbrida MOS-SET. Cabe mencionar que este capítulo es meramente ilustrativo del uso de los modelos; un análisis profundo sobre circuitos que contienen SET se puede encontrar en [21] y [50].

A continuación se presentan 3 ejemplos; un inversor constituido únicamente con SETs, un inversor híbrido MOS-SET y un compuerta NOR híbrida (estos últimos propuestos por Uchida en [51] y [52]). Todos los SET que conforman dichos circuitos tienen los siguientes parámetros: $C_T = 1.6aF$, $C_G = 3.2aF$, $R_T = 100M\Omega$, y $T = 30^\circ K$.

4.1. Inversor con SETs

Para comenzar la sección de ejemplos, se presenta un inversor cuyo símbolo se ilustra en la figura 4.1 (a). En la figura 4.1 (b) se muestra el diagrama circuital de un inversor constituido únicamente con transistores de un solo electrón. Este inversor, que está compuesto por dos SET en serie, fue desarrollado por Tucker ([53]) y modificado por Likharev ([28], [20]).



(a) Símbolo del inversor.

(b) Diagrama circuital del inversor.

Figura 4.1: Ejemplo 1. Inversor compuesto por 2 SETs.

En la figura 4.2 se muestra la característica de transferencia de voltaje del inversor con SETs para los diferentes modelos propuestos (línea verde: modelo PWL, línea azul: modelo sinusoidal, línea roja: modelo sinusoidal “alternativo”) y comparadas con SIMON (puntos), bajo las condiciones de $V_{DD} = 0.03\text{V}$, $C_T = 1.6\text{aF}$, $C_G = 3.2\text{aF}$, $R_T = 100\text{M}$, $C_L = 32\text{aF}$ y $T = 30^\circ\text{K}$.

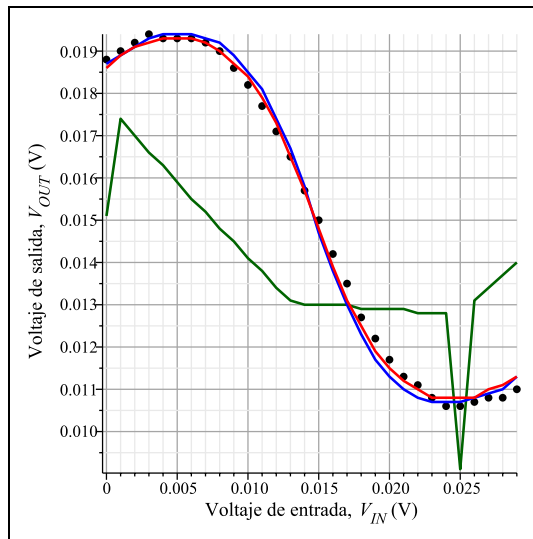


Figura 4.2: Característica entrada-salida del inversor con SETs. Comparación entre los modelos propuestos y SIMON.

4.2. Inversor híbrido MOS-SET

En la figura 4.3 se muestra el diagrama de un inversor híbrido compuesto por un SET y un NMOS de carga. El voltaje de polarización $V_{dd} = 20mV$ y la polarización en la compuerta del NMOS de carga $V_{gg} = 0.4V$, por lo que el NMOS de carga opera en la región de sub-umbral. La salida del inversor MOS-SET está conectada a 4 adaptadores de intensidad (*buffers*) CMOS. Los parámetros de los transistores MOS están descritos en la figura, donde W_n , W_p , L , t_{ox} , V_{TN} y V_{TP} se refieren al ancho del canal del NMOS, el ancho del canal del PMOS, la longitud del canal, el grosor del óxido de compuerta, voltaje de encendido del NMOS y el voltaje de encendido del PMOS, respectivamente. La anchura del canal del primer buffer CMOS es más estrecha que la de los otros para reducir la capacidad de carga vista por el inversor MOS-SET. Un arreglo de buffers en serie es utilizado como etapa amplificadora para que la señal de salida V_{out} pueda tener un voltaje de excursión de $\pm 1V$.

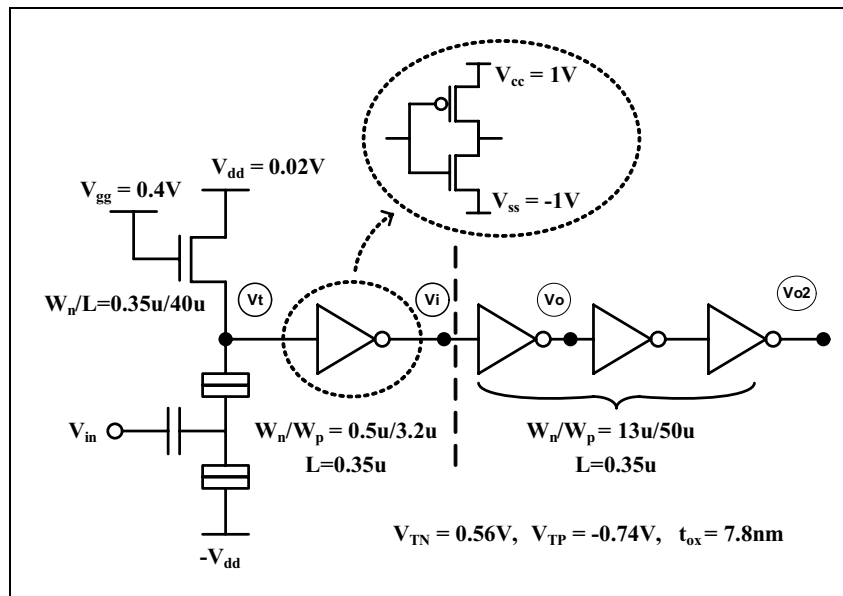
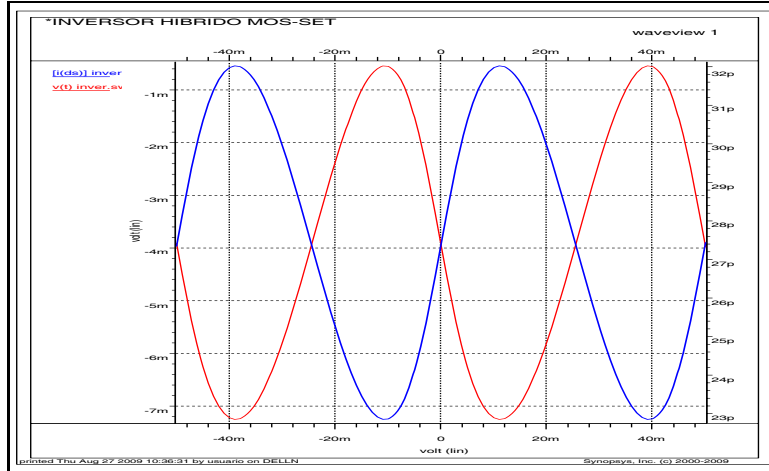


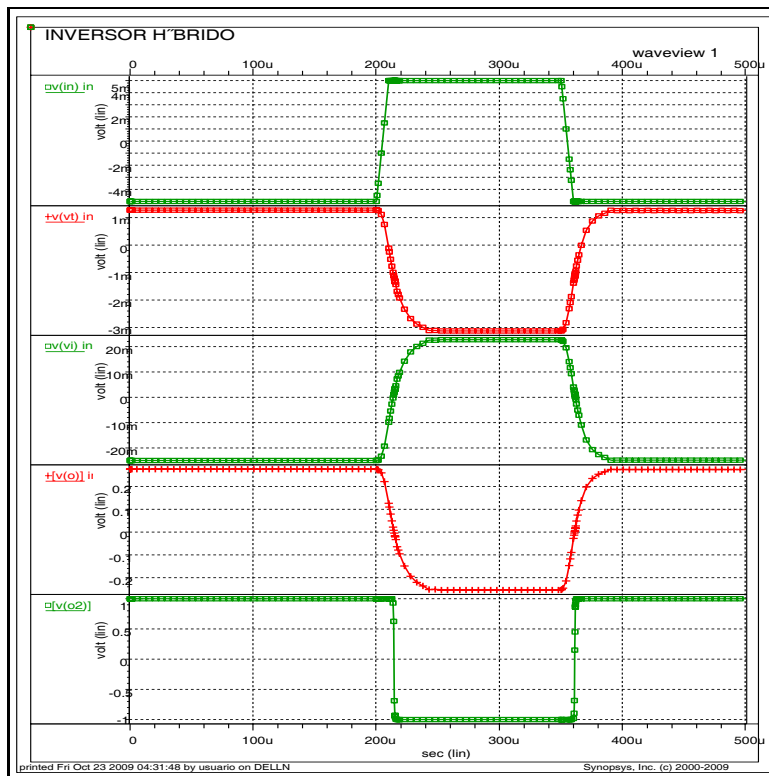
Figura 4.3: Ejemplo2. Inversor híbrido MOS-SET.

En la figura 4.4 se muestran los resultados de simulación aplicando el modelo sinusoidal propuesto en esta tesis para el circuito de la figura 4.3. En la figura

4.4 (a) se muestra la corriente I_{ds} del SET y el voltaje en el nodo SET/NMOS (V_t) como función de la polarización de entrada V_{in} . En la figura 4.4 (b) se muestra la característica transitoria en los nodos V_t (nodo SET/NMOS), V_i (nodo de salida del primer buffer CMOS), V_o (nodo de salida del segundo buffer CMOS; donde se aprecia la amplificación de la señal proveniente del primer buffer), V_{o2} (nodo de salida del cuarto buffer) para un pulso aplicado en V_{in} . La salida final correspondiente al voltaje V_{o2} tiene una amplitud de 2V.



a) Corriente en el drenaje del SET (línea azul) y voltaje en el nodo t (línea roja).

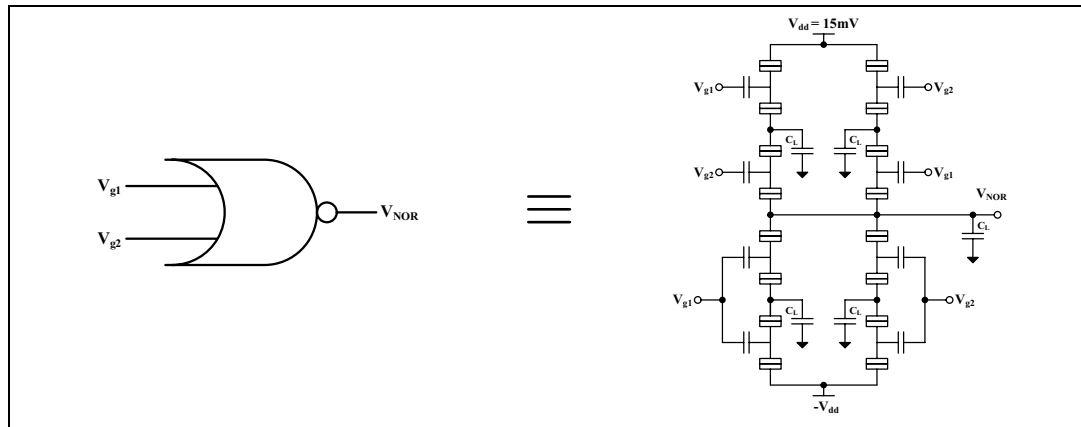


b) Respuesta en el tiempo de los nodos in , t , i , o y $o2$.

Figura 4.4: Resultados de simulación utilizando el modelo sinusoidal para el circuito de la figura 4.3. (a) I_d del SET y V_t en el nodo SET/NMOS como función de V_{in} . (b) Característica transitoria de V_t , V_i y V_{out} al aplicar un señal cuadrada en V_{in} .

4.3. Compuerta híbrida NOR

Otro circuito lógico propuesto por Uchida es la compuerta híbrida NOR, la cual se ilustra en la figura 4.5.



(a) Símbolo de la compuerta NOR.

(b) Diagrama circuital de la compuerta híbrida NOR.

Figura 4.5: Ejemplo 3. Compuerta híbrida NOR.

La inclusión de un conjunto de buffers CMOS después de la salida de la compuerta NOR de un solo electrón fue propuesta por Yu en [54], dichos inversores se utilizan para amplificar la señal como en el caso anterior del inversor híbrido SET/MOS. Para este ejemplo en particular se utilizan 4 buffers CMOS después de la salida V_{NOR} como se muestra en la figura 4.6, los cuales amplifican la respuesta producida por la compuerta NOR de un solo electrón hasta niveles de excursión de $\pm 1V$.

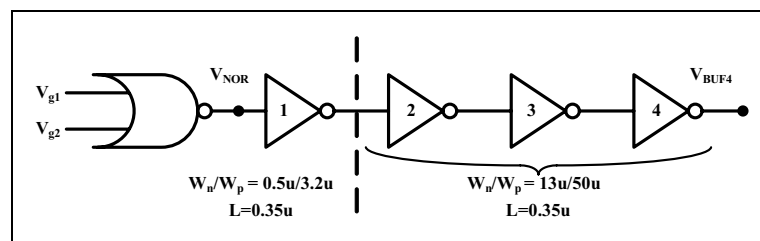


Figura 4.6: Compuerta NOR, conectada a una serie de 4 buffers CMOS.

La figura 4.7 muestra los resultados de simulación transitoria para la compuerta híbrida NOR SET/MOS. Las entradas de voltaje (V_{G1} y V_{G2}) están en el rango de $\pm 8mV$ y la salida de la compuerta NOR de un solo electrón (V_{NOR}) está en el rango de $6mV$. Se puede observar que un nivel bajo de V_{NOR} , se representa por voltajes de $-2mV$ y $-6mV$. Sin embargo, la salida final de voltaje en el cuarto buffer (V_{INV4}) indica un excursión de $\pm 1V$.

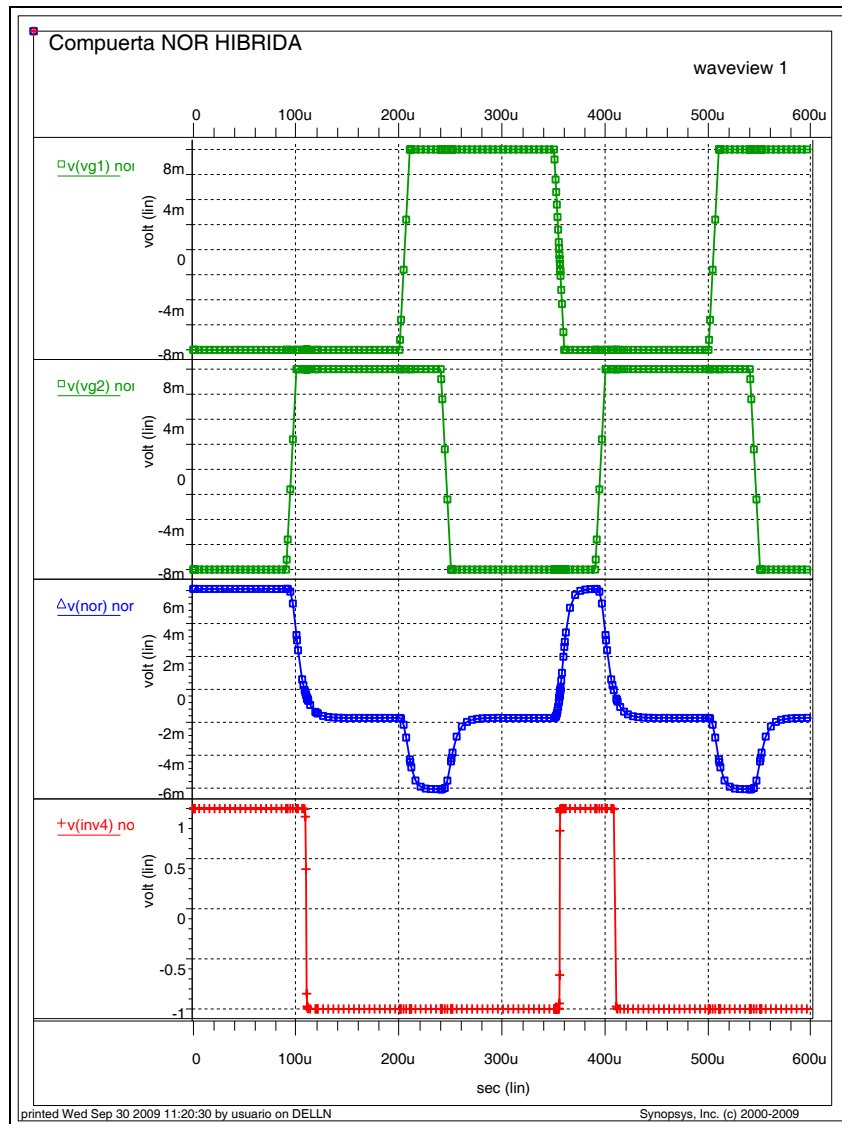


Figura 4.7: Respuesta en el tiempo de la compuerta híbrida NOR.

Capítulo 5

Conclusiones y Trabajo Futuro

5.1. Conclusiones

En esta tesis se presenta el modelado comportamental del transistor de un solo electrón, esto quiere decir, que la función de rama que define al dispositivo está descrita en términos puramente matemáticos, sin tener alguna relación a nivel circuital. Este tipo de modelado permite incorporar modelos matemáticos simples de un dispositivo con redes eléctricas lo que a su vez permite la simulación híbrida MOS-SET. Algunos puntos relevantes que resumen la línea guía de este trabajo se citan a continuación:

- Se presenta un breve descripción sobre la electrónica de un solo electrón, y en particular sobre el transistor de un sólo electrón.
- Se indican los principales enfoques de simulación para el transistor de un solo electrón, mostrando además sus ventajas y desventajas.
- Se desarrollaron tres modelos comportamentales para el transistor de un solo electrón. El primero está desarrollado únicamente con funciones explícitas PWL, el segundo modelo tiene una formulación basada en una función sinusoidal que a su vez está descrita por funciones explícitas PWL, y por último, el tercer modelo tiene una formulación sinusoidal descrita por funciones cuadráticas.

- Como consecuencia del desarrollo de los modelos y sus comparaciones a nivel de curvas características, así como de aplicarlos en los ejemplos de cosimulación, se puede establecer que el modelo sinusoidal con funciones PWL resulta ser el que mejor se aproxima.
- Se presentan los resultados de algunos ejemplos circuitales que utilizan al transistor de un solo electrón. El primero es un inversor implementado puramente con SETs, el segundo es un inversor híbrido MOS-SET y el tercero es una compuerta híbrida NOR.

Por último, cabe destacar que todos los modelos desarrollados en este trabajo fueron escritos en forma de módulos, para su compatibilidad con VERILOG-A.

5.2. Trabajo futuro

Los aspectos más importantes para seguir desarrollando el modelado sobre el transistor de un solo electrón se pueden enumerar como sigue:

1. Incrustar en el modelado del SET los parámetros correspondientes de temperatura (T), capacitancia de la unión túnel del drenaje, capacitancia de la unión túnel de la fuente, resistencia de la unión túnel del drenaje, resistencia de la unión túnel de la fuente, capacitancia de compuerta, y la carga en el sustrato.
 2. Ampliar el modelo del SET donde se incluya la segunda terminal de compuerta.
 3. En el caso de pretender mejorar el modelo PWL; se puede incluir un mayor número de hiperplanos para describirlo y/o generarlos en función de V_{DS} .
-

Apéndice A

Módulos en Verilog-A

A.1. Módulo para el modelo PWL

A continuación se muestra el código en Verilog-A utilizado en la simulación del modelo PWL para el SET. Este código está limitado para valores comprendidos de $-100mV \leq V_{GS} \leq 100mV$.

```
module setpwl(d, g, s);
  inout d, g, s;
  electrical d, g, s;
  analog begin
    if (V(g,s) >= 0 && V(g,s) <= 0.025)
      I(d,s) <+ 4.55n*(V(d,s)) + (-0.4386n-20.455n*(V(g,s)))
        *abs(V(d,s)+0.04) + (-1.6364n+65.455n*(V(g,s)))
        *abs(V(d,s)+0.0125) + (1.6364n-65.455n*(V(g,s)))
        *abs(V(d,s)-0.0125) + (0.4386n+20.455n*(V(g,s)))
        *abs(V(d,s)-0.04);
    if (V(g,s) >= 0.025 && V(g,s) <= 0.05)
      I(d,s) <+ 4.55n*(V(d,s)) + (-1.4614n+20.455n*(V(g,s)))
        *abs(V(d,s)+0.04) + (1.6364n-65.455n*(V(g,s)))
        *abs(V(d,s)+0.0125) + (-1.6364n+65.455n*(V(g,s)))
        *abs(V(d,s)-0.0125) + (1.4614n-20.455n*(V(g,s)))
        *abs(V(d,s)-0.04);
    if (V(g,s) >= 0.05 && V(g,s) <= 0.075)
      I(d,s) <+ 4.55n*(V(d,s)) + (-0.4386n-20.455n*(V(g,s)-0.05))
```

```

*abs (V(d,s)+0.04)+(-1.6364n+65.455n*(V(g,s)-0.05))
*abs (V(d,s)+0.0125)+(1.6364n-65.455n*(V(g,s)-0.05))
*abs (V(d,s)-0.0125)+(0.4386n+20.455n*(V(g,s)-0.05))
*abs (V(d,s)-0.04);
if (V(g,s) >= 0.075 && V(g,s) <= 0.1)
I(d,s) <+ 4.55n*(V(d,s))+(-1.4614n+20.455n*(V(g,s)-0.05))
*abs (V(d,s)+0.04)+(1.6364n-65.455n*(V(g,s)-0.05))
*abs (V(d,s)+0.0125)+(-1.6364n+65.455n*(V(g,s)-0.05))
*abs (V(d,s)-0.0125)+(1.4614n-20.455n*(V(g,s)-0.05))
*abs (V(d,s)-0.04);
if (V(g,s) >= -0.025 && V(g,s) <= 0)
I(d,s) <+ 4.55n*(V(d,s))+(-0.4386n-20.455n*((-1)*V(g,s)))
*abs (V(d,s)+0.04)+(-1.6364n+65.455n*((-1)*V(g,s)))
*abs (V(d,s)+0.0125)+(1.6364n-65.455n*((-1)*V(g,s)))
*abs (V(d,s)-0.0125)+(0.4386n+20.455n*((-1)*V(g,s)))
*abs (V(d,s)-0.04);
if (V(g,s) >= -0.05 && V(g,s) <= -0.025)
I(d,s) <+ 4.55n*(V(d,s))+(-1.4614n+20.455n*((-1)*V(g,s)))
*abs (V(d,s)+0.04)+(1.6364n-65.455n*((-1)*V(g,s)))
*abs (V(d,s)+0.0125)+(-1.6364n+65.455n*((-1)*V(g,s)))
*abs (V(d,s)-0.0125)+(1.4614n-20.455n*((-1)*V(g,s)))
*abs (V(d,s)-0.04);
if (V(g,s) >= -0.075 && V(g,s) <= -0.05)
I(d,s) <+ 4.55n*(V(d,s))+(-0.4386n-20.455n*((-1)*V(g,s)-0.05))
*abs (V(d,s)+0.04)+(-1.6364n+65.455n*((-1)*V(g,s)-0.05))
*abs (V(d,s)+0.0125)+(1.6364n-65.455n*((-1)*V(g,s)-0.05))
*abs (V(d,s)-0.0125)+(0.4386n+20.455n*((-1)*V(g,s)-0.05))
*abs (V(d,s)-0.04);
if (V(g,s) >= -0.1 && V(g,s) <= -0.075)
I(d,s) <+ 4.55n*(V(d,s))+(-1.4614n+20.455n*((-1)*V(g,s)-0.05))
*abs (V(d,s)+0.04)+(1.6364n-65.455n*((-1)*V(g,s)-0.05))
*abs (V(d,s)+0.0125)+(-1.6364n+65.455n*((-1)*V(g,s)-0.05))
*abs (V(d,s)-0.0125)+(1.4614n-20.455n*((-1)*V(g,s)-0.05))
*abs (V(d,s)-0.04);
end
endmodule

```

Para abarcar cualquier valores de V_{GS} ya sea negativo o positivo, se puede in-

crustar una función definida por el usuario dentro del módulo con la siguiente estructura:

```

FUN1:=4.55n*(Vds)+(-0.4386n-20.455n*(Vgs))
      *|(Vds+0.04)|+(-1.6364n+65.455n*(Vgs))
      *|(Vds+0.0125)|+(1.6364n-65.455n*(Vgs))
      *|(Vds-0.0125)|+(0.4386n+20.455n*(Vgs))
      *|(Vds-0.04)|;
FUN2:=4.55n*(Vds)+(-1.4614n+20.455n*(Vgs))
      *|(Vds+0.04)|+(1.6364n-65.455n*(Vgs))
      *|(Vds+0.0125)|+(-1.6364n+65.455n*(Vgs))
      *|(Vds-0.0125)|+(1.4614n-20.455n*(Vgs))
      *|(Vds-0.04)|;
Ids:=proc(Valor_VGS,Valor_VDS)
local H,I;
I:=Valor_VDS;
H:=abs(Valor_VGS)
  if H < 0.05 then
    `if`(H <= 0.025, subs({Vds=I,Vgs=H},FUN1),
        subs({Vds=I,Vgs=H},FUN2));
  else
    Ids(H-0.05);
  end if;
end proc;

```

Este procedimiento condiciona a que cualquier de V_{GS} dado reduzca su valor hasta que permanezca dentro de $0 \leq V_{GS} \leq 50mV$, para después evaluar ya sea la función FUN1 (si $0 \leq V_{GS} \leq 25mV$) o la función FUN2 (si $25mV < V_{GS} < 50mV$).

A.2. Módulo para el modelo sinusoidal

```

`define PI 3.14159265358979323846264338327950288419716939937511
module setseno(d, g, s);

```

```

inout d, g, s;
electrical d, g, s;
analog begin
if (V(d,s)>=0)
  I(d,s) <+ (17p+95p*V(d,s)-90p*abs(V(d,s)-0.005)
            -80p*abs(V(d,s)-0.01)-300p*abs(V(d,s)-0.015)
            -200p*abs(V(d,s)-0.02)-200p*abs(V(d,s)-0.025)
            -75p*abs(V(d,s)-0.03)) *
            (sin(2*`PI*(5*V(d,s)+19.95)*V(g,s)+4.7-60*V(d,s)))
            -22.25p+2.605n*V(d,s)+40p*abs(V(d,s)-0.005)
            +230p*abs(V(d,s)-0.01)+170p*abs(V(d,s)-0.015)
            +260p*abs(V(d,s)-0.02)+270p*abs(V(d,s)-0.025)
            +175p*abs(V(d,s)-0.03);
else
  I(d,s) <+ (-17p+95p*V(d,s)+90p*abs(V(d,s)+0.005)
            +80p*abs(V(d,s)+0.01)+300p*abs(V(d,s)+0.015)
            +200p*abs(V(d,s)+0.02)+200p*abs(V(d,s)+0.025)
            +75p*abs(V(d,s)+0.03)) *
            (sin(2*`PI*(5*V(d,s)+19.95)*V(g,s)+4.7-60*V(d,s)))
            +22.25p+2.605n*V(d,s)-40p*abs(V(d,s)+0.005)
            -230p*abs(V(d,s)+0.01)-170p*abs(V(d,s)+0.015)
            -260p*abs(V(d,s)+0.02)-270p*abs(V(d,s)+0.025)
            -175p*abs(V(d,s)+0.03);
end
endmodule

```

A.3. Módulo para el modelo “sinusoidal alternativo”

```

`define PI 3.14159265358979323846264338327950288419716939937511
module setseno(d, g, s);
  inout d, g, s;
  electrical d, g, s;
  analog begin
    if (V(d,s)>=0)
      I(d,s) <+ ((-100n/3)*pow(V(d,s),2)+(4n/3)*V(d,s)) *

```

```
(sin(2*`PI*(5*V(d,s)+19.95)*V(g,s)+4.7-60*V(d,s)))  
+((910n/24)*pow(V(d,s),2)+(269n/240)*V(d,s));  
else  
I(d,s) <+ ((100n/3)*pow(V(d,s),2)+(4n/3)*V(d,s))*  
(sin(2*`PI*(5*V(d,s)+19.95)*V(g,s)+4.7-60*V(d,s)))  
+((-910n/24)*pow(V(d,s),2)+(269n/240)*V(d,s));  
end  
endmodule
```

Artículos Publicados

- Trabajo presentado en el XV Workshop Iberchip 2009 con el título:
 - Generating Explicit Piecewise Linear Models for the Single-Electron Transistor.
- Trabajo presentado en el ECCTD 2009 con el título:
 - Modelling the Single-Electron Transistor with Piecewise Linear Functions.

Bibliografía

- [1] D.L. Critchlow. Mosfet Scaling-the Driver of VLSI Technology. *Proceedings of the IEEE*, 87(4):659 – 667, 1999.
- [2] Ethan Mollick. Establishing Moore’s Law. *IEEE Annals of the History of Computing*, 28(3):62 – 75, 2006.
- [3] James D. Meindl, Qiang Chen, and Jeffrey A. Davis. Limits on Silicon Nanoelectronics for Terascale Integration. *Science*, 293(5537):2044 – 2049, 2001.
- [4] Michel Brillouet. Emerging technologies on silicon. *Electron Devices Meeting, 2004. IEDM Technical Digest. IEEE International*, pages 17 – 24, 2004.
- [5] Victor V. Zhirnov, Ralph K. Cavin, James A. Hutchby, and George I. Bourianoff. Limits to Binary Logic Switch Scaling — A Gedanken Model. volume 91, pages 1934 – 1939, 2003.
- [6] James D. Meindl and Jeffrey A. Davis. The Fundamental Limit on Binary Switching Energy for Terascale Integration (TSI). *IEEE J. Solid-State Circuits*, 35(10):1515 – 1516, 2000.
- [7] S. M. Kang and Leon O. Chua. A Global Representation of Multidimensional Piecewise-Linear Functions with Linear Partitions. *IEEE Transactions on Circuits and Systems*, 25(11):938 – 940, 1978.
- [8] L. Chua and R. Ying. Canonical Piecewise-Linear Analysis. *IEEE Transactions on Circuits and Systems*, 30:125 – 140, 1983.

-
- [9] L. O. Chua and A.-C. Deng. Canonical Piecewise-Linear Representation. *IEEE Trans. Circuits Syst.*, 35(0098 - 4094):101 – 111, 1988.
- [10] Wilhelmus Maria gezinus van Bokhoven. *Piecewise-linear modelling and analysis*. PhD thesis, Technische Hogeschool Eindhoven, Department of Electrical Engineering, 1981.
- [11] W. M. G. van Bokhoven. *Piecewise Linear Analysis and Simulation*, chapter 9. A. E. Ruehli, Amsterdam: North Holland, 1986.
- [12] C. J. Gorter. A Possible Explanation of the Increase of the Electrical Resistance of Thin Metal Films at Low Temperature. *Physica*, 17(8):777 – 780, 1951.
- [13] John Lambe and R. C. Jaklevic. Charge-Quantization Studies Using a Tunnel Capacitor. *Physical Review Letters*, 22(25):1371 – 1375, 1969.
- [14] H. R. Zeller and I. Giaever. Tunneling, Zero-Bias Anomalies, and Small Superconductors. *Physical Review Letters*, 181(2):789 – 799, 1969.
- [15] Averin D. V. and Likharev K. K. Probable Coherent Oscillations at Single-Electron Tunneling. *Proc. of SQUID*, pages 197 – 200, 1985.
- [16] B. A. Das. Nonlithographic semiconductor nanoscale devices. *Electron Devices and Materials, 2001. Proceedings. 2nd Annual Siberian Russian Student Workshop on*, pages 3—, 2001.
- [17] O.P. Pchelyakov, A.I. Toropov, V.P. Popov, A.V. Latyshev, L.V. Litvin, Yu.V. Nastaushev, D.V. Scheglov, and A.L. Aseev. Nanotechnologies in semiconductor electronics. *Proceedings KORUS 2003. The 7th Korea-Russia International Symposium on*, 3:9 – 18, 2003.
- [18] Roberto S. Murphy Arteaga. *Teoría Electromagnética*. Trillas, México, 2001.
-

-
- [19] C. A. Neugebauer and M. B. Webb. Electrical Conduction Mechanism in Ultrathin, Evaporated Metal Films. *Journal of Applied Physics*, 33(1):74 – 82, 1962.
- [20] Konstantin K. Likharev. Single-Electron Devices and Their Applications. *Proceedings of the IEEE*, 87(4):606 – 632, 1999.
- [21] Santanu Mahapatra. *Hybrid CMOS Single-Electron-Transistor Device and Circuit Design*. Artech House, 1th edition, 2006.
- [22] Mohsen Razavy. *Quantum Theory of Tunneling*. World Scientific Publishing Company, 1th edition, 2003.
- [23] Roelof Harm Klunder. *Circuit Design with Metallic Single-Electron Tunnel Junctions*. PhD thesis, Universidad Técnica de Delft, Delft, The Netherlands, January 2003.
- [24] F. Wakaya and S. Mandai and S. Nakamichi and S. Iwabuchi and K. Gamo. Capacitively- and resistively-coupled single-electron transistor. *Microelectronic Engineering*, 53(1):195 – 198, 2000.
- [25] M. Hasumi, Y. Aoyagi, and T. Sugano. Single Electron Transistor and Fabrication Technologies. *Photopolymer Science and Technology*, 9(3):425 – 434, 1996.
- [26] U. Hashim and A. Rasmi. Single-Electron Transistor (SET) Process and Device Simulation Using SYNOPSIS TCAD Tools. *American Journal of Applied Sciences*, 3(7):1933 – 1938, 2006.
- [27] C. Wasshuber, H. Kosina, and S. Selberherr. SIMON: A simulator for single-electron tunnel devices and circuits. *IEEE Trans. Circuits Syst.*, 16(9):937 – 944, 1997.
- [28] R. H. Chen, A. N. Korotkov, and K. K. Likharev. A new logic family based on single-electron transistors. *Device Research Conference, 1995. Digest. 1995 53rd Annual*, pages 44 – 45, 1995.
-

-
- [29] Yu Y. S., Oh J. H., Hwang S. W., and Ahn D. Implementation of single electron circuit simulation by SPICE: KOSEC-SPICE. Technical Report 150, 2000.
- [30] William J. Stewart. *Introduction to the Numerical Solution of Markov Chains*. Princeton University Press, 1994.
- [31] Likharev. K. K. SETTRANS—A simulator for Single Electron Transistors, 1999.
- [32] Yun Seop Yu, Sung Woo Hwang, and Doyeol (David) Ahn. Macromodeling of Single-Electron Transistors for Efficient Circuit Simulation. *IEEE Transactions on Electron Devices*, 46(8):1667 – 1671, 1999.
- [33] E. W. Cheney. *Introduction to APPROXIMATION THEORY*. AMS Chelsea Publishing, 2sd. edition, 1998.
- [34] Leon O. Chua and Sung Mo Kang. Section-Wise Piecewise-Linear Functions: Canonical Representation, Properties, and Applications. *Proceedings of the IEEE*, 65(6):915 – 929, 1977.
- [35] Arne Brøndsted. *An Introduction to Convex Polytopes*. Springer-Verlag, Heidelberg, Berlin, 1th. edition, 1983.
- [36] Colin Patrick Rourke and Brian Joseph Sanderson. *Introduction to Piecewise-Linear Topology*. Springer, 1th. edition, 1972.
- [37] C. Kahlert and Leon O. Chua. The Complete Canonical Piecewise-Linear Representation I. The Geometry of the Domain Space. Technical Report UCB/ERL M90/26, EECS Department, University of California, Berkeley, 1990.
- [38] C. Guzelis and Goknar I. C. Canonical Representations of Piecewise-Affine Circuits. *IEEE Trans. Circuits Syst.*, (5 - 8):147 – 151, 1989.
-

-
- [39] B. De Moor. *Mathematical Concepts and Techniques for Modelling of Static and Dynamic Systems*. PhD thesis, Fac. of Applied Sc., K. U. Leuven, Belgium, 1988.
- [40] B. De Schutter and B. De Moor. The Linear Dynamic Complementarity Problem is a special case of the Extended Linear Complementarity Problem. Technical report, ESAT-SISTA, K. U. Leuven, Belgium, 1998.
- [41] Bart De Schutter and Bart De Moor. The Extended Linear Complementarity Problem and the Modeling and Analysis of Hybrid Systems. Technical report, ESAT-SISTA, K. U. Leuven, Belgium, 1999.
- [42] W. P. M. H. Heemels. *Linear Complementarity Systems: A Study in Hybrid Dynamics*. PhD thesis, Technische Universiteit Eindhoven, The Netherlands, 1999.
- [43] Å. Björck. *Numerical Methods for Least Squares Problems*. SIAM, Philadelphia, 1996.
- [44] J. M. Chambers. *Computational Methods for Data Analysis*. John Wiley, New York, 1977.
- [45] C. Daniel and F. S. Wood. *Fitting Equations to Data*, 2nd ed. John Wiley, New York, 1980.
- [46] N. R. Draper and H. Smith. *Applied Regression Analysis*, 2nd ed. John Wiley, New York, 1981.
- [47] C. L. Lawson and R. J. Hanson. *Solving Least Squares Problems*. Prentice Hall, Englewood Cliffs, NJ, 1974.
- [48] G. A. F. Seber. *Linear Regression Analysis*. John Wiley, New York, 1977.
- [49] R. A. Pielke. Mesoscale Meteorological Modeling. *Academic Press*, page 611, 1984.
-

- [50] J. Hoekstra. Towards a circuit theory for metallic single-electron tunnelling devices. *Journal of circuit theory and applications*, 35(3):213 – 238, 2007.
- [51] Uchida K., Koga J., Ohba R., and Toriumi A. Programmable single-electron transistor logic for future low-power intelligent LSI: proposal and room-temperature operation. *IEEE Trans. Electron Devices*, 50(7):1623 – 1630, 2003.
- [52] Uchida K., Koga J., Ohba R., and Toriumi A. Programmable single-electron transistor logic for low-power intelligent Si LSI. In ISSCC, editor, *Solid-State Circuits Conference, 2002*, volume 2, pages 162 – 453, 2002.
- [53] J. R. Tucker. Complementary digital logic based on the “Coulomb blockade”. *Journal of Applied Physics*, 72(9):4399 – 4413, 1992.
- [54] Y. S. Yu, Y. I. Jung, and J. H. Park. Simulation of Single-Electron/CMOS Hybrid Circuits Using SPICE Macro-modeling. *Journal of the Korean Physical Society*, 35:991 – 994, 1999.
-