



**INAOE**

# **Sistemas de Detección de valor RMS para Señales en Sistemas Inalámbricos**

Por:

**Fernando Enrique Lara Vila**

*Tesis sometida como requisito parcial para obtener el  
grado de:*

**MAESTRO EN CIENCIAS EN LA  
ESPECIALIDAD DE ELECTRÓNICA**

En el

**Instituto Nacional de Astrofísica, Óptica  
y Electrónica.**

Mayo 2009

Tonantzintla, Puebla.

Supervisada por:

**Dr. Alejandro Díaz Sánchez, INAOE  
Dr. José Miguel Rocha Pérez, INAOE**

©INAOE 2009

Derechos Reservados

El autor otorga al INAOE el permiso de reproducir  
y distribuir copias de esta tesis en su totalidad o en  
partes.



# RESUMEN

Hoy en día, el testing on-chip de circuitos y sistemas ha comenzado a manifestarse como un requerimiento importante para los ingenieros. El testing en *Systems On Chip* (SoCs) se encuentra actualmente en investigación, desarrollo y en constante innovación. En contraste con los sistemas digitales, en los sistemas analógicos (en particular los sistemas de comunicaciones inalámbricos como: microondas, RF, etc.) el test resulta más complejo debido a la presencia de voltajes reducidos y la alta densidad de ruido térmico a las frecuencias de interés. Actualmente, varias técnicas han sido propuestas para realizar test a sistemas de comunicaciones inalámbricos de RF, donde las técnicas *Built-In-Testing* (BIT) han resultado ser de las más útiles. En trabajos reportados recientemente, el valor RMS de señales en sistemas de comunicación ha sido utilizado en sistemas de pruebas, optimización de desempeño y corrección de errores. Debido a que un detector de valor RMS genera un valor de DC proporcional a la amplitud o potencia de una señal de entrada determinada, su utilización en ambientes con gran contaminación de ruido térmico permite discriminar entre la potencia que dicho ruido aporta y la que proviene de la señal de interés.

Siguiendo esta tendencia, en esta tesis se desarrolla un prototipo de circuito detector de RF-RMS. Se presenta una propuesta a nivel sistema de estimador de RMS a partir de retardos homogéneos donde se describen también los circuitos de retardo, circuito driver y además son generadas cuatro nuevas topologías de circuitos divisores analógicos, todos ellos desarrollados en una tecnología CMOS estándar de 0.35 $\mu$ m.

# ABSTRACT

Today, on-chip testing of circuits and systems has begun to be very important for engineers. Testing *Systems On Chip* (SoCs) is currently in research, development and innovation. In contrast with digital systems, in analogue systems (particularly wireless communication systems such as microwave, RF, etc.) the test is more complex due to the low voltage range and density of thermal noise at the frequencies to which are used. Currently, several techniques have been proposed to test systems for RF wireless communications, where *Built-In Testing* (BIT) techniques have proved to be the most useful. In works reported recently, the use of the RMS value of signals in communication systems has been used in test systems, performance optimization and bug fixes. Since a RMS detector generates a DC value proportional to the amplitude or power of an input signal, its use in environments with high contamination of thermal noise allows to discriminate between the power that such noise brings and that comes from the signal of interest.

Following this trend, this thesis develops a prototype detector circuit RF-RMS, a proposal to level system of RMS estimator from homogeneous delays which also describes the delay circuit, driver circuit and also are generated four new circuit topologies of analog dividers, based in a standard 0.35 $\mu\text{m}$  CMOS technology.

# AGRADECIMIENTOS

Gracias a Dios por darme la oportunidad de vivir y permitirme realizar mis estudios en el INAOE.

A mis padres mis padres Julia y José, por su apoyo en todo momento; que hicieron posible mi educación y preparación que hoy tengo.

Gracias al Consejo Nacional de Ciencia y Tecnología (CONACYT) por darme el apoyo económico brindado durante el estudio de la Maestría a través de la beca con número de registro: 205998.

Al Instituto Nacional de Astrofísica Óptica y Electrónica (INAOE), por darme la oportunidad de adquirir nuevos conocimientos, conocer gente muy valiosa, por brindarme el apoyo y los medios para la realización de la Tesis.

Al Dr. Alejandro Díaz Sánchez y al Dr. José Miguel Rocha Pérez, por su guía, sus consejos y enseñanzas en la realización de esta Tesis.

A mis sinodales: al Dr. Carlos Muñiz Montero, a la Dra. María Teresa Sanz Pascual y al Dr. José Mariano Jiménez Fuentes por sus sugerencias y comentarios para la mejora del trabajo final de Tesis.

A mis amigos y a todas las personas que me brindaron su apoyo incondicional en cualquier aspecto y que hicieron posible la terminación de mis estudios de Maestría.

# DEDICATORIAS

*A mis padres:*

*Julia y José.*

*A mis hermanos:*

*Javier y José.*

*Al resto de mi familia.*

*A la memoria de mi abuelo José.*

# ÍNDICE

## PREFACIO

## CAPÍTULO 1

Introducción .....	1
1.1 Metas .....	3
1.2 Organización de la tesis.....	4

## CAPÍTULO 2

Antecedentes .....	5
2.1 Testing on-chip en circuitos de microondas y RF .....	5
2.2 Desarrollo de técnicas (BIT) Built-In-Testing .....	7
2.3 Detectores de RMS para BIT en circuitos de RF .....	11

## CAPÍTULO 3

Detector de RMS con un circuito multiplicador.....	21
3.1 Introducción .....	21
3.2 Estándares de sistemas inalámbricos.....	22
3.3 Diseño del detector RF-RMS .....	23
3.3.1 Especificaciones del detector RF-RMS .....	24
3.3.2 Idea básica del circuito detector RF-RMS propuesto .....	26
3.3.3 Descripción del circuito detector .....	28

---

3.3.3.1 Elección del circuito multiplicador .....	28
3.3.3.2 Circuito multiplicador .....	28
3.3.4 Rectificador con el multiplicador .....	32
3.3.5 Segunda etapa del detector .....	35
3.3.6 Tercera etapa. Circuito extractor de raíz cuadrada .....	37
3.3.7 Esquemático del circuito detector RF-RMS completo .....	38
3.4 Resultados de simulación del detector RF-RMS.....	39

#### **CAPÍTULO 4**

Detector de RF-RMS a partir de retardos homogéneos.....	47
4.1 Modelado del detector y simulación de las señales involucradas .....	50
4.2 Driver de entrada .....	53
4.3 Celda de retardo .....	55
4.4 Caracterización del driver y celdas de retardo .....	59
4.4.1 Impedancias de entrada y de salida .....	59
4.4.2 Respuesta en frecuencia .....	62
4.4.3 Respuesta en tiempo .....	65

#### **CAPÍTULO 5**

Divisores Analógicos .....	69
5.1 Introducción .....	69
5.2 Principio básico de operación de las tres primeras topologías de divisores.....	70
5.3 Macromodelo del divisor completamente diferencial .....	73
5.4 La celda de Gilbert CMOS.....	75
5.4.1 El multiplicador de Gilbert de cuatro cuadrantes .....	75
5.5 Divisor, topología 1 (Retroalimentado por corriente).....	79
5.5.1 Resultados de simulación.....	81
5.5.2 Curvas comparativas y análisis cualitativo .....	85

---

5.6 Divisor topología 2 .....	89
5.6.1 Resultados de simulación .....	90
5.6.2 Curvas comparativas y análisis cualitativo .....	94
5.7 Divisor topología 3 .....	97
5.7.1 El núcleo multiplicador .....	97
5.7.2 Transistores de compuerta flotante .....	100
5.7.3 Modelo de gran señal del FGMOS .....	102
5.7.4 Amplificador de transimpedancia.....	104
5.7.5 Resultados de simulación.....	109
5.7.6 Curvas comparativas y análisis cualitativo .....	112
5.8 Divisor topología 4 .....	116
5.8.1 Resultados de simulación .....	118
5.8.2 Curvas comparativas y análisis cualitativo .....	122
5.9 Simulaciones Post-layout .....	125
5.10 Comparación de los divisores, resultados y conclusiones .....	138

## **CAPÍTULO 6**

Conclusiones y trabajo futuro.....	141
------------------------------------	-----

## **APÉNDICES**

A. Layouts de los circuitos divisores .....	145
B. Modelo BSIM3v3 nivel 49 de la tecnología .....	149
C. Acrónimos.....	155



Índice de Figuras .....	157
Índice de Tablas.....	163
Referencias.....	165

# CAPÍTULO 1

*"Todo nuestro conocimiento comienza por los sentidos, pasa de éstos al entendimiento y termina en la razón"*  
**INMANUEL KANT**

## Introducción

La industria de la microelectrónica ha ido creciendo a mayor velocidad en las últimas décadas. Recientemente, el desarrollo y expansión del mercado de esta industria ha tenido como resultado el incremento de la complejidad de los circuitos analógicos, de modo mixto, de RF y en particular de los sistemas de comunicaciones inalámbricos dentro de un mismo chip. Esta tendencia, demanda sistemas con una mayor densidad, alta velocidad y bajo costo [1]. Como consecuencia, las pruebas (testing) de estos circuitos se ha dificultado significativamente debido a que el acceso a los nodos internos de test esta cada vez más restringido.

El testing es requerido para mejorar la calidad y confiabilidad de cada uno de los circuitos integrados que son fabricados. Debido a que los dispositivos son cada vez más pequeños, la densidad de integración de los mismos es más alta e incluso demandan una mejor calidad; por lo tanto, el testing ha empezado a ser una consideración de gran importancia para los diseñadores de circuitos integrados y de manufactura.

En contraste con los sistemas digitales, los sistemas de comunicaciones de RF tienen pocos nodos de entrada y salida, lo cual limita su acceso para realizar su testing. Además de esto, el ancho de banda de las señales de las trayectorias internas de los sistemas de RF exceden al ancho de banda de los canales de entrada/salida de los *núcleos* de las señales de modo mixto.

El costo del testing en componentes de RF también se incrementa debido al precio de los equipos de medición. De esta forma, el incremento en el costo, las dificultades de acceso y las limitaciones de ancho de banda son las razones principales por las que es necesario buscar nuevas soluciones de test para poder satisfacer las demandas del mercado. Para atacar estos problemas, han empezado a desarrollarse en la literatura varias técnicas para realizar testing a circuitos analógicos y de RF. Las técnicas BIT (Built-In-Testing) han sido una de las elecciones más prometedoras como método de testing en muchos de los circuitos de RF frond-end y para la caracterización de bloques individuales. Esta técnica consiste en mover algunos de los recursos de test (generación de señales y/o evaluación) dentro del chip. La meta es la reducción del costo del test como consecuencia de reducirse el uso de la instrumentación externa.

La complejidad que presenta el test analógico es diferente a la de los circuitos digitales. En específico, las técnicas donde se aplican esquemas digitales DFT (Desing For Testing) no han podido incorporarse al testing del dominio analógico. Como resultado, la gran mayoría de los circuitos analógicos son probados verificando su funcionalidad o especificaciones de los dispositivos; diferentes especificaciones son examinadas de diferentes maneras, lo cual incrementa el tiempo y costo del testing analógico funcional. Por otra parte, con frecuencia es necesario el uso de hardware adicional para realizar el test de varias de las especificaciones. Esta limitada capacidad de verificación de la funcionalidad no garantiza que los circuitos estén libres de defectos y/o que esten excentos de problemas de calidad o de confiabilidad. La industria de los semiconductores está estrechamente relacionada con el desarrollo y el constante mejoramiento de los esquemas de testing. Algunas de las soluciones mas importantes son: 1) El desarrollo de metodologías de test SoC (System on Chip), las cuales proponen la reutilización del

hardware y las técnicas BIT analógicas/digitales. 2) El DFT, métodos utilizados para localizar fallas que son utilizados dentro del testing de producción y desarrollo. 3) Metodologías de test a nivel oblea. 4) Técnicas de test DFT y BIT que simplifiquen los requerimientos de interfaces y del aún lento incremento en las tendencias de las capacidades de los equipos de instrumentación.

## 1.1 Metas

El propósito de esta investigación, consiste en desarrollar sistemas detectores de RMS que operen en el rango de RF, se desarrolla un prototipo de circuito detector de RF-RMS que puede ser usado para BIT. El detector de valor RMS genera un valor de voltaje de DC proporcional a la amplitud de la señal de RF de entrada. El circuito emplea una tecnología estándar CMOS AMIS de  $0.35\mu\text{m}$ , su operación y caracterización es demostrada mediante los resultados de simulación a frecuencias de operación dentro del rango de RF. Se desarrolla también una propuesta de sistema estimador de RMS a partir de una señal de entrada estímulo senoidal, de la cual, mediante el uso de manipulaciones matemáticas, el concepto de la derivada y aproximaciones se obtiene una expresión que nos proporciona su amplitud pico. Este sistema es verificado mediante una simulación a bloques realizada en Simulink®, demostrando que el sistema puede ser empleado para hacer testing a partir de las estimaciones de amplitud pico proporcionadas a su salida. También, se muestran los circuitos propuestos para ser usados como bloques de retardo del sistema estimador y sus resultados de simulación. En la parte final de la tesis se dedica un Capítulo completo a los circuitos divisores, el bloque más importante y de mayor complejidad de diseño del sistema estimador.

## 1.2 Organización de la tesis

En el Capítulo 1 se presenta una breve introducción sobre el uso de las técnicas de testing y su importancia en la reducción del costo de los circuitos, sistemas de RF inalámbricos y de comunicaciones en general.

En el Capítulo 2 se proporciona un sustento teórico requerido para el entendimiento y desarrollo de este trabajo, así como el estado del arte de los circuitos, sistemas y técnicas existentes para realizar testing. En el Capítulo 3 se estudian brevemente los estándares de comunicaciones inalámbricos, las características deseables que debe de tener un detector de RF-RMS y se presenta la primera propuesta de circuito detector de RF-RMS en conjunto con la descripción de los bloques de sus componentes y sus resultados de simulación.

En el Capítulo 4 se desarrolla la segunda propuesta de sistema detector RF-RMS de una expresión matemática con base en la generación de retardos homogéneos, la cual nos entrega a su salida la estimación de la amplitud pico para una señal estímulo sinusoidal de entrada, se presentan los circuitos propuestos para realizar estos retardos y sus caracterizaciones en frecuencia y tiempo. En el Capítulo 5 se describen cuatro topologías propuestas de circuitos divisores analógicos y se presentan sus caracterizaciones en DC, frecuencia, tiempo a partir de resultados de simulación, se realiza un análisis cualitativo a cada uno de ellos en base a comparaciones teóricas y por último se presentan sus simulaciones post-layout (los layouts de los circuitos se muestran en el Apéndice A ). Finalmente, en el Capítulo 6 se enuncian las conclusiones de esta investigación y se describen las perspectivas de trabajo a futuro.

# CAPÍTULO 2

*"Una experiencia nunca es un fracaso,  
pues siempre viene a demostrar algo"*  
THOMAS A. EDISON

## Antecedentes

### 2.1 Testing on-chip en circuitos de microondas y RF

En años recientes, el testing on-chip de circuitos de microondas y de RF ha comenzado a ser un tópico de gran importancia e importantes desafíos para los ingenieros de pruebas, esto es debido principalmente a las altas frecuencias de las señales involucradas, al incremento constante de la densidad de integración de los circuitos y a los altos costos involucrados. Por ejemplo, la producción de un SoC (System on Chip) Bluetooth® fue retrasada debido al alto costo inicial del testing de manufactura [2].

El testing en SoCs es complejo debido a problemas de accesibilidad a los núcleos de los circuitos, por lo que nuevas estrategias de testing deben de ser implementadas a los núcleos individuales y de manera particular en circuitos analógicos/RF como de modo mixto, ya que para estos circuitos no han sido desarrolladas técnicas generales de testing como las ya existentes para circuitos digitales [3].

Problemas futuros del testing de manufactura que incluirán a los SoCs inalámbricos en particular son: 1) El costo del testing al combinar sistemas digitales de RF/microondas podría incrementarse a varios millones de dólares por unidad, 2) La mejora en la precisión del testing y en las incertidumbres a

través de las tarjetas de interface o DIBs (Device Interface Boards), chips controladores y empaquetados; y 3) El incremento del tiempo para desarrollar un testing de manufactura completo que incluya también mejoras en las tarjetas de interface [2].

Los requerimientos del test a consecuencia de la demandante producción incluyen: la reducción del tiempo para realizar el testing de los Circuitos Integrados, del Equipo Automatizado de Pruebas (Automated Test Equipment) y del tiempo de desarrollo en el test de manufactura, por lo que soluciones para hacer el testing a circuitos de RF implica la reducción del costo y de los requerimientos necesarios de los equipos de medición. Todos estos requerimientos también requerirán de ingenieros especializados y del incremento en el tiempo de desarrollo de un producto. Desafortunadamente, a frecuencias arriba de 5GHz, las señales que se transmiten entre el CUT (Circuito bajo prueba) y el sistema ATE (Automated Test Equipment) pueden verse seriamente degradadas. Por lo tanto el desarrollo de estrategias para extraer y caracterizar parámetros de un circuito de RF/microondas haciendo el testing a frecuencias más bajas puede ser una alternativa [2].

La mayoría de las técnicas reportadas para realizar el testing a circuitos de RF tienen como objetivo la detección de fallas a un menor tiempo y costo, donde es deseable mejorar la cobertura de detección y la caracterización de los bloques individuales mejorando así la fase de desarrollo de un producto antes de que éste salga al mercado. Recientes esfuerzos se han enfocado en el desarrollo de metodologías y algoritmos para automatizar el testing [4, 5], testing alternado para predecir especificaciones de sistemas [6], DFT (Diseño para pruebas) [7] y las técnicas BIT [8].

## 2.2 Desarrollo de técnicas (BIT) Built-In-Testing

Las técnicas *Built-In-Testing* (BIT) son muy útiles, aunque su implementación resulta difícil dentro de los circuitos de RF. Sin embargo, estas técnicas en particular han tenido gran impacto, por varias razones: 1) Se reduce la complejidad y el costo de tener que usar un ATE externo, así como de sus interfaces hacia el DUT (Device Under Test) ya que de esta manera las funciones del testing quedan integradas dentro del entorno del mismo DUT, 2) El acelerado incremento de los costos en empaquetados se reduce debido a que el testing puede ser implementado a nivel oblea [9] y 3) Se mejora la capacidad de detección de las fallas en bloques específicos dentro de un sistema, lo cual acelera la fase de desarrollo de los productos.

Las técnicas BIT típicamente consisten en colocar sensores en varios de los nodos de un transceiver (transmisor-receptor) de los cuales se extrae información para poder predecir el comportamiento de cada uno de sus bloques. El problema recae en diseñar sensores capaces de trabajar en el rango de Radio Frecuencias (RF), que éste no consuma mucha área y que solamente requiera de una señal de estímulo para hacer el testing.

Las primeras y más primitivas estrategias BIT que se reportaron en la literatura, usaban sensores térmicos y diodos [10, 11]. La primera estrategia, basada en sensores térmicos, no es viable como técnica BIT debido a que requiere de mucho consumo de área para ser totalmente integrable, además de que sufre de muy bajas constantes de tiempo que limitan su velocidad de respuesta para poder ser usada en RF.

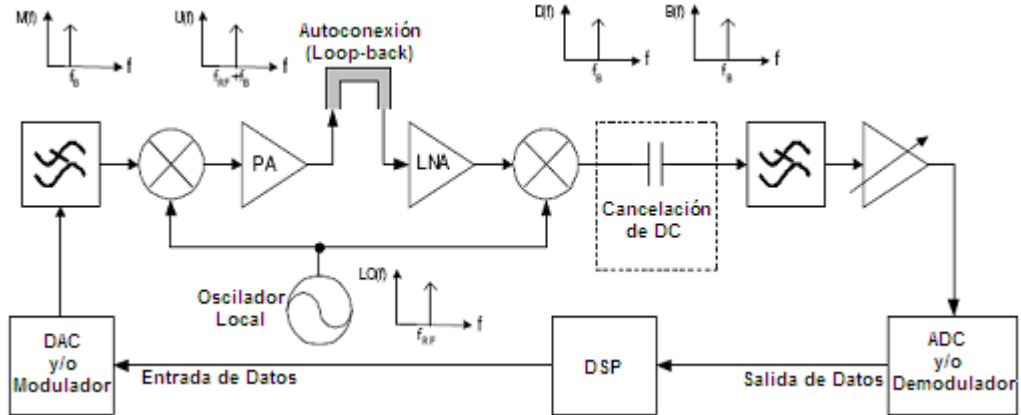
El uso de diodos como detectores para sistemas BIT, hace uso del principio de rectificación y promedio usando un simple filtro RC. Esta alternativa pareciera ser adecuada debido a que los diodos pueden responder a muy



altas frecuencias, además de que permiten un gran ancho de banda de detección, pero por otro lado, requieren de amplitudes de entrada por encima de las típicamente empleadas en RF para poder operar, cuentan con poca estabilidad a cambios de temperatura y la linealidad de los sensores basados en diodos se limita por su ley cuadrática [11].

Otra de las estrategias ampliamente usadas para realizar testing a sistemas inalámbricos y por cable, es conocida como la técnica de autoconexión (*loopback*) [12, 13, 14]. Un esquema igual de reciente desarrollo que aplica esta técnica para realizar el testing a un transmisor-receptor inalámbrico (*wireless transceiver*) se sustenta en una estrategia punto a punto (*end to end*) [15] en la cual la salida del transmisor y la entrada del receptor son enlazadas a través de la autoconexión. En esta configuración el testing del sistema completo es realizado usando únicamente el hardware digital disponible.

En la Figura 2.1 se muestra la configuración *loop-back* [13, 14] dentro de un transceiver, donde la sección de banda base del transmisor genera un tono o una señal modulada (M) con frecuencia central  $f_B$  que junto con la señal del oscilador local (LO) de frecuencia  $f_{RF}$  se genera un tono a frecuencia  $f_B+f_{RF}$  (*up-conversion*), entonces la conexión *loop-back* se encarga de atenuar la salida del PA (Power Amplifier) de tal manera que sea manejable por el rango dinámico del LNA (Low Noise Amplifier) para que después de la demodulación la señal de bandabase sea nuevamente centrada a la frecuencia  $f_B$ , frecuencia que posteriormente el ATE utilizará para analizar las características de la señal demodulada o digitalizada, evaluando así el desempeño del transceiver.



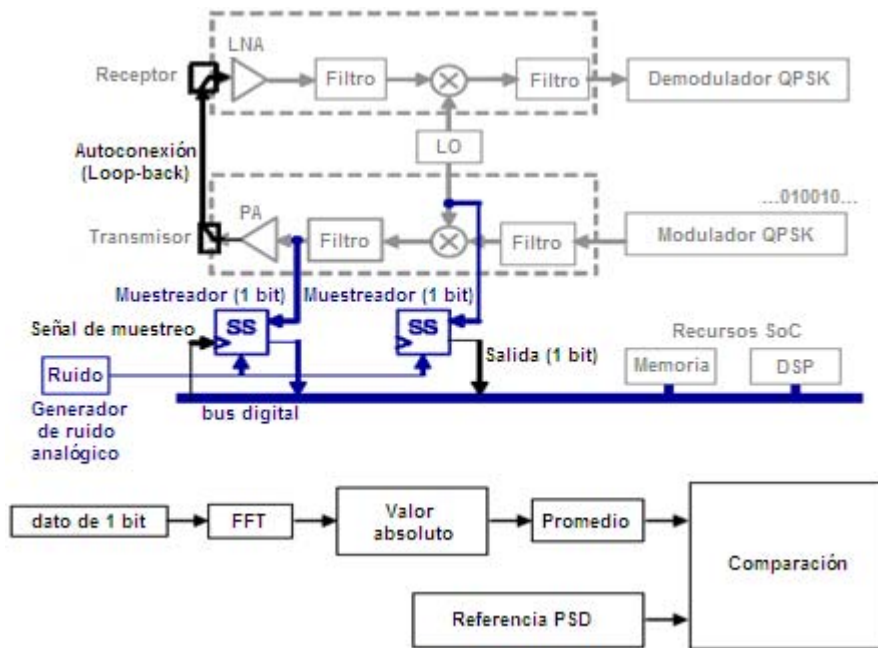
**Figura 2.1. Estructura del Loop-back test en un transceptor (transceiver) [13, 14].**

Aunque una de las ventajas de la técnica loop-back es su bajo costo de implementación, ésta requiere de la transmisión de un gran número de bits, lo cual hace que impacte en su uso como técnica BIT, incrementándose el tiempo del testing, sufre de un reducido número de trayectorias de las señales a ser observadas como consecuencia de que el transceiver es puesto a pruebas como un todo, pudiendo ocasionar que algunas fallas no sean detectadas. Otra de las desventajas es que no todas las arquitecturas de transceivers son adecuadas para aplicarles la técnica loop back de manera directa [13, 16].

Las técnicas sustentadas en *ruido de referencia* mejoran el loop-back test. La caracterización se realiza a bloques individuales en el transceiver y se requiere de un generador de ruido [16, 17, 18].

Un transceiver al cual se le hace testing en [16] utiliza un muestreador durante su operación permitiendo observar las características espectrales de una señal de RF en varios de sus nodos (Figura 2.2). Aunque esta técnica

mejora la técnica del loop-back test standard, se requiere del generador de ruido blanco en vez de una señal de excitación como referencia para que los datos sean adquiridos, lo cual hace que se requiera un mayor número de recursos de hardware adicional (memoria, DSP y muestreadores) dentro del mismo SoC.



**Figura 2.2. Técnica BIT Loop-back mejorada aplicada a un transceiver. Requerimientos de hardware y software [16].**

Otra propuesta que mejora a la técnica loop-back convencional, consiste en una arquitectura loop-back conmutada [12] la cual se aplica también a un transceiver, pero donde la modulación la realiza directamente un VCO. EL loop-back es conmutado a una frecuencia  $f_{sw}$ , por lo que se crean los tonos adicionales  $f_{RF}+f_{sw}$  ó  $f_{RF}-f_{sw}$  que después de mezclarse con la frecuencia  $f_{RF}$  en el receptor son demodulados a la frecuencia  $f_{sw}$ . De manera conceptual esta técnica equivale a introducir un mezclador en la trayectoria del loop-back, pero donde la translación de frecuencias es realizada por un simple switch. En la Figura 2.3 se muestra la arquitectura loop-back conmutada.

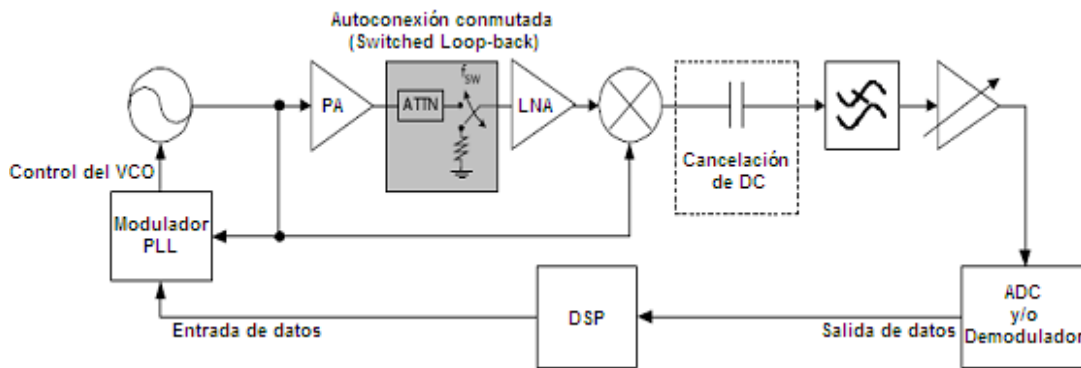


Figura 2.3. Arquitectura Loop-back conmutada [13, 14].

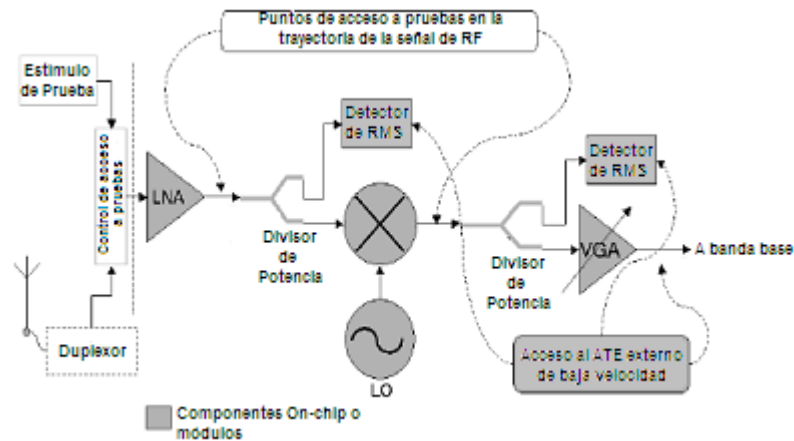
## 2.3 Detectores de RMS para BIT en circuitos de RF

Un detector de radio frecuencia a RMS es un sensor cuya característica principal es la de generar un valor de DC proporcional a la amplitud de una señal de entrada [19]. Debido a que un voltaje de DC es más fácil de procesar mediante el uso de un simple voltímetro o de un convertidor analógico-digital, el costo del testing se reduce considerablemente en comparación con el costo al utilizar un equipo de medición especial para altas frecuencias (como un analizador de espectros), circuitos adicionales, etc. También, el testing se facilita, con la ventaja de poder observar múltiples nodos dentro del SoC solamente a partir de mediciones en DC, todo esto impactando considerablemente en la reducción del costo de un producto.

Mediante el uso de los detectores de RMS es posible caracterizar algunas de las principales métricas de desempeño de los circuitos de RF tales como: ganancia, potencia de salida y el punto de compresión de 1dB con una precisión razonable a partir de las señales en DC que nos proporciona el

detector RMS. Dispositivos como éstos ya han sido empleados en circuitos de RF tanto en SoC, como con componentes discretos [2, 10, 20].

Técnicas similares han sido empleadas también para hacer el testing, es el caso de los divisores de potencia (power dividers), Figura 2.4 [21], los cuales han mostrado no ser una opción muy recomendable para BIT debido a que el desempeño del transceiver es afectado por los mismos divisores de potencia y por el excesivo consumo de área extra requerida.

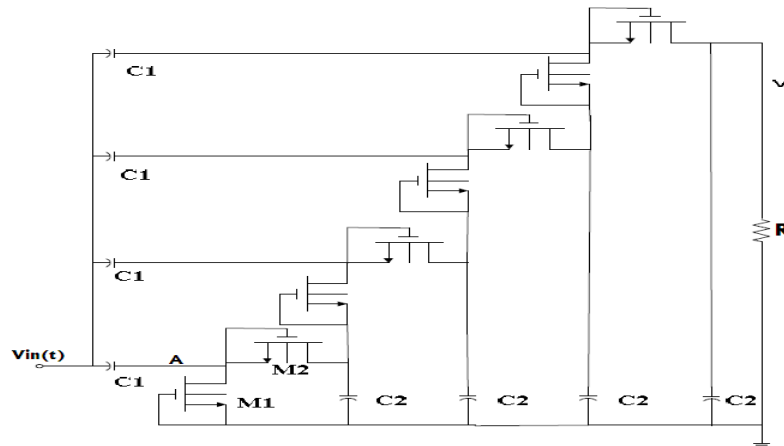


**Figura 2.4. Arquitectura para hacer testing para el front-end de un receptor GSM usando divisores de potencia [21].**

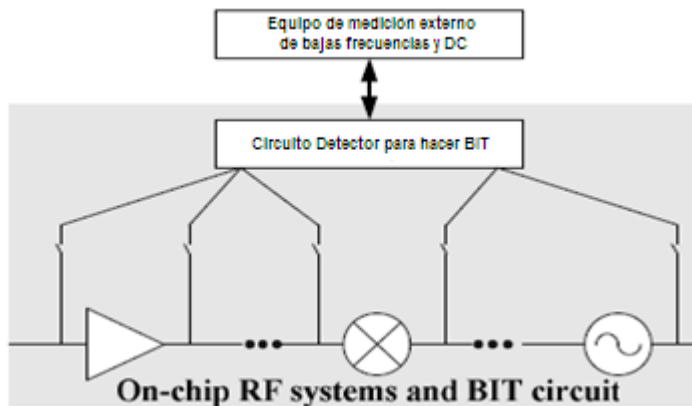
En [20] se muestra otra alternativa para hacer BIT. En ese trabajo se propone un circuito rectificador que es adaptado para convertir una señal de RF a una señal de DC, en donde se utilizan transistores MOS con bajo voltaje de umbral y con polarización de sustrato positiva (Figura 2.5). Este circuito transforma la señal de alta frecuencia de entrada a una señal de DC usando transistores MOS conectados como diodos y capacitores. Para poder detectar señales de RF de amplitud muy pequeña se requiere transistores con voltaje de encendido muy bajo. Este detector se basa en la configuración original propuesta en [22]. El capacitor  $C_1$  y el transistor MOS M1 conectado como diodo rectifican el voltaje al punto A, entonces el capacitor  $C_2$  y el

transistor M2 también conectado como diodo también rectifican el voltaje proveniente de A (componentes de AC y DC) y así sucesivamente; después de un corto periodo transitorio, se alcanza el estado de equilibrio entrando el circuito completo en estado estable. De este modo el detector entrega una corriente y voltaje constante a su salida.

Aunque este circuito trabaja bien hasta 2.4GHz su desventaja radica en que requiere de varios capacitores  $C1 = 100\text{fF}$  y  $C2 = 700\text{fF}$ , por lo que el consumo de área es considerable. En ese trabajo, también se muestra un esquema de BIT On-chip (Figura 2.6).



**Figura 2.5. Rectificador de cuatro etapas charge pump, con bajo voltaje de umbral y polarización de sustrato positiva [20].**



**Figura 2.6. Esquema de BIT On-chip usado para circuitos y sistemas de RF [20].**

Los detectores True RMS son otro tipo de sensores que entregan a su salida el valor cuadrático medio (RMS) de la señal de entrada. Este tipo de detectores no dependen de la forma de onda de entrada, un ejemplo de un True RMS detector es el AD8361 [23] de Analog Devices el cual usa transistores bipolares. El circuito tiene dos celdas idénticas que elevan al cuadrado cuyas salidas son balanceadas por un amplificador de alta ganancia. La señal de entrada en voltaje RFIN es aplicada a la primera celda que eleva al cuadrado generando así una corriente proporcional a  $v_{IN}^2$ , ésta corriente es filtrada a través de un filtro RC y aplicada a la entrada no inversora del amplificador. Una fracción del voltaje de DC a la salida del amplificador es aplicada a la entrada de la segunda celda que eleva al cuadrado. La salida de la segunda celda que eleva al cuadrado es aplicada a la entrada inversora del amplificador completando el lazo de retroalimentación negativa el cual asegura la estabilidad de calibración del circuito. El amplificador fuerza a la señal promediada de la primera celda que eleva al cuadrado a ser igual a la señal que entrega la segunda celda que eleva al cuadrado asegurando que la salida del amplificador sea igual al valor cuadrático medio de la señal de entrada. Este circuito tiene buena estabilidad a cambios de temperatura, opera a voltajes de alimentación de entre 2.7V hasta 5.5V, tiene un rango dinámico de 30dB, consumo de potencia de 3.3mW a 3V y es capaz de trabajar hasta frecuencias de 2.5GHz. El diagrama a bloques de este detector se muestra en la Figura 2.7.

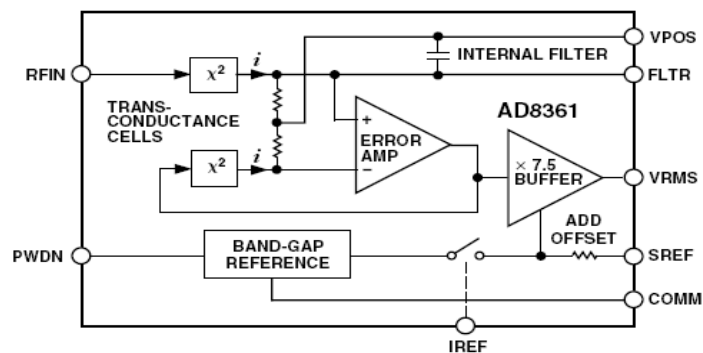


Figura 2.7. True RMS detector AD8361 [23].

En [24] se proponen detectores de potencia (power detectors) usando un simple MOSFET (Figura 2.8), trabajo en el cual también se describen modelos lineales y no-lineales de RF del MOSFET.

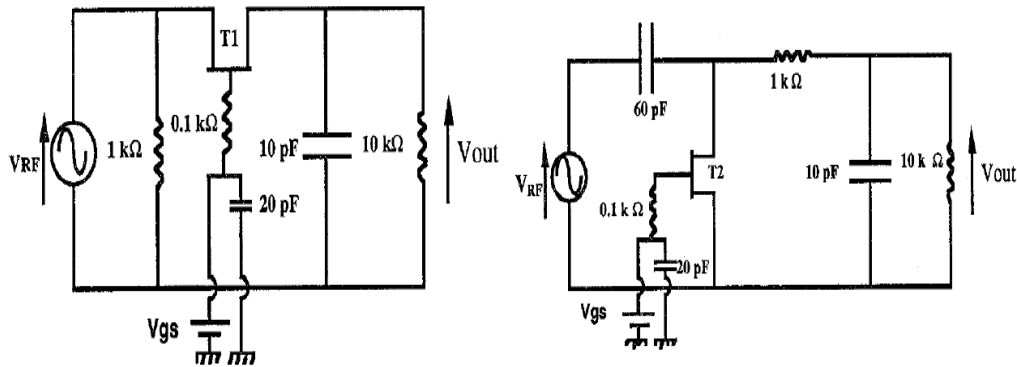


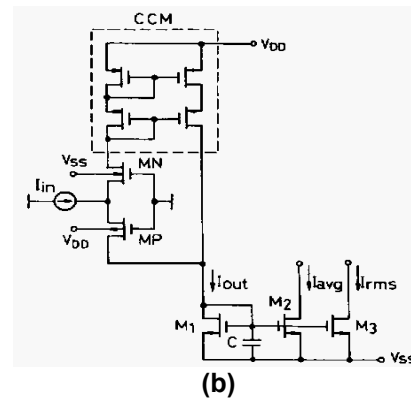
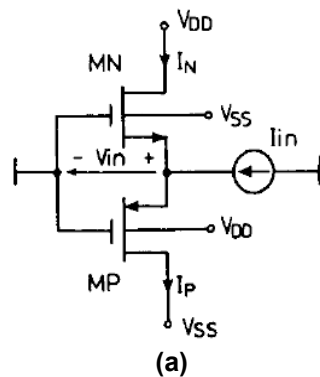
Figura 2.8. Detectores de potencia usando MOSFETS [24].

El principio de detección se basa en la deformación de la señal de RF con un elemento no-lineal (MOSFET), es decir la señal de RF es descompuesta en la señal de DC deseada más sus armónicas:  $I = I_{dc} + \text{fundamental} + \text{armónicas}$ . De esta manera la corriente de DC está en función de la amplitud de la señal de RF y gracias a la característica no-lineal I-V del MOSFET el voltaje  $V_{out}$  a bajas frecuencias es proporcional a la potencia de la señal de RF  $P_{rf}$ . Los transistores MOS T1 y T2 que se muestran son polarizados en sus compuertas a través de un circuito RC ( $R=0.1\text{k}\Omega$  y  $C=20\text{pF}$ ). En donde la primera de las estructuras T1 está en la configuración compuerta común. La señal de RF es deformada por la resistencia drenaje-fuente  $R_{ds1}$ , obteniéndose a la salida la corriente de DC más las armónicas, posteriormente la señal de DC es extraída a partir del filtro RC pasabajos. Para el transistor T2, estando en configuración fuente común, la señal de RF es aislada por el capacitor de  $60\text{pF}$  que actúa como filtro pasa-altas, la salida del circuito es nuevamente filtrada por un pasabajos RC, pero debido a aspectos de tecnología MMIC's (Monolithic Microwave Integrated Circuits)



una resistencia de  $1\text{k}\Omega$  es insertada antes del filtro siendo esta mas grande que  $R_{ds2}$ ; la señal de RF fluirá a través del transistor y la corriente de DC es extraída en la resistencia de carga  $R_L=10\text{k}\Omega$ . Aunque los detectores de potencia trabajan bien hasta  $1\text{GHz}$ , uno de sus mayores problemas es la cantidad de área requerida ( $1\text{mm}^2$ ).

Otras de las ideas exploradas para detectar valores RMS consiste en el uso de un rectificador de corriente de precisión [25], el cual se muestra en la Figura 9a, y donde la corriente  $I_{in}$  entra a las terminales de fuente de los transistores MOS. La operación del circuito es la siguiente: durante el semiciclo positivo de la onda senoidal de entrada  $V_{in}$  hace que el transistor MP esté en estado de conducción y MN apagado, es decir se tiene  $I_p=I_{in}$  e  $I_N=0$ . Posteriormente durante el semiciclo negativo ( $-V_{in}$ ) MN está conduciendo y MP está apagado; por lo que  $I_N=I_{in}$  e  $I_p=0$ . De esta manera se obtiene la rectificación de media onda con  $I_p$  para los semiciclos positivos e  $I_N$  para los semiciclos negativos. La rectificación de onda completa se obtiene sumando estas dos corrientes:  $I_{out}=I_N+I_p$ , un circuito que realiza esta tarea también se detalla en ese trabajo (Figura 2.9b).



**Figura 2.9. (a) Rectificador de corriente de precisión. (b) Rectificador de corriente de precisión con suma de corrientes  $I_{out}=I_N+I_p$  para obtener la rectificación de onda completa [25].**

Aunque, el circuito rectificador de la Figura 2.9b realiza la rectificación de onda completa añadiendo los espejos de corriente, éste presenta problemas de zona muerta. Para resolver este problema en [26] se usa un rectificador clase AB como el que se muestra en la Figura 2.10a. Para este circuito, ambos transistores de entrada MN y MP son polarizados con las fuentes  $I_b$ , donde parte de la corriente de  $I_b$  puede ser restada mejorando así la precisión de la rectificación evitando así la zona muerta. También se han reportado versiones mejoradas de este circuito para obtener la rectificación de onda completa (Figura 2.10 b y c) [27, 28].

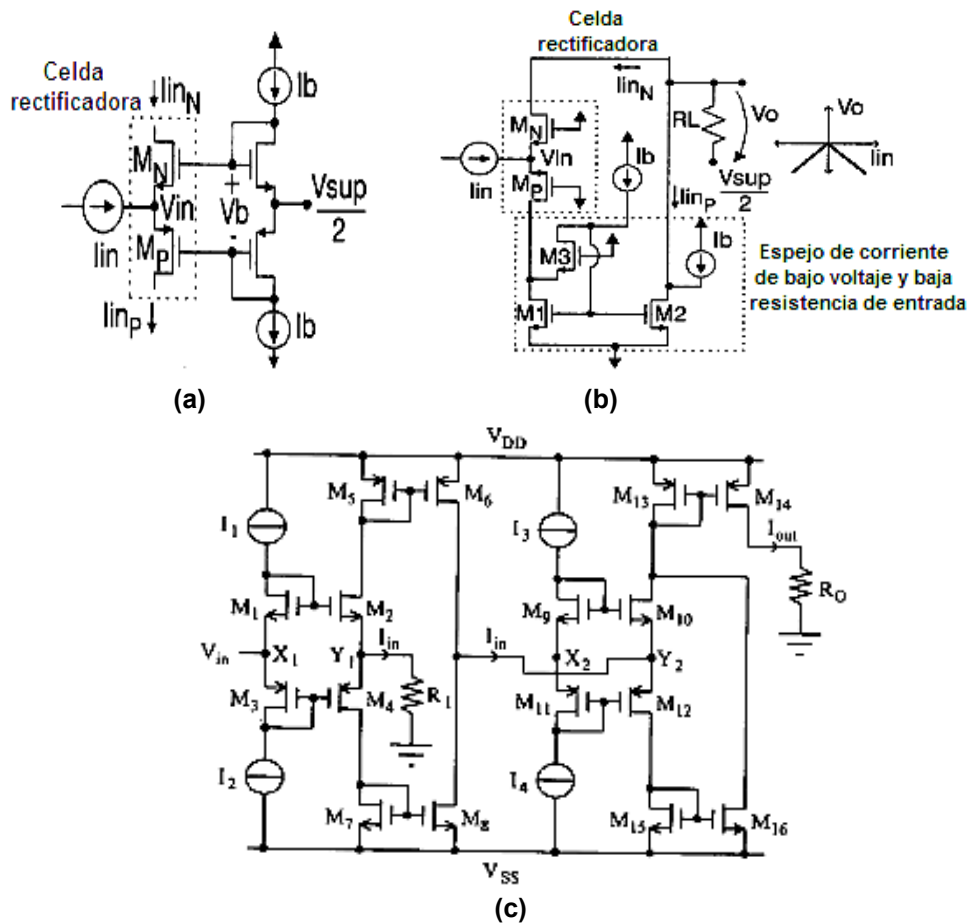


Figura 2.10. (a) Rectificador clase AB [26]. (b) Rectificador de onda completa [27]. (c) Rectificador clase AB de onda completa mejorado [28].





polarizados con una pequeña corriente de DC, de tal manera que están operando en inversión débil, reduciendo el tiempo de reformación del canal; lo cual también incrementa la velocidad de rectificación. Durante el semiciclo positivo, la corriente de AC proveniente del capacitor de acoplo C1 hace que el transistor M10 entre a la región de saturación, copiándose y amplificándose esta corriente a través de M11; la capacitancia parásita presente entre las compuertas de los transistores es cargada durante este ciclo. Durante el semiciclo negativo ahora M10 y M11 entran en estado de corte, siendo la corriente extraída a través de la corriente de polarización y de la capacitancia parásita. La etapa de post-rectificación consiste solamente de un filtro de segundo orden pasa-bajas, donde el primero de sus polos es implementado con el transistor M12 del espejo de corriente (M12, M13) junto con el capacitor C2; la resistencia  $R_5$  realiza la conversión de corriente a voltaje mientras que  $R_6$  y el capacitor  $C_3$  provee el segundo polo. Este detector presenta una capacitancia de entrada de 22.5fF representando una impedancia de 2.5Kohms a su frecuencia máxima de operación de 2.4GHz, un rango dinámico lineal aprox. de entre -20dBm a 0dBm (20mV a 200mV), voltaje de alimentación de 3.3V, consumo de potencia de 10mW y un tiempo de establecimiento menor a 40ns.

# CAPÍTULO 3

*"La duda es la madre de la invención"*  
**GALILEO GALILEI**

## Detector RF-RMS con circuito multiplicador

### 3.1 Introducción

Los sistemas de comunicaciones inalámbricos han tenido un rápido desarrollo, tales como la telefonía celular, las redes inalámbricas de área local (Wireless Local-Area Networks ó WLANs), las redes inalámbricas de área personal (Wireless Personal Area Networks ó WPANs), etc. Estos modernos sistemas integran varios circuitos analógicos de RF y de modo mixto que requieren de instrumentos de muy alto costo para realizar su testing a altas frecuencias, que a su vez resulta complicado y con muy largos tiempos de pruebas. En esta sección se discutirá el diseño de una alternativa de detector RF-RMS que puede ser usado como sensor para realizar testing a menor costo. Este detector hace uso de un multiplicador para realizar la rectificación de señales y de un filtro simple RC pasabajas para generar los voltajes de DC proporcionales a las señales de entrada de amplitudes muy pequeñas y frecuencias altas (señales en el rango de unos cuantos milivolts y por arriba de 1GHz). El detector será descrito para posteriormente mostrar los resultados de simulación. Se caracterizarán los principales parámetros de desempeño, de tal manera que el detector RF-RMS pueda ser empleado

para realizar testing en aplicaciones de comunicaciones inalámbricas donde se presentan señales a altas frecuencias.

### **3.2 Estándares de sistemas inalámbricos**

Con el objetivo de conocer las especificaciones principales que requiere cumplir el detector RF-RMS es necesario hablar brevemente de los estándares de comunicaciones. Actualmente, han surgido un gran número de nuevas aplicaciones y servicios dentro de los sistemas de comunicación inalámbricos trayendo consigo un enorme crecimiento del mercado y del número de proveedores de servicios; de los cuales los sistemas de comunicación personal de rango corto (menos de 10m de alcance) o WPANs están tomando la delantera. Los sistemas de comunicación personal, sistemas de comunicación inalámbricos y en general cualquier sistema de comunicación ( telefonía fija, celular, Internet, video satelital, etc.) requieren satisfacer las especificaciones de los estándares internacionales de comunicaciones que se establecen en la FCC (“Comisión Federal de Comunicaciones”) de Estados Unidos o el ETSI (“Instituto de Estándares para Telecomunicaciones Europeo”).

Muchos estándares inalámbricos han sido propuestos. Sin embargo, los estándares tales como Bluetooth® y Wi-Fi (Wireless Fidelity), de las tecnologías PANs y LANs, respectivamente, están liderando el mercado.

En la Tabla 3.1 se muestra un resumen de las características de algunos de los estándares mas recientes de tecnologías inalámbricas de rango corto.

**Tabla 3.1. Resumen de algunos estándares inalámbricos de rango corto [14].**

Característica	Bluetooth	IEEE 802.11b	IEEE 802.11g	IEEE 802.11a	UWB
Máx. velocidad de datos transmitidos	1 Mb/s	11 Mb/s	54 Mb/s	24 y 54 Mb/s	480 Mb/s
Máx. distancia	10m	100m	100m	50m	10m
Asignación de Frecuencias	2.4 GHz	2.4 GHz	2.4 GHz	5.15-5.35 GHz y 5.725-5.825 GHz	3.1-10.6 Ghz
Ancho de banda del Canal	1 MHz	25 MHz	25 MHz	20 MHz	Mín. 500 MHz Máx. 7.5 GHz
Modulación	GFSK	QPSK con codificación CCK	CCK	COFDM BPSK, 16 QAM	BPSK, QPSK
Propagación	DS-FH	CCK	OFDM	OFDM	Multibanda, OFDM
Máx. potencia de transmisión	0 dBm	30 dBm	30 dBm	0.05, 0.25 & 1W	-41 dBm/MHz
Máxima Sensibilidad	-70 dBm BER< 10 <sup>-3</sup>	-76 dBm BER< 10 <sup>-5</sup>	-76 dBm FER< 8X10 <sup>-2</sup>	-82 dBm FER< 10 <sup>-5</sup>	-73 dBm

### 3.3 Diseño del detector RF-RMS

Para empezar con el diseño del circuito detector RF-RMS es necesario definir primero un CUT (Circuito bajo prueba) como referencia para poder conocer las especificaciones más importantes que se deberán satisfacer. Un circuito típicamente utilizado como CUT consiste en un LNA (Low Noise Amplifier), esto debido principalmente a que un LNA presenta simultáneamente varias especificaciones (tales como la ganancia y linealidad) que pueden ser usadas para probar el desempeño de los detectores RF-RMS.

Los LNAs son ampliamente usados en los sistemas de comunicaciones, siendo éstos una parte importante en los circuitos de recepción, ya que se encargan de proporcionar alta ganancia a las señales provenientes de la antena a la vez de atenuar o disminuir el ruido.



En la Tabla 3.2 se muestran algunos de los parámetros típicos de un LNA.

**Tabla 3.2 Características típicas de un LNA [30].**

<b>GANANCIA</b>	15DB
<b>IIP3</b>	-10dBm
<b>Figura de ruido (NF)</b>	2dB
<b>Impedancia de entrada y salida</b>	50Ω
<b>Factor de estabilidad</b>	>1
<b>Pérdidas de regreso y salida</b>	-15dB

En el diseño del detector RF-RMS que se propone se elegirán las características de un LNA trabajando a una frecuencia de 2.4GHz, debido a que ésta pertenece a la banda ISM empleada ampliamente por los estándares inalámbricos tales como Bluetooth®, Wi-Fi y Zigbee.

### 3.3.1. Especificaciones del detector RF-RMS

De los estándares inalámbricos que se mostraron en la Tabla 3.1, el estándar WPAN de rango corto Bluetooth® es de los más ampliamente usados en la actualidad. El detector RF-RMS que se propone será diseñado para cumplir con las especificaciones mínimas establecidas por este estándar.

De acuerdo a las especificaciones establecidas para un sistema Bluetooth® [31], tenemos:

1. El nivel de sensibilidad a la entrada del LNA está en alrededor de -70dBm para un 0.1% de BER (Tasa de error de bit).
2. El máximo nivel de la señal de entrada del LNA esta en -20dBm.

Entonces, según a las características anteriores, se deduce que el detector RF-RMS idealmente deberá ser capaz de detectar señales tan bajas como -70dBm y al menos señales tan altas como -20dBm en el peor de los casos, o mayores dentro del rango dinámico lineal del LNA que esta siendo usado como CUT.

Además del rango dinámico lineal que el detector deberá ser capaz de manejar, otras de las especificaciones que deben ser consideradas son:

- Su diseño debe ser simple y robusto. Se necesita mejorar constantemente la caracterización de las señales en los diferentes nodos del detector, de manera fiel y precisa tanto como sea necesario.
- No consumir mucha potencia o cubrir mucha área. Para su implementación como técnica BIT, éste no debe consumir más del 10% del área del receptor completo.
- Deberá tener una alta impedancia de entrada. Esto para no interferir con la operación del CUT (pudiendo necesitarse una red de acoplamiento).

### 3.3.2. Idea básica del circuito detector RF-RMS propuesto

De la definición de valor RMS (Root Mean Square) partimos para el diseño del detector RF-RMS. El valor medio cuadrático (RMS) de cualquier forma de onda periódica  $v(t)$  esta dado por:

$$V_{\text{rms}} = \sqrt{\left[ \frac{1}{T} \int_0^T v^2(t) dt \right]} \quad (3.1)$$

De la expresión anterior, resulta fácil notar que los elementos mínimos necesarios para el diseño del detector son:

- 1) Un circuito que realice la rectificación de señal,
- 2) Uno que integre la señal (filtro pasabajas), y
- 3) Uno que extraiga la raíz cuadrada.

De los tres elementos del circuito detector, el rectificador es el principal. En la Figura 3.1, se muestra la idea básica para realizar el rectificador; el cual consiste en un bloque multiplicador con dos de sus terminales conectadas a la señal de entrada RF  $V_{\text{in}}$ , a manera de multiplicarla por si misma obteniéndose a la salida  $(\text{RF } V_{\text{in}})^2$ . La integración de la señal, por simplicidad, es llevada a cabo por medio de un filtro RC pasabajas, donde la R del filtro es la resistencia vista a la salida del bloque multiplicador (parte real de la impedancia en unos de los nodos de salida del multiplicador) y C es la capacitancia de carga  $C_L$ . La etapa de extracción de raíz cuadrada no se muestra por ahora en la figura, y será descrita mas adelante.

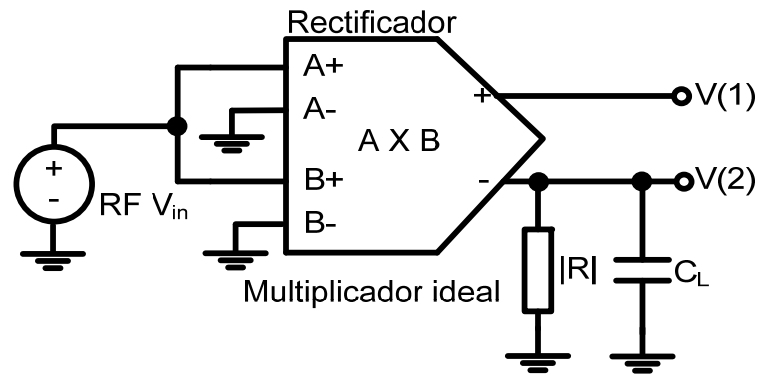


Figura 3.1. Idea básica del circuito rectificador.

En la Figura 3.2 se muestran las señales elevadas al cuadrado que se obtienen del bloque multiplicador ideal para cada uno de los nodos de salida (sin tomar en cuenta el filtro RC), para una señal de entrada de prueba  $V_{in} = \sin(2\pi \times 2.4E9t)$  es posible obtener a la salida del bloque multiplicador la rectificación de señal de amplitud  $|0.5V_{in, \text{máx.}}|$  en cada uno de sus nodos y al doble de frecuencia de la señal de entrada.

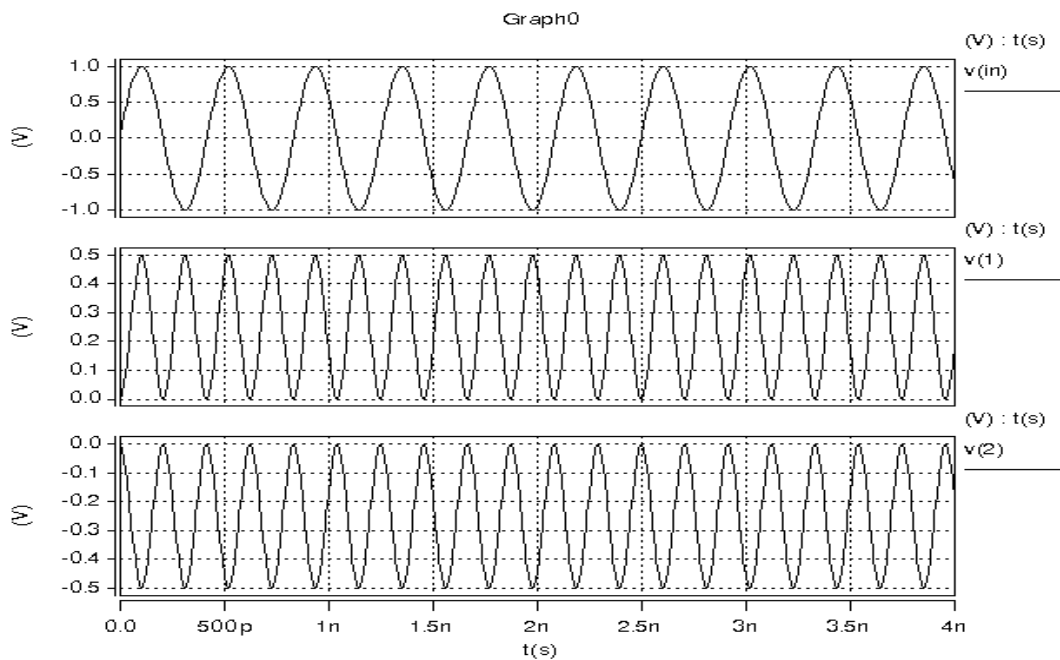


Figura 3.2. Señales  $V_{in} = \sin(2\pi \times 2.4E9t)$ ,  $V(1) = 0.5V_{in, \text{máx.}} \sin^2(2\pi \times 2.4E9t)$  y  $V(2) = -0.5V_{in, \text{máx.}} \sin^2(2\pi \times 2.4E9t)$  del bloque rectificador ideal.

### **3.3.3. Descripción del circuito detector**

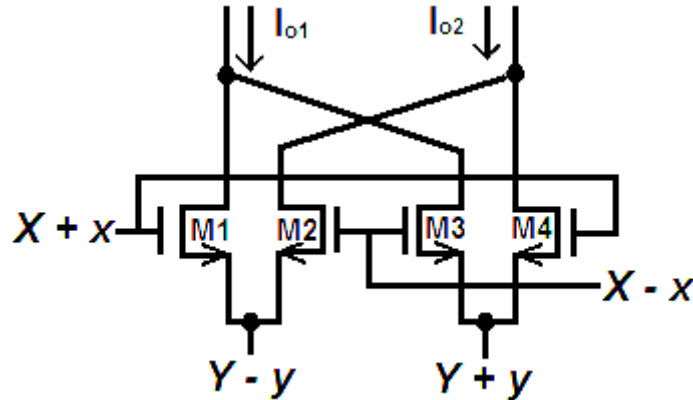
#### **3.3.3.1. Elección del circuito multiplicador**

Como se mostró en la sección anterior, el bloque multiplicador realiza la rectificación de la señal de estímulo, por lo que el problema principal parece estar resuelto. Sin embargo, necesitamos elegir un circuito multiplicador que realice la rectificación tan rápido como a las frecuencias de nuestro interés (rango del estándar), a la vez cumpliendo también con el requisito de tener una impedancia alta de entrada que no interfiera con el circuito de RF al cual se le realice el testing.

Tenemos varias opciones para realizar un multiplicador, ya sea en modo voltaje, corriente, trabajando en saturación, triodo o inversión débil [30, 32-35]. Se decidió elegir el multiplicador propuesto en [30] debido a su buen desempeño, simplicidad y especialmente porque éste puede operar a alta velocidad.

#### **3.3.3.2. Circuito multiplicador**

El circuito multiplicador que se utiliza como base del circuito detector propuesto, como muchos otros tipos de multiplicadores analógicos, basa su funcionamiento en las características cuadráticas del transistor MOS. La celda principal del sistema está formada por cuatro transistores M1-M4 (Figura 3.3), la cual ha sido utilizada para diversos circuitos mezcladores analógicos de cuatro cuadrantes [36-38].



**Figura 3.3. Estructura de un multiplicador usando el término  $(V_{gs})^2$  y acoplados-cruzados (cross-coupled) MOSFETS [36].**

El circuito multiplicador de cuatro cuadrantes de la Figura 3.3 entrega una corriente de salida que está dada por [36]:

$$I_o = I_{o1} - I_{o2} = 4Kxy \tag{3.2}$$

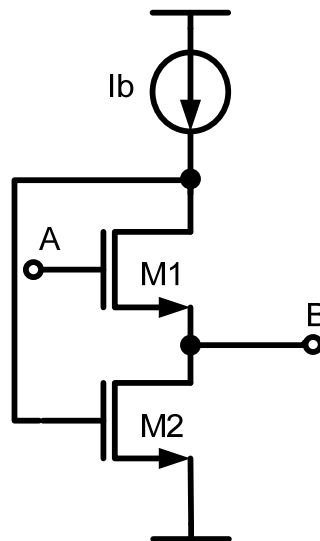
Donde:  $K = \mu C_{ox} W/L$  y las señales  $x$ ,  $y$  son entradas en voltaje, las cuales son aplicadas en las terminales de compuerta y fuente de los transistores, respectivamente. Esta estructura de multiplicador es la más ampliamente usada en la literatura. La topología emplea esta celda con los transistores operando en la región de saturación, de tal manera que se satisfaga la expresión:

$$I_o = \frac{K}{2} [V_{GS} - V_T]^2 \tag{3.3}$$

para:  $V_{GS} > V_T, V_{DS} > V_{GS} - V_T$

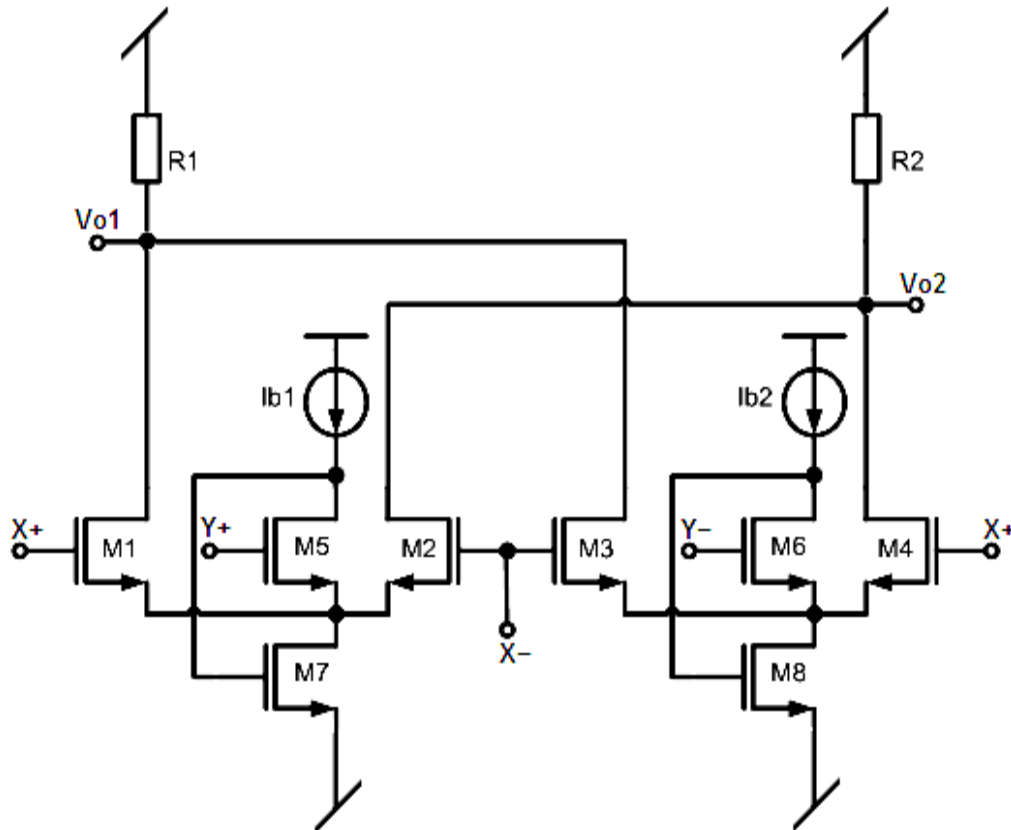
En la literatura también se han presentado diversas maneras de aplicar las señales de voltaje (+y,-y), sin embargo, el circuito multiplicador que se eligió emplea al Flipped Voltage Follower (FVF) para este propósito.

La celda FVF, la cual se muestra en la Figura 3.4 es un seguidor de voltaje donde la corriente que pasa a través del transistor M1 se mantiene constante independientemente de la corriente de salida. Despreciando efectos de segundo orden, el voltaje  $V_{GS,M1}$  también se mantiene constante y la ganancia de voltaje es la unidad, es decir el voltaje en el nodo de entrada A es seguido a su salida en el nodo B (con un desplazamiento en DC) como en un seguidor de voltaje convencional, pero a diferencia de un seguidor convencional, el FVF puede proveer alta cantidad de corriente, siendo solo limitada por la capacidad de la fuente de polarización  $I_b$  pero pudiendo extraer corrientes mayores a  $I_b$  lo que es útil para obtener circuitos con una rapidez de respuesta (Slew Rate) muy elevada.



**Figura 3.4. Celda Flipped Voltage Follower (FVF).**

La Figura 3.5 muestra el circuito multiplicador completo que incluye a las resistencias de carga y a las celdas FVF que realizan la inyección de señales en las fuentes de los transistores de la estructura formada por el par de pares diferenciales acoplados-cruzados (cross-coupled).



**Figura 3.5 Circuito multiplicador de cuatro cuadrantes [30].**

Los circuitos FVF formados por los transistores M5, M6, M7, M8 y por las corrientes de polarización  $I_{b1}$ ,  $I_{b2}$ , se caracterizan también por poder operar a un menor voltaje y por presentar un nodo de muy baja impedancia a su salida, siendo ésta dada aproximadamente por:

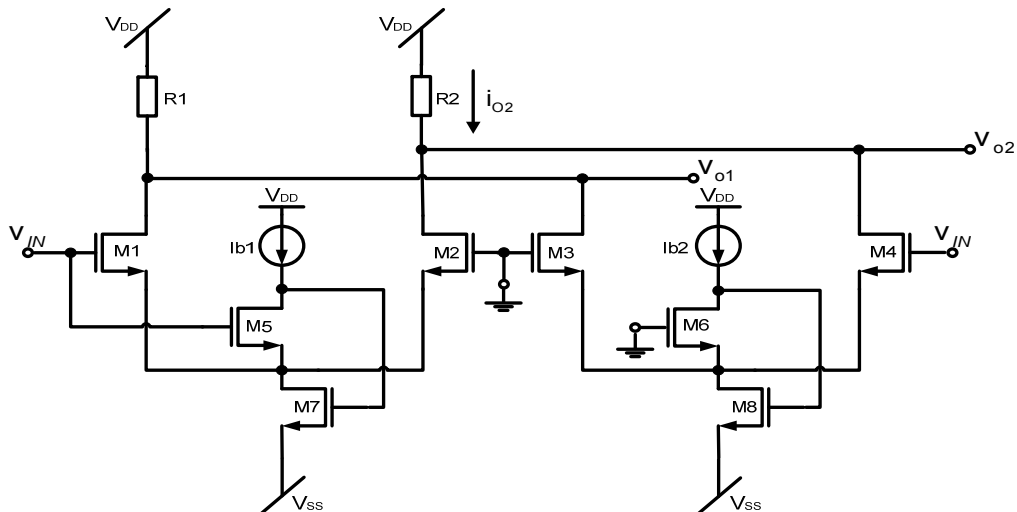


$$R_o = \frac{1}{g_{m5,6}g_{m7,8}r_{o7,8}} \quad (3.4)$$

La resistencia de salida  $R_o$  por lo general es muy baja (que va típicamente desde el orden de  $1\Omega$  a unas cuantas decenas de Ohm). Esta propiedad hace que la constante de tiempo vista en este nodo de salida sea tan baja permitiendo que el circuito alcance altas frecuencias de operación, característica que hace a esta celda muy versátil para muchas otras aplicaciones.

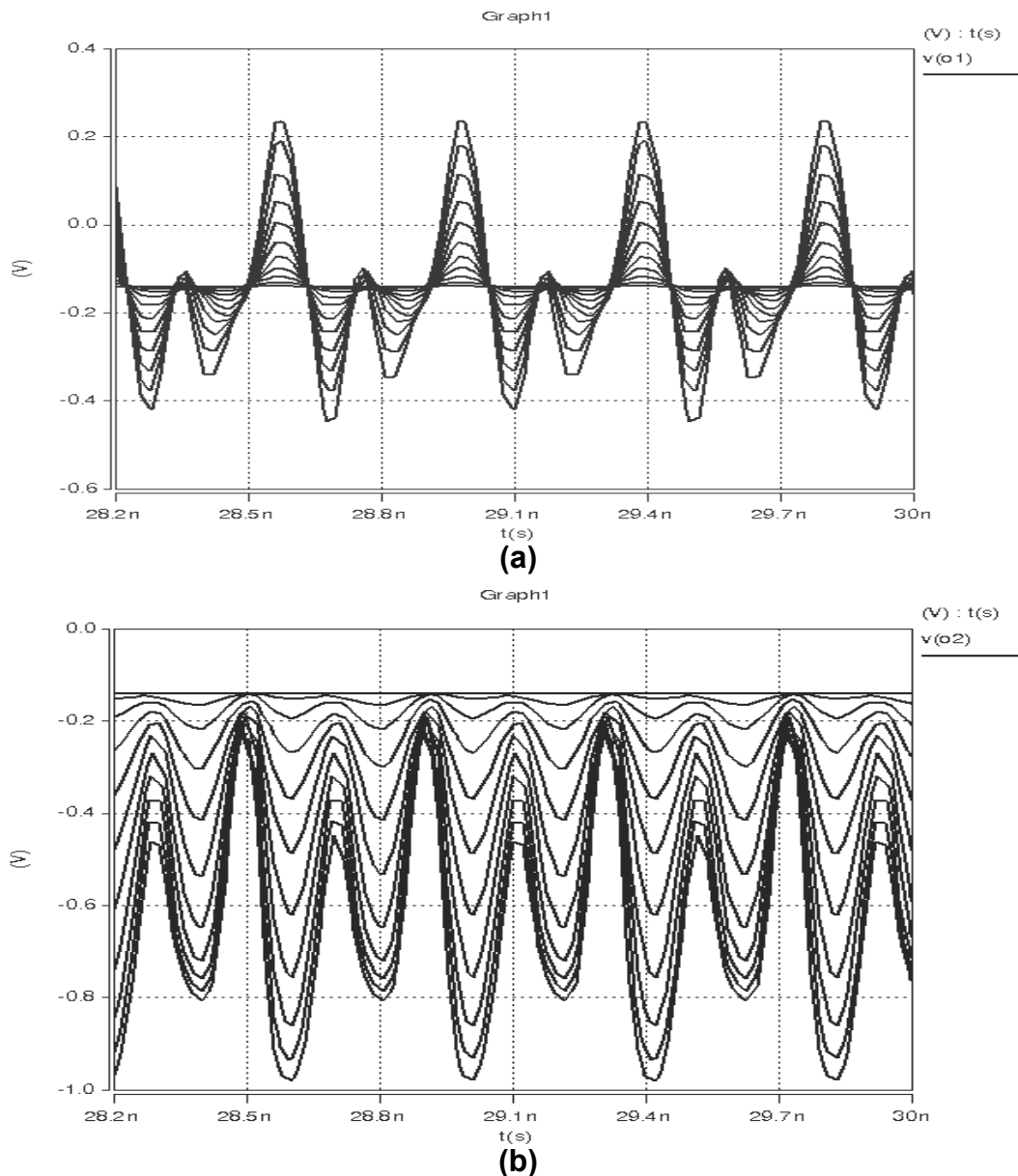
### 3.3.4. Rectificador con el circuito multiplicador

Con la finalidad de obtener una señal elevada al cuadrado (teniendo así rectificación de señal), el circuito multiplicador de la Figura 3.5 ahora es configurado con dos de sus terminales compartiendo la misma entrada y mandando sus otras dos terminales de entrada a tierra (con polarización en DC desbalanceada). El circuito multiplicador de cuatro cuadrantes provisto con esta configuración se muestra en la Figura 3.6.



**Figura 3.6. Multiplicador de cuatro cuadrantes configurado para elevar al cuadrado una señal de entrada.**

En la Figura 3.7 se muestran las señales obtenidas en cada una de las salidas del circuito anterior (en los nodos  $V_{o1}$  y  $V_{o2}$ ), para una señal de estímulo de entrada ( $V_{IN}$ ) que varía en amplitud de entre 5mV a 400mV en 10 pasos y a una frecuencia de 2.4 GHz.



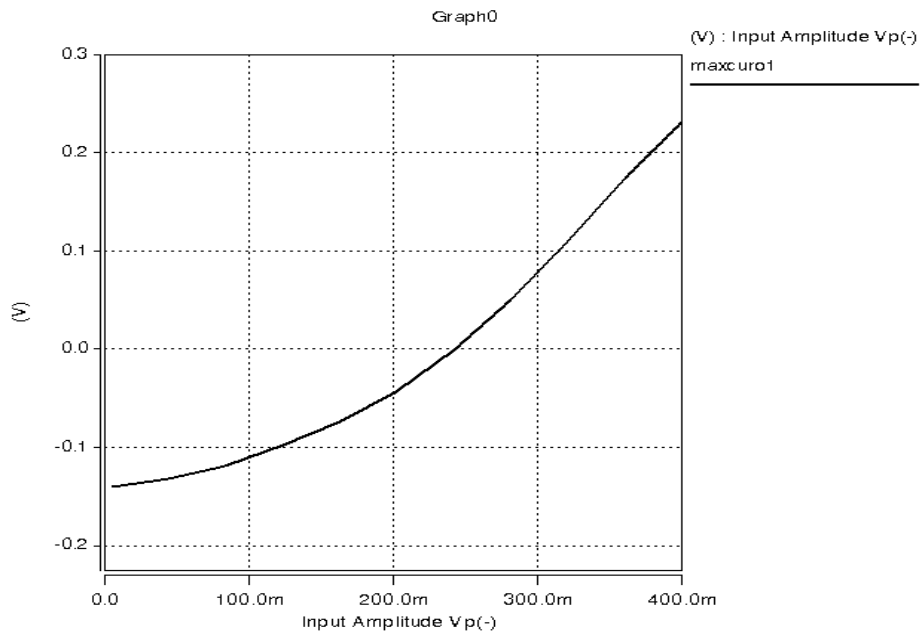
**Figura 3.7. Salidas del rectificador. Para una señal de entrada a 2.4GHz con amplitudes que van de 5mV a 400mV en 10 pasos. (a) Señal obtenida en el nodo  $v_{o1}$ . (b) Señal obtenida en el nodo  $v_{o2}$ .**

Nótese que las señales obtenidas en la Figura 3.7 del circuito multiplicador configurado como rectificador no presentan salidas simétricas debido a la polarización desbalanceada que se está empleando, sin embargo en la salida en corriente  $i_{o2}$  se obtiene la rectificación de la señal de entrada estando dada aproximadamente por :

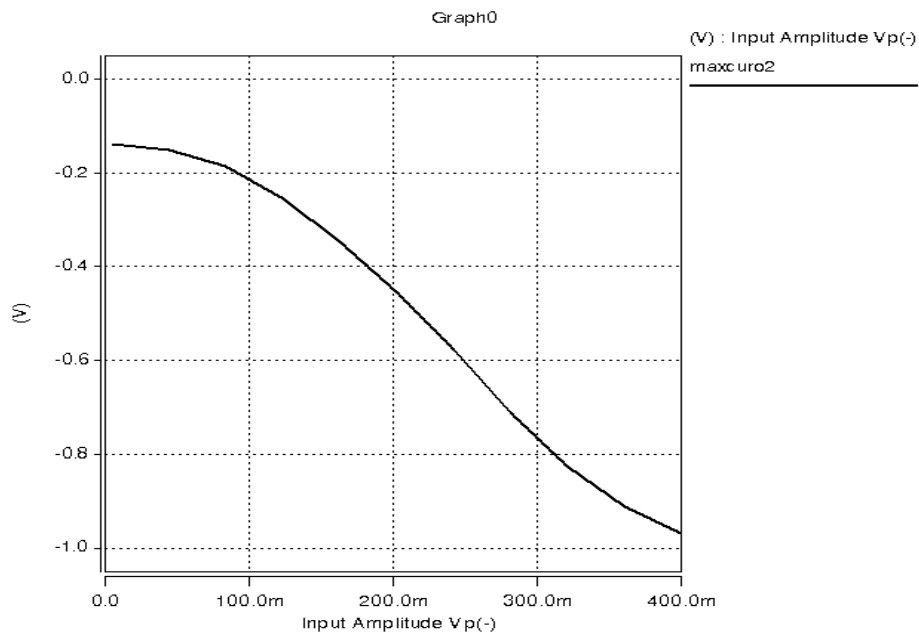
$$i_{o2} \approx \frac{K_{M1-M4}}{2} \left[ v_{IN}^2 - 2v_{IN}(v_{S3,4} + v_T) + 2v_T v_{S1,2} + 2v_{S3,4} v_T + v_{S1,2}^2 + v_{S3,4}^2 + 2v_T^2 \right] \quad (3.5)$$

donde:  $v_{S1,2} \cong (v_{IN} K_F - V_{GS5(DC)})$ , siendo  $K_F$  la ganancia en voltaje de las celdas FVF (muy cercana a la unidad),  $v_{S3,4} \cong V_{GS6(DC)}$ ,  $K_{M1-M4}$  el parámetro de transconductancia del multiplicador y  $V_T$  el voltaje de umbral.

La simulación de la transferencia de voltaje de salida contra las amplitudes de la señal de entrada del multiplicador configurado como rectificador para cada uno de sus nodos ( $v_{o1}$  y  $v_{o2}$ ) se muestra en las gráficas de la Figuras 3.8 y 3.9.



**Figura 3.8.  $v_{o1}$  vs. Amplitudes de entrada.**



**Figura 3.9.  $v_{o2}$  vs. Amplitudes de entrada.**

De las gráficas de la Figuras 3.8 y 3.9 se observa que en la salida  $v_{o2}$  la transferencia lineal obtenida con respecto a las amplitudes pico de la señal entrada aplicada al rectificador es superior a la obtenida en la salida  $v_{o1}$ .

### 3.3.5. Segunda etapa del detector

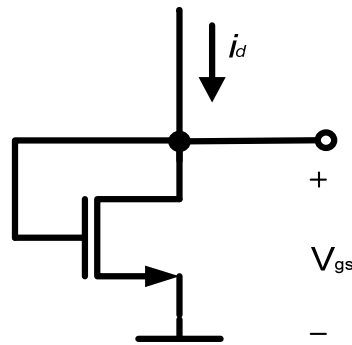
De acuerdo al comportamiento observado en las simulaciones realizadas a la primera etapa del circuito detector (formado por el multiplicador de cuatro cuadrantes), la salida en voltaje  $v_{o2}$  presenta las mejores características de rectificación y linealidad. Debido a esto se eligió la señal de salida en este nodo. Sin embargo, si se toma la salida del rectificador directamente desde la primera etapa, en el nodo  $v_{o2}$ , el rango lineal de excursión de la señal de salida que se consigue no es tan bueno para nuestros requerimientos, por lo que fue necesario añadir una segunda etapa que trate de corregir este problema, además de que contribuirá para formar el filtro pasabajas del detector. Entonces, como segunda etapa del detector RF-RMS se eligió un



### 3.3.6. Tercera etapa. Circuito extractor de raíz cuadrada

La tercera etapa consiste de un circuito que extrae la raíz cuadrada, el cual se hace necesario debido a que este eliminará el término cuadrático restante añadido a la señal rectificada (señal elevada al cuadrado).

La manera más simple de implementar un circuito extractor de raíz cuadrada consiste en utilizar un transistor conectado como diodo (Figura 3.11).



**Figura 3.11. Transistor conectado como diodo para extraer la raíz cuadrada.**

Donde, de las ecuaciones del MOS operando en saturación se tiene:

$$i_d = K[V_{gs} - V_T]^2 \quad (3.6)$$

$$V_{gs} = \sqrt{\frac{i_d}{K}} + V_T \quad (3.7)$$

Por lo que para una entrada en corriente  $i_d$  tendremos un voltaje  $V_{gs}$  proporcional a su raíz cuadrada y un factor de escala  $K = \frac{1}{2} \left( \mu C_{ox} \frac{W}{L} \right)$  mas un voltaje de offset dado por su  $V_T$ .

### 3.3.7. Esquemático del circuito detector RF-RMS completo

En la Figura 3.12 se muestra el esquemático del circuito detector completo, compuesto de las tres etapas expuestas anteriormente. Nótese que a la salida del circuito se añade el capacitor C1 para completar el polo dominante del filtro pasabajos. Los parámetros de los elementos del circuito detector RF-RMS completo se muestran en la Tabla 3.3.

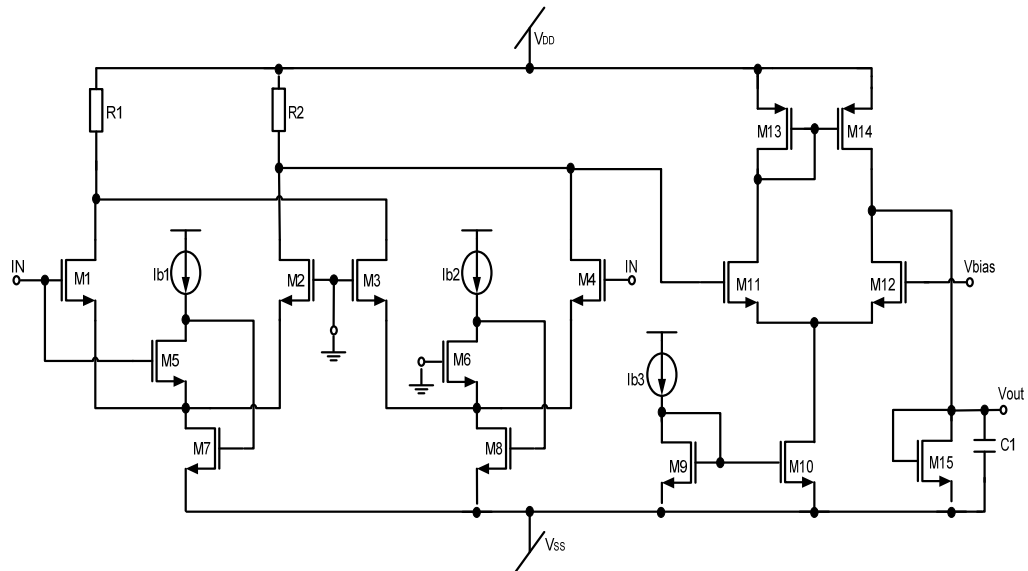


Figura 3.12. Circuito detector RF-RMS completo.

Tabla 3.3. Valores de los componentes del circuito detector RF-RMS.

	W/L	I <sub>b1</sub>	200uA
M <sub>1,2,3,4</sub>	12u/0.4u	I <sub>b2</sub>	200uA
M <sub>5,6</sub>	14u/0.4u	I <sub>b3</sub>	400uA
M <sub>7,8</sub>	9u/0.4u	V <sub>DD</sub> =-V <sub>SS</sub>	1.65V
M <sub>9,10</sub>	12u/0.4u	V <sub>bias</sub>	-121.3mV
M <sub>11,12</sub>	12u/0.4u	R1	5KΩ
M <sub>13,14</sub>	9u/0.4u	R2	5KΩ
M <sub>15</sub>	5u/0.4u	C1	0.8pF

La expresión para el voltaje de salida del detector RF-RMS estará determinada por el  $v_{GS}$  del transistor M15, dado aproximadamente por:

$$v_{GS15} \cong V_T + \sqrt{\frac{g_{m11} [R_2 K_{M1} (I_{o2})]}{K_{M15}}} \quad (3.8)$$

donde:  $I_{o2}$  es la corriente que circula a través de la resistencia  $R_2$  (dada por la aproximación de la ecuación 3.5).

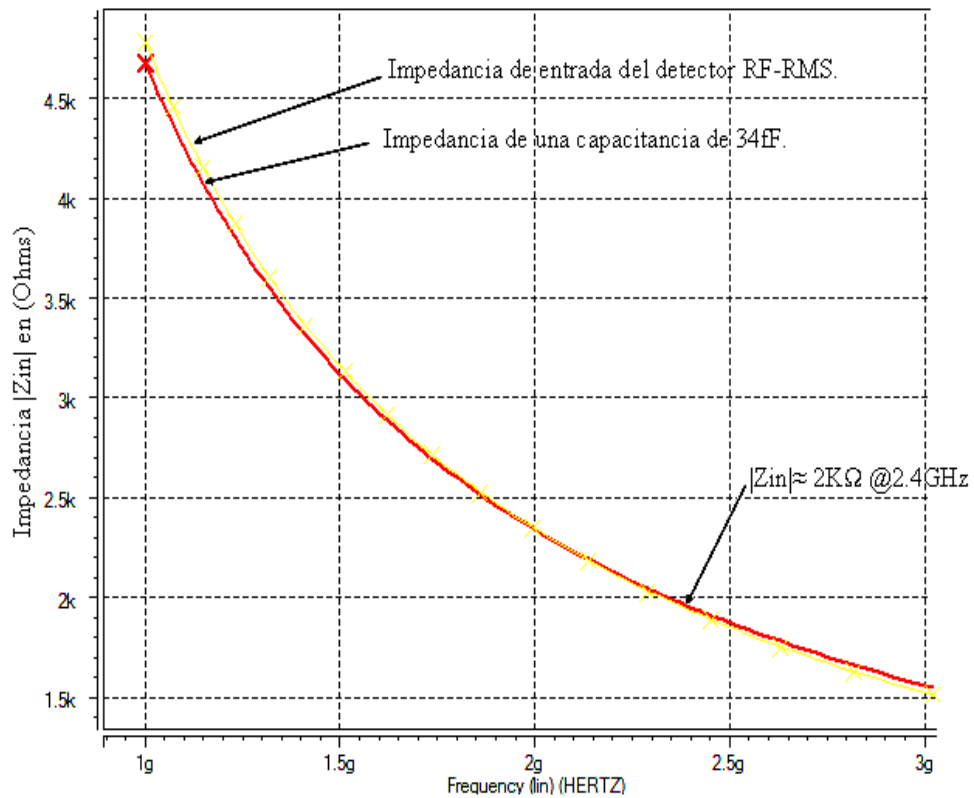
y la frecuencia a la cual se encuentra el polo dominante del detector estará dado por la expresión:

$$f_{pd} \cong \frac{1}{2\pi C_1 (r_{o12} // r_{o14}) // (1/g_{m15})} \quad (3.9)$$

### 3.6 Resultados de simulación del detector RF-RMS

Como se mencionó anteriormente, uno de los aspectos más importantes del circuito detector es que éste debe de tener una impedancia de entrada lo suficientemente grande (con una capacitancia de entrada lo mas pequeña posible) para no cargar el nodo en el cual se va hacer la medición. Tomando esto en consideración y para evitar este problema, los transistores del multiplicador fueron realizados con las dimensiones mínimas posibles para obtener una capacitancia de entrada baja (o su equivalente una impedancia de entrada alta), alta frecuencia de operación y para consumir poca área. El comportamiento que se obtuvo para la impedancia de entrada del circuito detector vs frecuencia se muestra en la Figura 3.13.

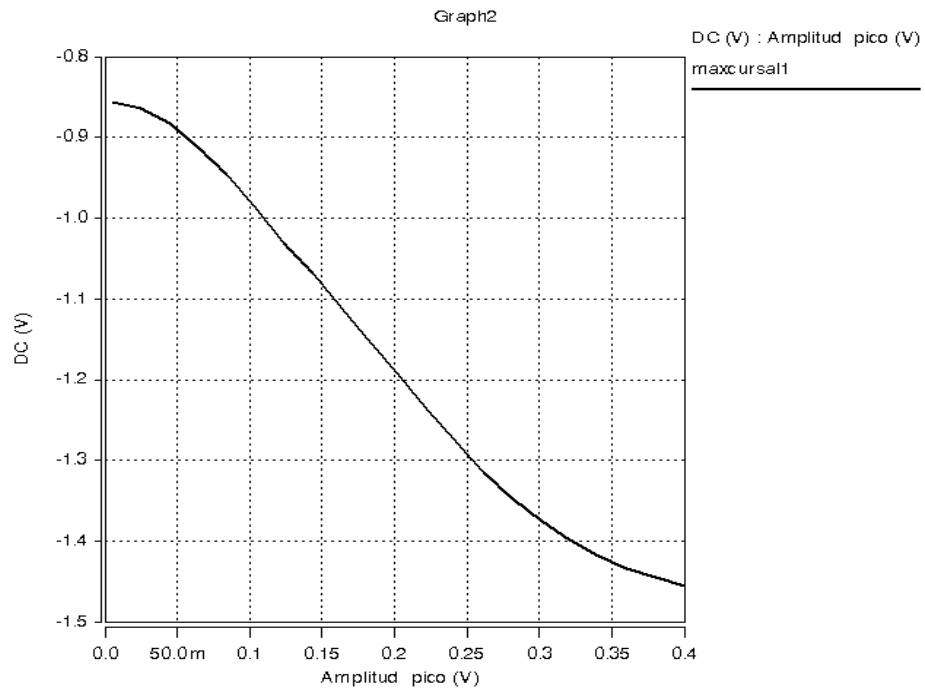




**Figura 3.13. Impedancia de entrada del detector RF-RMS.**

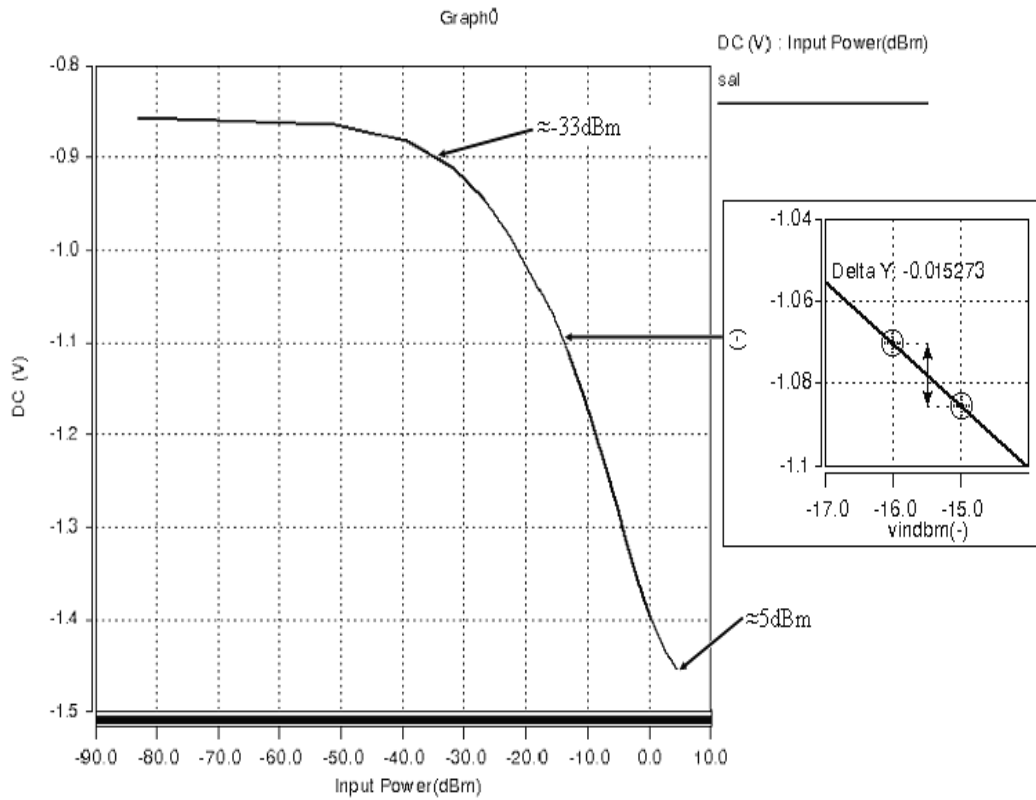
Como se observa en la Figura 3.13, la magnitud de la impedancia de entrada se encuentra alrededor de los  $2K\Omega$  a la frecuencia de 2.4Ghz y representando una capacitancia de entrada de aproximadamente 34fF.

En la Figura 3.14 se muestra la transferencia característica (V/V) del detector RF-RMS con la salida de voltaje de DC sobre el eje "y", y la amplitud de voltaje pico sobre el eje "x".



**Figura 3.14. Característica (V/V) del detector RF-RMS (Voltaje de salida vs Amplitud pico de la señal de entrada).**

La característica es aproximadamente lineal desde 5mV y se extiende hasta los 400mV. Los 5mV de amplitud pico corresponden a -33dBm y los 400mV de amplitud pico corresponde a 5dBm de potencia de entrada (referenciado a 50 Ohms). Los bloques frond-end de los transceivers típicamente muestran compresión de ganancia dentro de este rango, como por ejemplo, varios LNA en [30]. Los -33dBm es mas bajo que la máxima especificación de -20dBm para un sistema Bluetooth®. Por lo tanto, el rango dinámico del detector es suficiente para caracterizar LNAs y otros circuitos dentro de un transceiver que maneje señales en estos niveles de potencia. La Figura 3.15 muestra la curva de transferencia característica del detector RF-RMS en V/dBm. Esta gráfica es la más importante para poder estimar la ganancia de un LNA. El eje “y” muestra el voltaje de DC de salida del detector correspondiente a su potencia de entrada en dBm sobre el eje “x”.



**Figura 3.15. Característica (V/dBm) del RF-RMS detector.**

Obsérvese también que la ganancia dada en V/dBm que se obtiene en la región más lineal de la gráfica de la Figura 3.15 esta rondando los 15mV/dBm, es decir para una determinada amplitud o potencia de señal de entrada se tiene un valor proporcional de salida en DC con una ganancia igual a 15mV por cada dBm de potencia de entrada.

La gráficas de ganancia y fase del detector se muestran en las Figuras 3.16 y 3.17, para valores de capacitancia  $C1=0.8\text{pF}$  y  $C1=2\text{pF}$ , respectivamente.

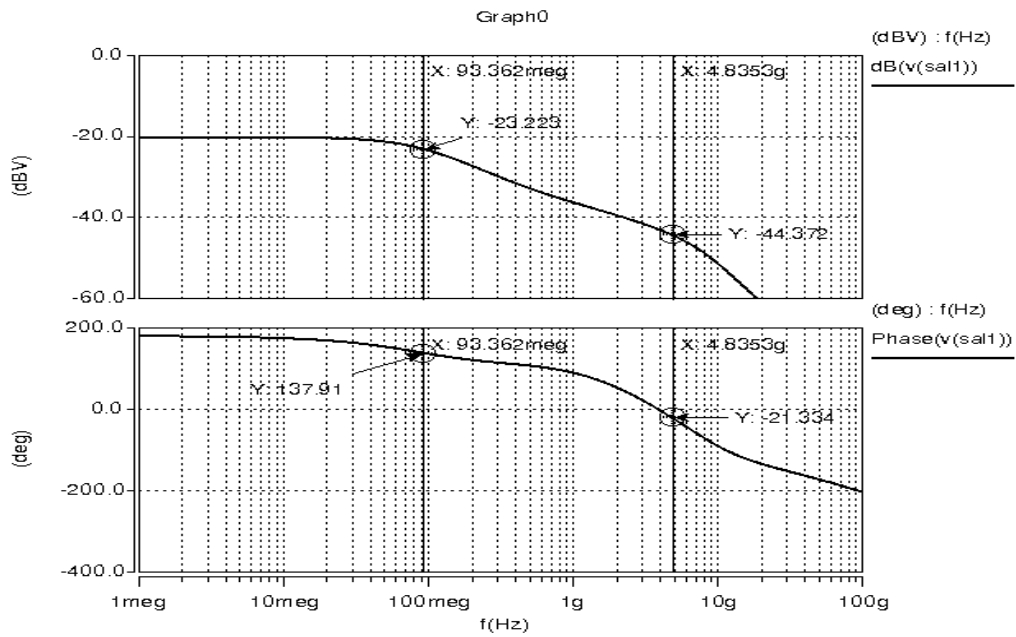


Figura 3.16. Gráficas de ganancia y fase del circuito detector RF-RMS para un capacitor C1= 0.8pF.

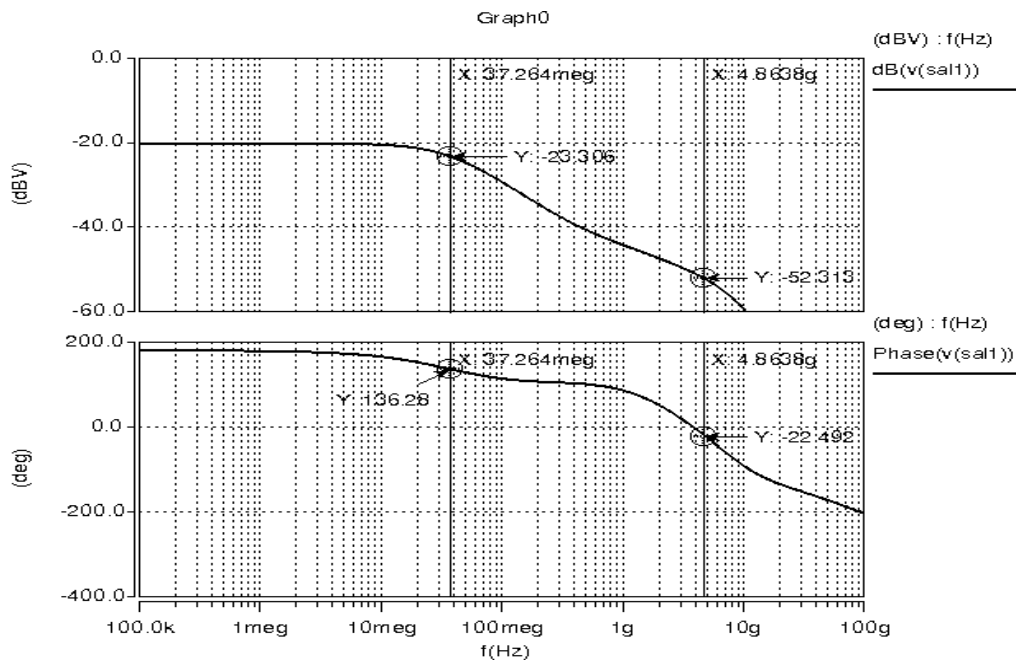
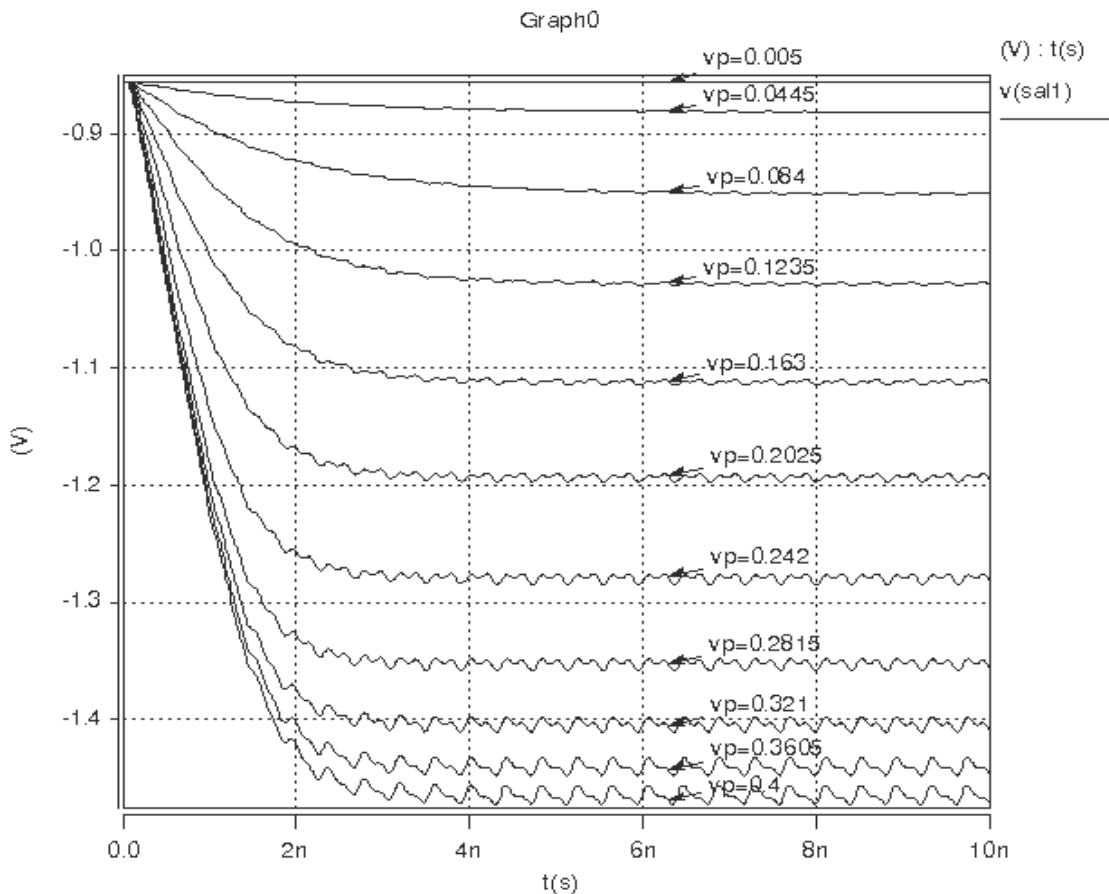


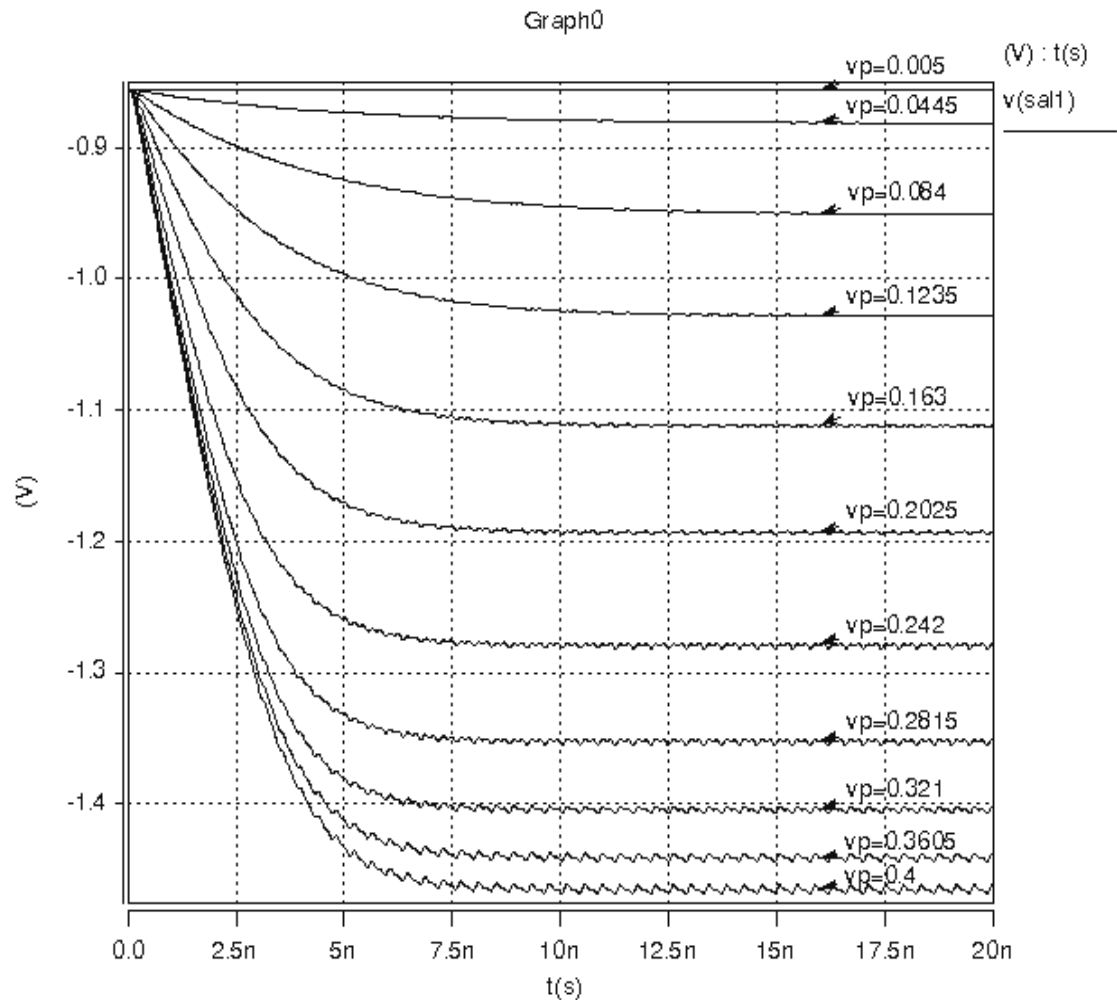
Figura 3.17. Gráficas de ganancia y fase del circuito detector RF-RMS para un capacitor C1= 2pF.

En la Figura 3.18, se muestra la respuesta en el tiempo del detector RF-RMS para diferentes voltajes de amplitud de la señal de entrada a una frecuencia de 2.4GHz. La amplitud pico de la señal de entrada fue variada en pasos iguales de 39.5mV empezando por 5mV hasta 400mV. De los niveles de voltaje de DC a la salida del detector graficados en el tiempo, se observa que el tiempo de establecimiento ( settling time ) es menor a los 7.5ns para un valor de  $C1= 0.8\text{pF}$  ( el polo dominante del detector está localizado en 93.3 MHz ) y los niveles de voltaje de DC de salida cambian en incrementos según la característica lineal que se muestra en las Figuras 3.13 y 3.14. El consumo de potencia del detector es de 7mW y el voltaje de rizo a la salida es  $<4.3\%$  del voltaje pico de entrada.



**Figura 3.18. Salida del detector con diferentes amplitudes de entrada a 2.4GHz y  $C1= 0.8\text{pF}$ .**

En la Figura 3.19 se muestra la respuesta en el tiempo del detector con el capacitor de salida  $C1= 2\text{pF}$  ( con el polo dominante localizado en  $37.2\text{MHz}$  ). Nótese ahora que el rizo se reduce considerablemente, siendo éste  $<1.35\%$  a cada amplitud pico de entrada.



**Figura 3.19. Salida del detector con diferentes amplitudes de entrada a 2.4GHz. y  $C1= 2\text{pF}$ .**

Finalmente, se resume en la Tabla 3.4 las características del detector RF-RMS propuesto comparado con otros dos de la literatura.

Tabla 3.4. Tabla comparativa de detectores de RF-RMS

PARÁMETRO	[14]	[19]	ESTE TRABAJO
Tecnología	TSMC 0.35 $\mu$ m	TSMC 0.35 $\mu$ m	AMIS 0.35 $\mu$ m
Voltaje de alimentación	3.3V	3.3V	$\pm$ 1.65V
Consumo estático de potencia	10mW	N. E.	7mW
Frecuencia de operación	2.4GHz	2.4GHz	2.4GHz
Impedancia de entrada	@2.5K $\Omega$ (C <sub>in</sub> = 22.5fF)	@5K $\Omega$ (C <sub>in</sub> = 13fF)	@2K $\Omega$ (C <sub>in</sub> = 34fF)
Rango dinámico lineal	@20dB	@25dB	@38dB
Tiempo de establecimiento (Settling time)	<40ns	<40ns	<20ns
Ganancia	@60mV/dBm	N. E.	@15mV/dBm

\*N. E. No especificado en el trabajo.

# CAPÍTULO 4

*"Es por la lógica que demostramos pero  
por la intuición que descubrimos"*  
**HENRI POINCARÉ**

## Detector RF-RMS a partir de retardos homogéneos

En esta sección se presenta una segunda propuesta de detector RF-RMS. La idea propuesta para realizar el detector consiste básicamente en generar retardos homogéneos a la señal estímulo presente a la entrada del sistema.

A continuación se presenta el análisis de donde se obtiene una expresión matemática con la cual se modela al estimador de RMS, teniendo una señal senoidal de entrada  $y(t)$ .

Siendo la señal estímulo:

$$y(t) = A \text{Sen } \omega t \quad (4.1)$$

y, tomando sus primeras dos derivadas, se tiene:

$$\dot{y}(t) = A\omega \text{Cos } \omega t \quad (4.2)$$

$$\ddot{y}(t) = -A\omega^2 \text{Sen } \omega t \quad (4.3)$$



Realizando el cociente de las ecuaciones (4.3) entre (4.1), tenemos:

$$\frac{\ddot{y}}{y} = \frac{-A\omega^2 \text{Sen } \omega t}{A \text{Sen } \omega t} = -\omega^2$$

$$\omega = \sqrt{-\frac{\ddot{y}}{y}} \quad (4.4)$$

Ahora, haciendo:  $\dot{y}^2 + \omega^2 y^2 = (A^2 \omega^2 \text{Cos}^2 \omega t) + (A^2 \omega^2 \text{Sen}^2 \omega t) = A^2 \omega^2$  y sacando la raíz tenemos:

$$\sqrt{(A^2 \omega^2 \text{Cos}^2 \omega t) + (A^2 \omega^2 \text{Sen}^2 \omega t)} = \sqrt{A^2 \omega^2} = A\omega \quad (4.5)$$

Notando que:  $-A^2 \omega^2 \text{Sen}^2 \omega t = y\ddot{y}$ ,  $\sqrt{\dot{y}^2 - y\ddot{y}} = A\omega$  (4.6)

y sustituyendo la ecuación (4.4) en (4.6), entonces:

$$\sqrt{\dot{y}^2 - y\ddot{y}} = A \sqrt{-\frac{\ddot{y}}{y}}, \quad \sqrt{\frac{\dot{y}^2 - y\ddot{y}}{-\frac{\ddot{y}}{y}}} = A,$$

$$A = \sqrt{\frac{-y(\dot{y}^2 - y\ddot{y})}{\ddot{y}}} = \sqrt{y \left( y - \frac{\dot{y}^2}{\ddot{y}} \right)} \quad (4.7)$$

Para el cálculo de las derivadas de una función  $f(x)$ , a las ecuaciones anteriores podemos aplicarles las siguientes aproximaciones:

$$f'(x) = \lim_{h \rightarrow 0} \frac{f(x) - f(x-h)}{h} \approx \frac{f(x) - f(x-h_0)}{h_0} \approx \frac{f(x-h_0) - f(x-2h_0)}{h_0}$$

$$f''(x) \approx \frac{f(x+h_0) - 2f(x) + f(x-h_0)}{h_0^2}, \text{ para valores de retardo } h_0 \text{ lo suficientemente}$$

pequeños.

Haciendo un cambio de variables, ahora se tiene:

$$f(x) = y = A \text{Sen } \omega t,$$

$$f'(x) = \dot{y} = A\omega \text{Cos } \omega t,$$

$$f''(x) = \ddot{y} = -A\omega \text{Sen } \omega t.$$

y con:

$$f(x-h_0) = A \text{Sen } (\omega(t-h_0)),$$

$$f(x+h_0) = A \text{Sen } (\omega(t+h_0)),$$

$$f(x-2h_0) = A \text{Sen } (\omega(t-2h_0)).$$

Entonces, aplicando estas aproximaciones a la expresión (4.7) y dejando la ecuación solamente en términos de:  $f(x)$ ,  $f(x-h_0)$  y  $f(x-2h_0)$ , se obtiene finalmente la ecuación del estimador:

$$A = \sqrt{\left( f^2(x) - \frac{f(x) [f^2(x-h_0) - 2f(x-h_0)f(x-2h_0) + f^2(x-2h_0)]}{[f(x) - 2f(x-h_0) + f(x-2h_0)]} \right)} \quad (4.8)$$

La ecuación (4.8) resulta ser una expresión algo compleja. Tratando de simplificarla, se observa que el numerador del cociente del lado derecho, que esta dentro de la raíz, forma un binomio cuadrado perfecto; por lo que la ecuación anterior puede reescribirse de una forma un poco más compacta (ecuación 4.9).

$$A = \sqrt{\left( f^2(x) - \frac{f(x)[f(x-h_0)-f(x-2h_0)]^2}{[f(x)-2f(x-h_0)+f(x-2h_0)]} \right)} \quad (4.9)$$

### 4.1 Modelado del detector y simulación de las señales involucradas

De la ecuación (4.9), el modelo del detector es implementado en Simulink®, éste se muestra en la Figura 4.1.

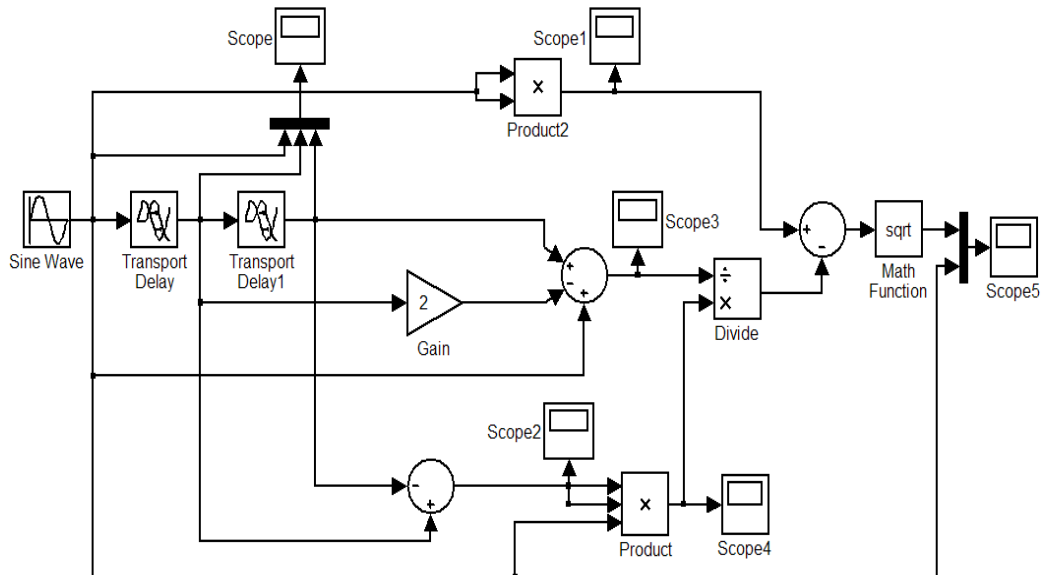
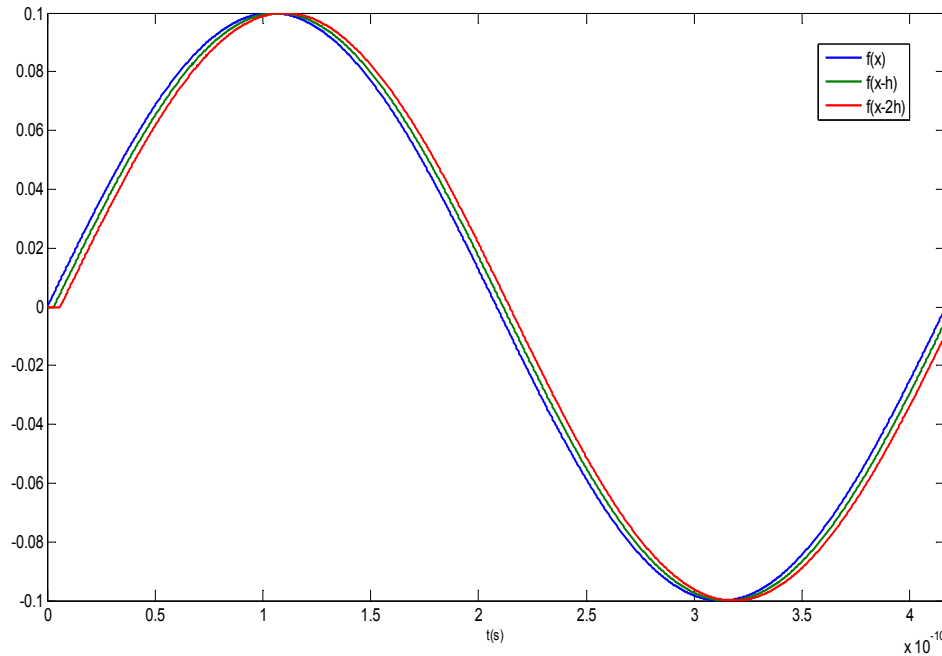
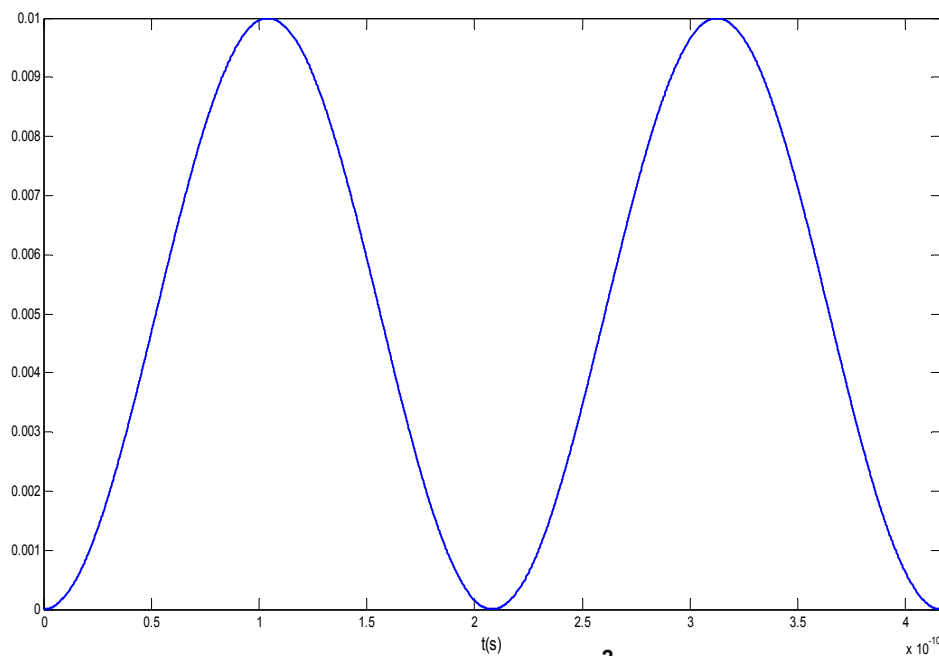


Figura 4.1. Modelo a bloques del detector implementado en Simulink®.

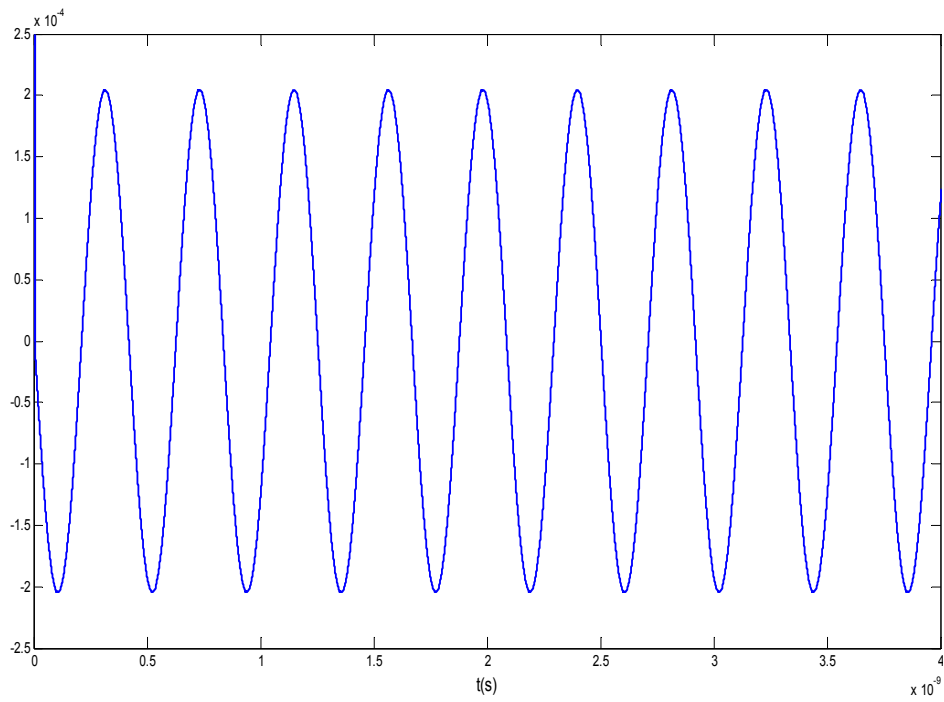
Las simulaciones de las señales principales involucradas en el sistema estimador del diagrama a bloques anterior se muestran en las Figuras 4.2-4.6.



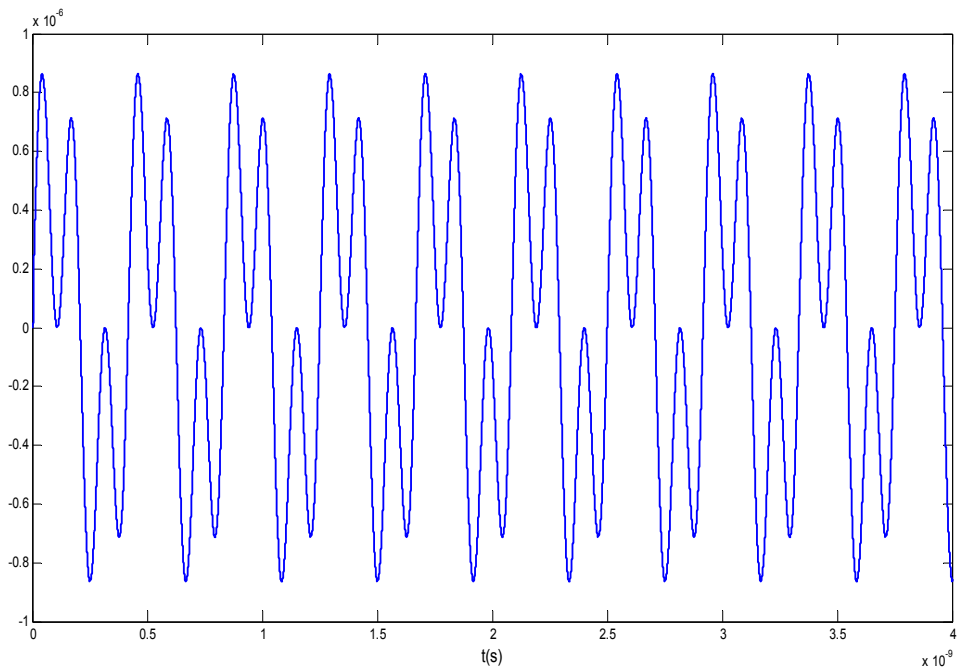
**Figura 4.2. Señal de entrada  $f(x)$  y señales con retardos  $f(x-h)$ ,  $f(x-2h)$  (con  $h=0.01\text{ns}$ ).**



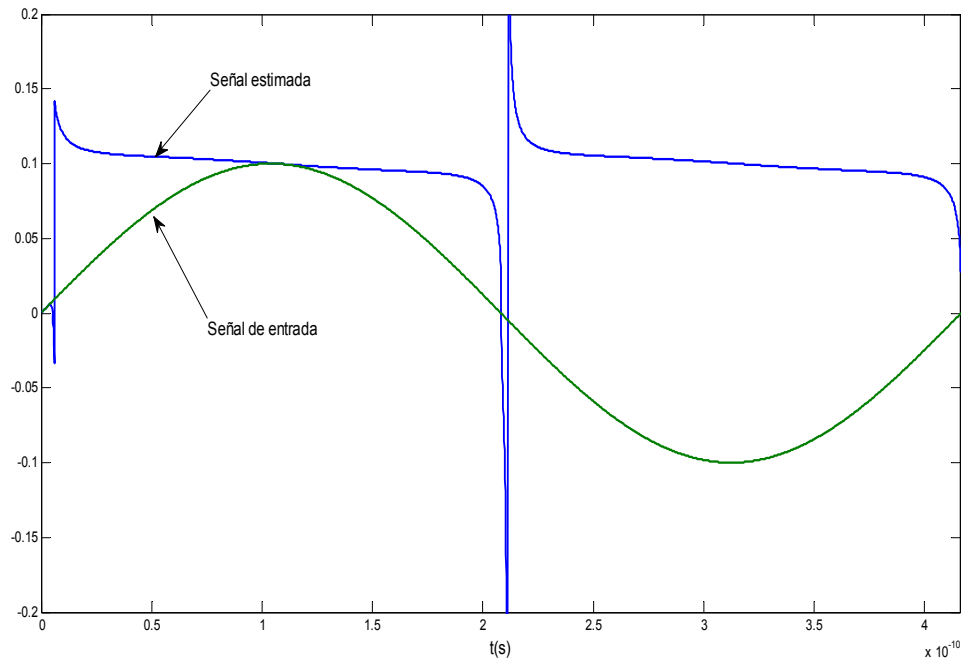
**Figura 4.3. Señal  $f^2(x)$ .**



**Figura 4.4. Señal den= {f(x)-2f(x-h)+f(x-2h)}.**



**Figura 4.5. Señal num= {f(x) [f(x)-f(x-h)]^2}.**



**Figura 4.6. Señal de entrada y señal de salida (señal estimada).**

En la Figura 4.6 se observa a la señal detectada y a la señal de entrada, notándose que la señal es estimada muy rápidamente (en menos de medio ciclo), siendo una de las principales ventajas de este sistema.

## 4.2 Driver de entrada

El primer bloque que constituye al sistema estimador que se describió en la sección anterior requiere de un circuito driver que realice la función de sensar la señal en voltaje  $V_{in}$ , que maneje una impedancia de entrada alta y que a la vez la procese dentro de un rango dinámico lineal. El circuito que se propone para poder llevar a cabo estas tareas se muestra en la Figura 4.7. El voltaje de entrada  $V_{in}$  de estímulo está presente en la compuerta del transistor M3 estando en la configuración de fuente común, es polarizado por la corriente  $I_b$

a través del espejo de corriente M1-M2 de manera que se quita dependencia sobre el nivel de voltaje de DC en su compuerta. Entonces, M3 es dimensionado para mantenerlo operando en su región lineal y para tener una capacitancia de entrada muy baja (evitando así cargar el nodo de entrada). La operación lineal de M3 es necesaria, ya que éste dicta en gran medida el rango dinámico lineal que tendrá el detector en su salida (realizando conversión lineal V-I). La salida en corriente que provee el transistor de entrada M3 posteriormente es procesada a través del espejo de corriente formado por M4, M5 (dándole el doble de ganancia) y luego manejada por un espejo de corriente cascode. Finalmente, la salida en corriente es obtenida en el nodo de baja impedancia formado entre la fuente de M9 y drenaje de M8.

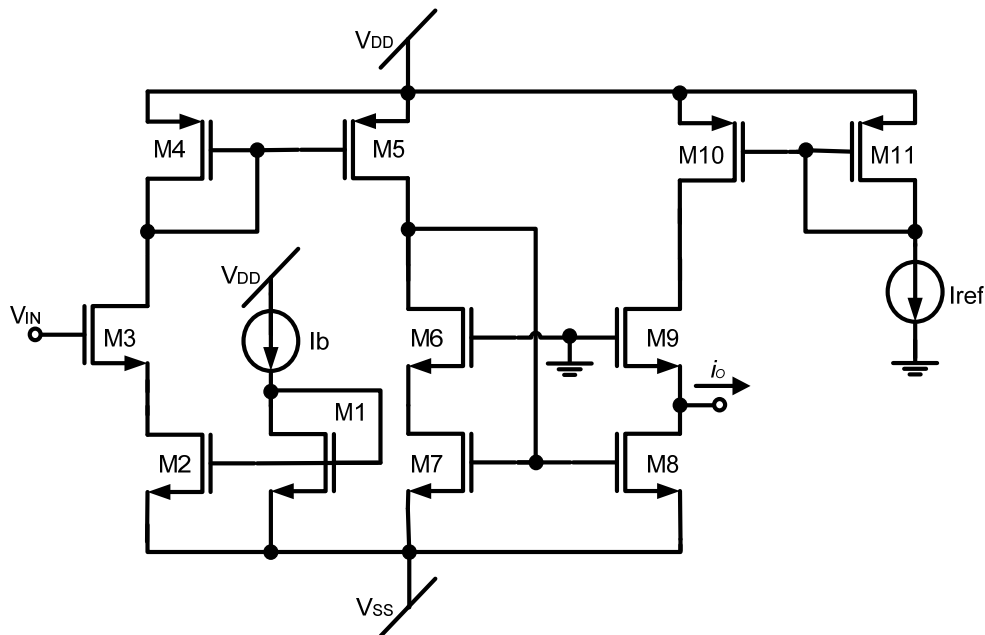


Figura 4.7. Circuito driver.

Los valores de los componente de la celda driver se muestran en la Tabla 4.1.

**Tabla 4.1. Valores de los componentes del driver.**

	W/L		W/L
<b>M<sub>1,2</sub></b>	13u/0.4u	<b>M<sub>6</sub></b>	55u/0.9u
<b>M<sub>3</sub></b>	11u/0.4u	<b>M<sub>7</sub></b>	40u/0.9u
<b>M<sub>4</sub></b>	3u/0.4u	<b>M<sub>8</sub></b>	35u/1.5u
<b>M<sub>5</sub></b>	6u/0.4u	<b>M<sub>9</sub></b>	43u/1.2u
<b>I<sub>b</sub></b>	400uA	<b>M<sub>10,11</sub></b>	20u/0.4u
<b>I<sub>ref</sub></b>	400uA	<b>V<sub>DD</sub>=-V<sub>SS</sub></b>	1.65V

### 4.3 Celda de retardo

En muchas aplicaciones se requiere realizar la tarea de retardar una señal. Según el modelo del estimador que se presentó en la sección 4.1 se requieren bloques que produzcan retardos. Siendo que la señal de corriente sinusoidal que proviene del driver debe ser desfasada por dos unidades de retardo. La celda básica de retardo que se plantea usar dentro del sistema estimador se muestra en la Figura 4.8. Esta celda consiste simplemente de un espejo de corriente cascode de dos salidas. Los transistores de la celda son dimensionados para que el espejo no presente ganancia. La señal de corriente proveniente del driver es acoplada a la celda de retardo en el nodo de baja impedancia (fuente de M16 y drenaje de M17). El retardo de la señal



es controlado principalmente por la capacitancia parásita presente en el nodo de drenaje del transistor M15. Las señales con retardo son tomadas de los nodos O1 y O2. La segunda salida (nodo O2) es necesaria para que la señal en corriente sea procesada por una segunda celda de retardo, la cual será conectada en cascada para proveer la siguiente unidad de retardo.

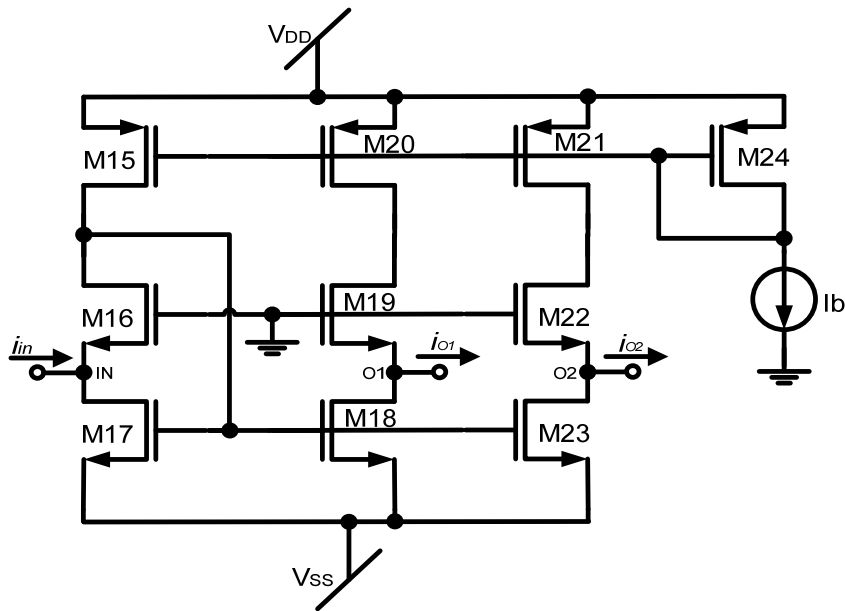


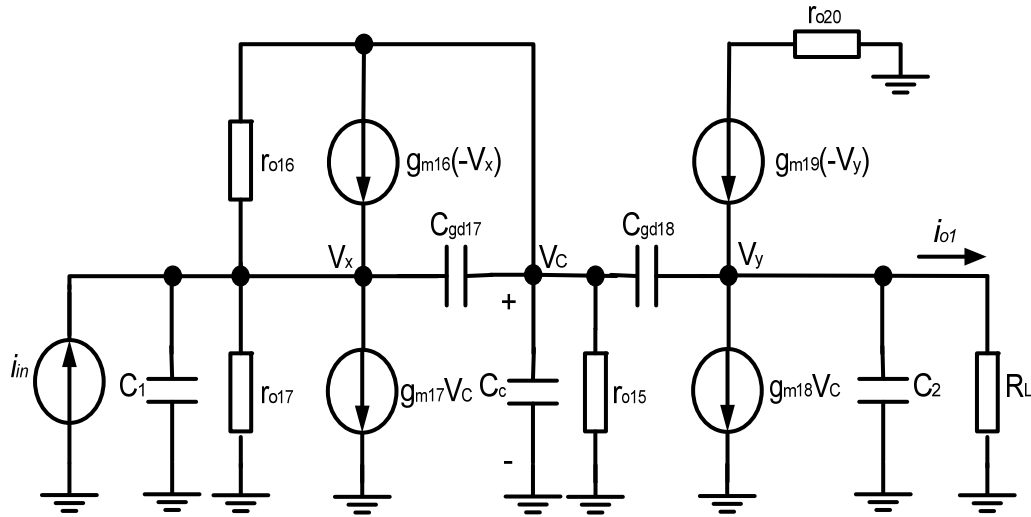
Figura 4.8. Celda de retardo.

En la Tabla 4.2 se muestran los valores de los componentes empleados en la celda de retardo.

Tabla 4.2. Valores de los componentes de la celda de retardo.

	W/L
<b>M<sub>15,20,21,24</sub></b>	20u/0.35u
<b>M<sub>16,19,22</sub></b>	50u/1u
<b>M<sub>17,18,23</sub></b>	21u/0.4u
<b>I<sub>b</sub></b>	400uA
<b>V<sub>DD</sub>=-V<sub>SS</sub></b>	1.65V

En la Figura 4.9 se muestra el modelo de circuito equivalente a pequeña señal simplificado que se obtuvo para predecir la respuesta en frecuencia de la celda de retardo y que toma en cuenta solamente a una de sus salidas en corriente.



**Figura 4.9. Modelo a pequeña señal simplificado de la celda de retardo.**

Realizando el análisis nodal al modelo a pequeña señal simplificado de la Figura 4.9, la función de transferencia para la celda de retardo queda determinada aproximadamente por:

$$H(s) = \frac{i_{o1}}{i_{in}} \cong \frac{s^2 A + s B + C}{s^3 D + s^2 E + s F + G} \quad (4.10)$$

donde:

$$A = ( C_{gd17} C_{gd18} g_L )$$

$$B = ( C_{gd18} g_{m16} g_L - g_{m18} C_{gd17} g_L + g_{16} C_{gd18} g_L )$$

$$C = ( - g_{m18}g_{16}g_L - g_{m18}g_{m16}g_L )$$

$$D = ( C_{gd17}C_cC_2 + C_{gd17}C_cC_{gd18} + C_{gd17}C_{gd18}C_2 + C_1C_{gd17}C_2 + C_1C_{gd17}C_{gd18} + C_1C_cC_{gd18} + C_1C_cC_{gd18} + C_1C_cC_2 + C_1C_{gd18}C_2 )$$

$$E = ( C_{gd17}C_cg_{m19} + C_{gd17}g_{m18}C_{gd18} + C_{gd17}C_cg_L + C_{gd17}C_{gd18}g_{m19} + C_{gd17}g_{15}C_2 + C_{gd17}g_{15}C_{gd18} + C_{gd17}C_{gd18}g_L + C_{16}C_{gd18} + C_{16}C_cC_2 + C_1C_{gd17}g_L + C_1C_{gd17}g_{m19} + C_1C_cg_{m19} + C_1g_{m18}C_{gd18} + C_1g_{m18}C_{gd18} + C_1g_{15}C_2 + C_1g_{15}C_{gd18} + C_1C_cg_L + g_{16}C_cC_{gd18} + C_1C_{gd18}g_L + g_{16}C_cC_2 + g_{16}C_{gd18}C_2 + g_{m16}C_cC_2 + g_{m16}C_cC_{gd18} + g_{17}C_{gd17}C_{gd18} + g_{m16}C_{gd18}C_2 + g_{17}C_cC_{gd18} + g_{17}C_{gd17}C_2 + g_{17}C_cC_2 + g_{17}C_{gd18}C_2 + C_{gd17}g_{m17}C_{gd18} + C_{gd17}g_{m17}C_2 )$$

$$F = ( C_{gd17}g_{15}g_L + g_{m16}g_{m17}C_{gd18} + C_{gd17}g_{15}g_{m19} + g_{15}g_L + g_{15}g_{m19} + g_{16}g_L + g_{16}g_{m19} + g_{16}g_cC_L + g_{16}g_cC_{m19} + g_{16}g_{m17}C_2 + g_{16}g_{gd18}C_{m19} + g_{16}g_{15}C_2 + g_{16}g_{15}C_{gd18} + g_{m16}g_{15}C_{gd18} + g_{m16}g_cC_L + g_{m16}g_cC_{m19} + g_{m16}g_{m18}C_{gd18} + g_{16}g_{gd18}g_L + g_{16}g_{m17}C_{gd18} + g_{17}g_{gd17}g_{m19} + g_{17}g_{16}C_2 + g_{17}g_{16}C_{gd18} + g_{m16}C_{gd18}g_L + g_{m16}C_{gd18}g_{m19} + g_{m16}g_{15}C_2 + g_{m16}g_{15}C_{gd18} + g_{17}g_{gd17}g_L + g_{17}g_{15}C_{gd18} + g_{17}g_cC_L + g_{17}g_cC_{m19} + g_{17}g_{15}C_2 + g_{17}g_{gd18}g_{m19} + g_{17}g_{gd18}g_L + g_{m16}g_{m17}C_2 + C_{gd17}g_{m17}g_L + C_{gd17}g_{m17}g_{m19} )$$

$$G = ( g_{16}g_{15}g_{m19} + g_{16}g_{15}g_L + g_{m16}g_{15}g_{m19} + g_{m16}g_{15}g_L + g_{17}g_{15}g_L + g_{17}g_{15}g_{m19} + g_{17}g_{16}g_{m19} + g_{17}g_{16}g_L + g_{16}g_{m17}g_L + g_{16}g_{m17}g_{m19} + g_{m16}g_{m17}g_L + g_{m16}g_{m17}g_{m19} )$$

y siendo:

$$C_1 \cong C_{db17} + C_{sb16} + C_{gs16}$$

$$C_2 \cong C_{db18} + C_{sb19} + C_{gs19}$$

$$C_c \cong C_{gs17} + C_{gs18} + C_{gd16} + C_{gd15} + C_{db15} + C_{db16}$$

$$g_{15} = \frac{1}{r_{o15}}, g_{16} = \frac{1}{r_{o16}}, g_{17} = \frac{1}{r_{o17}}, g_L = \frac{1}{R_L}$$

El retardo de grupo de la celda es aproximada por la expresión:

$$\tau(\omega) \cong -\frac{d\varphi_{H(s)}}{d\omega} \quad (4.11)$$

En donde:  $\varphi_{H(s)}$  es la fase en radianes de la función de transferencia  $H(s)$  del modelo ideal (ecuación 4.10).

## 4.4 Caracterización del driver y celdas de retardo

### 4.4.1 Impedancias de entrada y de salida

Para poder hacer el acoplamiento del driver con la siguiente etapa del estimador (celda de retardo) se realizaron las simulaciones de las impedancias de entrada y de salida de estas celdas.

En las Figuras 4.10 y 4.11 se muestran las gráficas obtenidas para las impedancias del driver,  $Z_{in}$  y  $Z_o$ . En la Figura 4.10, se puede observar que a una frecuencia de 2.4GHz la impedancia de entrada del driver es de 6.47k $\Omega$  y en la Figura 4.11 se observa que la impedancia de salida es de 307 $\Omega$  a la misma frecuencia.

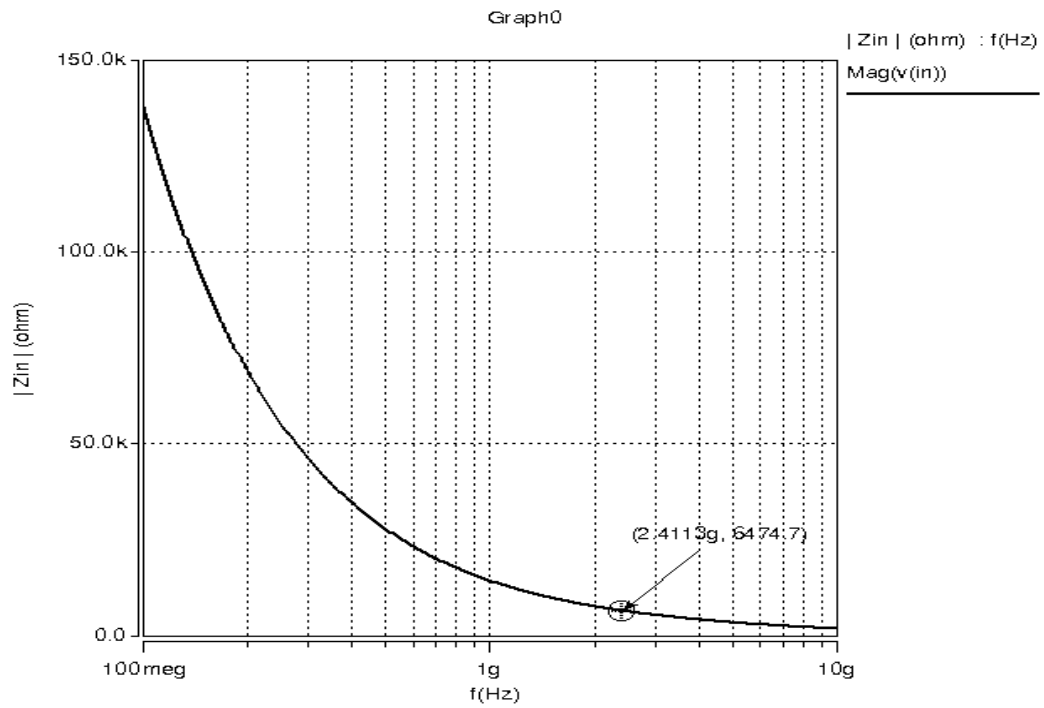


Figura 4.10. Impedancia de entrada del driver.

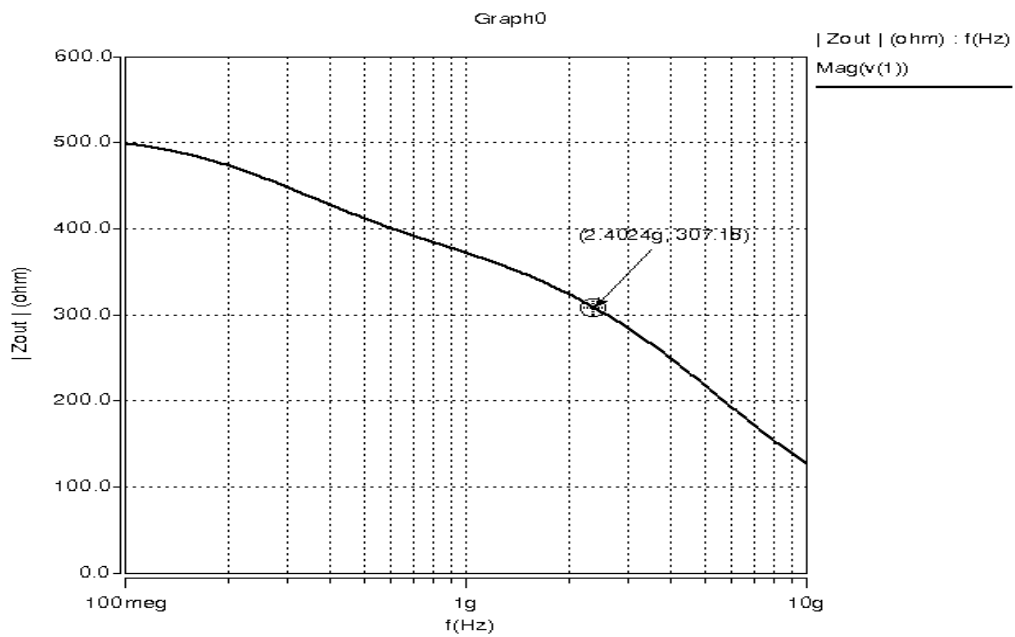
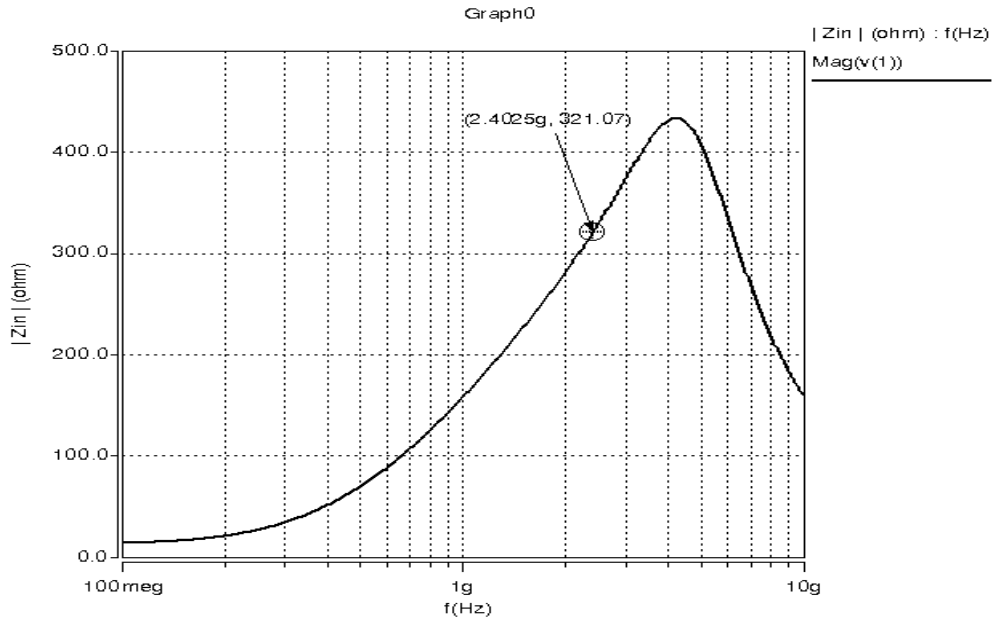
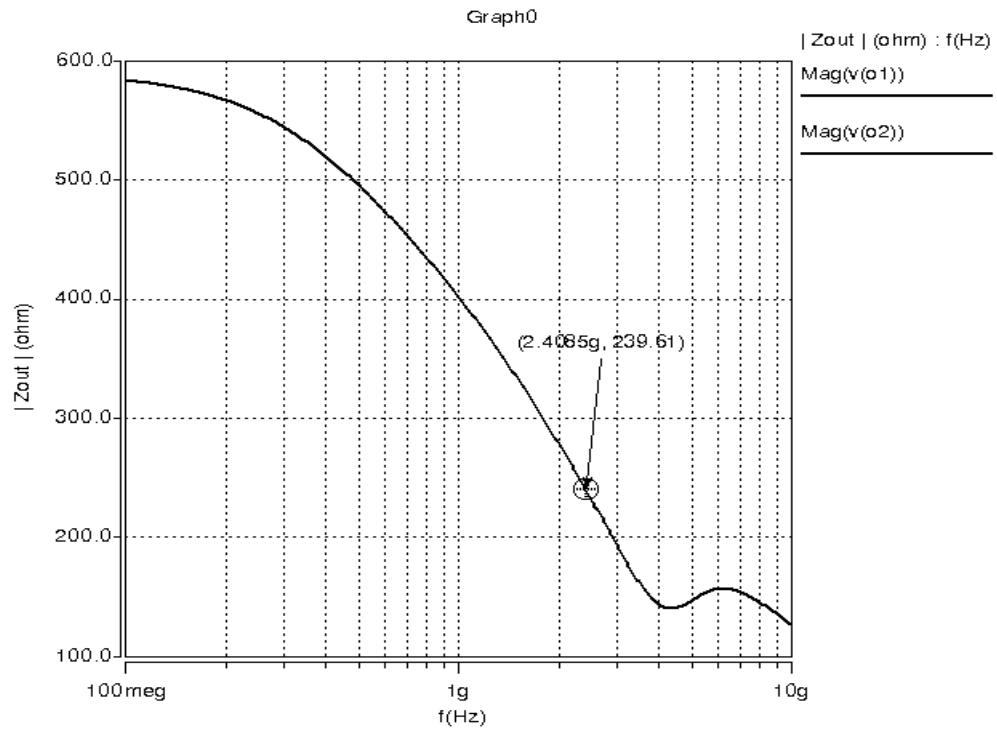


Figura 4.11. Impedancia de salida del driver.

Las gráficas de las impedancias de  $Z_{in}$  y  $Z_o$  de la celda de retardo se muestran en las Figuras 4.12 y 4.13, respectivamente, donde se puede observar que a 2.4GHz se tiene una  $Z_{in}=321\Omega$  y  $Z_o=239\Omega$ .



**Figura 4.12. Impedancia de entrada de la celda de retardo.**



**Figura 4.13. Impedancia de salida de la celda de retardo.**

#### 4.4.2 Respuesta en frecuencia

En la Figura 4.14 se muestra la respuesta en frecuencia del driver. Para una señal de voltaje que esta presente en la entrada del driver, se obtiene la correspondiente señal de salida en corriente  $i_o$ . Se puede observar que a -3dB se tiene una frecuencia de corte de 4.825GHz. La respuesta en frecuencia de la celda de retardo se muestra en la Figura 4.15, para una corriente de entrada, se obtiene una frecuencia de corte a -3dB de 5.07GHz. La configuración usada para las simulaciones tanto en el dominio de la frecuencia como del tiempo se muestra en la Figura 4.16.

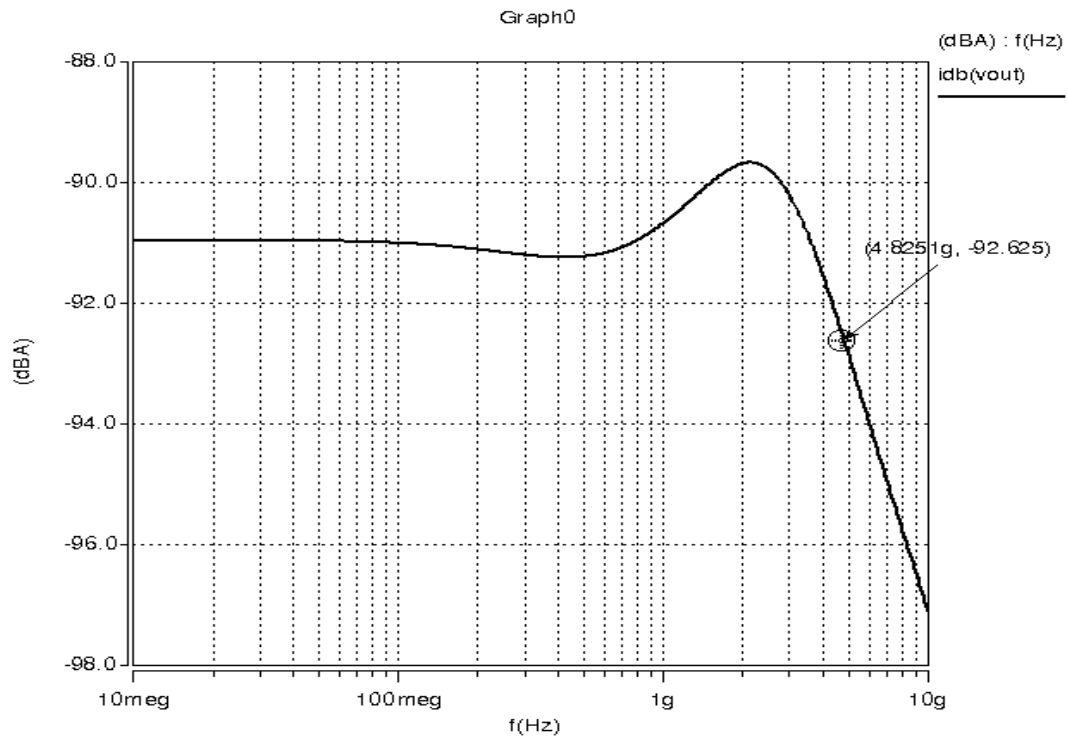


Figura 4.14. Respuesta en frecuencia del driver  $i_o$  (dB).

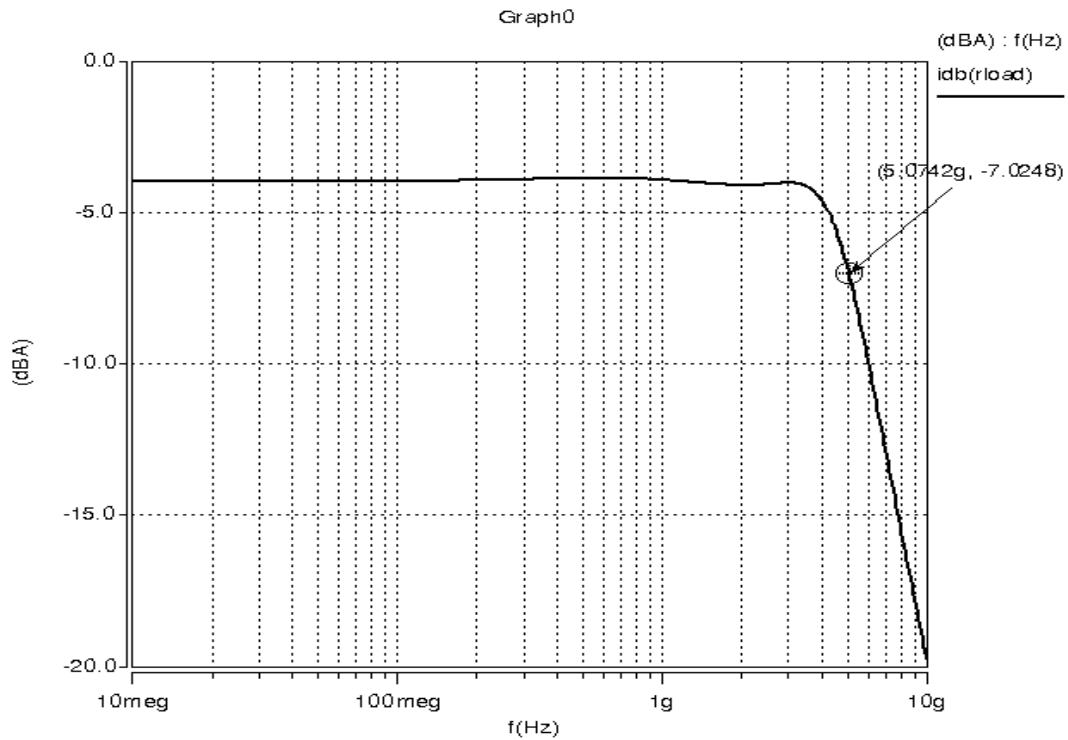


Figura 4.15. Respuesta en frecuencia de la celda de retardo.

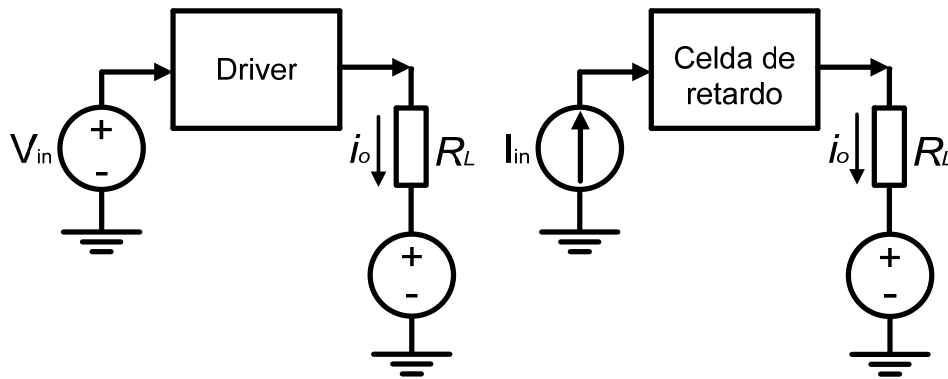


Figura 4.16. Configuración para realizar la caracterización del driver y celda de retardo (la  $R_L$  empleada es de  $321\Omega$ ).

En la Figura 4.17 se muestran las respuestas ideales obtenidas a partir del modelo a pequeña señal de la celda de retardo (Figura 4.9 y función de transferencia dada por la ecuación 4.10) contra la respuesta real obtenida por simulación en HSpice® de la fase, retardo de grupo y respuesta en



frecuencia junto con las mediciones realizadas a la frecuencia objetivo de 2.4GHz.

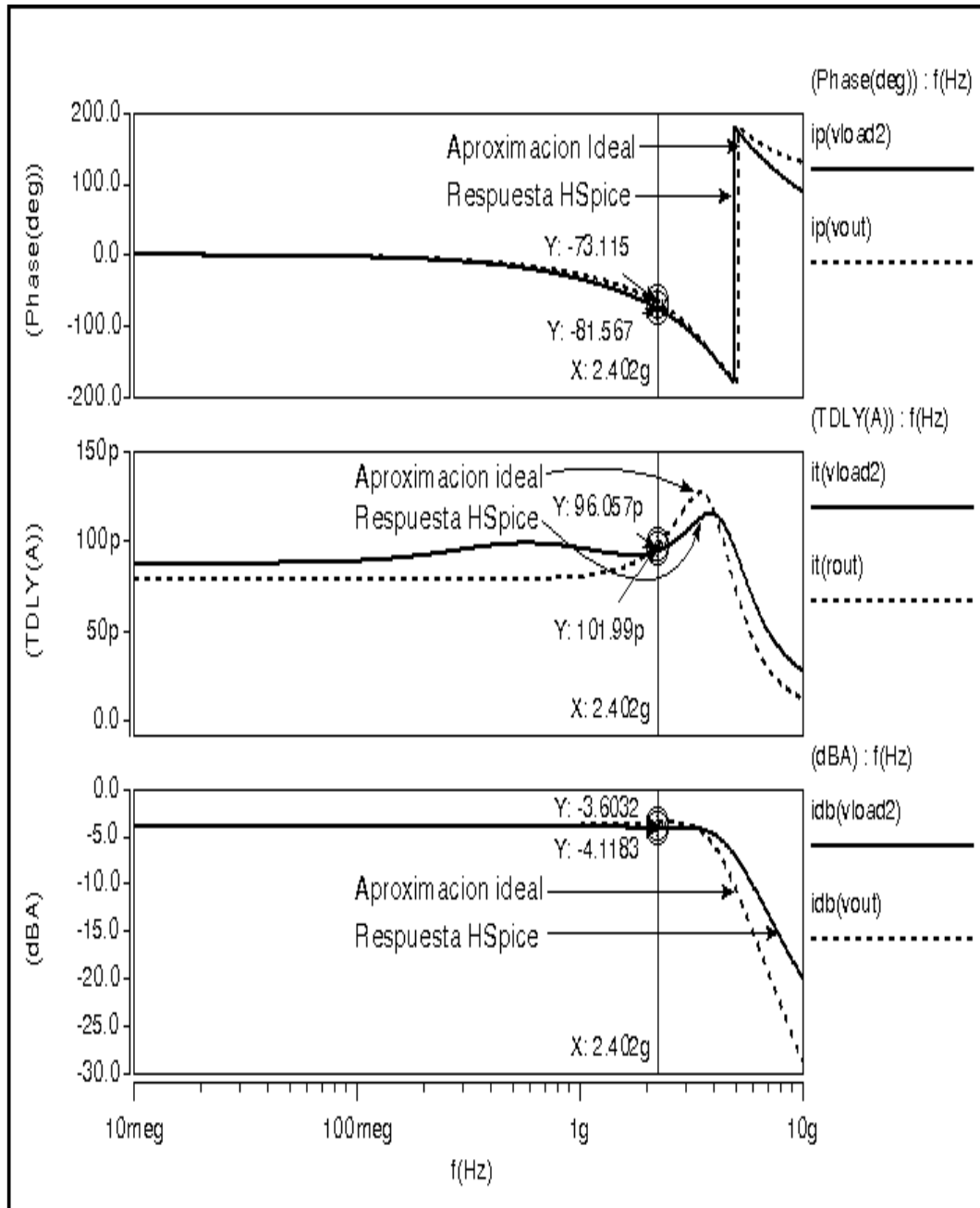


Figura 4.17. De arriba abajo se muestran las respuestas de la fase, retardo de grupo y en frecuencia ideales usando su modelo a pequeña señal simplificado contra la respuesta real obtenida en HSpice®.

En las gráficas de la Figura 4.17 se puede observar una excelente concordancia en la respuesta en fase del modelo ideal contra la respuesta real en HSpice®. En cuanto al retardo de grupo se observa un pequeño error entre la respuesta del modelo ideal y la real, sin embargo éste lleva un comportamiento similar, permanece aproximadamente constante y además a la frecuencia de interés el retardo presenta un error de apenas unos 6 pico segundos. Por último, en cuanto a la respuesta en frecuencia, la gráfica muestra una muy buena correlación del modelo ideal contra la respuesta real hasta aproximadamente los 4GHz.

#### 4.4.3 Respuesta en tiempo

Para visualizar el funcionamiento tanto del driver como de la celda de retardo se realizaron las simulaciones en el dominio del tiempo a una frecuencia de 2.4GHz. En las Figuras 4.18 y 4.19 se muestran las respuestas obtenidas para estas celdas.

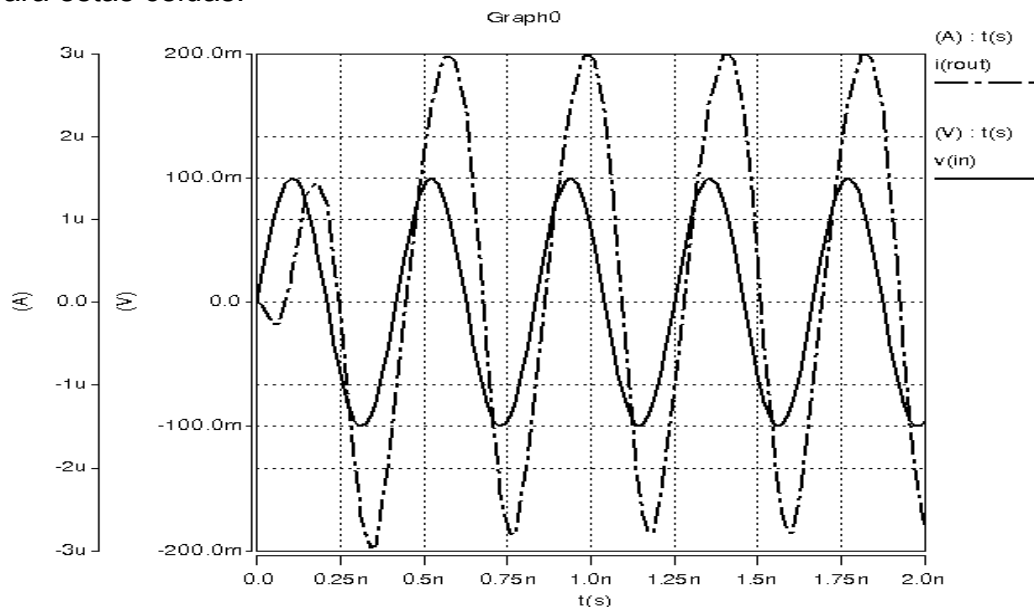
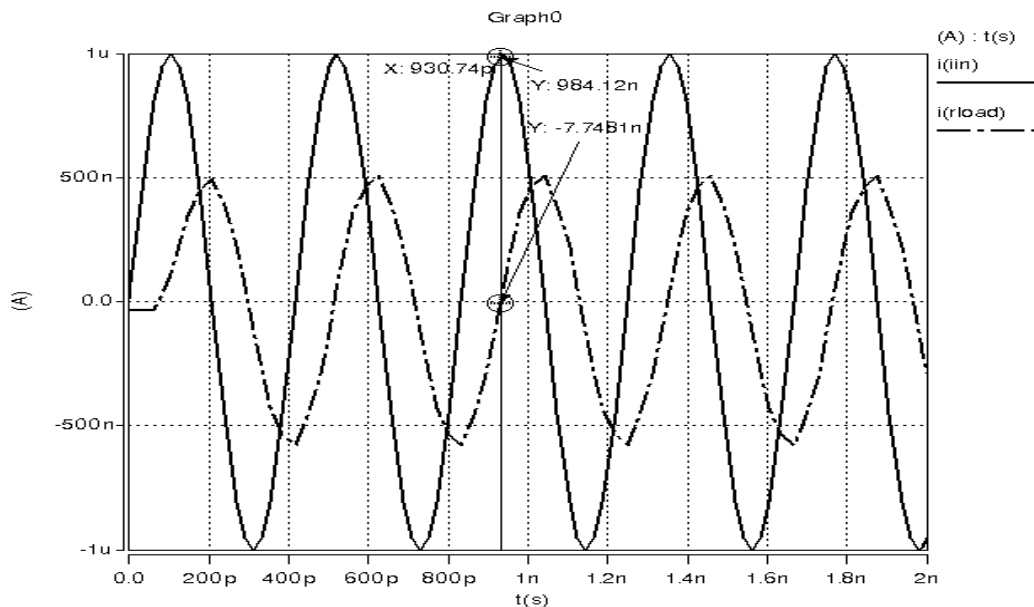


Figura 4.18. Respuesta en tiempo del driver.



**Figura 4.19. Respuesta en tiempo de la celda de retardo.**

Nótese que para en el caso de la celda de retardo (Figura 4.19) se obtiene a la salida una señal de la mitad de amplitud del valor de entrada, esto es debido a que la carga empleada es aproximadamente del mismo valor que su impedancia de salida (su impedancia de entrada es del mismo orden de magnitud de la impedancia de entrada a esa frecuencia), por lo que la corriente también se divide en la mitad.

Una vez realizada la caracterización del driver y de la celda de retardo por separado, se procedió a realizar el acoplamiento de estas celdas como se muestra en la Figura 4.20. Por último, el comportamiento en el tiempo del sistema cuando se tiene el driver acoplado a las tres celdas de retardo se muestra en la Figura 4.21. Se pueden observar las tres señales generadas con retardos homogéneos.

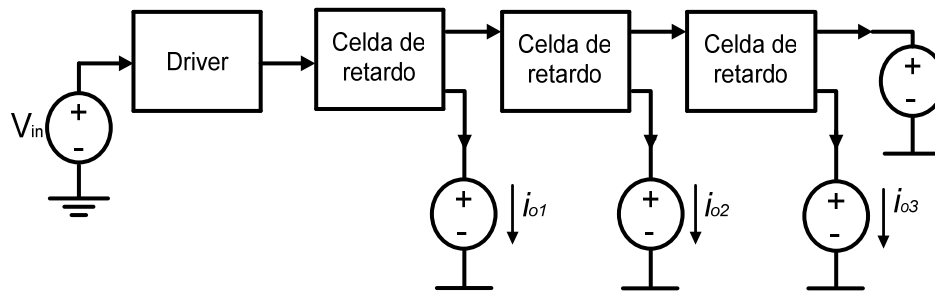


Figura 4.20. Acoplamiento entre el driver y celdas de retardo.

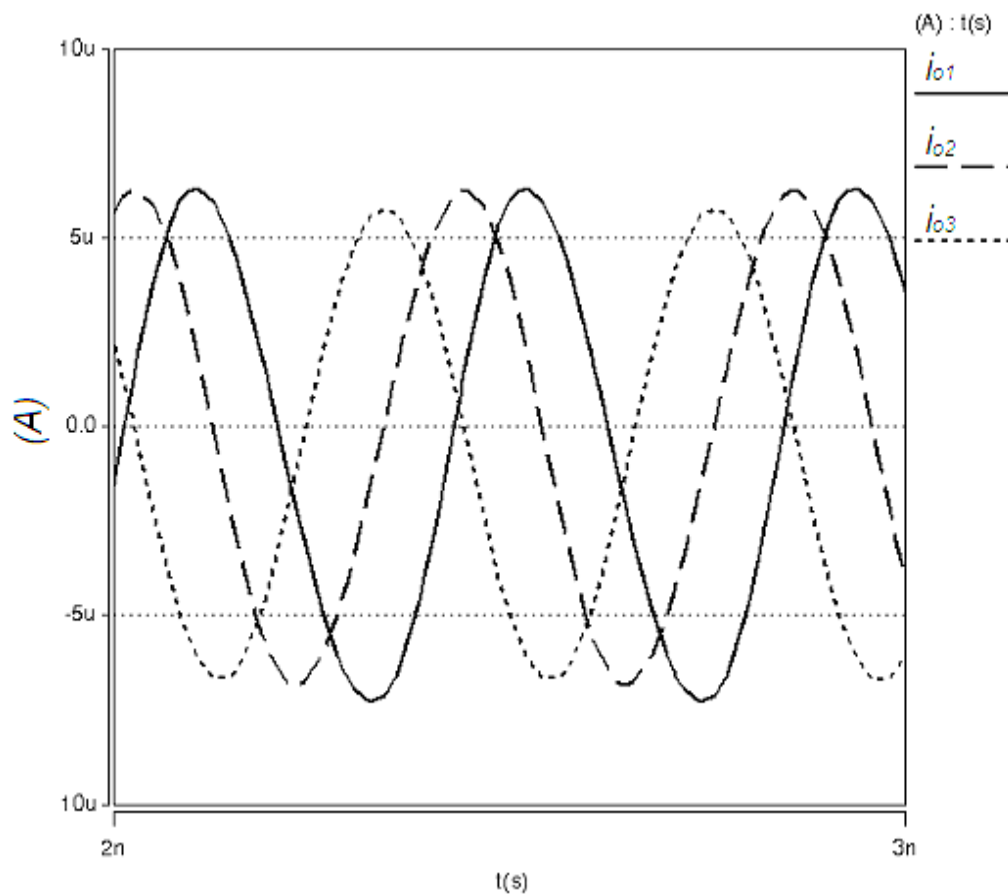


Figura 4.21. Respuesta en el tiempo de las celdas de retardo acopladas al driver.



# CAPÍTULO 5

*"La imaginación es más importante que el conocimiento. El conocimiento es limitado, la imaginación rodea al mundo"*

ALBERT EINSTEIN

## Divisores Analógicos

### 5.1 Introducción

En las últimas secciones del capítulo anterior se propuso el modelo de un sistema estimador de RMS, se mostró su análisis matemático y se mostraron las señales involucradas. También se presentaron dos de las celdas necesarias para este sistema: el circuito driver y la celda de retardo. En este capítulo se describirá el bloque divisor, el cual es el más significativo, desafiante y que muestra mayor complejidad en su diseño.

Los circuitos divisores analógicos son de los más importantes en el procesamiento en tiempo continuo de señales. Estos circuitos pueden realizar muchas tareas y son muy útiles en aplicaciones tales como el diseño de redes neuronales, controladores difusos, filtros adaptables, modulación, o en el acondicionamiento de señales en general. Muchos de ellos han sido reportados utilizando diversos esquemas, operando totalmente en modo corriente, en modo voltaje o usando una combinación de ambos modos [39-41]. Sin embargo, la mayoría se sustentan en el principio translineal o en transistores operando en la región lineal, lo cual limita drásticamente su ancho de banda. En este trabajo se presentan tres topologías de circuitos divisores los cuales operan en la región de saturación y que pueden encontrar aplicaciones en circuitos de alta frecuencia. Se presenta también

una cuarta topología de circuito divisor que opera en la región lineal del MOS. Los primeros tres circuitos divisores que se proponen se sustentan en un circuito multiplicador de cuatro cuadrantes [36, 42] y específicamente en esquemas de multiplicadores en los cuales todos los transistores operan en la región de saturación. De las cuatro topologías que se presentan, estas tres topologías se tratan de circuitos divisores de dos cuadrantes. El primero de ellos esta basado en un esquema que hace uso de retroalimentación voltaje-corriente, el segundo usa un esquema voltaje-voltaje donde se usa al Flipped Voltage-Follower para realizar la retroalimentación, el tercero emplea a los transistores de compuerta flotante FGT (Floating-Gate-Transistors), donde la retroalimentación se hace igual de voltaje-voltaje pero de manera directa en una de las entradas de los FGT. Se presenta la cuarta topología de divisor que solo trabaja en un cuadrante, pero con buenas características para realizar la división y a frecuencias relativamente altas. Finalmente, se presentan los resultados de simulación post-layout (los layouts de los circuitos divisores se muestran en el Apéndice A).

## **5.2 Principio básico de operación de las tres primeras topologías de divisores**

El principio de operación de las primeras tres topologías de circuitos divisores de voltaje analógico que se presentan en este trabajo fueron obtenidos de un macromodelo propuesto en [43], y cuyo diagrama eléctrico se muestra en la Figura 5.1. El macromodelo esta formado por una fuente de corriente controlada por un voltaje lineal y de otra fuente de corriente pero controlada por un voltaje no lineal ( que realiza un producto de señales) circulando en

sentido contrario, donde ambas fuentes tienen sus terminales conectadas a los mismos nodos junto con una resistencia de salida de valor muy grande  $R_o$ .

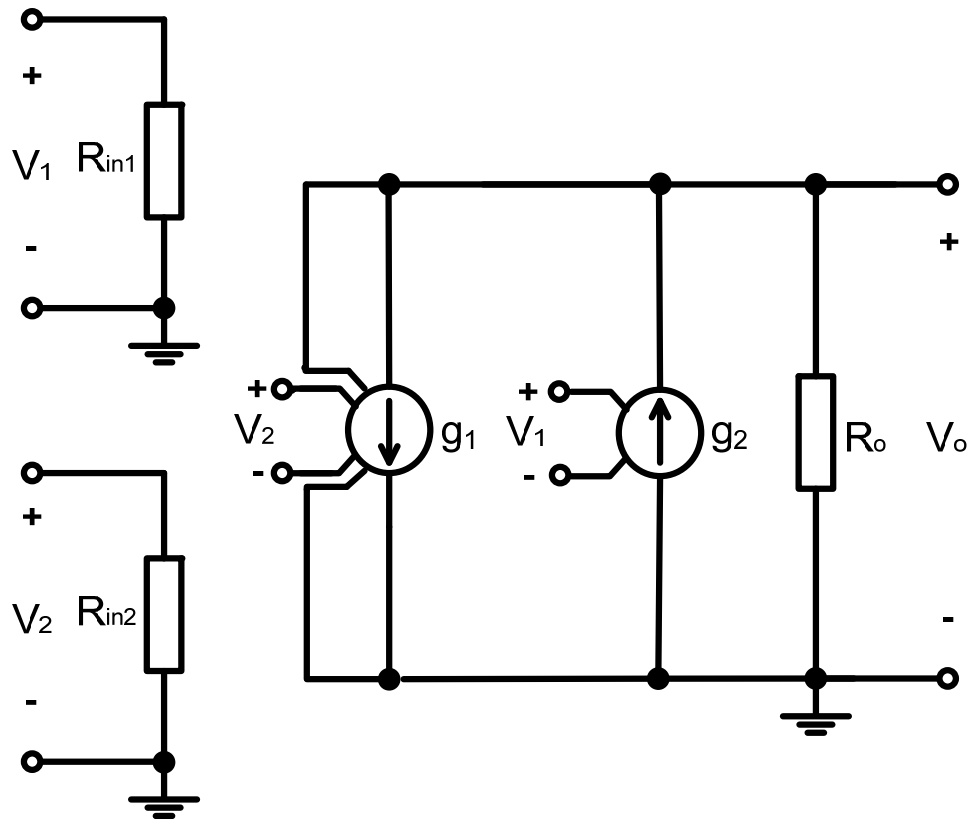


Figura 5.1. Macromodelo de un divisor de voltaje analógico.

La resistencia de valor muy grande de salida ( $R_o$ ) maneja la corriente de fuga de ambas fuentes de corriente, satisfaciendo la ley de corrientes de Kirchoff. Del macromodelo de la Figura 5.1, se deducen de manera directa las expresiones (5.1–5.4).



$$I_{g1} = g_1 V_2 V_o \quad (5.1)$$

$$I_{g2} = g_2 V_1 \quad (5.2)$$

Combinando (5.1) y (5.2) se obtiene:

$$V_o = \frac{R_o g_2 V_1}{[1 + R_o g_1 V_2]} \quad (5.3)$$

Tomando el límite para un valor muy grande de  $R_o$  ( $1 \ll R_o g_1 V_2$ ), se obtiene la relación esperada del divisor, que es precisamente la función de transferencia dada por:

$$V_o = \frac{g_2 V_1}{g_1 V_2} \quad (5.4)$$

donde:

$V_1$  es el voltaje del numerador.

$V_2$  es el voltaje del denominador.

$g_1$  y  $g_2$  son las ganancias de las fuentes de corriente dependientes  $I_{g1}$  e  $I_{g2}$  respectivamente.

### 5.3 Macromodelo del divisor completamente diferencial

A partir del macromodelo del divisor de voltaje analógico de la Figura 5.1 se obtuvo un nuevo macromodelo para el divisor de voltaje, en modo completamente diferencial, éste se muestra en la Figura 5.2.

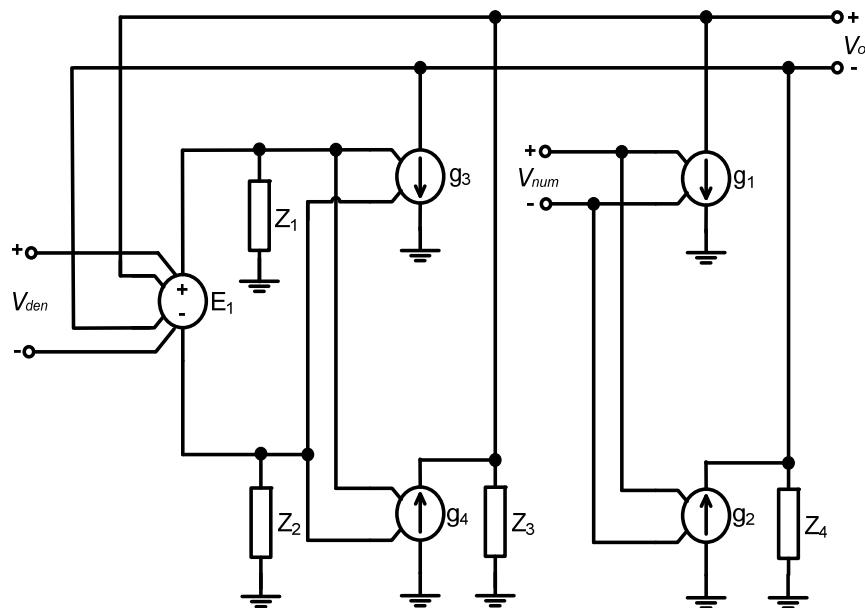


Figura 5.2. Macromodelo de un divisor de voltaje analógico en modo completamente diferencial.

Realizando un análisis al macromodelo del divisor completamente diferencial de la Figura 5.2, se deducen las siguientes expresiones:

$$E_1 = K_1 V_{den} V_o \tag{5.5}$$

$$K_1 g_4 V_{\text{den}} V_o = \frac{V_o^+}{Z_3} + g_1 V_{\text{num}} \quad (5.6)$$

$$g_2 V_{\text{num}} = K_1 g_3 V_{\text{den}} V_o + \frac{V_o^-}{Z_4} \quad (5.7)$$

Sumando las ecuaciones anteriores 5.6 y 5.7, se puede obtener una nueva expresión para el voltaje de salida  $V_o$  en función de todos los elementos del macromodelo, la cual queda dada por:

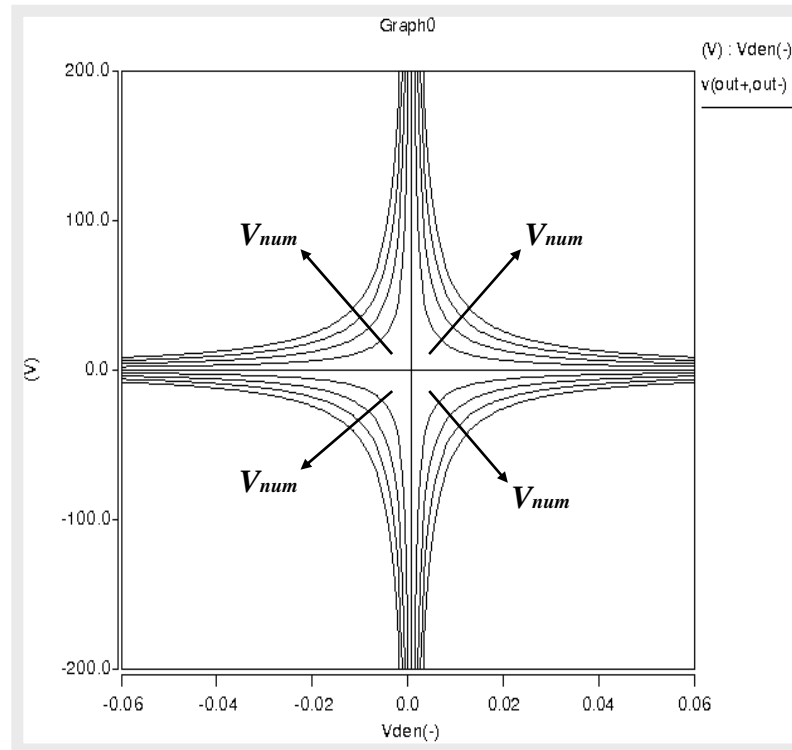
$$V_o = \frac{(g_1 + g_2) V_{\text{num}} + \left( \frac{V_o^+}{Z_3} - \frac{V_o^-}{Z_4} \right)}{K_1 (g_3 + g_4) V_{\text{den}}} \quad (5.8)$$

Nuevamente tomando el límite para valores de  $Z_3$  y  $Z_4$  muy grandes, la ecuación 5.8, puede ahora expresarse de acuerdo a la ecuación 5.9.

$$V_o = \frac{(g_1 + g_2) V_{\text{num}}}{K_1 (g_3 + g_4) V_{\text{den}}} \quad (5.9)$$

Como podemos ver la última expresión nos indica que la división de voltaje analógica estará escalada por la suma de las ganancias  $g_1$  y  $g_2$  en el numerador y en el denominador por la suma de las ganancias  $g_3$ ,  $g_4$ , por un factor de multiplicación o ganancia en voltaje  $K_1$ . Las curvas características del divisor ideal completamente diferencial se muestra en la Figura 5.3,

donde se hace un barrido a  $V_{den}$  sobre el eje “x” para diferentes valores de  $V_{num}$  y se selecciona:  $g_1 = g_2 = g_3 = g_4 = 2\text{mA/V}$ ,  $K_1 = 1$ .



**Figura 5.3. Curvas características de un divisor completamente diferencial ideal.**

Posteriormente, el macromodelo de la Figura 5.2 fue implementado en una tecnología CMOS de  $0.35\mu\text{m}$  para generar las tres primeras topologías de circuitos divisores que se proponen, las cuales se sustentan en circuitos multiplicadores de cuatro cuadrantes.

## 5.4 La celda de Gilbert CMOS

Debido a que las tres primeras topologías de circuitos divisores propuestos se basan en el principio de la celda de Gilbert CMOS con todos los transistores trabajando en la región de saturación, a continuación se describe brevemente su funcionamiento. La celda de Gilbert bipolar fue introducida por Barrie Gilbert en 1968 [42]. Gilbert desarrolló amplificadores con ancho de banda grande que consistían principalmente de pares diferenciales conectados como diodos (convertidores de corriente a voltaje) en la base de cada transistor bipolar [44].

### 5.4.1. El multiplicador CMOS de Gilbert de cuatro cuadrantes

Cuando se combinan dos pares diferenciales en la configuración que se muestra en la Figura 5.4, se crea la celda multiplicadora de cuatro cuadrantes de Gilbert CMOS.

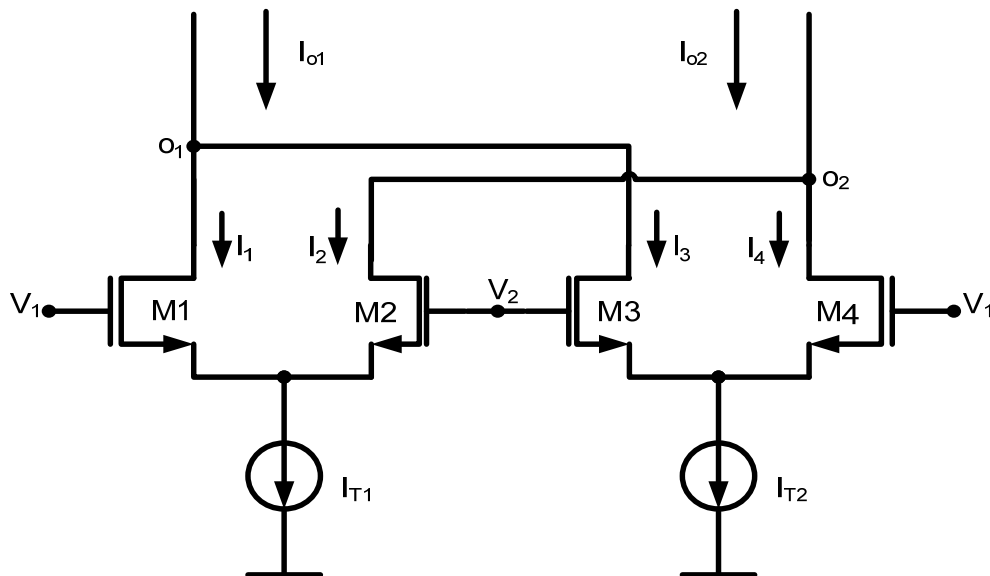


Figura 5.4. Celda básica de Gilbert CMOS.

La función principal de la celda de Gilbert CMOS es la de crear una multiplicación de cuatro cuadrantes con todos los transistores trabajando en la región de saturación. Bajo estas condiciones y despreciando efectos de segundo orden, las corrientes de drenaje de la celda multiplicadora de Gilbert (Figura 5.4) quedan definidas por las expresiones (5.10-5.13).

$$I_1 = \frac{I_{T1}}{2} + \frac{V_d}{2} \sqrt{K(2I_{T1} - KV_d^2)} \quad (5.10)$$

$$I_2 = \frac{I_{T1}}{2} - \frac{V_d}{2} \sqrt{K(2I_{T1} - KV_d^2)} \quad (5.11)$$

$$I_3 = \frac{I_{T2}}{2} - \frac{V_d}{2} \sqrt{K(2I_{T2} - KV_d^2)} \quad (5.12)$$

$$I_4 = \frac{I_{T2}}{2} + \frac{V_d}{2} \sqrt{K(2I_{T2} - KV_d^2)} \quad (5.13)$$

Donde todos los transistores tienen la misma  $K$ , y  $V_d = V_1 - V_2$ .

La suma de corrientes en los nodos  $o_1$ ,  $o_2$  son:

$$I_{o1} = I_1 + I_3 \quad (5.14)$$

$$I_{o2} = I_2 + I_4 \quad (5.15)$$

Entonces, la salida diferencial de la celda multiplicadora de Gilbert resulta:

$$I_o = I_{o1} - I_{o2} \quad (5.16)$$

Combinando las ecuaciones (5.10)-(5.13), con las ecuaciones (5.14)-(5.16), nos lleva a la expresión:

$$I_o = V_d \left( \sqrt{K(2I_{T1} - KV_d^2)} - \sqrt{K(2I_{T2} - KV_d^2)} \right) \quad (5.17)$$

Si:  $KV_d^2 \ll 2I_{T1,2}$ , la ecuación (5.17) se reescribe de forma mas compacta como:

$$I_o = V_d \sqrt{K'} \left( \sqrt{I_{T1}} - \sqrt{I_{T2}} \right) \quad (5.18)$$

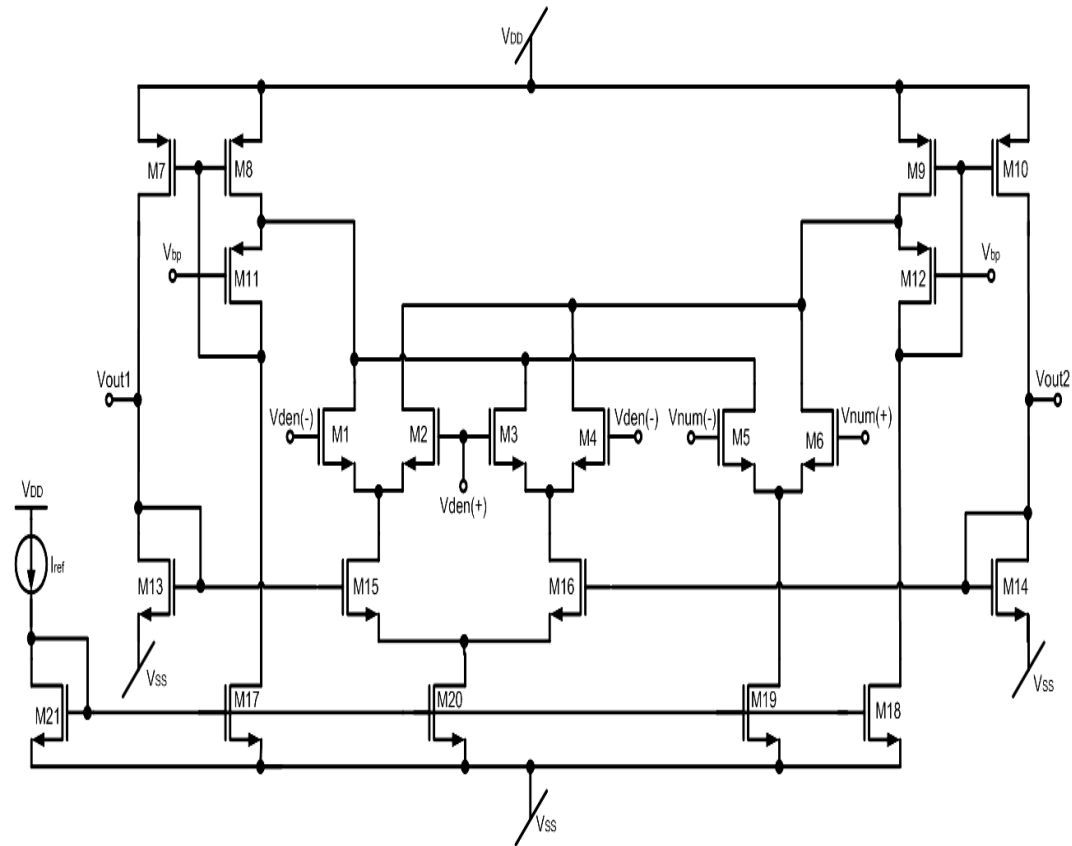
Donde:  $K' = 2K = \mu_n C_{ox} \frac{W}{L}$ .

La ecuación (5.18) nos da la corriente diferencial de salida  $I_o$  de la celda multiplicadora de Gilbert CMOS en términos del producto del voltaje diferencial de entrada  $V_d$ , por el parámetro tecnológico constante  $K'$  y por la diferencia de la raíz cuadrada de  $I_{T1}$  menos la raíz de  $I_{T2}$ .

## 5.5 Divisor, topología 1 (Retroalimentado por corriente)

Realizar la operación de la división analógica de dos señales alternas y continuas en el tiempo es una tarea que, como se mencionó antes, puede ser realizada de diversas maneras, tanto en tecnología CMOS como bipolar [32, 34, 37, 39-41, 45-47]. La primera topología de circuito divisor que se propone se presenta en la Figura 5.5, donde la idea de la cual parte su diseño se describió en la sección 5.3. El diagrama de la Figura 5.5, esta compuesto de un circuito multiplicador de cuatro cuadrantes (Celda de Gilbert CMOS), que esta formado por los transistores cross-coupled M1, M2, M3, M4 y por el par diferencial M15, M16. El par diferencial formado por M5, M6 implementa a las fuentes de corriente que fluyen en sentido contrario en los nodos de salida del multiplicador de acuerdo al macromodelo del divisor de voltaje completamente diferencial mostrado en la Figura 5.2. La señal de voltaje del denominador es aplicado a una de las entradas del circuito multiplicador, mientras que la señal del numerador es suministrada al par diferencial M5, M6. La salida diferencial en corriente del multiplicador es tomada a través de las celdas formadas por los transistores M7, M8, M11 y M9, M10, M12 que procesan estas corrientes en sus nodos de muy baja impedancia, permitiendo así una alta frecuencia de operación. Las corrientes posteriormente son retroalimentadas, convertidas a voltaje por el par de transistores conectados como diodo M13, M14; nuevamente proporcionadas en modo corriente por medio del par diferencial que forman M15, M16 y entrando a las fuentes de los pares de transistores cross-coupled M1, M2 y M3, M4 del *núcleo* multiplicador. Las corrientes de polarización para cada una de las celdas del circuito son generadas por los espejos de corriente simple que forman M21 con M17, M18, M19, M20 a partir de la única fuente de referencia  $I_{ref}$ .





**Figura 5.5. Divisor, topología 1(Retroalimentado por corriente).**

La salida de voltaje diferencial  $V_o$  del circuito divisor, topología 1 es obtenida a partir de la expresión del multiplicador (ecuación 5.18) y de un análisis a pequeña señal sin considerar a las capacitancias parásitas y efectos de orden superior (modulación de canal, reducción de la movilidad, etc.). Entonces, la salida de voltaje diferencial puede aproximarse a:

$$V_o \approx \frac{g_{m5,6} V_{num}}{\left(\frac{1}{Z_o}\right) + K_x \sqrt{2K} V_{den}} \quad (5.19)$$

donde:

$Z_o$  es la impedancia vista en los nodos de salida del divisor ( $V_{out1}$  y  $V_{out2}$ ),

dada por:  $(1/g_{m13,14}) // r_{o7,10}$ .

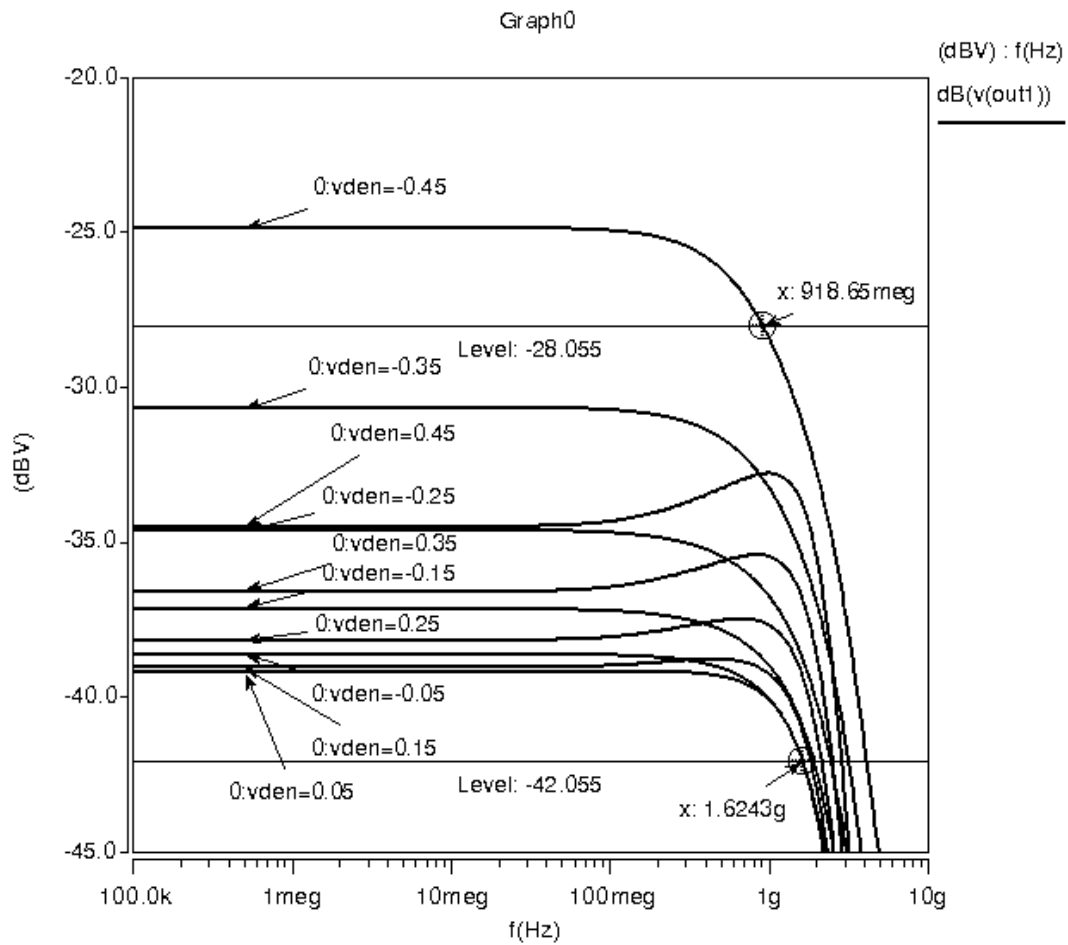
$$K = \frac{1}{2} \mu_n C_{ox} \left( \frac{W}{L} \right)_{1,2,3,4}$$

$$K_x = \sqrt{\frac{1}{2} \mu_n C_{ox} \left( \frac{W}{L} \right)_{15,16}}$$

$V_{num}$  y  $V_{den}$  son los voltajes de entrada diferenciales del numerador y denominador respectivamente.

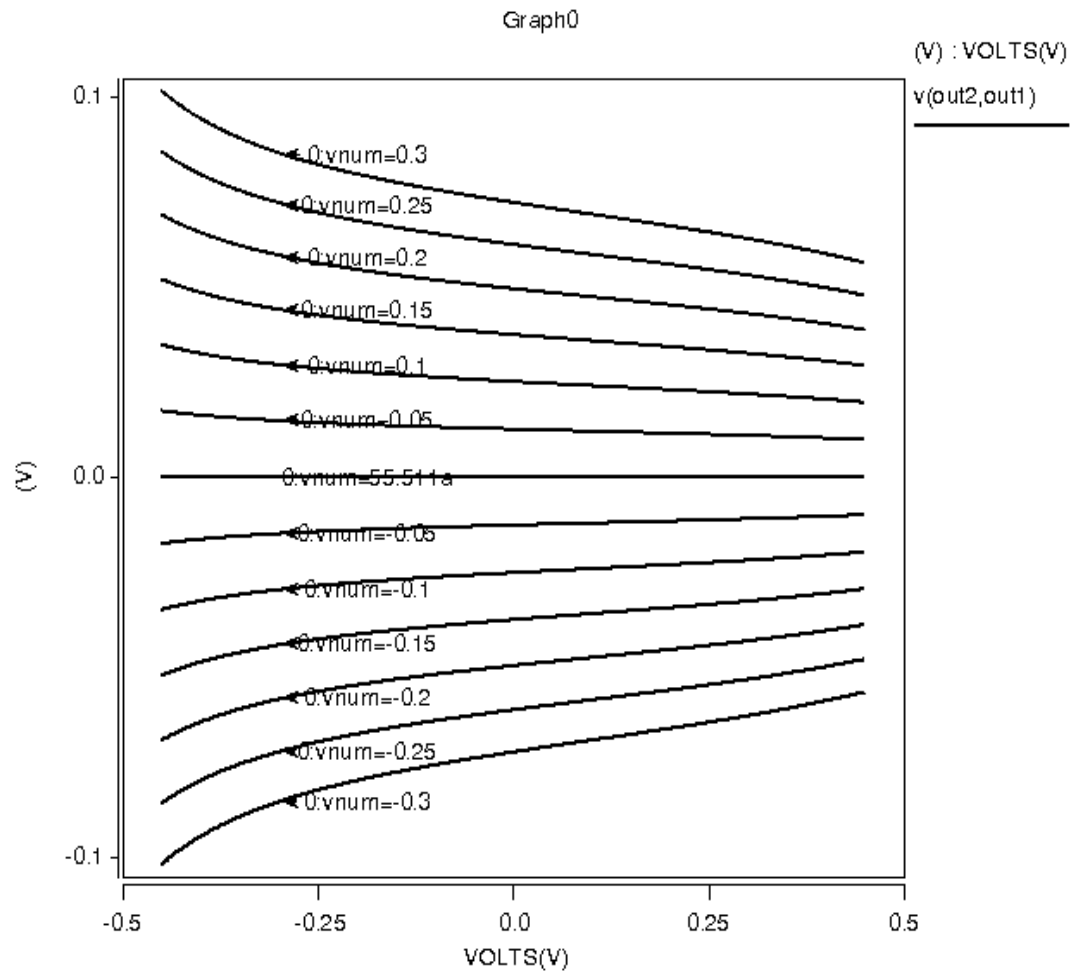
### 5.5.1. Resultados de simulación

En la Figura 5.6 se muestra la respuesta en frecuencia del circuito divisor, para uno de sus nodos de salida, donde se observa que la frecuencia de corte a -3dB varía entre los 918MHz hasta los 1.62GHz para cada uno de los diferentes valores de voltaje de  $V_{den}$  y para un valor constante de  $V_{num} = 200mV$ .



**Figura 5.6. Respuesta en frecuencia del divisor (topología 1).**

La transferencia en DC del divisor se muestra en la Figura 5.7. Se pueden visualizar las familias de curvas en los dos cuadrantes en los cuales opera el circuito para los diferentes valores de  $V_{num}$  y  $V_{den}$ . Se barrió el voltaje del numerador ( $V_{num}$ ) entre -0.3V a 0.3V en pasos de 0.05V. La división se realiza entre el rango  $V_{den}$  de -0.45V a 0.45V.



**Figura 5.7. Respuesta en DC del divisor (topología 1).**

Para observar en el dominio del tiempo la división que se esta realizando, en la Figura 5.8 se muestra la respuesta en el tiempo del divisor al ingresar de manera diferencial en  $V_{num}(+)$  y  $V_{num}(-)$  una señal sinusoidal con 200mV de amplitud pico a 200MHz cuando se proporcionan diferentes valores constantes de voltaje del denominador en las terminales  $V_{den}(+)$  y  $V_{den}(-)$  con valores que van desde -450mV a 450mV en pasos iguales de 225mV. En la

Tabla 5.1 se muestran las dimensiones de los transistores, voltajes y corriente de referencia de polarización.

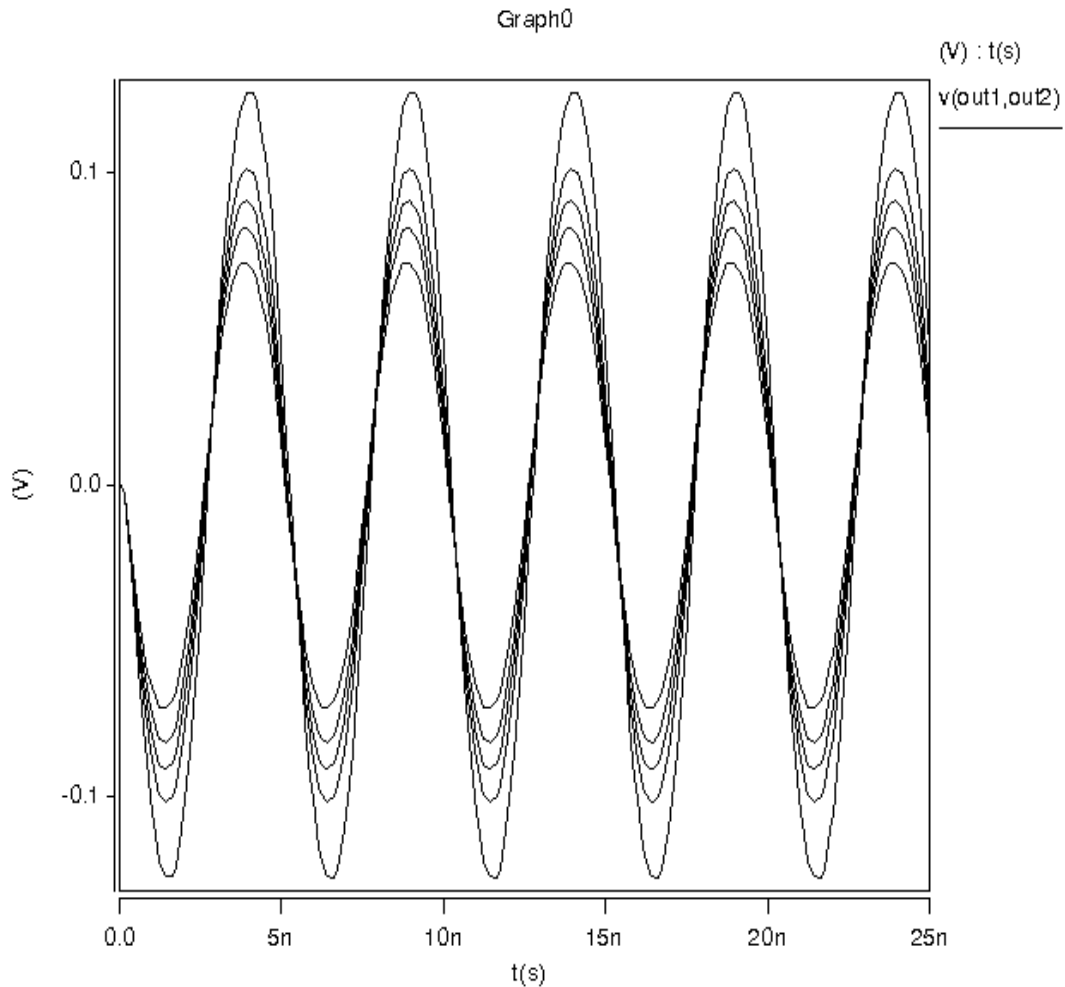


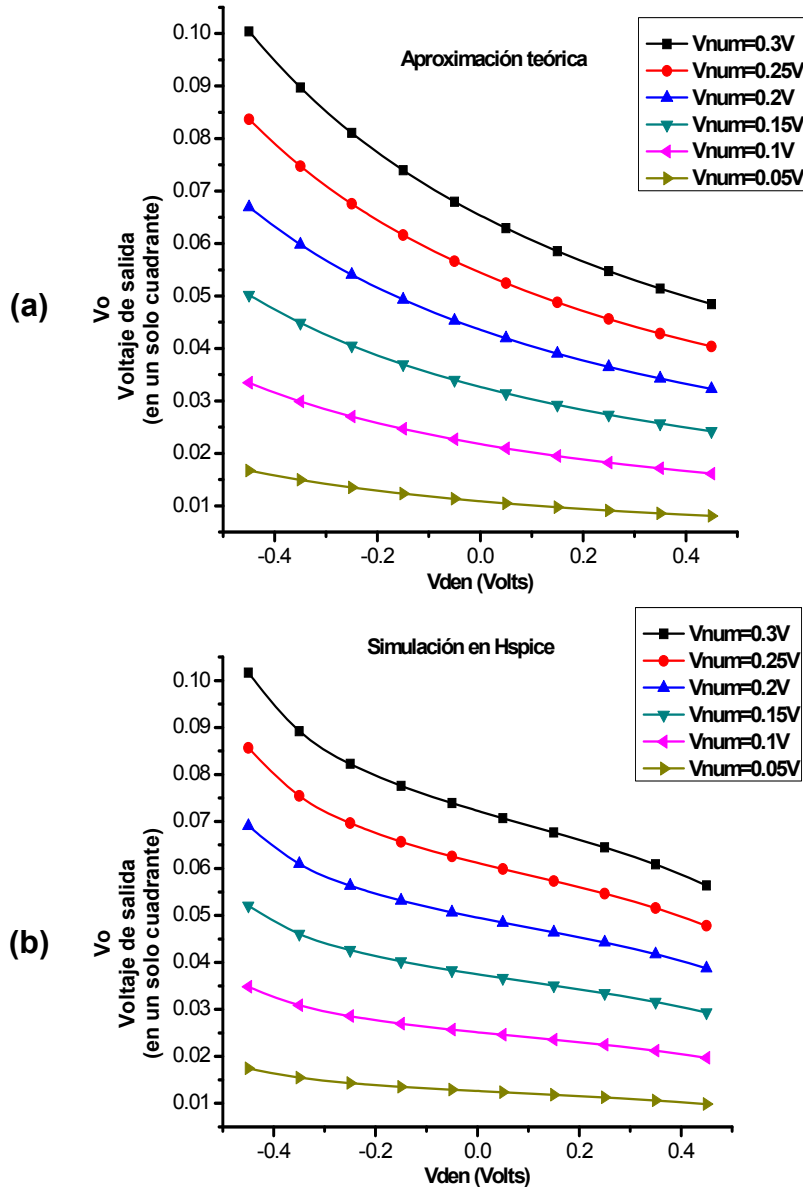
Figura 5.8. Respuesta en el tiempo del divisor (topología 1).

Tabla 5.1. Valores de los componentes del circuito divisor (topología 1).

	W/L		W/L
<b>M<sub>1,2,3,4,5,6</sub></b>	6u/0.4u	<b>M<sub>17,18</sub></b>	20u/0.4u
<b>M<sub>7,8,9,10</sub></b>	90u/0.4u	<b>M<sub>19</sub></b>	60u/0.4u
<b>M<sub>11,12</sub></b>	30u/0.4u	<b>M<sub>20</sub></b>	190u/0.4u
<b>M<sub>13,14,15,16</sub></b>	25u/0.4u	<b>M<sub>21</sub></b>	10u/0.4u
<b>I<sub>ref</sub></b>	50uA	<b>V<sub>bp</sub></b>	0.2V
<b>V<sub>DD</sub>=-V<sub>SS</sub></b>	1.65V		

**5.5.2. Curvas comparativas y análisis cualitativo**

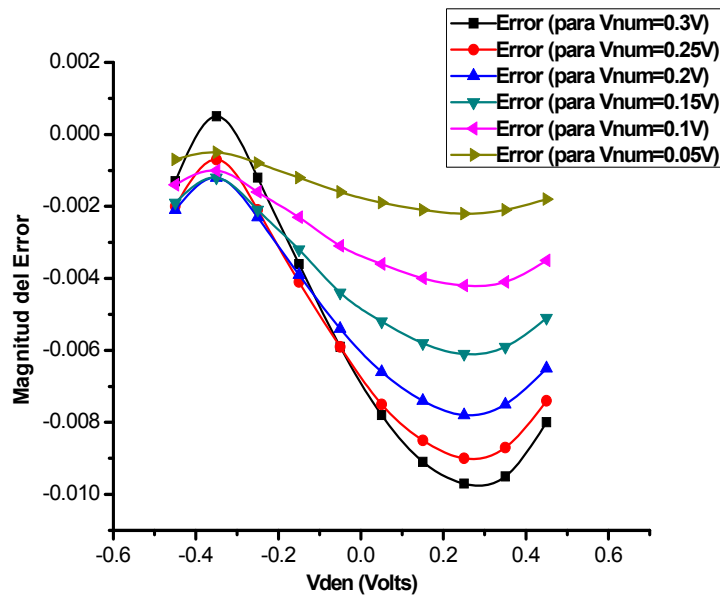
A continuación en esta sección se realiza una comparación cualitativa entre las curvas en DC obtenidas teóricamente contra las obtenidas a través de simulación en HSpice® con la finalidad de conocer el desempeño del circuito divisor en términos de precisión.



**Figura 5.9. Curvas en DC del divisor, topología 1. (a) Aproximación teórica. (b) Curvas obtenidas por simulación en HSpice®.**

La Figura 5.9 muestra comparaciones entre el voltaje de salida  $V_o$  en un solo cuadrante del circuito divisor (ya que la operación en ambos cuadrantes es simétrica se tiene la misma información para ambos cuadrantes) contra el voltaje del denominador  $V_{den}$  para los valores de voltaje del numerador que se muestran en las gráficas. La gráfica (a) muestra las curvas de la aproximación teórica del divisor (obtenidas con la ecuación 5.19) y la gráfica (b) muestra las curvas en DC del circuito obtenidas con el simulador HSpice®.

En la gráfica 5.10 se muestra también la magnitud del error que existe entre la aproximación teórica y la simulación en HSpice®.



**Figura 5.10. Magnitud del error entre la aproximación teórica y la simulación en HSpice® del divisor, topología 1.**

Posteriormente, se realiza un análisis de la THD (Total Harmonic Distortion) o distorsión armónica total, de la relación señal a ruido SNR (Signal Noise

Ratio) y del rango dinámico libre de espurias o SFDR (Spurious Free Dynamic Range). Para obtener la THD, la SNR y el SFDR se obtuvo el espectro de Fourier a la salida del circuito divisor, éste se muestra en la Figura 5.11.

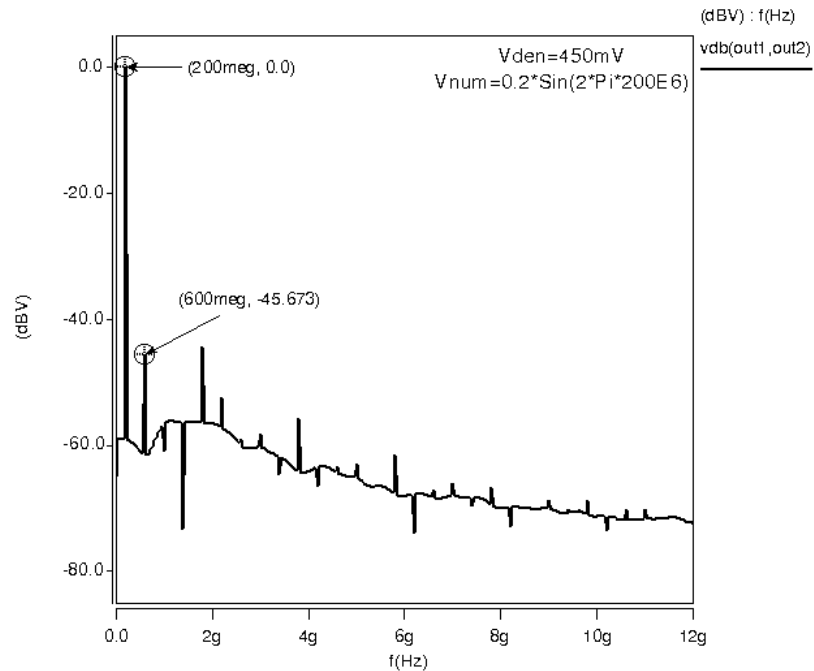


Figura 5.11. Espectro de Fourier del circuito divisor, topología 1.

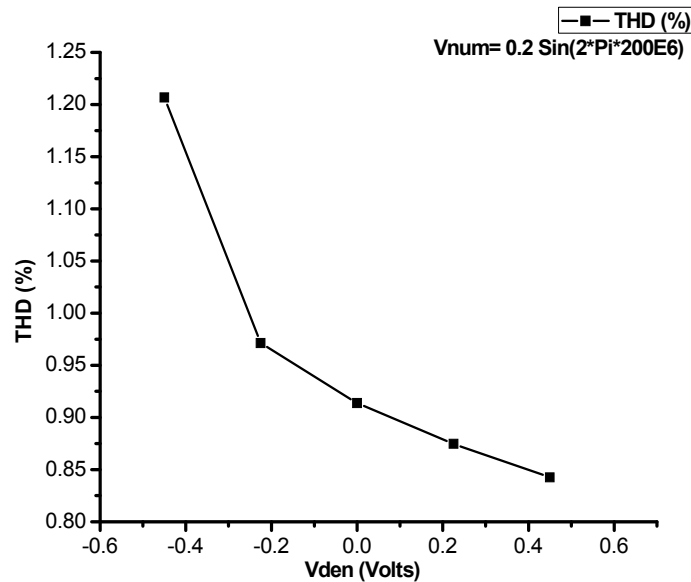
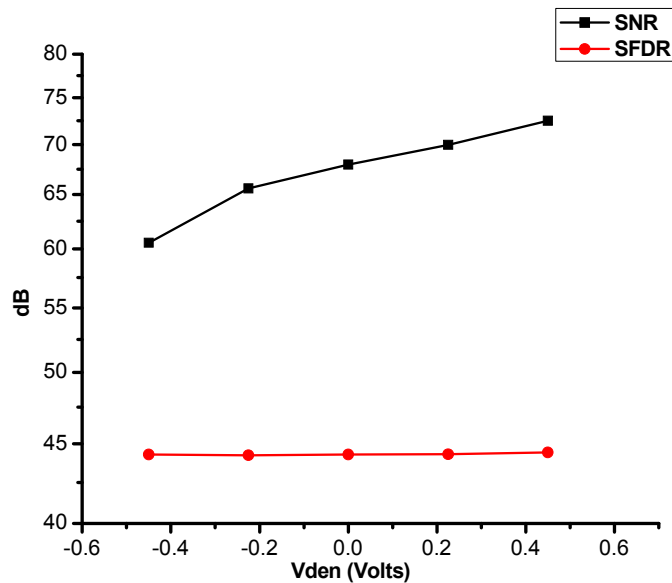


Figura 5.12. Porcentaje de la THD (distorsión armónica total) del divisor, topología 1 contra  $V_{den}$ .



La Figura 5.12 muestra la THD en términos de porcentaje cuando la señal del numerador es constante tanto en amplitud como en frecuencia ( $V_{num} = 0.2 \text{ Sin}(2\pi \times 200 \text{E}6)$ ) y cuando el voltaje del denominador  $V_{den}$  se encuentra variando entre  $-0.45\text{V}$  a  $0.45\text{V}$ . Nótese, que la distorsión del circuito disminuye conforme el voltaje del denominador se incrementa positivamente, estando su valor mínimo en alrededor de  $0.85\%$ .

Finalmente, en la Figura 5.13 se muestra una gráfica de la relación señal a ruido (SNR) y del rango dinámico libre de espurias (SFDR) en decibeles contra el voltaje  $V_{den}$  teniendo las mismas condiciones del voltaje  $V_{num}$  que para el cálculo de la THD.



**Figura 5.13. Relación señal a ruido (SNR) y rango dinámico libre de espurias (SFDR) contra  $V_{den}$  del divisor, topología 1.**

## 5.6 Divisor, topología 2

La segunda topología de circuito divisor que se propone hace uso del circuito multiplicador de cuatro cuadrantes que se describió en el Capítulo 3 sección 3.3.3. El esquemático del divisor se muestra en la Figura 5.14. El *núcleo* multiplicador esta formado por los transistores M1, M2, M3, M4 y por el par de estructuras Flipped-Voltage Follower (FVF) (M15, M17 y M16, M18). La salida diferencial en corriente es tomada, al igual que en el divisor de la topología 1 en los nodos de muy baja impedancia (fuentes de M11, M12 y drenajes de M8, M9). M7 y M10 procesan la corriente y la retroalimentan de nueva cuenta al *núcleo* multiplicador en forma de voltaje a través del par de transistores en conexión como diodo M13 y M14, respectivamente. Como en el caso del divisor anterior, un par diferencial formado por los transistores M5 y M6 manejan el voltaje diferencial del numerador en sus compuertas, proporcionando o cediendo corriente en las terminales de salida del multiplicador. La salida en voltaje del divisor es tomada de manera diferencial entre los nodos  $V_{out1}$  y  $V_{out2}$ .

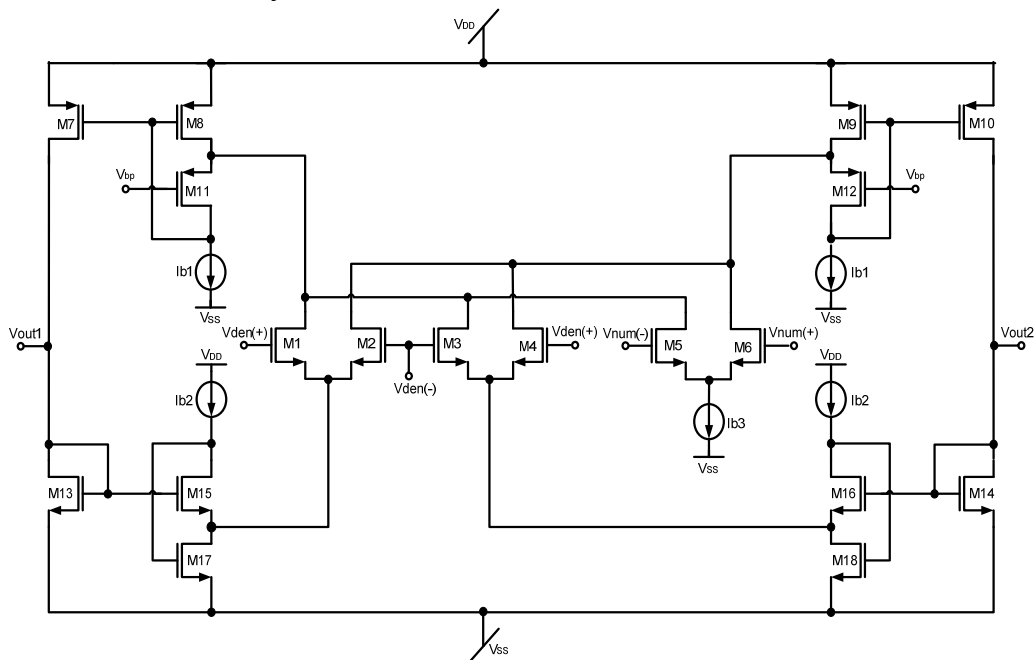


Figura 5.14. Divisor, topología 2.

Realizando un análisis a pequeña señal considerando la expresión de la celda multiplicadora (ecuación 3.2), sin incluir capacitancias parásitas y efectos de segundo orden se obtiene una aproximación para el voltaje diferencial de salida  $V_o$  del circuito divisor, topología 2 dada aproximadamente por la siguiente expresión:

$$V_o \approx \frac{g_{m5,6} V_{num}}{\left(\frac{1}{Z_o}\right) + 2V_{den} K K_f} \quad (5.20)$$

donde:

$$Z_o = \left(\frac{1}{g_{m13,14}}\right) // r_{o7,10}$$

$$K = \mu_n C_{ox} \left(\frac{W}{L}\right)_{1,2,3,4}$$

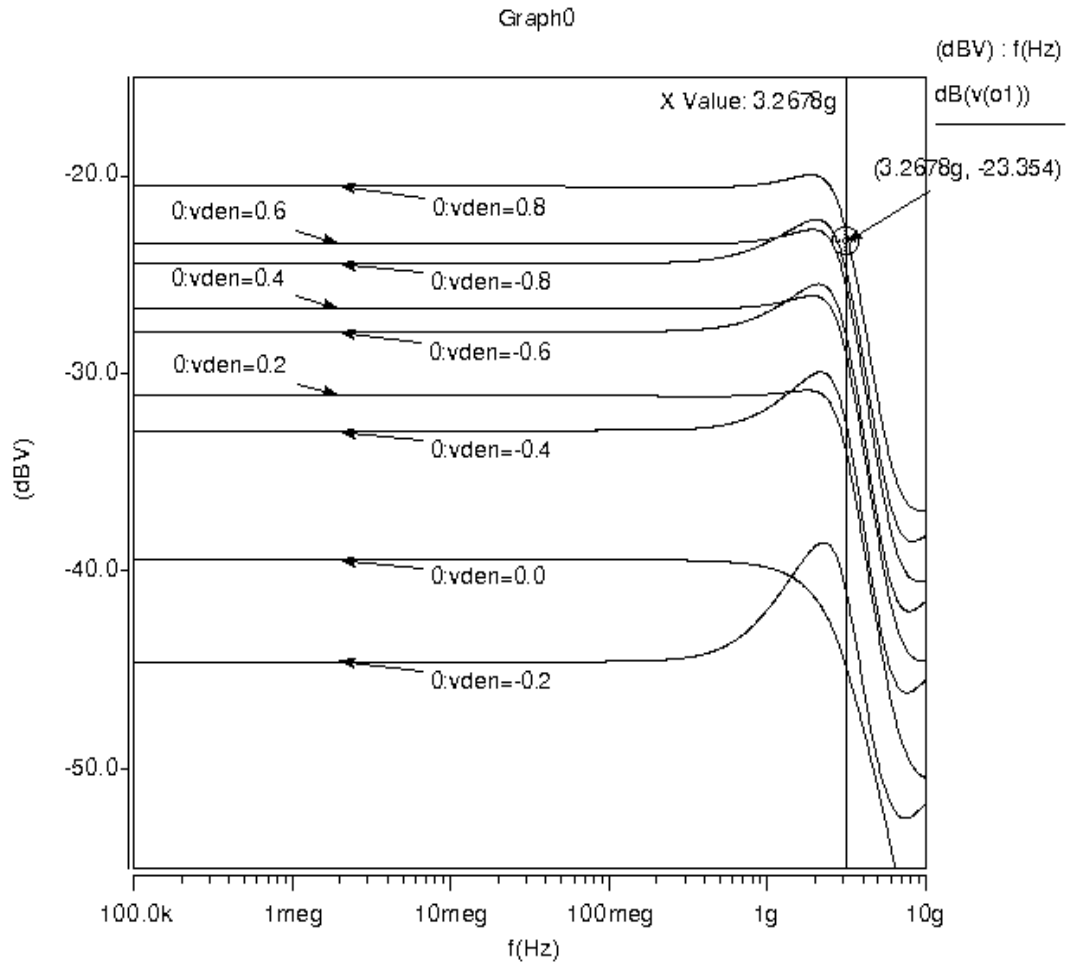
$K_f$  es la ganancia de voltaje de las estructuras Flipped-Voltage-Follower (FVF), la cual es muy cercana a la unidad.

$V_{num}$  y  $V_{den}$ , son los voltajes diferenciales de entrada del numerador y denominador respectivamente.

### 5.6.1. Resultados de simulación

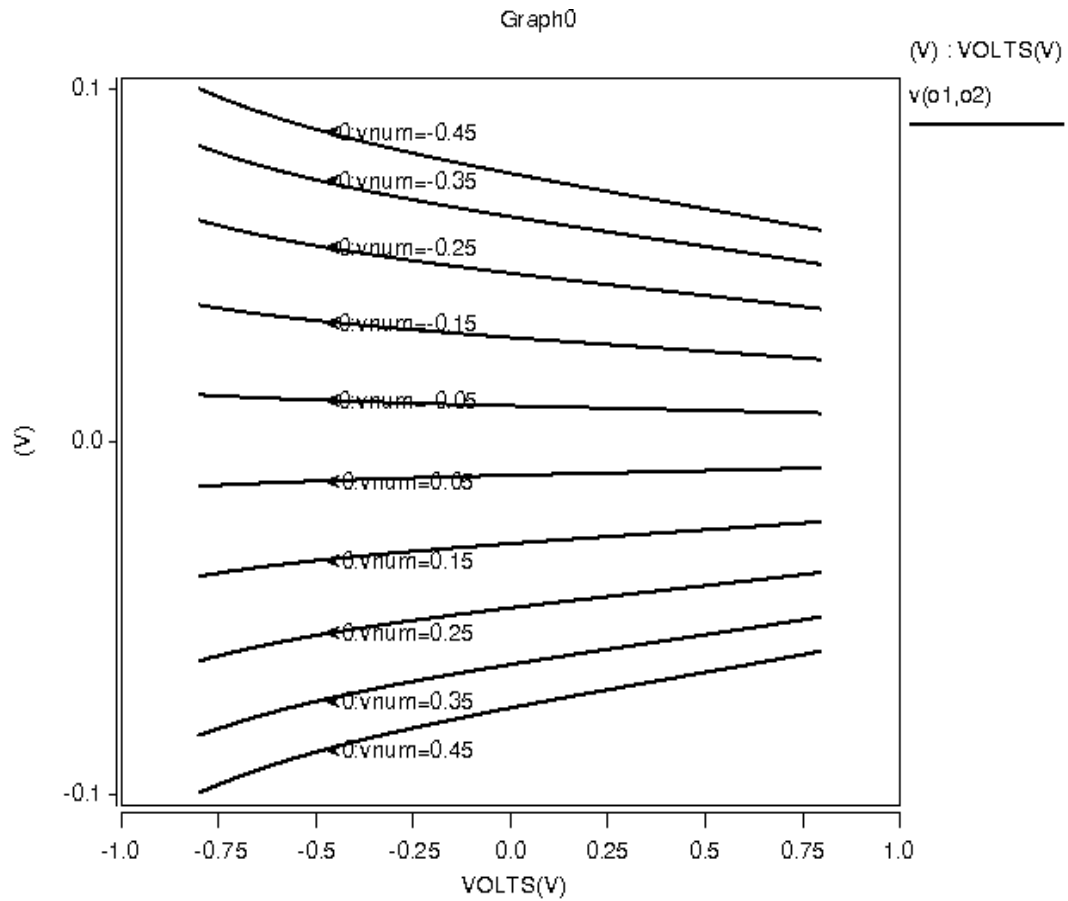
La respuesta en frecuencia obtenida para la segunda topología de circuito divisor para uno de sus nodos de salida se muestra en la Figura 5.15. Para

cada uno de los valores de voltaje  $V_{den}$  que se observan en la gráfica, y para un valor constante del numerador  $V_{num}$  fijo en 450mV, se puede observar que la frecuencia de corte a -3dB se encuentra en alrededor de 3.2GHz.



**Figura 5.15. Respuesta en frecuencia del divisor (topología 2).**

En la Figura 5.16 se muestra el comportamiento en DC de éste divisor, se observan las familias de curvas obtenidas para valores de  $V_{num}$  en el rango de: -0.45V a 0.45V en pasos de 0.1V y para un barrido de valores de  $V_{den}$  que va de: -800mV a 800mV.



**Figura 5.16. Respuesta en DC del divisor (topología 2).**

En la Figura 5.17 se muestra la respuesta en el tiempo del divisor. Ingresando de manera diferencial y manteniendo constante una señal sinusoidal de 450mV de amplitud pico a una frecuencia de 200MHz entre las entradas:  $V_{num}(+)$  y  $V_{num}(-)$  y al mismo tiempo proporcionando en las terminales:  $V_{den}(+)$  y  $V_{den}(-)$  valores constantes de voltaje que van desde -800mV a 800mV en pasos de 400mV.

En la Tabla 5.2 se muestran las dimensiones de los transistores, voltajes y corrientes de polarización.

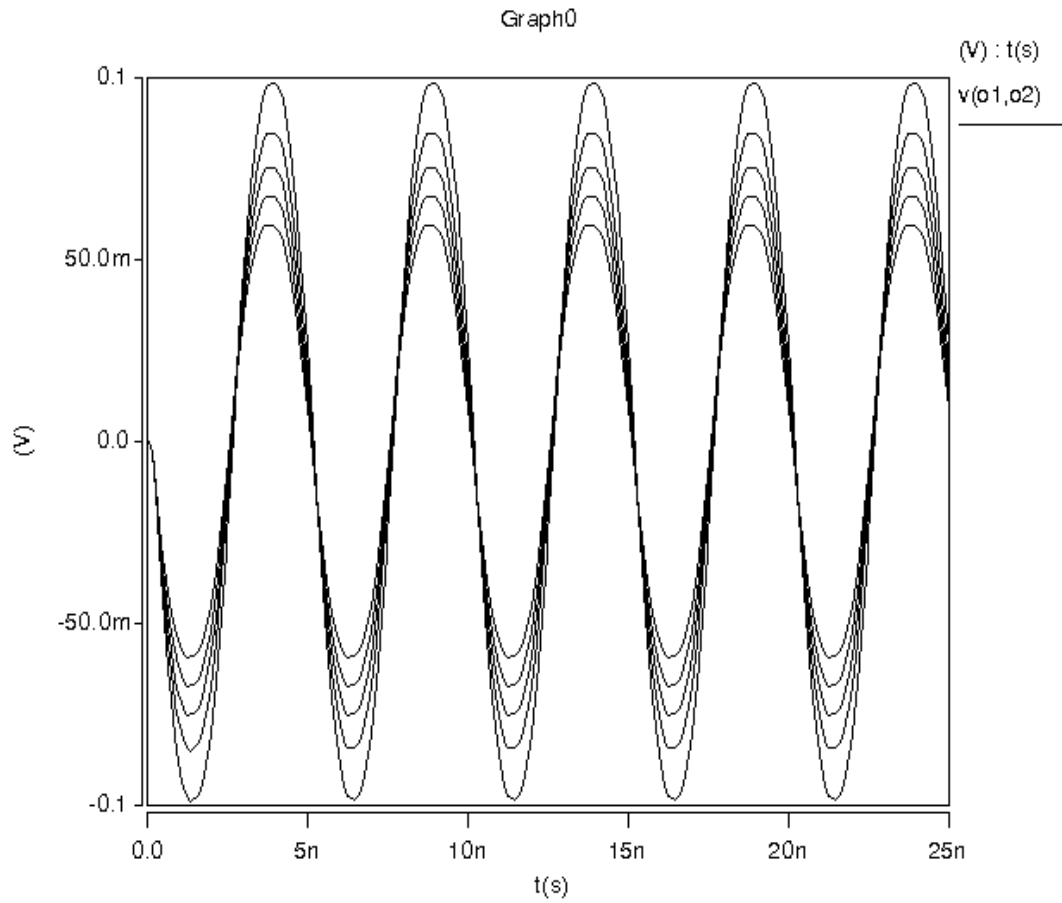


Figura 5.17. Respuesta en el tiempo del divisor (topología 2).

Tabla 5.2. Valores de los componentes del circuito divisor (topología 2).

	W/L		W/L
<b>M<sub>1,2,3,4,5,6</sub></b>	6u/0.8u	<b>M<sub>13,14</sub></b>	14u/0.4u
<b>M<sub>7,8,9,10</sub></b>	88u/0.4u	<b>M<sub>15,16</sub></b>	10u/0.4u
<b>M<sub>11, 12,17,18,</sub></b>	40u/0.4u	<b>I<sub>b1</sub></b>	383uA
<b>I<sub>b2</sub></b>	185.2uA	<b>I<sub>b3</sub></b>	176.7uA
<b>V<sub>DD</sub>=-V<sub>SS</sub></b>	1.65V	<b>V<sub>bp</sub></b>	0.1V

### 5.6.2. Curvas comparativas y análisis cualitativo

La comparación cualitativa entre las curvas en DC obtenidas teóricamente (para un solo cuadrante) contra las obtenidas a través de simulación en HSpice® del circuito divisor, topología 2; se muestra en la Figura 5.18.

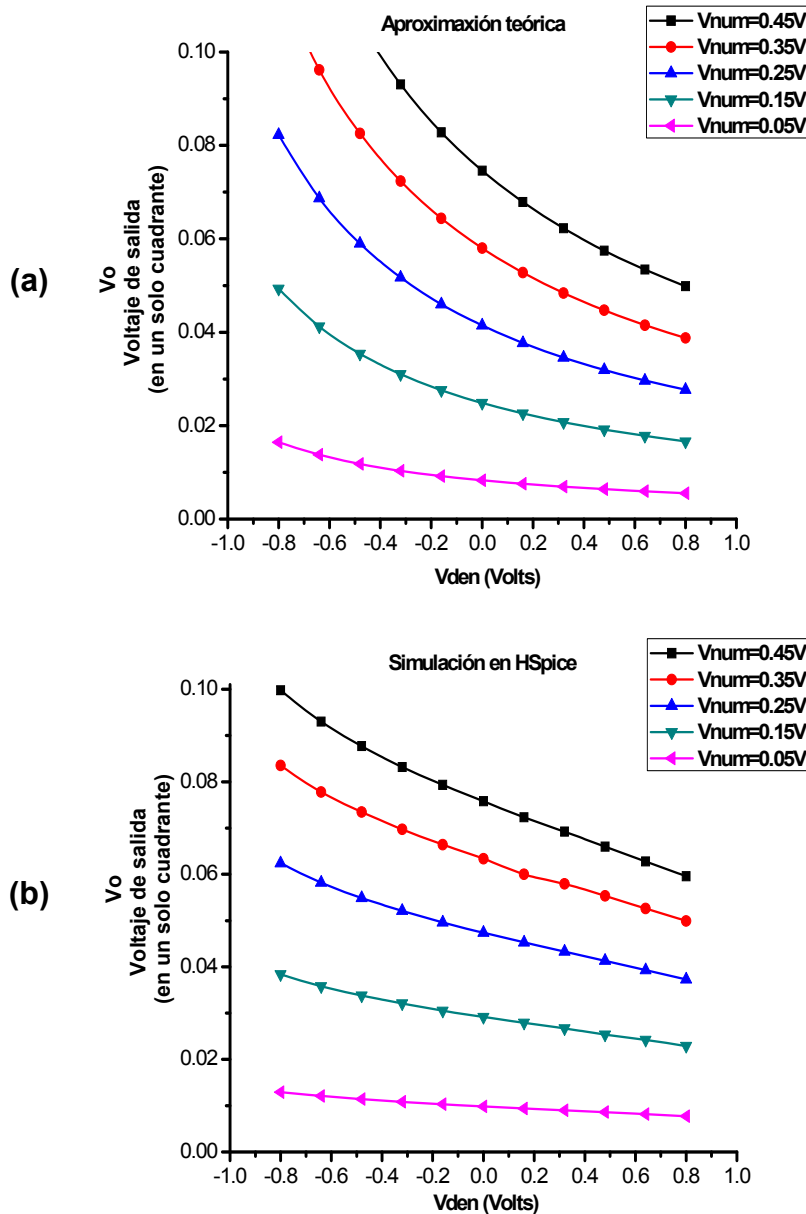
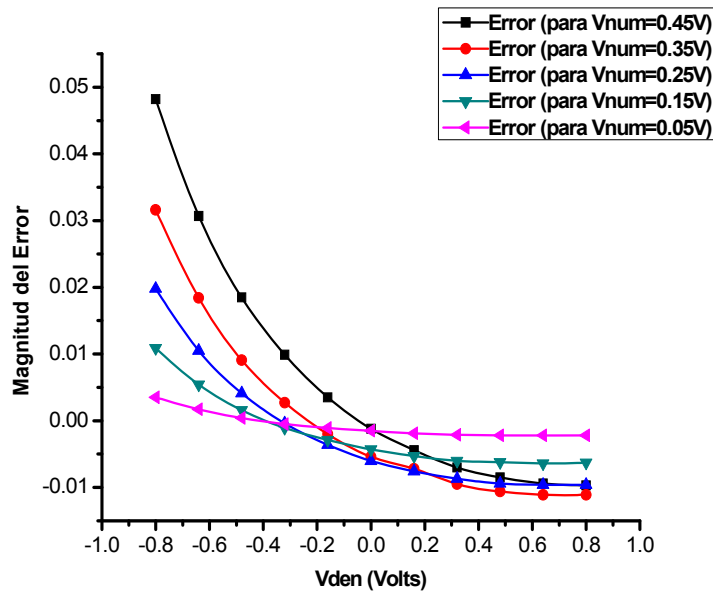


Figura 5.18. Curvas en DC del divisor, topología 2. (a) Aproximación teórica. (b) Curvas obtenidas por simulación en HSpice®.

En la Figura 5.18, la gráfica (a) muestra las curvas de la aproximación teórica del divisor (de acuerdo a la ecuación 5.20) y la gráfica (b) muestra las curvas en DC del circuito obtenidas con el simulador HSpice®.

En la gráfica 5.19 se muestra la magnitud del error que existe entre la aproximación teórica y la simulación hecha en HSpice®.



**Figura 5.19. Magnitud del error entre la aproximación teórica y la simulación en HSpice® del divisor, topología 2.**

El espectro de Fourier a la salida del divisor se muestra en la Figura 5.20. Las gráficas de la distorsión armónica total (THD) dada en porcentaje, la relación señal a ruido (SNR) y el rango dinámico libre de espurias (SFDR) dado en decibeles contra el voltaje del denominador  $V_{den}$ , se muestran en las Figuras 5.21 y 5.22, respectivamente.



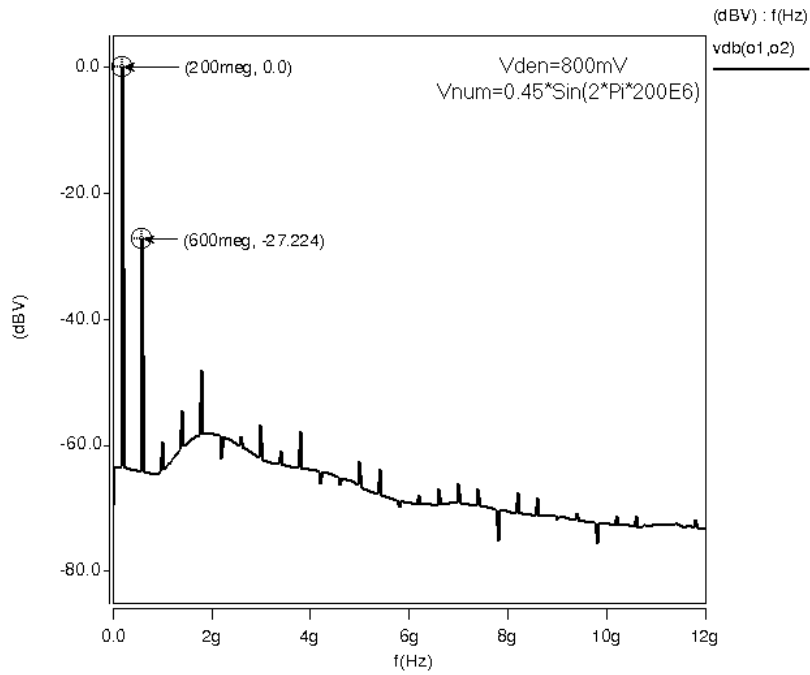


Figura 5.20. Espectro de Fourier del circuito divisor, topología 2.

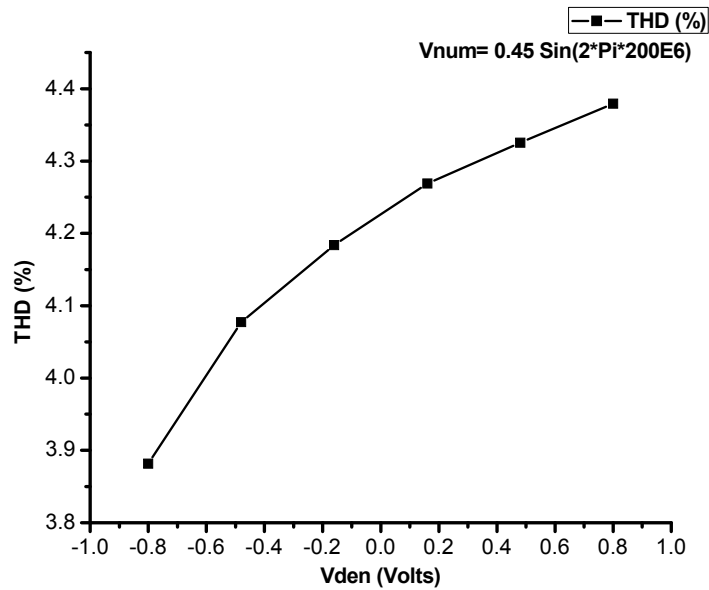
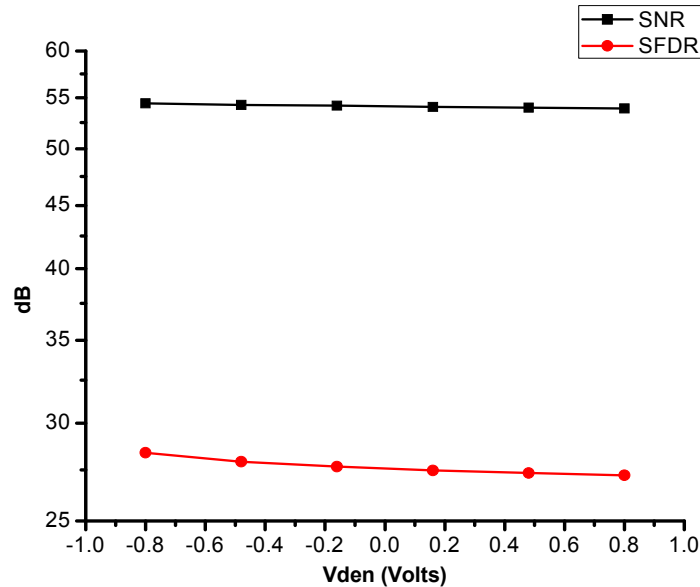


Figura 5.21. Porcentaje de laTHD (distorsión armónica total) del divisor, topología 2 contra  $V_{den}$ .

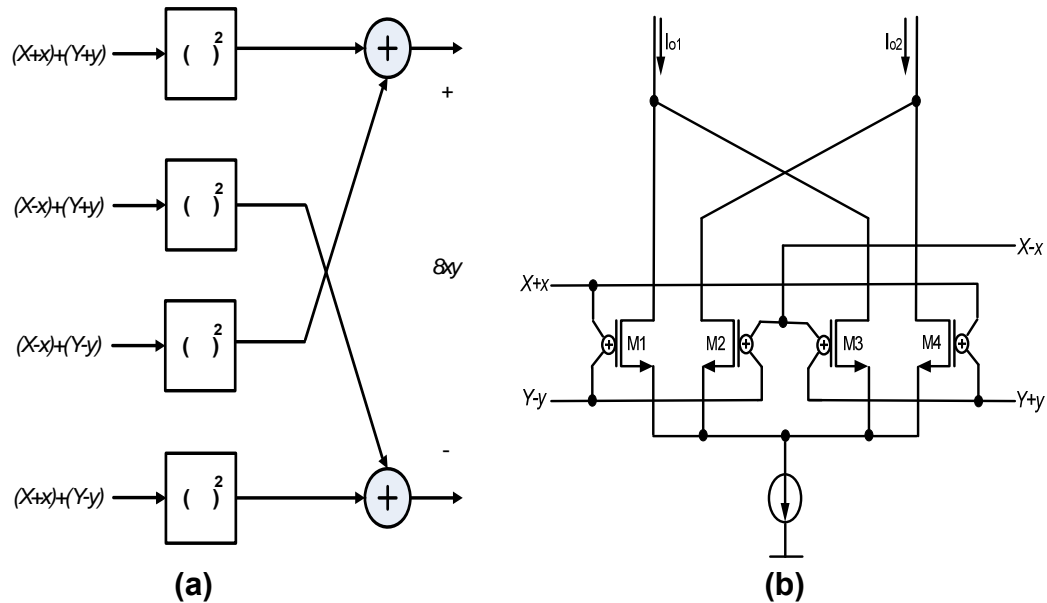


**Figura 5.22.** Realación señal a ruido (SNR) y rango dinámico libre de espurias (SFDR) contra  $V_{den}$  del divisor, topología 2.

## 5.7 Divisor, topología 3

### 5.7.1 El núcleo multiplicador

Una evolución de la idea básica para la implementación del circuito divisor a partir de un bloque multiplicador, consiste en utilizar una arquitectura de circuito multiplicador que se basa en dispositivos cuadráticos, en circuitos de suma de voltaje y de un esquema de cancelación de la no-linealidad como el que se muestra en la Figura 5.23(a). Para realizar la operación de multiplicación de cuatro cuadrantes nuevamente se emplean cuatro transistores con configuración cross-coupled, pero donde ahora se realiza la suma de voltajes como se presenta en la Figura 5.23(b).



**Figura 5.23. (a) Arquitectura básica del multiplicador de cuatro cuadrantes usando dispositivos cuadráticos, que simultáneamente cancelan todas las componentes de alto orden y componentes de modo común (X,Y). (b) Multiplicador usando sumadores de voltaje [36].**

Nótese, que las letras minúsculas representan a componentes de pequeña señal y las letras mayúsculas representan a componentes de DC.

El multiplicador tiene dos entradas:  $x$ ,  $y$ ; por lo que existen cuatro posibles combinaciones de multiplicación,  $(x,y)$ ,  $(-x,y)$ ,  $(-x,-y)$  y  $(x,-y)$ . La arquitectura de la Figura 5.23(a) logra la operación de multiplicación y simultáneamente cancela todas las componentes de alto orden, no-linealidad junto con las componentes de modo común (X,Y), de acuerdo a la expresión [36]:

$$\left[ \left\{ (X+x)+(Y+y) \right\}^2 + \left\{ (X-x)+(Y-y) \right\}^2 \right] - \left[ \left\{ (X-x)+(Y+y) \right\}^2 + \left\{ (X+x)+(Y-y) \right\}^2 \right] = 8xy \tag{5.21}$$

El esquema de multiplicador de cuatro cuadrantes que se muestra en la Figura 5.23 (b) usa como dispositivos cuadráticos a los 4 transistores MOS (M1, M2, M3, M4), portando cada uno de ellos una corriente de drenaje  $I_{d1-4}$  que esta dada por el modelo ideal del transistor MOS operando en su región de saturación. Entonces, las expresiones para cada una de estas corrientes de drenaje son determinadas por:

$$I_{d1} = \frac{K}{2} [V_{GS1} - V_T]^2 \quad (5.22)$$

$$I_{d2} = \frac{K}{2} [V_{GS2} - V_T]^2 \quad (5.23)$$

$$I_{d3} = \frac{K}{2} [V_{GS3} - V_T]^2 \quad (5.24)$$

$$I_{d4} = \frac{K}{2} [V_{GS4} - V_T]^2 \quad (5.25)$$

donde:  $V_{GS} > V_T$ ,  $V_{DS} > V_{GS} - V_T$  y se asume que todos los transistores tienen el mismo parámetro de transconductancia  $K = \mu_n C_{ox} \frac{W}{L}$  y el mismo voltaje de umbral  $V_T$ .

Posteriormente, se obtienen las corrientes de salida  $I_{o1}$  e  $I_{o2}$  de la estructura multiplicadora, que son expresadas como:

$$I_{o1} = \frac{K}{2} [(V_{GS1} - V_T)^2 + (V_{GS3} - V_T)^2] \quad (5.26)$$

$$I_{o2} = \frac{K}{2} [(V_{GS2} - V_T)^2 + (V_{GS4} - V_T)^2] \quad (5.27)$$

Realizando el desarrollo algebraico de las ecuaciones 5.26 y 5.27, tenemos:

$$I_{o1} = \frac{K}{2} \left[ V_{G1}^2 - 2V_{G1}V_{S1} + V_{S1}^2 - 2(V_{G1}V_T - V_{S1}V_T) + V_T^2 \right. \\ \left. + V_{G3}^2 - 2V_{G3}V_{S3} + V_{S3}^2 - 2(V_{G3}V_T - V_{S3}V_T) + V_T^2 \right] \quad (5.28)$$

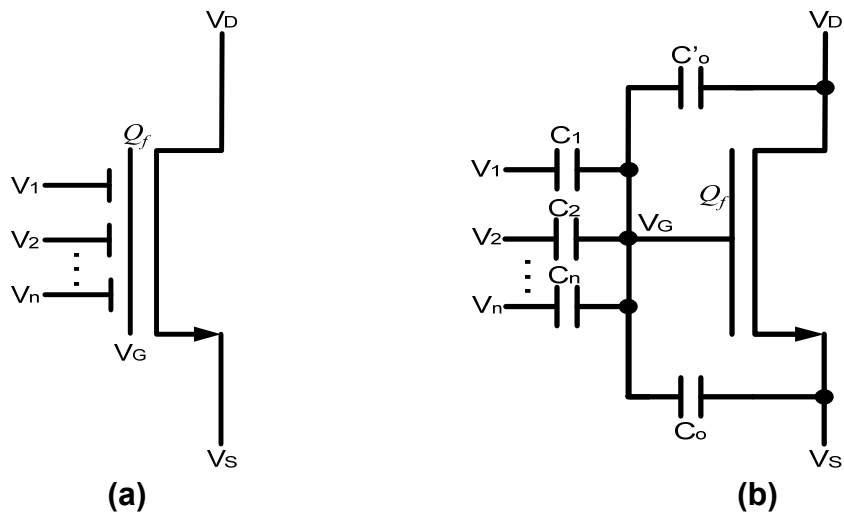
$$I_{o2} = \frac{K}{2} \left[ V_{G2}^2 - 2V_{G2}V_{S2} + V_{S2}^2 - 2(V_{G2}V_T - V_{S2}V_T) + V_T^2 \right. \\ \left. + V_{G4}^2 - 2V_{G4}V_{S4} + V_{S4}^2 - 2(V_{G4}V_T - V_{S4}V_T) + V_T^2 \right] \quad (5.29)$$

Ahora, ya que todos los transistores comparten la misma terminal de fuente, el voltaje  $V_{S1-4}$  será el mismo; tomando esto en consideración y expresando los voltajes de compuerta de cada transistor ( $V_{G1-4}$ ) en términos de las componentes de modo común y de pequeña señal se obtiene la corriente de salida que está dada por [36]:

$$I_o = I_{o2} - I_{o1} = 4Kx_y \quad (5.30)$$

### 5.7.2. Transistores de compuerta flotante

Una alternativa interesante que puede ser usada para realizar la suma de voltajes en el multiplicador de la Figura 5.23(b) es mediante el uso de los transistores de compuerta flotante (FGMOS), los cuales se caracterizan por tener múltiples compuertas que son formadas sobre una segunda capa de polisilicio. El símbolo y el circuito equivalente de un transistor de compuerta flotante de N entradas se muestra en las Figuras 5.24 (a) y (b), respectivamente.



**Figura 5.24. Transistor de compuerta flotante de múltiples entradas (MIFGMOS). (a) Símbolo esquemático. (b) Circuito equivalente.**

El circuito equivalente para un transistor MOS de compuerta flotante de múltiples entradas (MIFGMOS), incluye una capacitancia entre cada una de las entradas y la compuerta flotante,  $C_1, C_2, \dots, C_n$ , las capacitancias entre la compuerta flotante y las terminales del drenaje,  $C_{fgd}$  y fuente,  $C_{fgs}$ , respectivamente (como en un transistor MOS convencional), pero en el MIFGMOS el voltaje de la compuerta flotante ( $V_G$ ) no es controlado directamente del todo, debido a que existe carga estática inicial desconocida en la compuerta flotante ( $Q_f$ ).

La mejor manera de incorporar un transistor de compuerta flotante como parte de un sistema es en la configuración de lazo cerrado, debido a que la carga sobre la compuerta flotante puede ser difícil de controlar.

### 5.7.3. Modelo de gran señal del FG MOS

El modelo a gran señal del transistor de compuerta flotante MOS se obtiene primero considerando el voltaje sobre la compuerta flotante como función de los voltajes en los nodos que están capacitivamente acoplados sobre ésta.

El circuito equivalente de la Figura 5.24 (b) incluye una capacitancia entre cada una de las entradas y la compuerta flotante  $C_1, C_2, \dots, C_n$ . Las capacitancias  $C_{gs}$  y  $C_{gd}$  corresponden a  $C_o$  y  $C'_o$ , respectivamente. Considerando la ecuación de conservación de carga para el nodo de la compuerta flotante, se tiene:

$$C_1(V_1 - V_G) + C_2(V_2 - V_G) + \dots + C_n(V_n - V_G) - C_o(V_G - V_S) - C'_o(V_G - V_D) = Q_f \quad (5.31)$$

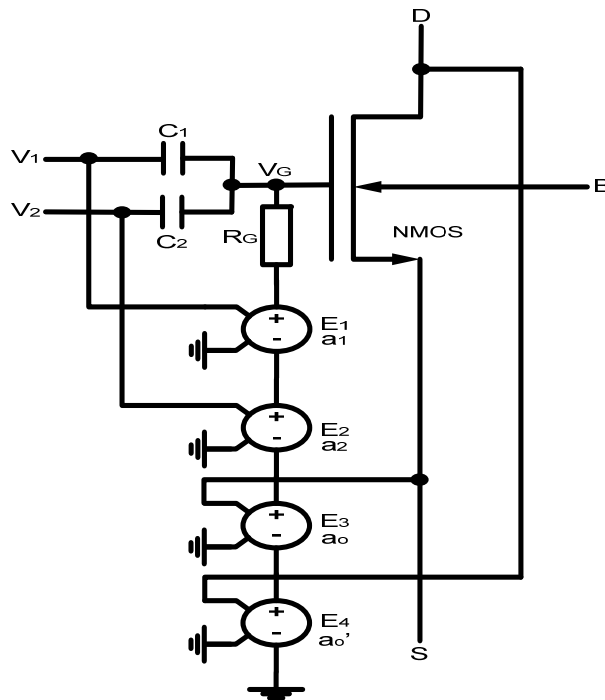
donde:  $V_G$ ,  $V_S$  y  $V_D$  son los voltajes de la compuerta flotante, fuente y drenaje, respectivamente y  $Q_f$  es la carga neta sobre la compuerta flotante.

Asumiendo en la ecuación 5.31 que no existe carga estática inicial sobre la compuerta flotante ( es decir  $Q_f = 0$  ), se obtiene una expresión que se usa para derivar un circuito equivalente que permite el cálculo del punto de operación en DC para el nodo de la compuerta flotante y que satisface la ecuación de conservación de carga. Así, la ecuación para el voltaje de la compuerta flotante queda determinado por:

$$V_G = a_1 V_1 + a_2 V_2 + \dots + a_n V_n + a_0 V_S + a'_0 V_D$$

$$\text{Con: } a_i = \frac{C_i}{(C_o + C'_o + C_1 + C_2 + \dots + C_n)} \text{ para } i \in \{0, 1, 2, \dots, n\} \quad (5.32)$$

El modelo de circuito equivalente del transistor de compuerta flotante de dos entradas usado en las simulaciones se muestra en la Figura 5.25. El modelo incluye a las fuentes de voltaje  $E_{1,\dots,4}$  controladas por los voltajes de las compuertas  $V_1, V_2$ , el voltaje de la fuente  $V_S$  y por el voltaje de drenaje  $V_D$ , respectivamente. Estas fuentes controladas son necesarias para fijar el voltaje en la compuerta flotante  $V_G$  de acuerdo a la ecuación 5.32. Además, cada una de las fuentes controladas tienen sus respectivos coeficientes de ganancia  $a_i$ . La resistencia  $R_G$  es añadida en el modelo con un valor muy grande (del orden de los  $G\Omega$ ) con la finalidad de que no fluya corriente a través de ésta, ni de las fuentes de voltaje controladas  $E_{1,\dots,4}$ , pero sí permitiendo fijar el voltaje en el nodo de la compuerta flotante  $V_G$ .



**Figura 5.25. Modelo de un transistor de compuerta flotante de dos entradas.**



El factor de control de ganancia  $a_i$  para cada fuente de voltaje controlada presente en el modelo de la Figura 5.25 corresponde a la razón de la capacitancia  $C_i$  asociada a cada voltaje de control ( $V_1$ ,  $V_2$ ,  $V_S$  y  $V_D$ ) sobre la capacitancia total:  $C_T = C_o + C'_o + C_1 + C_2$ . El modelo también asume que  $C_o$  y  $C'_o$  son aproximadamente constantes, lo que es una buena aproximación cuando el transistor está trabajando en saturación y triodo. Para el caso en que  $C_o, C'_o \ll C_1, C_2$  entonces:  $C_T \approx C_1 + C_2$  y las variaciones en  $C_o$  y  $C'_o$  cuando el transistor cambia de saturación a triodo o incluso corte no causan cambios significativos en los coeficientes de ganancia  $a_i$ .

#### 5.7.4. Amplificador de transimpedancia

En la Figura 5.26 se muestra el amplificador transimpedancia (TIA) que fue utilizado en la etapa de salida del circuito divisor, topología 3.

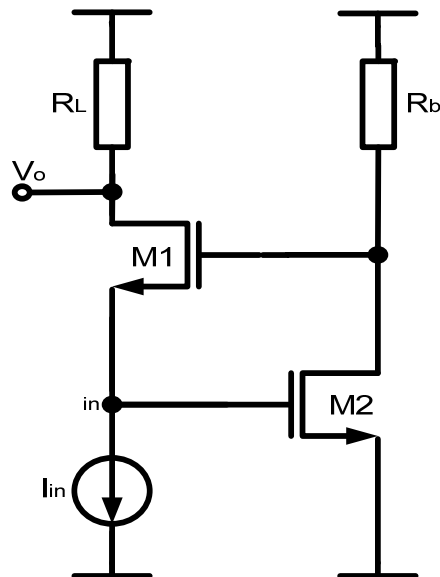
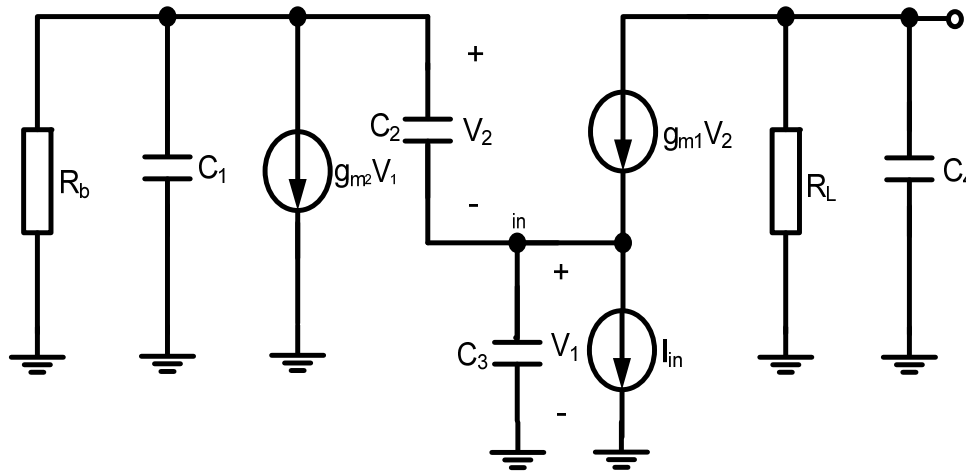


Figura 5.26. Amplificador de transimpedancia (TIA).

La impedancia de entrada del TIA de la Figura 5.26 puede ser aproximada de acuerdo a la ecuación 5.33 [48].

$$R_{in} \cong \left( \frac{1}{g_{m1}(1+g_{m2}R_b)} \right) \quad (5.33)$$

Para encontrar la respuesta en frecuencia, en la Figura 5.27 se muestra el circuito equivalente a pequeña señal simplificado del TIA.



**Figura 5.27. Circuito equivalente a pequeña señal simplificado del TIA.**

Al realizar un análisis directo al circuito equivalente a pequeña señal de la Figura 5.27, las ecuaciones nodales que se obtienen son:

$$V_1 \left( \frac{1}{R_b} + sC_1 + g_{m2} \right) + V_2 \left( \frac{1}{R_b} + s(C_1 + C_2) \right) = 0 \quad (5.34)$$

$$V_1(sC_3) - V_2(sC_2 + g_{m1}) = -I_{in} \quad (5.35)$$

$$V_o \left( \frac{1}{R_L} + sC_4 \right) = -g_{m1} V_2 \quad (5.36)$$

donde:

- $C_1$  es la capacitancia total vista en el drenaje de M2 a tierra, la cual incluye a las capacitancias parásitas  $C_{gb1}$  y  $C_{db2}$ .
- $C_2$  es la suma de las capacitancias  $C_{gs1}$  y  $C_{gd2}$  ( $C_2 = C_{gs1} + C_{gd2}$ ).
- $C_3$  es la capacitancia parásita total que hay entre el nodo de entrada y tierra, incluyendo a  $C_{gs2}$  y  $C_{sb1}$ .
- $C_4$  es la capacitancia total vista en el nodo de salida, incluyendo a la capacitancia parásita  $C_{db1}$  y la de carga que estuviera conectada en este nodo.

Resolviendo el sistema de ecuaciones (5.34-5.36) obtenemos la función de transferencia del TIA, la cual queda dada por:

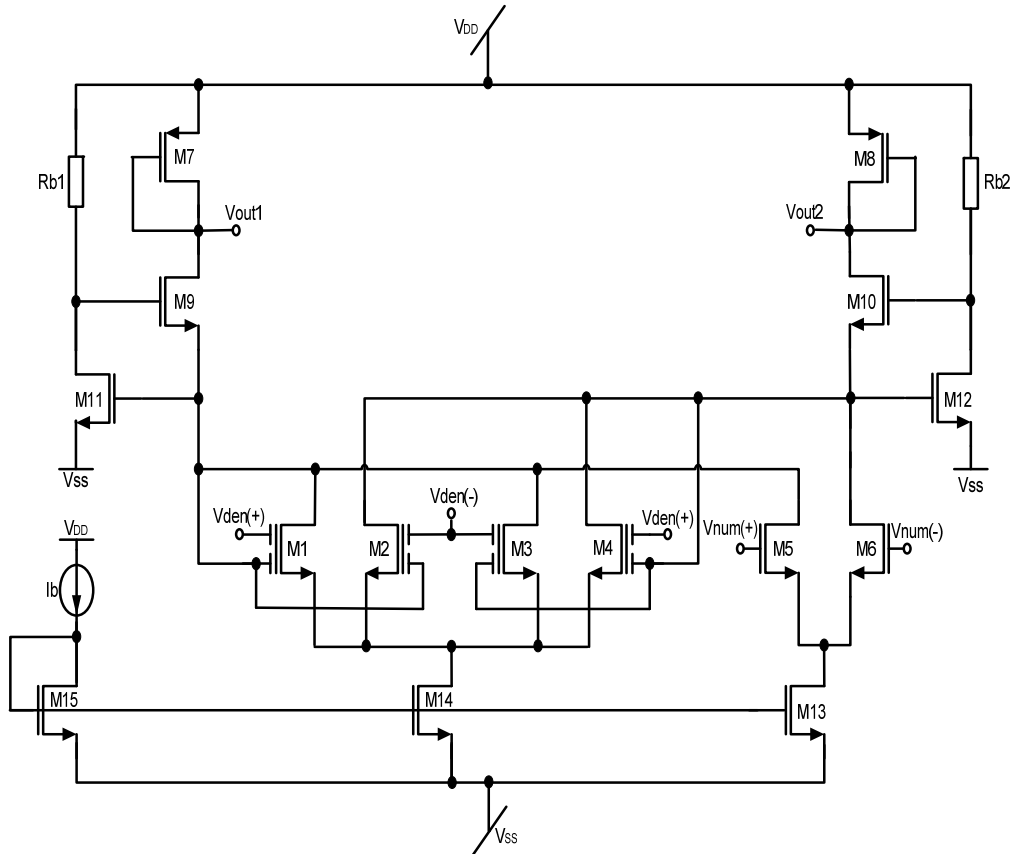
$$\frac{V_o}{I_{in}} = \frac{-\left( \frac{g_{m1}}{R_b} + g_{m1}g_{m2} + sC_1g_{m1} \right)}{\left[ s^2(C_1C_3 + C_2C_3 + C_1C_2) + s\left( \frac{(C_3 + C_2)}{R_b} + C_2g_{m2} + C_1g_{m1} \right) + \frac{g_{m1}}{R_b} + g_{m1}g_{m2} \right] \left( \frac{1}{R_L} + sC_4 \right)} \quad (5.37)$$

De la ecuación (5.37), vemos que se genera un cero proveniente de la trayectoria de retroalimentación local, estando éste ubicado en  $z = (g_{m2} + 1/R_b)/C_1$ .

La entrada en corriente  $I_{in}$  del amplificador es convertido a un voltaje en el drenaje de M1. La etapa formada por el transistor M2 y  $R_b$  opera como una retroalimentación local con una ganancia en voltaje que esta dada por  $(1 + g_{m2}R_b)$  [49, 50].

A bajas frecuencias el TIA actúa como un buffer de corriente con una ganancia en corriente muy cercana a la unidad, sin embargo, conforme la frecuencia se incrementa su ganancia se va atenuando debido a las capacitancias parásitas presentes que forman una trayectoria de señal hacia tierra. Además de esto, a altas frecuencias la capacitancia  $C_2$  disminuye a la ganancia de la retroalimentación local  $(1 + g_{m2}R_b)$ , esto debido al efecto Miller; lo cual cancela en cierta medida el efecto de tierra virtual del nodo de entrada. Sin embargo, debido a que la impedancia de entrada del TIA esta dada por  $(1/g_{m1}(1 + g_{m2}R_b))$ , se concluye que la impedancia de entrada se reduce. Lo anterior, hace que se disminuya el efecto de la capacitancia parásita presente en el nodo de entrada quedando ésta aislada en el cálculo del ancho de banda y teniendo como resultado un control eficiente para su determinación. La baja impedancia de entrada del amplificador en conjunto con la reducción en tamaño de las capacitancias parásitas permite un amplio ancho de banda de operación. El polo dominante del sistema queda determinado por la constante de tiempo  $R_L C_4$ , donde  $C_4$  es la capacitancia total en el drenaje de M1.

El esquemático completo de la tercera topología de circuito divisor que se obtuvo a partir del multiplicador implementado con los transistores de compuerta flotante y teniendo como etapa de salida al amplificador de transimpedancia se muestra en la Figura 5.28.



**Figura 5.28. Divisor, topología 3.**

Al realizar un análisis a pequeña señal a la topología de circuito divisor de la Figura 5.28, considerando la expresión de la celda multiplicadora (ecuación 5.30), las ecuaciones 5.32, 5.33, respetando a la ecuación 5.37 a bajas frecuencias (es decir cuando  $s \rightarrow 0$ ) y sin incluir efectos de segundo orden, se obtiene una aproximación para el voltaje diferencial de salida  $V_o$  del circuito divisor, topología 3 dada por la expresión:

$$V_o \approx \frac{g_{m5,6} V_{num}}{\left(\frac{1}{R_L}\right) + \frac{K}{4} V_{den} \left(\frac{R_x}{R_L}\right)} \quad (5.38)$$

donde:

$$R_L = \frac{1}{g_{m7,8}}, \quad R_x \cong \left( \frac{1}{g_{m9,10} (1 + g_{m11,12} R_{b1,2})} \right), \quad K = \mu_n C_{ox} \left( \frac{W}{L} \right)_{1,2,3,4}$$

$V_{num}$  y  $V_{den}$ , son los voltajes diferenciales de entrada del numerador y denominador respectivamente.

### 5.7.5. Resultados de simulación

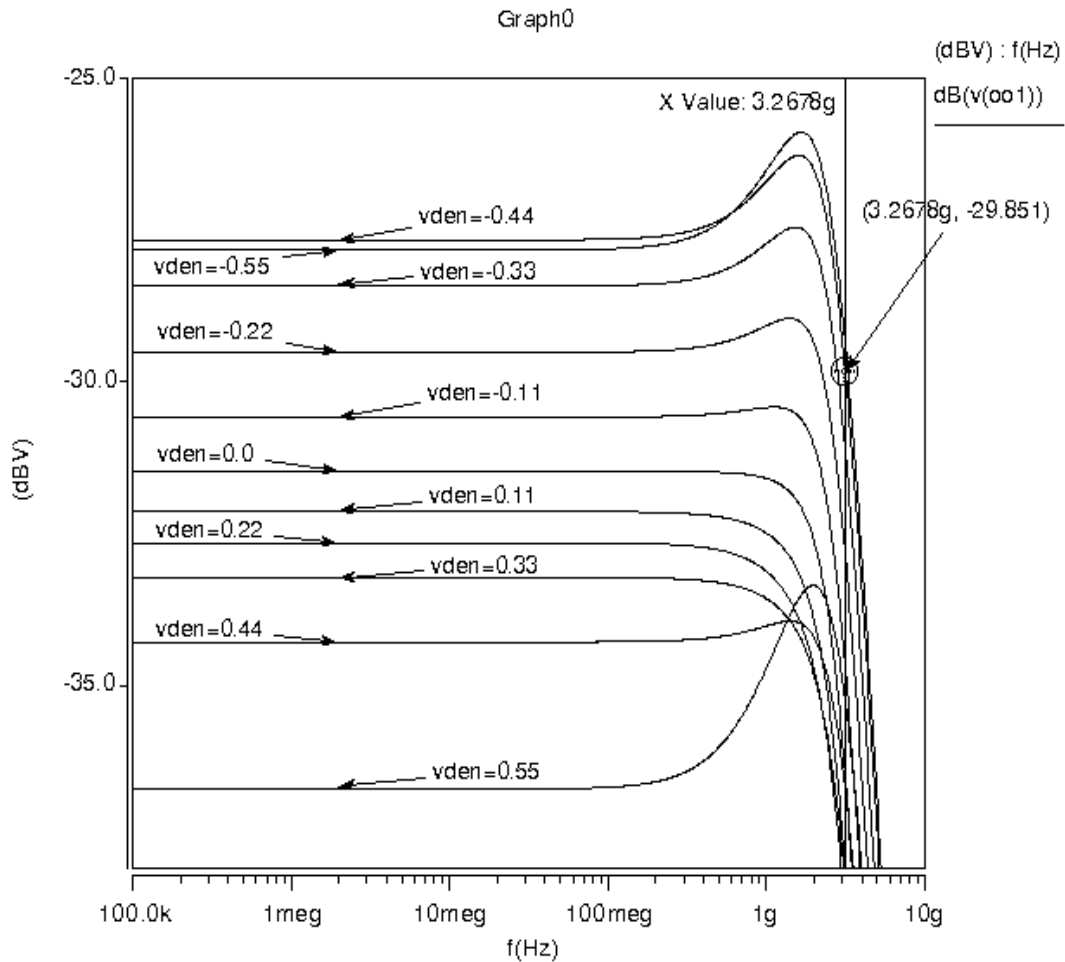
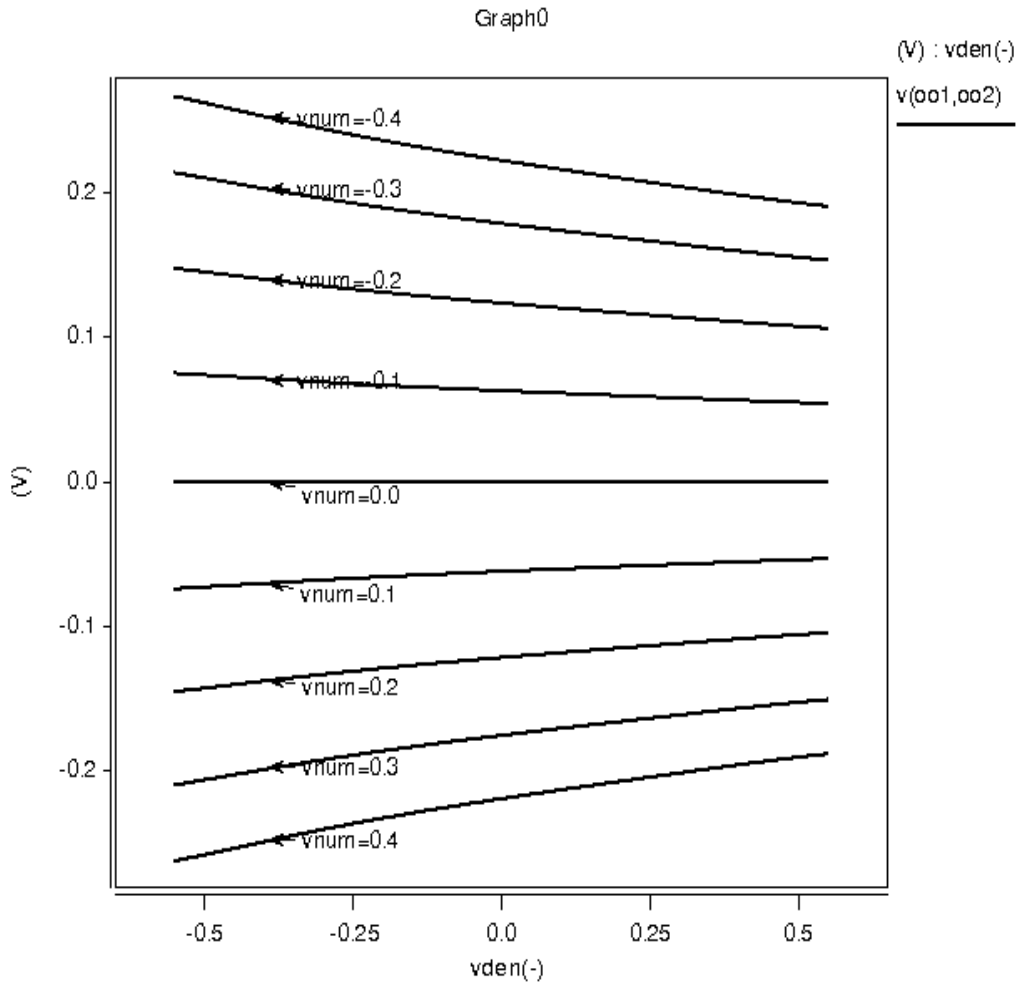


Figura 5.29. Respuesta en frecuencia del divisor (topología 3).

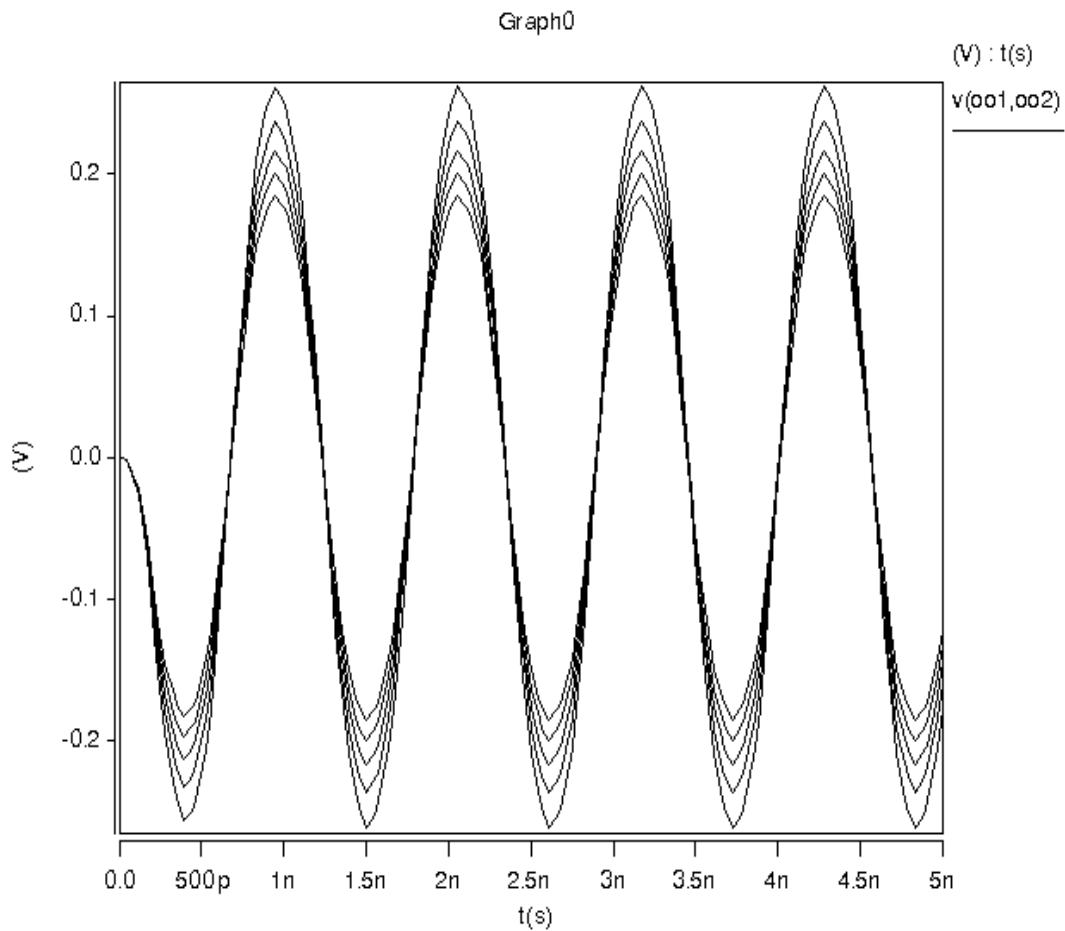
La Figura 5.29 muestra la respuesta en frecuencia del circuito divisor. Se observa que la frecuencia de corte a -3dB se encuentra mas allá de los 3GHz para cada uno de los diferentes valores de voltaje de  $V_{den}$  y para un valor constante de  $V_{num} = 400\text{mV}$ .

Las curvas de transferencia en DC del divisor se muestran en la Figura 5.30. Se visualizan las familias de curvas en los dos cuadrantes de operación para los valores de  $V_{num}$  que van de -0.4V a 0.4V y de  $V_{den}$ , que presenta un rango de entre -0.55V a 0.55V.



**Figura 5.30. Respuesta en DC del divisor (topología 3).**

La respuesta del divisor en el dominio del tiempo se presenta en la Figura 5.31. La simulación es realizada manteniendo constante una señal sinusoidal diferencial de 400mV de amplitud pico a una frecuencia de 900MHz en las terminales de entrada:  $V_{num}(+)$  y  $V_{num}(-)$  y proporcionando a la vez en las terminales:  $V_{den}(+)$  y  $V_{den}(-)$  valores constantes de voltaje que van desde -550mV a 550mV en pasos iguales de 275mV. Por último, en la Tabla 5.3 se muestran los valores de los componentes del circuito.



**Figura 5.31. Respuesta en el tiempo del divisor (topología 3).**



**Tabla 5.3. Valores de los componentes del circuito divisor (topología 3).**

	W/L		W/L
$M_{1,2,3,4}$	60u/0.4u	$M_{11,12}$	10u/0.4u
$M_{5,6}$	30u/0.4u	$M_{13}$	75u/0.4u
$M_{7,8}$	94u/0.4u	$M_{14}$	150u/0.4u
$M_{9,10}$	40u/0.4u	$M_{15}$	50u/0.4u
$R_{b1}=R_{b2}$	1k $\Omega$	$I_b$	1mA
$V_{DD}=-V_{SS}$	1.65V		

### 5.7.6. Curvas comparativas y análisis cualitativo

A continuación se realiza una comparación cualitativa del circuito divisor, topología 3 entre las curvas en DC obtenidas por una aproximación teórica contra las obtenidas a través de simulación en HSpice® para de esta manera conocer el desempeño del circuito divisor en términos de precisión.

En las gráficas de la Figura 5.32 (a) y (b), se muestra la aproximación teórica de la respuesta en DC del circuito divisor obtenida a partir de la ecuación 5.38 y las curvas obtenidas por simulación en HSpice®, respectivamente.

Nótese también que nuevamente como en el caso de las dos topologías anteriores solamente se muestran las respuestas para un solo cuadrante, esto debido a que en el otro cuadrante de operación existe simetría sobre el eje "x", por lo tanto estas gráficas nos aportan la misma información para ambos cuadrantes.

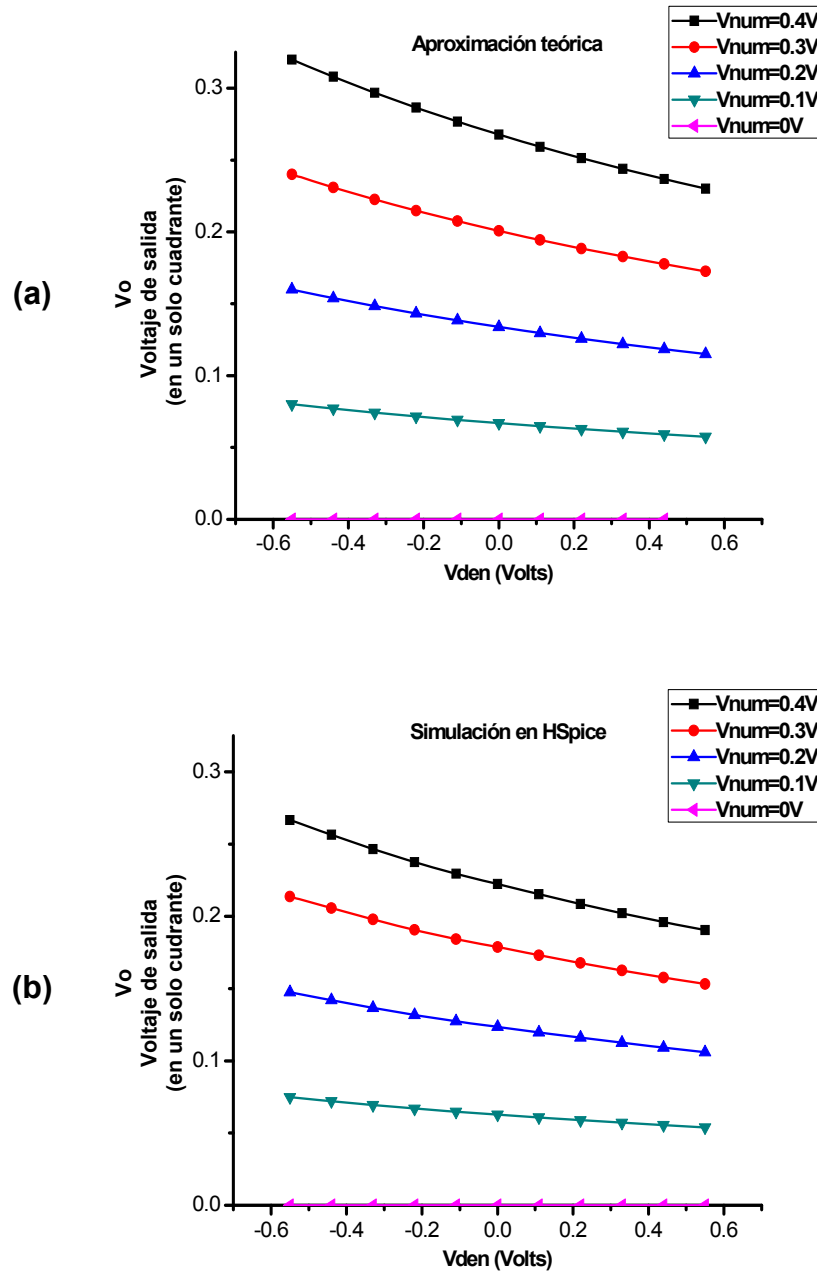
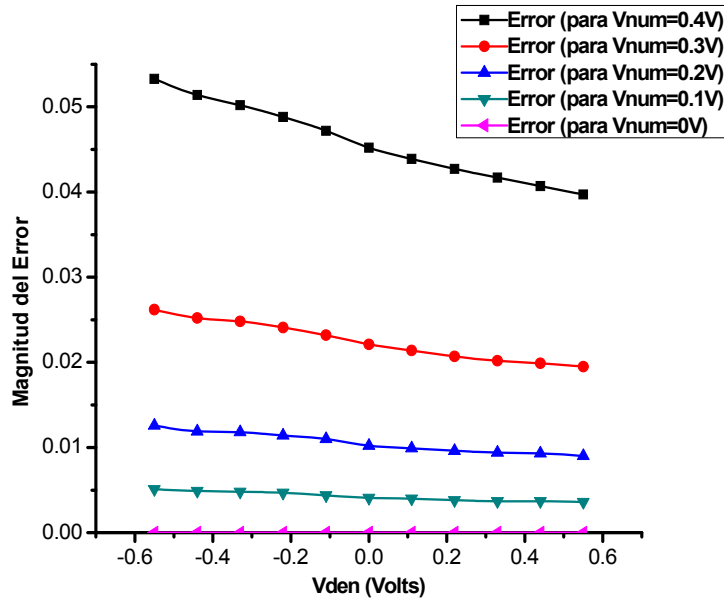


Figura 5.32. Curvas en DC del divisor, topología 2. (a) Aproximación teórica. (b) Curvas obtenidas por simulación en Hspice®.



**Figura 5.33. Magnitud del error entre la aproximación teórica y la simulación en HSpice® del divisor, topología 3.**

La gráfica 5.33 muestra la magnitud del error que existe entre la aproximación teórica y la simulación en HSpice®.

El espectro de Fourier a la salida del divisor se muestra en la Figura 5.34. Las gráficas de la distorsión armónica total (THD) dada en porcentaje, la relación señal a ruido (SNR) y el rango dinámico libre de espurias (SFDR) dado en decibeles contra el voltaje del denominador  $V_{den}$ , se muestran en las Figuras 5.35 y 5.36, respectivamente.

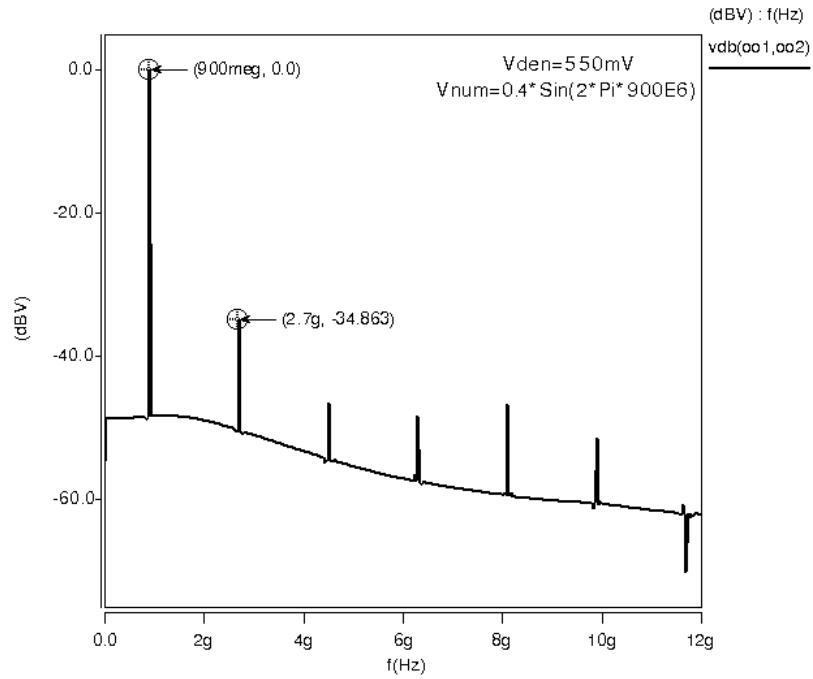


Figura 5.34. Espectro de Fourier del circuito divisor, topología 3.

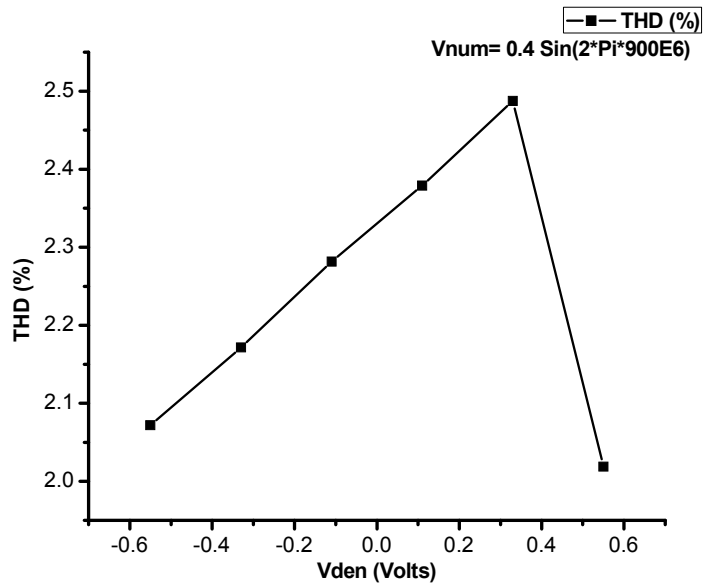
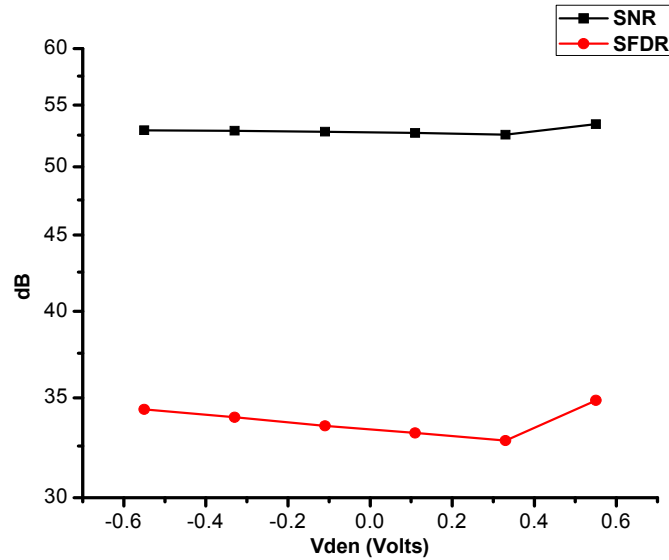


Figura 5.35. Porcentaje de laTHD (distorsión armónica total) del divisor, topología 3 contra  $V_{den}$ .



**Figura 5.36. Relación señal a ruido (SNR) y rango dinámico libre de espurias (SFDR) contra  $V_{den}$  del divisor, topología 3.**

### 5.8 Divisor, topología 4

La idea básica de la última topología de circuito divisor que se propone, parte de la ecuación ideal del transistor MOS que define su operación en la región lineal (ecuación 5.39).

$$i_D = K \left[ (v_{GS} - V_T) v_{DS} - \frac{1}{2} v_{DS}^2 \right] \tag{5.39}$$

Con:  $K = \mu_n C_{ox} \frac{W}{L}$ .

Desarrollando la ecuación 5.39, ahora tenemos:

$$i_D = K(v_{GS} - V_T)v_{DS} - \frac{1}{2}v_{DS}^2K \quad (5.40)$$

y asumiendo que el término de la derecha es lo suficientemente pequeño para ser despreciado:  $\frac{1}{2}v_{DS}^2 \ll (v_{GS} - V_T)v_{DS}$ , entonces obtenemos la expresión que nos da la relación de división:

$$v_{GS} = \frac{i_D}{v_{DS}K} + V_T \quad (5.41)$$

A partir de la ecuación 5.41, se obtiene el esquemático del circuito divisor que se muestra en la Figura 5.37. La corriente de la ecuación  $i_D$  es generada vía el voltaje de entrada  $V_{num}$  que se produce a través de la resistencia  $R_{in}$ . Manteniendo al transistor M2 en la región lineal; el voltaje del denominador  $V_{den}$  es aplicado en la compuerta de M1, controlando el voltaje  $v_{DS}$  de M2. La división es obtenida del voltaje de compuerta de M2. El espejo de corriente M3-M4 junto con la corriente  $I_{ref}$  fijan la polarización. Nótese también, que existirá una componente de modo común ( $V_{CM}$ ) que debe ser considerada en la caracterización de las curvas de transferencia en DC, por lo que la ecuación para caracterizar el circuito en DC resulta ser:

$$V_{GS2} \cong \frac{I_D}{V_{DS2}K_2} + V_T + V_{CM} \quad (5.42)$$

Siendo:  $V_{CM} = \frac{V_{D2} + V_{S2}}{2}$  y  $K_2 = \mu_n C_{ox} \left( \frac{W}{L} \right)_2$

Se añade el capacitor  $C_o$  para eliminar las componentes de DC presentes a la salida y la resistencia  $R_o$  solamente representa una impedancia muy grande con la finalidad de obtener una trayectoria a tierra para poder realizar las simulaciones.

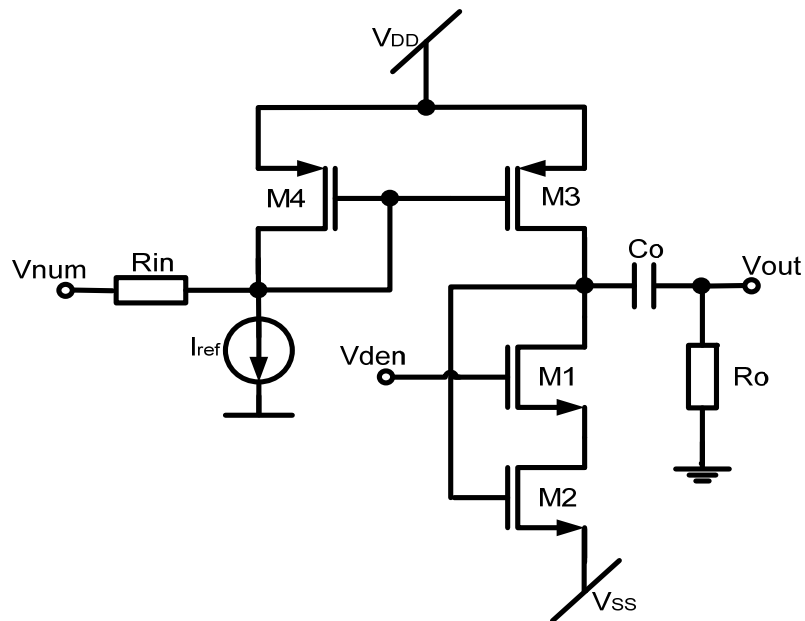
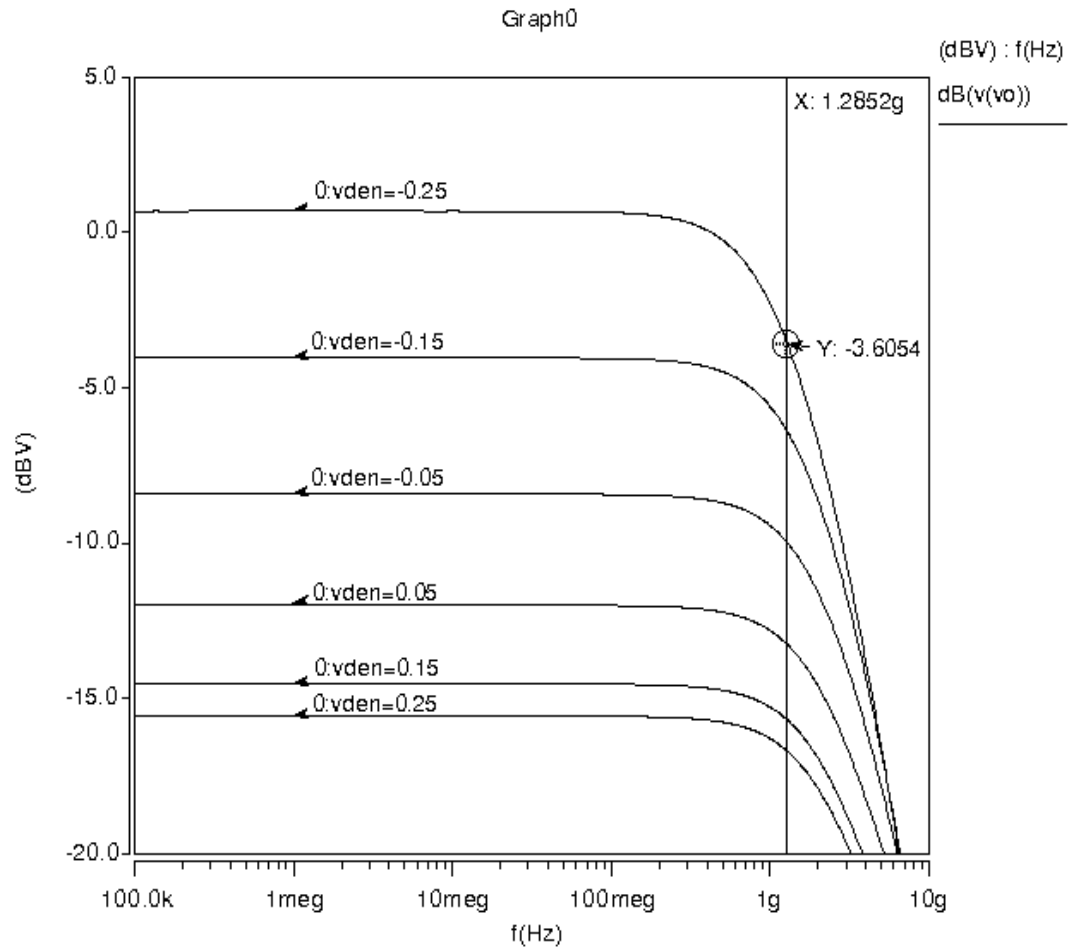


Figura 5.37. Divisor, topología 4.

### 5.8.1. Resultados de simulación

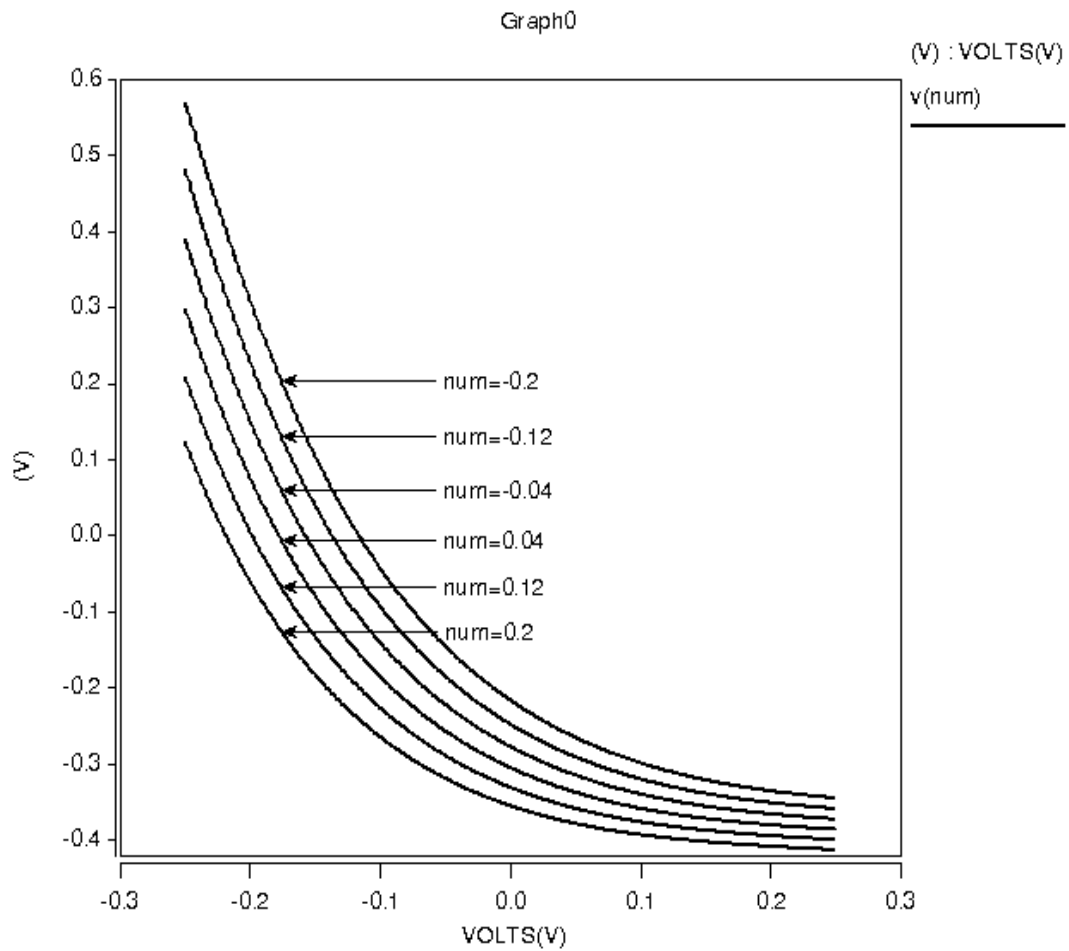
La respuesta en frecuencia que presenta el circuito, topología 4 se muestra en la Figura 5.38, para valores de  $V_{den}$  que van de  $-0.25V$  a  $0.25V$  y para un voltaje  $V_{num}$  fijo en  $150mV$ . Para los valores dados de  $V_{den}$  se observa que la frecuencia de corte a  $-3dB$  se encuentra en  $1.28GHz$ .



**Figura 5.38. Respuesta en frecuencia del divisor (topología 4).**

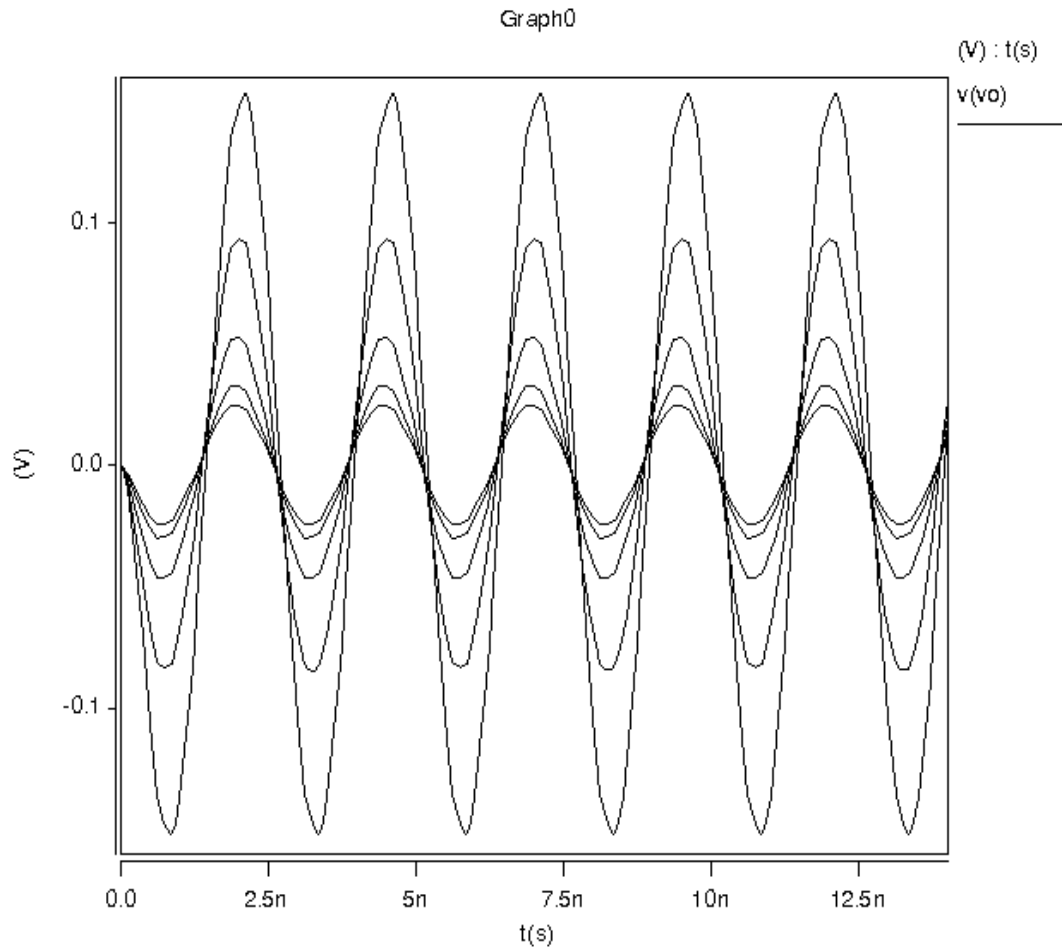
La familia de curvas de transferencia en DC del divisor se presenta en la Figura 5.39, para el rango de  $V_{den}$  de -0.25V a 0.25V (en el eje "x") y para los diferentes valores de  $V_{num}$  que se muestran en la gráfica.





**Figura 5.39. Respuesta en DC del divisor (topología 4).**

Ingresando en la terminal de voltaje del numerador ( $V_{num}$ ) una señal sinusoidal con 150mV de amplitud pico a una frecuencia de 400MHz y haciendo un barrido a la entrada  $V_{den}$  desde -0.25V a 0.25V, la respuesta en el tiempo obtenida para el divisor es la que se muestra en la Figura 5.40.



**Figura 5.40. Respuesta en el tiempo del divisor (topología 4).**

En la Tabla 5.4 se muestran los valores de los componentes y las dimensiones de los transistores empleados en el circuito divisor.

**Tabla 5.4. Valores de los componentes del circuito divisor (topología 4).**

	<b>W/L</b>	<b>C<sub>o</sub></b>	1pF
<b>M<sub>1,2</sub></b>	10u/0.4u	<b>R<sub>in</sub></b>	10kΩ
<b>M<sub>3</sub></b>	15u/0.4u	<b>I<sub>ref</sub></b>	200uA
<b>M<sub>4</sub></b>	5u/0.4u	<b>V<sub>DD</sub>=-V<sub>SS</sub></b>	1.65V

### 5.8.2. Curvas comparativas y análisis cualitativo

Como en el caso de las tres topologías de circuitos divisores anteriores, una comparación cualitativa es realizada al circuito divisor, topología 4 entre la transferencia en DC obtenida por una aproximación teórica contra la obtenida a través de simulación en HSpice® para de esta manera poder conocer el desempeño del circuito divisor en términos de precisión.

En la gráfica de la Figura 5.41 se muestra a la aproximación teórica de la respuesta en DC del circuito divisor obtenida a partir de la ecuación 5.42 contra la curva obtenida por simulación en HSpice®. Nótese que la comparación se hace para un voltaje de numerador  $V_{num} = 200\text{mV}$  y sobre un intervalo de  $V_{den}$  de entre  $-0.25\text{V}$  a  $0.25\text{V}$ . En la Figura 5.42 también se muestra la gráfica de la magnitud del error que existe entre la aproximación teórica y la simulación realizada en HSpice®.

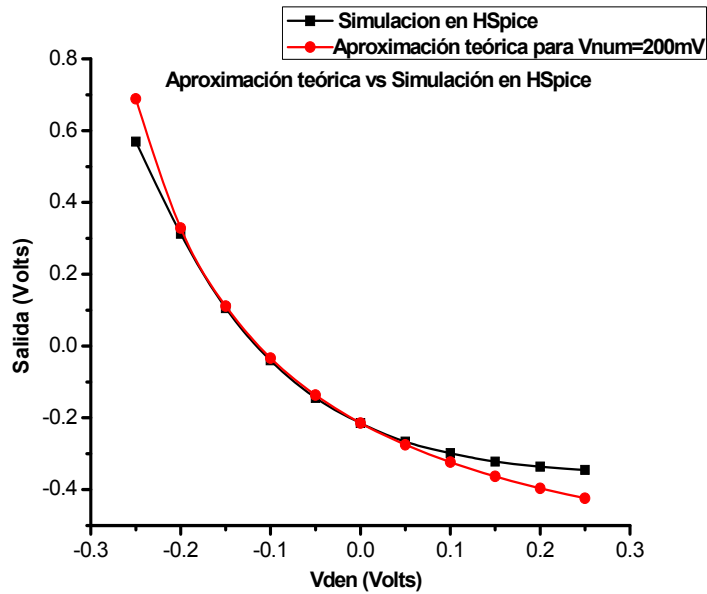


Figura 5.41. Transferencia en DC del divisor, topología 4. Aproximación teórica contra la simulación en HSpice®.

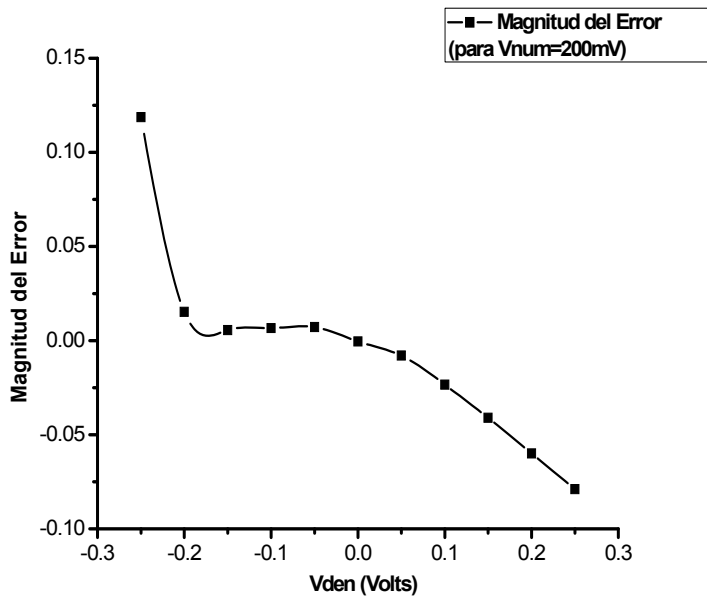


Figura 5.42. Magnitud del error del circuito divisor, topología 4.

Finalmente, la Figura 5.43 muestra el espectro de Fourier a la salida del divisor. Las gráficas de la THD dada en porcentaje, la SNR y SFDR dados en decibels contra el voltaje del denominador  $V_{den}$ , se muestran en las Figuras 5.44 y 5.45, respectivamente.

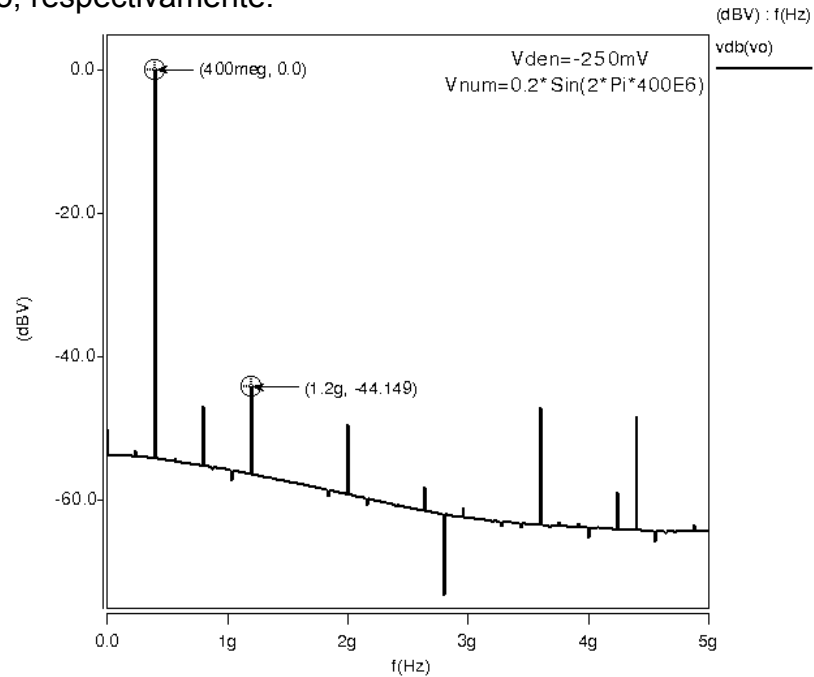


Figura 5.43. Espectro de Fourier del circuito divisor, topología 4.

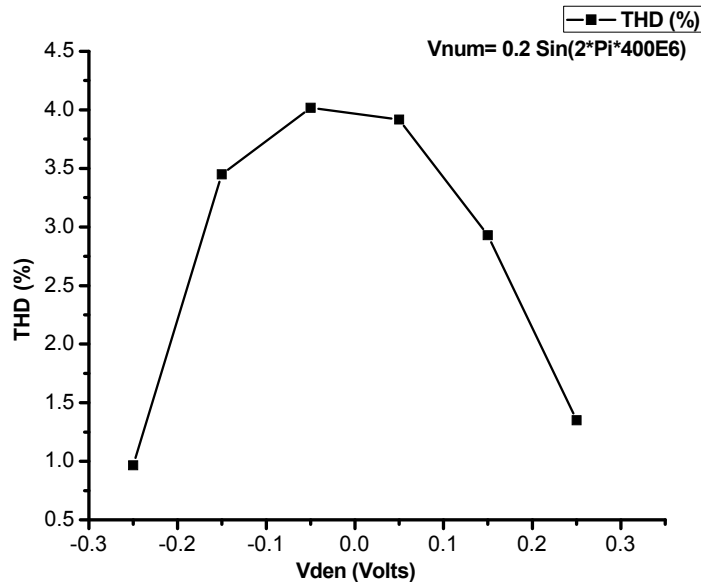
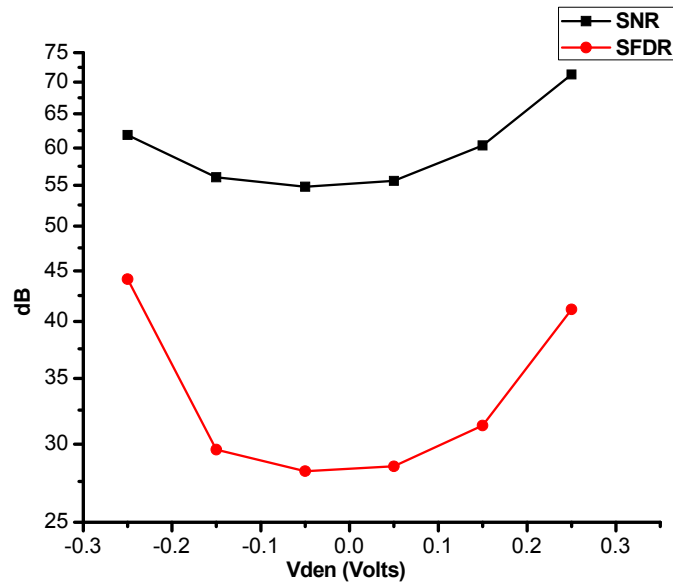


Figura 5.44. Porcentaje de laTHD (distorsión armónica total) del divisor, topología 4 contra  $V_{den}$ .



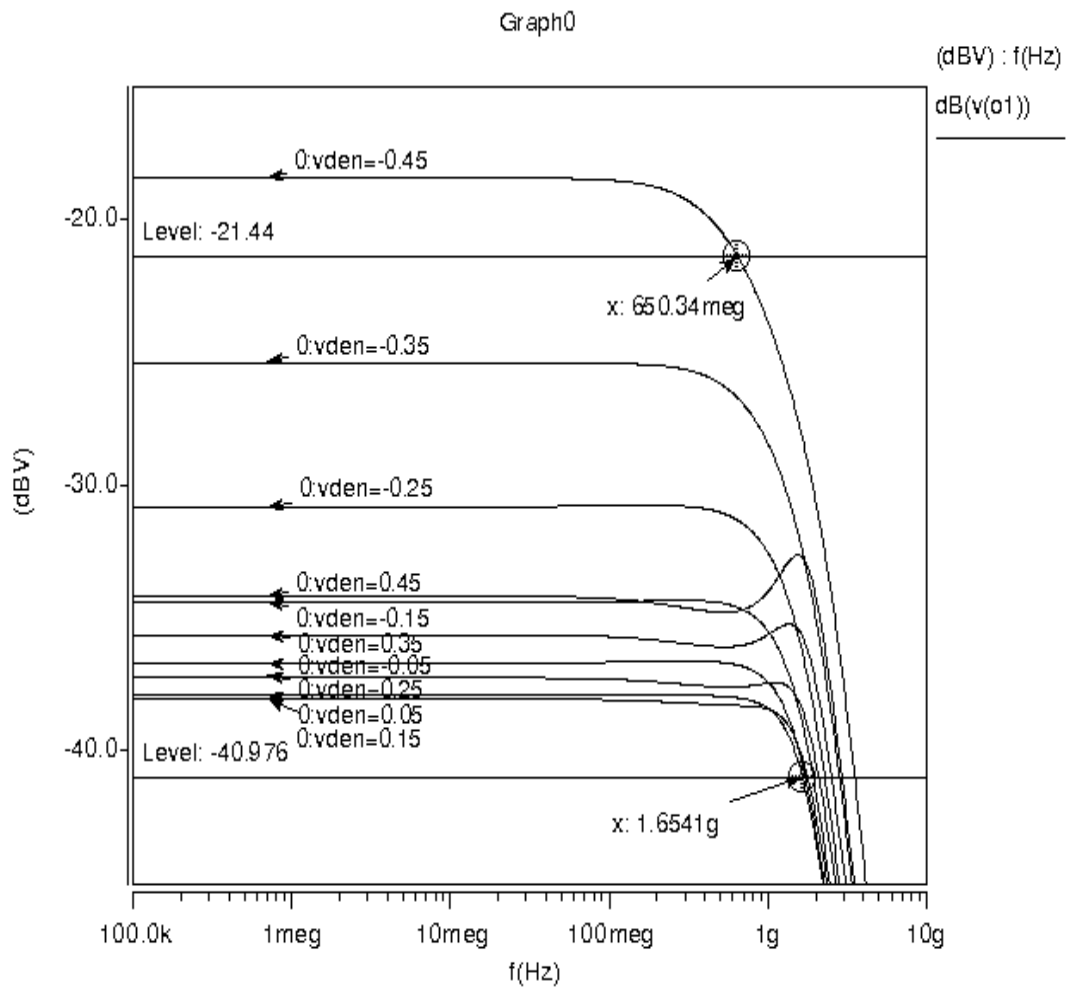
**Figura 5.45. Relación señal a ruido (SNR) y rango dinámico libre de espurias (SFDR) contra  $V_{den}$  del divisor, topología 4.**

## 5.9 Simulaciones post-layout

Como parte final del diseño de los circuitos divisores que ya han sido descritos, se realizaron los layouts o patrones geométricos de cada uno de ellos. Estos circuitos fueron diseñados bajo la tecnología estándar de 5 metales y de doble pozo AMIS de  $0.35\mu\text{m}$ , se hace mención a esto debido a que en todos los circuitos se está asumiendo la conexión de todas las terminales de fuente a la de substrato en el caso de todos los transistores PMOS con el fin de eliminar el efecto cuerpo de los mismos. El programa en el cual se llevó a cabo el layout de los circuitos divisores es la versión 11.2 de L-Edit de Tanner EDA. El patrón geométrico o layout de todos los

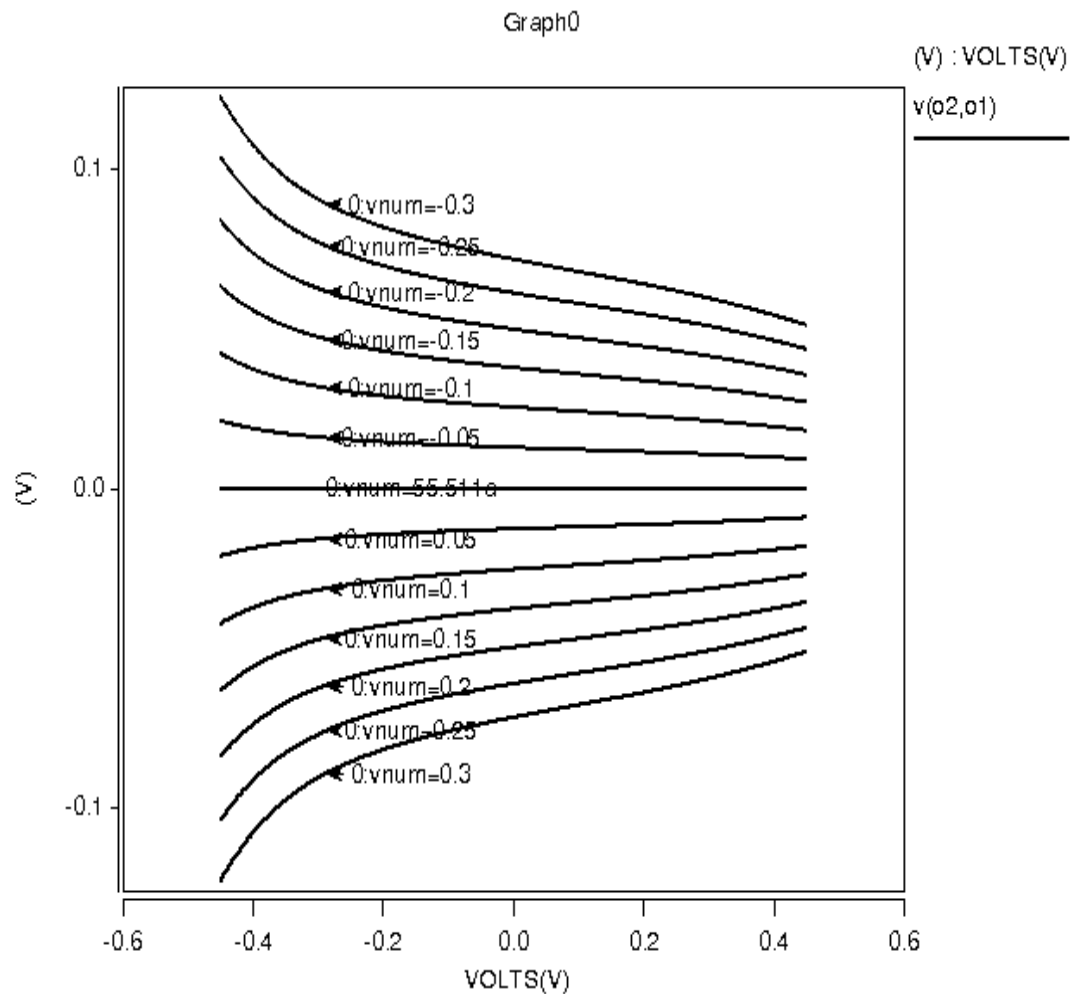
divisores fue realizado tratando de mantener la mayor simetría posible para evitar mismatch y de acuerdo a la técnica de interdigitado, donde los transistores son divididos en número de partes dado, reduciendo así a las capacitancias parásitas [51]. En el Apéndice A se muestran los patrones geométricos de las cuatro topologías propuestas.

Las simulaciones post-layout paramétricas de la respuesta en frecuencia, transferencia en DC y respuesta en el dominio del tiempo de las cuatro topologías de circuito divisor se muestran en las Figuras 5.46 a 5.57.



**Figura 5.46. Respuesta en frecuencia post-layout del divisor, topología 1.**

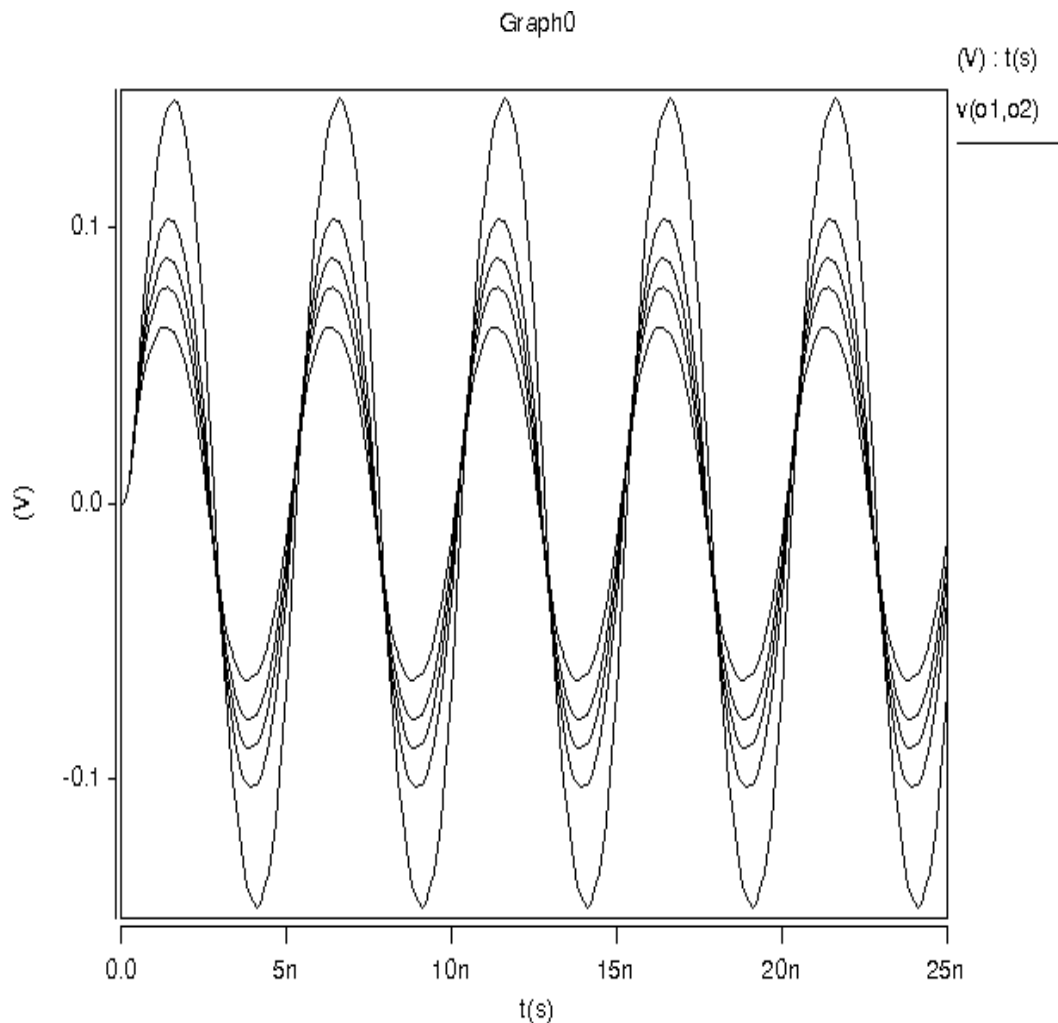
Podemos observar en la Figura 5.46 que la respuesta en frecuencia post-layout del divisor, topología 1 se ve disminuida de 918.65MHz de la frecuencia mínima de operación obtenida en la simulación antes del layout a 650.34MHz obtenida en la simulación post-layout. Para el caso de la frecuencia máxima de operación ésta permanece casi sin cambio, quedando nuevamente en alrededor de los 1.6GHz obtenidos anteriormente.



**Figura 5.47. Respuesta en DC post-layout del divisor, topología 1.**

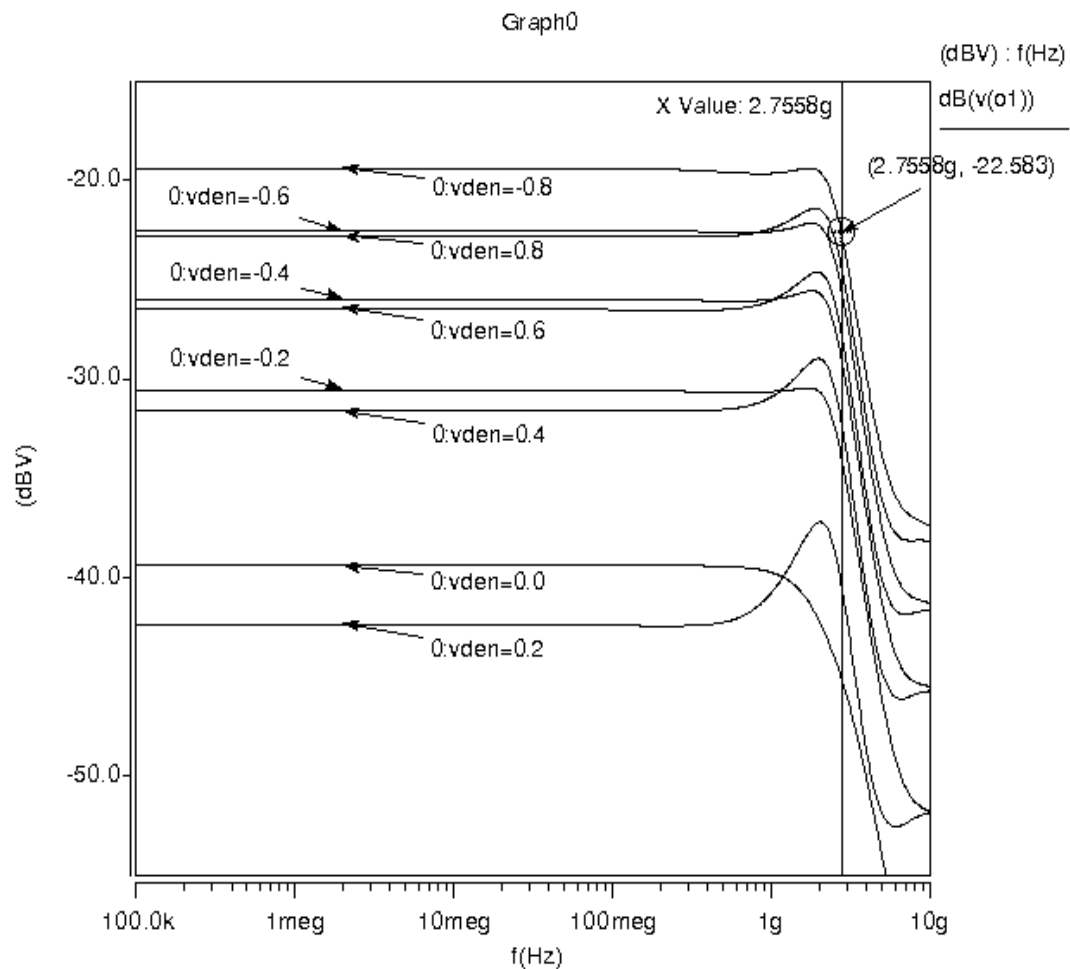


En el caso de las curvas de transferencia en DC. En la simulación post-layout del divisor, topología 1 que se presenta en la Figura 5.47; observamos un ligero cambio en el nivel de DC máximo alcanzado a la salida (para valores de entrada  $V_{num}$  de 0.3V y -0.3V, se obtiene un valor de voltaje máximo a la salida situado un poco mas allá de los 0.1V y -0.1V que se habían alcanzado en las simulaciones antes de layout; respectivamente). Sin embargo, esta pequeña diferencia no causa efecto significativo en el correcto funcionamiento del circuito.

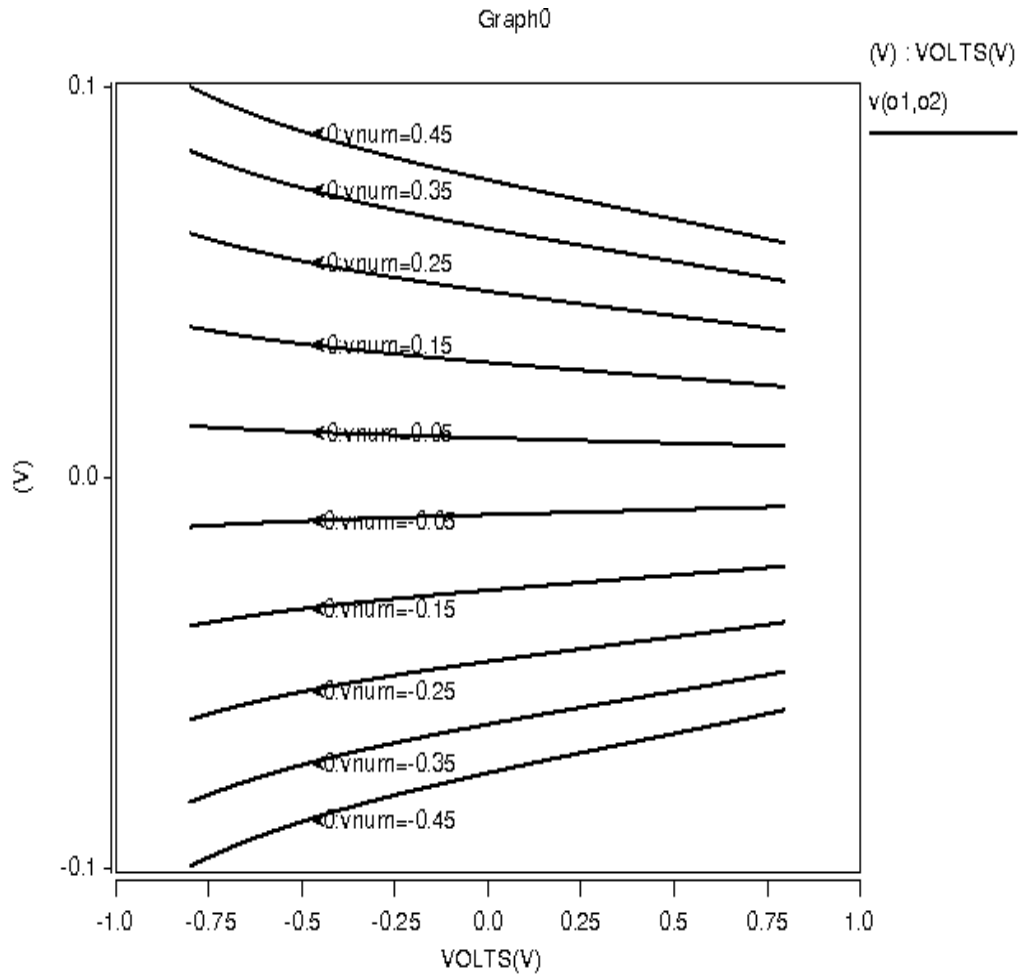


**Figura 5.48. Respuesta en el tiempo post-layout del divisor, topología 1.**

Con respecto a la respuesta en el tiempo post-layout del divisor, topología 1; en la Figura 5.48, observamos que la división se realiza correctamente, obteniéndose la señal con máxima amplitud pico en un poco mas allá de 0.1V y -0.1V de acuerdo a lo pronosticado en las curvas de transferencia en DC de la Figura 5.47. En la Figura 5.49 se muestra la respuesta en frecuencia post-layout del divisor, topología 2. Esta respuesta presenta una ligera disminución en la frecuencia máxima de operación del circuito de la obtenida de las simulaciones antes del layout. La frecuencia de corte a -3dB pasa de ser 3.26GHz a 2.75GHz. Esta diferencia es debida principalmente a las capacitancias parásitas añadidas por el patrón geométrico después de realizar la extracción del circuito.



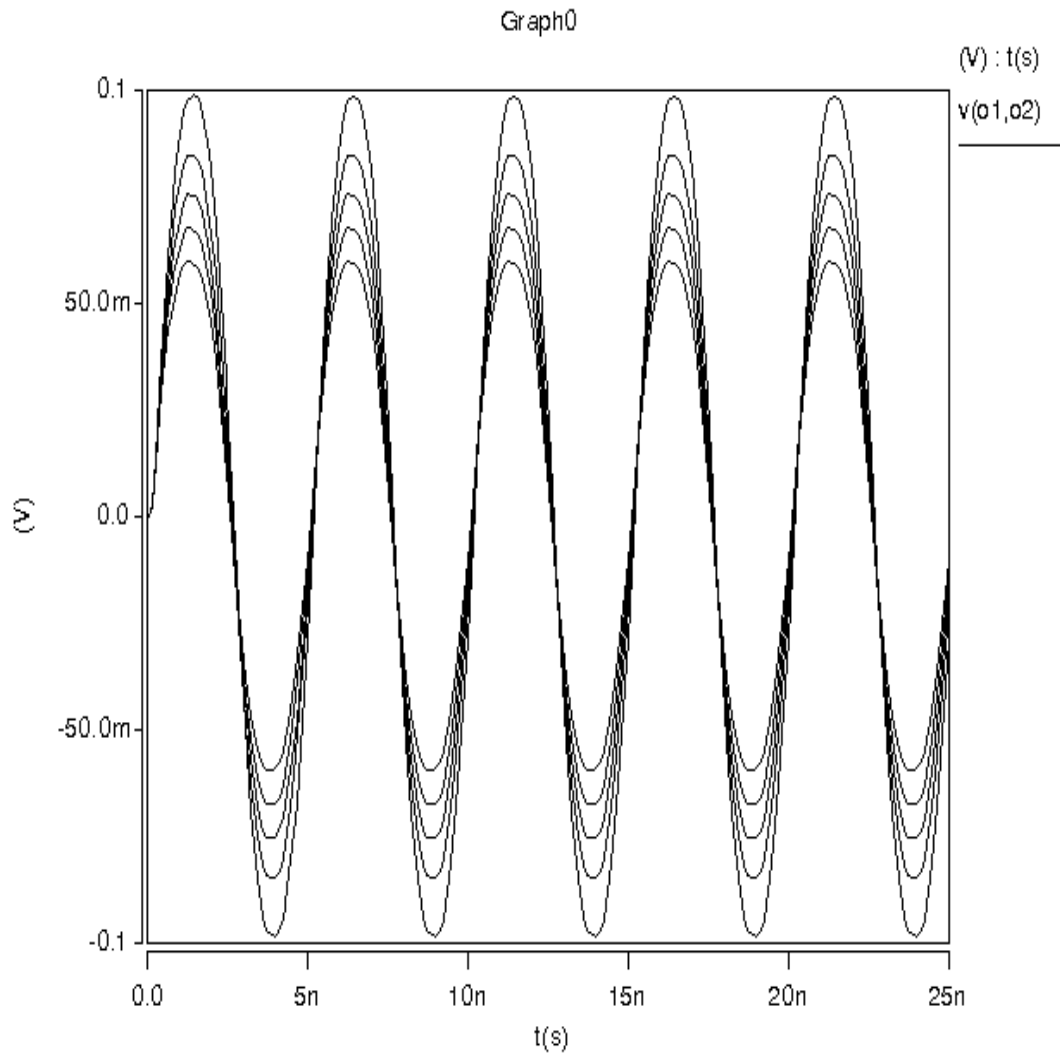
**Figura 5.49.** Respuesta en frecuencia post-layout del divisor, topología 2.



**Figura 5.50. Respuesta en DC post-layout del divisor, topología 2.**

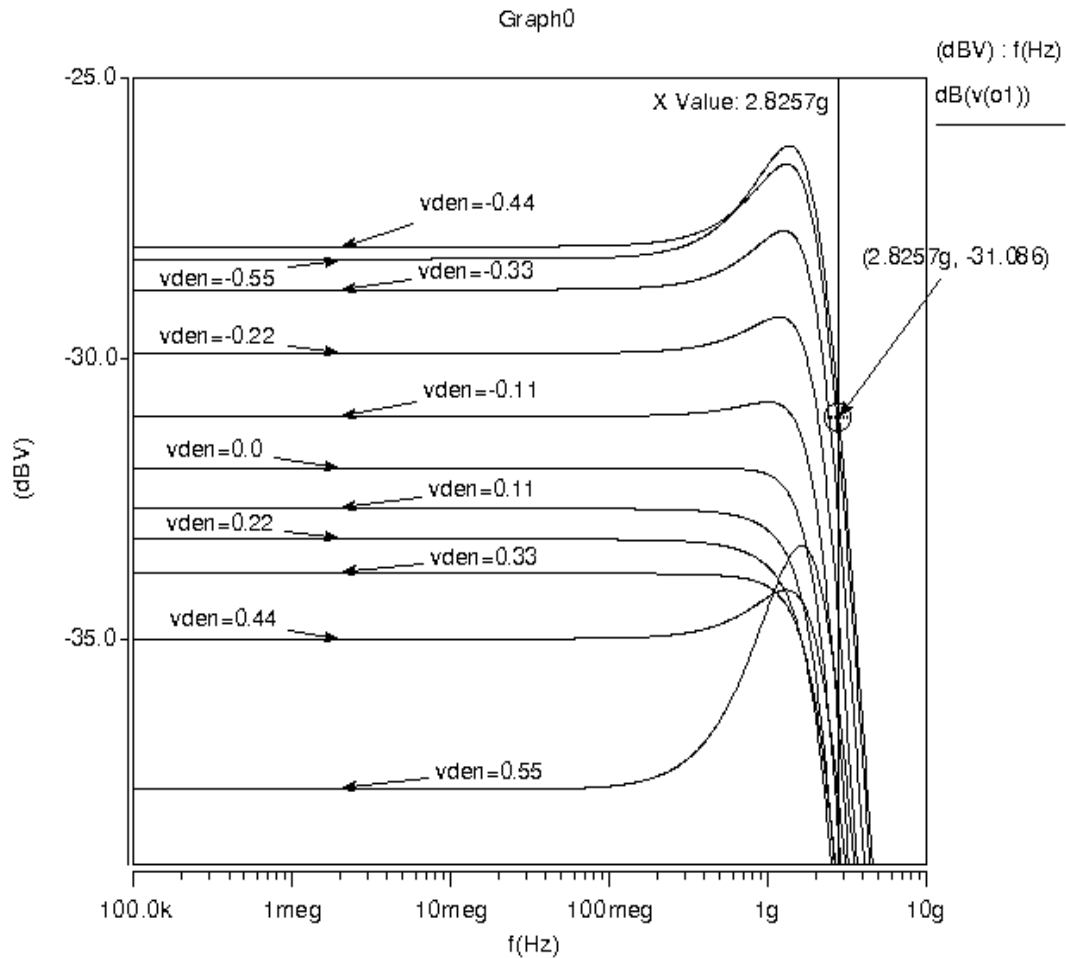
Para el caso de la familia de curvas de la transferencia en DC del circuito divisor, topología 2; (Figura 5.50) no existe cambio significativo con respecto a los resultados obtenidos en las simulaciones antes del layout. Para cada valor de  $V_{num}$ , los valores obtenidos de salida se mantienen igual. Los valores máximos y mínimos de salida siguen estando en 0.1V y -0.1V, respectivamente.

La respuesta en el tiempo post-layout del divisor, topología 2, se muestra en la Figura 5.51. La respuesta no muestra cambios con respecto a la obtenida en las simulaciones antes de layout, las amplitudes máximas y mínimas están en  $\pm 0.1V$ , como se predijo en las curvas de DC.



**Figura 5.51.** Respuesta en el tiempo post-layout del divisor, topología 2.

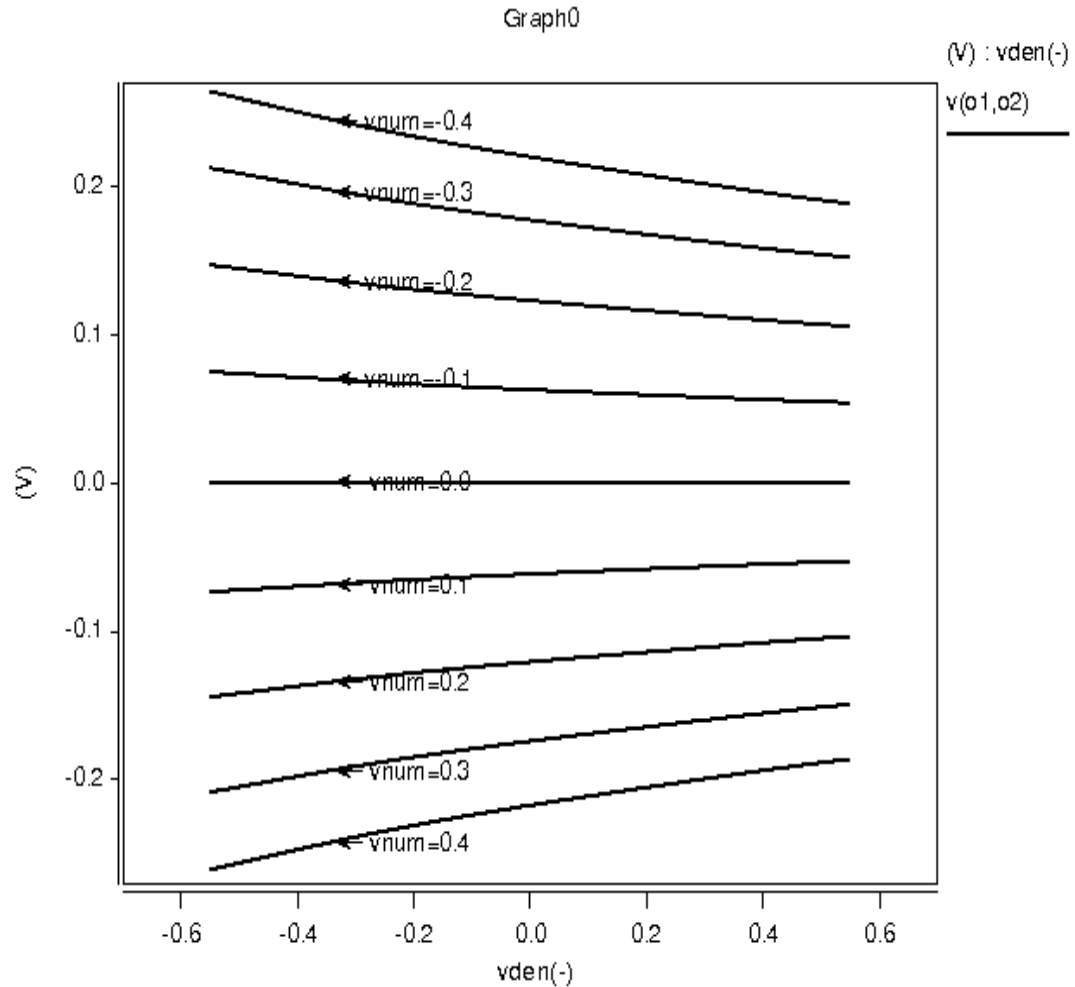
La respuesta en frecuencia post-layout del divisor, topología 3 se muestra en la Figura 5.52. La frecuencia máxima de operación a -3dB obtenida se ve disminuida con respecto a la simulación antes de layout, al pasar de 3.2GHz a 2.8GHz.



**Figura 5.52. Respuesta en frecuencia post-layout del divisor, topología 3.**

En la Figura 5.53 se muestra la simulación post-layout de las curvas de transferencia en DC del divisor, topología 2. Esta respuesta no presenta

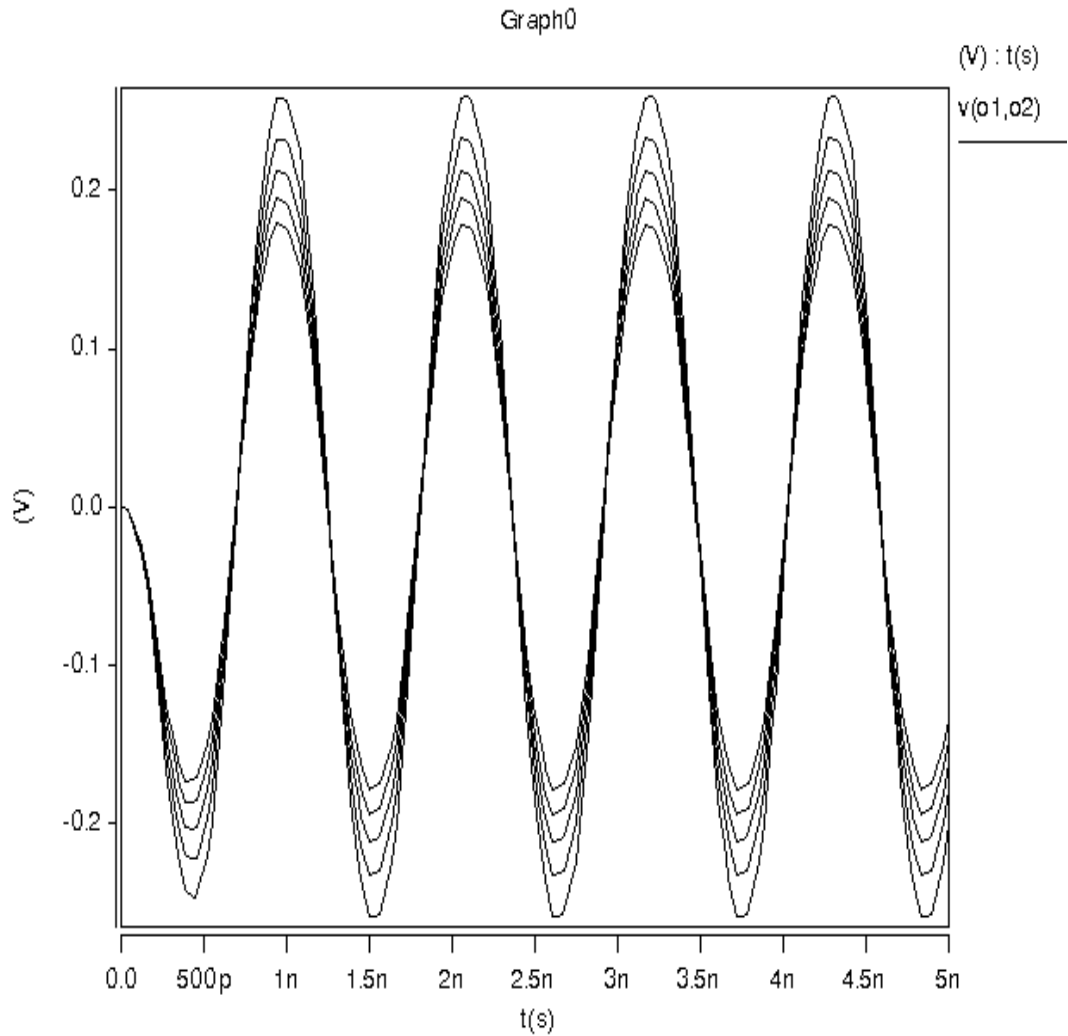
cambios significativos con respecto a la obtenida en la simulación antes de layout.



**Figura 5.53. Respuesta en DC post-layout del divisor, topología 3.**

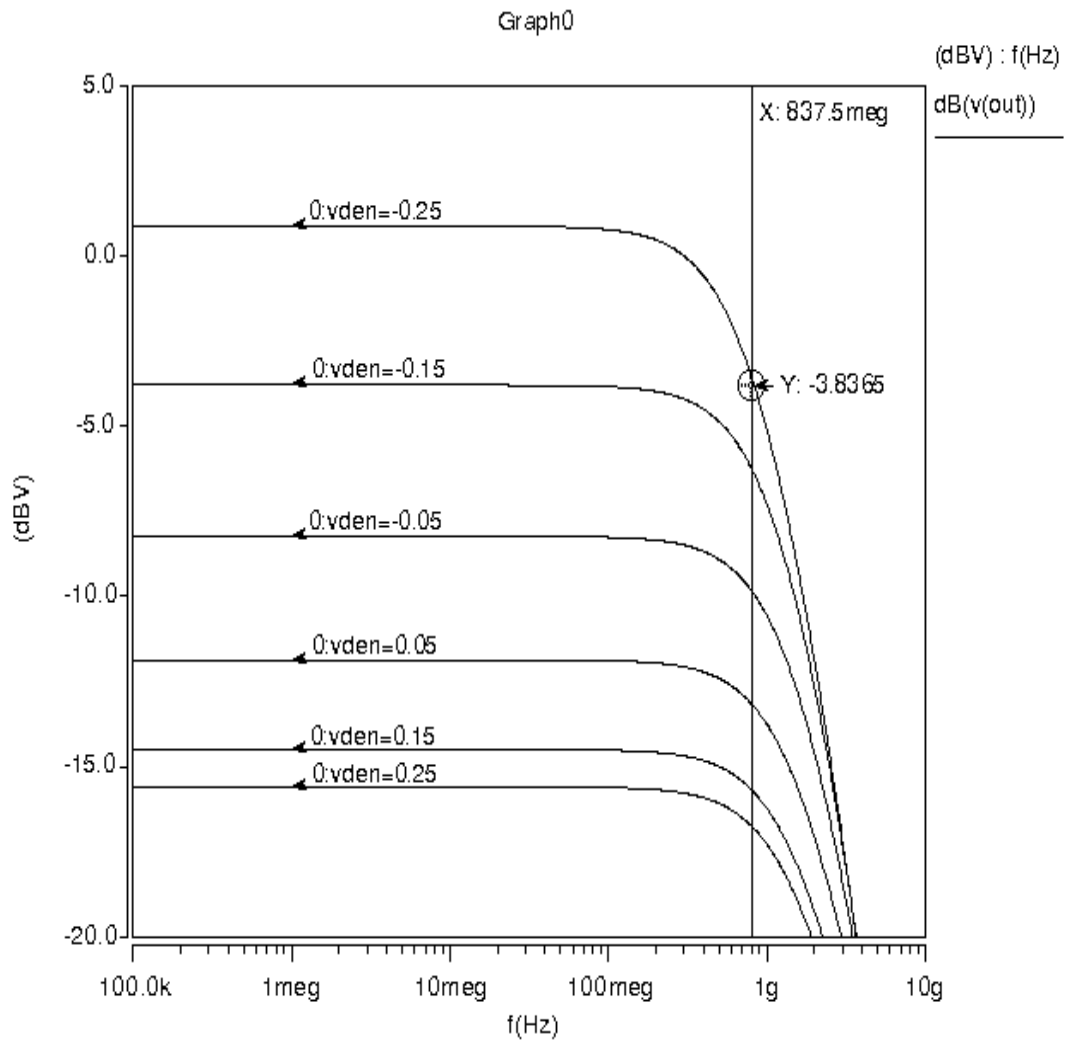
La respuesta en el tiempo post-layout del divisor, topología 3 se muestra en la Figura 5.54, ésta respuesta tampoco presenta cambios significativos. Los niveles máximos y mínimos de salida se encuentran en valores por encima

de 0.2V y -0.2V muy similar a lo obtenido en las simulaciones antes de layout.



**Figura 5.54. Respuesta en el tiempo post-layout del divisor, topología 3.**

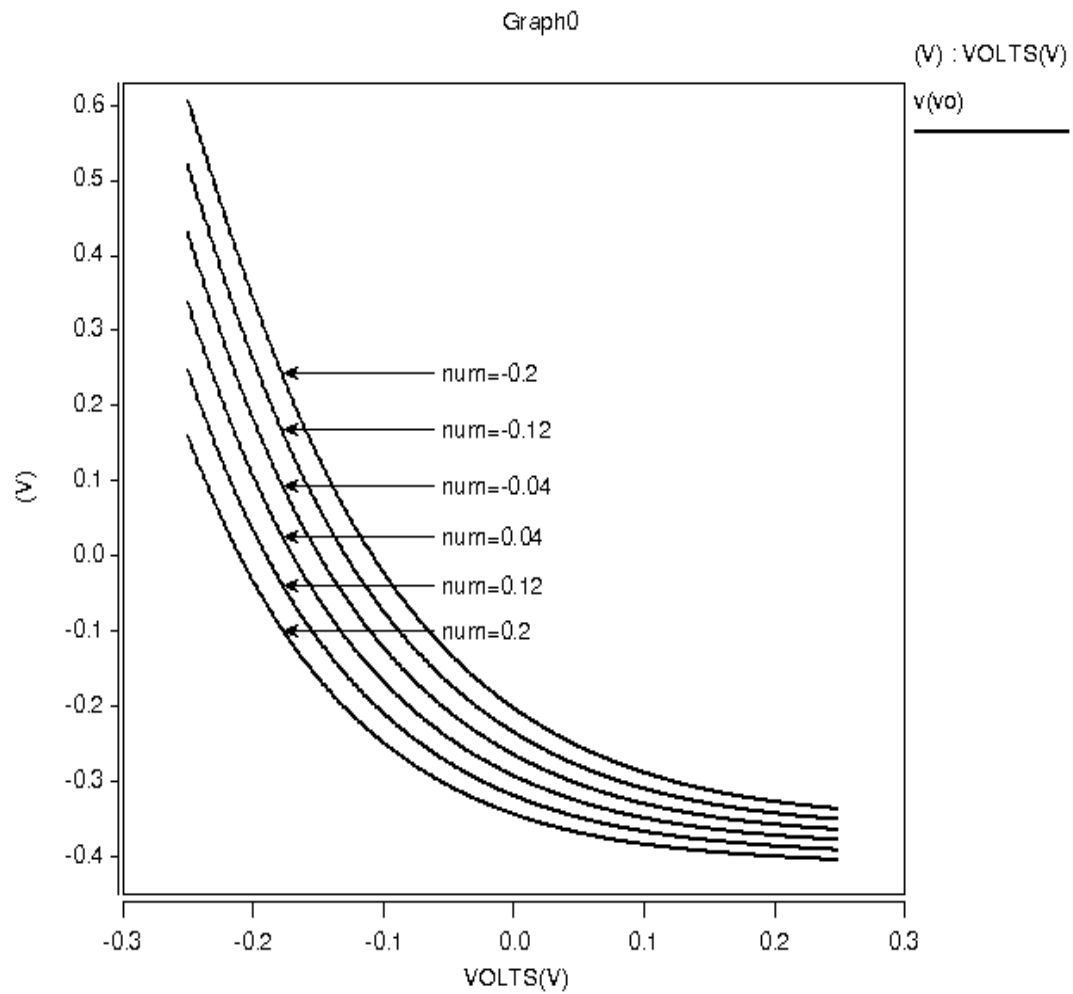
En la Figura 5.55 se observa la respuesta en frecuencia post-layout del circuito divisor, topología 4. La respuesta presenta una disminución en la frecuencia a -3dB con respecto a la simulación antes de layout, pasando de 1.28GHz a 837.5MHz.



**Figura 5.55. Respuesta en frecuencia post-layout del divisor, topología 4.**

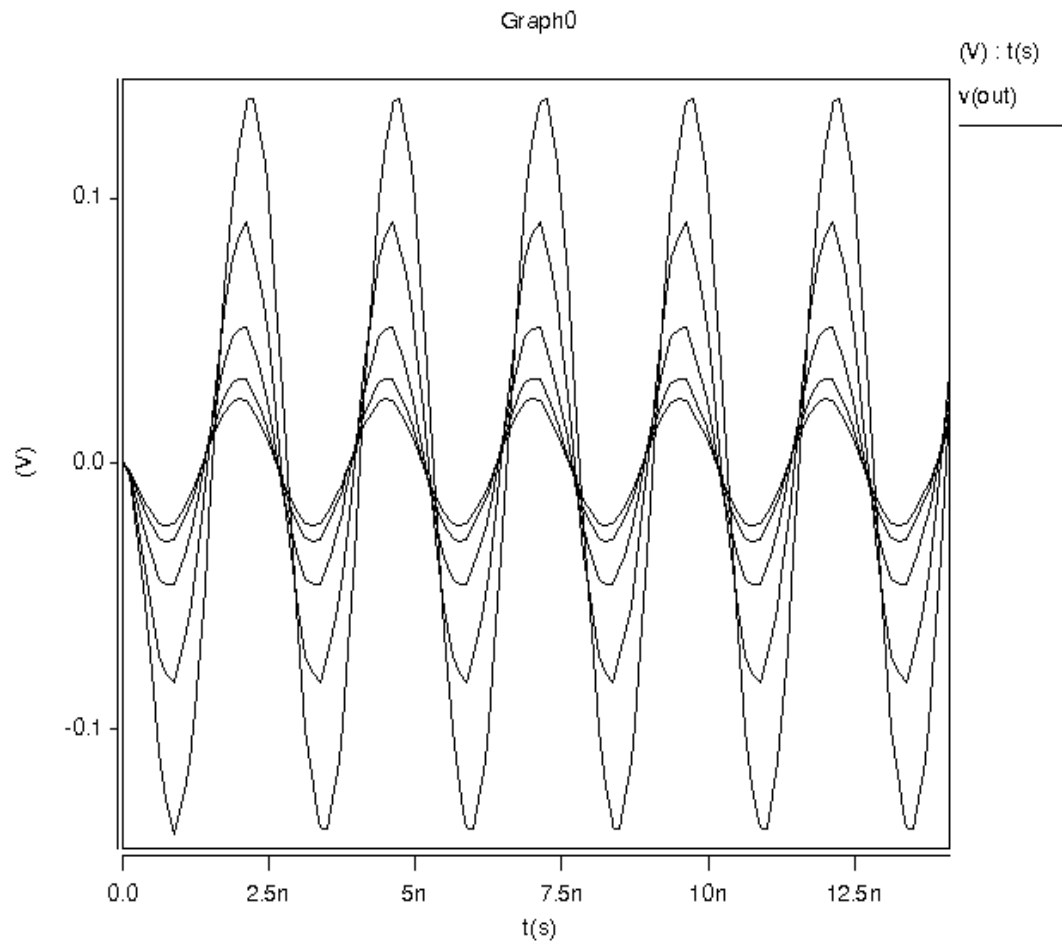
En la Figura 5.56 se muestran las curvas de transferencia en DC post-layout del divisor, topología 4. Estas curvas no presentan cambios significativos con respecto a las que fueron obtenidas en la simulación antes de layout. Los niveles de voltaje a la salida son prácticamente los mismos.





**Figura 5.56. Respuesta en DC post-layout del divisor, topología 4.**

Finalmente, en la Figura 5.57 observamos la respuesta en el tiempo post-layout del circuito divisor, topología 4. Esta respuesta no difiere significativamente con la obtenida en la simulación antes de layout. Los niveles máximos y mínimos de voltaje presentes a la salida andan rondando los mismos valores esperados.



**Figura 5.57.** Respuesta en el tiempo post-layout del divisor, topología 4.

## 5.10 Comparación de los divisores, resultados y conclusiones

Tabla 5.5. Tabla comparativa para los circuitos divisores.

PARÁMETRO	DIVISOR, TOPOLOGÍA 1	DIVISOR, TOPOLOGÍA 2	DIVISOR, TOPOLOGÍA 3	DIVISOR, TOPOLOGÍA 4
Máxima frecuencia de operación	1.65GHz	2.76GHz	2.43GHz	837.5MHz
Consumo estático de potencia	11.6mW	16mW	22.6mW	2.68mW
Consumo de área	82.6 $\mu$ m $\times$ 107.15 $\mu$ m	99.3 $\mu$ m $\times$ 100 $\mu$ m	259.3 $\mu$ m $\times$ 284.9 $\mu$ m	61.6 $\mu$ m $\times$ 66.6 $\mu$ m
Voltaje de alimentación	$\pm 1.65V$	$\pm 1.65V$	$\pm 1.65V$	$\pm 1.65V$
Swing $V_{num}$ , $V_{den}$	-0.3V $\leftrightarrow$ 0.3V, -0.45V $\leftrightarrow$ 0.45V	-0.45V $\leftrightarrow$ 0.45V, -0.8V $\leftrightarrow$ 0.8V	-0.4V $\leftrightarrow$ 0.4V, -0.55V $\leftrightarrow$ 0.55V	-0.2V $\leftrightarrow$ 0.2V, -0.25V $\leftrightarrow$ 0.25V
THD (%)	Máx.-Min. @ 1.2%-0.85%	Máx.-Min. @ 4.35%-3.9%	Máx.-Min. @ 2.5%-2%	Máx.-Min. @ 4%-0.96%
SNR	Máx.-Min. @ 70dB-60dB	@ 55dB	@ 53dB	Máx.-Min. @ 70dB-61.8dB
SFDR	@ 45dB en 1.8GHz.	@ 27dB en 600 MHz.	@ 35dB en 2.7GHz.	Máx.-Min. @ 44dB-27dB en 1.2GHz.
Número de cuadrantes	2 cuadrantes	2 cuadrantes	2 cuadrantes	1 cuadrante

La Tabla 5.5 muestra una comparativa entre las cuatro topologías de circuitos divisores propuestos. Se observa que los circuitos propuestos en este trabajo de tesis operan a frecuencias de hasta 2.76GHz (en el caso de la topología 2). En cuanto al consumo de potencia, la que menor consumo presenta es la topología 4 (2.68mW) y la topología 3 presenta el mayor

consumo (22.6mW). En términos de área, la topología 3 es la que consume mayor área y la topología 4 consume la menor área, como era de esperarse. De los tres divisores de dos cuadrantes, la topología 1 consume menos área y potencia. Se observa entonces que las cuatro topologías se encuentran en rangos razonables tanto en consumo de potencia como del área.

Con respecto a la excursión (swing) de las entradas de voltaje del numerador ( $V_{num}$ ) y de voltaje del denominador ( $V_{den}$ ), el divisor que presenta las mejores características es la topología 2 ( $V_{num} \rightarrow -0.45V \leftrightarrow 0.45V$ ,  $V_{den} \rightarrow -0.8V \leftrightarrow 0.8V$ ). La topología 4 presenta la menor de entrada ( $V_{num} \rightarrow -0.2V \leftrightarrow 0.2V$ ,  $V_{den} \rightarrow -0.25V \leftrightarrow 0.25V$ ).

Por último, en términos de la THD, el circuito divisor que logra el menor porcentaje de distorsión es la topología 1 (0.85%), seguida por la topología 4 que logra un mínimo de 0.96%; con la topología 3 se consigue un mínimo del 2% y la topología 2 un mínimo de 3.9%.

Dadas las características de desempeño de los circuitos divisores mostradas en la Tabla 5.5 y de las gráficas de transferencia en DC, respuesta en AC, en el tiempo, THD, etc. que se presentaron en las secciones anteriores, se concluye que de los tres circuitos divisores de dos cuadrantes, el que mantiene el mejor balance entre frecuencia de operación, consumo de potencia, área y rango dinámico de entrada es la topología 2, sin embargo, sus características de división no son tan buenas y posee el mayor porcentaje de distorsión. En contraste con la topología 2, la topología 4 muestra como ventajas las mejores características de división, menor distorsión, menor consumo de área y de potencia, aunque tiene como desventajas que posee la menor excursión de entrada y principalmente, el que nada más puede operar en un solo cuadrante. La topología 1 posee muy baja distorsión trabajando a altas frecuencias por lo que es una muy buena opción cuando éste parámetro sea el principal a considerar.



# CAPÍTULO 6

*"El tiempo es el mejor autor: siempre encuentra un final perfecto"*  
**CHARLES CHAPLIN**

## Conclusiones y trabajo futuro

En las primeras secciones de la tesis se discutieron las primeras y más recientes ideas que han sido exploradas para usarse como detectores de RF-RMS, que como se menciona anteriormente, éste tema sigue en constante investigación en la actualidad.

En este trabajo se presentó un detector de RF-RMS que basa su funcionamiento en un circuito multiplicador de cuatro cuadrantes para realizar la rectificación de señal, en el cual se busco cumplir con los requerimientos de diseño necesarios (aspectos como frecuencia de operación en el rango de RF, tiempo de establecimiento, consumo de potencia, capacitancia de entrada y rango dinámico lineal) para usarse dentro del entorno de un transceiver y poder hacer su testing. El trabajo que se ha realizado fue a nivel simulación, generando buenos resultados en desempeño para estos requerimientos.

Se presentó también una propuesta a nivel sistema de circuito detector de RF-RMS, del cual se realizó la simulación a bloques del sistema completo en Simulink®, mostrando así su funcionamiento y se diseñaron también algunos de sus bloques principales (circuito driver, circuitos de retardo y circuitos divisores analógicos). Los resultados de simulación muestran que el desempeño para realizar la estimación RMS es bueno en términos de precisión y de su excelente velocidad de respuesta para detectar valores

RMS, siendo éstas sus principales ventajas sobre otras ideas propuestas en la literatura [14, 19]. De los bloques realizados, el circuito driver cumplió con los requerimientos de baja capacitancia de entrada y frecuencia de operación. Las celdas de retardo también presentaron una respuesta de operación manejable para ser utilizadas en altas frecuencias.

Se propusieron cuatro nuevas topologías de circuitos divisores analógicos, de las cuales las tres primeras se tratan de divisores de dos cuadrantes y la topología cuatro de un divisor de un solo cuadrante. Se presentó también un macromodelo, el cual mediante el uso de un circuito multiplicador y del concepto de retroalimentación parte la idea para el diseño de las primeras tres topologías de circuitos divisores. Esta idea puede ser usada para generar otras topologías de circuitos divisores a partir de otros tipos de multiplicadores o de otros esquemas de retroalimentación.

De las topologías de circuitos divisores desarrolladas, el de mejor desempeño en cuanto a características de división es la topología cuatro, además de que ésta requiere de menor área debido a su simplicidad; sin embargo, su desventaja es que solamente opera en un cuadrante. Todas las topologías presentadas mostraron buen desempeño a altas frecuencias (por arriba de varios cientos de Megahertz e incluso trabajando en el rango de los Gigahertz), siendo su característica principal de desempeño y superiores a las encontradas en la literatura. En [39] se reporta un divisor en modo voltaje a una frecuencia a  $-3\text{dB}$  de  $12.8\text{MHz}$ . El divisor en modo corriente reportado en [40] presenta un ancho de banda de  $10\text{MHz}$ , en [46] y [47] se reportan divisores en tecnología bipolar trabajando a una frecuencia a  $-3\text{dB}$  de  $6.5\text{MHz}$  y  $26.42\text{MHz}$ , respectivamente.

Se hicieron los layouts de los cuatro circuitos divisores analógicos, su extracción y resimulación de los mismos. Todos los circuitos presentados

(detector RF-RMS, driver, celdas de retardo y divisores analógicos) fueron simulados en una tecnología estándar AMIS de 0.35 $\mu$ m CMOS.

Como trabajo futuro, resta el diseño de un circuito divisor analógico, pero trabajando en cuatro cuadrantes, para posteriormente realizar el acoplamiento de éste con el circuito driver, las celdas de retardo, bloques de suma, resta, multiplicador, circuito que eleve al cuadrado y de extracción de raíz cuadrada, para finalmente poder obtener el circuito completo que implemente a la función propuesta de estimador RF-RMS.





# APÉNDICE A

## Layouts de los circuitos divisores

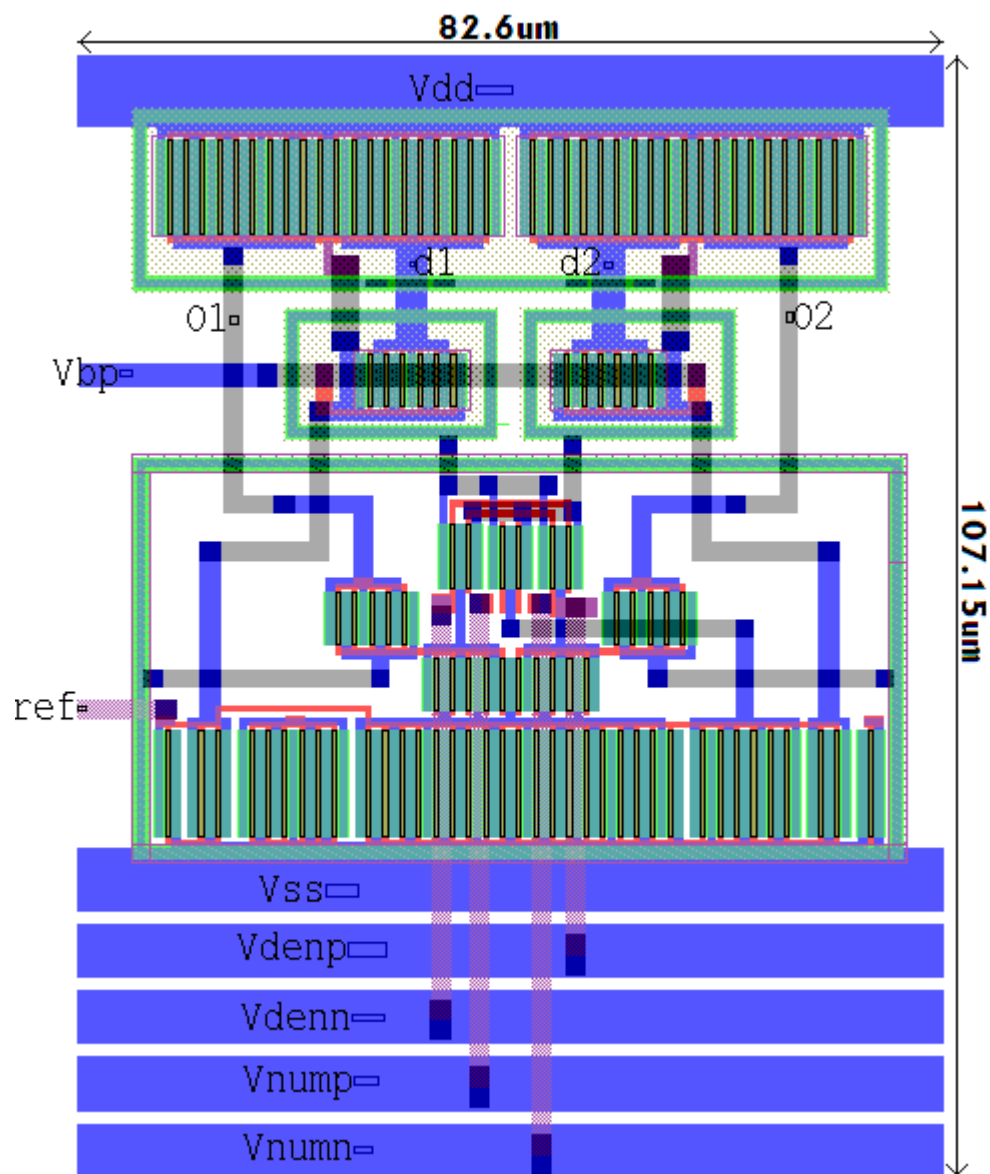


Figura A-1. Patrón geométrico del divisor, topología 1.

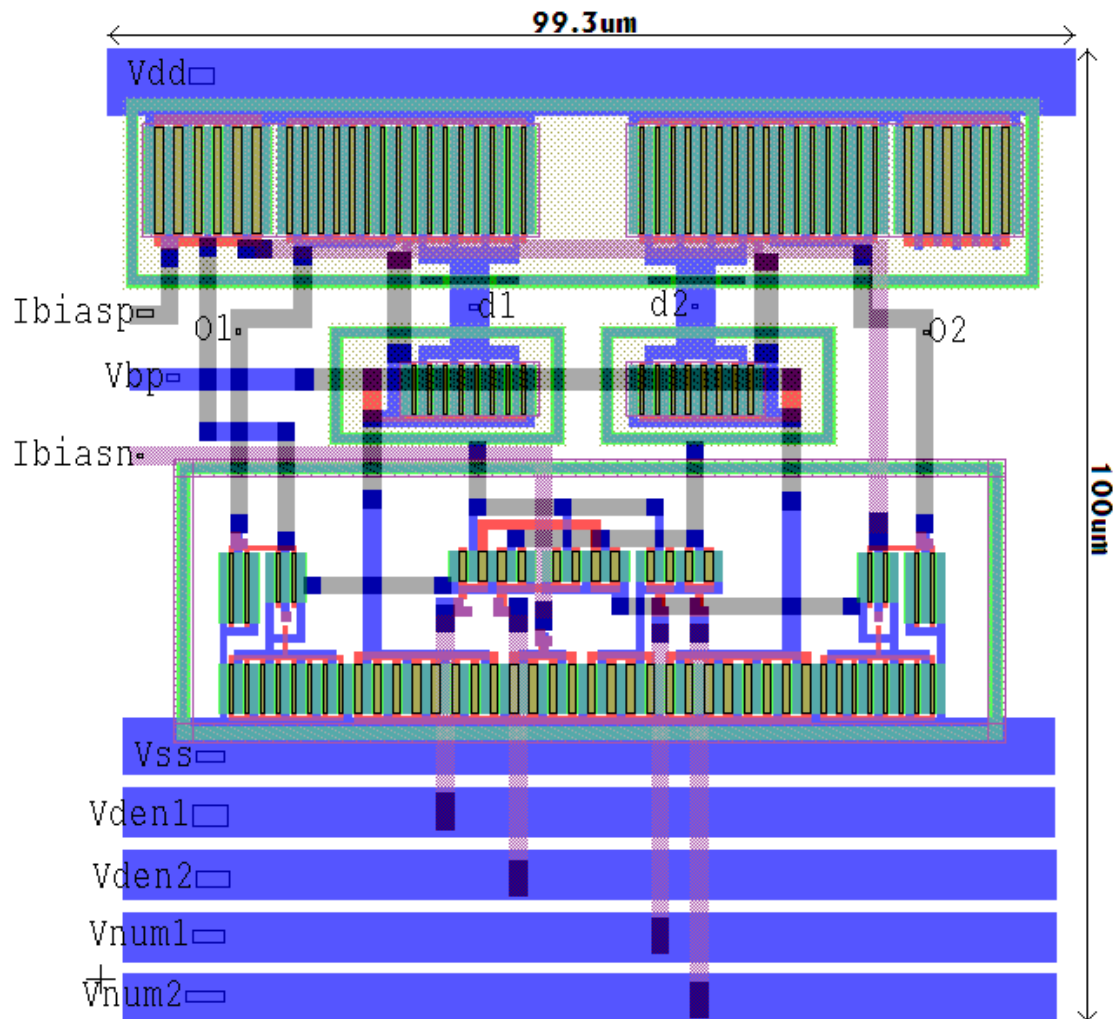


Figura A-2. Patrón geométrico del divisor, topología 2.

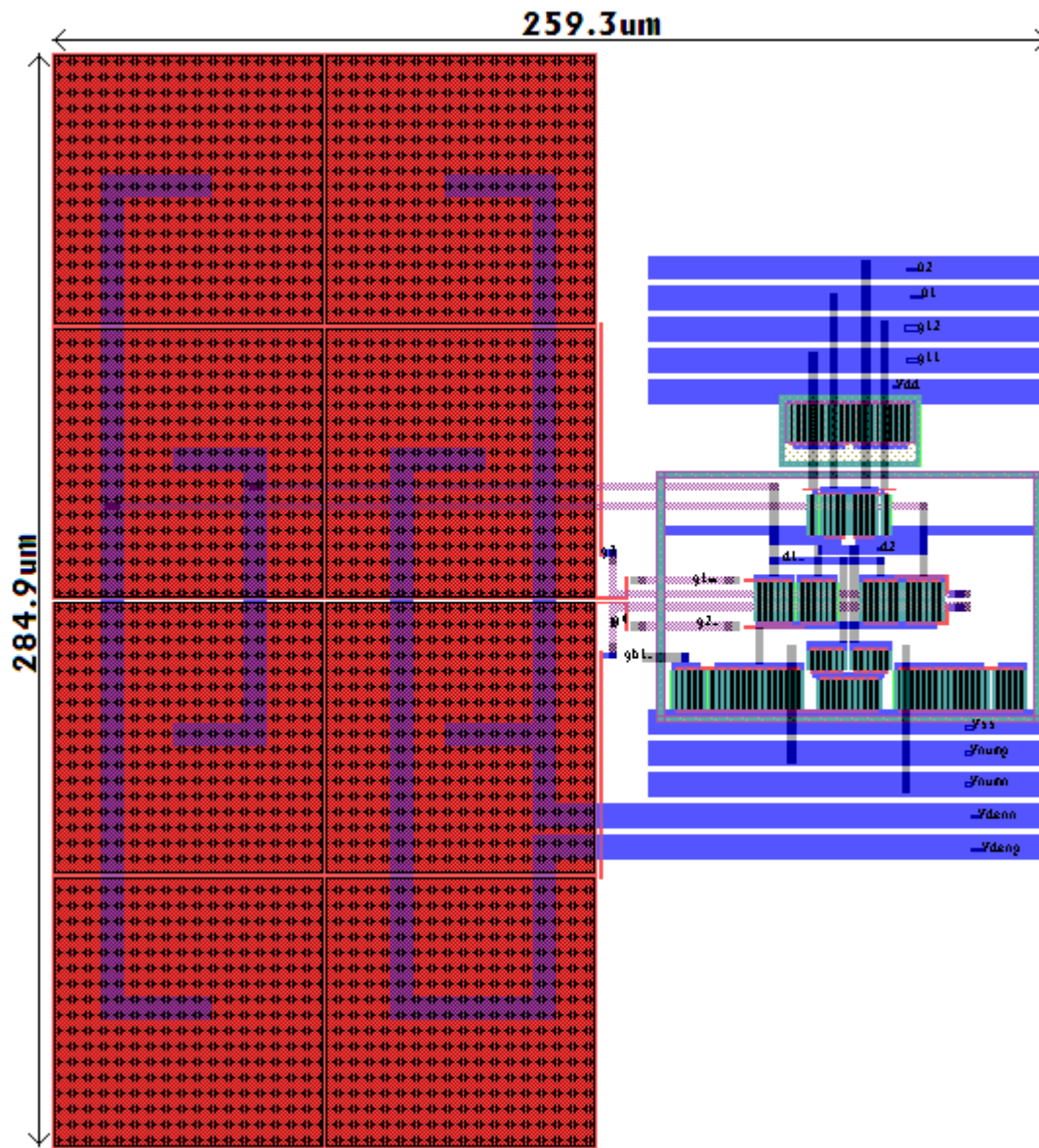


Figura A-3. Patrón geométrico del divisor, topología 3.

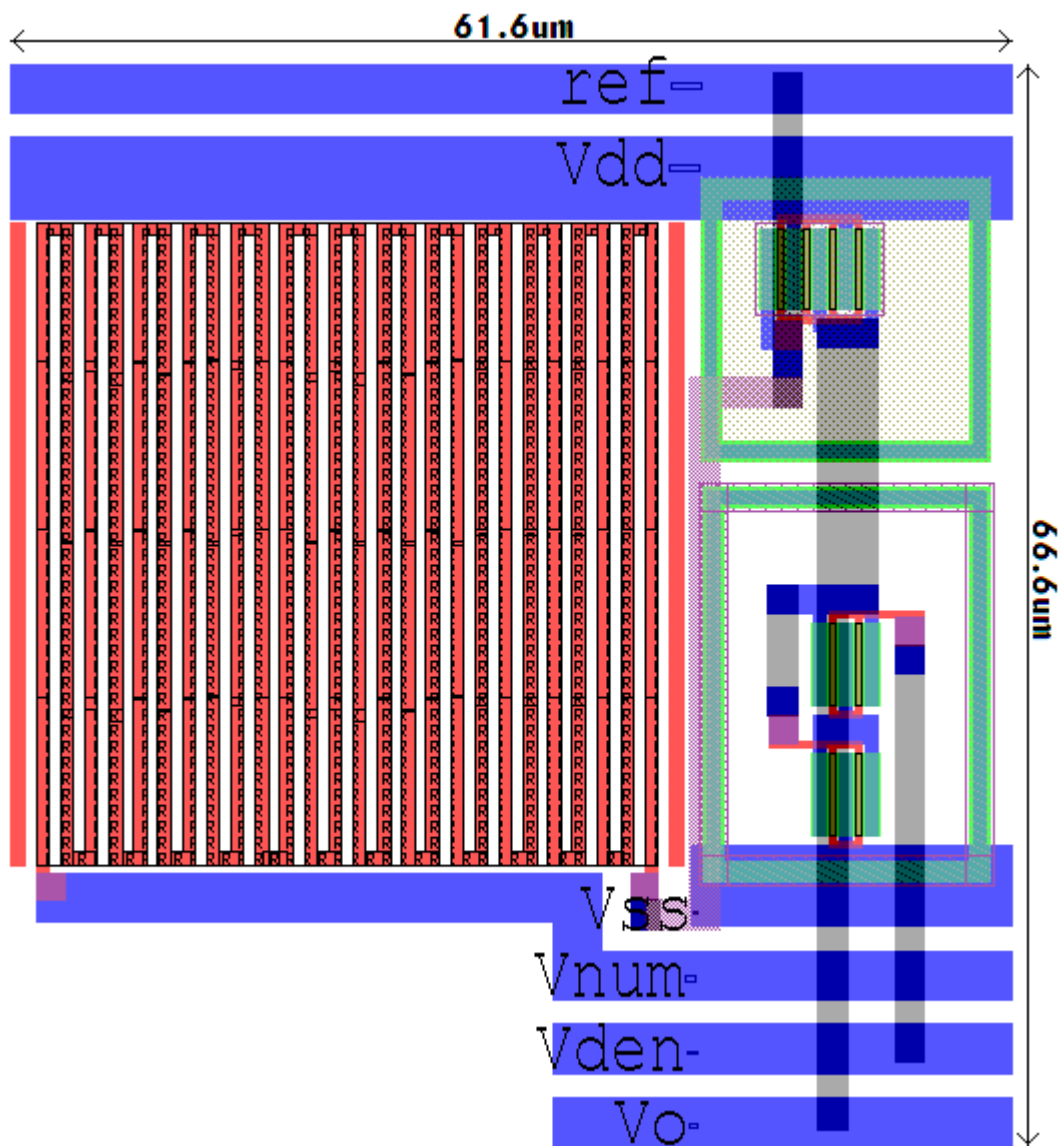


Figura A-4. Patrón geométrico del divisor, topología 4.

# APÉNDICE B

## Modelo BSIM 3v3 nivel 49 de la tecnología

```

***** MODEL CARDS, ALCATEL AME *****
***** TYPICAL *****
*****

**** PROCESS:           C035M 3.3V
**** MODEL:             MOS Bsim3 version 3.2
****                   BIPOLAR GUMMEL POON
****                   DIODE Level 4
**** VERSION:           1
**** TYPE OF RELEASE:   Beta
**** COMMENTS:         Related Elec Spec: DS13330
*****

*
*.LIB c035
* DATE: May 5/99
* LOT: E833624          WAF: W#13_125
* DIE: X0Y0             DEV: n0.5/0.35a
* Temp= 27

.MODEL NMOS NMOS      LEVEL = 49
+VERSION = 3.2      TNOM = 27      TOX = 7.4E-9
+XJ = 2.3E-7      NCH = 2E17      VTH0 = 0.5910286
+K1 = 0.5665015   K2 = -2.01788E-5   K3 = 43.254121
+K3B = -8.3666578   W0 = 5.7493E-6   NLX = 1.72968E-7
+DVT0W = 0.018702   DVT1W = 5.3E6      DVT2W = -0.032
+DVT0 = 3.6629308   DVT1 = 0.5219583   DVT2 = -0.05
+VBM = -3.3        U0 = 528.8985   UA = 1.476303E-9
+UB = 2.083775E-19  UC = 5.368193E-11  VSAT = 9.011E4
+A0 = 0.8775883    AGS = 0.214565     B0 = 4.40815E-8
+B1 = 1E-7         KETA = 0.0166414   A1 = 0
+A2 = 1           RDSW = 816.0400837  PRWG = 9.336953E-4
+PRWB = 0.0539535   WR = 1           WINT = 4.572104E-8
+LINT = 3.15E-8     XL = 0           XW = 0
+DWG = -2.687564E-9  DWB = 4.696235E-9  VOFF = -0.1406745

```

```

+NFACTOR = 1.4442501  CIT  = 0      CDSC  = 1E-3
+CDSCD  = 0      CDSCB  = 0      ETA0  = 0
+ETAB   = -0.0722136  DSUB  = 0.56    PCLM  = 0.8351951
+PDIBLC1 = 0.2896433  PDIBLC2 = 2.920887E-3  PDIBLCB = 0
+DROUT  = 0.7796106  PSCBE1  = 6.510097E8  PSCBE2  = 2.948305E-5
+PVAG   = 0.0587596  DELTA   = 1.618913E-3  ALPHA0  = 2.2E-7
+BETA0  = 18.45     ALPHA1  = 0.78     RSH    = 2.7
+JS     = 1.6E-7    JSW     = 4.0E-13
+MOBMOD = 1      PRT    = 0      UTE    = -1.7395947
+KT1    = -0.1635661  KT1L   = -1.173597E-8  KT2    = 0.022
+UA1    = 1.081907E-10  UB1    = -8.22235E-19  UC1    = -1E-10
+AT     = 3.3E4     NQSMOD = 0      ELM    = 5
+WL     = 9.246632E-22  WLN    = 1      WW     = 0
+WWN    = 1      WWL    = -1.28698E-20  LL     = 0
+LLN    = 1      LW     = 0      LWN    = 1
+LWL    = 0      AF     = 1      KF     = 3.9167E-28
+NOIMOD = 1      EF     = 1      CAPMOD = 3
+XPART  = 0      CGDO   = 1.04294E-10  CGSO   = 1.04294E-10
+CJ     = 8.86E-4    PB     = 0.904    MJ     = 0.369
+CJSW   = 2.65E-10  PBSW   = 0.894    MJSW   = 0.356
+CJSWG  = 2.84E-10  PBSWG  = 0.896    MJSWG  = 0.356
+CKAPPA = 0.6     CLC    = 1E-8     CLE    = 0.6
+NOFF   = 1      ACDE   = 1
+MOIN   = 15     TPB    = 0      TPBSW  = 0
+TPBSWG = 0     TCJ    = 0      TCJSW  = 0
+TCJSWG = 0
* definition of selectors for ELDO
*for junction leakage
+DIOLEV=7  TLEVI=3  XTI=3  N=1.09
* junction capacitance, AD AP, AS and PS calculation
+ALEV=3    DCAPLEV=0
+HDIF=0.4875E-6
* external series resistance
+RLEV=4
*
*.ENDL c035
*****
*  SINGLE DIODE MODEL CARDS - AuE Diode Model  *
*****
* IS in A/um^2, ISW in A/uM

```

```
* CJO in F/uM^2, CSO in F/uM.
*
*{DNPPS_TYP} N+/PWELL TYPICAL in Forward & Reverse mode
* Fam = DIODE
* #ELDO 4.7
.MODEL DNPPS
*+ D LEVEL=1 IS=2.9E-7 ISW=6.0E-13 N=1.09 XTI=3.0 EG=1.11
*+ CJO=8.65E-4 M=0.369 CJSW=2.65E-10 MJSW=0.356 VJ=0.9
+ D LEVEL=1 IS=2.9E-19 ISW=6.0E-19 N=1.09 XTI=3.0 EG=1.11
+ CJO=8.86E-16 M=0.369 CJSW=2.65E-16 MJSW=0.356 VJ=0.9
*
.MODEL DNPPSR
*+ D LEVEL=1 IS=2.9E-7 ISW=6.0E-13 N=1.09 XTI=3.0 EG=1.11
*+ CJO=8.65E-4 M=0.369 CJSW=2.65E-10 MJSW=0.356 VJ=0.9
+ D LEVEL=1 IS=2.9E-19 ISW=6.0E-19 N=1.09 XTI=3.0 EG=1.11
+ CJO=8.86E-16 M=0.369 CJSW=2.65E-16 MJSW=0.356 VJ=0.9
*
.MODEL DNPPSF
*+ D LEVEL=4 IS=4.7E-8 ISW=3.0E-12 N=1.00 XTI=3.00 EG=1.11
*+ CJO=8.86E-4 M=0.369 CSO=2.65E-10 MS=0.356 VJ=0.9
+ D LEVEL=4 IS=4.7E-20 ISW=3.0E-18 N=1.00 XTI=3.00 EG=1.11
+ CJO=8.86E-16 M=0.369 CSO=2.65E-16 MS=0.356 VJ=0.9
*
*{DNWPS_TYP} NWEEL/PSUBSTRATE Typical in Forward & Reverse mode
* Fam = DIODE
*
.MODEL DNWPS
*+ D LEVEL=1 IS=5.80E-8 ISW=9.0E-13 EG=1.11 XTI=2.0 N=1.0
*+ CJO=2.31E-4 M=0.218 CJSW=2.55E-10 MJSW=0.205 VJ=0.5
+ D LEVEL=1 IS=5.80E-20 ISW=9.0E-19 EG=1.11 XTI=2.0 N=1.0
+ CJO=2.31E-16 M=0.218 CJSW=2.55E-16 MJSW=0.205 VJ=0.5
*
.MODEL DNWPSR
*+ D LEVEL=1 IS=5.80E-8 ISW=9.0E-13 EG=1.11 XTI=2.0 N=1.00
*+ CJO=2.31E-4 M=0.218 CJSW=2.55E-10 MJSW=0.205 VJ=0.5
+ D LEVEL=1 IS=5.80E-20 ISW=9.0E-19 EG=1.11 XTI=2.0 N=1.00
+ CJO=2.31E-16 M=0.218 CJSW=2.55E-16 MJSW=0.205 VJ=0.5
*
.MODEL DNWPSF
*+ D LEVEL=4 IS=5.80E-8 ISW=2.0E-12 EG=1.11 XTI=3.0 N=1.00
```



\*+ CJO=2.31E-4 M=0.218 CSO=2.55E-10 MS=0.205 VJ=0.5  
 + D LEVEL=4 IS=5.80E-20 ISW=2.0E-18 EG=1.11 XTI=3.0 N=1.00  
 + CJO=2.31E-16 M=0.218 CSO=2.55E-16 MS=0.205 VJ=0.5  
 \*

\*\*\*\*\* MODEL CARDS, ALCATEL AuE \*\*\*\*\*  
 \*\*\*\*\* TYPICAL \*\*\*\*\*

\*\*\*\* PROCESS: C035M 3.3V  
 \*\*\*\* MODEL: MOS Bsim3 version 3.2  
 \*\*\*\* BIPOLAR GUMMEL POON  
 \*\*\*\* DIODE Level 4  
 \*\*\*\* VERSION: 1  
 \*\*\*\* TYPE OF RELEASE: Beta  
 \*\*\*\* COMMENTS: Related Elec Spec: DS13330

\*.LIB c035  
 \* DATE: May 6/99  
 \* LOT: E833624 WAF: W#13  
 \* DIE: X-2Y0 DEV: p0.5/0.35c  
 \* Temp= 27  
 .MODEL PMOS PMOS LEVEL = 49  
 +VERSION = 3.2 TNOM = 27 TOX = 7.4E-9  
 +XJ = 3E-7 NCH = 2.8E17 NSUB = 2.5E15  
 +VTH0 = -0.5945258 K1 = 0.6796441 K2 = -8.459721E-5  
 +K3 = 1E-3 K3B = 1.27313 W0 = 9.9E-6  
 +NLX = 7.315701E-8 DVT0W = 0.2 DVT1W = 3.5E5  
 +DVT2W = -0.0455073 DVT0 = 7.2827637 DVT1 = 0.7802501  
 +DVT2 = -0.0356391 VBM = -3.3 U0 = 122.0088902  
 +UA = 1.736799E-9 UB = 2.067129E-20 UC = -5.97265E-11  
 +VSAT = 1.510148E5 A0 = 1.2275109 AGS = 0.1823146  
 +B0 = 4.165587E-8 B1 = 1E-7 KETA = -9.803756E-3  
 +A1 = 0 A2 = 1 RDSW = 2.040327E3  
 +PRWG = 4.254056E-3 PRWB = 6.047599E-3 WR = 1  
 +WINT = 4.931593E-8 LINT = 3.318836E-8 XL = 0  
 +XW = 0 DWG = -3.547194E-9 DWB = 9.874385E-9  
 +VOFF = -0.1246442 NFACTOR = 0.6522602 CIT = 0  
 +CDSC = 2.4E-4 CDSCD = 0 CDSCB = 0

```

+ETA0 = 0.8389729  ETAB = -0.07  DSUB = 1
+PCLM = 1.1132227  PDIBLC1 = 0.0192481  PDIBLC2 = 6.943741E-4
+PDIBLCB = 0  DROUT = 0.999  PSCBE1 = 7.992E8
+PSCBE2 = 1.001E-5  PVAG = 0.1810426  DELTA = 0.0131564
+NGATE = 0  ALPHA0 = 1.786E-7  BETA0 = 28.5
+ALPHA1 = 0.42  RSH = 2.4
+JS = 1.91E-7  JSW = 6.86E-13
+MOBMOD = 1
+PRT = 350.3826014  UTE = -1.2024509  KT1 = -0.1263843
+KT1L = -3.483014E-8  KT2 = 0  UA1 = 8.676042E-14
+UB1 = -1.88675E-18  UC1 = -1E-10  AT = 3.3E4
+XT = 1.55E-7  NQSMOD = 0  ELM = 5
+WL = 9.350479E-20  WLN = 1  WW = 0
+WWN = 1  WWL = -1.04839E-20  LL = 0
+LLN = 1  LW = 0  LWN = 1
+LWL = 0  AF = 1  KF = 2.166E-28
+NOIMOD = 1  EF = 1  CAPMOD = 3
+XPART = 0  CGDO = 1.04294E-10  CGSO = 1.04294E-10
+CJ = 1.27E-3  PB = 0.908  MJ = 0.442
+CJSW = 2.55E-10  PBSW = 0.899  MJSW = 0.373
+CJSWG = 2.72E-10  PBSWG = 0.904  MJSWG = 0.411
+CLC = 1E-7  CLE = 0.6
+NOFF = 1  ACDE = 1
+MOIN = 15  TPB = 0  TPBSW = 0
+TPBSWG = 0  TCJ = 0  TCJSW = 0
+TCJSWG = 0
* definition of selectors for ELDO
*for leakage
+DIOLEV=7  TLEVI=3  XTI=3  N=1.04
* junction capacitance, AD, PD, AS and PS calculation
+ALEV=3  DCAPLEV=0  HDIF=0.4875E-6
* external series resistance
+RLEV=4
*
*.ENDL c035
*****
*          SINGLE DIODE MODEL CARDS - AuE Diode Model          *
*****
*{DPPNW_TYP} P+/NWELL TYPICAL in Forward & Reverse mode
* Fam = DIODE

```

```

*#ELDO 4.7
.MODEL DPPNW
*+ D LEVEL=4 IS=2.50E-20 ISW=2.0E-18 N=1.00 XTI=3.00 EG=1.11
*+ D LEVEL=1 IS=4.50E-7 ISW=2.0E-12 N=1.04 XTI=3.0 EG=1.11
+ D LEVEL=1 IS=4.50E-19 ISW=2.0E-18 N=1.04 XTI=3.0 EG=1.11
+ CJO=1.27E-15 M=0.442 CJSW=2.55E-16 MJSW=0.373 VJ=0.9
*
.MODEL DPPNWR
*+ D LEVEL=1 IS=4.50E-7 ISW=2.0E-12 N=1.04 XTI=3.0 EG=1.11
+ D LEVEL=1 IS=4.50E-19 ISW=2.0E-18 N=1.04 XTI=3.0 EG=1.11
+ CJO=1.27E-15 M=0.442 CJSW=2.55E-16 MJSW=0.373 VJ=0.9
*
.MODEL DPPNWF
+ D LEVEL=4 IS=2.50E-20 ISW=2.0E-18 N=1.00 XTI=3.00 EG=1.11
+ CJO=1.27E-15 M=0.442 CSO=2.55E-16 MS=0.373 VJ=0.9
*
*****
*
*
* BIPOLAR MODEL CARDS - Vertical P+/NWell/Psub bipolar*
* Emitter Area: 5*5 um^2 (fully salicided) *
*
*****
*{PNPBG251_TYP} Lot: E833624 Wafer:13
* Fam = PNPS
* Maturity: Preliminary
* #ELDO 4.7
*
.MODEL PNPBG251
+ PNP
+ IS = 7.55E-18 BF = 5.5 BR = 5.00E-01 ISE = 7.00E-17
+ NE = 1.900 VAF = 180.0 VAR = 15.00 IKF = 2.01E-03
+ RB = 5.48E+01 RBM = 1.00E+00 RE = 3.00E+00 RC = 5.00E+01
+ CJE = 3.82E-14 VJE = .600 MJE = .320 CJC = 1.62E-14
+ VJC = .600 MJC = .190 TF = 0.35E-09 XTF = 1.00
+ VTF = 3.00E+00 ITF = 2.00E-02 PTF = 30.00 TR = 1.00E-09
+ EG = 1.184 XTI = 2.37 XTB = 1.64 IKR = 2.00E-03
*
*****

```

# APÉNDICE C

## Acrónimos

<b>AMIS</b>	AMI Semiconductors
<b>ATE</b>	Automated Test Equipment
<b>BER</b>	Bit Error Ratio
<b>BIT</b>	Built-In-Testing
<b>CMOS</b>	Complementary Metal Oxide Semiconductor
<b>CUT</b>	Circuit Under Test
<b>DFT</b>	Desing For Testing
<b>DIBs</b>	Device Interface Boards
<b>DSP</b>	Digital Signal Processor
<b>DUT</b>	Device Under Test
<b>ETSI</b>	European Telecommunications Standards Institute
<b>FCC</b>	Federal Communications Commission
<b>FGMOS</b>	Floating Gate Metal Oxide Semiconductor
<b>FGT</b>	Floating Gate Transistor
<b>FVF</b>	Flipped Voltage Follower
<b>GSM</b>	Global System for Mobile communications
<b>ISM</b>	Industrial Scientific and Medical
<b>LANs</b>	Local Area Networks
<b>LNA</b>	Low Noise Amplifier
<b>LO</b>	Local Oscillator
<b>MIFGMOS</b>	Multiple Input Floating Gate MOS
<b>MMIC's</b>	Monolithic Microwave Integrated Circuits
<b>MOS</b>	Metal Oxide Semiconductor

<b>MOSFET</b>	Metal Oxide Semiconductor Field Effect Transistor
<b>OTA</b>	Operational Transconductance Amplifier
<b>PA</b>	Power Amplifier
<b>PANs</b>	Personal Area Networks
<b>RF</b>	Radio Frequency
<b>RMS</b>	Root Mean Square
<b>SFDR</b>	Spurious Free Dynamic Range
<b>SNR</b>	Signal Noise Ratio
<b>SoC</b>	System on Chip
<b>THD</b>	Total Harmonic Distortion
<b>TIA</b>	Transimpedance Amplifier
<b>VCO</b>	Voltage Controlled Oscillator
<b>Wi-Fi</b>	Wireless Fidelity
<b>WLANs</b>	Wireless Local Area Networks
<b>WPANs</b>	Wireless Personal Area Networks

# ÍNDICE DE FIGURAS

Figura 2.1 Estructura del Loop-back test en un transceiver [13, 14].....	9
Figura 2.2 Técnica BIT Loop-back mejorada aplicada a un transceiver. Requerimientos de hardware y software [10].....	10
Figura 2.3 Arquitectura Loop-back conmutada [13, 14] .....	11
Figura 2.4 Arquitectura para hacer testing para el front-end de un receptor GSM usando divisores de potencia [21] .....	12
Figura 2.5 Rectificador de cuatro etapas charge pump, con bajo voltaje de umbral y polarización de sustrato positiva [20] .....	13
Figura 2.6 Esquema de BIT On-chip usado para circuitos y sistemas de RF [20].....	13
Figura 2.7 True RMS detector AD8361 [23].....	14
Figura 2.8 Detectores de potencia usando MOSFETS [24] .....	15
Figura 2.9 Rectificador de corriente de precisión: (a) Rectificador de corriente de precisión. (b) Rectificador de corriente de precisión con suma de corrientes $I_{out} = I_N + I_P$ para obtener la rectificación de onda completa [25] .....	16
Figura 2.10 (a) Rectificador clase AB [26], (b) Rectificador de onda completa [27], (c) Rectificador clase AB de onda completa mejorado [28] .....	17
Figura 2.11 RF RMS detector usando un rectificador clase AB [19].....	18
Figura 2.12 Circuito detector RF RMS [14]. .....	19
Figura 3.1 Idea básica del circuito rectificador .....	27
Figura 3.2 Señales $V(1)$ y $V(2)$ : $\pm 0.5 V_{in,m\acute{a}x} \sin^2(2\pi \times 2.4E9t)$ del bloque rectificador ideal.....	27
Figura 3.3 Estructura de un multiplicador usando el término $(V_{gs})^2$ y croos- coupled MOSFETS [36].....	29
Figura 3.4 Celda Flipped Voltage Follower (FVF).....	30

Figura 3.5 Circuito multiplicador de cuatro cuadrantes [30].	31
Figura 3.6 Multiplicador de cuatro cuadrantes configurado para elevar al cuadrado una señal de entrada	32
Figura 3.7 Salidas del rectificador. Para una señal de entrada a 2.4GHz con amplitudes que van de 5mV a 400mV en 10 pasos. (a) Señal obtenida en el nodo $v_{o1}$ . (b) Señal obtenida en el nodo $v_{o2}$ .	33
Figura 3.8 $v_{o1}$ vs. Amplitudes de entrada.	34
Figura 3.9 $v_{o2}$ vs. Amplitudes de entrada.	35
Figura 3.10 Segunda etapa del detector RF-RMS	36
Figura 3.11 Transistor conectado como diodo para extraer la raíz cuadrada	37
Figura 3.12 Circuito detector RF-RMS completo	38
Figura 3.13 Impedancia de entrada del detector RF-RMS	40
Figura 3.14 Característica (V/V) del detector RF-RMS	41
Figura 3.15 Característica (V/dBm) del RF-RMS detector	42
Figura 3.16 Gráficas de ganancia y fase del circuito detector RF- RMS para un capacitor $C1= 0.8$ pF	43
Figura 3.17 Gráficas de ganancia y fase del circuito detector RF- RMS para un capacitor $C1= 2$ pF	43
Figura 3.18 Salida del detector con diferentes amplitudes de entrada a 2.4GHz y $C1= 0.8$ pF	44
Figura 3.19 Salida del detector con diferentes amplitudes de entrada a 2.4GHz y $C1= 2$ pF	45
Figura 4.1 Modelo a bloques del detector implementado en Simulink®.	50
Figura 4.2 Señal de entrada $f(x)$ y señales con retardos $f(x-h)$ , $f(x-2h)$ , (con $h=0.01$ ns)	51
Figura 4.3 Señal $f^2(x)$	51
Figura 4.4 Señal den= $\{f(x)-2f(x-h)+f(x-2h)\}$	52
Figura 4.5 Señal num= $\{f(x) [f(x)-f(x-h)]^2\}$	52
Figura 4.6 Señal de entrada y señal de salida (señal estimada).	53
Figura 4.7 Circuito driver	54

Figura 4.8 Celda de retardo .....	56
Figura 4.9 Modelo a pequeña señal simplificado de la celda de retardo .....	57
Figura 4.10 Impedancia de entrada del driver .....	60
Figura 4.11 Impedancia de salida del driver .....	60
Figura 4.12 Impedancia de entrada de la celda de retardo.....	61
Figura 4.13 Impedancia de salida de la celda de retardo .....	61
Figura 4.14 Respuesta en frecuencia del driver $i_o$ (dB).....	62
Figura 4.15 Respuesta en frecuencia de la celda de retardo (dB).....	63
Figura 4.16 Configuración para realizar la caracterización del driver y celda de retardo (la $R_L$ empleada es de $321\Omega$ ) .....	63
Figura 4.17 De arriba abajo se muestran las respuestas de la fase, retardo de grupo y en frecuencia ideales usando su modelo a pequeña señal simplificado contra la respuesta real obtenida en HSpice®.....	64
Figura 4.18 Respuesta en el tiempo del driver .....	65
Figura 4.19 Respuesta en el tiempo de la celda de retardo.....	66
Figura 4.20 Acoplamiento entre el driver y celdas de retardo.....	67
Figura 4.21 Respuesta en el tiempo de las celdas de retardo acopladas al driver.....	67
Figura 5.1 Macromodelo de un divisor de voltaje analógico .....	70
Figura 5.2 Macromodelo de un divisor de voltaje analógico en modo completamente diferencial.....	72
Figura 5.3 Curvas características de un divisor completamente diferencial ideal. ....	74
Figura 5.4 Celda básica de Gilbert CMOS.....	75
Figura 5.5 Divisor, topología 1(Retroalimentado por corriente).....	79
Figura 5.6 Respuesta en frecuencia del divisor (topología 1) .....	81
Figura 5.7 Respuesta en DC del divisor (topología 1) .....	82
Figura 5.8 Respuesta en el tiempo del divisor (topología 1).....	83
Figura 5.9 Curvas en DC del divisor, topología 1 (a) Aproximación teórica. (b) Curvas obtenidas por simulación en HSpice®. ....	84



Figura 5.10 Magnitud del error entre la aproximación teórica y la simulación en HSpice® del divisor, topología 1.....	85
Figura 5.11 Espectro de Fourier del circuito divisor, topología 1. ....	86
Figura 5.12 Porcentaje de la THD (distorsión armónica total) contra $V_{den}$ . ....	86
Figura 5.13 Relación señal a ruido (SNR) y rango dinámico libre de espurias (SFDR) contra $V_{den}$ del divisor, topología 1.....	87
Figura 5.14 Divisor, topología 2. ....	88
Figura 5.15 Respuesta en frecuencia del divisor (topología 2) .....	90
Figura 5.16 Respuesta en DC del divisor (topología 2) .....	91
Figura 5.17 Respuesta en el tiempo del divisor (topología 2). ....	92
Figura 5.18 Curvas en DC del divisor, topología 2 (a) Aproximación teórica. (b) Curvas obtenidas por simulación en HSpice®. ....	93
Figura 5.19 Magnitud del error entre la aproximación teórica y la simulación en HSpice® del divisor, topología 2.....	94
Figura 5.20 Espectro de Fourier del circuito divisor, topología 2. ....	95
Figura 5.21 Porcentaje de la THD (distorsión armónica total) del divisor, topología 2 contra $V_{den}$ .....	95
Figura 5.22 Relación señal a ruido (SNR) y rango dinámico libre de espurias (SFDR) contra $V_{den}$ del divisor, topología 2.....	96
Figura 5.23 (a) Arquitectura básica de multiplicador de cuatro cuadrantes usando dispositivos cuadráticos, que simultáneamente cancelan todas las componentes de alto orden y componentes de modo común (X,Y). (b) Multiplicador usando sumadores de voltaje [36].....	97
Figura 5.24 Transistor de compuerta flotante de múltiples entradas (MIFGMOS). (a) Símbolo esquemático. (b) Circuito equivalente. ....	100
Figura 5.25 Modelo de un transistor de compuerta flotante de dos entradas.....	102
Figura 5.26 Amplificador de transimpedancia (TIA). ....	103
Figura 5.27 Circuito equivalente a pequeña señal simplificado del TIA. ....	104
Figura 5.28 Divisor, topología 3. ....	107

Figura 5.29 Respuesta en frecuencia del divisor (topología 3). .....	108
Figura 5.30 Respuesta en DC del divisor (topología 3). .....	109
Figura 5.31 Respuesta en el tiempo del divisor (topología 3). .....	110
Figura 5.32 Curvas en DC del divisor, topología 3 (a) Aproximación teórica. (b) Curvas obtenidas por simulación en HSpice®. ....	112
Figura 5.33 Magnitud del error entre la aproximación teórica y la simulación en HSpice® del divisor, topología 3.....	113
Figura 5.34 Espectro de Fourier del circuito divisor, topología 3. ....	114
Figura 5.35 Porcentaje de la THD (distorsión armónica total) del divisor, topología 3 contra $V_{den}$ .....	114
Figura 5.36 Relación señal a ruido (SNR) y rango dinámico libre de espurias (SFDR) contra $V_{den}$ del divisor, topología 3.....	115
Figura 5.37 Divisor, topología 4. ....	117
Figura 5.38 Respuesta en frecuencia del divisor (topología 4). ....	118
Figura 5.39 Respuesta en DC del divisor (topología 4). ....	119
Figura 5.40 Respuesta en el tiempo del divisor (topología 4). ....	120
Figura 5.41 Transferencia en DC del divisor, topología 4. Aproximación teórica contra la simulación HSpice®. ....	122
Figura 5.42 Magnitud del error del circuito divisor, topología 4.....	122
Figura 5.43 Espectro de Fourier del circuito divisor, topología 4. ....	123
Figura 5.44 Porcentaje de la THD (distorsión armónica total) del divisor, topología 4 contra $V_{den}$ .....	123
Figura 5.45 Relación señal a ruido (SNR) y rango dinámico libre de espurias (SFDR) contra $V_{den}$ del divisor, topología 4.....	124
Figura 5.46 Respuesta en frecuencia post-layout del divisor, topología 1...	125
Figura 5.47 Respuesta en DC post-layout del divisor, topología 1. ....	126
Figura 5.48 Respuesta en el tiempo post-layout del divisor, topología 1. ....	127
Figura 5.49 Respuesta en frecuencia post-layout del divisor, topología 2. ...	128
Figura 5.50 Respuesta en DC post-layout del divisor, topología 2. ....	129
Figura 5.51 Respuesta en el tiempo post-layout del divisor, topología 2. ....	130

Figura 5.52 Respuesta en frecuencia post-layout del divisor, topología 3. ...	131
Figura 5.53 Respuesta en DC post-layout del divisor, topología 3. ....	132
Figura 5.54 Respuesta en el tiempo post-layout del divisor, topología 3. ....	133
Figura 5.55 Respuesta en frecuencia post-layout del divisor, topología 4. ...	134
Figura 5.56 Respuesta en DC post-layout del divisor, topología 4. ....	135
Figura 5.57 Respuesta en el tiempo post-layout del divisor, topología 4. ....	136
Figura A-1 Patrón geométrico del divisor, topología 1. ....	145
Figura A-2 Patrón geométrico del divisor, topología 2. ....	146
Figura A-3 Patrón geométrico del divisor, topología 3. ....	147
Figura A-4 Patrón geométrico del divisor, topología 4. ....	148

# ÍNDICE DE TABLAS

Tabla 3.1 Resumen de algunos estándares wireless de rango corto [14].....	23
Tabla 3.2 Características típicas de un LNA [30].....	24
Tabla 3.3 Valores de los componentes del circuito detector RF-RMS .....	38
Tabla 3.4 Tabla comparativa de detectores de RF-RMS .....	38
Tabla 4.1 Valores de los componentes del driver .....	55
Tabla 4.2 Valores de los componentes de la celda de retardo .....	56
Tabla 5.1 Valores de los componentes del circuito divisor (topología 1) .....	83
Tabla 5.2 Valores de los componentes del circuito divisor (topología 2) .....	92
Tabla 5.3 Valores de los componentes del circuito divisor (topología 3) .....	111
Tabla 5.4 Valores de los componentes del circuito divisor (topología 4) .....	121
Tabla 5.5 Tabla comparativa para los circuitos divisores.....	137



# REFERENCIAS

[1] Manoj Sachdev and José Pineda de Gyvez, "Defect-Oriented Testing for Nano-Metric CMOS VLSI Circuits", Springer, The Netherlands, 2007.

[2] William R. Eisenstadt, Robert M. Fox, Qizhang Yin, Jang-Sup Yoon and Tao Zhang, "On-Chip Microwave Test Circuits for Production IC Measurements", ARFTG 64<sup>th</sup> Conference-Digital Communications System Metrics, December 2-3, 2004, pp. 213-219.

[3] James F. Plusquellic, Donald M. Chiarulli, Steven P. Levitan, "Digital Integrated Circuit Testing using Transient Signal Analysis," itc,pp.481, International Test Conference 1996 (ITC'96), 1996.

[4] K. M. MacKay, "Testing Local Area Network Transceiver ICs at 5GHz", Proc. of the IEEE Intl. Test Conference, 2002, pp. 1146-1150.

[5] S. Ozev, A. Orailoglu and H. Haggag, "Automated test development and test time reduction for RF subsystems", Proc. of the IEEE Intl. Symposium on Circuits and Systems, 2002, Vol. 1, pp. 581 -584.

[6] S. Bhattacharya, A. Halder, G. Srinivasan and A. Chatterjee, "Alternate Testing of RF Transceivers Using Optimized Test Stimulus for Accurate Prediction of System Specifications", Journal of Testing: Theory and Applications, vol. 21, no.3, June 2005, pp. 323-339.

- 
- [7] S. Ozev, A. Orailoglu and C. V. Olgaard, "Multilevel Testability Analysis and Solutions for Integrated Bluetooth Transceivers", *IEEE Design & Test of Computers*, Vol. 19, No. 5, Sept.-Oct. 2002, pp. 82-91.
- [8] A. Valdes-Garcia, "A CMOS RF RMS detector for built-in testing of wireless receivers", in *Proc. 23<sup>rd</sup> IEEE VLSI Test Symposium*, 2005, pp. 249-254.
- [9] S. Ozev and C. Olgaard, "Wafer-level RF Test and Dft for VCO Modulating Transceiver Architectures", *Proc. of the 22nd IEEE VLSI Test Symposium*, 2004, pp. 217-222.
- [10] S. Bhattacharya and A. Chatterjee, "Use of Embedded Sensors for Built-In-Test of RF Circuits", in *Proc. International Test Conference*, Charlotte, NC, 2004, pp.801-809.
- [11] T. Guldbrandsen, "Analysis of Diodes Used as Precision Power Detectors above the Square Law Region", *Conference on Precision Electromagnetic Measurements*, Ottawa, Canada, June 1990, pp.48.
- [12] M.S. Heutmaker and D.K. Le, "An Architecture for Self-Test of a Wireless Communication System Using Sampled IQ Modulation and Boundary Scan", *IEEE Communications Magazine*, pp. 98-102, June 1999.
- [13] A. Valdes-García, J. Silva-Martínez and E. Sánchez-Sinencio, "On-Chip Testing Techniques for Wireless Transceivers" *IEEE Design & Test of Computers*, 2006.
- [14] A. Valdes-García, "System-Level Design and RF Front-End implementation for a 3-10GHz multiband-OFDM Ultrawideband Receiver and

Built-in Testing Techniques for Analog and Integrated Circuits”, Texas A&M University, PhD Thesis, May 2006.

[15] M. Jarwala, L. Duy and M. S. Heutmaker, “End-to-End Test Strategy for Wireless Systems”, Proc. of the IEEE Intl. Test Conference, 1995, pp. 940-946.

[16] Marcelo Negreiros, Luigi Carro and Altamirano Susin, “Reducing Test Time Using Enhanced RF Loopback”, J Electron Test, 2007.

[17] S.S. Akbay and A. Chatterjee, “Feature Extraction Based Built-in Alternate Test of RF Components Using a Noise Reference”, in *Proc. 22nd IEEE VLSI Test Symposium*, Napa Valley, CA, April 2004, pp. 273-278.

[18] M.G.C. Flores, M. Negreiros, L. Carro and A.A. Susin, “A Noise Generator for Analog to Digital Converter Testing”, in *Proc. 15th Symposium on Integrated Circuits and Systems Design*, Porto Alegre, Brazil, September 2002, pp. 135-140.

[19] Radhika Venkatasubramanian, “High frequency continuous-time circuits and built-in-self-test using cmos rms detector”, Texas A&M University, Msc. Thesis, December 2005.

[20] Guoyan Zhang, Ronan Farrell, “Embedded Built-In-Test Detection Circuit for Radio Frequency Systems and Circuits”, IEEE Workshop on Design and Diagnostics of Electronic Circuits and Systems, April 2006.

[21] S. Bhattacharya and A. Chatterjee, “Use of embedded sensors for built-in-test of RF circuits”, in *Proc. IEEE International Test Conference*, 2004, pp. 801-809.



- 
- [22] Curty, J.-P., Joehl, N., Krummenacher, F., Dehollain, C., Declercq, M.J., "A model for  $\mu$ -power rectifier analysis and design", *IEEE Transactions on Circuits and Systems I: Regular Papers*, Vol. 52, No. 12, 2005, pp.2771 – 2779
- [23] Analog Devices LF to 2.5GHz TruPwr™ AD8361 data sheet, disponible desde: [http://www.analog.com/static/imported-files/data\\_sheets/AD8361.pdf](http://www.analog.com/static/imported-files/data_sheets/AD8361.pdf)
- [24] M. Ratni, E. Bernard Huyart, E. Bergeault and L. Jallet, "Power detector using a silicon MOSFET", 1998 IEEE MTT-S International Microwave Symposium Digest, vol. 2, pp. 1139-1142, June 1998.
- [25] Z. Wang, "Novel Pseudo RMS Current Converter for Sinusoidal Signals Using a CMOS Precision Current Rectifier", *IEEE Transactions on Instrumentation and Measurement*, vol. 39, no. 4, August 1990.
- [26] J. Ramirez-Angulo, "High Frequency Low-Voltage CMOS Diode", *Electronic Letters*,, vol.28, no. 3, pp. 298-300, Jan 1992.
- [27] J. Ramirez-Angulo, R.G. Carvajal, J. Tombs and A. Torralba, "Very Low-Voltage Class AB CMOS and Bipolar Precision Rectifiers", *Electronic Letters*, vol. 35, no. 28, pp. 1904-1905, Oct 1999.
- [28] Adisak Monpapassorn, "Improved Class AB Full-Wave Rectifier", *Thammasat Int. J. Sc. Tech.*, Vol.4, No.3, November 1999.
- [29] T. Voo and C. Toumazou, "High-speed current mirror resistive compensation technique", *Electronic Letters*, vol. 31, no.4, February 1995, pp. 248-250.

- [30] Francisco R. Trejo Macotela, "Diseño de los componentes de un Procesador de IF en Bajo Voltaje", Tesis Doctoral, INAOE, Puebla, Junio 2006.
- [31] A. A. Emira, A. Valdes-García, B. Xia, A.N. Mohieldin, A. Valero-López et al., "A Dual-Mode 802.11b/Bluetooth Receiver in 0.25 $\mu$ m BiCMOS", *Proc. IEEE International Solid-State Circuits Conference*, vol.1, Feb 2004, pp. 270-280.
- [32] S.-I. Liu, "CMOS Analog Divider and Four-Quadrant Multiplier Using Pool Circuits," *IEEE Journal of Solid-State Circuits*, vol. XXX, pp. 1025-1029, September 1995.
- [33] A. López-Martín, "Current-Mode Multiplier Circuits Based on the MOS Translinear Principle," *Analog Integrated Circuits and Signal Processing*, vol. XXVIII, pp. 265-278, 2001.
- [34] B. M. Wilamowski, "A VLSI Analog Multiplier/ Divider Circuit," *International Symposium on Industrial Electronics*, pp. 493-496, July 1998.
- [35] E. Ibaragi, "A CMOS Analog Multiplier Free from Mobility Reduction and Body Effect," *Analog Integrated Circuits and Signal Processing*, vol. XXV, pp. 281- 290, 2000.
- [36] G. Han and Sánchez-Sinencio, "CMOS Transconductance multipliers: A Tutorial", *IEEE Transactions on Circuits and Systems II: Analog and Digital signal Processing*, vol. 45, no. 12, pp. 1550- 1563, Dec. 1998.
- [37] M. Ismail, R. Rannen, S. Takagi, R. Khan, O. Aaserud and N. Khachab, "A configurable CMOS multiplier/ divider for analog VLSI", *IEEE International*

Symposium on Circuits and Systems, ISCAS '93, vol. 2, pp. 1085- 1089, 1993.

[38] J. Crols and M. Steyaert, "A 1.5Ghz Highly linear CMOS down Conversion Mixer", IEEE Journal of Solid State Circuits, vol. 30, no. 7, pp. 736-42, Jul. 1995.

[39] L. Weihsing and L. Shen-luan, "Low-voltage CMOS Voltage-mode divider and its application", IEICE Trans. Fundamentals, Vol. E87-A, No.2, February 2004.

[40] C. Muñiz-Montero y A. Díaz-Sánchez, "Divisor analógico CMOS de bajo voltaje en modo corriente", Proceedings of the Electro 2005, October 5-7, 2005. Creel, Chihuahua, México.

[41] C. Dualibe, M. Verleysen and P. Jespers, "Two-quadrant CMOS analogue divider", Electronics Letters Vol. 34 No.12, June 1998.

[42] B. Gilbert, "A Precise Four-Quadrant Multiplier with Subnanosecond Response", IEEE Journal of Solid-State Circuits, Vol. SC-3, No.4, pp. 365, Dec. 1968.

[43] J. A. Connelly and Pyung Choi, "Macromodeling with Spice", Prentice Hall, 1992.

[44] B. Gilbert, "A New Wide-Band Amplifier Technique", IEEE Journal of Solid State Circuits, Vol. SC-3, No.4, pp. 353, Dec. 1968.

[45] D. Ghosh and D. Patranabis, "A simple analog divider having independent control of sensitivity and design conditions", IEEE Transactions on Instrumentation and Measurement, Vol. 39, No.3, June 1990.

[46] Johan H. Huijsing, Peter Lucas and Bert De Bruin, "Monolithic Analog Multiplier-Divider", IEEE Journal of Solid-State Circuits, Vol. SC-17, No.1, February 1982.

[47] Montree Siripruchyanun, "A design of analog multiplier and divider using current controlled differencing buffered amplifiers", IEEE International Symposium on Integrated Circuits, 2007.

[48] Sung Min Park and Hoi-Jun Yoo, "2.5Gbit/s CMOS transimpedance amplifier for optical communication applications", Electronics Letters, Vol. 39, No.2, January 2003.

[49] Park, S.M., and Toumazou, C., "A packaged low-noise high-speed regulated cascode transimpedance amplifier using 0.6 $\mu$ m N-well CMOS technology," Proc. European Solid-State Circuit Conf., Stockholm, Sweden, 2000, pp. 432-435.

[50] Lee, J., Song, S-J., Park, S.M., Nam, C.-M., Kwon, Y.-S., Yoo, H.-J., "A multichip on oxide 1Gb/s 80dB $\Omega$  fully-differential CMOS transimpedance amplifier for optical interconnect applications", IEEE ISSCC Dig. Tech. Pap., San Francisco, CA, USA, 2002, pp. 80-81.

[51] F. Maloberti, *Analog Design for CMOS VLSI Systems*, Kluwer Academic Publishers, Boston 2001.

