



**INAOE**

**FABRICACION Y CARACTERIZACION  
DE TRANSISTORES DE PELICULA  
DELGADA DE a-SiGe:H**

Por

**Miguel Angel Domínguez Jiménez**

Tesis sometida como requisito parcial  
para obtener el grado de

**MAESTRO EN CIENCIAS EN LA  
ESPECIALIDAD DE ELECTRONICA**

en el

**Instituto Nacional de Astrofísica,  
Óptica y Electrónica  
Julio 2008  
Tonantzintla, Puebla**

Supervisada por:

**Dr. Pedro Rosales Quintero**  
Investigador Titular del INAOE

**Dr. Alfonso Torres Jácome**  
Investigador Titular del INAOE

©INAOE 2008

Derechos Reservados

El autor otorga al INAOE el permiso de reproducir y distribuir  
copias de esta tesis en su totalidad o en partes





## **DEDICATORIAS**

*A Jehová Dios debido a tanto que agradecer por tan poco que ofrecer.*

*A mi amada esposa Nancy y a mi anhelado bebé por ser la razón de seguir trabajando y luchando en esta vida, y por estar fielmente a mi lado cuando he necesitado fortaleza para seguir en este camino.*

*Gracias por su profundo amor.*



## **RESUMEN**

En años recientes los transistores de película delgada (TFTs) han sido utilizados como elementos de conmutación en pantallas de cristal líquido de matriz activa (AMLCD), ya que los materiales con que éstas se fabrican son depositados a temperaturas menores a 320 °C y en sustratos de áreas grandes [1]. El silicio amorfo hidrogenado (a-Si:H) ha sido el material mas utilizado como capa activa de estos dispositivos, pero debido a sus bajos valores de movilidad de portadores, es que se han buscado otras alternativas, tales como el uso de silicio policristalino y otros materiales microcristalinos [2]. Sin embargo, el depósito de materiales microcristalinos se realiza a temperaturas mayores a 600 °C. Lo que aumenta el costo de los dispositivos fabricados pues se requiere el uso de sustratos más caros.

Investigaciones realizadas en el Laboratorio de Microelectrónica del INAOE muestran que la película de silicio germanio amorfo hidrogenado (a-SiGe:H), depositada a una frecuencia de 110 KHz y con una relación de concentraciones en fase gaseosa  $[GeH_4/(SiH_4+GeH_4)]$  igual a 0.10, posee excelentes propiedades electrónicas, como son los valores de movilidad de electrones y huecos, de 60 y 10  $cm^2 V^{-1} s^{-1}$ , respectivamente. Esto nos lleva a plantear la hipótesis de que se puede optimizar el funcionamiento de estos dispositivos y seguir utilizando sustratos económicos de vidrio y plástico, con el uso de esta película como capa activa de los TFTs. En este trabajo se describe el proceso de fabricación de los TFTs de a-SiGe:H. Así como la caracterización del dispositivo para determinar los parámetros de interés y las principales figuras de mérito.

## **AGRADECIMIENTOS**

A mis Padres, Carlos José Domínguez Torres y Maria del Carmen Jiménez Gutiérrez, por el cariño y apoyo incondicional brindado por todos estos años.  
A mis hermanos Carlos, Omar y Kary por estar conmigo cuando los he necesitado.

A mi suegra Luisa Miranda Pazos por apoyar a mi familia en momentos difíciles.

A mis amigos Aldo, Paco, Estelita, Toño, Magda, Sergio y Gina por compartir momentos y experiencias inolvidables.

A mis compañeros del INAOE Oscar, Fernando, Colín, Chucho, Declé, Bárbara, Erasmo, Williams, Salvador, Marisol, Andrés, Mauricio, Néstor, Fernando Trejo y Erika por el compañerismo que me han mostrado.

Al CONACYT por la Beca otorgada para la realización de mis estudios de maestría.

A mis asesores de Tesis, los Dres. Pedro Rosales y Alfonso Torres por la guía y la paciencia brindada para desarrollar este trabajo.

A mi Jurado, los Dres. Carlos Zúñiga, Javier de la Hidalga y Joel Molina por sus comentarios y opiniones que fueron muy importantes para la realización de esta tesis.

Al Dr. Roberto Murphy por el apoyo mostrado durante mi estancia en INAOE.  
Al Personal Técnico del laboratorio de Microelectrónica por su disponibilidad.

# INDICE

RESUMEN	i
AGRADECIMIENTOS	ii
INDICE	iii
CAPITULO 1.	
INTRODUCCION.	1
1.1 Estructuras de los TFTs	4
1.2 Materiales con que se fabrican TFTs.	6
1.2.1 Silicio amorfo hidrogenado (a-Si:H)	6
1.2.2 Silicio policristalino.	7
1.2.3 Materiales orgánicos.	7
1.2.4 Silicio Germanio amorfo hidrogenado (a-SiGe:H)	8
CAPITULO 2.	
FÍSICA DE TFTs DE a-Si:H.	10
2.1 Características Eléctricas	10
2.1.1 Característica de Transferencia	12
2.1.2 Curva Característica de Salida	14
2.2 Principio de Operación.	15
2.3 Estabilidad	17
2.4 Fotosensitividad	18
CAPITULO 3.	
FABRICACION Y CARACTERIZACION DE TFTs DE a-SiGe:H.	20
3.1 Estructura del TFT	20
3.1.1 Película de a-SiGe:H	21
3.1.2 Película dopada n+	22
3.1.3 Dieléctrico de Compuerta	27
3.1.3.1 Spin on Glass (SOG)	27
3.1.3.2 Nitruro de Silicio (SiN <sub>x</sub> )	31

3.1.4 Película Pasivadora	32
3.2 Fabricación del Dispositivo	33
3.2.1 Fabricación de TFTs de a-SiGe:H	33
3.2.2 Problemas durante el proceso de fabricación	39
3.3 Caracterización del Dispositivo	41
3.3.1 Curva de transferencia	41
3.3.2 Familia de curvas de salida	43
3.3.3 Movilidad	45
3.3.4 Voltaje de encendido $V_{ON}$ y voltaje de umbral $V_T$	46
3.3.5 Tratamiento Térmico	47
3.4 Simulación Numérica de TFTs de a-SiGe:H	49
3.4.1 Simulación Numérica de TFTs de a-SiGe:H con barreras schottky.	49
3.4.2 Simulación Numérica de TFTs de a-SiGe:H con película n+.	53
CAPITULO 4	
CONCLUSIONES Y TRABAJO FUTURO	56
4.1 Conclusiones	56
4.2 Trabajo futuro	57
APENDICE A	58
LISTA DE FIGURAS	59
LISTA DE TABLAS	61
REFERENCIAS	62



# CAPITULO 1

## INTRODUCCION.

La electrónica de área grande involucra tanto pantallas de cristal líquido (LCDs) como lectores de imágenes. Estos dispositivos usualmente requieren sustratos transparentes con áreas de 1800 cm<sup>2</sup> o mayores. Existen diversos tipos de LCDs. La diferencia principal en su funcionamiento consiste en la forma en que controlan el voltaje aplicado a cada píxel. Uno de estos tipos son las LCDs de direccionamiento directo, que conectan cada celda de cristal líquido (llamada segmento) a un conector y a tierra, este tipo de pantallas está limitada a un pequeño número de segmentos (Fig. 1.1). A diferencia de éstas, las pantallas de cristal líquido de matriz pasiva (PMLCD) utilizan voltajes de renglón y de columna para determinar la escala de gris en cada píxel. Mientras que, las pantallas de cristal líquido de matriz activa (AMLCD) utilizan un dispositivo electrónico que funciona como interruptor para generar el voltaje en cada píxel. La ventaja principal de las AMLCDs y PMLCDs sobre los Monitores de tubo de rayos catódicos (CRTs), es que no direccionan un píxel a la vez (one pixel at a time), sino que lo hacen direccionando un renglón a la vez (one line at a time) [1].

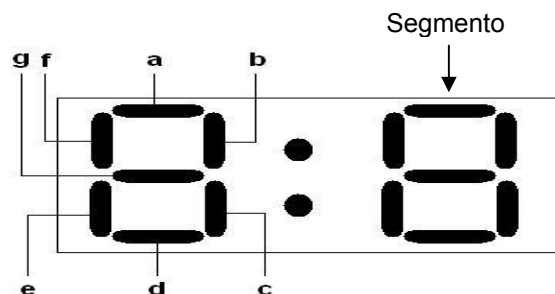


Fig. 1.1 Direccionamiento Directo de 7 segmentos de un dígito.

La estructura de una AMLCD consiste en un panel trasero, dos paneles de vidrio con una solución de cristal líquido entre ellos y un filtro de color. Detrás del panel trasero se hace pasar luz la cual entra en el cristal líquido a través del primer panel de vidrio. Seguido de esto, la luz pasa a través del segundo panel de vidrio que tiene un electrodo transparente común para todos los píxeles y por último pasa por el filtro de color. Después la luz de color se puede ver fuera de la estructura. Sobre el panel trasero hay líneas de datos verticales y horizontales que forman la dirección para cada píxel [2].

Los dispositivos electrónicos que integran las AMLCDs pueden ser de dos o tres terminales. Los dispositivos de dos terminales son los diodos de película delgada (TFDs) o los dispositivos MIM (metal-insulator-metal), y los dispositivos de tres terminales son los transistores de película delgada (TFTs). Éstos últimos son más utilizados, ya que tienen un mejor control en la escala de gris de cada píxel [3].

El papel de los TFTs es el de controlar la polarización entre los electrodos de la celda de cristal líquido (Fig. 1.2), permitiendo que se aplique un voltaje  $V_{LC}$  para definir si el píxel está encendido o apagado, o en su defecto la escala de gris que se desea [1,2].

El control de la polarización se realiza de la siguiente manera, cuando el voltaje de renglón (Compuerta) es cero, el TFT estará apagado y no habrá voltaje en la celda de cristal líquido (LC), sin importar la magnitud del voltaje de columna (Fuente). Aplicando un voltaje de renglón se enciende el TFT y dependiendo del voltaje de columna se establece el contraste de la celda.

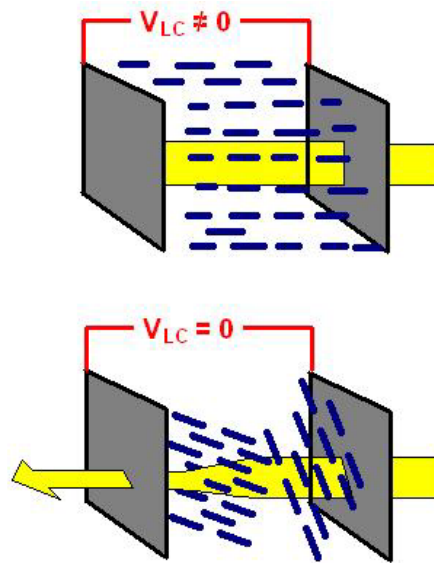


Fig. 1.2 Función de los TFTs en la celda de LC.

El circuito equivalente de la celda LC se muestra en la fig. 1.3. Éste consiste en una capacitancia  $C_{LC}$  y una resistencia  $R_{LC}$  conectadas en paralelo. Con el fin de mantener el contraste hasta la siguiente trama (Frame) la celda LC se conecta a tierra y se añade un capacitor  $C_S$ . Por lo tanto, la constante de tiempo del circuito es determinada por  $C_{LC}$ ,  $C_S$  y  $R_{LC}$ .

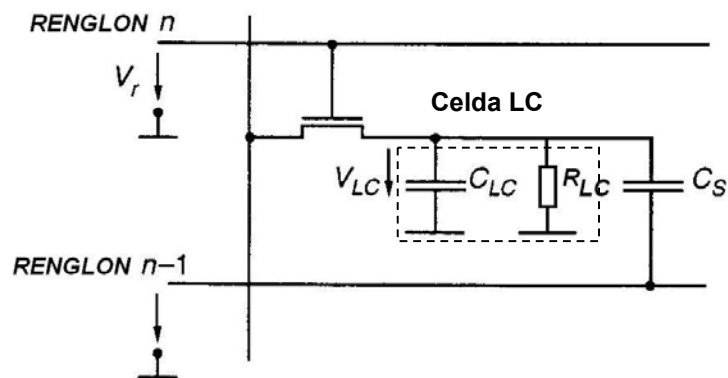


Fig. 1.3 Circuito eléctrico equivalente de la celda LC [2].

El voltaje a través de la celda LC tiene que estar libre de D.C. para evitar la disociación de los elementos del cristal líquido [4]. El voltaje libre de D.C. se provee alternando la polarización del voltaje de columna en cada trama, para una misma celda (Fig. 1.4). No es necesario cambiar la polaridad del voltaje de renglón, ya que su única función es encender el TFT [4].

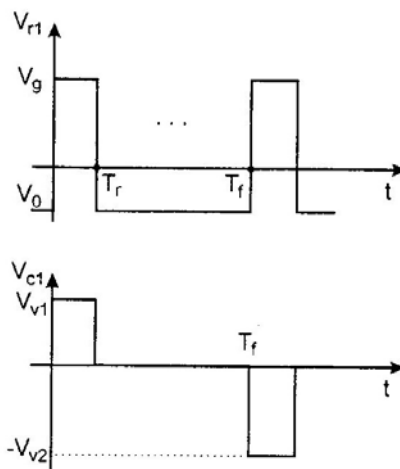


Fig. 1.4 Modo de operación del TFT para evitar voltaje en DC [1].

### 1.1 Estructuras de los TFTs

Existen 4 tipos de estructuras básicas para los TFTs (Fig. 1.5), las cuales se definen por el orden en que se depositan la película semiconductor, el dieléctrico de compuerta, los contactos de drenaje y fuente, la película pasivadora y el electrodo de compuerta. En la estructura apilada, los contactos de drenaje y fuente están debajo del semiconductor y el electrodo de compuerta está en la parte superior de éste, mientras que en la estructura coplanar los tres electrodos están situados en el mismo lado del semiconductor. En las estructuras invertidas (apiladas o coplanares), el electrodo de compuerta es la primera capa depositada sobre el sustrato.

El tipo de estructura utilizada influye en las características eléctricas del dispositivo, las cuales son fuertemente dependientes de la interfaz entre el dieléctrico y el semiconductor [5].

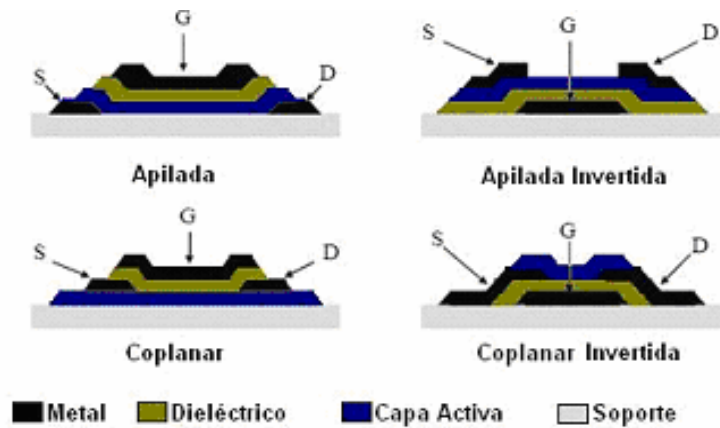


Fig. 1.5 Estructuras Básicas de TFTs.

Generalmente, los TFTs son fabricados con silicio amorfo hidrogenado (a-Si:H) siendo la estructura apilada invertida la más utilizada. Ésta utiliza Nitruro de silicio como dieléctrico de compuerta, ya que ha demostrado ser la que ofrece las mejores características eléctricas, debido a que se logra una interfaz de alta calidad entre el dieléctrico de compuerta y la capa activa [6]. Por lo tanto, en esta tesis nos centraremos en el estudio y fabricación de esta estructura.

## **1.2 Materiales con que se fabrican TFTs.**

Los TFTs se fabrican comúnmente sobre sustratos de vidrio o plástico, debido al bajo costo de los mismos, sin embargo, estos materiales sufren daños cuando son sometidos a altas temperaturas. La tecnología basada en silicio cristalino usa temperaturas del rango de 1000 °C, la cual es muy alta para los vidrios y plásticos. Además, las obleas de silicio tienen un tamaño limitado. Esto hace que el uso de silicio cristalino para la fabricación de TFTs no sea rentable. Por estas razones, se recurre a materiales con una menor temperatura de depósito, tales como los materiales amorfos, policristalinos u orgánicos.

### **1.2.1 Silicio amorfo hidrogenado (a-Si:H)**

El silicio amorfo hidrogenado (a-Si:H) es el material más usado para fabricar TFTs sobre sustratos de área grande a bajas temperaturas. Este material puede depositarse a temperaturas cercanas a 300 °C, lo que permite utilizar sustratos de vidrio o plástico que reducen el costo de fabricación. Siendo el depósito químico en fase vapor asistido por plasma (PECVD) el más utilizado [7,8]. Sin embargo, debido a que posee bajos valores de movilidad de electrón ( $1 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ ), se han buscado otras alternativas, tales como el uso de silicio policristalino y otros materiales microcristalinos [9].

Un punto importante es que las propiedades eléctricas de los TFTs de a-Si:H dependen de la densidad de estados (DOS) presentes en esta película [10]. Que a su vez depende de la cantidad y distribución de los defectos que contenga este material amorfo, en el siguiente capítulo se detallará más acerca de la DOS del a-Si:H.

### **1.2.2 Silicio policristalino.**

Para resolver el problema de la baja movilidad de electrón del a-Si:H, se recurre al silicio policristalino, que tiene una movilidad de electrón mayor, típicamente  $\sim 100 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$  [11]. Este material policristalino consiste en regiones cristalinas separadas por fronteras de grano. Las propiedades eléctricas de los TFTs de silicio policristalino dependen de la densidad de estados (DOS) al igual que los TFTs de a-Si:H [4, 9]. Aunque, la DOS se forma a partir de los defectos y características de las fronteras de grano. Si los granos son pequeños el material se comportará más parecido a un amorfo, pero si el grano es de mayor tamaño se comportará más cercano a un cristalino.

Se han empleado una gran variedad de métodos para obtener silicio policristalino, tales como depósito directo del polisilicio por LPCVD y diferentes técnicas de cristalización del a-Si:H depositado, como cristalización en fase sólida (SPC) [12], recocido térmico rápido (RTA) [13, 14] y cristalización por láser [15, 16]. Sin embargo, las técnicas de cristalización presentan desventajas. Siendo las principales el incremento en el costo y la utilización de altas temperaturas (cerca de  $600 \text{ }^\circ\text{C}$ ) [17, 18]. Como consecuencia, se deben de utilizar sustratos más caros para la fabricación de TFTs de silicio policristalino.

### **1.2.3 Materiales orgánicos.**

Los materiales orgánicos son candidatos potenciales para la electrónica flexible [19, 20]. Particularmente, los polímeros por que pueden ser depositados a temperatura ambiente por procesos de bajo costo (roll to roll technology). Lamentablemente, estos materiales se degradan con el aire,

por lo tanto, necesitan encapsularse, lo cual se hace con tecnología inorgánica que incrementa el costo [21]. Otra desventaja es que la movilidad de los electrones en los materiales orgánicos ( $0.12 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ ) es menor que la movilidad de los mismos en a-Si:H ( $1 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ ). El impacto inmediato es en la relación W/L, esto significa que se tendría que hacer un TFT orgánico mas grande que uno de a-Si:H si se deseara reemplazar el TFT de a-Si:H por el orgánico [19].

Otra clase de TFTs orgánicos se basa en materiales de pequeñas moléculas, los thiphen oligomeros y el pentaceno [22-24]. Estos materiales tienen características electrónicas similares a los polímeros, aunque su estructura es generalmente policristalina.

Las propiedades eléctricas de los TFT orgánicos dependen de los niveles HOMO y LUMO. El nivel HOMO es en semiconductores orgánicos el equivalente a la banda de valencia en los semiconductores inorgánicos; y la misma analogía existe entre el nivel LUMO y la banda de conducción. A la diferencia entre el HOMO y el LUMO comúnmente se le llama ancho de banda HOMO/LUMO, y ésta se relaciona con la banda de energía prohibida en materiales semiconductores inorgánicos.

#### **1.2.4 Silicio Germanio amorfo hidrogenado (a-SiGe:H)**

Una alternativa para resolver el problema de la baja movilidad de electrón sin incrementar las temperaturas de depósito, es el Silicio Germanio Amorfo Hidrogenado (a-SiGe:H). Investigaciones realizadas en el Laboratorio de Microelectrónica del INAOE muestran que esta película, depositada a una frecuencia de 110 KHz y con una relación de concentraciones en fase gaseosa  $[\text{GeH}_4/(\text{SiH}_4+\text{GeH}_4)]$  igual a 0.10, posee excelentes propiedades



electrónicas [25-27]. Para esta relación en fase gaseosa el ancho de la banda prohibida de energía ( $E_g$ ) tiene un valor de 1.4 eV, mientras que los valores de la movilidad de los electrones y huecos es de 60 y 10  $\text{cm}^2 \text{V}^{-1} \text{s}^{-1}$ , respectivamente [28,29]. Esto nos lleva a plantear la hipótesis de que se puede optimizar el funcionamiento de estos dispositivos y seguir utilizando sustratos económicos de vidrio y plástico, con el uso de esta película como capa activa de los TFTs [30]. Actualmente no se han reportado TFTs de a-SiGe:H, por consiguiente el objetivo de esta tesis es fabricar TFTs de este material.

En el siguiente capítulo veremos más a detalle la física de los TFTs de a-Si:H, que resulta ser similar a la de los TFTs en base a a-SiGe:H. Se explicarán las dos figuras de mérito principales de los TFTs, a saber, la relación de encendido a apagado ( $I_{\text{ON}}/I_{\text{OFF}}$ ) y la pendiente de subumbral ( $S$ ). En el tercer capítulo se describe el proceso de fabricación de los TFTs de a-SiGe:H. Así como la caracterización del dispositivo para determinar los parámetros de interés y las principales figuras de mérito, objetivo principal del presente trabajo. Finalmente, en el cuarto capítulo se muestran las conclusiones generales y trabajo a futuro de esta tesis.

## ***CAPITULO 2***

### **FÍSICA DE TFTs DE a-Si:H.**

En la mayoría de sus aplicaciones los TFTs actúan como un interruptor, donde generalmente, el TFT es encendido por decenas de microsegundos y apagado por decenas de milisegundos. Así que, para entender el comportamiento del transistor durante este proceso, es esencial analizar la física que envuelve al transistor, siendo éste el propósito del capítulo.

#### **2.1 Características Eléctricas**

A primera vista, y de acuerdo con la literatura, se describen a los TFTs con el modelo del MOS-FET. Esto parece razonable, puesto que la arquitectura es muy similar y el comportamiento final aparentemente es igual. Sin embargo, existen diferencias al momento de considerar la física de los TFTs. Primero, un MOS-FET trabaja en inversión, es decir, que la carga en el canal es de signo opuesto al cuerpo del transistor. Por otro lado, los TFTs trabajan en acumulación, esto aunado al efecto ocasionado por la Densidad de Estados (DOS), nos hace ver la necesidad de un modelo diseñado para estos dispositivos. Aunque el modelado del TFT no es parte del trabajo de esta tesis, se mostrará un modelo básico para entender la razón del por qué se utiliza el modelo del MOS-FET como primera aproximación para los TFTs.

Un modelo básico, sería tratar al dispositivo como un simple capacitor de placas paralelas [31]. Toda la carga estaría en la interfase dieléctrico-semiconductor sin flexión de bandas ni otras formas de distribución de carga.

Así, la carga en cualquier posición del dispositivo es directamente proporcional al voltaje a través del dieléctrico, como un capacitor clásico ( $C=Q/V$ ). En este simple modelo inicial suponemos que toda la carga esta compuesta únicamente de huecos libres.

$$\rho(x) = qp(x) = C_{ox} [V(x) - V_g] \quad (2.1)$$

Siendo  $\rho(x)$  la densidad de carga a una posición  $x$  a lo largo del canal,  $C_{ox}$  la capacitancia del óxido,  $V(x)$  el potencial en el canal y  $V_g$  el potencial en la compuerta. A cualquier punto en el canal, la corriente  $I_x$  esta dada por el producto de la densidad de carga libre, el campo eléctrico ( $E_x = -dV(x)/dx$ ), la movilidad de carga  $\mu$  multiplicado por el ancho del dispositivo  $W$ . La ecuación sería:

$$I_x(\xi) = -qp(x) \mu W dV(x)/dx \quad (2.2)$$

La ecuación diferencial puede ser resuelta utilizando condiciones de frontera apropiadas, siendo  $V(0) = 0$ ,  $V(L) = V_{ds}$  e  $I_x(x) = I_{ds}$  para todo  $x$ :

$$I_{ds} = \mu C_{ox} [V_g V_{ds} - V_{ds}^2 / 2] W/L \quad (2.3)$$

Lo cual es igual al comportamiento de un MOS-FET, explicando el por qué se utiliza este modelo para los TFTs. Sin embargo, como veremos más adelante la DOS de los TFTs ocasiona un comportamiento diferente al de los MOS-FET.

### 2.1.1 Característica de Transferencia

Como se mencionó en el capítulo anterior, el papel de los TFTs es el de controlar la polarización entre los electrodos de la celda de cristal líquido, permitiendo que se aplique un voltaje  $V_{LC}$  para definir si el píxel está encendido o apagado, o en su defecto la escala de gris que se desea [1,2].

Para obtener un buen contraste en las pantallas LCD, los estados de la celda del cristal líquido (transparencia y no transparencia) deben ser claramente definidos y así asegurar cerca del 100 % de paso de luz en el estado transparente y cerca del 0% en el estado no transparente. Por lo tanto, para tener bien definidos los estados de transparencia y no transparencia es necesario tener un alto valor de la relación de  $I_{ON}/I_{OFF}$  [32]. Esta relación  $I_{ON}/I_{OFF}$  es una de las principales figuras de mérito de los TFTs (Fig. 2.1).

Otra figura de mérito es la pendiente de subumbral  $S$  [32], que nos indica que tan rápida es la transición entre los estados de transparencia y no transparencia. El valor de  $S$  nos muestra el cambio en el voltaje por cada década de corriente (ec. 2.4), por lo tanto, se requiere que este cambio en el voltaje sea lo más pequeño posible, es decir, una  $S$  lo mas cercana a cero para que el TFT se aproxime a un interruptor ideal.

$$S = \left[ \frac{\partial \log I_{DS}}{\partial V_{GS}} \right]^{-1} \quad (2.4)$$

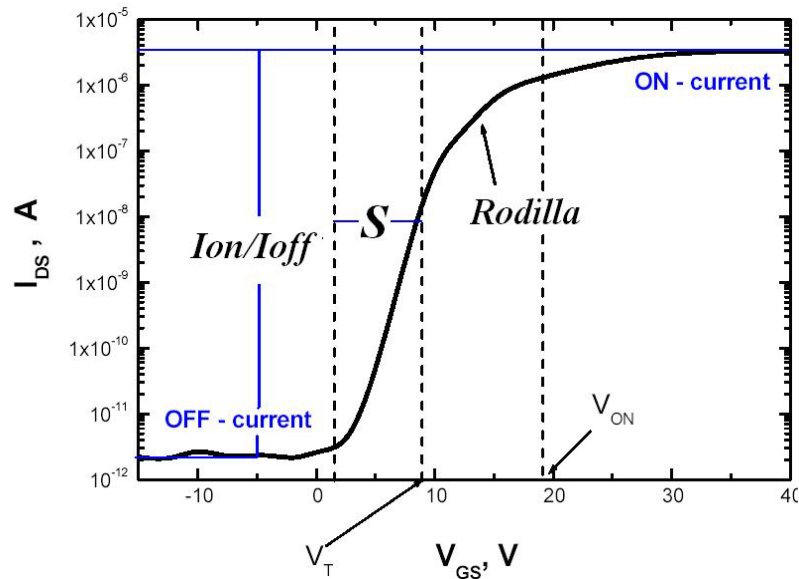


Fig. 2.1 Curva característica de transferencia de un TFT [10].

La relación de  $I_{ON}/I_{OFF}$  que se ha reportado para TFTs de a-Si:H llega a ser hasta de 6 órdenes de magnitud y los valores de  $S$  son de 0.5 a 2.5 V/Década [32-34].

Otros parámetros importantes son el voltaje de umbral  $V_T$  y el voltaje de encendido  $V_{ON}$ . El  $V_T$  se define como el voltaje de compuerta al cual los electrones de conducción empiezan a aparecer en el canal, mientras que el  $V_{ON}$  se define como el voltaje al cual la corriente de encendido se mantiene aproximadamente constante. En una gráfica característica de transferencia (Fig. 2.1), se puede identificar el  $V_T$  debajo de la “rodilla”, y por encima de ésta se identifica el voltaje de encendido  $V_{ON}$ . Otra forma de obtener  $V_T$  es, graficando  $(I_{DS})^{1/2} V_S V_{GS}$  y extrapolando una recta al origen, cuando el TFT se encuentra en la región de saturación. De un modo similar, si extrapolamos una recta al origen en la curva  $I_{DS} V_S V_{GS}$  cuando  $V_{DS} = 0.1$  V obtenemos  $V_T$  en la región lineal [30,35] (Fig. 2.2).

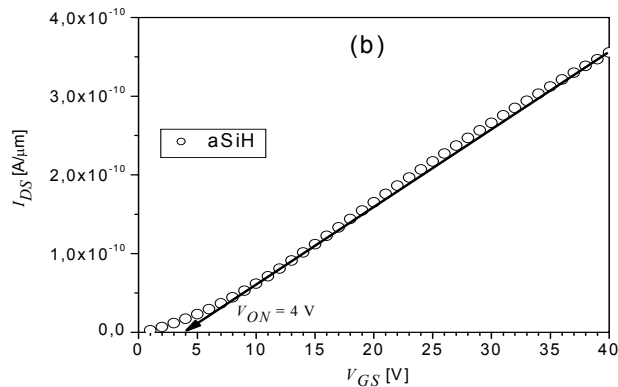


Fig. 2.2 Curva  $I_{DS}$   $V_S$   $V_{GS}$  cuando  $V_{DS} = 0.1$  V, para encontrar  $V_T$  [30].

### 2.1.2 Curva Característica de Salida

Una Curva característica de salida típica se muestra en la Fig. 2.3. Esta curva muestra la dependencia de la corriente  $I_{DS}$  con el voltaje  $V_{DS}$  a diferentes voltajes de  $V_{GS}$ . Esta dependencia se puede representar con la ecuación de un MOSFET (ec. 2.5) como vimos en el modelo básico. La corriente  $I_{DS}$  incrementa linealmente a bajos voltajes de  $V_{DS}$  (régimen lineal) y satura a altos voltajes de  $V_{DS}$  (régimen de saturación). Los valores de saturación de  $I_{DS}$  dependen del voltaje aplicado a la compuerta. Cuando se aplican valores pequeños de voltaje de compuerta, la concentración de portadores en el canal es menor y la corriente de saturación es baja. A altos voltajes de compuerta, la concentración de portadores se incrementa y la corriente de saturación es mayor. El TFT entra en el régimen de saturación cuando  $V_{DS} > V_{SAT}$ , donde  $V_{SAT} = V_{GS} - V_T$ .

$$I_{DS} = \mu_{FE} \cdot C_{ox} (W/2L) (V_{GS} - V_T)^2 \quad (2.5)$$

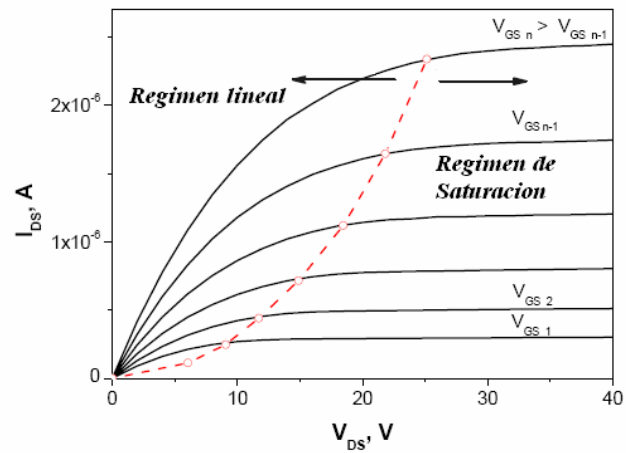


Fig. 2.3 Característica de salida típica de un TFT [10].

## 2.2 Principio de Operación.

Las propiedades electrónicas de los TFTs dependen de la densidad de estados (DOS) presente en el material usado como capa activa. La DOS se forma de los estados en las colas de las bandas y los estados profundos. Los estados en las colas de las bandas se producen por las diferencias entre las longitudes y los ángulos de los enlaces en el a-Si:H [10]. Mientras que, los estados profundos corresponden a los enlaces no saturados (enlaces rotos) durante la obtención del material. En la fig. 2.4 se muestra un ejemplo de una DOS de un material amorfo.

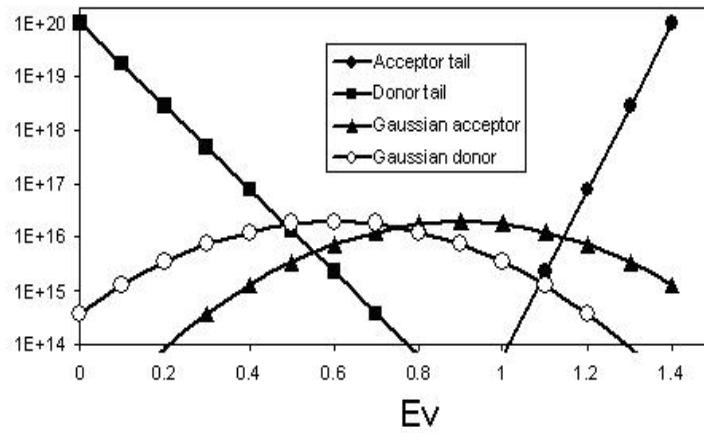


Fig. 2.4 Densidad de Estados de una película amorfa [30].

La densidad total de estados  $g(E)$  en cualquier semiconductor amorfo es calculada sumando las contribuciones individuales de los estados profundos (representados por Gausianas) y los estados de las colas de las bandas (representados por exponenciales):

$$g(E) = g_{TA}(E) + g_{TD}(E) + g_{GA}(E) + g_{GD}(E) \quad (2.6)$$

Donde  $g_{TA}(E)$  y  $g_{TD}(E)$  se refieren a la densidad de defectos de estados aceptores y donadores por eV, en las colas de las bandas de conducción y valencia respectivamente. Por su parte  $g_{GA}(E)$  y  $g_{GD}(E)$  se refieren a la densidad de defectos profundos aceptores y donadores por eV.

Los estados profundos afectan la pendiente de subumbral  $S$  y el voltaje  $V_T$ . Mientras que los estados de las colas de las bandas afectan a la movilidad de los portadores, debido a esto se define una movilidad de efecto de campo  $\mu_{FE}$  (ec. 2.5) [6].



El principio de operación del TFT es el siguiente, a voltajes de compuerta positivos pero menores al voltaje de umbral ( $V_T$ ), los electrones empiezan a formar el canal pero son atrapados por los estados profundos. Al mismo tiempo, se encuentran electrones atrapados en los estados de las colas de las bandas, pero su densidad es baja y la carga total es dominada por los estados profundos. Por lo que podemos decir que el canal todavía no está formado. Cuando el voltaje de compuerta es mayor que  $V_T$ , la carga en los estados de las colas de las bandas es mayor que la carga de los estados profundos, de esta forma hay transporte de portadores a la región del canal. Así, la corriente de drenaje a fuente ( $I_{DS}$ ) se incrementa linealmente con el voltaje de compuerta aplicado. Por lo tanto, podemos decir que se logra formar el canal, a pesar de que existe un atrapamiento de los portadores libres a través de los estados profundos hasta que la carga atrapada en el canal se hace constante [6].

En el siguiente capítulo, se detallará acerca de la obtención de parámetros importantes como  $V_T$ ,  $V_{ON}$ ,  $S$  y  $\mu_{FE}$ .

### **2.3 Estabilidad**

Una de las desventajas de las películas de materiales amorfos, es que sufren degradación o inestabilidad cuando se someten a polarizaciones altas o iluminación en un tiempo prolongado.

La más importante de las inestabilidades de los TFTs es el cambio o corrimiento en el voltaje de umbral, que es observado después de la aplicación de un voltaje de compuerta durante un tiempo prolongado, a esto se le conoce como estrés eléctrico.

Se han propuesto dos modelos para explicar el estrés eléctrico, el rompimiento de enlaces débiles silicio – silicio y el atrapamiento de carga en el dieléctrico de compuerta [36].

En el modelo de rompimiento de enlaces débiles silicio – silicio, se crean nuevos enlaces sueltos no saturados debido al rompimiento de los enlaces débiles, estos nuevos defectos actúan como trampas para los electrones. Por otro lado, el atrapamiento de carga en el dieléctrico de compuerta produce una degradación en la interfaz entre el dieléctrico de compuerta y el material del canal, ocasionando el cambio en el voltaje de umbral.

El modelo de rompimiento de enlaces débiles silicio- silicio es el mecanismo dominante aproximadamente a los 25V y el modelo de atrapamiento de carga en el dieléctrico de compuerta es el mecanismo dominante a los 55V [6].

## **2.4 Fotosensitividad**

Los TFTs muestran fotosensitividad, característica indeseable en la aplicación de pantallas LCD. En la Fig. 2.5, se muestra la curva de transferencia de un TFT en oscuridad y bajo iluminación [6].

En esta curva de transferencia se observa un incremento considerable en la corriente de apagado cuando el TFT se somete a iluminación, esto se debe a la generación de pares hueco-electrón. Este incremento en la corriente de apagado, reduce considerablemente la relación de  $I_{ON}/I_{OFF}$ , por lo que es importante disminuir este efecto.

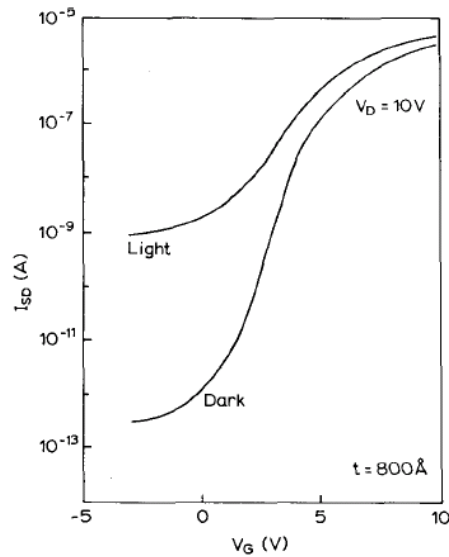


Fig. 2.5 Curva de transferencia de un TFT en oscuridad y bajo iluminación [6].

La forma más fácil de reducir la fotosensibilidad es utilizando una película más delgada como capa activa [37,38]. Además, la estructura apilada invertida (la que usamos en esta tesis) posee una ligera protección ante la luz, debido al electrodo de compuerta. Esto es, por que la fuente de luz se encuentra en la parte trasera de la pantalla LCD, entonces la luz incide directamente en el electrodo de compuerta y no en la capa activa [38].

El efecto de protección ante luz del electrodo de compuerta, es una de las mayores ventajas que posee la estructura apilada invertida comparada con las demás estructuras vistas en el capítulo 1. Ya que en algunas ocasiones es necesario aplicar cierta protección ante la luz y esto puede incrementar el costo de fabricación de la pantalla LCD [38].

## CAPITULO 3

### FABRICACION Y CARACTERIZACION DE TFTs DE a-SiGe:H.

En este capítulo se detallan los procesos de fabricación y caracterización del dispositivo, realizados en el Laboratorio de Microelectrónica del INAOE. Además se incluyen simulaciones realizadas en Píscis, para comprender y respaldar los resultados obtenidos.

#### 3.1 Estructura del TFT

Como se mencionó en los capítulos anteriores, la estructura apilada invertida posee muchas ventajas en comparación con las demás estructuras de TFTs. Por esta razón se optó por utilizarla para el TFT de a-SiGe:H (Fig. 3.1). A continuación se desglosa cada una de las películas que componen al dispositivo.

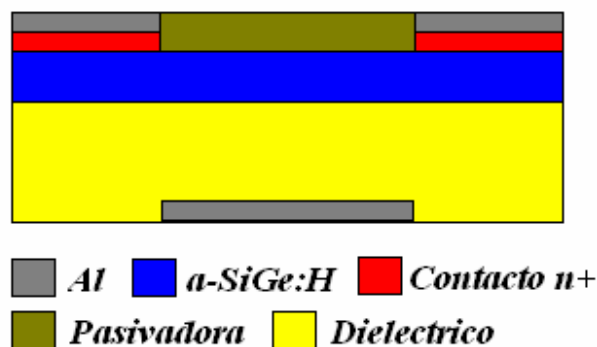


Fig. 3.1 Sección Transversal del TFT de a-SiGe:H.

### 3.1.1 Película de a-SiGe:H

Aunque existen diferentes técnicas de depósito para la obtención de estas películas, el PECVD es la técnica más usada para producir materiales amorfos de calidad y con alto grado de incorporación de hidrógeno [39]. Las condiciones del depósito (temperatura, presión, potencia y razón de flujo) en la preparación de películas amorfas tienen una gran importancia, ya que cualquier variación en éstas generarán cambios en las características ópticas y eléctricas.

La película de a-SiGe:H es una de las más importantes en la estructura del TFT, debido a que funciona como capa activa del dispositivo. Las interfaces metal-semiconductor y dieléctrico-semiconductor que se encuentran en esta capa activa juegan un papel muy importante en el funcionamiento de los TFTs [6, 10]. Gran parte de las propiedades eléctricas del dispositivo dependerán fuertemente de la calidad de estas interfaces. Por esta razón, la selección apropiada de una película dopada n+ y un dieléctrico de compuerta, resultan un paso importante para el funcionamiento esperado del dispositivo.

En la Tabla 3.1 se muestran las condiciones de depósito para la película de a-SiGe:H. Cabe mencionar que se hicieron depósitos de prueba para caracterizar el grosor de la película y su tiempo de grabado en el sistema RIE, dando como resultado un grosor medido por *alpha step* de 98nm.

	SiH <sub>4</sub> (sccm)	GeH <sub>4</sub> (sccm)	H <sub>2</sub> (sccm)	Tiempo (min)	Pot (W)	Pres (Torr)
a-SiGe:H	45	6	1000	10	250	0.6

Tabla 3.1 Condiciones de depósito de la película de a-SiGe:H.

### 3.1.2 Película dopada n+

Como se mencionó en la sección anterior, la película dopada n+ (dopada con fósforo) resulta de gran importancia para mejorar la calidad de la interfase metal-semiconductor, localizada en los contactos de drenaje y fuente del dispositivo. La película n+ es colocada entre el metal y la capa activa a fin de obtener un contacto óhmico [40].

Un contacto óhmico se define como una interfase metal-semiconductor que tiene una resistencia de contacto despreciable comparada a la resistencia de “cuerpo” del semiconductor. Éstos tienen curvas características corriente-voltaje lineales. Los contactos óhmicos no juegan un papel activo directamente en un dispositivo. Su propósito es transmitir la carga electrónica dentro y fuera del dispositivo. Sin embargo, son una parte muy importante de las características de desempeño del dispositivo. La resistencia óhmica figura en el circuito equivalente del dispositivo y contribuye al comportamiento de CD. Por lo tanto, es esencial minimizar la resistencia de contacto para evitar caídas de potencial a través de éste.

Así, que para obtener lo más cercano a contactos óhmicos, se seleccionaron dos películas amorfas para analizar sus características conductivas con la película de a-SiGe:H, a saber, a-SiGe:H n+ y a-Ge:H n+ [41]. Estas películas se obtienen por medio de PECVD a una frecuencia de 110Khz a 300 °C.

Debido a que esta película n+ es de un grosor cercano a los 40 nm dentro de la estructura del TFT [40], se decidió hacer este proceso de prueba con un grosor similar (Fig.3.2).

Las condiciones de los depósitos fueron las siguientes:

	SiH <sub>4</sub> (sccm)	GeH <sub>4</sub> (sccm)	H <sub>2</sub> (sccm)	PH <sub>3</sub> (sccm)	Tiempo (min)	Pot (W)	Pres (Torr)
a-SiGe:H n+	45	6	1000	10	3	250	0.6
a-Ge:H n+		50	2000	200	2.5	250	0.6

Tabla 3.2 Condiciones de depósito de las películas n+.



Fig. 3.2 Estructura para medir conductividad en las películas n+.

Para la caracterización eléctrica de las estructuras se utilizó el *Semiconductor Parameter Analyzer HP 4156B*, el cual puede detectar corrientes tan pequeñas del orden de fA ( $10^{-15}$  A) [42]. Se realizaron barridos de voltaje de -40 a 40 V para obtener gráficas I-V, las cuales presentaron las siguientes características:

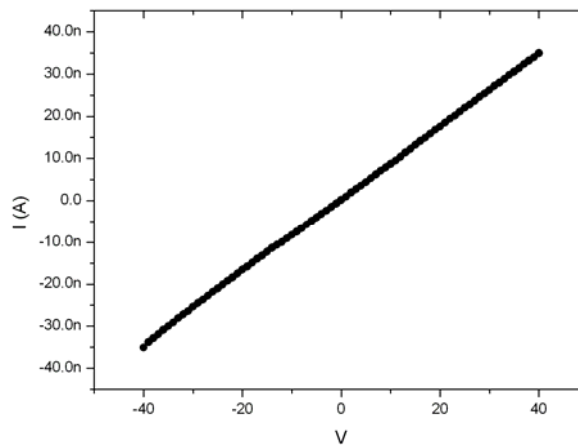


Fig. 3.3 Curva I –V de la muestra de a-SiGe:H n+.

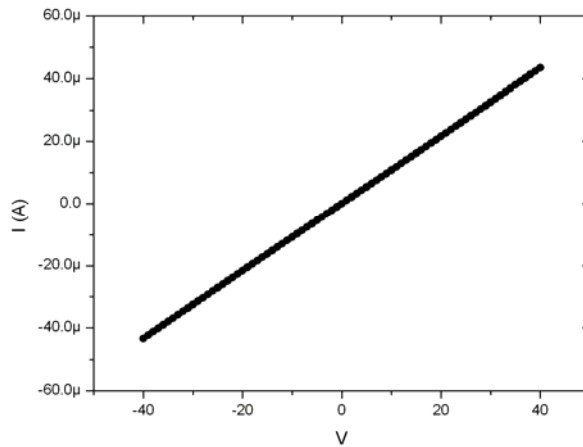


Fig. 3.4 Curva I –V de la muestra de a-Ge:H n+.

Observando los resultados, se decidió hacer la estructura mostrada en la Fig. 3.5, para comprobar si se obtienen contactos óhmicos utilizando las películas n+ con la película de a-SiGe:H como capa activa.

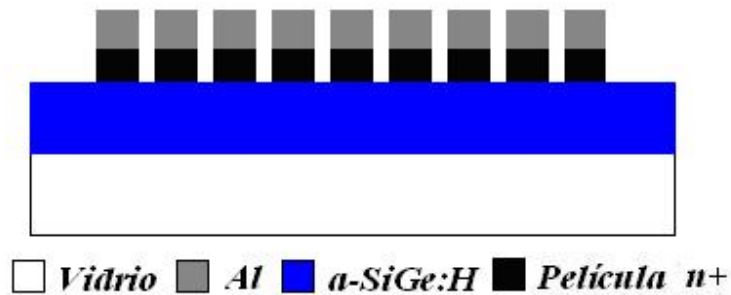


Fig. 3.5 Estructura para medir contactos de la película de a-SiGe:H.

Se depositó la película de a-SiGe:H con un grosor medido por *Alpha Step* de 183 nm, seguido del depósito de la película n+ correspondiente y la evaporación de *stripes* de Al de 300nm, finalizando con un proceso de grabado en el sistema RIE de la película n+. Y se obtuvieron los siguientes resultados:



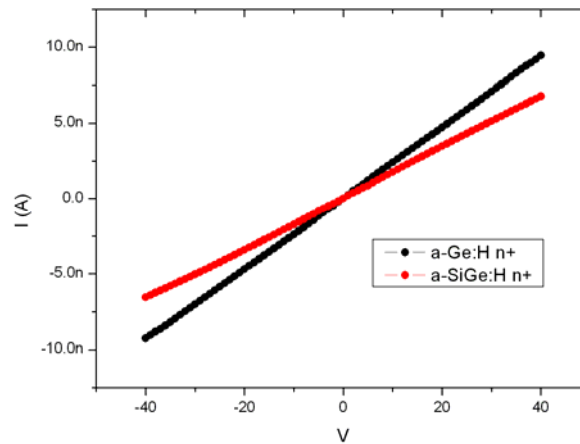


Fig. 3.6 Curvas I –V de las muestras de a-SiGe:H con las películas n+.

Podemos observar que la película de a-Ge:H n+ posee una menor resistencia de contacto, por lo que se optó por utilizarla como película n+ para nuestro TFT. Lamentablemente durante el proceso de fabricación se agotó el Germano con el cual se deposita esta película. Debido a esto, se utilizó un proceso experimental que no se había realizado anteriormente en el PECVD. Dicho proceso consiste en hacer un plasma de Fosfina y Argón con las condiciones mostradas en la Tabla 3.3.

Ar (sccm)	PH <sub>3</sub> (sccm)	tiempo (min)	Pot (W)	Presión (Torr)	Temp. (°C)
100	200	11	400	0.6	300

Tabla 3.3 Condiciones del Proceso Experimental con Fosfina.

Este Proceso se aplicó a unas muestras con la película de a-SiGe:H. Posteriormente, a estas muestras se les aplicó un *dip* en HF diluido 30:1, para eliminar la película de vidrio de fósforo que se forma después del depósito. Para finalizar, se evaporan unos *stripes* de Al de 300nm, resultando una estructura como se muestra en la figura 3.7.

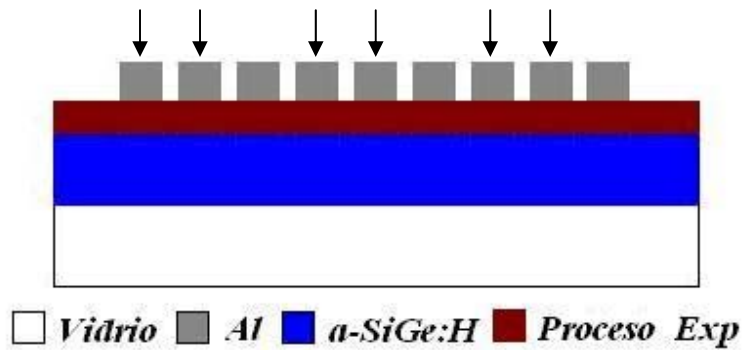


Fig. 3.7 Estructura para medir contactos de la película de a-SiGe:H con el proceso experimental.

Utilizando el SPA 4156B se obtuvieron curvas I-V para ver la conductividad de la estructura realizada (Fig 3.8). Se realizaron 3 mediciones (A, B y C), éstas se hicieron a 3 pares de contactos en diferentes zonas de la muestra, como se indica en la fig. 3.7. Aunque no sabemos con certeza si se trata de un depósito o un dopado, podemos apreciar que se mejora la conductividad en la película. Sin embargo, notamos que este proceso no es uniforme, ya que la corriente varía algunos órdenes de magnitud en diferentes zonas de la muestra, obteniéndose los mejores resultados en el centro de la muestra.

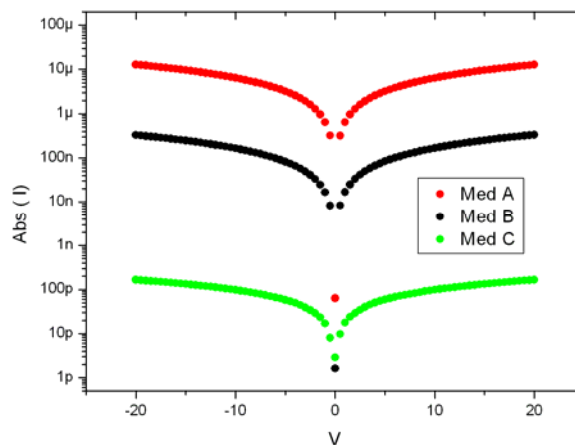


Fig. 3.8 Medición de los contactos del proceso experimental.

### 3.1.3 Dieléctrico de Compuerta

Como ya hemos mencionado la interfase dieléctrico-semiconductor es muy importante, ya que en ésta se forma el canal. El canal de los TFTs es formado por los electrones libres inducidos en la banda de conducción del a-SiGe:H cerca de la interfase, como una consecuencia de la aplicación del voltaje de compuerta [5].

Se seleccionaron 2 películas para utilizarlas como dieléctrico de compuerta, SiO<sub>2</sub> spin on glass (SOG) y Nitruro de Silicio (SiN<sub>x</sub>).

#### 3.1.3.1 Spin on Glass (SOG)

El spin on glass (SOG 700B), es una solución líquida que produce una película de SiO<sub>2</sub>. El manual e información del SOG 700B recomienda un tratamiento térmico en el rango de 400 – 900°C para la obtención de SiO<sub>2</sub> en forma de película delgada con índice de refracción  $n = 1.43$ . Sin embargo, dada la baja temperatura de depósito de nuestro dispositivo, es necesario utilizar temperaturas de secado y densificación menores a las indicadas por el fabricante. Además, ya que esta película no está caracterizada para funcionar como dieléctrico de compuerta parte de este trabajo es caracterizar esta película para que funcione como tal. Para que el SOG funcione como dieléctrico necesita un índice de refracción de 1.46 y que su superficie sea lo menos rugosa posible. Para medir el grosor y el índice de refracción se depositó el SOG 700B sobre obleas de silicio y se midió por medio de elipsometría.

Considerando trabajos anteriores [43], se realizaron pruebas a 200°C diluyendo el SOG 3:1 con metanol y por separado con 2-propanol. Para la aplicación del SOG se realizaron los siguientes pasos:

- Dejar que el SOG 700B alcance la temperatura ambiente (24 Hrs).
- Limpieza general de las obleas de silicio.
- Aplicación del SOG 700B a la oblea a diferentes velocidades del *spinner* (3000 – 5000 rpm) por 30 seg.
- Secado a 100°C por 15 min. para eliminar humedad.
- Tratamiento Térmico de 6.5 Hrs a 200°C con flujo de N<sub>2</sub>.

Una vez que se retiraron las muestras del horno, se midieron los grosores y los índices de refracción. De las mediciones se obtuvieron los siguientes resultados:

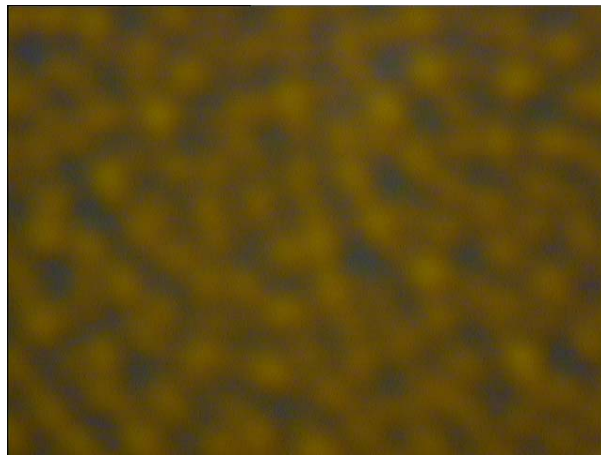
RPM(30seg)	SOG sin diluir	SOG 3:1 Metanol	SOG 3:1 2-Propanol
3000	298.8 nm	155.4 nm	152.8 nm
4000	279.6 nm	147.7 nm	144.7 nm
5000	213.1 nm	139.8 nm	137.6 nm

Tabla 3.4 Grosos obtenidos del SOG 700B a diferentes rpm.

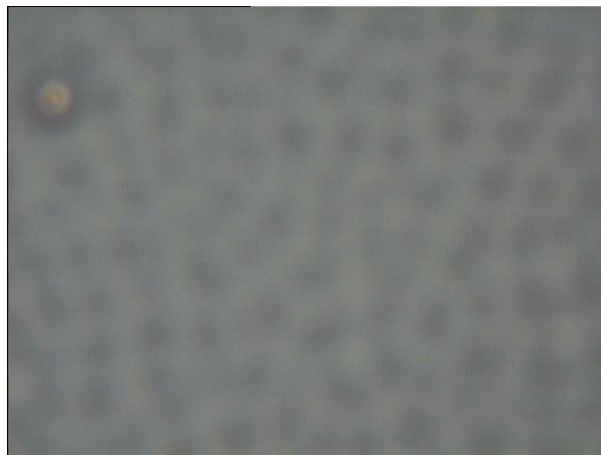
RPM(30seg)	SOG sin diluir	SOG 3:1 Metanol	SOG 3:1 2-Propanol
3000	1.25	1.453	1.461
4000	1.377	1.478	1.458
5000	1.6	1.472	1.471

Tabla 3.5 Índice de refracción obtenido del SOG 700B a diferentes rpm.

Observamos que los resultados de grosor e índice de refracción para las muestras diluidas, presentan resultados muy similares. Sin embargo, las muestras de SOG diluido con 2-propanol a 3000 rpm presentan mejor uniformidad y menor rugosidad (Fig. 3.9). Por lo tanto, se utilizaron estas condiciones para el dieléctrico de compuerta.



a)



b)



c)

Fig. 3.9 Superficies de las muestras de SOG. a) Sin diluir, b) 3:1 Metanol, c) 3:1 2-propanol

Además, para obtener la constante dieléctrica del SOG (3:1 2-propanol) se fabricaron unas estructuras MIM (Metal-Insulator-Metal) como se muestra en la figura 3.10. Estas estructuras se midieron con el puente de impedancias y la constante dieléctrica que se obtuvo en promedio fue de 4.1 utilizando la ec. 3.1. En la Tabla 3.6 se muestra un resumen de los valores obtenidos de los capacitores de SOG.



Fig. 3.10 Estructura MIM para obtener la constante dieléctrica del SOG (3:1 2-propanol).

$$C = \kappa \epsilon A / d \quad (3.1)$$

Donde  $\kappa$  es la constante dieléctrica,  $\epsilon$  es la permitividad, A el Área y d el grosor.

C	Cons. Dieléctrica	Grosor	Area
769 pF	4.2	150nm	7.854e-3 cm <sup>2</sup>
751pF	4.1	150nm	7.853e-3 cm <sup>2</sup>
880pF	4	150nm	9.503e-3 cm <sup>2</sup>
864pF	4.2	150nm	8.824e-3 cm <sup>2</sup>

Tabla 3.6 Valores obtenidos de los capacitores de SOG (3:1 2-propanol).

### 3.1.3.2 Nitruro de Silicio (SiN<sub>x</sub>)

La película de SiN<sub>x</sub> además de utilizarse como dieléctrico de compuerta también se puede utilizar como película pasivadora (se verá mas adelante). Esta película al igual que el silicio amorfo se puede depositar por diferentes técnicas CVD. Cuando se deposita por medio de LPCVD (low presion chemical vapor deposition) se utilizan temperaturas que exceden los 700 °C [39], por lo cual no es posible utilizarla para nuestro dispositivo. En contraste, el depósito de nitruro por PECVD se hace a temperaturas del rango de 200-400 °C. Debido a su baja temperatura se puede depositar sobre metales o vidrio, siendo esta opción la más factible para nuestro dispositivo.

Así que, para el depósito de SiN<sub>x</sub> se utilizaron las condiciones descritas en [44] (Tabla 3.7), con las cuales se obtiene un dieléctrico con índice de refracción de 2.00, que es lo recomendable para obtener un

aislante de calidad. Cabe mencionar que se hicieron depósitos de prueba para caracterizar el grosor de la película y su tiempo de grabado en el sistema RIE, dando como resultado un grosor medido por *alpha step* de 310nm. Para el SiN<sub>x</sub> también se hicieron estructuras MIM y en la Tabla 3.8 se muestran los resultados obtenidos.

	SiH <sub>4</sub> (sccm)	N <sub>2</sub> (sccm)	Tiempo (min)	Pot (W)	Pres (Torr)
SiN <sub>x</sub>	100	100	15	300	0.6

Tabla 3.7 Condiciones de depósito de la película de SiN<sub>x</sub>.

C	Cons. Dieléctrica	Grosor	Área
910pF	8.2	300nm	9.503e-3 cm <sup>2</sup>
668pF	7.3	300nm	7.85e-3 cm <sup>2</sup>
700pF	7.6	300nm	7.85e-3 cm <sup>2</sup>
764pF	7.4	300nm	8.824e-3 cm <sup>2</sup>

Tabla 3.8 Valores obtenidos de los capacitores de SiN<sub>x</sub>.

### 3.1.4 Película Pasivadora

La película pasivadora se utiliza para proteger al dispositivo y aislar los contactos de drenaje y fuente. De acuerdo con la literatura, la película pasivadora puede alterar algunas características del TFT, debido a que se



encuentra en contacto directo con la capa activa, por ejemplo, la carga fija en la superficie de la capa activa.

En nuestro dispositivo utilizamos la película de SiNx debido a que es la más utilizada como película pasivadora [6].

### **3.2 Fabricación del Dispositivo**

En la fabricación de dispositivos existen procesos críticos que determinan la estructura final de nuestro dispositivo. Para obtener un mejor resultado es importante tener caracterizados los tiempos de depósito y grabado de las películas, así, aunque no tengamos una vista transversal real de nuestro dispositivo tendremos la seguridad de que tenemos los grosores y estructura esperados.

#### **3.2.1 Fabricación de TFTs de a-SiGe:H**

##### 1) Limpieza de Obleas

- 30 seg. en HF:H<sub>2</sub>O 7:1. Para eliminar el óxido nativo.
- 10 min. en TCE y 10 min. en acetona para el desengrasado.
- Limpiezas RCAs I y II. Para eliminar partículas orgánicas, metales pesados y otras partículas como Na, K, Li.
- Enjuague Super Q. Enjuague Final de la oblea para remover algún tipo de residuo de los procesos de limpieza.

##### 2) Crecimiento del óxido de aislamiento SiO<sub>2</sub> (600 nm).

Este óxido sirve para soporte mecánico y para aislar al TFT de la oblea.

- Temp 1000°C Flujos O<sub>2</sub>/TCE 60min.
- Cerrar TCE y aumentar Temp. A 1200°C por 4:30 hrs.

3) Evaporación de aluminio (Metal de compuerta)



Fig. 3.11 Proceso de fabricación. Evaporación de Al.

- Evaporación de Aluminio 300nm

4) Litografía 1 (Metal de compuerta)



Fig. 3.12 Proceso de fabricación. Litografía de Metal de compuerta.

- Mascarilla 1 (Apéndice A)  
PR+ 1225 5000rpm
- Grabado con Al-Etch 6 min.

5) Limpieza del metal de compuerta.

- Limpieza con Nítrico Fumante por 10 min.

6) Depósito Dieléctrico de Compuerta

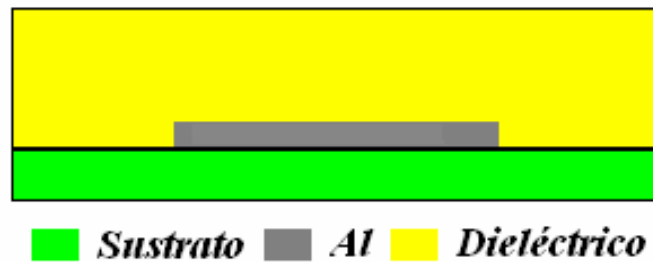


Fig. 3.13 Proceso de fabricación. Depósito de dieléctrico de compuerta.

- Depósito del dieléctrico de compuerta

-Depósito de  $\text{Si}_n\text{x}$  por PECVD

Condiciones Tabla 3.7

-Aplicación de SOG 700B

Condiciones Sección 3.1.3.1

7) Depósito de la capa activa y pasivadora por PECVD

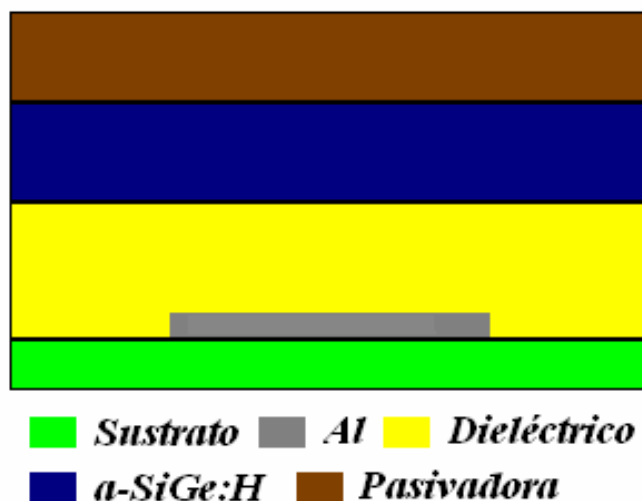


Fig. 3.14 Proceso de fabricación. Depósito de capa activa y pasivadora.

- Depósito de a-SiGe:H como capa activa (100 y 200 nm)

Condiciones Tabla 3.1

- Depósito de SiN<sub>x</sub> como capa pasivadora (300nm)

Condiciones Tabla 3.7

#### 8) Litografía 2 (Grabado de capa pasivadora)

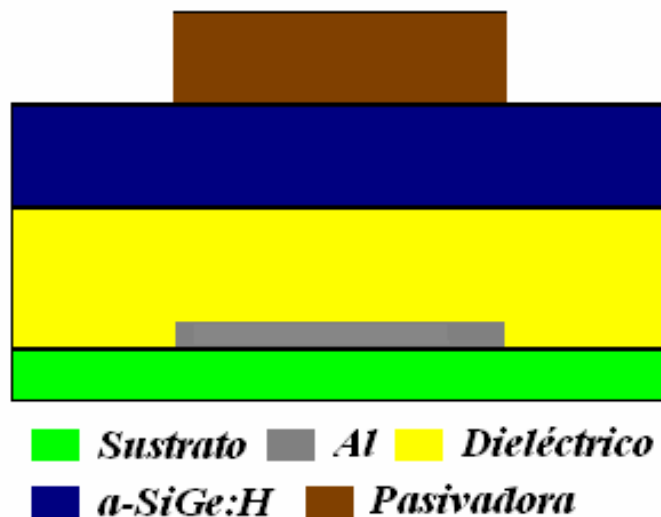


Fig. 3.15 Proceso de fabricación. Grabado de película pasivadora.

- Mascarilla 2 (Apéndice A)

PR+ 1225 5000rpm

- Grabado en RIE de la película SiN<sub>x</sub>.

Potencia= 50W, Gas=CF<sub>4</sub>, Presión=160mTorr. Tiempo=6min.

#### 9) Deposito de película n+

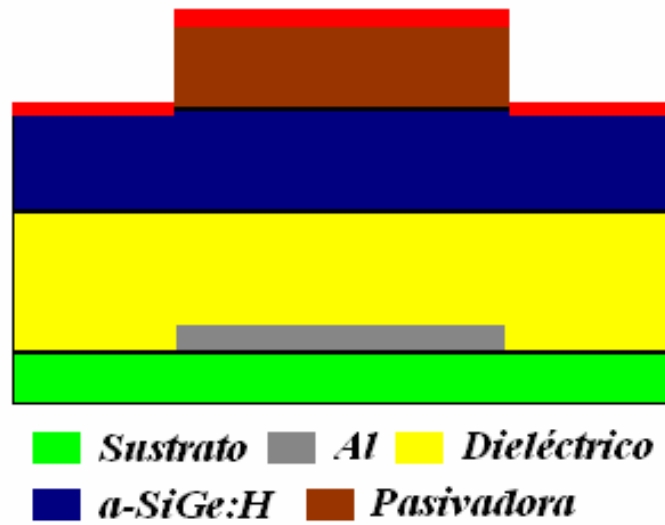


Fig. 3.16 Proceso de fabricación. Depósito de película n+.

- Limpieza Nítrico fumante 10min.
- Proceso Experimental

Condiciones Tabla 3.3

#### 10) Proceso Lift-off

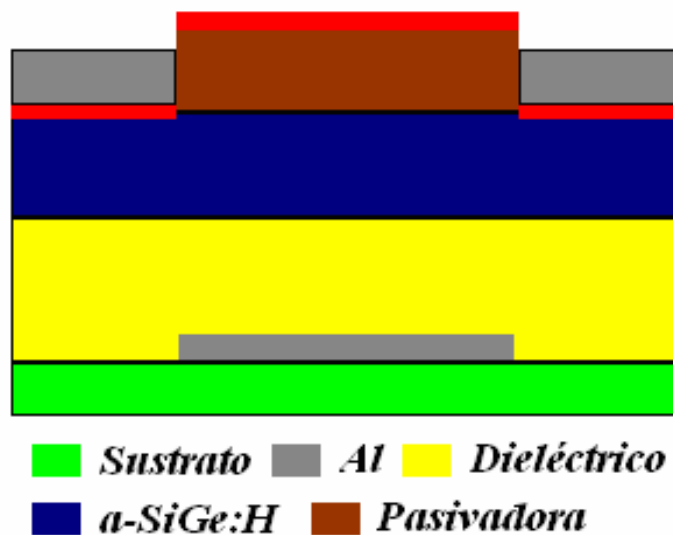


Fig. 3.17 Proceso de fabricación. Proceso de Lift-off.

- Mascarilla 3 (Apéndice A)  
PR+ 1225 3000rpm
- Evaporación de Al 300nm
- 15 min. en Acetona

11) Grabado de películas n+ y a-SiGe:H

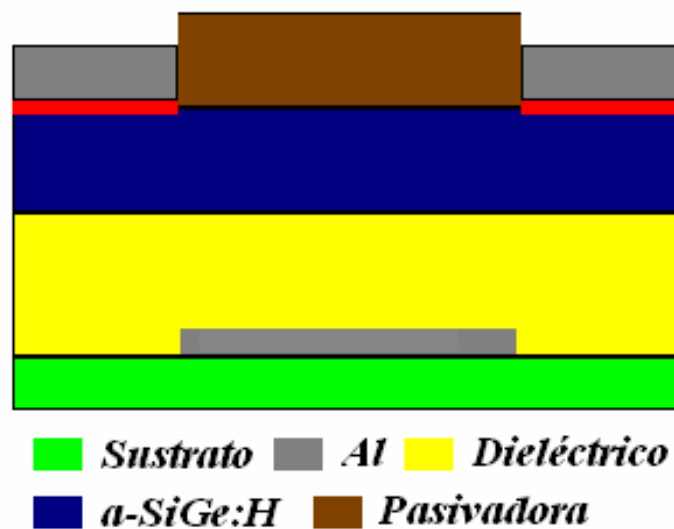


Fig. 3.18 Proceso de fabricación. Grabado de películas n+ y a-SiGe:H.

- Grabado en RIE a-SiGe:H  
Potencia= 50W, Gas=CF<sub>4</sub>, Presión=160mTorr. Tiempo=2.5min.

12) Litografía 3 (Grabado para aislar cada uno de los TFTs y tener contacto a la compuerta).

- Mascarilla 5 (Apéndice A)  
PR+ 1225 5000rpm
- Grabado de la película aislante.  
Grabado en RIE SiNx

Potencia= 50W, Gas= $\text{CF}_4$ , Presión=160mTorr. Tiempo=6min.

Grabado en RIE SOG

Potencia= 50W, Gas= $\text{CF}_4$ , Presión=160mTorr. Tiempo=5min.

### 3.2.2 Problemas durante el proceso de fabricación

Inicialmente, se utilizaron las mascarillas hechas por Ricardo Pérez Blanco (Fig. 3.19). Sin embargo, estas mascarillas no cumplían con las normas de diseño, ya que no había el traslape requerido entre la compuerta y los contactos de drenaje y fuente. Por lo tanto, una vez fabricados los dispositivos no podíamos crear el canal en el TFT. Para resolver este problema se realizó un nuevo juego de mascarillas, con el que se logró fabricar los TFTs de este trabajo.

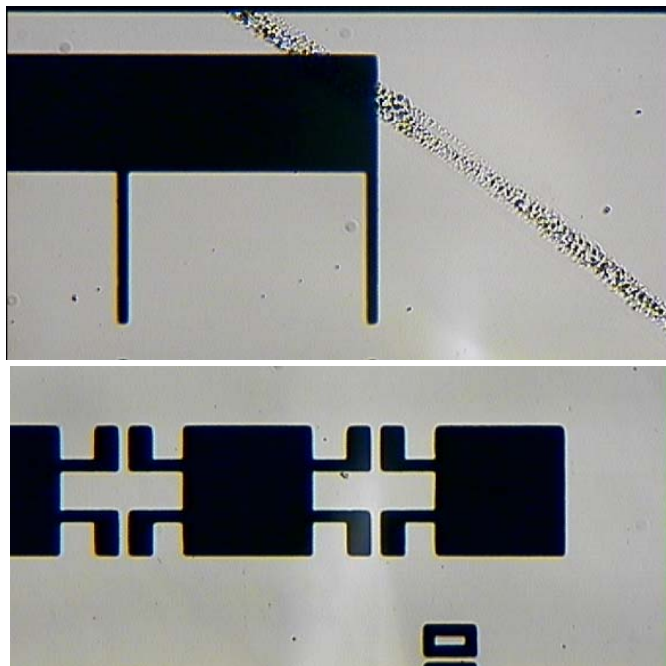


Fig. 3.19 Primeras mascarillas de TFTs.

Otro problema que se presentó durante la fabricación de los dispositivos, fue el grabado de los contactos de drenaje y fuente. Originalmente el grabado de estos contactos se hacía con Al-Etch, sin embargo, también se grababa el aluminio de la compuerta (fig. 3.20). Para resolver esto, recurrimos al proceso de Lift-off. Aunque se tuvo que cambiar de campo una de las mascarillas, se logró resolver este problema (fig 3.21).

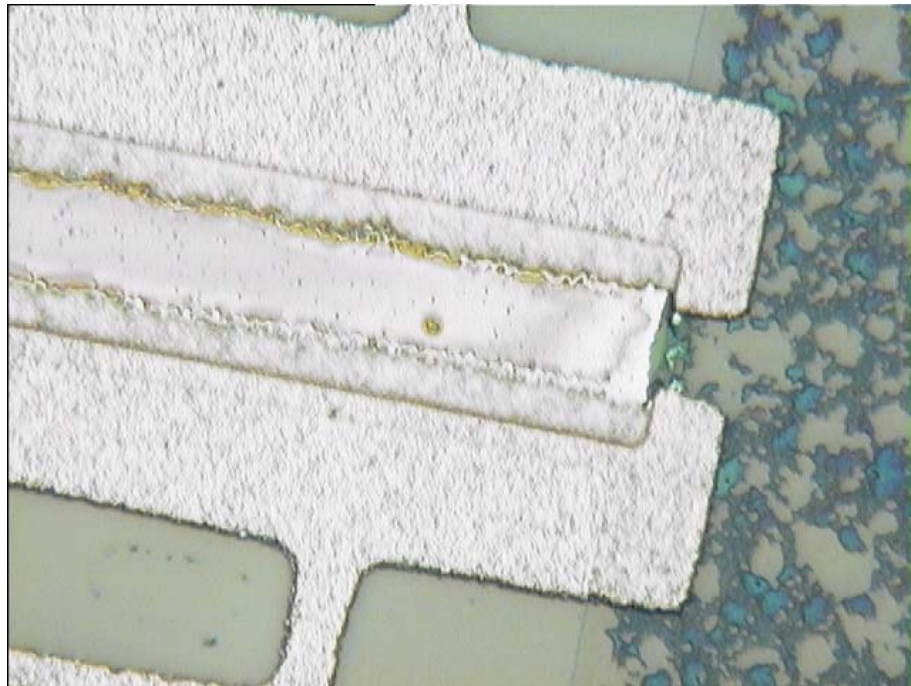


Fig. 3.20 Metal de compuerta afectado por el grabado de los contactos de drenaje y fuente.



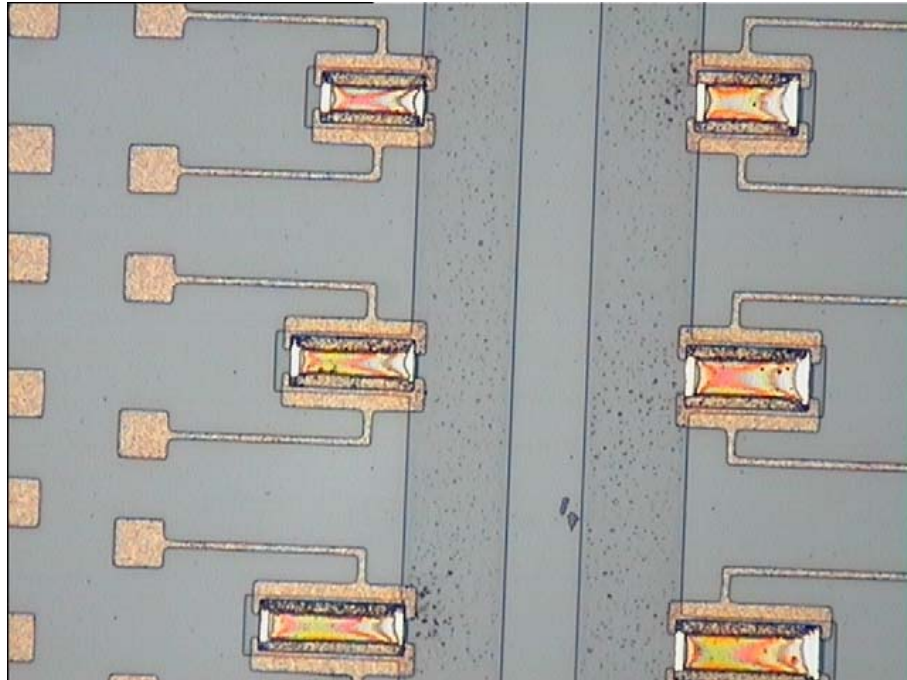


Fig. 3.21 Vista superior de los TFTs después del proceso de Lift-off.

### 3.3 Caracterización del Dispositivo

Para la caracterización eléctrica de los dispositivos se utilizó el *Semiconductor Parameter Analyzer HP 4156B*, el cual, como ya mencionamos anteriormente, puede detectar corrientes tan pequeñas del orden de fA ( $10^{-15}$  A). Todas las mediciones se hicieron en oscuridad para evitar efectos de fotosensitividad.

#### 3.3.1 Curva de transferencia

La curva de transferencia la obtuvimos haciendo un barrido al voltaje  $V_{GS}$  con un  $V_{ds}$  fijo a 15V. Se caracterizaron 2 tipos de TFTs con SOG como dieléctrico de compuerta, uno con un grosor de la capa activa de 100nm y otro con 200nm. Además, se caracterizó otro tipo de TFT con  $SiN_x$  como

dieléctrico, con un grosor de capa activa de 100nm. Las dimensiones de los TFTs caracterizados fueron  $W/L=35/15$ .

Para el TFT de a-SiGe:H de 100nm con SOG, se obtuvo una pendiente de subumbral  $S \sim 4.5$  V/DEC (Fig. 3.22). Mientras que para el TFT de a-SiGe:H de 200nm con SOG, se obtuvo una  $S \sim 5$  V/DEC (Fig. 3.23).

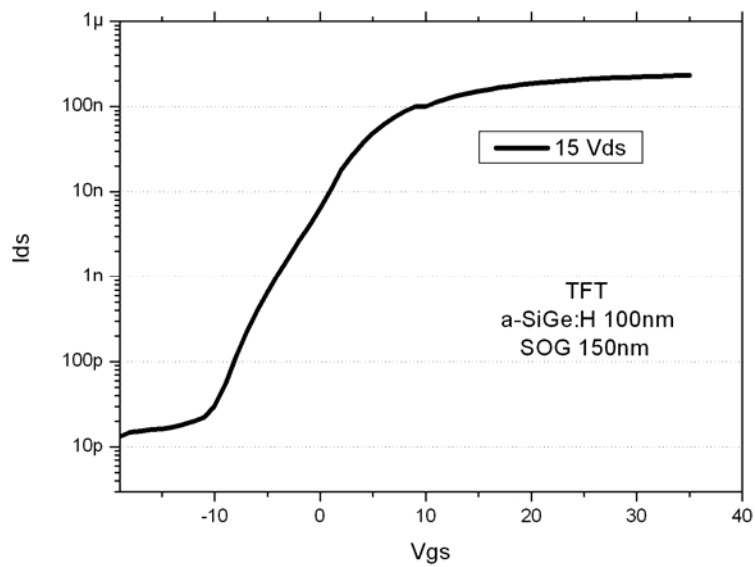


Fig. 3.22 Curva de transferencia del TFT de a-SiGe:H de 100nm con SOG.

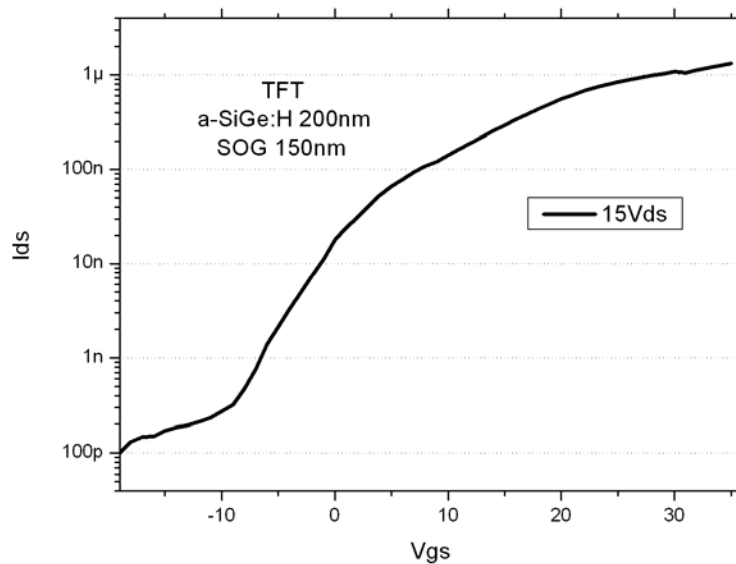


Fig. 3.23 Curva de transferencia del TFT de a-SiGe:H de 200nm con SOG.

Para ambos TFTs obtenemos una relación  $I_{ON}/I_{OFF}$  de  $\sim 10^4$ , con una corriente de apagado  $I_{OFF}$  de  $\sim 10.38$  pA para el TFT de a-SiGe:H de 100nm y  $\sim 102.4$  pA para el TFT de a-SiGe:H de 200nm.

En el caso del TFT de a-SiGe:H de 100nm con  $SiN_x$  notamos que no satura la corriente  $I_{ds}$ , por lo que no es posible obtener otros parámetros del dispositivo (Fig. 3.24).

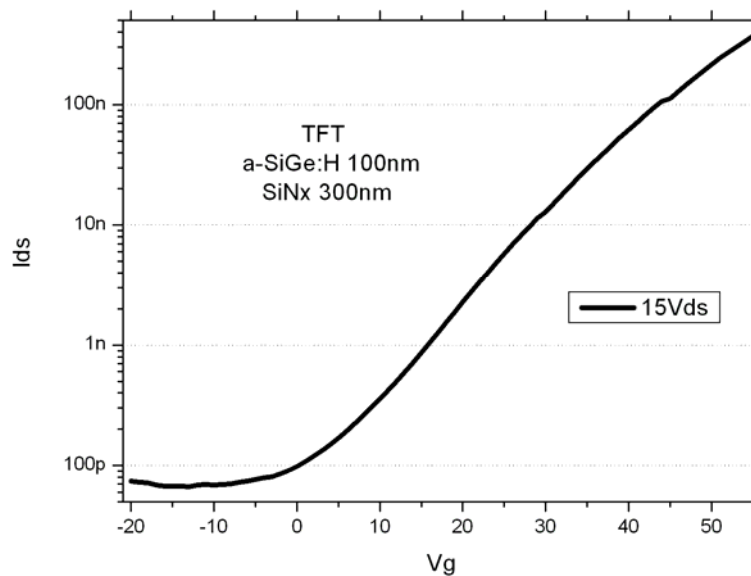


Fig. 3.24 Curva de transferencia del TFT de a-SiGe:H de 100nm con  $SiN_x$ .

### 3.3.2 Familia de curvas de salida

Se obtuvieron las familias de curvas de salida para los mismos TFTs seleccionados anteriormente. Para obtener estas curvas  $V_{ds}$  vs  $I_{ds}$ , se hicieron barridos de voltaje  $V_{ds}$  con diferentes voltajes aplicados a  $V_{gs}$ .

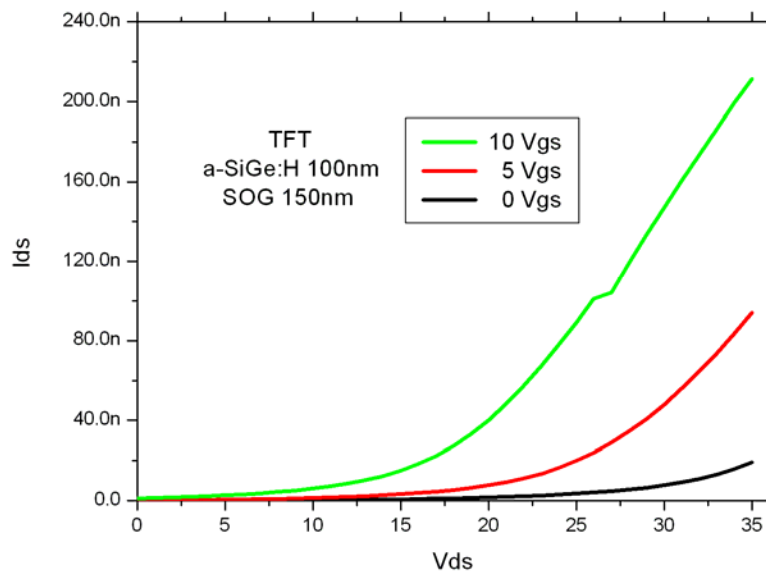


Fig. 3.25 Curvas  $V_{ds}$  vs  $I_{ds}$  del TFT de a-SiGe:H de 100nm con SOG.

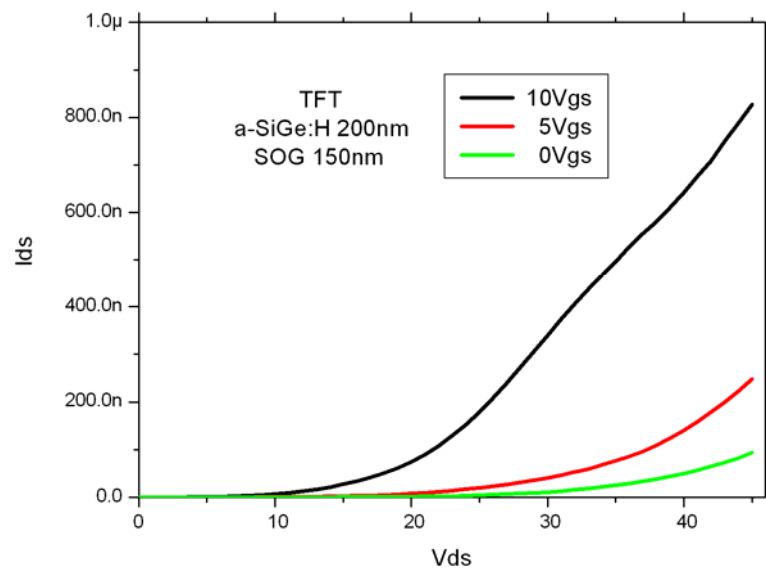


Fig. 3.26 Curvas  $V_{ds}$  vs  $I_{ds}$  del TFT de a-SiGe:H de 200nm con SOG.

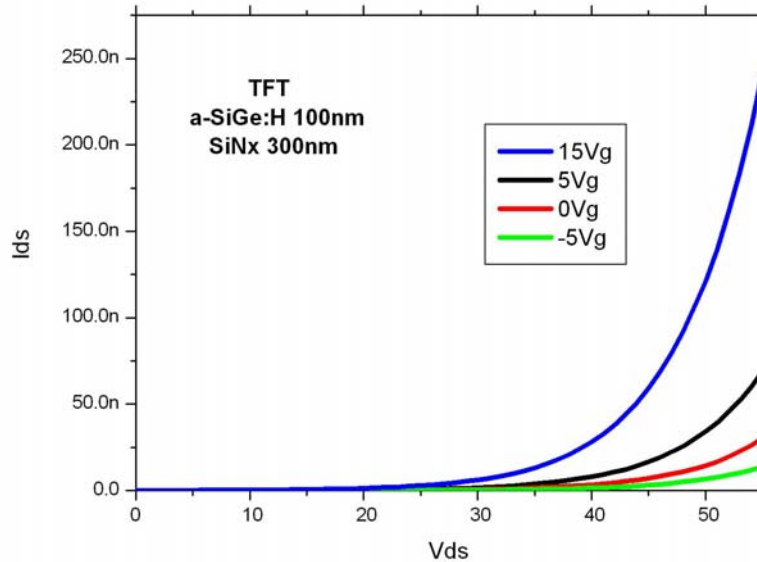


Fig. 3.27 Curvas Vds vs Ids del TFT de a-SiGe:H de 100nm con SiNx.

Podemos apreciar que las corrientes  $I_{ds}$  no saturan, es decir, no tienen el comportamiento de un TFT o un MOS [10]. Esto nos lleva a pensar que no tenemos un contacto óhmico sino barreras schottky con una resistencia de contacto grande. Para respaldar esta suposición, en la sección 3.4 se presentan simulaciones realizadas en PISCES las cuales reproducen este comportamiento.

### 3.3.3 Movilidad

La movilidad  $\mu_{FE}$  y el voltaje de umbral  $V_T$  son obtenidos en la región de saturación de la gráfica de transferencia, usando la siguiente relación:

$$I_{DS} = \mu_{FE} \cdot C_{ox} (W/2L) (V_{GS} - V_T)^2 \quad (3.2)$$

Donde  $W$  y  $L$  son las dimensiones del transistor y  $C_{ox}$  es la capacitancia del dieléctrico por unidad de área. La movilidad  $\mu_{FE}$  y el voltaje de umbral  $V_T$  son determinados graficando  $(I_{DS})^{1/2}$  vs  $V_{GS}$  cuando  $V_{DS}=V_{GS}$  en la región de saturación [45]. Extrapolando una recta al origen obtenemos  $V_T$  de la intercepción y  $\mu_{FE}$  de la pendiente ( $\alpha$ ). La  $\mu_{FE}$  puede ser calculada usando la siguiente fórmula:

$$\mu_{FE} = (2L/WC) (\alpha)^2 \quad (3.3)$$

En nuestro caso, debido a que las curvas  $V_{ds}$  vs  $I_{ds}$  del TFT de a-SiGe:H no tienen el comportamiento esperado, no podemos obtener  $V_T$  ni  $\mu_{FE}$ .

### 3.3.4 Voltaje de encendido $V_{ON}$ y voltaje de umbral $V_T$

Como vimos en el capítulo anterior en una gráfica característica de transferencia se puede identificar el  $V_T$  debajo de la “rodilla”, y por encima de ésta se identifica el voltaje de encendido  $V_{ON}$ . Analizando las gráficas de transferencia de los TFTs (Figuras 3.22 y 3.23), observamos que los valores de  $V_T$  y  $V_{ON}$  pueden ser aproximados a los que indica la Tabla 3.9.

TFTs de a-SiGe:H con SOG	$V_T$	$V_{ON}$
capa activa 100nm	4 V	10 V
Capa activa 200nm	10 V	20 V

Tabla 3.9 Valores de  $V_T$  y  $V_{ON}$  obtenidos a partir de la grafica de transferencia.

### 3.3.5 Tratamiento Térmico

Para intentar reducir la resistencia de contacto y formar contactos óhmicos, se les dio a los TFTs un tratamiento térmico a 200°C por casi 3 Hrs. Observando que en algunos casos se mejoran algunos parámetros como la movilidad y la  $S$ . Las mediciones se hicieron con un  $V_{ds} = 15$  V.

Para el TFT de a-SiGe:H de 100nm con SOG observamos que a los 100 minutos del tratamiento térmico se mejora la  $S$  de  $\sim 4.5$  V/DEC a  $\sim 4.1$  V/DEC (Fig 3.28).

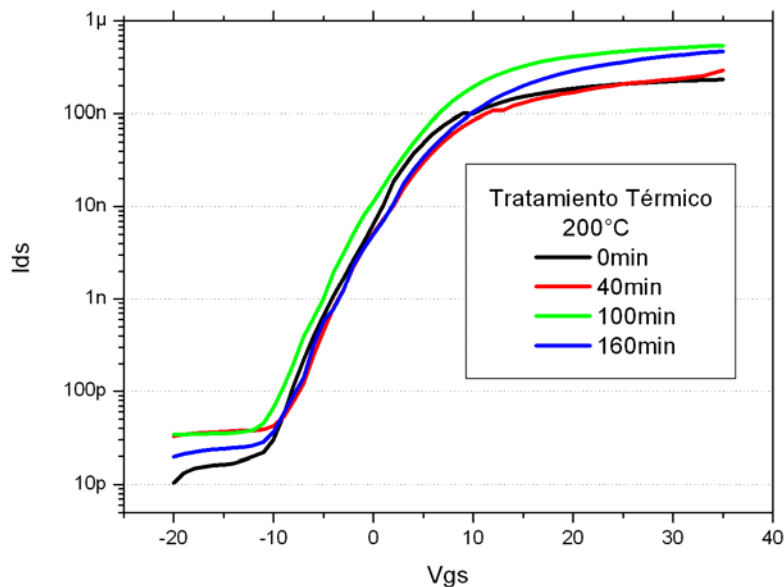


Fig. 3.28 Curvas de transferencia del TFT de 100nm con SOG aplicando Tratamiento Térmico.

Para el TFT de a-SiGe:H de 200nm con SOG observamos que desde el inicio del tratamiento térmico se ve afectado el comportamiento del dispositivo (Fig 3.29).

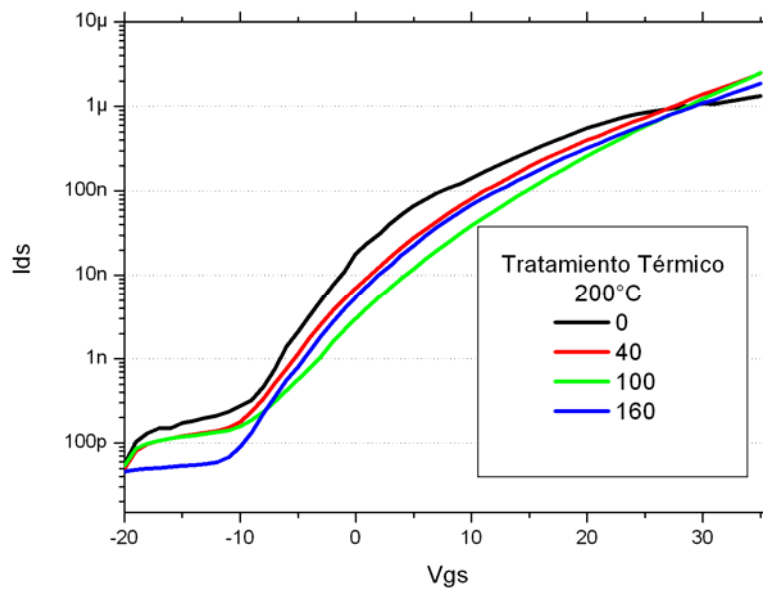


Fig. 3.29 Curvas de transferencia del TFT de 200nm con SOG aplicando Tratamiento Térmico.

Para el TFT de a-SiGe:H de 100nm con SiN<sub>x</sub> observamos que ligeramente mejora la pendiente a los 40 min. del tratamiento térmico. Sin embargo, no logra saturar la corriente I<sub>ds</sub> (Fig 3.30).

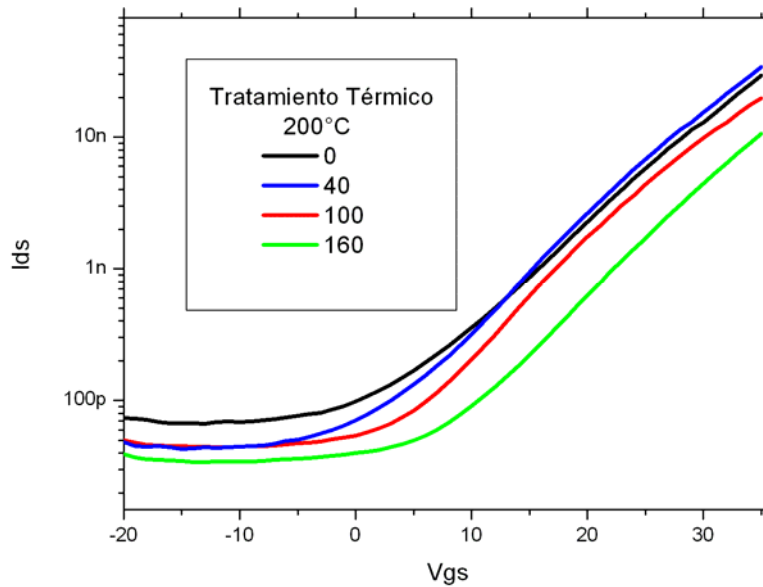


Fig. 3.30 Curvas de transferencia del TFT de 100nm con SiNx aplicando Tratamiento Térmico.



### **3.4 Simulación Numérica de TFTs de a-SiGe:H**

El desarrollo de simuladores numéricos, tanto de procesos como de dispositivos semiconductores, ha llegado a un nivel de exactitud que se habla de un laboratorio virtual. Tal es el caso del ambiente ATHENA de Silvaco que permite la generación de estructuras de dispositivos en SUPREM IV y visualizar su comportamiento eléctrico mediante PISCES. PISCES resuelve las ecuaciones de Poisson y de continuidad en una y dos dimensiones, y además, permite realizar análisis de DC y de AC [46]. En esta sección se presentan las simulaciones numéricas realizadas para reproducir el comportamiento eléctrico de los TFTs de a-SiGe:H presentados en este trabajo. Una vez reproducido este comportamiento, mediante simulaciones se demostrará que la película de a-SiGe:H resulta prometedora en el ámbito de los TFTs.

#### **3.4.1 Simulación Numérica de TFTs de a-SiGe:H con barreras schottky.**

Es conocido que la simulación numérica de dispositivos semiconductores que incluyen semiconductores amorfos no es fácil de realizar, ya que las propiedades de éstos dependen de las condiciones de depósito, y éstas varían en función de la técnica de depósito usada [7]. Recientemente, Silvaco ha implementado un módulo especial para la simulación de semiconductores amorfos llamado TFT, en el que se usa una forma modificada de la ecuación de Poisson, que toma en cuenta la carga atrapada en la densidad de estados (*DOS*) y permite al usuario modificar la *DOS* en función del semiconductor amorfo a simular [46]. La reproducción de datos experimentales por medio de simulaciones, depende principalmente de los modelos usados y del conocimiento de las propiedades físicas y eléctricas del semiconductor a simular, en el caso de semiconductores amorfos es necesario conocer  $g(E)$  o *DOS*.

Los parámetros para modelar la densidad de estados de las películas de a-SiGe:H se muestran en la tabla 3.10. Estos parámetros fueron tomados de películas depositadas en el Laboratorio de Microelectrónica del INAOE y reportadas en diferentes publicaciones [28,29].

Parámetro	Valor
$N_D$	$1 \times 10^{12}, 1 \times 10^{18} \text{ cm}^{-3}$ [intrínseco, tipo N]
$E_g$	1.4 eV
$\chi$	4.01 eV
$\epsilon_a$	14
$N_C$	$1 \times 10^{20} \text{ cm}^{-3}$
$N_V$	$1 \times 10^{20} \text{ cm}^{-3}$
$\mu_e$	$60 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$
$\mu_h$	$10 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$
$U$	0.3 eV
$E_C\text{-EGD}$	0.8 eV
$WGA=WGD$	0.3 eV
$NGA=NGD$	$2 \times 10^{16}, 2 \times 10^{17} \text{ cm}^{-3}$ [intrínseco, tipo N]
$NTA$	$1 \times 10^{20} \text{ cm}^{-3}$
$NTD$	$1 \times 10^{20} \text{ cm}^{-3}$
$WTC$	28, 124 meV [intrínseco, tipo N]
$WTV$	56, 198 meV [intrínseco, tipo N]
$SIGGAE$	$2.7 \times 10^{-15}$
$SIGGDE$	$1.3 \times 10^{-14}$
$SIGGAH$	$1.3 \times 10^{-14}$

<i>SIGGDH</i>	$2 \times 10^{-15}$
<i>SIGTAE</i>	$5 \times 10^{-15}$
<i>SIGTDE</i>	$5 \times 10^{-15}$
<i>SIGTAH</i>	$5 \times 10^{-15}$
<i>SIGTDH</i>	$5 \times 10^{-15}$

Tabla 3.10 Parámetros utilizados para la simulación del TFT de a-SiGe:H.

Para reproducir los datos experimentales del TFT de a-SiGe:H de 100nm con SOG, simularemos el dispositivo con barreras schottky. Los resultados de la simulación numérica se muestran en las Fig. 3.31 y 3.32. En esta observamos que obtenemos un comportamiento similar, ya que la relación  $I_{ON}/I_{OFF}$  y la pendiente de subumbral  $S$  son aproximadamente del mismo orden. Por otro lado, observamos que la familia de curvas  $V_{ds}$  vs  $I_{ds}$  tienen el mismo comportamiento exponencial que las curvas del transistor real.

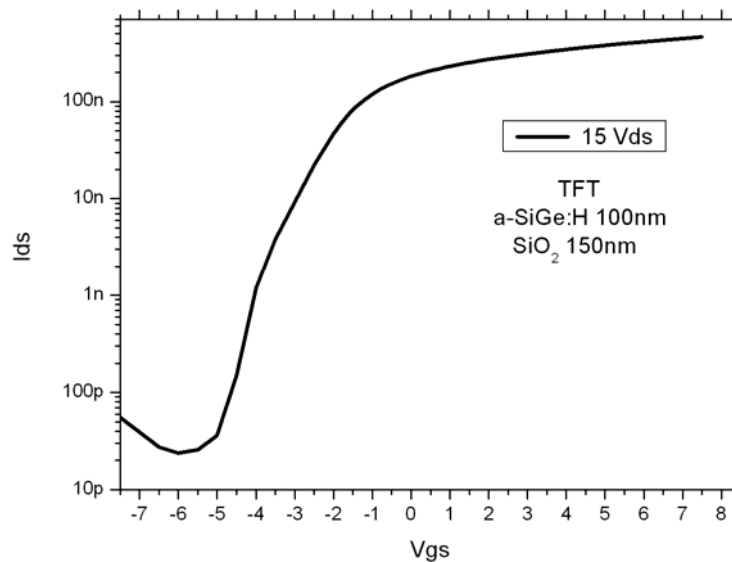


Fig. 3.31 Curva de transferencia del TFT simulado de 100nm con SOG.

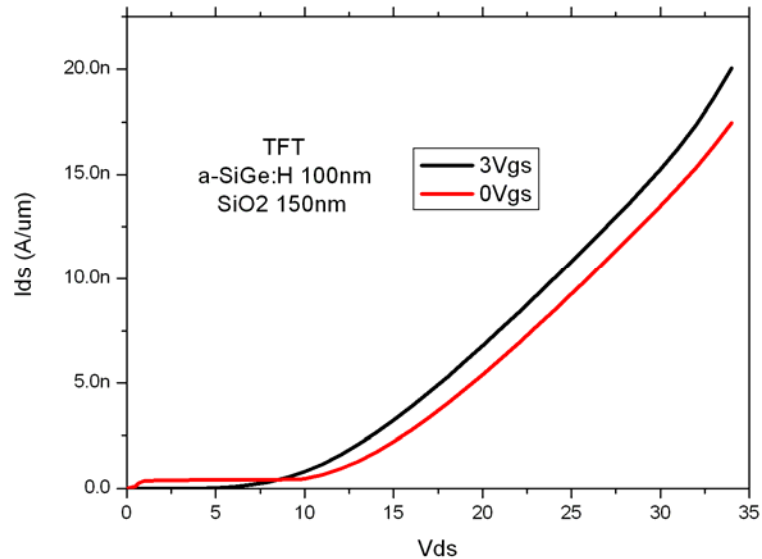


Fig. 3.32 Curva de  $V_{ds}$  vs  $I_{ds}$  del TFT simulado de 100nm con SOG.

Estos resultados se obtuvieron con la misma dimensión de canal ( $L=15\mu m$ ), con una movilidad de 30 y 1  $\text{cm}^2 \text{V}^{-1} \text{s}^{-1}$  para electrones y huecos respectivamente, una carga fija en la interfase dieléctrico-semiconductor de  $5 \times 10^{-11} \text{ cm}^{-2}$  y una barrera schottky de .45 eV. En el caso de la curva de transferencia se multiplicó el resultado por  $W = 35\mu m$  para tener un resultado mas cercano al real.

Sin embargo, vemos que la carga fija en la interfase es mayor al valor típico utilizado en las simulaciones de estos dispositivos ( $3 \times 10^{-10} \text{ cm}^{-2}$ ) [46]. Para ver el efecto de la carga fija en la interfase dieléctrico-semiconductor, se realizó una simulación con los mismos parámetros anteriores, pero utilizando el valor típico de la carga en la interfase (fig. 3.33).

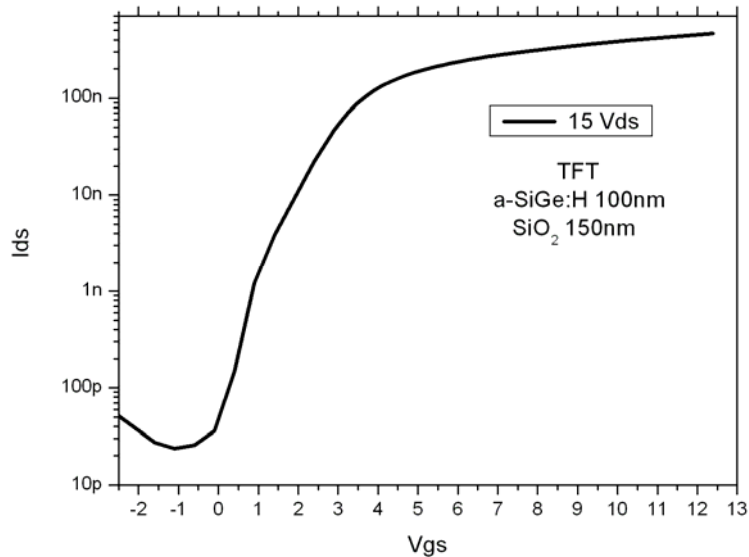


Fig. 3.33 Curva de transferencia del TFT simulado con un valor típico de carga en la interfase.

Por lo tanto, podemos concluir que el comportamiento de nuestro dispositivo se debe a que tenemos barreras en los contactos de drenaje y fuente y a una interfase dieléctrico-semiconductor de mala calidad. Sin embargo, ¿Cómo sería el comportamiento si no los tuviera?

### 3.4.2 Simulación Numérica de TFTs de a-SiGe:H con película n+.

Realizando una simulación del TFT de a-SiGe:H de 100nm con la película de a-SiGe:H n+ para tener un contacto óhmico, obtenemos los resultados mostrados en las figuras 3.34 y 3.35. Se muestra una mejora de manera sustancial en una de las principales figuras de mérito,  $S$ , ya que se obtiene un valor de 0.33 V/Década que mejora el valor obtenido del TFT con barreras schottky y los valores de 0.5 a 2.5 V/Década que se han reportado para TFTs de a-Si:H [32-34]. Además, se incrementa la relación  $I_{ON}/I_{OFF}$  a

$\sim 10^6$  la cual se encuentra dentro de los valores típicos reportados en la literatura.

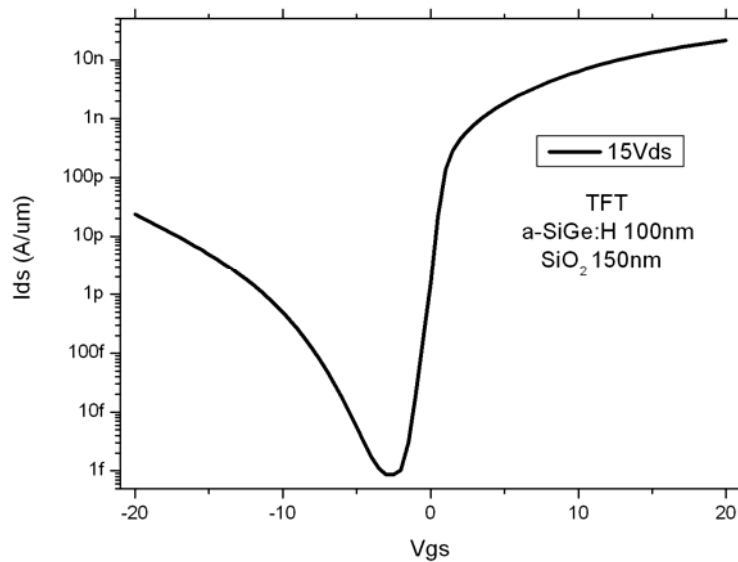


Fig. 3.34 Curva de Transferencia del TFT simulado con contacto óhmico.

Para voltajes negativos de  $V_{GS}$  notamos que  $I_{DS}$  aumenta con respecto al voltaje aplicado para ambos TFTs. Esto se debe a la acumulación de huecos donde se forma el canal. Una posible solución es incrementar ligeramente el dopado de la capa activa.

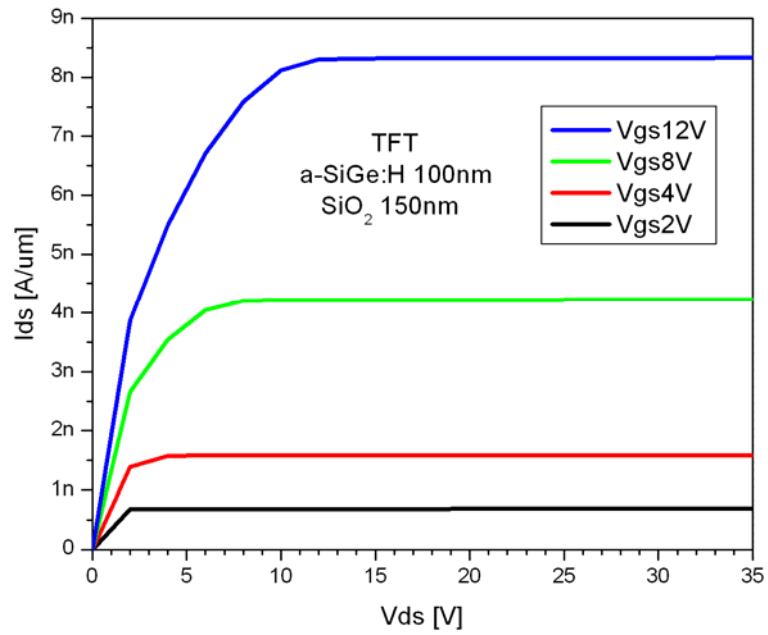


Fig. 3.35 Curva de  $V_{ds}$  vs  $I_{ds}$  del TFT simulado con contacto óhmico.

## ***CAPITULO 4***

### **CONCLUSIONES Y TRABAJO FUTURO**

#### **4.1 Conclusiones**

Se fabricaron y caracterizaron por primera vez TFTs de a-SiGe:H con diferentes grosores de capa activa y dieléctricos de compuerta, sin incrementar las temperaturas de depósito.

Se caracterizó el uso de la película a-Ge:H n+ para obtener contactos óhmicos con la película de a-SiGe:H.

Se caracterizó el SOG 700B para su uso como dieléctrico de compuerta, presentando un índice de refracción y constante dieléctrica muy cercanas al SiO<sub>2</sub> crecido en hornos de crecimiento.

Se realizó un proceso experimental con fosfina que mejora la conductividad de la película de a-SiGe:H.

Se mejoraron algunos parámetros del dispositivo utilizando tratamientos térmicos con una temperatura debajo de la de depósito.

Se realizaron simulaciones numéricas en PISCES, reproduciendo los valores obtenidos experimentalmente. Dando mayor entendimiento al comportamiento eléctrico de los TFTs de a-SiGe:H.

En este trabajo mediante simulaciones numéricas utilizando PISCES se muestra que el uso de a-SiGe:H para la fabricación de TFTs, mejora de



manera sustancial una de las principales figuras de mérito,  $S$ , ya que se obtiene un valor de 0.33 V/Década que mejora los valores de 0.5 a 2.5 V/Década que se han reportado para TFTs de a-Si:H, y al mismo tiempo conservando el valor típico de la relación  $I_{ON}/I_{OFF}$ .

#### 4.2 Trabajo futuro

Fabricar y caracterizar TFTs de a-SiGe:H utilizando la película a-Ge:H  $n^+$  para obtener contactos óhmicos.

Optimizar las propiedades de las películas que conforman al TFT y utilizar estructuras diferentes a la usada en este trabajo.

Caracterizar el  $SiN_x$  para que funcione como dieléctrico de compuerta.

Realizar más pruebas con el proceso experimental de fosfina para comprender que tipo de proceso sucede y caracterizarlo para encontrar una mayor uniformidad.

Optimizar el funcionamiento del Dispositivo.

Realizar el modelado del dispositivo.

## APENDICE A

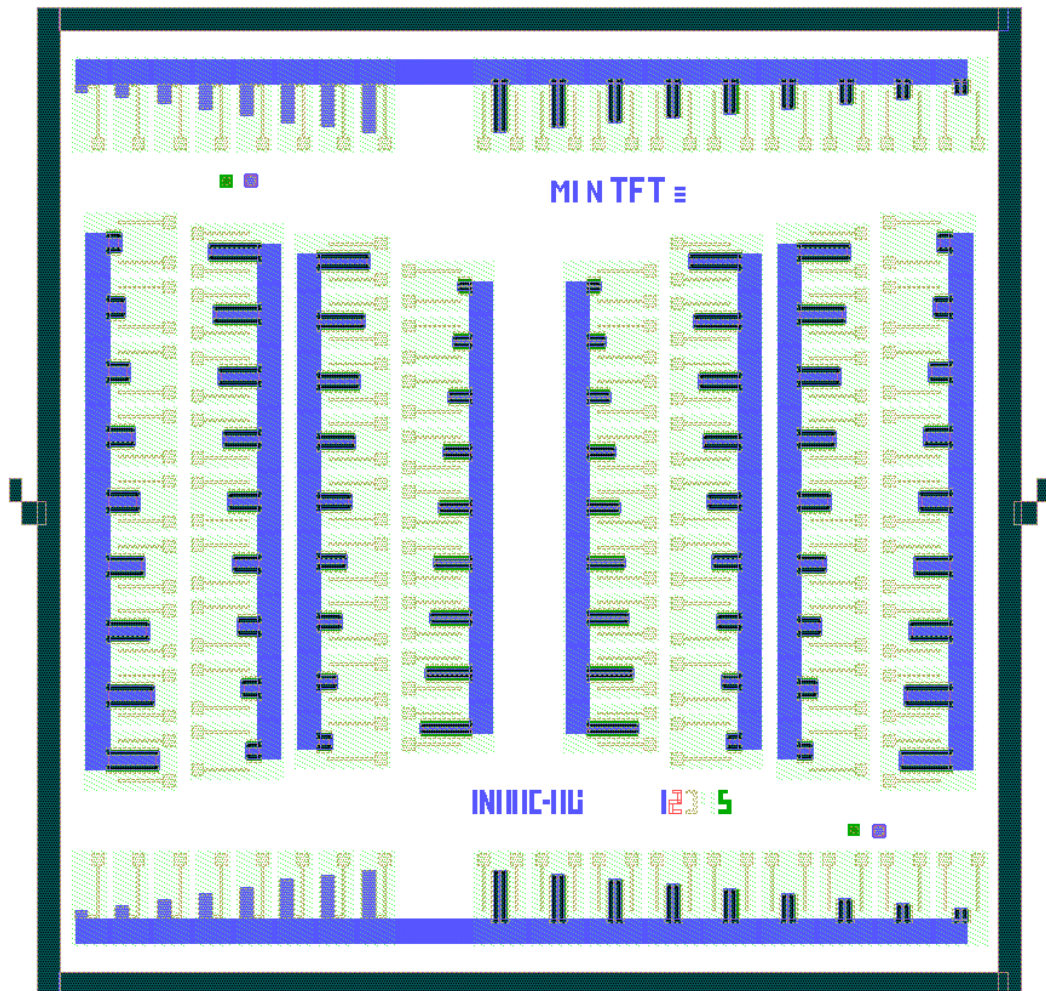


Fig. A.1 Mascarilla utilizada para fabricar los TFTs de a-SiGe:H.

## LISTA DE FIGURAS

Fig. 1.1 Direccionamiento Directo de 7 segmentos de un dígito.	1
Fig. 1.2 Función de los TFTs en la celda de LC.	3
Fig. 1.3 Circuito eléctrico equivalente de la celda LC [2].	3
Fig. 1.4 Modo de operación del TFT para evitar voltaje en DC [1].	4
Fig. 1.5 Estructuras Básicas de TFTs.	5
Fig. 2.1 Curva característica de transferencia de un TFT [10].	13
Fig. 2.2 Curva $I_{DS}$ $V_S$ $V_{GS}$ cuando $V_{DS} = 0.1$ V, para encontrar $V_T$ [30].	14
Fig. 2.3 Característica de salida típica de un TFT [10].	15
Fig. 2.4 Densidad de Estados de una película amorfa [30].	16
Fig. 2.5 Curva de transferencia de un TFT en oscuridad y bajo iluminación [6].	19
Fig. 3.1 Sección Transversal del TFT de a-SiGe:H.	20
Fig. 3.2 Estructura para medir conductividad en las películas n+.	23
Fig. 3.3 Curva I –V de la muestra de a-SiGe:H n+.	23
Fig. 3.4 Curva I –V de la muestra de a-Ge:H n+.	24
Fig. 3.5 Estructura para medir contactos de la película de a-SiGe:H.	24
Fig. 3.6 Curvas I –V de las muestras de a-SiGe:H con las películas n+.	25
Fig. 3.7 Estructura para medir contactos de la película de a-SiGe:H con el proceso experimental.	26
Fig. 3.8 Medición de los contactos del proceso experimental.	26
Fig. 3.9 Superficies de las muestras de SOG.	
a) Sin diluir, b) 3:1 Metanol, c) 3:1 2-propanol.	30
Fig. 3.10 Estructura MIM para obtener la constante dieléctrica del SOG (3:1 2-propanol)	30
Fig. 3.11 Proceso de fabricación. Evaporación de Al.	34
Fig. 3.12 Proceso de fabricación. Litografía de Metal de compuerta.	34
Fig. 3.13 Proceso de fabricación. Depósito de dieléctrico de compuerta.	35
Fig. 3.14 Proceso de fabricación. Depósito de capa activa y pasivadora.	35
Fig. 3.15 Proceso de fabricación. Grabado de película pasivadora.	36
Fig. 3.16 Proceso de fabricación. Depósito de película n+.	37
Fig. 3.17 Proceso de fabricación. Proceso de lift-off.	37
Fig. 3.18 Proceso de fabricación. Grabado de películas n+ y a-SiGe:H.	38
Fig. 3.19 Primeras mascarillas de TFTs.	39
Fig. 3.20 Metal de compuerta afectado por el grabado de los contactos de drenaje y fuente.	40

Fig. 3.21 Vista superior de los TFTs después del proceso de Lift-off. _____	41
Fig. 3.22 Curva de transferencia del TFT de a-SiGe:H de 100nm con SOG. _____	42
Fig. 3.23 Curva de transferencia del TFT de a-SiGe:H de 200nm con SOG. _____	42
Fig. 3.24 Curva de transferencia del TFT de a-SiGe:H de 100nm con SiN <sub>x</sub> . _____	43
Fig. 3.25 Curvas V <sub>ds</sub> vs I <sub>ds</sub> del TFT de a-SiGe:H de 100nm con SOG. _____	44
Fig. 3.26 Curvas V <sub>ds</sub> vs I <sub>ds</sub> del TFT de a-SiGe:H de 200nm con SOG. _____	44
Fig. 3.27 Curvas V <sub>ds</sub> vs I <sub>ds</sub> del TFT de a-SiGe:H de 100nm con SiN <sub>x</sub> . _____	45
Fig. 3.28 Curvas de transferencia del TFT de 100nm con SOG aplicando Tratamiento Térmico. _____	47
Fig. 3.29 Curvas de transferencia del TFT de 200nm con SOG aplicando Tratamiento Térmico. _____	48
Fig. 3.30 Curvas de transferencia del TFT de 100nm con SiN <sub>x</sub> aplicando Tratamiento Térmico. _____	48
Fig. 3.31 Curva de transferencia del TFT simulado de 100nm con SOG. _____	51
Fig. 3.32 Curva de V <sub>ds</sub> vs I <sub>ds</sub> del TFT simulado de 100nm con SOG. _____	52
Fig. 3.33 Curva de transferencia del TFT simulado con un valor típico de carga en la interfase. _____	53
Fig. 3.34 Curva de Transferencia del TFT simulado con contacto óhmico. _____	54
Fig. 3.35 Curva de V <sub>ds</sub> vs I <sub>ds</sub> del TFT simulado con contacto óhmico. _____	55
Fig. A.1 Mascarilla utilizada para fabricar los TFTs de a-SiGe:H. _____	58

## **LISTA DE TABLAS**

Tabla 3.1 Condiciones de depósito de la película de a-SiGe:H.	21
Tabla 3.2 Condiciones de depósito de las películas n+.	23
Tabla 3.3 Condiciones del Proceso Experimental con Fosfina.	25
Tabla 3.4 Grosos obtenidos del SOG 700B a diferentes rpm.	28
Tabla 3.5 Índice de refracción obtenido del SOG 700B a diferentes rpm.	28
Tabla 3.6 Valores obtenidos de los capacitores de SOG (3:1 2-propanol)	31
Tabla 3.7 Condiciones de depósito de la película de SiN <sub>x</sub> .	32
Tabla 3.8 Valores obtenidos de los capacitores de SiN <sub>x</sub> .	32
Tabla 3.9 Valores de $V_T$ y $V_{ON}$ obtenidos a partir de la grafica de transferencia.	46
Tabla 3.10 Parámetros utilizados para la simulación del TFT de a-SiGe:H.	50

## **REFERENCIAS**

- [1] Ernst Lueder “Liquid Crystal Displays”, John Wiley & Sons, 2001, pp.211-245.
- [2] E. B. Priestley, P. J. Wojtowicz and P. Sheng “Introduction to liquid crystals”, Plenum Press, 1975, pp.241-173.
- [3] V. G. Chigrinov “Liquid Crystal Devices: physics and applications”, Artech House, 1999, pp.215-282.
- [4] Jerzy Kanicki “Amorphous and microcrystalline semiconductor devices: optoelectronic devices”, Artech House, 1991, pp.107-123.
- [5] N. Ibaraki, K. Fukuda, and H. Takata, "The effect of interface states on amorphous silicon transistors," *IEEE Transactions on electron devices*, vol. 36, pp. 2971-2972, 1989.
- [6] M. J. Powell, "The physics of amorphous silicon thin film transistors," *IEEE Transactions on electron devices*, vol. 36, pp. 2753-2763, 1989.
- [7] Werner Luft and Y. Simon Tsuo “Hydrogenated Amorphous Silicon Alloy Deposition Process”, Marcel Dekker, Inc., 1993, pp 10-63.
- [8] M. Katayama, "TFT LCD technology", *Thin Solid Films*, vol. 341, pp. 140-147, 1999.
- [9] S. D. Brotherton, “Polycrystalline Silicon Thin Film Transistor”, *Semiconductor Sci. Technol.* , no. 10, pp. 721--738, 1995.
- [10] Dosev D “Fabrication, Characterization and Modeling of Nanocrystalline Silicon Thin Film Transistor Obtained by Hot-Wire Chemical Vapour Deposition” PhD Thesis. Barcelona: Universitat Politècnica de Catalunya 2003.
- [11] T. Noguchi, H. Hayashi and T. Ohshima, “Polysilicon super thin film transistor technology” in Polysilicon films and interfaces, edited by C. Y. Wong, C. V. Thompson and K. N. Tu, *Mat. Res. Soc. Symp. Proc.* 106, Boston, Massachussets, 1987, pp. 293-304.

- [12] S. Takenaka, M. Kunii, H. Oka, and H. Kurihara, "High mobility poly-Si thin film transistors using solid phase crystallized a-Si films deposited by plasma enhanced chemical vapor deposition," *Japanese Journal of applied physics*, vol. 29, pp. L2380- L2383, 1990.
- [13] L. Kan Yuan, P. Yean Kuen, C. Chii Wen, L. Mong Song, and W. Shou Gwo, "rapid thermal annealing on the characteristics of polysilicon thin film transistors in practical TFT SRAM process.," *IEEE Transactions on electron devices*, vol. 44, pp. 1561-1562, 1997.
- [14] I. Yudasaka and H. Ohshima, "Rapid thermal annealing technique for polycrystalline silicon thin film transistors," *Japan. J. Applied Phys.*, vol. 33, pp. 1256-1260, 1994.
- [15] H. W. Chang, H. Kim, Y. Kim Y. Wang, D. Choi, "fabrication of low temperature poly-Si thin film transistor using field aided lateral crystallization process" *revista mexicana de fisica*, S53(1), pp 1-4, 2007.
- [16] C. T. Angelis, C. A. Dimitriadis, M. Misayaka, F. V. Farmakis, G. Kamarinos, J. Brini, and J. Stoemens, "Effect of excimer laser annealing on the structural and electrical properties of polycrystalline silicon thin film transistors.," *Journal of applied physics*, vol. 86, pp. 4600-4606, 1999.
- [17] J. B. Boyce and P. Mei, *Technology and applications of amorphous silicon*: Berlina Heidelber, 2000.
- [18] H. W. Hwang, C. J. Kang, Y. S. Kim "a novel structured polysilicon thin film transistor that increases the on/off current ratio" *semicond. Sci. Technol*, vol 18, pp 845-849, 2003.
- [19] M. L. Chabinyc, W. S. Wong, A. C. Arias, S. Ready, R. A. Lujan, J. H. Daniel, B. K. Krusor, R. B. Apte, A. Salleo and R. A. Street, "Printing methods and materials for large-area electronic devices", *proceedings of the IEEE*, vol. 93, no. 8, pp. 1491-1497, 2005.

- [20] K. Bock, "Polymer electronics system-polytronics", *proceedings of the IEEE*, vol. 93, no. 8, pp. 1400-1406, 2005.
- [21] J. S. Lewis and M. S. Weaver, "Thin film permeation-barrier technology for flexible organic Light-emitting devices", *IEEE J. Sel. Topics Quantum Electrón.*, vol 10, pp. 45-57, Jan-Feb 2004.
- [22] W. A. Schoonveld, R. W. Stok, J. W. Weijtmans, J. Vrijmoeth, and T. M. Klapwijk, *Synthetical Metals*, vol. 84, pp. 583, 1997.
- [23] A. Dodabalapur, L. Torsi, and H. E. Katz, *Science*, vol. 268, pp. 1995, 1995.
- [24] Y. Y. Lin, D. J. Gundlach, S. F. Nelson, and T. N. Jackson, "Pentacene based organic thin film transistors," *Transaction on electron devices*, vol. 44, pp. 1325-1331, 1997.
- [25] Rubí Salazar Amador, "Diseño, Fabricación y Prueba de un Detector de Barrera Shocctky de a-SiGe:H/p-Si para el Rango Medio del Infrarrojo". Tesis Doctoral, INAOE, Sta. Tonantzintla, Puebla. Junio 2002.
- [26] M.L. García Cruz, A. Torres, A. Kosarev, R. Ambrosio, "Uncooled Micro-Bolometer Based on Amorphous Germanium Film", *Journal of Non-Crystalline Solids* Vol. 329, pp. 179–183, 2003.
- [27] A. Heredia-J, A. Torres-J, F.J. De la Hidalga-W, A. Jaramillo-N, J. Sánchez-M, C. Zúñiga-I. M. Basurto P. and A. Pérez, "Low Resistivity Boron Doped Amorphous Silicon-Germanium Alloy Films Obtained with a Low Frequency Plasma". *Mat. Res. Soc. Symp. Proc.* Vol. 796; pp V2.4.1V2.4.6, 2004.
- [28] P. Rosales-Quintero, A. Torres-Jacome, R. Murphy-Arteaga and M. Landa-Vázquez, "Electrical Characterization of n-type a-SiGe:H/p-type Crystalline-Silicon Heterojunctions", *Semiconductor Sci. Technol.*; vol. 19, no. 3, pp 366–372, March 2004.
- [29] P. Rosales-Quintero, A. Torres-Jacome, R. Murphy-Arteaga F. J. De la Hidalga Wade, L. F. Marsal, R. Cabre, and J. Pallarès, "Influence of



- the a-SiGe:H Thickness on the Conduction Mechanisms of n-Amorphous-SiGe:H/p-Crystalline-Si Heterojunction Diodes," *Journal of Applied Physics*, vol. 97, No. 8, pp. 083710-1 -083710-8, April 2005."
- [30] M. Domínguez-Jiménez, P. Rosales-Quintero, A. Torres-Jacome, F. J. De la Hidalga-Wade, W. Calleja-Arriaga, C. Zúñiga-Islas, "TFTs de a-SiGe:H, Una Alternativa" ICED 2006 2da. Conferencia Internacional en Diseño Electrónico, Veracruz, México, 21 – 23 Noviembre 2006.
- [31] P. Stallinga, H. L. Gomes "Modelling electrical characteristics of thin-film field-effect transistors. I: Trap-free materials" *Synthetic Metals* Vol. 156, 1305 (2006).
- [32] J. Lin, W. Sah, S. Lee, "Amorphous-silicon thin-film transistor with very high field-effect mobility", *IEEE-ED*, vol. 12, no. 3, pp. 120-121, March 1991.
- [33] A. Rolland, J. Richard, J.P. Kleider, and D. Mencaraglia, "Electrical Properties of Amorphous Silicon Transistors and MIS-Devices: Comparative Study of Top Nitride and Bottom Nitride Configurations", *J. Electrochem. Soc.*, vol. 140, pp. 3679-3683, 1993.
- [34] K. Maeda, H. Koyanagi, and T. Jinnai, "Subthreshold Characteristics and Interface States Density of a-Si:H TFT", in *Mater. Res. Soc. Symp. Proc.*, 1993, vol 297, pp. 889-894.
- [35] M. S. Shur, H. C. Slade, A. A. Owusu, and T. Ytterdal. "Spice Model for Amorphous Silicon and Polysilicon Thin Film Transistors", *J. Electrochem. Soc.*, vol. 144, pp. 283-328, 1997.
- [36] M. J. Powell, C. van Berkel, A. R. Franklin, S. C. Deane, and W. I. Milne, "Defect pool in amorphous silicon thin film transistors," *Physics review B*, vol. 45, pp. 4160-4170, 1992.
- [37] T. Sakai, M. Shimbo, M. Suzuki, T. Yamazaki, and R. Sakami, "A colour LC panel using a very thin film transistor (V-TFT)," in *Conf. Rec. Int. Display Research Conf.*, 1985, pp. 30-31.

- [38] T. Sunata *et al.*, "A large area high resolution active matrix colour LCD addressed by a-Si TFT's, *Proc. Soc. Inform. Display*, vol. 27, pp. 229-234, 1986.
- [39] Roberto Carlos Ambrosio Lázaro, "Obtención y Caracterización de Películas Delgadas de a-SiC:H". Tesis de Maestría, INAOE, Tonantzintla, Puebla. Septiembre 2000.
- [40] C.S.Yang, W. W. Read, C. Arthur, E. Srinivasan, G.N. Parsons "self-aligned gate and source drain contacts in inverted-staggered a-Si:H thin film transistors fabricated using selective area silicon PECVD", *IEEE Electron Device Lett.* Vol.19, No. 6, pp 180-182, 1998.
- [41] N. Delgadillo, A. Kosarev, A. Torres, Y. Kudriavtsev, "Películas de germanio hidrogenado depositadas por LF PECVD con altas concentraciones de fósforo" *7° encuentro de investigación INAOE*, pp. 197-200, 2006.
- [42] HP 4155B/4156B User's guide general information.
- [43] Antonio Munguía Castillo, "Efecto de la pasivación en un SAMAPD en base a silicio". Tesis de Maestría, INAOE, Tonantzintla, Puebla. Noviembre 1998.
- [44] R. Ambrosio, A. Torres, A. Kosarev, M. Landa, A. Heredia "Effect of the hydrogen content in the optical properties and etching of silicon nitride films deposited by PECVD fr uncooled microbolometers" *Mat. Res. Soc. Symp. Proc.* Vol. 862; pp A9.6.1- A9.6.6, 2005.
- [45] H. Kavak, H. Shanks "satability of hydrogenated amorphous silicon thin film transistrs on polyimide substrates" *solid-state electronics* vol. 49 pp 578-584, 2005.
- [46] PISCES User's Manual, Silvaco International, November 2002.