



INAOE

Diseño CMOS de un regulador LDO de alta precisión con protección contra sobrecargas

por

Fredy Montalvo Galicia

Tesis sometida como requisito parcial para obtener el grado de
Maestro en Ciencias en el Área de Electrónica en el Instituto
Nacional de Astrofísica, Óptica y Electrónica

Supervisada por:

Dra. María Teresa Sanz Pascual (INAOE)
**Dra. Belén Calvo López (Universidad de
Zaragoza)**

©INAOE 2016

El autor otorga al INAOE el permiso de reproducir y distribuir copias
en su totalidad o en partes de esta tesis



Diseño CMOS de un regulador LDO de alta precisión con protección contra sobrecargas

Tesis de Maestría

POR:

Fredy Montalvo Galicia

ASESORES:

Dra. María Teresa Sanz Pascual (INAOE)

Dra. Belén Calvo López (Universidad de Zaragoza)

Instituto Nacional de Astrofísica Óptica y Electrónica
Coordinación de Electrónica

Agradecimientos

Un logro profesional más, un logro que no sería realidad sin el apoyo de muchas personas que estando detrás del telón han aportado en gran cantidad a la obtención de esta meta personal.

Primeramente quiero extender mis agradecimientos al Consejo Nacional de Ciencia y Tecnología (CONACyT), por el financiamiento del presente trabajo a través del número de becario 294700.

Igualmente quiero agradecer a la Dra. María Teresa Sanz Pascual y a la Dra. Belén Calvo López por su tiempo, dedicación y supervisión. Por las experiencias compartidas y el conocimiento compartido que ha permitido realizar y culminar con el presente trabajo.

A mis padres Pilar Galicia Basilio y José Apolinar Montalvo Aróstico por su inquebrantable confianza y apoyo, ustedes han sido un pilar importante que me impulsan a seguir adelante y superar adversidades. A mis hermanos Gustavo Montalvo Galicia, Daniel Montalvo Nabor y Edith Galicia Basilio por compartir sus experiencias de vida, por su apoyo incondicional y por estar en todo momento. Sin su apoyo esta meta no sería una realidad.

Así mismo, extendiendo mi gratitud a mis compañeros de generación con quienes he compartido grandes momentos, frustraciones, alegrías y desacuerdos. Gracias a ustedes esta experiencia ha sido la mejor y hemos llegado al final de este recorrido.

A Idiana Ixchel Ayerdi Rudecindo, por la confianza, apoyo y alegrías compartidas en este periodo de tiempo y de quien he comprendido la importancia de tener un amigo en tu vida.

Por último pero no menos importante, agradezco a Griselda Sánchez Juárez por su fe inquebrantable, confianza y apoyo incondicional. Sin su apoyo y confianza, el primer

peldaño (propedeúico) no habría sido posible superarlo y tampoco mantenerme de pie en el transcurso de estos años.

A todos y cada uno de ustedes les expreso mi más grande y sincero agradecimiento.

Resumen

En el presente trabajo se muestra la metodología para el diseño de un regulador de bajo dropout (LDO) de alta precisión en la tecnología CMOS UMC 180nm. Se presenta al sistema como un bloque general compuesto por sub-bloques funcionales que fueron diseñados para cumplir con las especificaciones del regulador.

El sistema es compensado internamente utilizando la red de compensación Miller del propio amplificador de error, reduciendo así el uso de elementos adicionales que incrementan tanto la complejidad como el consumo de energía y de área. En este caso el objetivo fue mantener un diseño compacto y funcional, apropiado para soluciones System-on-Chip (SoC).

Un bloque de protección contra sobrecorrientes se encarga de mantener al regulador LDO en un rango de operación seguro, evitando que el transistor de paso sufra alguna falla en caso de corrientes de carga excesivamente elevadas. La respuesta dinámica del regulador frente a cambios abruptos en la corriente de carga se mejoró mediante un circuito de control que limita la amplitud de los sobretiros y reduce los tiempos de respuesta.

Por último, se presenta el diseño a nivel layout del regulador LDO de alta precisión propuesto, así como su caracterización post-layout completa.

Indice General

Agradecimientos	I
Resumen	III
Lista de Figuras	IX
Lista de Tablas	XI
1. Introducción	1
1.1. Reguladores de voltaje	2
1.2. Regulador de voltaje LDO	4
1.2.1. Referencia de voltaje	4
1.2.2. Elemento de paso	5
1.2.3. Red de retroalimentación	6
1.2.4. Amplificador de error	6
1.3. Estabilidad del regulador de voltaje	7
1.3.1. Compensación externa	7
1.3.2. Compensación interna	9
1.4. Especificaciones del regulador de voltaje	11
1.4.1. Regulación de línea	11
1.4.2. Regulación de carga	11
1.4.3. Coeficiente térmico	12
1.4.4. Voltaje de dropout	12
1.4.5. Respuesta transitoria	13
1.5. Justificación	14
1.6. Objetivos	15

1.6.1. Objetivos particulares	15
1.7. Organización de la tesis	15
2. Diseño de los bloques constitutivos del regulador LDO	17
2.1. Red de retroalimentación	18
2.2. Transistor de paso	19
2.3. Amplificador de error	20
2.4. Análisis de estabilidad	22
2.5. Compensación en frecuencia	26
2.6. Conclusiones	29
3. Comportamiento dinámico	31
3.1. Análisis transitorio del regulador de voltaje	32
3.2. Mejora de la respuesta dinámica	33
3.2.1. Generación de los voltajes de referencia V_{ref1} y V_{ref2}	35
3.3. Conclusiones	37
4. Circuitos de protección	39
4.1. Comparadores de corriente	41
4.2. Circuito de protección	42
4.3. Conclusiones	46
5. Caracterización post-layout del regulador	47
5.1. Layout del regulador de voltaje	47
5.2. Caracterización post-layout	48
5.2.1. Parámetros de desempeño en DC	49
5.2.2. Parámetros de desempeño en el tiempo	53
5.3. Comparación con trabajos previos	54
6. Conclusiones y trabajo futuro	57
6.1. Conclusiones	57
6.2. Trabajo futuro	58
Apéndices	59

A. Consideraciones de layout	61
A.1. Layout del transistor de paso	62
Bibliografía	63

Lista de Figuras

1.1. Curvas características de descarga	2
1.2. Regulador de voltaje (a) lineal, (b) conmutado	3
1.3. Bloques principales del regulador LDO	5
1.4. Estructuras del elemento de paso; (a) NPN-Darlington, (b) NPN, (c) PNP, (d) NMOS y (e) PMOS	5
1.5. Regulador LDO con compensación externa	8
1.6. Respuesta en frecuencia del regulador con compensación externa	9
1.7. Dependencia de los polos con las condiciones de carga del regulador sin compensar	10
1.8. Dependencia de los polos con las condiciones de carga	10
1.9. Característica de voltaje de entrada-salida del regulador lineal	13
1.10. Respuesta transitoria típica del regulador frente a variaciones en la corriente de carga	14
2.1. Principales bloques de un regulador LDO	17
2.2. Regulador LDO con amplificador de error ideal	21
2.3. Resultados del análisis de ganancia para el amplificador de error	21
2.4. Amplificador de error	22
2.5. Modelo de pequeña señal del regulador de voltaje LDO implementado con amplificador de error de dos etapas	24
2.6. Respuesta en frecuencia del regulador implementado con amplificador de error de dos etapas para I_{load} máxima (línea punteada), I_{load} mínima (línea sólida) y $V_{in} = 2.1V$	25
2.7. Dependencia del margen de fase con las diferentes capacitancias del modelo de pequeña señal para mínima corriente de carga; (a) dependencia con C_c , (b) dependencia con C_2 , (c) dependencia con C_3	26

2.8.	Red de compensación para cancelación polo-cero	27
2.9.	Cancelación polo-cero para diferentes valores de C_c	28
2.10.	Respuesta en frecuencia del regulador con compensación directa basada en cancelación polo-cero	28
3.1.	Respuesta transitoria del regulador	33
3.2.	Circuito de control para mejorar la respuesta transitoria del regulador	34
3.3.	Respuesta transitoria del regulador con el circuito de control para V_{ref1} y V_{ref2} ideales	35
3.4.	Generación de voltajes de referencia; (a) V_{ref1} , (b) V_{ref2}	36
3.5.	Respuesta en el tiempo del regulador; (a) $V_{in} = 2.1V$, (b) $V_{in} = 3V$.	37
4.1.	Circuitos de protección contra sobrecorrientes, Basados en comparado- res de corriente: (a) [1], (b) [2], (c) [3], (d) [4], (e) basado en compara- dores de tensión	40
4.2.	Comparador de corriente	41
4.3.	Comparadores de corriente (a) con retroalimentación positiva, (c) ba- sado en espejos simples	42
4.4.	Circuito de protección	43
4.5.	Respuesta del circuito de protección	44
4.6.	Respuesta dinámica del regulador con el circuito de protección	45
5.1.	Layout del transistor de paso	48
5.2.	Layout del regulador de voltaje, (RR) Red de retroalimentación, (CPS) Circuito de protección contra sobrecorrientes, (EA) Amplificador de error	49
5.3.	Voltaje de dropout del regulador de voltaje	50
5.4.	Regulación de línea del regulador de voltaje	51
5.5.	Regulación de carga del regulador de voltaje	51
5.6.	Coeficiente de temperatura del regulador de voltaje	52
5.7.	Respuesta en el tiempo del regulador; (a) $V_{in} = 2.1V@C_L = 0$, (b) $V_{in} = 3V@C_L = 0$, (c) $V_{in} = 2.1V@C_L = 100p$, (d) $V_{in} = 3V@C_L = 100p$	53
A.1.	Layout del regulador LDO: (EA) Amplificador de error, (CMRD) Cir- cuito de mejora de respuesta dinámica, (RR) Red de retroalimentación, (CP) Circuito de protección, (RC) red de compensación	61
A.2.	Técnicas de layout, Multi-finger (izquierda), Regular Waffle (derecha)	62

Lista de Tablas

1.1. Comparación entre reguladores lineales y conmutados	4
1.2. Comparación entre configuraciones para el elemento de paso	6
2.1. Principales parámetros tecnológicos de transistores 3.3V en UMC 180nm	18
2.2. Especificaciones de diseño para el regulador de voltaje	18
2.3. Dimensiones de los transistores del amplificador de error	23
2.4. Principales parámetros del amplificador de error	23
2.5. Márgenes de fase del regulador compensado	29
3.1. Dimensiones de los transistores del circuito de control	34
3.2. Parámetros de desempeño en el tiempo del regulador de voltaje con circuito de control	36
4.1. Dimensiones de los transistores del circuito de protección	44
5.1. Parámetros de desempeño en el tiempo del regulador de voltaje . . .	54
5.2. Comparación con trabajos previos	55

Introducción

En la actualidad uno de los mayores retos de la industria de circuitos integrados es la elevada densidad de elementos tratándose de incluir los múltiples bloques analógicos y/o digitales que conforman un sistema dentro de una reducida área de silicio. Este tipo de integración de todo sistema en un único chip es conocido como System-on-Chip (SoC), y uno de sus grandes retos es la co-integración de sistemas de gestión de energía para proporcionar los voltajes de alimentación y polarización necesarios para cada uno de los subsistemas. Estos voltajes son generados principalmente por reguladores de tensión, que proporcionan voltajes prácticamente constantes e independientes de factores como la carga, la línea o la temperatura.

Por otra parte, con el incremento en el uso de dispositivos portátiles como celulares, tablets y laptops, los sistemas de gestión de energía se han convertido en uno de los bloques críticos, dada la necesidad de incrementar el tiempo de autonomía de estos dispositivos.

Los sistemas portátiles se alimentan mediante baterías, con un proceso de descarga como el que se muestra en la Figura 1.1. La curva 1 muestra el proceso de descarga ideal y la curva 2 el mismo proceso tomando en cuenta el efecto de la resistencia interna de la batería [5]. Como es de esperar, la carga de la batería no es constante en el tiempo, sino que se produce una caída del voltaje nominal, no siendo posible alimentar el sistema de manera directa.

Otro aspecto importante a destacar acerca de las baterías es el llamado *tiempo de vida*, el cual se encuentra relacionado precisamente con el proceso de descarga. El tiempo de vida de una batería en horas está definido por:

$$\text{Tiempo de vida } [h] = \frac{\text{Capacidad } [A \cdot h]}{I_{\text{Drain}}} = \frac{\text{Capacidad } [A \cdot h]}{I_Q + I_{\text{Load}}} \quad (1.0.1)$$

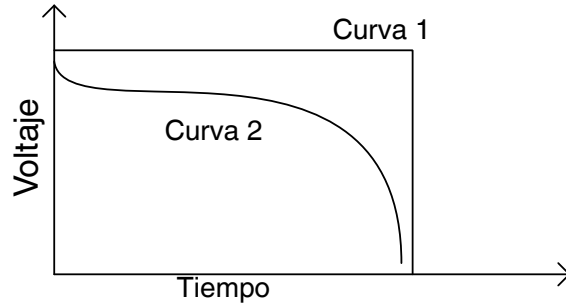


Figura 1.1: Curvas características de descarga

donde la *capacidad* es la corriente en Amperes que la batería es capaz de proporcionar durante 1 hora, e I_{Drain} es la corriente de consumo promedio, la cual está compuesta por dos componentes principales I_Q e I_{Load} , siendo I_Q la corriente que el sistema consume cuando se encuentra apagado o en reposo e I_{load} la corriente de carga que, en general, siempre es mucho mayor que I_Q . De lo anterior, apreciamos que el tiempo de vida tiene una dependencia de ambas corrientes sin embargo, si el sistema se encuentra apagado o en reposo un largo periodo de tiempo se observa la importancia de mantener I_Q en un mínimo valor. Lo anterior implica que el tiempo de vida puede depender drásticamente de las condiciones de baja corriente I_Q [6].

1.1. Reguladores de voltaje

Es importante comprender la diferencia entre referencias y reguladores de voltaje. Una referencia genera un voltaje constante y prácticamente independiente de la temperatura y de variaciones de proceso [7, 8]. Un regulador presenta las mismas características que una referencia de voltaje pero además es capaz de proporcionar una corriente de carga del orden de mA , mientras que una referencia de voltaje provee corrientes del orden de μA . Un regulador de voltaje requiere una referencia de voltaje precisa a partir de la cual obtener el nivel de salida, además de constar de una etapa de potencia para proporcionar la elevada corriente de salida requerida.

Los reguladores de voltaje generalmente se clasifican como lineales o conmutados. Los reguladores lineales modulan la resistencia de un elemento de paso conectado entre los voltajes de entrada y salida, como se muestra en la Figura 1.2(a), para realizar una conversión dc-dc. El control empleado es de tiempo continuo y su voltaje de salida nunca excede el voltaje no regulado de entrada. Los reguladores conmutados,

en cambio, pueden soportar las funciones de conversión ac-ac, ac-dc, dc-ac y dc-dc. Su lazo de retroalimentación opera en modo mixto con componentes analógicos y digitales. Los bloques que normalmente componen un regulador dc-dc conmutado incluyen un control modulado por ancho de pulso (PWM), el cual es la combinación de un amplificador y un convertidor analógico-digital modulado por ancho de pulso, interruptores síncronos y/o asíncronos, capacitores y, en muchos casos, inductores. La Figura 1.2(b) muestra de manera esquemática un regulador de este tipo.

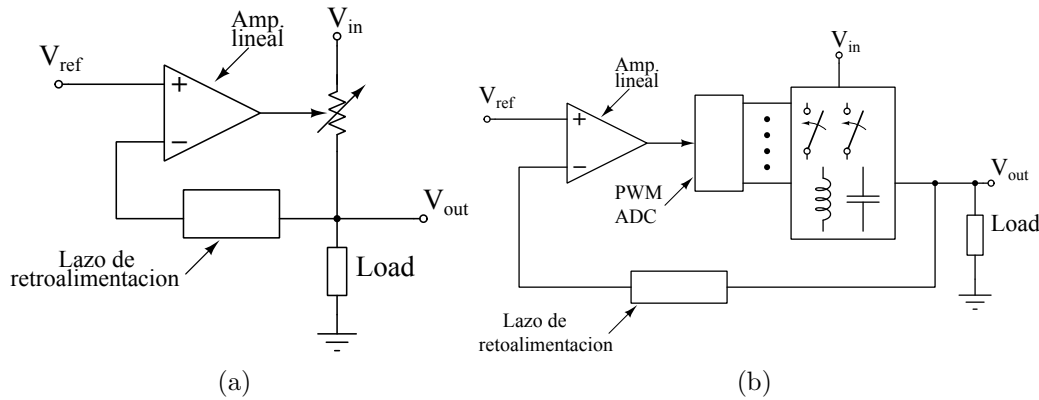


Figura 1.2: Regulador de voltaje (a) lineal, (b) conmutado

Debido a la naturaleza de los reguladores conmutados, éstos proporcionan un voltaje de salida con altos niveles de ruido en comparación con su contraparte lineal. Así, si comparamos ambas aproximaciones, la simplicidad de los reguladores lineales los hace una buena opción cuando se requiere una rápida respuesta en el voltaje de salida, debido a que están compuestos por una mínima cantidad de elementos, reduciéndose así el retardo a través del lazo de retroalimentación. En cuanto a eficiencia, los reguladores conmutados comúnmente logran una elevada eficiencia, entre 80 % y 95 %, mientras que la eficiencia de los reguladores lineales es menor. En particular, la eficiencia viene dada por:

$$\eta = \frac{I_{Load}V_{out}}{(I_{Load} + I_Q) V_{in}} \quad (1.1.1)$$

Si $I_{Load} \gg I_Q$ la eficiencia está determinada principalmente por la relación entre V_{out} y V_{in} . Conforme la diferencia entre V_{in} y V_{out} disminuye, la eficiencia del regulador lineal incrementa, convirtiéndose en una buena opción para aplicaciones de baja potencia [6]. En la Tabla 1.1 se muestra un resumen comparativo entre reguladores

lineales y conmutados considerando las características mencionadas con anterioridad.

Regulador lineal	Regulador conmutado
Rango de salida limitado por V_{in}	Rango de salida flexible puede ser superior a V_{in}
Circuito simple	Circuito complejo
Bajo contenido de ruido	Alto contenido de ruido
Respuesta rápida	Respuesta lenta
Bueno en aplicaciones de baja potencia	Bueno en aplicaciones de alta potencia
Eficiencia Reducida	Eficiencia Elevada

Tabla 1.1: Comparación entre reguladores lineales y conmutados

1.2. Regulador de voltaje LDO

Los reguladores lineales se clasifican en reguladores de bajo o alto dropout, siendo el voltaje de dropout la mínima diferencia entre el voltaje de entrada no regulador y el voltaje de salida regulado V_{DO} . Los reguladores con un dropout menor a $600mV$ son considerados de bajo dropout (LDO) [9], y disipan menos potencia que su contrapartida de alto dropout. El bajo voltaje de dropout es la razón de que los reguladores LDO dominen en aplicaciones alimentadas por baterías, debido a que maximizan el voltaje disponible y operan por tanto con mayor eficiencia.

La estructura típica del regulador LDO puede ser dividida principalmente en cuatro bloques funcionales: una referencia de voltaje, un amplificador de error, un elemento de paso y una red de retroalimentación como se muestra en la Figura 1.3. A continuación se explica cada uno de estos elementos.

1.2.1. Referencia de voltaje

El objetivo de la referencia es proporcionar un voltaje estable y robusto, a partir del cual el regulador generará un valor proporcional, añadiendo la capacidad de proporcionar una corriente de salida elevada, del orden de hasta $100mA$. Es decir, el regulador LDO puede proporcionar un voltaje mayor o igual al de la referencia con una mayor capacidad de corriente de carga. Este voltaje de referencia comúnmente se implementa mediante una referencia de bandgap, que proporciona un voltaje con alta precisión frente a variaciones en el voltaje de alimentación, temperatura y de proceso de fabricación.

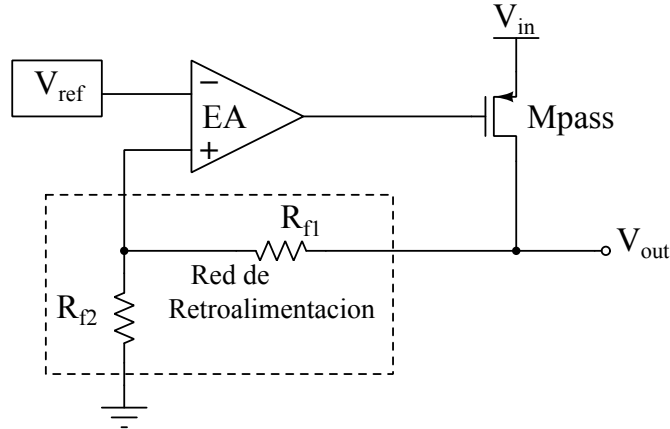


Figura 1.3: Bloques principales del regulador LDO

1.2.2. Elemento de paso

El elemento de paso actúa como un resistor controlado por voltaje. En la Figura 1.4 se muestran diversas configuraciones utilizadas para su implementación: NPN-Darlington, NPN, PNP, NMOS y PMOS [8]. Generalmente los dispositivos bipolares pueden proporcionar una mayor corriente de salida I_{out} para un mismo voltaje de entrada V_{in} . Por otra parte, la capacidad de proporcionar corriente de los dispositivos MOS es menor y con una fuerte dependencia de las dimensiones W/L ; sin embargo, dado que los dispositivos MOS son controlados por voltaje no requieren de una corriente de polarización (como la corriente de base de los transistores bipolares), permitiendo minimizar la corriente de consumo estática I_q del regulador [10].

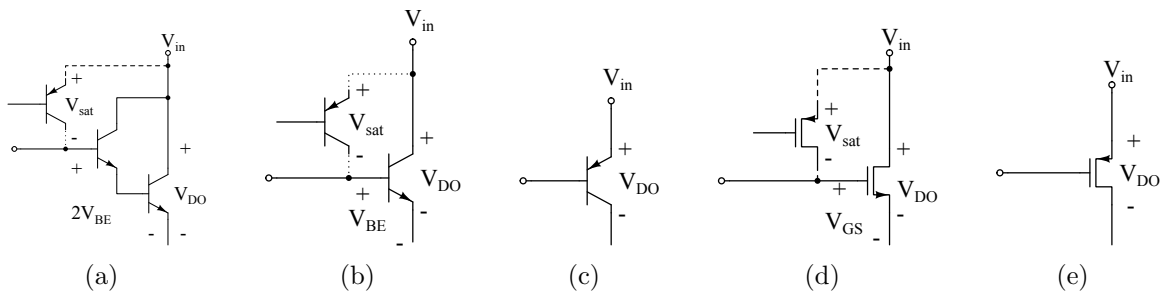


Figura 1.4: Estructuras del elemento de paso; (a) NPN-Darlington, (b) NPN, (c) PNP, (d) NMOS y (e) PMOS

En la Tabla 1.2 se muestra una comparación entre las diferentes configuraciones del elemento de paso. Estos resultados muestran que los transistores bipolares ofrecen

una rápida respuesta en comparación con los transistores MOS; sin embargo, los transistores MOS ofrecen un menor consumo. En cuanto al voltaje de dropout V_{DO} , éste es mínimo para los transistores PNP y PMOS. En resumen, el transistor PMOS presenta un buen compromiso entre los diferentes parámetros, al ofrecer un bajo consumo y bajo dropout, a costa de reducir un poco la velocidad de respuesta, y siendo capaz de proporcionar la corriente de salida que requiere el regulador con un dimensionamiento adecuado.

Parámetro	NPN-Darlington	NPN	PNP	NMOS	PMOS
I_{out}	Alto	Alto	Alto	Medio	Medio
I_q	Medio	Medio	Alto	Bajo	Bajo
V_{DO}	$V_{sat} + 2V_{BE}$	$V_{sat} + V_{BE}$	$V_{CE(sat)}$	$V_{sat} + V_{GS}$	$V_{SD(sat)}$
Respuesta	Rápido	Rápido	Lento	Medio	Medio

Tabla 1.2: Comparación entre configuraciones para el elemento de paso

1.2.3. Red de retroalimentación

Formada por un arreglo resistivo R_{f1} y R_{f2} , como se muestra en la Figura 1.3, la red de retroalimentación tiene como función principal sensar las variaciones del voltaje de salida y regresar a la entrada una muestra escalada del mismo. Del arreglo resistivo depende el valor del voltaje salida. Además, en condiciones de baja corriente de carga la corriente que pasa a través de la red de retroalimentación determina el consumo estático del regulador.

1.2.4. Amplificador de error

El amplificador de error se encarga de comparar el voltaje de referencia y el proporcionado por la red de retroalimentación, generando una señal de error que modifica el voltaje de control del elemento de paso con la finalidad de mantener el voltaje de salida constante. El amplificador de error debe presentar las siguientes características:

- Ganancia de lazo abierto elevada. *Una ganancia de lazo abierto elevada permite mejorar la precisión del regulador y el rechazo a variaciones en la fuente de alimentación (PSR: Power Supply Rejection).*

- Consumo estático reducido. *Al reducir la corriente estática del amplificador, se reduce el consumo del regulador cuando éste se encuentra en reposo, mejorando así su eficiencia.*
- Operación adecuada para todo el rango del voltaje de entrada del regulador. *Debido a que forma parte de un regulador de voltaje, el amplificador de error deberá presentar una correcta operación en todo el rango del voltaje de entrada indicado por las especificaciones.*
- Producto ganancia ancho de banda elevado. *Permite reducir el tiempo de respuesta del regulador ante variaciones de la corriente de carga exigida a la salida.*

1.3. Estabilidad del regulador de voltaje

El problema de estabilidad es inherente a los reguladores lineales, debido no sólo a la presencia de múltiples polos, sino al hecho de que los polos del sistema son dinámicos, es decir, su ubicación cambia dependiendo del valor de la carga. Por ello, una parte fundamental en el diseño de un regulador es la compensación en frecuencia, que permita asegurar la estabilidad del sistema en todas las condiciones de operación, en especial para la condición de mínima corriente de carga (peor caso de operación).

En cuanto a compensación en los reguladores de voltaje se refiere, existen dos técnicas ampliamente utilizadas: compensación externa y compensación interna. A continuación se analizarán a detalle ambas técnicas resaltando las principales características de cada una.

1.3.1. Compensación externa

Una de las estrategias para compensar un regulador LDO es ubicar el polo de salida en muy bajas frecuencias, de manera que siempre sea el polo dominante del sistema. Para ello se conecta un capacitor externo C_o , del orden de μF , en el nodo de salida del regulador, como se muestra en la Figura 1.5. Estos capacitores presentan una resistencia parásita equivalente en serie R_{ESR} , cuyo valor puede ser de varios ohms [6, 8].

El regulador de la Figura 1.5 tiene principalmente dos polos, uno asociado al nodo de salida del amplificador de error y el segundo a la salida del regulador, los cuales

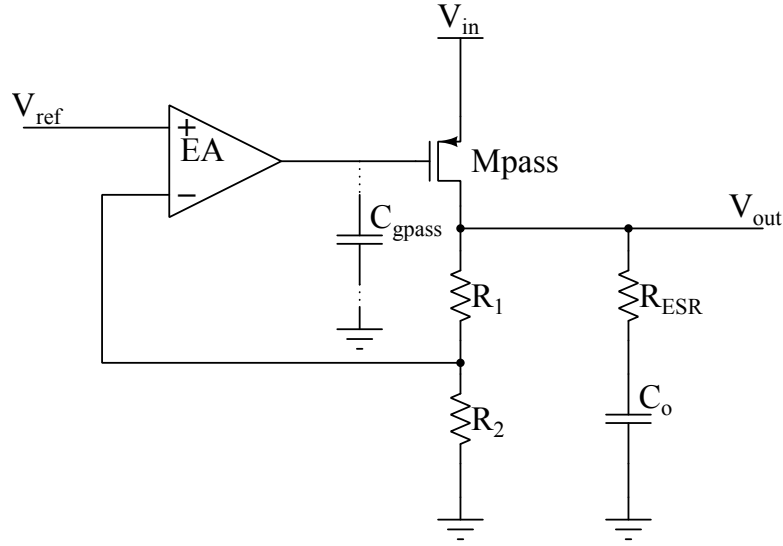


Figura 1.5: Regulador LDO con compensación externa

vienen dados por:

$$p_1 = \frac{1}{R_{o-pass}C_o} \quad (1.3.1)$$

$$p_2 = \frac{1}{R_{oa}C_{gpass}} \quad (1.3.2)$$

donde R_{o-pass} es la resistencia de salida del transistor de paso, R_{oa} la resistencia de salida del amplificador de error, C_{gpass} es la capacitancia de entrada del transistor de paso y C_o la capacitancia de salida.

El capacitor externo de compensación además de mantener estable el regulador manteniendo el polo dominante en bajas frecuencias, adiciona un cero ubicado en:

$$z_1 = \frac{1}{R_{esr}C_o} \quad (1.3.3)$$

De manera cualitativa, la respuesta en frecuencia del regulador compensado externamente se muestra en la Figura 1.6, dónde p_1 el polo determinado por C_o , es el polo dominante del sistema y se ubica a bajas frecuencias, mientras que la ubicación del cero es impredecible debido a las variaciones que presenta con respecto a la temperatura y proceso degradando la respuesta y estabilidad del sistema.

Debido a que el polo dominante que se establece con el capacitor externo de salida C_o es de baja frecuencia, el valor requerido para obtener este comportamiento es,

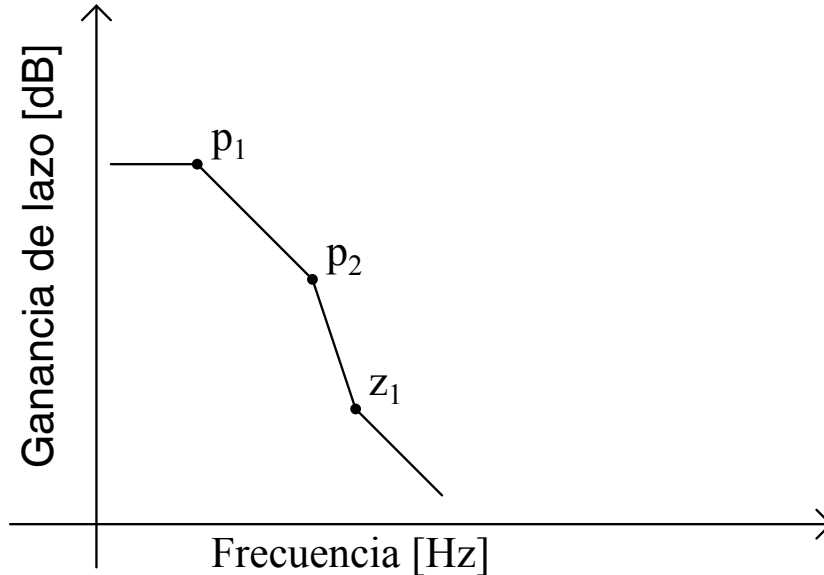


Figura 1.6: Respuesta en frecuencia del regulador con compensación externa

como ya se comentó, del orden de μF , descartando su aplicación en sistemas SoC. Sin embargo, la compensación externa tiene ciertas ventajas, como una mejor respuesta dinámica frente a transitorios abruptos en la carga, presentando menores sobretiros, y un mejor PSR.

1.3.2. Compensación interna

Debido a que los polos del regulador son dinámicos y dependientes de las condiciones de carga, al eliminar el capacitor externo los polos tienden a estar cerca, afectando la estabilidad del regulador. Este comportamiento se muestra de manera gráfica en la Figura 1.7. Al estar cerca uno del otro, la respuesta en frecuencia se ve deteriorada llegando inclusive a la inestabilidad del sistema.

Recientemente, en la literatura se ha abordado esta problemática haciendo uso principalmente del efecto Miller y estableciendo el polo dominante a la salida del amplificador de error. La topología comúnmente utilizada se muestra en la Figura 1.8. Hay dos principales puntos a considerar al implementar una compensación interna en los reguladores LDO: **(1)** establecer un polo dominante en bajas frecuencias, **(2)** ubicar el segundo polo en al menos 2.2 veces la frecuencia de ganancia unitaria para asegurar la estabilidad del sistema. El objetivo de la red de compensación es alejar ambos polos mediante una capacitancia de compensación entre el nodo de salida y la

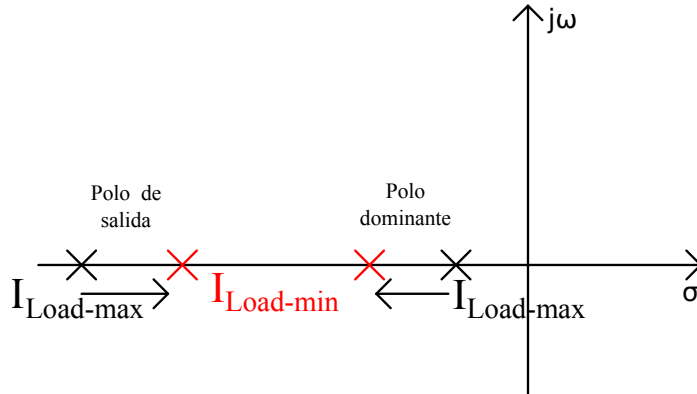


Figura 1.7: Dependencia de los polos con las condiciones de carga del regulador sin compensar

compuerta del transistor de paso [11, 12, 13], cuyo valor equivalente en la compuerta de M_{pass} se ve amplificado por efecto Miller, y establecer así, el polo dominante del sistema a la salida del amplificador de error. Sin embargo, para obtener una capacitancia de valor integrable que además permita mantener la estabilidad del sistema, en trabajos como [12], se utilizan amplificadores de corriente para obtener un efecto amplificado de la capacitancia de compensación.

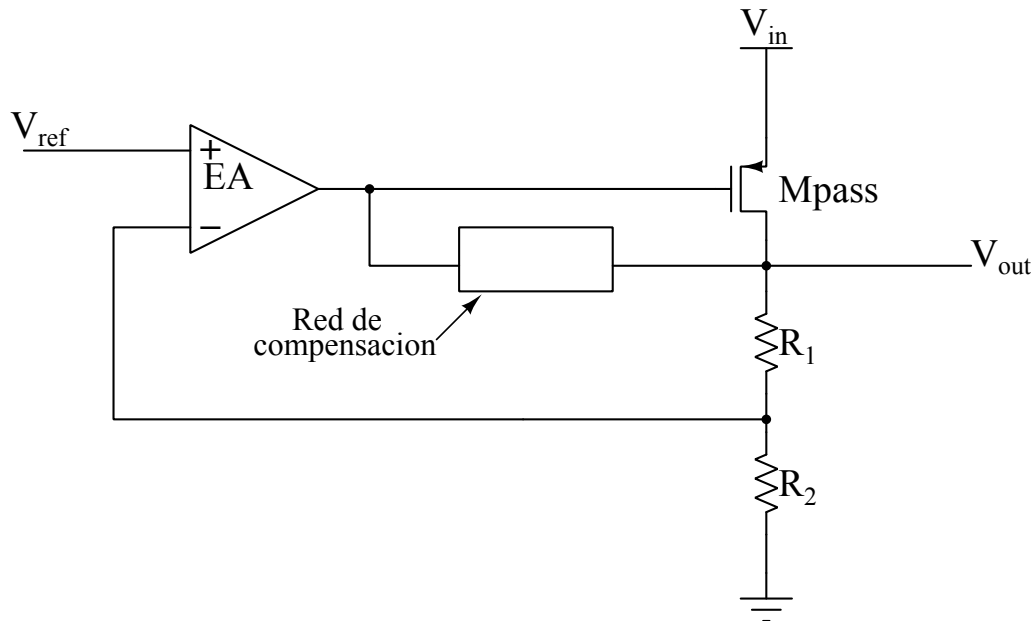


Figura 1.8: Dependencia de los polos con las condiciones de carga

La ventaja principal de esta solución es que al no requerir una capacitancia de elevado valor para su compensación, las dimensiones son reducidas. Sin embargo,

debido a la implementación de una red adicional el consumo del regulador se ve penalizado.

En general, la respuesta dinámica se encuentra relacionada con la respuesta en frecuencia. Por otra parte, el comportamiento dinámico no suele ser completamente simétrico debido a que el amplificador de error no proporciona la misma corriente para cargar la capacitancia de entrada del dispositivo de paso que para descargarla, este efecto también puede apreciarse en los tiempos de respuesta.

1.4. Especificaciones del regulador de voltaje

El desempeño de los reguladores lineales LDO se puede medir bajo las siguientes métricas: regulación de línea, regulación de carga, coeficiente térmico, voltaje de dropout y variaciones transitorias. También son importantes otras especificaciones como la eficiencia y el Power Supply Rejection (PSR).

1.4.1. Regulación de línea

La regulación de línea (LNR) es la capacidad del regulador de mantener un voltaje de salida V_{out} constante frente variaciones en el voltaje de entrada V_{in} :

$$LNR = \frac{\Delta V_{out}}{\Delta V_{in}} \quad (1.4.1)$$

En términos de la ganancia del amplificador de error g_a y de la ganancia en corriente β del transistor de paso [10], la regulación de línea puede expresarse como:

$$LNR = \frac{\Delta V_{out}}{\Delta V_{in}} \approx \frac{1}{\beta g_a} \quad (1.4.2)$$

De la ecuación (1.4.2) se aprecia que al incrementar la ganancia del amplificador de error mejora la regulación de línea.

1.4.2. Regulación de carga

La regulación de carga (LDR) es la capacidad del regulador de mantener un voltaje de salida constante frente a variaciones en las condiciones de la corriente de carga:

$$LNR = \frac{\Delta V_{out}}{\Delta I_{Load}} \quad (1.4.3)$$

Al igual que la regulación de línea, éste es un parámetro de dc. La regulación de carga depende de la ganancia del amplificador de error y la ganancia en corriente del transistor de paso, así como de la resistencia R_{ds} entre drenaje y fuente del transistor de paso y de la resistencia de carga R_L , tal como muestra la ecuación (1.4.4). Al igual que la regulación de línea, un incremento en la ganancia del amplificador de error conlleva una mejora en el valor de LNR [10], es decir, mejora la precisión del voltaje de salida.

$$LNR = \frac{\Delta V_{out}}{\Delta I_{Load}} \approx \left(\frac{1}{(R_{ds} + R_L) \beta g_a} \right) \quad (1.4.4)$$

1.4.3. Coeficiente térmico

Es una métrica que indica la variación del voltaje de salida en respuesta a cambios de la temperatura T de operación del sistema.

$$TC = \frac{\Delta V_{out}}{\Delta T} \quad (1.4.5)$$

1.4.4. Voltaje de dropout

Se define como la mínima diferencia entre el voltaje de entrada (voltaje no regulado) y el voltaje regulado de salida para la cual el sistema opera correctamente. Este voltaje es importante debido que representa la mínima potencia que el regulador disipa, dado que la potencia es dependiente del producto del voltaje de dropout (V_{DO}) y la corriente de carga (I_{Load}).

En la Figura 1.9 se muestran las tres regiones de operación de los reguladores lineales: región lineal, región de dropout y región de apagado (off). Cuando el regulador opera adecuadamente, se encuentra en la región lineal. Conforme V_{in} disminuye, la ganancia de lazo cae debido a que algunos transistores operan en la región de triodo ocasionando una caída en el voltaje de salida. En este punto, el regulador entra en la región de dropout y la diferencia entre V_{in} y V_{out} es el voltaje de dropout V_{DO} . La región de apagado se presenta cuando el voltaje de entrada es tan bajo que los transistores pasan a corte.

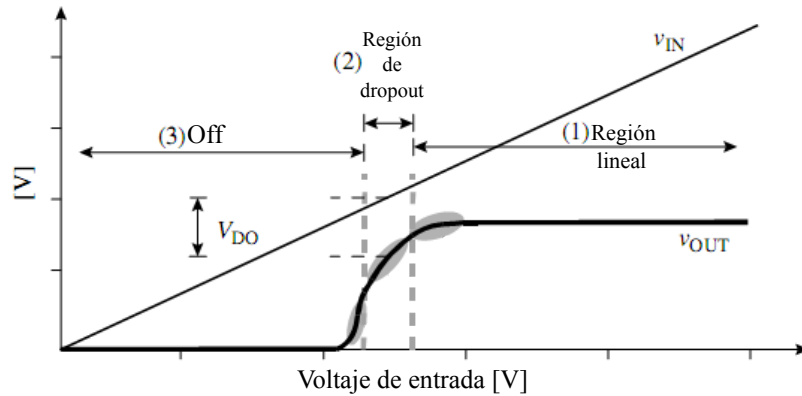


Figura 1.9: Característica de voltaje de entrada-salida del regulador lineal [6]

1.4.5. Respuesta transitoria

Las variaciones transitorias en el regulador afectan principalmente al voltaje de salida cuando la corriente de carga cambia súbitamente entre el mínimo y máximo valor permitido. Como consecuencia el voltaje de salida presenta variaciones instantáneas que se manifiestan como sobretiros positivos y negativos, como se muestra en la Figura 1.10, seguidos de tiempos de establecimiento hasta que se alcanza el valor final de tensión regulada.

Estos sobretiros, conocidos como undershoot y overshoot, son variaciones no deseadas del voltaje de salida que deben ser minimizados para evitar algún daño sobre la carga. De igual manera, el tiempo de establecimiento debe ser reducido ya que indica el tiempo en el cual el voltaje de salida permanece con un valor mayor o menor que el voltaje regulado deseado.

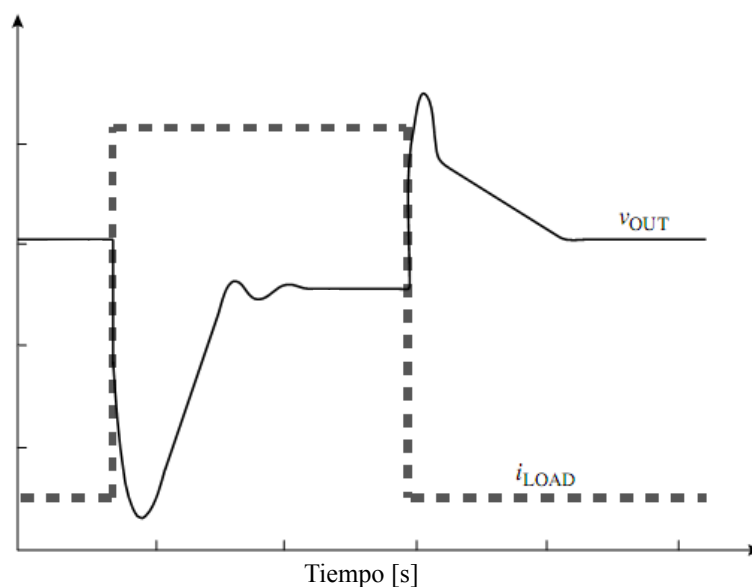


Figura 1.10: Respuesta transitoria típica del regulador frente a variaciones en la corriente de carga [6]

1.5. Justificación

Como se ha mencionado en secciones anteriores, el implementar un circuito adicional como red de compensación de un regulador LDO integrado incrementa el consumo del mismo; sin embargo ha sido una de las técnicas frecuentemente utilizadas para la compensación interna de los reguladores LDO. Por otra parte, frente a la compensación externa, la compensación interna presenta una respuesta dinámica con sobretiros mayores ante transitorios de la corriente de carga, por lo que es necesario buscar estrategias que mejoren esta respuesta en el tiempo.

Algunos diseños se orientan a mejorar alguna de las características del regulador, tales como tiempo de respuesta [14], transitorios de carga [11, 15] o el rechazo a la fuente [16, 17]. Sin embargo, solo algunos como [18, 19] se enfocan a mejorar la precisión, una característica de gran importancia ya que indica la variación del voltaje de salida frente a diversos factores, como la temperatura, el voltaje de entrada y la corriente de carga.

Por último, cabe destacar que cuando se superan los límites de la corriente de carga los reguladores pueden llegar a sufrir daños irreversibles principalmente en el

elemento de paso. Por ello los circuitos de protección son imprescindibles en aplicaciones prácticas. Estos circuitos deben que no influir en la operación normal del regulador y no impacten en el consumo, activándose sólo en condiciones fuera del rango de operación seguro.

1.6. Objetivos

El objetivo principal de esta tesis es diseñar un regulador de voltaje LDO de alta precisión y con compensación interna en la tecnología UMC CMOS de $180nm$. El regulador contará con un circuito de protección contra sobrecargas para limitar la máxima corriente de carga, permitiendo su correcta operación dentro de un rango seguro.

1.6.1. Objetivos particulares

- Diseñar un amplificador de error de alta ganancia para mejorar la precisión del regulador de voltaje y de consumo reducido capaz de operar en todo el rango del voltaje de entrada V_{in} .
- Diseñar e implementar una compensación interna sin añadir elementos adicionales para no incrementar el consumo estático del regulador.
- Diseñar un circuito para mejorar la respuesta dinámica del regulador, penalizada por la propia compensación interna.
- Diseñar un circuito de protección contra sobrecargas de bajo consumo, que opere en todo el rango del voltaje de entrada V_{in} y que no afecte la operación normal del regulador para limitar la máxima corriente que puede proporcionar.

1.7. Organización de la tesis

La tesis se ha dividido en 6 capítulos. En el Capítulo 1 se realiza una breve introducción a los reguladores lineales, sus características y sus métricas de desempeño, así como también se presenta la motivación y los objetivos de la tesis. El Capítulo 2 contiene el proceso de diseño de los bloques principales del regulador mencionando su funcionamiento y como han sido diseñados a partir de las especificaciones; además se

realiza un análisis en detalle de la compensación en frecuencia utilizada en el regulador propuesto. En el Capítulo 3 se aborda el análisis de la respuesta transitoria y, de igual manera, se propone un método para mejorar los tiempos de respuesta del regulador. El Capítulo 4 ilustra el proceso de diseño y caracterización a nivel esquemático del circuito de protección contra sobrecargas y su efecto sobre la operación del regulador. El Capítulo 5 presenta el diseño a nivel layout del regulador compensado internamente, incluyendo todos los bloques desarrollados en los capítulos previos, así como también la caracterización postlayout del mismo. Finalmente, en el Capítulo 6 se presentan las conclusiones y el trabajo a futuro.

Diseño de los bloques constitutivos del regulador LDO

Como ya se explicó en el Capítulo 1 y se muestra en la Figura 2.1, la estructura típica de los reguladores de bajo dropout consta de una referencia de tensión V_{ref} , un amplificador de error (EA), un transistor PMOS como elemento de paso y una red de retroalimentación formada por un arreglo de resistencias R_{f1} y R_{f2} . El diseño del regulador propuesto se llevó a cabo en la tecnología CMOS UMC 180nm, con sustrato P, 6 metales, una capa de alta resistividad, condensadores MIM y tensiones de alimentación nominales de 1.8V y 3.3V [20]. Esta tecnología cuenta por tanto con transistores que operan a 1.8V y 3.3V; a su vez cada grupo tiene transistores clasificados por su voltaje umbral (voltaje umbral nominal, bajo voltaje umbral y voltaje umbral cero). Cabe señalar que el transistor de voltaje umbral cero solo está disponible para transistores NMOS, de ahí que se cuente con cinco transistores para 1.8V y cinco para 3.3V.

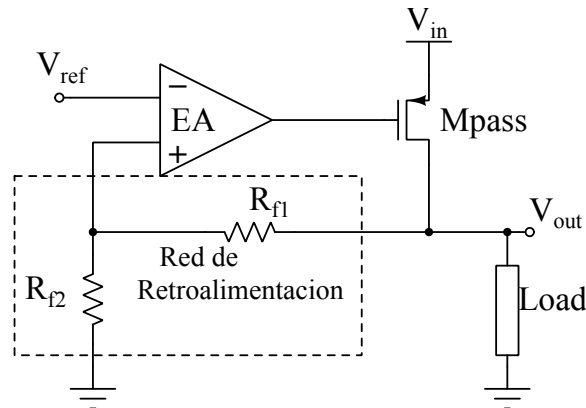


Figura 2.1: Principales bloques de un regulador LDO

Teniendo en cuenta que el regulador opera en un rango de voltaje superior a $1.8V$, se utilizan los transistores de $3.3V$. Los principales parámetros tecnológicos para los transistores de $3.3V$ que proporciona la tecnología se muestran en la tabla 2.1.

Tipo de transistor	L_{min} (μm)	L_{max} (μm)	W_{min} (μm)	W_{max} (μm)	V_t (V)		K ($\mu A/V^2$)	
					NMOS	PMOS	NMOS	PMOS
Nominal	0.34	50	0.24	100	0.592	0.72	160	40
Bajo V_t	0.5	50	0.8	100	0.33	0.44	203	46
Cero V_t	0.5	50	0.8	100	0.068	–	243	–

Tabla 2.1: Principales parámetros tecnológicos de transistores $3.3V$ en UMC $180nm$

A continuación se describe el diseño y la función de cada uno de los bloques que integran el regulador, a excepción de V_{ref} que fue implementado con una fuente de tensión ideal. Las especificaciones se muestran en la Tabla 2.1. El voltaje de entrada debe ser compatible con un sistema operado con baterías, por lo que se seleccionó un rango de operación de $2.1V$ a $3V$. El regulador debe ser capaz de proporcionar un voltaje de $1.8V$ y hasta un máximo de $70mA$ en dicho rango. Además, de acuerdo con los objetivos de la tesis, el regulador se diseñó para obtener una alta precisión permitiendo un error en el voltaje de salida $\leq 0.02\%$, por lo que el EA debe ser de elevada ganancia, y buscando una solución totalmente integrada, por lo que fue compensado internamente. Con el fin de incrementar la autonomía del sistema operado con baterías, la corriente de consumo estático I_q debe ser reducida, característica especialmente importante en sistemas que pueden permanecer apagados largos periodos de tiempo.

Especificación	Valor
V_{in}	$2.1V - 3V$
V_{out}	$1.8V$
$I_{load-max}$	$70mA$
V_{ref}	$1.2V$
V_{DO}	$\leq 300mV$
Precisión	$\leq 0.02\%$

Tabla 2.2: Especificaciones de diseño para el regulador de voltaje

2.1. Red de retroalimentación

La red de retroalimentación está compuesta por dos resistores R_{f1} y R_{f2} , como se puede apreciar en la Figura 2.1. Debido a la retroalimentación negativa, y supuesto un amplificador

ideal, los voltajes en los terminales de entrada del amplificador de error son iguales, es decir

$$V_{ref} = \frac{R_{f2}}{R_{f1} + R_{f2}} V_{out} \quad (2.1.1)$$

y por lo tanto el voltaje de salida V_{out} viene dado por:

$$V_{out} = \left(1 + \frac{R_{f1}}{R_{f2}}\right) V_{ref} \quad (2.1.2)$$

Por otra parte, la corriente que circula por la red de retroalimentación en condiciones estáticas, es decir, cuando la carga no exige corriente, determina, junto con la corriente de polarización del EA, el consumo estático del regulador. Para $I_{load} = 0$, la corriente I_{fbn} a través del transistor de paso y la red de polarización es

$$I_{fbn} = \frac{V_{out}}{R_{f1} + R_{f2}} \quad (2.1.3)$$

A partir de las ecuaciones (2.1.2) y (2.1.3) y de las especificaciones de la Tabla 2.2 es posible determinar el valor de cada resistencia. Puesto que el regulador ha de proporcionar un voltaje de salida constante $V_{out} = 1.8V$ y se supone un voltaje de la referencia de bandgap de $V_{ref} = 1.2V$, si se establece un consumo de corriente máximo de $I_{fbn} = 10\mu A$ a través de la red de retroalimentación, se obtienen los valores de resistencias $R_{f1} = 60k\Omega$ y $R_{f2} = 120k\Omega$.

2.2. Transistor de paso

El transistor de paso M_{pass} es el elemento de control para mantener la tensión de salida deseada independientemente de la corriente de salida que será entregada a la carga. Se propone utilizar como elemento de paso un transistor PMOS, solución que minimiza el voltaje de drop-out a un valor $V_{DO} = V_{DS(sat)}$, como se explicó en el Capítulo 1.

Con base en lo anterior, considerando que el transistor de paso deberá operar en la región de saturación para máxima corriente de carga, y que los valores de V_{inmin} , V_{out} e $I_{loadmax}$ están determinados por las especificaciones, es posible determinar las dimensiones de M_{pass} a partir de la siguiente ecuación:

$$\frac{W}{L} = \frac{2I_{Loadmax}}{\mu_p C_{ox} V_{DO}^2} \quad (2.2.1)$$

donde V_{DO} es el voltaje de drop-out definido como $V_{inmin} - V_{out}$.

De de la ecuación 2.2.1 y considerando que $\mu_p C_{ox} = 40\mu A/V^2$ se obtiene la relación

de dimensiones $W/L = 38888$. Puesto que se diseñó el transistor con la longitud de canal mínima $L_{min} = 0.34\mu m$ para minimizar parásitos, la anchura de canal es $W \approx 13221\mu m$.

Así, aunque el transistor PMOS permite un bajo dropout, debido a las dimensiones obtenidas su capacitancia de compuerta es elevada. La capacitancia de compuerta para la región de corte (cutoff) está definida como:

$$C_{gpas} = C_{ox}WL + 2C_{GDO}W \quad (2.2.2)$$

Cuando el transistor se encuentra en saturación (máxima corriente), el valor de la capacitancia de compuerta cambia y está definida por:

$$C_{gpas} = \frac{2}{3}C_{ox}WL + 2C_{GDO}W \quad (2.2.3)$$

Cuando se encuentra en triodo:

$$C_{gpas} = C_{ox}WL + 2C_{GDO}W \quad (2.2.4)$$

Al sustituir valores de dimensiones y capacitancias propias de la tecnología en las ecuaciones (2.2.2), (2.2.3) y (2.2.4) obtenemos para la región de corte una capacitancia $C_{gpas} \approx 29pF$, para saturación $C_{gpas} \approx 22pF$ y para triodo $C_{gpas} \approx 29pF$. Utilizamos el valor máximo como capacidad de carga para diseñar el amplificador de error y de esta manera asegurar una correcta operación en todo el rango de trabajo.

2.3. Amplificador de error

La principal función del amplificador de error es comparar las variaciones en el voltaje de salida, muestreadas a través de la red de retroalimentación, con el voltaje de referencia V_{ref} , generando una señal de error para controlar la puerta del transistor de paso y mantener el voltaje de salida constante independientemente de las variaciones de la corriente demandada por la carga.

Con respecto a las consideraciones de diseño del amplificador de error, éste debe presentar una ganancia elevada para mejorar la precisión y operar en todo el rango del voltaje de entrada indicado en las especificaciones. Una elevada ganancia ayuda además a reducir el PSR [21]. Para determinar el valor requerido de ganancia se realizó un análisis del regulador sustituyendo el amplificador por su modelo ideal, el cual consta de una fuente de voltaje controlada por voltaje, como se muestra en la Figura 2.2.

Se realizó un barrido del valor de la ganancia de la fuente controlada considerando el

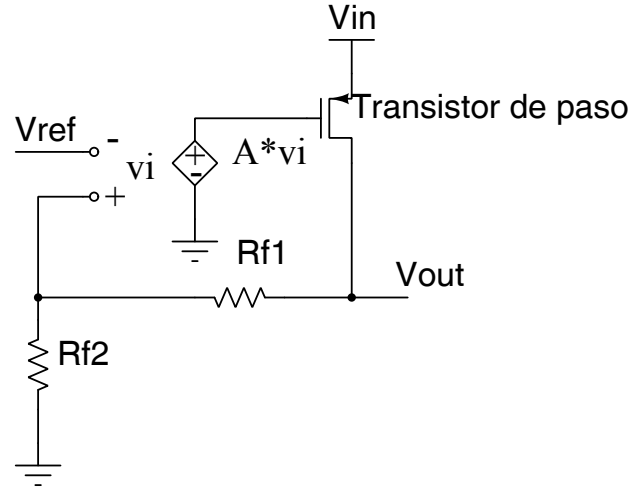


Figura 2.2: Regulador LDO con amplificador de error ideal

peor caso correspondiente a $V_{in} = 2.1V$ e $I_{load} = 0A$. Los resultados de este análisis se muestran en la Figura 2.3, donde se observa que la ganancia necesaria es de $70dB$ para mantener el voltaje de salida en $1.8V$ con un error inferior a 0.02% , el cual corresponde a una variación de $530\mu V$ con respecto al valor nominal. Por otra parte, si se incrementa la ganancia a $90dB$ el error en el voltaje de salida es 0.002% correspondiente a una variación en el voltaje de salida de $50\mu V$.

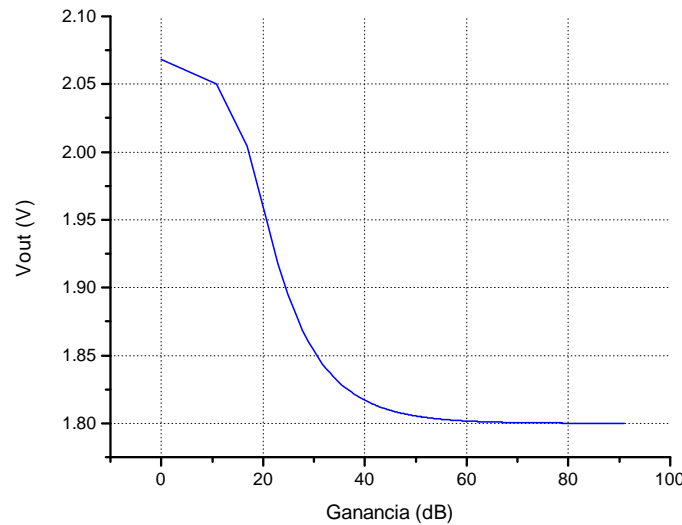


Figura 2.3: Resultados del análisis de ganancia para el amplificador de error

Con esta especificación de ganancia, se decide utilizar una arquitectura de dos etapas, en concreto un amplificador Miller como el que se muestra en la Figura 2.4, el cual permite alcanzar una alta ganancia mediante una implementación simple.

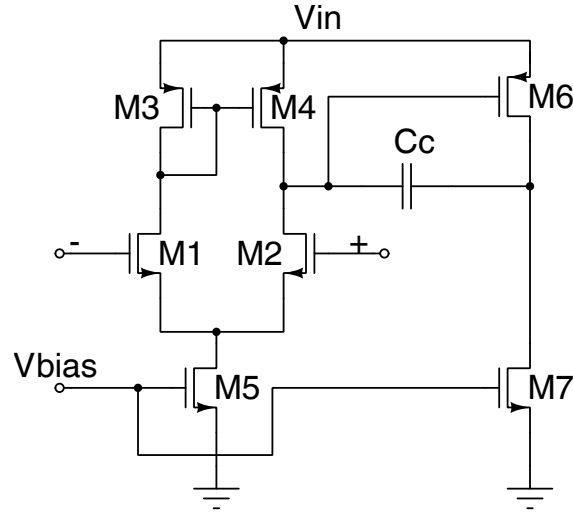


Figura 2.4: Amplificador de error

Con el fin de reducir el consumo del regulador se polariza el par diferencial que constituye la etapa de entrada del amplificador de error con una corriente de $5\mu A$ y la etapa de salida con una corriente de $35\mu A$. Debido a que formará parte del regulador, deberá funcionar correctamente en todo el rango del voltaje de entrada V_{in} y ser capaz de manejar como capacidad de carga la capacitancia del transistor de paso, cuyo valor máximo, como se comentó en el apartado anterior, es de $29pF$.

Las dimensiones de los transistores del amplificador de error se muestran en la Tabla 2.3. En todos los casos la longitud de canal es de $1\mu m$. Todos los transistores son de $3.3V$ y el valor de la capacitancia de compensación es $C_C = 11pF$.

Los principales parámetros del amplificador de error operando en el rango de V_{in} de $1.9V$ a $3.3V$ se resumen en la Tabla 2.4.

2.4. Análisis de estabilidad

Como ya se comentó en el Capítulo 1, uno de los principales problemas de los reguladores lineales es su estabilidad. Debido a que manejan una corriente de carga variable, el punto

Transistor	Dimensión (W/L)
M1	3
M2	3
M3	2
M4	2
M5	2
M6	50
M7	14

Tabla 2.3: Dimensiones de los transistores del amplificador de error

Parámetro	Valor
Ganancia	95dB@1.9V 99dB@3.3V
Margen de fase	84°
GBW	436kHz
$I_{quiescent}$	55μA
PSRR @1kHz	53dB@1.9V
CMRR @DC	72dB@1.9V 90dB@3.3V
SR @ $C_L = 50pF$	287mV/μs
T_{settle} @5%@ $C_L = 50pF$	5.7μs

Tabla 2.4: Principales parámetros del amplificador de error

de operación y la ubicación de los polos cambian conforme lo hace ésta. Con los bloques diseñados hasta el momento se realizó un análisis en frecuencia del sistema para verificar su estabilidad.

El modelo de pequeña señal del regulador en lazo abierto está compuesto por 3 etapas: amplificador de error de dos etapas y transistor de paso, tal como se muestra en la Figura 2.5.

En este caso el regulador presenta tres polos y un cero ocasionado por la capacitancia Miller del amplificador de error, los cuales se encuentran ubicados en:

$$p_1 = \frac{1}{g_{m6}R_1R_2C_c} \quad (2.4.1)$$

$$p_2 = \frac{g_{m6}C_c}{C_c(C_1 + C_2) + C_1C_2} \quad (2.4.2)$$

$$p_3 = \frac{1}{(R_3||R_L)C_3} \quad (2.4.3)$$

$$z_1 = \frac{g_{m6}}{C_c} \quad (2.4.4)$$

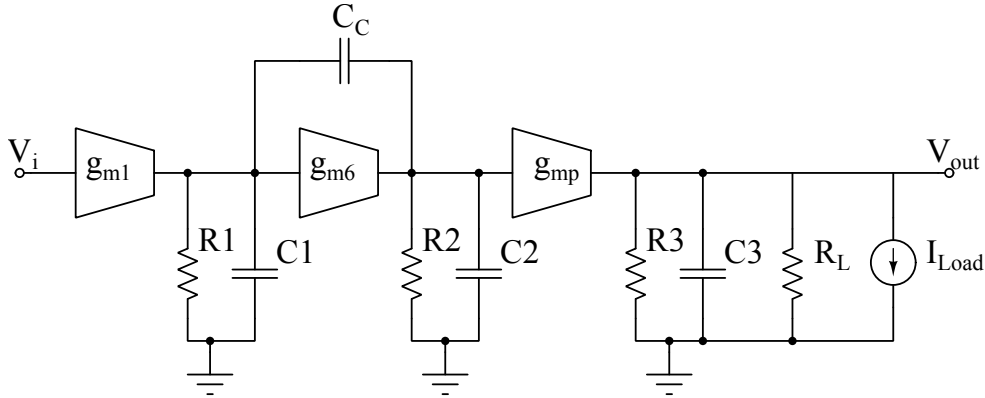


Figura 2.5: Modelo de pequeña señal del regulador de voltaje LDO implementado con amplificador de error de dos etapas

donde: $R_1 = r_{o2} || r_{o4}$, $R_2 = r_{o6} || r_{o7}$, $R_3 = r_{op} || (R_{fb1} + R_{fb2})$, $C_1 = C_{gd2} + C_{gs6}$, $C_2 = C_{gd7} + C_{gsp} + C_{gdp}$ y $C_3 = C_L + C_{gdp}$, R_L representa la resistencia de carga equivalente que permite modelar los cambios en la corriente de carga, g_{mi} la transconductancia de los transistores de entrada de cada etapa de ganancia y r_{oi} la resistencia de salida correspondiente a cada transistor.

El regulador debe ser estable en todo el rango de corriente de carga. Por esta razón se analizó la respuesta en frecuencia del regulador para las condiciones de mínima y máxima corriente considerando una capacitancia de carga de $100pF$, obteniéndose el comportamiento de la Figura 2.6. Se observa que solo en el caso de máxima corriente de carga se obtiene margen de fase, pero de tan solo 4.6° , que se reduce para el caso de corriente de carga nula.

Por lo tanto, se realizó un análisis para mínima corriente de carga I_{Load} y una capacitancia de carga $C_L = 100pF$ considerando las siguientes posibilidades de compensación en frecuencia:

- Ubicar el polo dominante a la salida de la primera etapa (par diferencial del amplificador de error) a través de C_c .
- Ubicar el polo dominante a la salida de la segunda etapa del amplificador de error con C_2 .
- Ubicar el polo dominante en el nodo de salida del regulador con C_3 .

El resultado de este análisis, realizado mediante simulación SPICE, se muestra en la Figura 2.7, donde se puede apreciar cómo influyen las capacitancias C_c , C_2 y C_3 sobre el margen de fase, que define la estabilidad del sistema. De la Figura 2.7(b), se observa que al incrementar el valor de C_2 el margen de fase aumenta; sin embargo, el valor de capacitancia necesario para conseguir un margen de fase de 10° es mayor a $2.5\mu F$. Empleando técnicas de

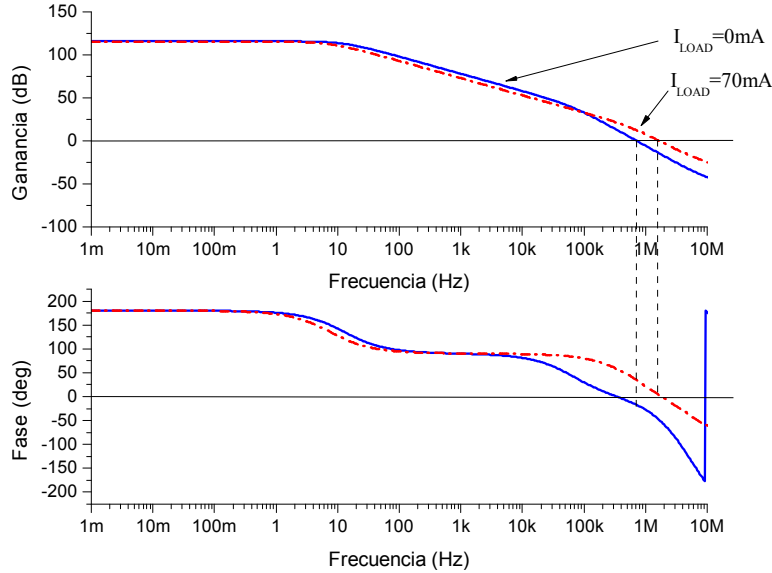


Figura 2.6: Respuesta en frecuencia del regulador implementado con amplificador de error de dos etapas para I_{load} máxima (línea punteada), I_{load} mínima (línea sólida) y $V_{in} = 2.1V$

amplificación de capacitancia es posible replicar el efecto de una capacitancia de este orden haciendo uso de capacitores integrados de valor inferior, tal y como ocurre en la compensación Miller. Sin embargo, se requieren etapas de amplificación adicionales que incrementan el consumo [13, 12, 11]. En cuanto a C_3 , como se observa en la Figura 2.7(c), se requiere una capacitancia del orden de $10\mu F$ para conseguir un margen de fase 10° , por lo que sólo sería posible conseguirlo mediante una compensación con componentes externos. Por último, si el polo dominante se establece mediante C_c los valores requeridos de capacitancia son menores, como se observa en la Figura 2.7(a), del orden de nF para un margen de fase 10° e inclusive pF si consideramos un margen de fase por debajo de los 10° , siendo por tanto la solución más factible para conseguir la compensación interna. Nótese que el efecto de esta capacitancia ya está amplificado por la ganancia de la segunda etapa del amplificador de error. Sin embargo, no es necesario añadir una etapa adicional al diseño, sino que esa segunda etapa del amplificador de error contribuye tanto a aumentar la ganancia y por lo tanto la precisión del regulador, como a amplificar el efecto de C_c y asegurar la estabilidad.

Es posible por lo tanto compensar el regulador a través de C_c , una posibilidad que hasta el momento no se ha explorado en la literatura y que se estudia en esta tesis.

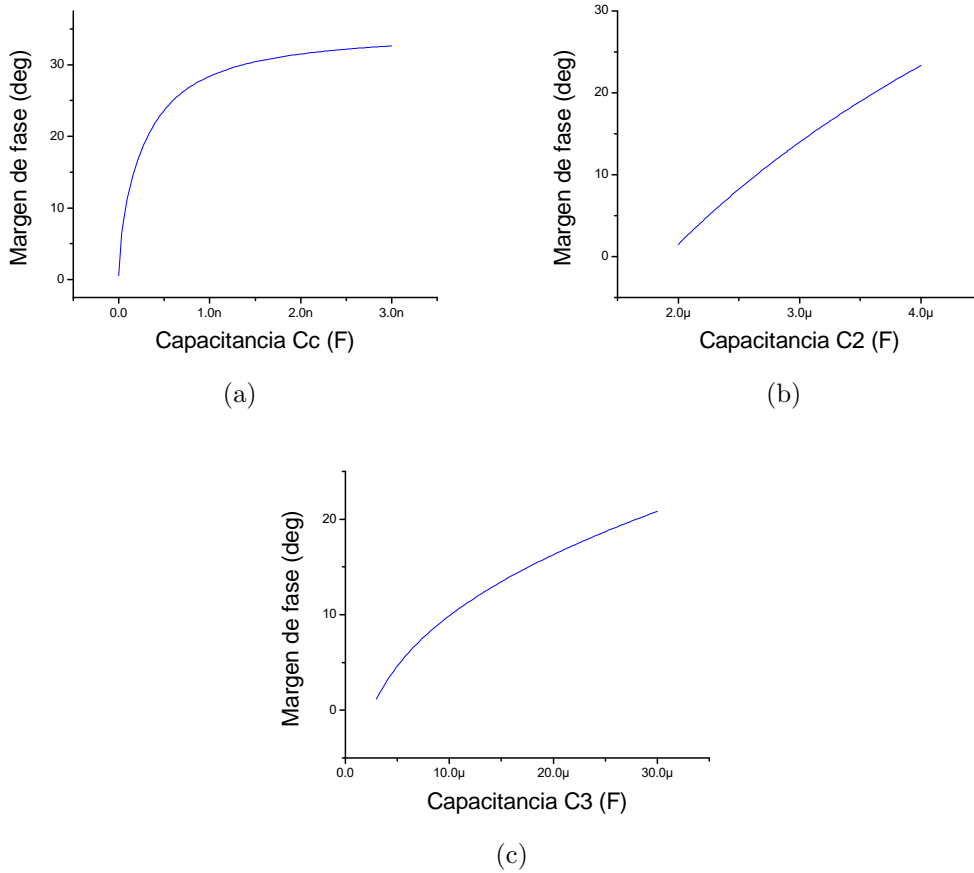


Figura 2.7: Dependencia del margen de fase con las diferentes capacitancias del modelo de pequeña señal para mínima corriente de carga; (a) dependencia con C_c , (b) dependencia con C_2 , (c) dependencia con C_3

2.5. Compensación en frecuencia

Como se ha visto, la ausencia del capacitor externo en los reguladores de voltaje totalmente integrados supone grandes retos de diseño, especialmente en cuanto a la estabilidad del sistema, que a su vez afecta a la respuesta en el tiempo del regulador. Las técnicas de compensación aplicadas deben asegurar la estabilidad para todas las condiciones de carga.

En el caso de la compensación Miller, la respuesta en frecuencia se ve degradada debido a la presencia del cero en el semiplano positivo. Este efecto se puede evitar al conectar en serie con C_c una resistencia R_z como se aprecia en la Figura 2.8, modificando la posición del cero de la siguiente manera:

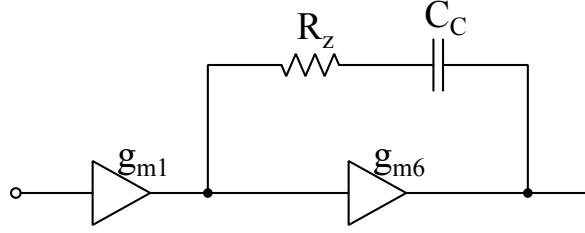


Figura 2.8: Red de compensación para cancelación polo-cero

$$z_1 = \frac{1}{C_c \left(\frac{1}{g_{m6}} - R_z \right)} \quad (2.5.1)$$

Si imponemos como condición de diseño $R_z = 1/g_{m6}$, el cero se ubica a altas frecuencias reduciendo su efecto negativo en la respuesta en frecuencia, mientras que si $R_z > 1/g_{m6}$ el cero se ubica en el semiplano izquierdo y es posible ubicarlo a la misma frecuencia que el primer polo no dominante, obteniéndose una cancelación polo-cero que permite mejorar el ancho de banda; esto último es lo que vamos aplicar en nuestro diseño.

Para realizar una cancelación polo-cero es importante sintonizar z_1 a la misma frecuencia que p_2 a través del valor de R_z , es decir, igualar las ecuaciones (2.4.2) y (2.5.1) y resolver para R_z resultando:

$$R_z = \frac{C_c (C_1 + C_2) + C_1 C_2}{g_{m6} C_c^2} + \frac{1}{g_{m6}} \quad (2.5.2)$$

Con el fin de reducir la capacitancia de compensación C_c a un valor que permita su integración, se realizó un análisis a partir de la ecuación (2.5.2) mediante una variación de C_c obteniendo valores diferentes para R_z que permiten obtener la cancelación polo-cero. Los resultados del análisis se muestran en la Figura 2.9, en la que se aprecia cómo analíticamente la posición del cero y del primer polo no dominante coinciden. Si se selecciona un valor de $4pF$, como se muestra en la Figura 2.9, la resistencia necesaria para mantener una cancelación polo-cero es de $13.22k\Omega$. Al realizar el correspondiente análisis en frecuencia mediante simulación, el valor se ajustó a $16k\Omega$ para sintonizar adecuadamente z_1 . Para reducir el consumo de área en el chip, el elemento R_z de la Figura 2.8 se ha implementado con un transistor PMOS de bajo voltaje umbral operando en la región lineal. Con base en esta consideración y para obtener una resistencia equivalente de $16k\Omega$ se obtiene una relación de dimensiones para el transistor PMOS dada por:

$$R_z = \frac{1}{\mu_p C_{ox} (W/L) (V_{SG} - V_t)} \quad (2.5.3)$$

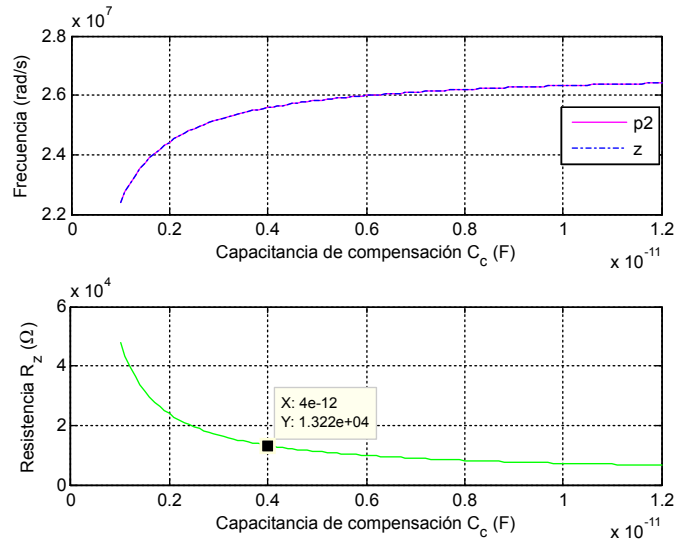


Figura 2.9: Cancelación polo-cero para diferentes valores de C_c

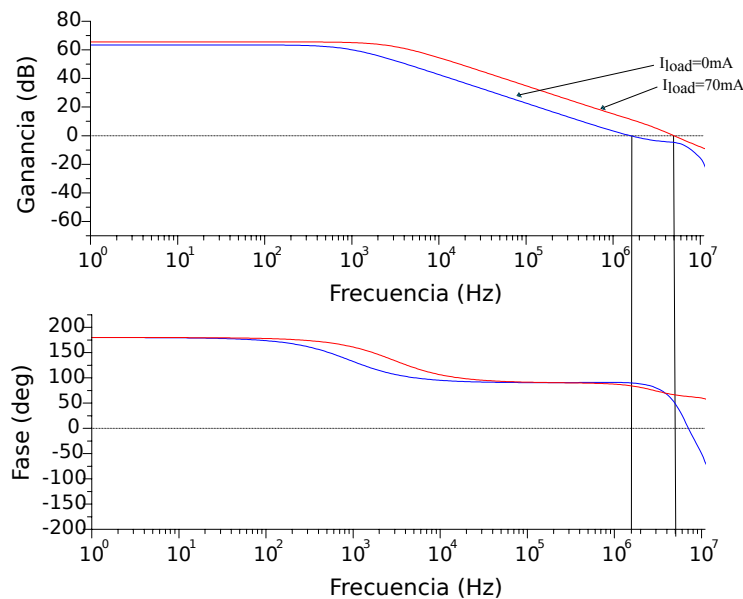


Figura 2.10: Respuesta en frecuencia del regulador con compensación directa basada en cancelación polo-cero

A partir de esta expresión se obtiene $W/L = 1.38$, utilizando para este transistor una longitud de canal $L = 1\mu m$. El comportamiento en frecuencia del regulador con compensación Miller y cancelación polo-cero se muestra en la Figura 2.10 para $V_{in} = 2.1V$. Se obtiene un margen de fase mayor a 60° para condiciones de carga mínima y máxima. En la Tabla 2.5 se muestran los resultados para las condiciones extremas de operación del regu-

lador. Se observa que el regulador es estable para todas las condiciones de carga y en todo el margen del voltaje de entrada, cumpliendo con el comportamiento deseado.

V_{in}	I_{load}	Margen de fase
2.1V	0A	90°
	70mA	66°
3V	0A	84°
	70mA	52°

Tabla 2.5: Márgenes de fase del regulador compensado

2.6. Conclusiones

En este capítulo se ha abordado el diseño de cada bloque del regulador LDO a partir de sus especificaciones. El amplificador de error es un OTA de dos etapas con ganancia superior a 90dB para alcanzar una precisión de 0.002 %, opera en un rango de voltaje de entrada de 2.1V – 3.3V y con un consumo estático de corriente de 55μA. En cuanto a la compensación del regulador, se ha analizado la posibilidad de fijar el polo dominante en los diferentes nodos del regulador. Se observa que es posible una compensación a través de la capacitancia C_c del propio amplificador de error, sin necesidad de circuitos de compensación adicionales, obteniéndose así un diseño simple y compacto. La compensación Miller con resistencia en serie permite obtener un margen de fase superior a 50° en todas las condiciones de operación del regulador.

Comportamiento dinámico

Asegurar la estabilidad del regulador para todas las condiciones de carga es sólo uno de los puntos a cubrir en el diseño de los reguladores de voltaje ya que, si bien la respuesta en el tiempo está relacionada con la respuesta en frecuencia del sistema, la condición de estabilidad no asegura una respuesta dinámica adecuada. En particular, la limitación en las corrientes disponibles para cargar y descargar las capacitancias asociadas a cada nodo puede producir sobretiros y tiempos de respuesta elevados. Es por esta razón que es importante analizar el comportamiento dinámico del regulador bajo las diferentes condiciones de carga.

El principal problema que presenta la respuesta transitoria en los reguladores LDO es la limitada corriente disponible para manejar la capacitancia de entrada del transistor de paso C_{gpas} . Para mejorar la respuesta es posible incrementar la corriente de salida del amplificador de error; sin embargo, esto supone un incremento de la corriente estática, resultando en un sistema menos eficiente. Otra solución más adecuada, ya que no penaliza tanto la eficiencia, es la implementación de un circuito adicional que opere únicamente cuando se presenten cambios en la corriente de carga.

Siguiendo esta estrategia, en [22] se mejora la respuesta en el tiempo mediante un detector de nivel a partir del cual se genera una corriente proporcional a la variación del voltaje de salida. Esta corriente se utiliza para la carga y descarga de C_{gpas} . Por otra parte, [23] hace uso de comparadores de voltaje que sensan el voltaje de salida y, en función de su variación, se incrementa la corriente disponible para cargar y descargar C_{gpas} . En [24], en lugar de monitorear el voltaje de salida se sensan los cambios en los voltajes de compuerta de los transistores que forman la etapa de salida del amplificador de error, generando una corriente proporcional a dichos voltajes que finalmente, mediante un comparador de corriente, se utiliza para proporcionar una mayor corriente para cargar y descargar C_{gpas} .

Así, todos estos circuitos permiten mejorar la velocidad de respuesta y establecimiento del voltaje de salida del regulador. Además, reducen la amplitud del sobretiro positivo (overshoot) y negativo (undershoot), con la característica común de que únicamente perma-

necen activos durante las transiciones de la corriente de carga, por lo que no tienen impacto sobre el consumo estático.

En este capítulo se realiza el análisis en el tiempo del regulador de voltaje propuesto en el Capítulo 2. Debido a los amplios sobretiros obtenidos, se diseña e implementa un circuito de control dinámico para evitar variaciones grandes del voltaje de salida que puedan dañar el circuito alimentado (carga). La reducción de los sobretiros implica además una mejora de los tiempos de establecimiento.

3.1. Análisis transitorio del regulador de voltaje

Una vez que se asegura la estabilidad del sistema es indispensable verificar la repuesta en el tiempo para comprobar que el voltaje de salida permanezca constante independientemente del cambio de corriente exigido por la carga. Para este análisis transitorio la corriente de carga se simuló mediante una fuente de corriente pulsante que varía su magnitud de un mínimo de $0A$ a un máximo de $70mA$. Los resultados se muestran en la Figura 3.1. Idealmente, ante estos cambios el voltaje de salida debe ser constante e igual a $1.8V$. Sin embargo, en la transición de 0 a $70mA$ se aprecia un sobretiro negativo que hace que el voltaje de salida alcance incluso valores negativos por simulación (en un caso práctico con carga real, el valor de salida saturaría en tierra antes de recuperar el valor esperado). El tiempo de establecimiento en esta transición es $t_{s+} = 3.1\mu s$. Por otra parte, en la transición de $70mA$ a 0 el regulador presenta un sobretiro positivo también elevado, alcanzando el voltaje de salida el valor de V_{in} , que en el caso presentado es $2.1V$. El tiempo de establecimiento es en este caso $t_{s-} = 3.6\mu s$. La amplitud de los sobretiros en la Figura 3.1 es inaceptable en un caso práctico, por lo que es necesario abordar el diseño de un circuito adicional que los reduzca, mejorando además el tiempo de respuesta.

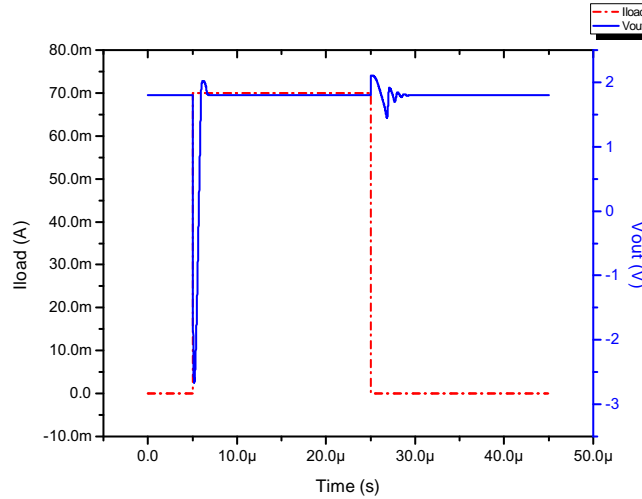


Figura 3.1: Respuesta transitoria del regulador

3.2. Mejora de la respuesta dinámica

La solución adoptada para la implementación de un circuito de control que proporcione una mayor corriente para cargar y descargar la capacitancia de compuerta del transistor de paso y mejorar así la respuesta en el tiempo del regulador, consiste en comparadores de voltaje básicos, basados en un único transistor, y espejos de corriente, como se muestra en la Figura 3.2. En el caso de sobretiro negativo, i.e, cuando V_{out} es menor que V_{ref1} , M8 se activa y fluye una corriente proporcional a la diferencia de voltaje ($V_{ref1} - V_{out}$) a través de la rama formada por M8 y M9. Esta corriente se copia mediante M10 hacia el nodo de compuerta del transistor de paso y de esta manera ayuda a descargar la capacitancia C_{gpas} . De manera similar, cuando el voltaje de salida es mayor que V_{ref2} , M11 se activa y fluye una corriente proporcional a la diferencia de voltaje ($V_{out} - V_{ref2}$) a través de M11 y M12; esta corriente se copia mediante M13 hacia el nodo de compuerta del transistor de paso, incrementado la corriente que carga la capacitancia C_{gpas} . Para obtener este comportamiento es indispensable mantener unos voltajes de polarización V_{ref1} y V_{ref2} que aseguren que los transistores M8 y M11 sólo se enciendan cuando exista una variación en el voltaje de salida V_{out} que supere los límites establecidos, manteniendo así reducido el consumo estático del regulador. En particular, en este caso $V_{ref1} = 1.9V$ y $V_{ref2} = 1.2V$ se utilizan para reducir y limitar el voltaje de salida entre estos dos valores. Por otra parte, los transistores M8 y M11 deberán tener una alta transconductancia para proporcionar una rápida respuesta a variaciones pequeñas del voltaje de salida.

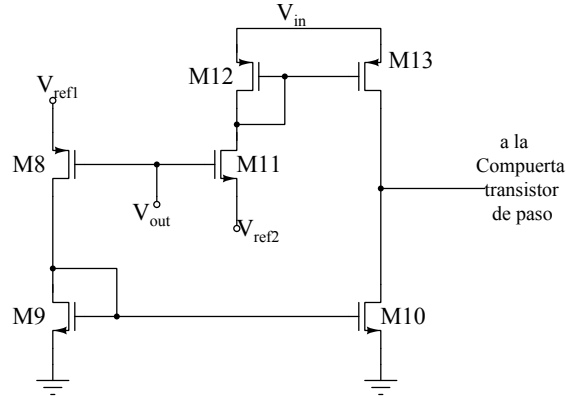


Figura 3.2: Circuito de control para mejorar la respuesta transitoria del regulador

El circuito de la Figura 3.2 se implementó con las dimensiones que se muestran en la Tabla 3.1. Todos los transistores son estándar de $3.3V$, excepto M8 que es un transistor de bajo voltaje umbral con la finalidad de obtener una rápida respuesta. Si bien el circuito de control implica elementos adicionales, su impacto en el consumo estático es mínimo dado que opera únicamente cuando se presentan cambios abruptos en la corriente de carga, proporcionando hasta $250\mu A$ al nodo de compuerta del transistor de paso. La respuesta transitoria del regulador con el circuito de control se muestra en la Figura 3.3, donde se observa una reducción considerable de los sobretiros, que ahora se limitan a unas centenas de milivoltios. Así mismo, los tiempos de establecimiento se reducen, obteniéndose un tiempo de establecimiento de $2\mu s$ para la transición positiva de la corriente de carga y de $3\mu s$ para la transición negativa. Ambas mediciones se realizaron considerando voltajes de referencia V_{ref1} y V_{ref2} ideales y una capacitancia de carga de $100pF$. A continuación se discutirá cómo se generaron en la práctica los voltajes de referencia V_{ref1} y V_{ref2} .

Transistor	W/L
M8	$88\mu m/0.5\mu m$
M9	$4.4\mu m/0.34\mu m$
M10	$4.4\mu m/0.34\mu m$
M11	$88\mu m/0.5\mu m$
M12	$4.4\mu m/0.34\mu m$
M13	$4.4\mu m/0.34\mu m$

Tabla 3.1: Dimensiones de los transistores del circuito de control

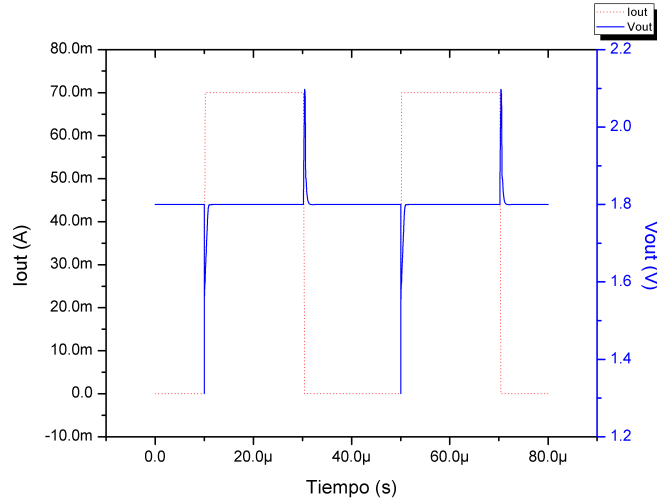


Figura 3.3: Respuesta transitoria del regulador con el circuito de control para V_{ref1} y V_{ref2} ideales

3.2.1. Generación de los voltajes de referencia V_{ref1} y V_{ref2}

Los voltajes de referencia requeridos por el circuito de control de la Figura 3.3 se obtendrán, a partir de reguladores de voltaje que deberán proporcionar voltajes constantes V_{ref1} y V_{ref2} con una corriente de salida de $250\mu A$, que es la que el circuito de control es capaz de proporcionar cuando se encuentra activo. Debido a la reducida corriente de carga que deben proporcionar, sus requerimientos de desempeño son mínimos por lo que serán bloques sencillos con el objetivo de preservar reducido el consumo de área y potencia.

Los dos reguladores se muestran en la Figura 3.4. Como referencia V_{ref} se utiliza, al igual que para el regulador principal, $V_{ref} = 1.2V$. El amplificador de error es un par diferencial NMOS con carga activa, con una corriente de polarización de $5\mu A$ y que proporciona una ganancia de $50dB$. Con esta topología de AE, ambos circuitos presentan dos polos y como consecuencia requieren una red de compensación para asegurar un correcto funcionamiento. Sin embargo, la presencia de sólo 2 polos, unido a que su ubicación permanece aproximadamente constante para la especificación de corriente de carga $0 - 250\mu A$ facilita en gran medida la compensación. Así, se utilizó en ambos casos una compensación Miller mediante una capacitancia de compensación $C_c = 1pF$.

Como puede apreciarse en la Figura 3.4(a), la configuración para generar $V_{ref1} = 1.9V$ corresponde a la topología de un regulador convencional, con resistencias $R_{fb1} = 140k\Omega$, $R_{fb2} = 240k\Omega$ implementadas mediante transistores operando en la región lineal, y Mpass con una relación de dimensiones $W/L = 1250$. Por otra parte, para generar $V_{ref2} = 1.2V$

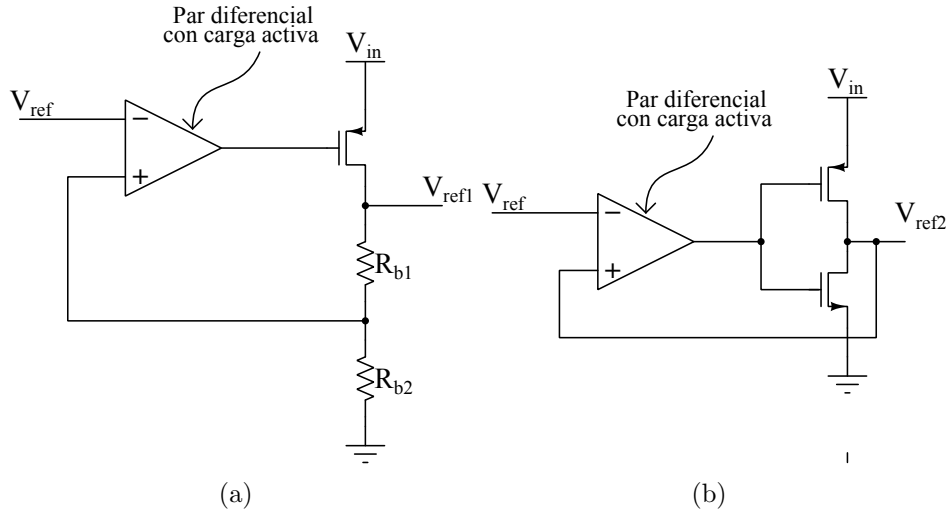


Figura 3.4: Generación de voltajes de referencia; (a) V_{ref1} , (b) V_{ref2}

se empleó la configuración de la Figura 3.4(b), donde el transistor NMOS en serie con el transistor de paso deriva a tierra la corriente que fluye a través del transistor M11 del circuito de control, actuando como sumidero de corriente, por lo que debe ser capaz de soportar la corriente máxima.

La respuesta del regulador empleando estas configuraciones para generar V_{ref1} y V_{ref2} , se muestra en la Figura 3.5 para $V_{in} = 2.1V$ y $V_{in} = 3V$. El comportamiento obtenido es similar al de la Figura 3.3, cuando se empleaban fuentes ideales para generar V_{ref1} y V_{ref2} . El voltaje de salida se mantiene dentro de los mismos rangos con una máxima variación del voltaje de 500mV, mientras que los tiempos de establecimiento positivo y negativo se reducen a 1.1 μs , para $V_{in} = 2.1V$ y una carga capacitiva de 100pF. Los principales parámetros de desempeño en el tiempo del regulador se resumen en la Tabla 3.2.

Parámetro	$V_{in} = 2.1V$	$V_{in} = 3V$
Overshoot	297mV	499mV
Undershoot	488mV	445mV
t_{s+}	1.1 μs	900ns
t_{s-}	1.1 μs	1 μs

Tabla 3.2: Parámetros de desempeño en el tiempo del regulador de voltaje con circuito de control

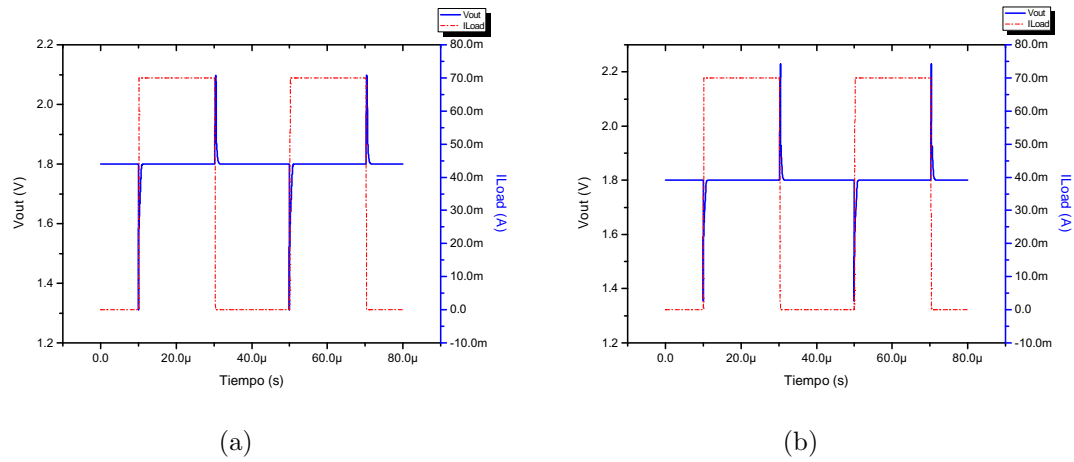


Figura 3.5: Respuesta en el tiempo del regulador; (a) $V_{in} = 2.1V$, (b) $V_{in} = 3V$

3.3. Conclusiones

En este capítulo, con el fin de mejorar la respuesta dinámica se realizó una revisión e implementación de un circuito de control que permite reducir los sobretiros en el voltaje de salida a centenas de mV y los tiempos de establecimiento a $1.1\mu s$. Se utilizó para ello un esquema simple basado en comparadores y espejos de corriente, que únicamente se activa cuando el voltaje de salida presenta variaciones en su valor nominal, manteniendo así el consumo estático del regulador reducido.

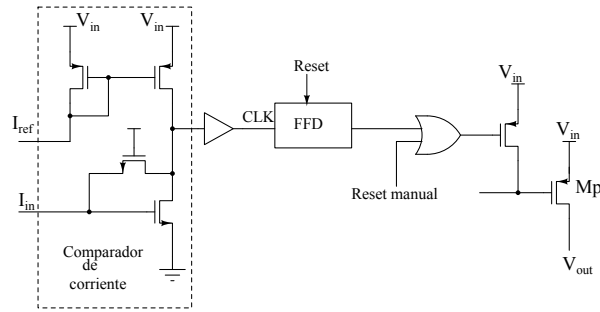
Circuitos de protección

Debido a que el regulador LDO debe proporcionar un voltaje constante para un amplio rango de corriente de carga, incluso con cambios abruptos de la misma, el transistor de paso es el elemento con mayor probabilidad de sufrir daños por sobrecorrientes que pueden inclusive provocar una falla total del regulador. Una solución a esta problemática es la implementación de un circuito de protección frente a sobrecorrientes que controle el valor máximo de la corriente de carga que el regulador es capaz de proporcionar.

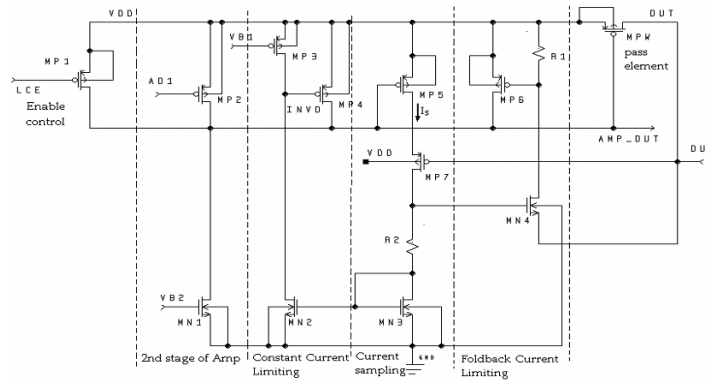
Un posible circuito de protección se basa en el uso de elementos que realicen la función de "fusible", capaces de soportar una determinada cantidad de corriente circulando a través de ellos; cuando ésta excede el límite, dejan el sistema fuera de operación. Su principal desventaja es que deben ser reemplazados cada vez que se presente una situación de sobrecorriente. Por tanto, en soluciones SoC esta no es una solución viable.

Centrándonos en soluciones para sistemas SoC, si revisamos la literatura, [1] (Figura 4.1(a)) reporta un circuito de protección que hace uso de comparadores de corriente, de manera que genera una señal de control digital cuando la corriente de carga excede el límite permitido por el diseñador. Esta señal digital se utiliza para habilitar la protección contra sobrecorriente y de esta manera proteger el transistor de paso del regulador. Sin embargo, en esta solución el regulador permanece inactivo hasta que el usuario genera una señal de RESET, es decir, el sistema no es capaz de reiniciar su operación normal de manera autónoma.

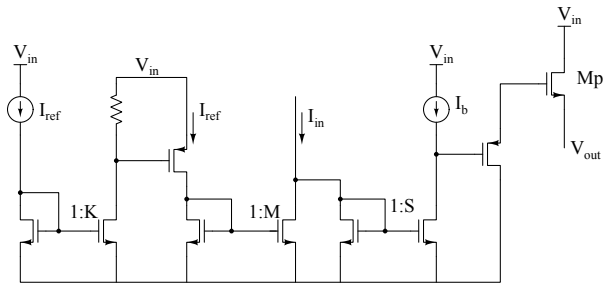
En trabajos como [2, 3, 4] (Figuras 4.1(b), 4.1(c) y 4.1(d)) se han desarrollado soluciones basadas en sensores de corriente y/o en comparadores de voltaje [25] (Figura 4.1(e)). Estas tienen en común que no afectan el funcionamiento del regulador y, cuando se presenta una condición de sobrecorriente, limitan e incluso llegan a apagar el transistor de paso con la finalidad de reducir la corriente de salida. Una vez que la corriente se encuentra dentro del rango permitido, el regulador opera con normalidad sin la necesidad de accionar una señal de RESET manual o de cambiar un elemento FUSIBLE.



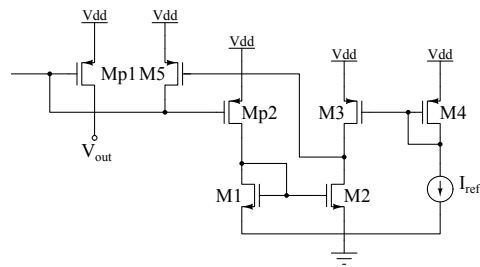
(a)



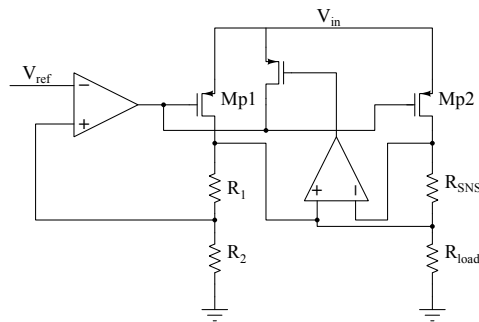
(b)



(c)



(d)



(e)

Figura 4.1: Circuitos de protección contra sobrecorrientes, Basados en comparadores de corriente: (a) [1], (b) [2], (c) [3], (d) [4], (e) basado en comparadores de tensión

En este capítulo se abordará la propuesta y el diseño de un circuito que permita proteger al regulador contra condiciones de sobrecorriente, operando únicamente cuando la corriente de carga exceda el máximo permitido y regresando a su operación normal cuando la corriente se encuentre dentro del rango establecido, sin necesidad de reiniciar el sistema manualmente.

4.1. Comparadores de corriente

Como se ha revisado en la introducción, la solución más común es el diseño de circuitos de protección que hacen uso de sensores y comparadores de corriente. Los sensores mantienen en continuo monitoreo la corriente de salida del regulador, mientras que los comparadores generan la señal de control que activa/desactiva la protección. En cuanto a los comparadores de corriente, existen circuitos reportados que van desde un comparador básico hasta implementaciones más complejas, todas con características y prestaciones diferentes. Estos comparadores hacen uso de una corriente de referencia I_{ref} contra la cual se compara la corriente de entrada I_{in} como se muestra en la Figura 4.2. La idea principal es obtener un cambio en el voltaje de salida cuando $I_{in} \geq I_{ref}$ para utilizarlo como señal de control en el circuito de protección.

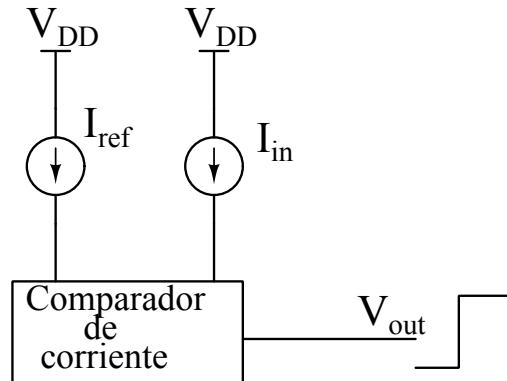


Figura 4.2: Comparador de corriente

En la Figura 4.3 se muestran algunos de los comparadores de corriente reportados y de estructura simple. De entre estos, destacan por su simplicidad los circuitos de las Figuras 4.3(a) y 4.3(b) [26, 27]. La propuesta en [27] (Figura 4.3(b)) se basa en espejos de corriente simple, con la desventaja de que la copia en corriente es inexacta. Sin embargo, su simplicidad permite obtener un circuito compacto y de bajo consumo, el cual depende principalmente de la corriente de referencia utilizada. Por otra parte, [26] (Figura 4.3(a)) está basado en una retroalimentación positiva de voltaje, siendo una de sus desventajas que

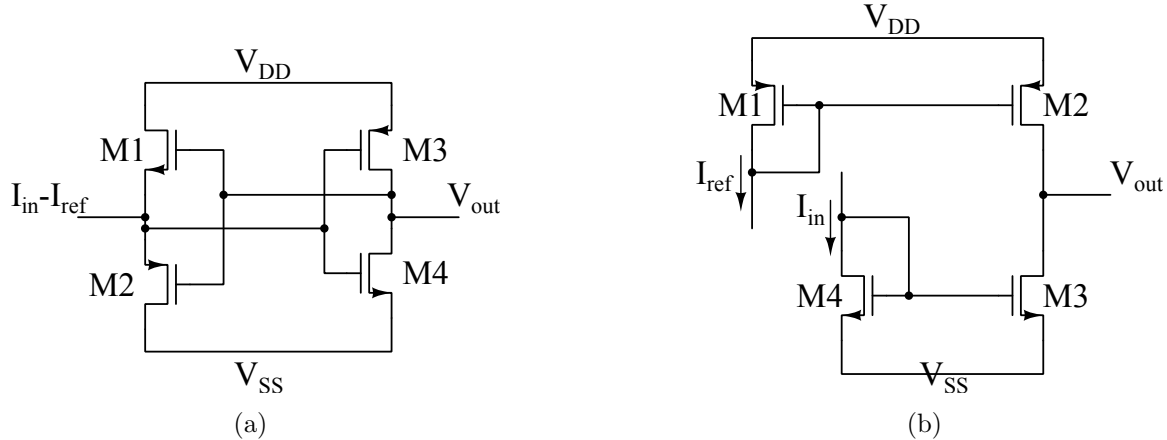


Figura 4.3: Comparadores de corriente (a) con retroalimentación positiva, (c) basado en espejos simples

el voltaje de entrada del inversor de salida no permite que M3 o M4 se apaguen completamente.

En general, los comparadores de corriente tienen la desventaja de mantener un consumo constante e independiente de las condiciones de operación, ya que debe haber una corriente de referencia constante para realizar la comparación con la corriente de entrada. Sin embargo, como se verá en la siguiente sección, la corriente de referencia puede ser escalada para minimizar su impacto en el consumo total.

4.2. Circuito de protección

Recordemos que la corriente de salida del regulador se controla mediante el transistor de paso, es decir, depende del voltaje aplicado a la compuerta del transistor. Puesto que el transistor de paso utilizado es de canal P, para reducir la corriente es necesario incrementar su voltaje de compuerta [4].

Así pues, para limitar la corriente de carga se sensa y compara dicha corriente con una referencia, aumentando el voltaje en la compuerta del transistor de paso en caso de sobrecorriente. El comparador de corriente no debe depender fuertemente del voltaje de alimentación para asegurar que el circuito de protección se active siempre para el mismo valor de corriente de carga, sin importar el valor de V_{in} . En este caso se utilizó el comparador basado en espejos simples de la Figura 4.3(b), buscando la implementación más sencilla y con consumo de área reducido.

El circuito de protección completo se muestra en la Figura 4.4. Con esta implementación, el regulador de voltaje opera con normalidad cuando la corriente de carga está por debajo del

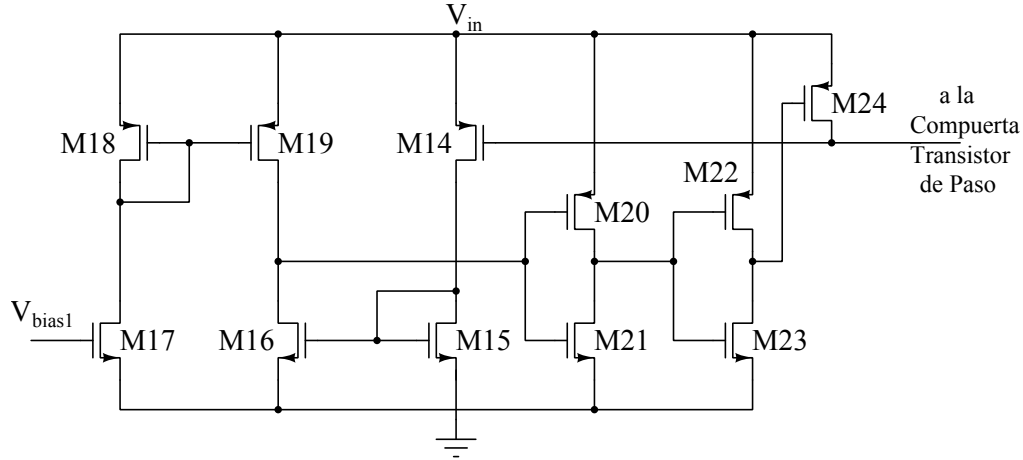


Figura 4.4: Circuito de protección

valor máximo establecido. Cuando se excede este límite el transistor M24 se enciende, por lo que el nodo de compuerta del transistor de paso aumenta, apagando M_{pass}. Por lo tanto, el transistor de paso deja de proporcionar corriente y el voltaje de salida disminuye. M17 establece la corriente de referencia contra la cual se comparará la corriente de carga y M14 genera una copia escalada de dicha corriente de carga. Los inversores formados por M20-M23 se utilizan para lograr operar en todo el rango de corriente deseado, ya que el cambio de voltaje a la salida del comparador de corriente es gradual y los inversores permiten obtener una señal de control digital obteniendo una rápida conmutación de apagado a encendido del transistor M24 cuando la corriente de carga excede el límite establecido.

Con el fin de mantener el consumo reducido, se realizó una reducción al copiar la corriente de carga en un factor de 10000, con lo cual la relación entre los tamaños del transistor de paso y M14 es de 10000 : 1.

Con la corriente reducida en un factor de 10^4 , el circuito de la Figura 4.4 compara corrientes en el orden de microamperes; si la corriente máxima se establece por debajo de 100mA , el circuito de protección operará con corrientes máximas de $10\mu\text{A}$. Se estableció una corriente máxima de carga de 80mA para tener un margen en la corriente de salida y que el voltaje de salida del regulador sea constante e igual a 1.8V en el rango establecido en las especificaciones. Las dimensiones de cada transistor en el circuito de protección se muestran en la Tabla 4.1.

Transistor	Dimensión (W/L)
M14	3.8
M15	6
M16	6
M17	3.2
M18	3.2
M19	3.2
M20	12
M21	3
M22	12
M23	3
M24	6

Tabla 4.1: Dimensiones de los transistores del circuito de protección

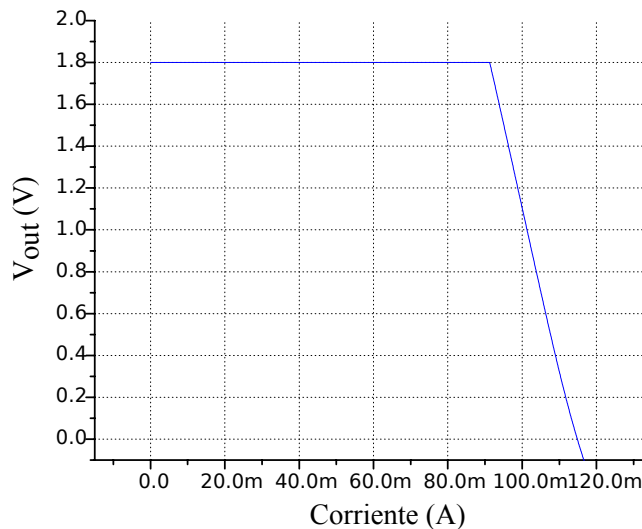


Figura 4.5: Respuesta del circuito de protección

El comportamiento del regulador ante una variación de la corriente de carga desde su valor mínimo hasta un valor por encima del máximo establecido se muestra en la Figura 4.5, donde se aprecia el comportamiento esperado del circuito de protección.

Es importante señalar que el circuito de mejora de la respuesta dinámica implementado en el Capítulo 3 puede contraponerse a la operación del circuito de protección. En particular, cuando la corriente de salida del regulador sea superior a los $70mA$, el voltaje de salida comenzará a reducirse por efecto del circuito de protección; sin embargo, cuando el voltaje de salida caiga lo suficiente el circuito de mejora de la respuesta dinámica se activará y el voltaje de salida tenderá a elevar su valor. Para evitar este problema, el circuito de

protección contra sobrecargas debe controlar no sólo el transistor de paso del regulador principal sino también el transistor de paso del regulador que genera V_{ref1} .

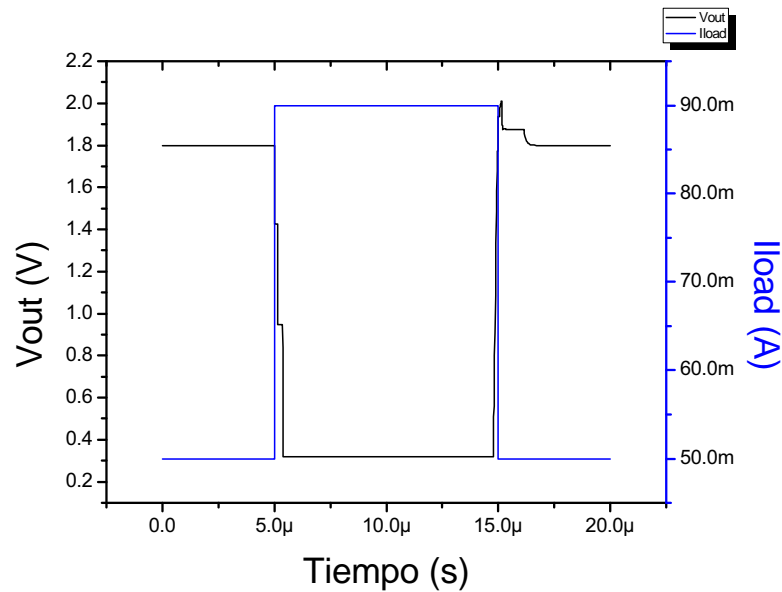


Figura 4.6: Respuesta dinámica del regulador con el circuito de protección

De igual manera, se ha analizado el comportamiento dinámico del circuito de protección para asegurar que frente a variaciones abruptas de la corriente de carga opere adecuadamente reduciendo el voltaje de salida. La respuesta dinámica se muestra en la Figura 4.6, en esta se aprecia la reducción del voltaje de salida en caso de sobrecorriente, lo cual nos indica que el circuito de protección realiza su función adecuadamente apagando el transistor de paso y desactivándose cuando la corriente se encuentra en un rango seguro de operación. Cuando la corriente regresa a un valor dentro de los límites de seguridad, el regulador se activa de manera automática.

4.3. Conclusiones

Se ha abordado en este capítulo el diseño del circuito de protección haciendo uso de comparadores de corriente basados en espejos de corriente simples para mantener en constante monitoreo la corriente de salida, sin afectar el funcionamiento normal del regulador de voltaje. El circuito de protección únicamente altera el funcionamiento del regulador cuando se presenta una situación de sobrecorriente ($I_{Load} > 70mA$) apagando el transistor de paso. Una vez que el valor de la corriente de carga se encuentra dentro de un rango seguro el regulador vuelve a operación normal de manera automática.

Caracterización post-layout del regulador

La última fase del diseño consiste en el diseño a nivel físico (layout) y caracterización post-layout del circuito. Esta fase se aborda toda vez que el diseño a nivel esquemático cumple con las especificaciones establecidas inicialmente. Como ya se ha señalado en capítulos anteriores, el diseño se realizó en la tecnología UMC de $180nm$ utilizando el entorno de diseño de CADENCE.

En este capítulo se presenta el diseño layout y caracterización post-layout del regulador de voltaje propuesto, incluyendo los circuitos de mejora de la respuesta en el tiempo y el circuito de protección contra sobrecorrientes.

5.1. Layout del regulador de voltaje

El principal desafío para la realización del layout del regulador es la implementación del transistor de paso, dado que su tamaño y la corriente que debe proporcionar son muy elevados. En concreto, recordemos que este transistor debe ser capaz de proporcionar hasta $70mA$ ($80mA$ considerando el límite que se impone con el circuito de protección contra sobrecargas) y sus dimensiones son $W = 13200\mu m$, $L = 0.34\mu m$. Éste utiliza la mayor parte de área activa disponible, siendo el elemento con mayor dimensión en el diseño. El layout del transistor de paso se implementó utilizando transistores unitarios de $10\mu m$ de ancho de canal (W) interdigitados en grupos de 20 con la finalidad de reducir el valor de las capacitancias parásitas. Como la anchura máxima que la tecnología permite es $100\mu m$, se obtienen un total de 66 grupos, tal como se muestra en la Figura 5.1 y el transistor resultante utiliza un área activa de $261\mu m \times 273\mu m$.

En cuanto a las líneas de metal que formarán el nodo de salida, se ha tomado en consideración la máxima corriente que deberán soportar, resultando líneas de metal de

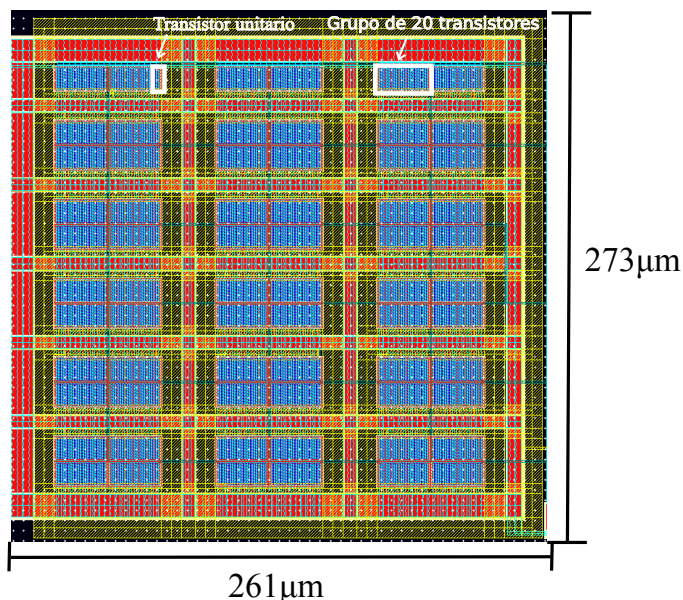


Figura 5.1: Layout del transistor de paso

anchura superior a $1\mu m$ para evitar una reducción en el voltaje de salida por las resistencias parásitas asociadas y daños sobre la línea de metal que conlleven a fallas irreversibles en el sistema.

La version final del layout se muestra en la Figura 5.2, indicando los diferentes módulos: transistor de paso, el amplificador de error, la red de retroalimentación y los circuitos de mejora de la respuesta transitoria incluyendo los circuitos que generan los voltajes de referencia V_{ref1} y V_{ref2} .

5.2. Caracterización post-layout

Finalizado el layout del regulador, se procedió a generar el extraído del circuito, el cual incluye los elementos parásitos (resistencias y capacitores) asociados a los dispositivos físicos tras el proceso de fabricación. La finalidad de la caracterización post-layout es verificar que el regulador opera correctamente y que los parámetros de desempeño obtenidos en la caracterización del esquemático no se ven penalizados por los elementos parásitos. Por tanto, proporciona resultados más realistas de la operación del circuito.

La caracterización post-layout contempla la obtención de parámetros en DC (regulación de línea, regulación de carga, coeficiente térmico, voltaje de dropout y consumo en condición estática), transitorios (tiempo de establecimiento, overshoot y undershoot) y en AC para

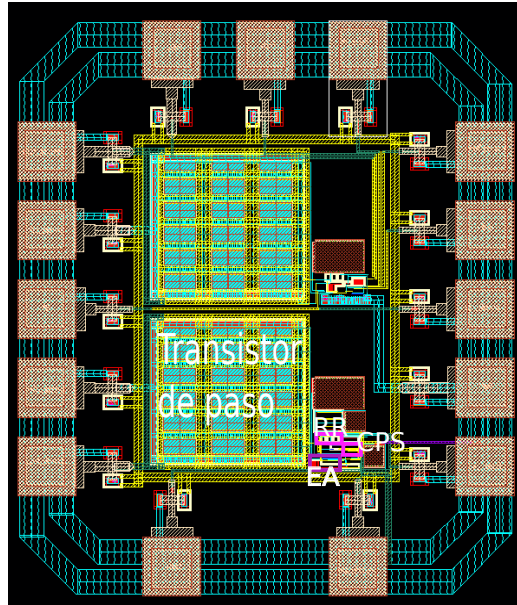


Figura 5.2: Layout del regulador de voltaje, (RR) Red de retroalimentación, (CPS) Circuito de protección contra sobrecorrientes, (EA) Amplificador de error

obtener el PSR.

5.2.1. Parámetros de desempeño en DC

Estos parámetros se obtienen al realizar un análisis en DC bajo diferentes condiciones de operación establecidas para cada parámetro.

Voltaje de dropout

El voltaje de dropout es la mínima diferencia entre el voltaje de salida y el voltaje mínimo de entrada a partir del cual el regulador deja de operar adecuadamente. Este es uno de los parámetros más importantes, puesto que permite saber hasta qué valor es posible reducir el voltaje de alimentación y seguir proporcionando un voltaje regulado constante.

Este parámetro se obtiene al realizar una simulación en DC haciendo un barrido en el valor de V_{in} y representando el voltaje de salida. El resultado de esta simulación de muestra en la Figura 5.3 para máxima corriente de carga. El voltaje de dropout es en nuestro caso $V_{DO} = 240mV$.

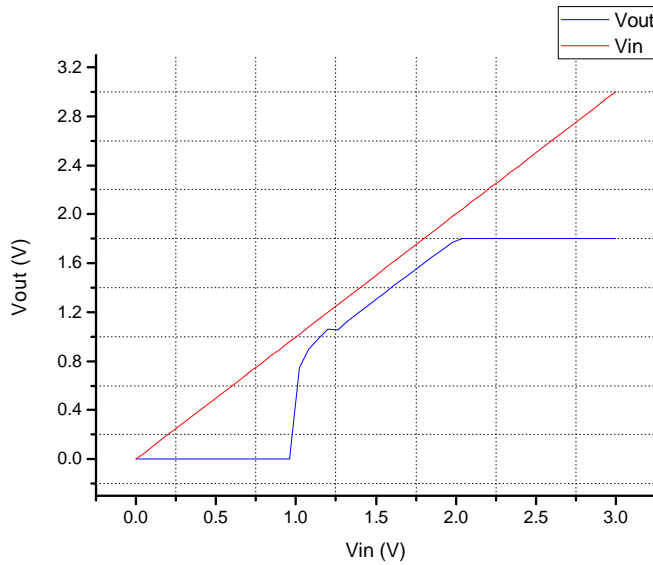


Figura 5.3: Voltaje de dropout del regulador de voltaje

Regulación de línea (LNR)

Es la variación del voltaje de salida como resultado de una variación en el voltaje de entrada, es decir, qué tanto varía V_{out} cuando lo hace V_{in} . La regulación de línea se obtiene a partir de una simulación en DC a través de un barrido para V_{in} en la región de regulación y observando las variaciones que presenta el voltaje regulado de salida. La medida se realiza conforme a la ecuación (1.4.1).

Los resultados de la simulación en DC para la regulación de línea se muestran en la Figura 5.4. El resultado obtenido es $LNR = 156\mu V/V$ en el rango de variación de V_{in} de $2.1V$ a $3V$.

Regulación de carga (LDR)

La regulación de carga (LDR) es la razón de cambio del voltaje de salida debido a la variación de la corriente de carga. Este valor se obtiene al realizar un análisis en DC haciendo un barrido en el valor de la corriente de carga y observando las variaciones que presenta el voltaje de salida. Su valor está determinado por la ecuación (1.4.3).

Los resultados de la simulación en DC se muestran en la Figura 5.5. El valor correspondiente para la regulación de carga es $LDR = 278nV/mA$, considerando una variación en la corriente de carga de $0A$ a $70mA$.

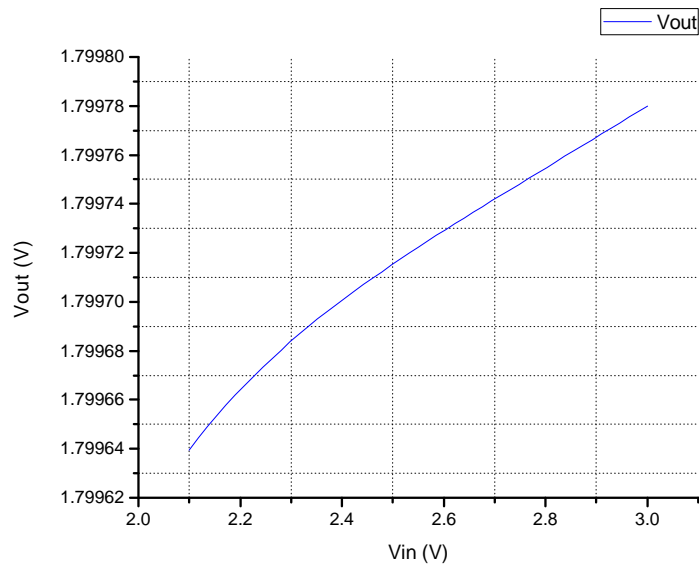


Figura 5.4: Regulación de línea del regulador de voltaje

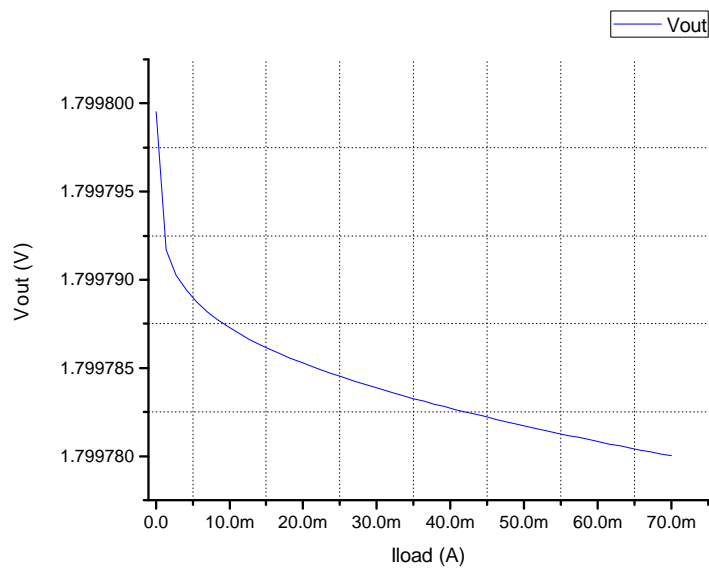


Figura 5.5: Regulación de carga del regulador de voltaje

Coefficiente térmico (TC)

Este valor nos permite saber qué tan robusto es nuestro regulador a variaciones de temperatura y se obtiene a partir de una simulación en DC en la cual se varía la temperatura

de operación y se representa el voltaje de salida. Su expresión matemática se muestra en la ecuación (1.4.5). Es importante mencionar que el rango de temperatura a considerar deberá ser amplio, puesto que las temperaturas a las cuales puede operar un circuito no siempre son cercanas a la temperatura ambiente ($300^{\circ}K$).

El resultado del análisis en DC frente a variación de la temperatura de operación entre $-20^{\circ}C$ y $120^{\circ}C$ se muestra en la Figura 5.6. Se obtiene un coeficiente de $18.73\mu V/^{\circ}C$.

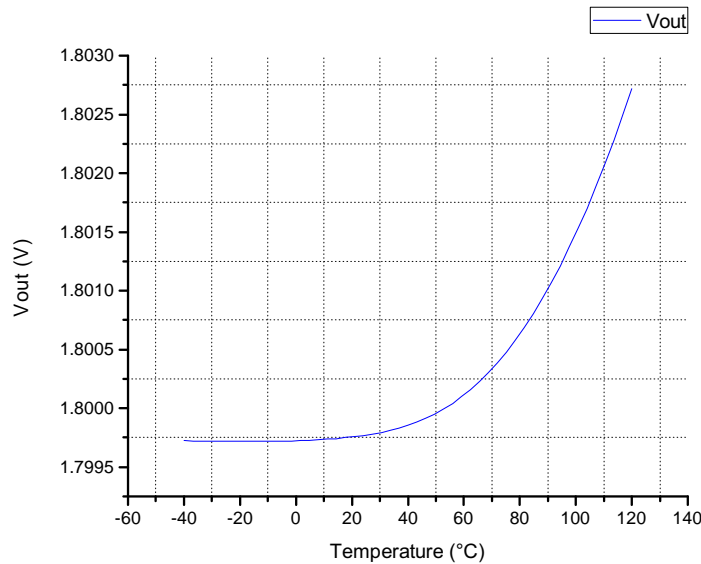


Figura 5.6: Coeficiente de temperatura del regulador de voltaje

Consumo estático del regulador

Por último, el consumo del regulador en estado estático nos indica cuanta corriente consume el regulador cuando la corriente exigida por la carga es nula. El regulador propuesto consume una corriente en condiciones estáticas de $106\mu A$. Este consumo corresponde a los siguientes bloques: Amplificador de error, la red de retroalimentación, el circuito de protección contra sobrecargas y los reguladores de voltaje utilizados para generar los voltajes de referencia V_{ref1} y V_{ref2} obteniendo una eficiencia en corriente definida por la ecuación (5.2.1) de 99.8%.

$$\eta = \frac{I_{Load}}{I_{Load} + I_Q} \quad (5.2.1)$$

5.2.2. Parámetros de desempeño en el tiempo

A partir de análisis transitorios, es posible obtener los tiempos de establecimiento del regulador cuando se presentan cambios en la corriente de carga, así como los sobretiros en el voltaje de salida. En esta caracterización se ha considerado dos casos: voltaje de entrada V_{in} mínimo y máximo.

La respuesta transitoria del regulador para ambos voltajes de entrada se muestra en la Figura 5.7 a partir de la cual se extraen los principales parámetros post-layout, mostrados en la Tabla 5.1.

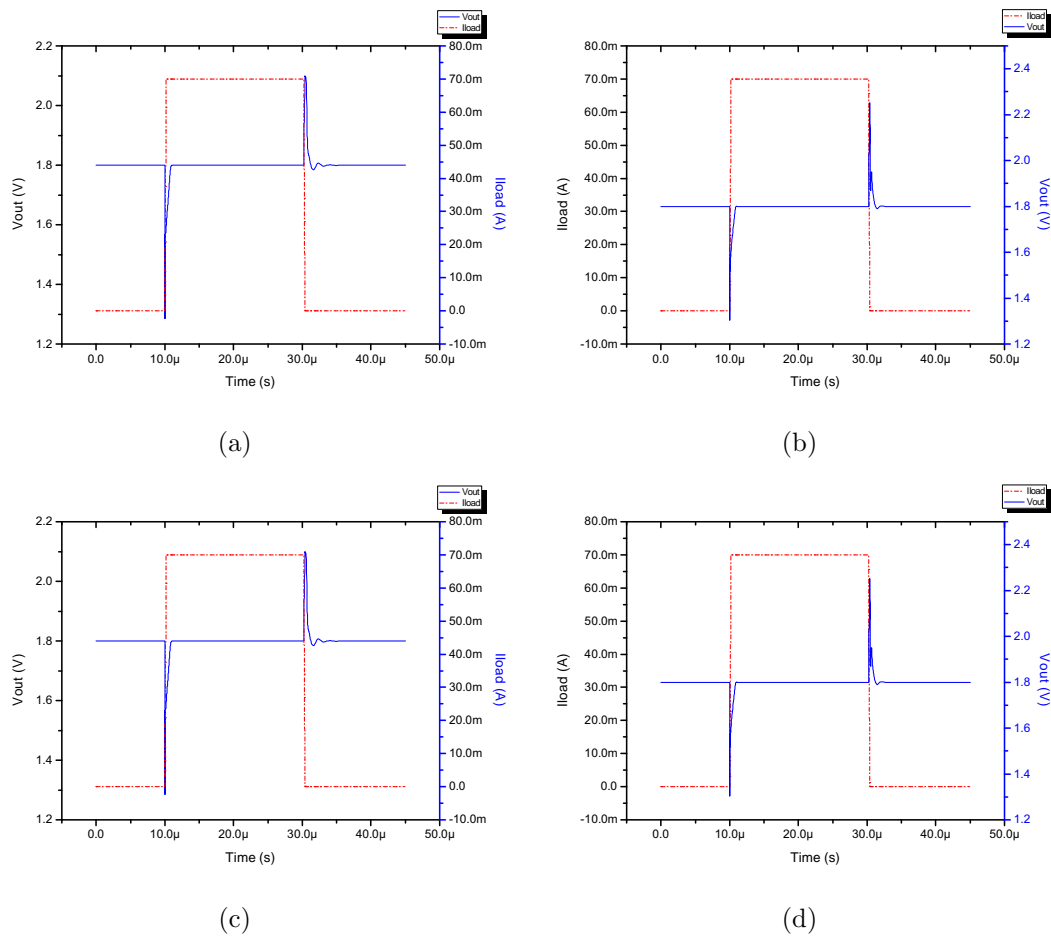


Figura 5.7: Respuesta en el tiempo del regulador; (a) $V_{in} = 2.1V @ C_L = 0$, (b) $V_{in} = 3V @ C_L = 0$, (c) $V_{in} = 2.1V @ C_L = 100p$, (d) $V_{in} = 3V @ C_L = 100p$

Como lo muestran los resultados de la Figura 5.7, el voltaje de salida se establece rápidamente al valor deseado (1.8V) presentando tiempos de establecimiento de 1.1 μ s y 915ns para el peor y el mejor caso respectivamente. Por otra parte, las variaciones que el

Parámetro	$V_{in} = 2.1V$	$V_{in} = 3V$
Overshoot	$544mV$	$504mV$
Undershoot	$298mV$	$483mV$
t_s+	$1.1\mu s$	$1\mu s$
t_s-	$976ns$	$915ns$

Tabla 5.1: Parámetros de desempeño en el tiempo del regulador de voltaje

voltaje de salida presenta exceden los $500mV$ en el peor de los casos. Al considerar una capacitancia de carga de $50pF$ no se aprecia cambio significativo ni en el voltaje de salida ni en los sobretiros de voltaje. El regulador en condiciones estáticas mantiene un consumo no mayor a $318\mu W$.

5.3. Comparación con trabajos previos

A continuación se muestra una comparación del regulador propuesto en esta tesis con otros diseños encontrados en la literatura, resumida en la Tabla 5.3, con el fin de apreciar de mejor manera las ventajas de esta propuesta.

El regulador propuesto presenta la mejor regulación de carga y una regulación de línea sólo superada por [18], artículo en el que también se diseña un regulador de alta precisión. De igual manera, el tiempo de establecimiento, siendo muy similar al obtenido en [28], es mejorado únicamente por [18]. Sin embargo, la propuesta en [18] no considera el efecto de la temperatura sobre el circuito, otro factor relevante en los reguladores de alta precisión, y presenta un PSR menor, es decir, es más sensible a variaciones de alta frecuencia en la línea.

Por otra parte, pese a utilizar un núcleo de estructura simple, el consumo de corriente se ve penalizado por la necesidad de incluir el circuito de mejora de la respuesta en el tiempo, siendo la implementación con mayor consumo en estado estático.

Finalmente, es importante resaltar la precisión del regulador propuesto inclusive frente a variaciones en la temperatura, es decir, el regulador asegura, tal y como se proponía en los objetivos de la tesis, un voltaje de salida constante en un amplio rango de condiciones de operación.

Parámetro	Este trabajo	[13]	[18]	[19]	[28]	[29]
Tecnología (μm)	0.18	0.35	0.35	0.065	0.35	0.6
Voltaje de entrada (V)	1.9 – 3	3	1.2	1 – 1.5	1.2 – 3.3	1.5 – 4.5
Voltaje de salida (V)	1.8	2.8	1	0.9	1	1.3
Voltaje de dropout (mV)	240	200	200	100	200	200
Regulación de línea (mV/V)	0.156	11	0.027	1.8	0.344	-
Regulación de carga (mV/mA)	0.00027	0.8	0.0012	0.021	0.338	-
Tiempo de establecimiento (μs)	1.1	15	0.6	5	1	2
Corriente de carga (mA)	70	50	100	100	100	100
Quiescent current (μA)	106	65	23	3.89	100	38
Capacitancia de compensación (pF)	6	< 23	3	-	6	12
Capacitancia de carga (pF)	100	100	100	20	100	-
PSR (dB)	$-75@10kHz$	$-57@1kHz$	$-49.8@10kHz$	$-63@100Hz$	-	$-30@1MHz$
Coefficiente térmico ($ppm/^{\circ}C$)	10.4	-	-	-	-	38

Tabla 5.2: Comparación con trabajos previos

Conclusiones y trabajo futuro

6.1. Conclusiones

En este trabajo se propone un regulador de voltaje LDO de alta precisión compensado internamente diseñado en la tecnología UMC CMOS de $180nm$. El regulador cuenta con un un circuito de mejora de la respuesta dinámica y un circuito de protección contra sobrecargas.

Primeramente se ha realizado una análisis de la ganancia requerida por el amplificador de error para obtener una variación del voltaje de salida $\leq 0.02\%$. Esta ganancia es de al menos $70dB$. Para obtener esta especificación se ha utilizado un OTA Miller de dos etapas, de modo que la ganancia es elevada con una estructura simple.

Una vez establecida la topología del amplificador de error, se han revisado las diversas técnicas de compensación interna disponibles para los reguladores de voltaje de bajo dropout, con la finalidad de evitar el uso de grandes capacitores externos. Con base en el resultado, se propuso como solución óptima utilizar la propia red de compensación del amplificador de error para compensar el regulador completo.

La respuesta dinámica del regulador se vió penalizada con grandes sobretiros (overshoot y undershoot) en el voltaje de salida. Por este motivo se implementó un circuito de control para la corrección de los sobretiros, obteniendo resultados favorables al mantener estas variaciones en un máximo de $544mV$ y los tiempos de establecimiento en $1\mu s$.

Para completar el diseño, se ha implementado un circuito de protección contra sobrecargas el cual se hace uso de espejos de corriente como comparadores. Este circuito permite mantener al regulador de voltaje operando adecuadamente en un rango seguro de la corriente de carga, limitando la máxima corriente que este puede proporcionar. El circuito de protección únicamente permanece activo cuando se presenta una situación de sobrecorriente, así que no afecta la operación normal del regulador de voltaje.

Finalmente, se ha realizado una comparación con reguladores de voltaje reportados en

la literatura. En esta comparación, el regulador propuesto presenta la mejor regulación de carga, mientras que para regulación de línea es únicamente superado por [18]. En cuanto a tiempo de establecimiento se refiere, presenta un buen desempeño al compararlo con las demás implementaciones, siendo su principal limitación el consumo estático.

6.2. Trabajo futuro

- Realizar la caracterización experimental del prototipo ya fabricado.
- Rediseñar el amplificador de error reduciendo su corriente de consumo estático I_q con el fin de extender el tiempo de vida de las baterías en sistemas que puedan permanecer en modo de espera o apagados durante largos periodos de tiempo.
- Integrar el regulador junto con una referencia de bandgap V_{ref} para obtener un prototipo final totalmente integrado.

Apéndices

Consideraciones de layout

En la Figura A.1 se muestra el layout del regulador LDO diseñado, excluyendo el transistor de paso. En ella se observa el amplificador de error (EA), los reguladores de voltaje para generar V_{ref1} y V_{ref2} , el circuito de mejora de la respuesta dinámica (CMRD), la red de retroalimentación (RR), el circuito de protección (CP) y la red de compensación (RC). El área utilizada por estos bloques es de $126\mu m \times 153\mu m$, frente al área que ocupa el transistor de paso, que es de $261\mu m \times 273\mu m$ en el diseño final.

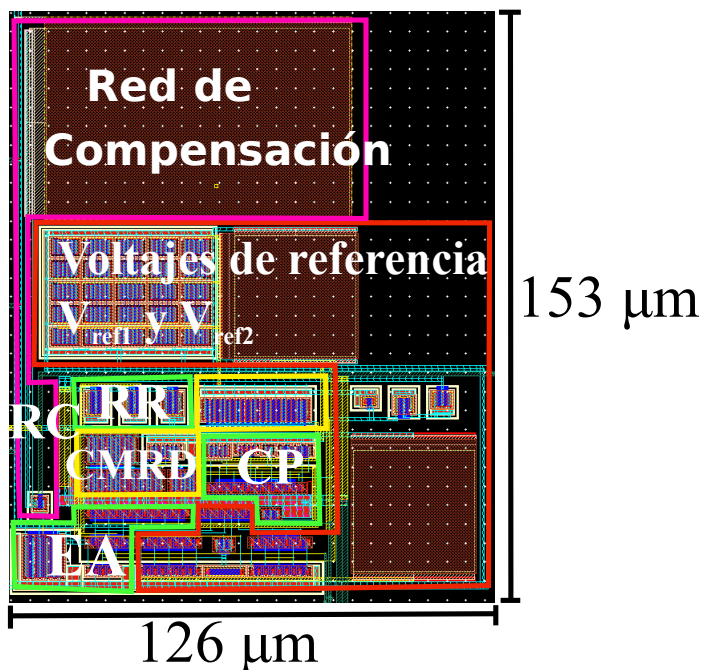


Figura A.1: Layout del regulador LDO: (EA) Amplificador de error, (CMRD) Circuito de mejora de respuesta dinámica, (RR) Red de retroalimentación, (CP) Circuito de protección, (RC) red de compensación

A.1. Layout del transistor de paso

Debido a que el transistor de paso M_{pass} es el elemento de mayor dimensión, es de vital importancia realizar un layout adecuado para minimizar tanto el área como los elementos parásitos inherentes a la fabricación. Existen dos técnicas principales para el diseño del layout de este tipo de transistores de potencia: Multi-finger y Regular waffle [30, 31], mostradas en la Figura A.2.

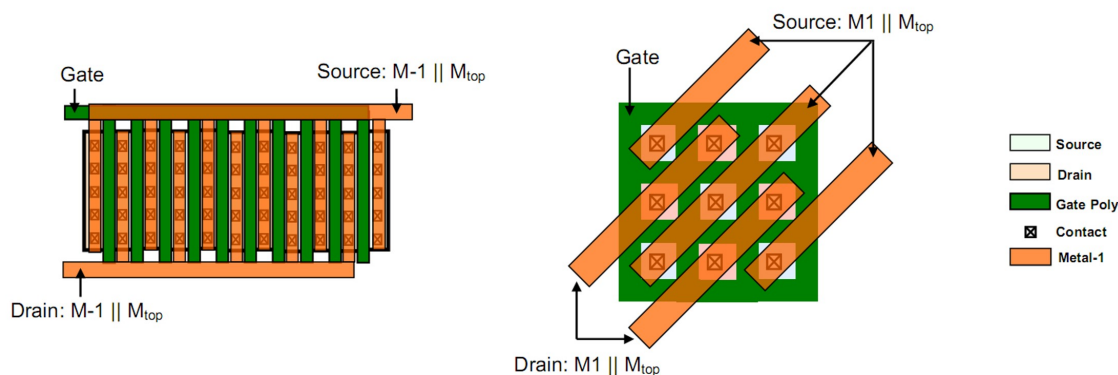


Figura A.2: Técnicas de layout, Multi-finger (izquierda), Regular Waffle (derecha) [30]

Una de las ventajas de la técnica Waffle es el menor consumo de área activa, lo que reduce las capacitancias parásitas, mejora la velocidad del transistor y proporciona una menor resistencia de encendido. Sin embargo, las estructuras waffle no están provistas de conexión a sustrato, siendo utilizado en combinación con un sustrato altamente dopado, haciéndolo susceptible a problemas de latch-up. Por otra parte, la técnica en Multi-finger reduce la capacitancia parásita del transistor, pero para transistores de potencia tiene la desventaja de incrementar la resistencia de interconexión, y los parásitos entre compuerta y sustrato.

A pesar de que la opción más adecuada a priori para implementar el transistor de paso es la técnica Waffle, al considerar el entorno de diseño utilizado para la realización del layout, la estructura waffle resulta más complicada de utilizar debido a que las herramientas para realizar el Layout vs. Schematic (LVS) y la extracción de los elementos, no reconocen elementos que no se encuentren dentro de sus librerías. Por esta razón el transistor de paso se ha implementado utilizando la estructura Multi-finger, tal como se detalla en el Capítulo 5, Sección 5.1.

Bibliografía

- [1] I. Pappas, V. Kalenteridis, S. Siskos, and S. Vlassis, “A complete over-current/short-circuit protection system for Low-Drop Out regulators,” in *VLSI and System-on-Chip, 2012 (VLSI-SoC), IEEE/IFIP 20th International Conference on*, Oct 2012, pp. 303–306.
- [2] L. Chuan and F. Quan-yuan, “Design of current limiting circuit in low dropout linear voltage regulator,” in *Microwave Conference Proceedings, 2005. APMC 2005. Asia-Pacific Conference Proceedings*, vol. 2, Dec 2005, pp. 4 pp.–.
- [3] J. De Lima and W. Pimenta, “A current limiter for LDO regulators with internal compensation for process and temperature variations,” in *Circuits and Systems, 2008. ISCAS 2008. IEEE International Symposium on*, May 2008, pp. 2238–2241.
- [4] Y.-C. Hung and D.-J. Ceng, “A Sub-1 V CMOS LDO Regulator with Multiple Protections Capabilities,” in *Computer, Consumer and Control (IS3C), 2014 International Symposium on*, June 2014, pp. 800–803.
- [5] D. Linden and T. B. Reddy, *Handbook of Batteries*, 3rd ed. McGraw-Hill, 2001.
- [6] G. Rincon-Mora, *Analog IC Design with Low-Dropout Regulators (LDOs)*, 1st ed. New York, NY, USA: McGraw-Hill, Inc., 2009.
- [7] C.-W. Kok and W.-S. Tam, *CMOS Voltage References: An Analytical and Practical Perspective*, 1st ed. Wiley-IEEE Press, 2013.
- [8] G. A. R. Mora, “Current Efficient, Low Voltage, Low Drop-out Regulators,” Ph.D. dissertation, Georgia Institute of Technology, 1996.
- [9] C. Simpson, *Linear and Switching Voltage Regulator Fundamentals*, National Semiconductor.

- [10] *Technical Review of Low Dropout Voltage Regulator Operation and Performance*, Texas Instruments.
- [11] S. R. Patri and K. S. R. K. Prasad, "A Robust Low-Voltage On-Chip LDO Voltage Regulator in 180nm," *VLSI Design*, vol. 2008, pp. 1–7, 2008.
- [12] G. Giustolisi, G. Palumbo, and E. Spitale, "Robust Miller Compensation With Current Amplifiers Applied to LDO Voltage Regulators," *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol. 59, no. 9, pp. 1880–1893, Sept 2012.
- [13] R. Milliken, J. Silva-Martinez, and E. Sanchez-Sinencio, "Full On-Chip CMOS Low-Dropout Voltage Regulator," *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol. 54, no. 9, pp. 1879–1890, Sept 2007.
- [14] X. Ming, Q. Li, Z. kun Zhou, and B. Zhang, "An Ultrafast Adaptively Biased Capacitorless LDO With Dynamic Charging Control," *Circuits and Systems II: Express Briefs, IEEE Transactions on*, vol. 59, no. 1, pp. 40–44, Jan 2012.
- [15] J.-J. Chen, F.-C. Yang, C.-M. Kung, B.-P. Lai, and Y.-S. Hwang, "A capacitor-free fast-transient-response LDO with dual-loop controlled paths," in *Solid-State Circuits Conference, 2007. ASSCC '07. IEEE Asian*, Nov 2007, pp. 364–367.
- [16] H.-C. Yang, M.-H. Huang, and K.-H. Chen, "High-PSR-bandwidth Capacitor-free LDO Regulator with $50\mu A$ Minimized Load Current Requirement for Achieving High Efficiency at Light Loads," *WSEAS Trans. Cir. and Sys.*, vol. 7, no. 5, pp. 428–437, May 2008. [Online]. Available: <http://dl.acm.org/citation.cfm?id=1482066.1482078>
- [17] V. Gupta and G. Rincon-Mora, "A 5mA $0.6\mu m$ CMOS Miller-Compensated LDO Regulator with -27dB Worst-Case Power-Supply Rejection Using 60pF of On-Chip Capacitance," in *Solid-State Circuits Conference, 2007. ISSCC 2007. Digest of Technical Papers. IEEE International*, Feb 2007, pp. 520–521.
- [18] C. Zhan and W.-H. Ki, "A high-precision low-voltage low dropout regulator for SoC with adaptive biasing," in *Circuits and Systems, 2009. ISCAS 2009. IEEE International Symposium on*, May 2009, pp. 2521–2524.
- [19] H. Luo and L. Siek, "An output-capacitor-less low-dropout voltage regulator with high power supply rejection ratio and fast load transient response using boosted-input-transconductance structure," in *Electron Devices and Solid-State Circuits (EDSSC), 2015 IEEE International Conference on*, June 2015, pp. 447–450.

- [20] europractice, “UMC 0.18 μ m technology overview.” [Online]. Available: http://www.europractice-ic.com/technologies_UMC.php?tech_id=018um
- [21] J. Torres, M. El-Nozahi, A. Amer, S. Gopalraju, R. Abdullah, K. Entesari, and E. Sanchez-Sinencio, “Low Drop-Out Voltage Regulators: Capacitor-less Architecture Comparison,” *Circuits and Systems Magazine, IEEE*, vol. 14, no. 2, pp. 6–26, Second-quarter 2014.
- [22] Y.-I. Kim and S.-S. Lee, “Fast transient capacitor-less LDO regulator using low-power output voltage detector,” *Electronics Letters*, vol. 48, no. 3, pp. 175–177, February 2012.
- [23] C.-H. Wu and L.-R. Chang-Chien, “Design of the output-capacitorless low-dropout regulator for nano-second transient response,” *Power Electronics, IET*, vol. 5, no. 8, pp. 1551–1559, September 2012.
- [24] X. Qu, Z. kun Zhou, B. Zhang, and Z.-J. Li, “An Ultralow-Power Fast-Transient Capacitor-Free Low-Dropout Regulator With Assistant Push-Pull Output Stage,” *Circuits and Systems II: Express Briefs, IEEE Transactions on*, vol. 60, no. 2, pp. 96–100, Feb 2013.
- [25] M. Al-Shyoukh and H. Lee, “A current-limiter-based soft-start scheme for linear and low-dropout voltage regulators,” in *Circuits and Systems (ISCAS), Proceedings of 2010 IEEE International Symposium on*, May 2010, pp. 2738–2741.
- [26] H. Traff, “Novel approach to high speed CMOS current comparators,” *Electronics Letters*, vol. 28, no. 3, pp. 310–312, Jan 1992.
- [27] D. Freitas and K. Current, “CMOS current comparator circuit,” *Electronics Letters*, vol. 19, no. 17, pp. 695–697, August 1983.
- [28] S. K. Lau, P. Mok, and K. N. Leung, “A Low-Dropout Regulator for SoC With Q-Reduction,” *Solid-State Circuits, IEEE Journal of*, vol. 42, no. 3, pp. 658–664, March 2007.
- [29] K. N. Leung and P. Mok, “A capacitor-free CMOS low-dropout regulator with damping-factor-control frequency compensation,” *Solid-State Circuits, IEEE Journal of*, vol. 38, no. 10, pp. 1691–1702, Oct 2003.
- [30] A. Yoo, “Design, Implementation, Modeling and Optimization of Next Generation Low-Voltage Power MOSFETs,” Ph.D. dissertation, University of Toronto, 2010.

- [31] A. Yoo, M. Chang, O. Trescases, and J. Ng, “High Performance Low-Voltage Power MOSFETs with Hybrid Waffle Layout Structure in a $0.25\mu\text{m}$ Standard CMOS Process,” in *Power Semiconductor Devices and IC's, 2008. ISPSD '08. 20th International Symposium on*, May 2008, pp. 95–98.