



**I
N
A
O
E**

Diseño de un oscilador de anillo

Controlado Digitalmente en tecnología CMOS

Por

Ing. Luis Carlos Álvarez Simón

Tesis sometida como requisito parcial para obtener el
grado de

Maestro en Ciencias en la especialidad de Electrónica

En el

**Instituto Nacional de Astrofísica Óptica y
Electrónica**

Febrero del 2010

Tonantzintla, Puebla

Supervisada por:

Dr. Alejandro Díaz Sánchez.

Dr. José Miguel Rocha Pérez

©INAOE 2010

Derechos Reservados

El autor otorga al INAOE el permiso de reproducir y distribuir copias de esta tesis en su totalidad o en partes.



Resumen

En el presente trabajo se realiza el análisis de la celda básica de Maneatis con degeneración en fase basada en redes de retroalimentación, enfocándose al efecto que produce la introducción de un buffer en las cargas simétricas. Con los resultados obtenidos, se obtienen tres topologías que permiten construir osciladores de anillo de dos etapas en un rango de frecuencias de 1GHz a potencias alrededor de $900\mu\text{W}$, de manera que la técnica de degeneración en fase con el uso de un buffer presenta un gran potencial para aplicaciones de bajo consumo de potencia. Tres osciladores son diseñados usando un proceso de UMC CMOS de $0.18\mu\text{m}$ con una capa de polisilicio y 6 niveles de metal:

1.- Oscilador de anillo de dos etapas con señales de salida en cuadratura: En esta topología, además del uso del buffer, es necesario transistores de compuerta flotante para la modificación de las cargas simétricas, requiriendo por lo tanto de unos capacitores que, a pesar de ser de unos cuantos femto Faradios, consumen gran cantidad de área.

2.- Oscilador de anillo de dos etapas con oscilaciones en modo común: En esta topología no es necesario el uso de transistores de compuerta flotante y, por ende, el consumo de área se reduce más del 50% con respecto al anterior. Se le ha denominado en modo común debido a que la modificación de las cargas simétricas provoca que la ganancia de la celda de retardo esté por encima de 0dB con señales de entrada en modo común, de tal manera que a una determinada frecuencia se cumple con los criterios de oscilación para oscilar con dos etapas. La desventaja de ésta comparada con la topología anterior es que, al operar las celdas en modo común, sólo se obtienen señales desfasadas 180° y, por ende, no es posible la obtención de las señales en cuadratura.

3.- Oscilador controlado digitalmente (DCO): La modificación de las cargas simétricas permite que la frecuencia de oscilación ahora dependa directamente de la celda de retardo que es introducida en dichas cargas. Con base a esto, se propone una celda que modifica su respuesta en frecuencia mediante una palabra digital, de tal manera que, al implementar un oscilador de anillo de dos etapas, su frecuencia de oscilación depende linealmente de la palabra digital de entrada. En términos más simples, la degeneración en fase es usada como método de programación de la frecuencia de oscilación.

Para verificar el desempeño del método de degeneración en fase se diseña un oscilador de dos etapas para trabajar en el rango de 915MHz, junto con los circuitos auxiliares para su operación: circuitos de polarización, buffer de entrada y los buffer de salida. Se realiza el layout (patrón geométrico) completo para su fabricación, el cual ocupó un área de 0.004mm². Finalmente, como ejemplo de aplicación del lenguaje de descripción de hardware en los sintetizadores de frecuencia, se implementa un sistema ADPLL (Lazo de amarre de fase completamente digital).

Agradecimientos

Este trabajo no hubiera sido posible sin el apoyo de las personas que me han compartido sus conocimientos durante el transcurso de mi vida profesional, así como las distintas instituciones que me brindaron la infraestructura para realizarlos.

- A mis asesores Dr. Alejandro Díaz S. y Dr. José Miguel Rocha por darme la oportunidad de trabajar junto con ellos.
- Al Dr. Mariano Jiménez por brindarme su apoyo incondicional para resolver los problemas con la herramienta de simulación.
- A mis sinodales: Dr. Guillermo Espinosa, Dra. M. Teresa Sanz y Dr. Mónico Linares por la atención prestada a este trabajo y sus valiosas observaciones.
- A mi compañero Arturo Navarro por apoyarme en la simulación de los circuitos usando el software CADENCE, esto fue posible mediante la estancia que realizó en la Universidad de Sevilla.
- A mis compañeros por su ayuda y compañía en los momentos difíciles.
- Al INAOE por enseñarme el verdadero sabor de la curiosidad científica.
- Al CONACYT por la beca otorgada para mi sustento económico.

A las personas que más amo en la vida

Mis padres (Fidel y Elvia) y

Hermanos (Hugo, Rocío, Concha, Miguel Ángel y Rafael)

Índice

RESUMEN	I
AGRADECIMIENTOS	III
CAPÍTULO 1	1
INTRODUCCIÓN	1
1.1 IMPORTANCIA DE CMOS EN RF	2
1.2 OBJETIVOS	4
1.3 ORGANIZACIÓN DE LA TESIS	5
CAPÍTULO 2	7
MARCO TEÓRICO	7
2.1 FUNDAMENTOS DEL DISEÑO DE OSCILADORES DE ANILLO	7
2.1.1 <i>Condiciones de oscilación</i>	7
2.1.2 <i>Osciladores de anillo</i>	10
2.1.2.1 Parámetros de los osciladores	12
2.2 VISIÓN GENERAL SOBRE SÍNTESIS DE FRECUENCIA	18
2.2.1 <i>Lazo de amarre de fase (PLL)</i>	21
2.2.1.1 Principio de operación	21
2.2.1.2 Clasificación de PLLs	23
CAPÍTULO 3	27
DISEÑO DE OSCILADORES DE ANILLO POR DEGENERACIÓN EN FASE	27
3.1 INTRODUCCIÓN	27
3.2 ANÁLISIS DE LA DEGENERACIÓN EN FASE	28
3.2.1 <i>Elementos básicos</i>	29
3.2.1.1 Transistores de compuerta flotante y quasi-flotante	29
3.2.1.2 Celda de Maneatis	31

3.2.1.3	Seguidor de voltaje	34
3.2.2	<i>Degeneración en fase usando el seguidor de voltaje</i>	37
3.2.2.1	Oscilador de dos etapas por degeneración en fase	45
3.2.3	<i>Degeneración en fase modificada</i>	50
3.2.3.1	Oscilador de dos etapas (degeneración modificada).....	55
3.3	OSCILADOR DE DOS ETAPAS A 915 MHZ.....	57
3.4	OSCILADOR CONTROLADO DIGITALMENTE (PROPUESTO)	66
CAPÍTULO 4	77
	SIMULACIÓN DE UN ADPLL EN VHDL.....	77
4.1	INTRODUCCIÓN	77
4.2	ARQUITECTURA DEL SISTEMA.....	78
4.2.1	<i>Estructura de los bloques</i>	83
4.3	SIMULACIÓN DEL ADPLL.....	89
CAPÍTULO 5	93
	CONCLUSIONES Y TRABAJO FUTURO.....	93
APÉNDICE A	97
	ESQUEMÁTICOS DE LOS OSCILADORES Y DIMENSIONES ASIGNADAS A LOS TRANSISTORES	97
APÉNDICE B	103
	CÓDIGOS EN VHDL DEL ADPLL	103
ÍNDICE DE FIGURAS	115
ÍNDICE DE TABLAS	119
REFERENCIAS	121

Capítulo 1

Introducción

Los avances tecnológicos en el campo de los circuitos integrados (CIs) han permitido un enorme crecimiento en los sistemas móviles de comunicación inalámbrica. Esto ha sido posible mediante el escalamiento de la tecnología, con lo que se obtiene un mayor nivel de integración, incremento de la velocidad, baja disipación de potencia, y lo más importante para la competitividad en el mercado, el bajo costo. El desarrollo tecnológico de los CIs ha girado en torno a la integración de sistemas completos en un solo chip (tecnología System on Chip (SoC)), conteniendo la parte digital, memoria, circuitos en modo mixto y circuitos de radiofrecuencia (RF). Los circuitos analógicos generalmente consumen una gran cantidad de área debido a los elementos pasivos contenidos, además del incremento en el costo para su diseño ya que no se adaptan al flujo de diseño digital (diseño top-down), siendo necesario un rediseño completo para el traslado a los diferentes nodos de tecnología. Esto ha llevado a la necesidad de encontrar soluciones usando arquitecturas digitales para realizar las funciones que tradicionalmente se implementaban con arquitecturas analógicas, de manera

que se adapten al flujo de diseño digital y, por lo tanto, reducir el costo. Un ejemplo claro de un sistema indispensable en sistemas de comunicación que ha tendido a la implementación digital es el lazo de amarre de fase (PLL), que en la actualidad está siendo remplazado por un lazo de amarre de fase completamente digital (ADPLL).

El desarrollo de sistemas de comunicación inalámbrica y sensores integrados a un bajo costo, baja potencia y dimensiones pequeñas, ha motivado el surgimiento y desarrollo de las redes de área corporal (Body Area Networks (BAN)). En la Figura 1.1 se muestra una visión de este sistema para el 2010, que consiste en un conjunto de sensores implantados en el cuerpo con la capacidad de comunicarse de manera inalámbrica con los otros nodos sensores o a un nodo central, el cual a su vez se comunica con el mundo exterior mediante un sistema de comunicación estándar, de tal manera que éste se mantenga comunicado con los diferentes servicios médicos.

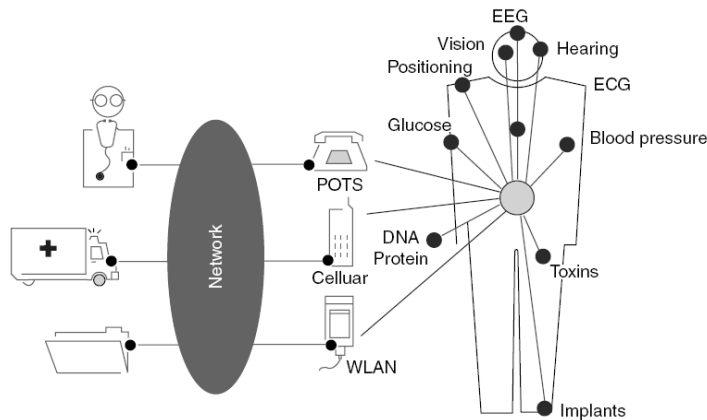


Figura 1.1 Visión del desarrollo de la tecnología (BAN) [1].

1.1 Importancia de CMOS en RF

De acuerdo a las dimensiones mínimas de la litografía, se le asigna una denominación a la tecnología de los semiconductores, como por ejemplo

180nm, 90nm, etc., la cual representa la longitud mínima del canal de compuerta de un transistor MOS en la tecnología correspondiente. Este escalamiento contribuye al aumento de la frecuencia de transición (f_T) del transistor, y en la actualidad la tecnología CMOS es factible para diseños de circuitos de RF. En la Figura 1.2 se muestra la frecuencia de transición para distintos nodos de tecnología junto con la proyección 2003 del International Technology Roadmap for semiconductors (ITRS), en dicha figura se observa que la frecuencia de transición de las tecnologías CMOS actuales están ya por encima de los 100GHz.

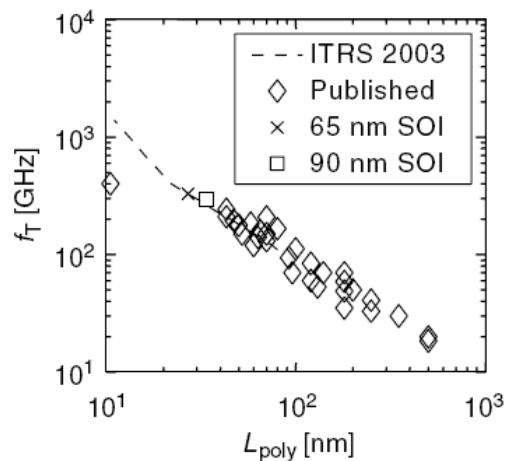


Figura 1.2 Datos reportados de la frecuencia de transición contra longitud de compuerta [1].

El mercado de los circuitos integrados para aplicaciones inalámbricas ha estado dominado por los transistores bipolares con heteroestructuras implementadas en tecnología (BiCMOS), ya que estos ofrecen, además de una elevada frecuencia de transición, una transconductancia más alta y menor ruido flicker, entre otros. Sin embargo, con el aumento de la frecuencia de la tecnología CMOS debida al escalamiento, ésta ha ido sustituyendo a las heteroestructuras en aplicaciones en las que es posible cubrir las especificaciones de ruido y frecuencia. Además, la tecnología CMOS ofrece otras características más atractivas para el mercado como son la reducción del costo, baja potencia y alta densidad de integración. Un

ejemplo de ello se muestra en la Figura 1.3, en la cual se observa un transceptor como parte de un sistema SoC fabricado en un Proceso CMOS digital de 90nm.

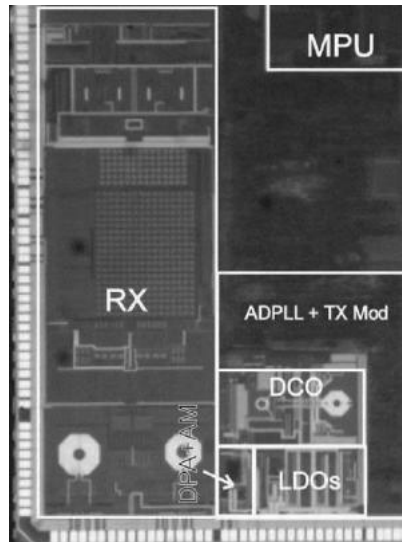


Figura 1.3 Fotografía de un dado con sistema SoC [2].

1.2 Objetivos

En este trabajo se plantean los siguientes objetivos:

- Analizar y diseñar osciladores de anillo de dos etapas basadas en la celda de Maneatis con degeneración en fase.
- Diseñar un oscilador controlado digitalmente, usando la degeneración en fase como método de programación de la frecuencia.
- Simular un sistema ADPLL en el lenguaje de descripción de hardware VHDL.

1.3 Organización de la tesis

El presente trabajo se encuentra dividido en 5 capítulos.

- En el capítulo 1 se da una breve introducción sobre el impacto del escalamiento de la tecnología CMOS en la tendencia tecnológica, además de los objetivos y organización de la tesis.
- En el capítulo 2 se dan los fundamentos básicos para el diseño de osciladores de anillo, así como una visión general de los tipos de sintetizadores de frecuencia, dando una mayor importancia a los basados en PLL debido a que son los más ampliamente usados en los sistemas de comunicación móviles de RF.
- En el capítulo 3 se proporciona el análisis detallado de la celda básica de Maneatis degenerada en fase y, con los resultados obtenidos sobre su comportamiento en frecuencia, se diseñan osciladores de anillo de dos etapas con comportamientos distintos dependiendo de la forma de degeneración de la fase. Además, se presenta el diseño de un oscilador controlado digitalmente usando la degeneración en fase como método de programación.
- En el capítulo 4 se presenta un ejemplo de implementación en VHDL de un sistema ADPLL, abordando de forma general cada uno de los bloques que lo constituyen.
- Finalmente, en el capítulo 5 se presentan las conclusiones del trabajo y las perspectivas a futuro.

Capítulo 2

Marco teórico

2.1 Fundamentos del diseño de osciladores de anillo

Un oscilador es un circuito con la capacidad de generar una señal de salida periódica sin ninguna excitación aplicada en su entrada. La pureza espectral de la señal generada es uno de los retos más desafiantes en los sistemas de comunicación de RF y en sistemas digitales sincronizados, ya que ello determinará en gran medida la correcta operación del sistema completo en el cual se aplique.

2.1.1 Condiciones de oscilación

En el diseño de la mayor parte de sistemas retroalimentados se pone especial énfasis en evitar la inestabilidad. Caso contrario sucede en el diseño de osciladores, ya que en este tipo de sistemas se busca obtener las condiciones de inestabilidad para que el circuito oscile.

Uno de los métodos que define las condiciones de oscilación de un circuito es mediante la teoría de retroalimentación (feedback).

Considere el sistema de retroalimentación básico mostrado en la Figura 2.1, siendo $H(s)$ la ganancia del amplificador y $\beta(s)$ el factor de la línea de retroalimentación. La ganancia en lazo abierto del sistema está dada por $H(s)$, debido a que es la ganancia entre la entrada y la salida cuando la línea de retroalimentación se abre, es decir, cuando $v_f=0$.

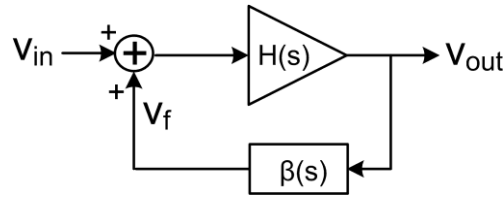


Figura 2.1 Circuito de retroalimentación básica.

La retroalimentación negativa (deseable en el diseño de sistemas estables) sucede cuando la señal de retroalimentación v_f es sustraída de la señal de entrada. Cuando ambas señales se suman ocurre la retroalimentación positiva (deseable en diseño de osciladores). Por lo tanto, el hecho de que ocurra retroalimentación positiva o negativa dependerá de la fase de v_f , la cual está determinada por el desfaseamiento que produzca la ganancia del lazo $H(s)\beta(s)$. Por lo tanto, para que exista retroalimentación positiva se deberá asegurar que el desplazamiento en fase asociada a la ganancia del lazo $H(s)\beta(s)$ sea igual a 0° o un múltiplo de 360° de tal manera que las señales v_{in} y v_f de la Figura 2.1 se encuentren en fase.

La función de transferencia del sistema de la Figura 2.1 está dada por:

$$Av(s) = \frac{v_{out}}{v_{in}} = \frac{H(s)}{1 - H(s)\beta(s)} \quad (2.1)$$

Para el caso de osciladores, una señal de salida debe existir sin una señal aplicada a la entrada. Así con $v_{in}=0$ en (2.1), sugiere que una señal de salida v_{out} finita solo es posible si el denominador es igual a cero. De manera que

$$H(s)\beta(s) = 1 \quad (2.2)$$

Esta ecuación establece que la ganancia del lazo debe ser igual a uno para que las oscilaciones sean posibles.

En resumen, si un circuito retroalimentado como el de la Figura 2.1 tiene una ganancia de lazo que satisface las siguientes condiciones:

$$|H(s)\beta(s)| \geq 1 \quad (2.3)$$

$$\angle H(s)\beta(s) = \pm n360 \quad \text{donde } n = 0,1,2,\dots \quad (2.4)$$

entonces el circuito puede oscilar. Estas condiciones son conocidas como “criterios de Barkhausen”. Cabe mencionar que el criterio de la fase podría también estar determinado como:

$$\angle H(s)\beta(s) = \pm n180 \quad (2.5)$$

si el sistema tiene una retroalimentación negativa a baja frecuencia, es decir, que produce un desplazamiento en fase de 180° en DC en el trayecto del lazo, la cual está representada con la substracción en la Figura 2.2.

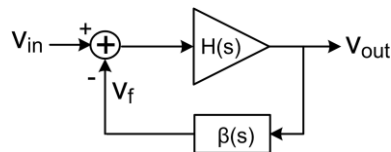


Figura 2.2 Circuito con retroalimentación negativa a baja frecuencia.

Cualitativamente, y desde el punto de vista de la localización de los polos, sabemos que las oscilaciones ocurren cuando un sistema contiene dos polos complejos conjugados sobre el eje imaginario. No obstante, en un

oscilador electrónico éstos no se encuentran exactamente sobre el eje imaginario. Esto se debe a los mecanismos no-lineales de la ganancia del lazo, provocados por la saturación del amplificador al estar operando a gran señal, de tal manera que modifican la ubicación de dichos polos. En el inicio de la oscilación, un par de polos complejos conjugados de la ganancia en lazo cerrado de la ecuación (2.1) deberán existir en el plano derecho, entonces debido al ruido en el sistema, una señal de salida sinusoidal comenzará a crecer mediante la retroalimentación positiva. Conforme la amplitud de la señal de salida incrementa, las características de limitación de amplitud tales como reducción de la ganancia hacen que los polos se muevan directamente hacia el eje imaginario, los cambios son tales que los polos llegan al plano izquierdo, una vez en este plano la amplitud comienza a decrecer ocasionando ahora que los polos se muevan directo hacia el plano derecho. El movimiento del plano derecho a izquierdo y viceversa se repite continuamente, produciendo una oscilación con una frecuencia fundamental en estado estable. En conclusión, para que las oscilaciones inicien, el circuito deberá ser inestable. Una vez provocado esto, los criterios de Barkhausen pueden ser usados para predecir de una manera aproximada la frecuencia fundamental.

2.1.2 Osciladores de anillo

Los osciladores de anillo consisten en un número de etapas de ganancia conectadas en cascada formando un lazo cerrado. El número de etapas depende del desplazamiento en fase dependiente en frecuencia que se desee y/o se pueda conseguir en cada etapa, de manera que el desplazamiento en fase en todo el lazo cumpla con los criterios de Barkhausen para obtener oscilaciones. En la Figura 2.3 se muestra un oscilador de anillo de tres etapas en donde cada una consiste de un amplificador de fuente común teniendo un solo polo, por ende, proporciona como máximo un desplazamiento en fase dependiente en frecuencia de 90°

a una frecuencia infinita y un desplazamiento en fase de 180° en dc debido a la inversión de la señal de compuerta a drenaje. Con las tres etapas en cascada se obtiene un circuito con tres polos, pudiendo conseguir un desplazamiento en fase de -135° a la frecuencia del polo y -270° a una frecuencia infinita. Cada etapa proporciona un desfase de -60° y se consiguen los -180° a una frecuencia en donde la ganancia del lazo es igual o mayor a la unidad, de manera que se cumplen los criterios de Barkhausen, obteniéndose oscilaciones cuyas formas de onda de cada nodo se muestran en la Figura 2.3, las señales tienen un desfase de 120° (o 240°) entre ellas.

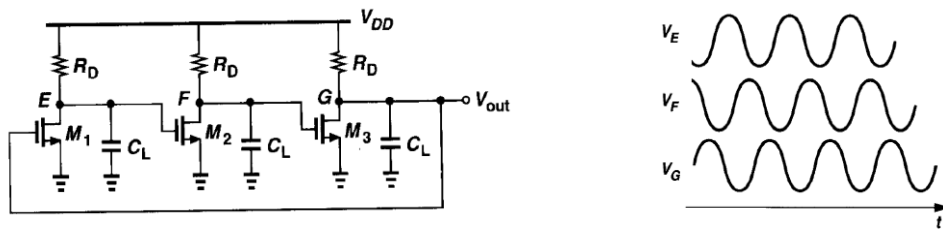


Figura 2.3 Oscilador de anillo de tres etapas[3]

El oscilador de anillo de tres etapas mostrado anteriormente tiene como celda de retardo un circuito de terminación simple (amplificador de fuente común). Esto conlleva a la necesidad de tener un número impar de etapas para mantener el desfase de 180° en DC. En algunas aplicaciones es necesario obtener señales en cuadratura (señales desfasadas 90°) además de un mejor rechazo al ruido de alimentación y sustrato. Una celda de retardo diferencial permite formar osciladores de anillo con un número par de etapas simplemente configurando una de las etapas para que no invierta la señal a bajas frecuencias. En la Figura 2.4 se muestra un oscilador de cuatro etapas, en el cual cada etapa aporta 45° de desfase.

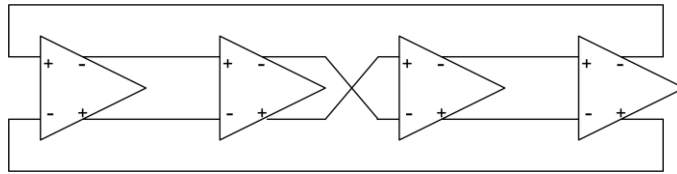


Figura 2.4 Oscilador de anillo de cuatro etapas

La frecuencia de oscilación en un oscilador de anillo está determinada por el número de etapas N y el retardo por etapa t_d , mediante la siguiente relación:

$$f_{osc} = \frac{1}{2Nt_d} \quad (2.6)$$

De esta ecuación vemos que hay dos maneras de incrementar la frecuencia: mediante la disminución del retardo de la celda, o bien a través de la reducción del número de etapas. La reducción de N resulta atractiva no sólo para el aumento de la frecuencia, sino también para la reducción del consumo de potencia. Sin embargo, para obtener señales en cuadratura el mínimo número de etapas es $N=2$, ello implica buscar nuevas arquitecturas que permitan obtener un desfase mayor o igual a 90° a una frecuencia en la cual la ganancia esté por encima de la unidad para cumplir con los criterios de Barkhausen, requiriendo por lo tanto, circuitos de retardo con más de un polo.

2.1.2.1 Parámetros de los osciladores

En la mayoría de las aplicaciones es necesario que la frecuencia del oscilador sea controlable en un cierto rango de frecuencias mediante una señal de control, y dependiendo del tipo de señal con que se controle se obtienen diferentes denominaciones, que por lo general son tres:

- **Control por corriente:** denominados como osciladores controlados por corriente (CCO).

- **Control por voltaje:** Conocidos como osciladores controlados por voltaje (VCO).
- **Control digital:** Este tipo de osciladores son controlados mediante una palabra digital, por ende son denominados osciladores controlados digitalmente (DCO). Un DCO puede también estar constituido por un VCO o un CCO con un convertidor digital-analógico (DAC) en la entrada, conformando un bloque con una señal de entrada digital controlando la frecuencia de salida.

En la Figura 2.5 se muestra la curva característica de un VCO ideal cuya frecuencia de salida es una función lineal del voltaje de control:

$$f_{out} = f_0 + K_{VCO} V_{ctr} \quad (7)$$

En donde f_0 representa la frecuencia con la señal de control a cero $V_{ctr}=0$ y K_{VCO} es la ganancia del oscilador expresado en (Hz/V)

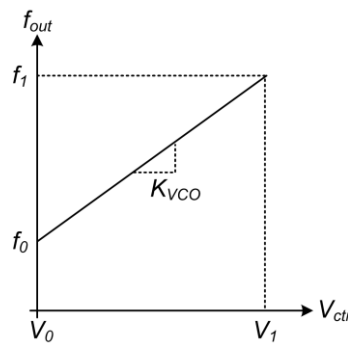


Figura 2.5 Característica de un VCO ideal

Los parámetros de desempeño de los osciladores se resumen a continuación:

Frecuencia central

Con base a la Figura 2.5, lo ideal es que el punto medio de la recta corresponda a la frecuencia central (cuyo valor depende de la aplicación), de

manera que se diseña el oscilador para tener un rango de entonado alrededor de ella.

Rango de entonado

Se refiere al rango de frecuencias en que el oscilador puede ser ajustado mediante la señal de control. Hay dos factores que habrán de tomarse en cuenta al momento de elegir dicho rango: uno es la variación de la frecuencia central debida a variaciones de PVT que se puedan presentar, y el otro se refiere al rango de frecuencias que deberá cubrir el oscilador para determinada aplicación. Con referencia a la Figura 2.5 el oscilador tiene un rango de entonado de f_0 a f_1 .

Linealidad del entonado

La linealidad del entonado se refiere a las variaciones de la ganancia del oscilador en todo el rango de entonado. Por ejemplo, en el VCO ideal de la Figura 2.5, la ganancia K_{VCO} permanece constante en todo el rango de entonado; sin embargo, en un oscilador práctico la ganancia exhibe no-linealidades, tal como se muestra en la Figura 2.6 en la cual se observa cómo la pendiente de la recta cambia a lo largo del rango de control. Dependiendo de la aplicación en que el oscilador se emplee, la variación de la ganancia puede degradar considerablemente el desempeño del sistema.

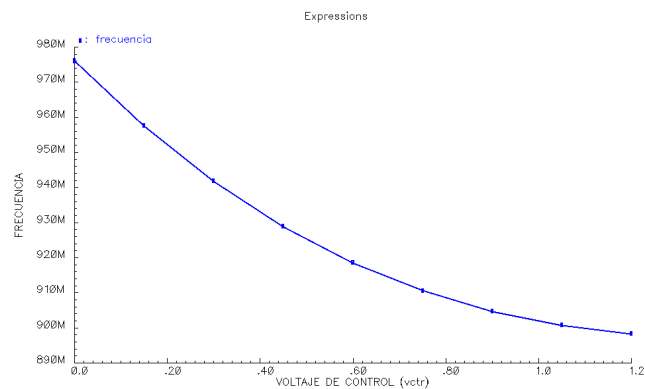


Figura 2.6 Característica no-lineal de un VCO

Amplitud de la señal de salida

Una amplitud de salida grande reduce la sensibilidad al ruido y, dependiendo de la arquitectura usada en la celda de retardo, la amplitud de la señal de salida puede variar considerablemente en el rango de entonado, así como también su consumo de potencia. En [4] demostraron que el ruido de fase se mantiene constante en todo el rango de entonado si la amplitud de la señal de salida se mantiene constante.

Disipación de potencia

Este es uno de los parámetros críticos en aplicaciones para dispositivos móviles, poniendo especial empeño en su optimización para alargar la vida útil de la batería. Sin embargo, involucra ciertos compromisos entre la velocidad y el ruido, haciendo necesaria la búsqueda de soluciones mediante nuevas arquitecturas que disminuyan dichos compromisos.

Rechazo a variaciones en modo común

En circuitos integrados de modo mixto, la mayor cantidad de ruido en sustrato y alimentación es introducido por los circuitos digitales. Una de las razones por la que se prefieren las topologías diferenciales en este tipo de ambientes es porque tienen un mejor rechazo al ruido en modo común comparado con su contraparte de terminación simple, aún cuando éstos últimos tienen un menor ruido de fase [5].

Dependencia a variaciones de PVT

Las variaciones de Proceso, voltaje y temperatura (PVT, Process-Voltage-Temperature) modifican el rango de entonado, de tal manera que no es posible entonar a la frecuencia de oscilación deseada. Por lo tanto, en el proceso de diseño es necesario aumentar el rango de entonado de tal

manera que la frecuencia deseada siempre permanezca dentro de ella ante variaciones de PVT.

Simetría de la señal de salida

En [6] se muestra que la obtención de una señal de salida simétrica (ciclo útil del 50%) reduce el ruido de fase ocasionado por el ruido flicker.

Estabilidad en frecuencia

La estabilidad en frecuencia se refiere a la capacidad del oscilador para mantener constante su frecuencia de oscilación con la señal de control constante.

La señal de salida de un oscilador ideal sinusoidal puede representarse como:

$$V(t) = A\sin(\omega t) \quad (8)$$

Sin embargo, en un oscilador práctico tanto la amplitud como la frecuencia sufren de fluctuaciones, debido principalmente al ruido térmico y flicker. Considerando estas variaciones, la señal de salida puede ser escrita como:

$$V(t) = A(t)\sin[\omega t + \phi(t)] \quad (9)$$

El ruido de amplitud es suprimido por las características de limitación de amplitud debido a la naturaleza no lineal del oscilador. Sin embargo, para los desplazamientos de la fase no hay fuerzas de restauración que los supriman, por lo que en los análisis sólo se consideran las variaciones de fase, despreciando las de amplitud. En la Figura 2.7 se muestra la diferencia entre un oscilador ideal y un oscilador con ruido de fase en el dominio de la frecuencia, siendo una función impulso a la frecuencia de oscilación para el oscilador ideal, mientras que en un oscilador práctico el ruido de fase

provoca que el espectro de frecuencias se extienda alrededor de la frecuencia de oscilación.

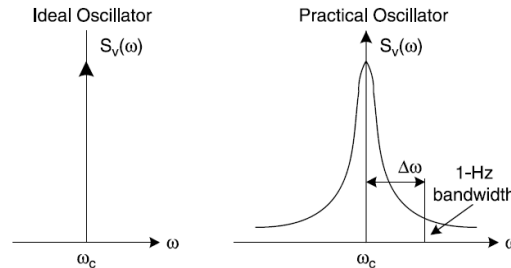


Figura 2.7 Espectro de salida de un oscilador ideal y práctico [7].

Un término usado comúnmente para cuantificar las inestabilidades es el ruido de fase en banda lateral única (SSB) (del inglés single-sideband), el cual tiene unidades de decibeles debajo de la portadora por Hertz (dBc/Hz) y está definido como

$$L\{\Delta\omega\} = 10 \log \left[\frac{P_{sideband}(\omega_0 + \Delta\omega, 1Hz)}{P_{carrier}} \right] \quad (10)$$

Donde $P_{sideband}(\omega_0 + \Delta\omega, 1Hz)$ representa la potencia de ruido en un ancho de banda de 1Hz a una frecuencia de offset de $\Delta\omega$ de la portadora (Figura 2.7). Una gráfica típica del ruido de fase de un oscilador se muestra en la Figura 2.8, en donde el espectro puede ser dividido en tres regiones: $1/\Delta f^3$, $1/\Delta f^2$ y $1/\Delta f^0$. Si sólo se tiene ruido blanco en el oscilador, la gráfica del ruido de fase será proporcional a $1/\Delta f^2$. El ruido flicker causa que el ruido de fase tenga una mayor pendiente a bajas frecuencias provocando que sea proporcional a $1/\Delta f^3$. Ambas regiones $1/\Delta f^2$ y $1/\Delta f^3$ son debidas al ruido de los dispositivos dentro del oscilador, mientras que la región $1/\Delta f^0$ es el ruido adicionado fuera del oscilador tales como el ruido del buffer de salida.

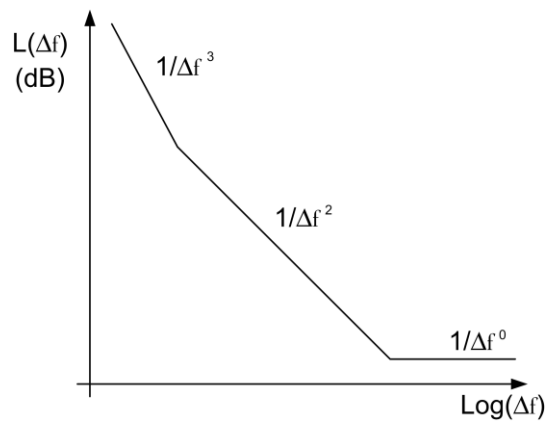


Figura 2.8 Espectro típico del ruido de fase de un oscilador

Para el análisis del ruido de fase se han propuesto varios modelos, los más conocidos son:

- **Modelo de Leeson [8]:** Este modelo está basado en osciladores con resonadores LC.
- **Modelo de Razavi [9]:** Está basado en una nueva definición del factor de calidad Q para VCO sin inductores, lo que lo hace adecuado para los osciladores de anillo CMOS.
- **Modelo de Hajimiri [5]:** Éste es un análisis más preciso, ya que toma en cuenta los efectos de la no-linealidad, varianza en el tiempo y ruido ciclo-estacionario, mediante un parámetro denominado función de sensibilidad al impulso (ISF o Γ).

2.2 Visión general sobre síntesis de frecuencia

Un sintetizador de frecuencias es un dispositivo que a partir de una frecuencia de referencia genera en su salida frecuencias que son múltiplos de la frecuencia de entrada, de tal manera que la estabilidad, exactitud y pureza espectral de la señal de salida tiene una correlación con la de la entrada. En la Figura 2.9 se muestra un bloque general de un sintetizador.

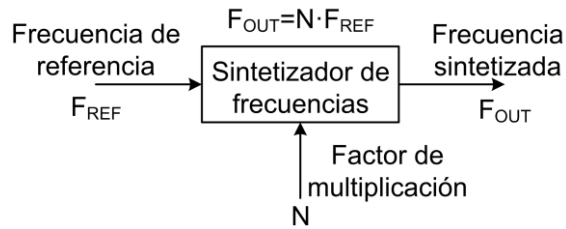


Figura 2.9 Síntesis de frecuencia

Las técnicas de síntesis de frecuencia principales son tres:

- Síntesis analógica directa:** las frecuencias de salida se obtienen mediante manipulaciones matemáticas escalonadas tales como multiplicaciones y divisiones. La calidad de la salida se correlaciona directamente con la de la señal de entrada por ser un proceso directo sin necesidad de procesos de corrección de error. A pesar de que se obtiene un desempeño en ruido de fase excelente, su alto costo y alto consumo de potencia lo hacen impráctico para aplicaciones portátiles de baja potencia.
- Síntesis digital directa (DDS):** Esta arquitectura de sintetizador se caracteriza por su alta velocidad de entonado y su alta resolución en frecuencia, pero el consumo de potencia puede ser excesivo a frecuencias de reloj elevadas. Un sistema DDS está constituido de cuatro bloques básicos: un acumulador de fase, una memoria de sólo lectura ROM, un convertidor digital-analógico (DAC) y un filtro pasa bajas. En la Figura 2.10 se muestra un DDS indicando la construcción de la señal en cada etapa.

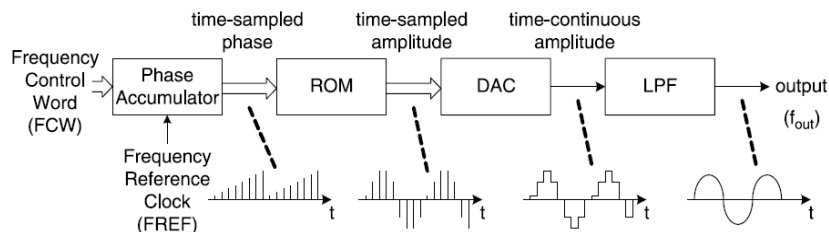


Figura 2.10 Esquema de la síntesis digital directa [7].

- **Síntesis indirecta o lazo de amarre de fase (PLL):** la mayoría de los sintetizadores inalámbricos para aplicaciones móviles usan una estructura de PLL. Comparado con el analógico directo consume menor potencia y tiene un bajo costo; y con respecto a DDS es posible sintetizar frecuencias mayores con menor consumo de potencia. Su principio de funcionamiento así como su clasificación se describen en la sección 2.2.1.

Cabe mencionar que una combinación de las diferentes técnicas de síntesis puede dar lugar a un sistema que aproveche las mejores características de cada una, obteniendo un mejor desempeño para ciertas aplicaciones.

Los sintetizadores de frecuencia son uno de los principales elementos en los sistemas móviles de RF que imponen un verdadero desafío, ya que éstos deberán cumplir los requerimientos de baja potencia, bajo voltaje y bajo costo para su implementación monolítica, además de ciertas especificaciones como ruido de fase. Generalmente el diseño de un sintetizador se evalúa considerando los siguientes criterios (en orden de importancia) [7].

- **Desempeño en ruido de fase:** las inestabilidades en frecuencia afectan el desempeño del sistema durante la transmisión y recepción.
- **Desempeño en el ruido de espurios discretos:** Componentes de frecuencia indeseadas aparecen en el espectro de salida del oscilador.
- **Velocidad de conmutación:** muy importante en sistemas de comunicación que usan los saltos de frecuencia o de canal, así como en sistemas con canal fijo tales como el sistema de acceso múltiple por división de tiempo (TDMA), el cual requiere rápido traslado entre celdas vecinas.

- **Rango de frecuencias:** El rango tiene que ser lo suficientemente amplio para cubrir la banda de frecuencias de la aplicación y las variaciones de proceso, voltaje y temperatura que puedan presentarse.
- **Consumo de potencia:** Para aumentar la duración de la batería en dispositivos móviles, el consumo de potencia debe ser el menor posible.
- **Tamaño:** En las tecnologías actuales el área que consume el sistema determina en mayor parte el costo.
- **Integrabilidad:** La capacidad del sistema para integrar todos sus elementos, siendo necesario evitar en mayor medida los elementos pasivos.
- **Costo:** Es el principal factor que ha motivado la integración total de los sistemas y el principal requisito para ser competitivo en el mercado actual.
- **Portatibilidad:** capacidad de transferir el diseño de una aplicación a otra, así como a los distintos nodos de tecnología, sin la necesidad de un rediseño completo del sistema.

2.2.1 Lazo de amarre de fase (PLL)

Un PLL es un sistema de retroalimentación negativa que sincroniza en fase y frecuencia la señal de un oscilador con una señal de referencia en la entrada, de tal manera que la frecuencia de salida es un múltiplo de la frecuencia de referencia.

2.2.1.1 Principio de operación

En la Figura 2.11 se muestra un diagrama a bloques de un PLL básico, el cual está compuesto de cuatro principales componentes:

1. **Detector de fase (DP):** Compara la señal de entrada con la frecuencia de salida del oscilador dividida por N y proporciona una señal de salida que es proporcional a la diferencia de fase de las dos señales.
2. **Filtro de lazo:** Este bloque es el encargado de suprimir los espurios producidos por el detector de fase que producen efectos de modulación en frecuencia del oscilador
3. **Oscilador controlado por voltaje (VCO):** Este bloque genera una señal periódica con una frecuencia variable proporcional al voltaje de entrada.
4. **Divisor de frecuencia:** La salida de este dispositivo es la frecuencia de salida del VCO dividida por un número N , de manera que la frecuencia de salida F_{VCO} es forzado a ser N veces la frecuencia de entrada, donde N puede ser un número entero o fraccional.

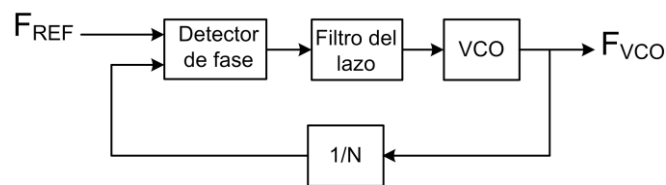


Figura 2.11 Diagrama a bloques de un PLL básico

EL principio de trabajo del PLL consiste en detectar continuamente la diferencia de fase y/o frecuencia entre la señal de entrada F_{REF} y la señal de salida del divisor mediante un detector de fase, el cual genera una señal de error que es proporcional a la diferencia de fase. Posteriormente, esta señal de error es filtrada y acondicionada para modificar la frecuencia del VCO, de manera que se reduzca el error. Como el PLL es un sistema de control de lazo cerrado, si se asegura la estabilidad del lazo el sistema alcanzará una condición de estado estable, donde el error de fase es cero o un valor constante. A este estado frecuentemente se le conoce como “locked”. Con

esto se obtiene una señal de salida cuya frecuencia es igual al de la entrada multiplicada por N.

$$F_{VCO} = N \cdot F_{REF} \quad (11)$$

Si el factor de multiplicación N es cambiado, el sistema modificará la frecuencia de salida para adaptarla a la nueva relación, de manera similar ocurre si la frecuencia de referencia varía. Por ende, si se usa una señal de referencia muy estable la frecuencia de salida del PLL será también estable.

2.2.1.2 Clasificación de PLLs

De acuerdo a la implementación de sus bloques, los tipos de PLL son clasificados en 4 categorías [10]:

PLL Lineal (LPLL): Todos los componentes son analógicos, usando como detector de fase un multiplicador analógico de cuatro cuadrantes, el cual proporciona en su salida un número de términos producidos por la multiplicación en la que el primer término corresponde al componente de “dc”, que es proporcional a la diferencia de fase entre las señales de entrada. Las componentes de “ac” son suprimidas mediante un filtro pasa bajas.

PLL Digital clásico (DPLL): A pesar de que se le conoce como digital no todos los elementos son digitales. En realidad es un sistema mixto que está compuesto de bloques analógicos y digitales. A diferencia del LPLL, en este tipo de PLL el detector de fase es implementado en forma digital, el cual puede realizarse con diferentes circuitos lógicos, siendo tres los más importantes [10]: compuerta EXOR, flip flop JK y un detector de fase-frecuencia (PFD). La salida del detector de fase generalmente consta de una serie de pulsos con un ciclo de trabajo proporcional a la diferencia de fase entre las señales de entrada, que posteriormente son acondicionados mediante un filtro pasa baja analógico.

PLL Completamente digital (ADPLL): El ADPLL consiste de la interacción de bloques digitales, los cuales usan una estructura lógica digital en vez de niveles de corriente o voltaje como en un LPLL o DPLL para conseguir el estado de amarre. El detector de fase en este caso entrega una palabra de salida proporcional a la diferencia de fase entre sus señales de entrada. Esta palabra digital es posteriormente acondicionada mediante un filtro digital. El VCO es remplazado por un oscilador controlado digitalmente (DCO) cuya frecuencia de salida es proporcional a la palabra digital de entrada. En muchas arquitecturas actuales se usan como parte del detector de fase un convertidor de Tiempo-digital (TDC) [11].

Software PLL (SPLL): El SPLL se implementa en dispositivos programables tales como microcontroladores y procesadores digitales de señal (DSP). El algoritmo puede ser diseñado de tal manera que el lazo de amarre de fase se comporte como un LPLL, un DPLL o un ADPLL.

El uso de sistemas de síntesis de frecuencia completamente digitales, como son los PLL completamente digitales (ADPLLs), ha tenido una gran atención en sistemas de transmisión inalámbricos, debido principalmente a la facilidad de integración al flujo de diseño digital típico para aplicaciones System on Chip (SoC), además de exhibir mejor inmunidad a la variación de proceso, voltaje y temperatura (PVT), comparado con los PLLs basados en bombas de carga. En este tipo de sistemas, el detector de fase proporciona una palabra digital que es proporcional a la diferencia de fase entre la señal de referencia y la señal retroalimentada, de manera que permite la reducción de las aportaciones no ideales de la bomba de carga, como son: el ruido térmico, problemas asociados con el mismatch de componentes y su envejecimiento, además de los efectos térmicos que modifican la operación del circuito una vez que se encuentra en operación. Por otro lado, las realizaciones, al ser casi totalmente digitales, permiten trabajar con voltajes reducidos y ser escalados casi directamente en otro proceso.

El oscilador controlado digitalmente (DCO) es uno de los componentes más importantes de un ADPLL (el otro es el detector de fase). Este tipo de osciladores evita cualquier control de entonado analógico, realizando el lazo de control del circuito en una implementación completamente digital. A pesar de que el oscilador sigue siendo analógico, la realización del lazo de control en forma digital permite evitar las aportaciones de offset inherentes a todo circuito analógico. Además, como los parámetros del filtro de lazo son numéricos, este puede ser cambiado fácilmente mediante la programación de los registros, en lugar del cambio de componentes requeridos en los PLLs basados en bombas de carga, obteniendo así la facilidad para migrar a diferentes tecnologías con menor costo de diseño.

Capítulo 3

Diseño de Osciladores de anillo por degeneración en fase

3.1 Introducción

El presente capítulo presenta el diseño de los osciladores de anillo por degeneración en fase, tomando como punto de partida la celda de retardo mostrada en la Figura 3.1, la cual fue propuesta en [12]. En dicho trabajo se mostró la viabilidad de realizar osciladores de anillo de dos etapas usando la adición de redes de retroalimentación que modifican la estabilidad del sistema. En primer lugar, se realiza un análisis detallado del proceso de degeneración de la fase de dicha celda, tomando en cuenta cada uno de los elementos que la conforman y su función. Como resultado de esto, se demuestra que el elemento principal que provoca la inestabilidad del sistema es el seguidor de voltaje representado como A1 y A2 en la Figura 3.1, de manera que abre las posibilidades para desarrollar nuevas topologías mediante la modificación de este elemento. Por otra parte, dicho análisis determina los criterios de diseño que se deberán cumplir para el correcto dimensionamiento de osciladores basados en este tipo de celdas. Posteriormente, se procede a implementar osciladores de anillo controlados

por voltaje de dos etapas con los cuales es posible realizar DCOs al anexar un DAC en la entrada. Finalmente, se diseña un VCO para funcionar en la banda médica de 915MHz, así como un DCO basado en la variación de la ubicación de los polos del seguidor de voltaje para el entonado de la frecuencia.

Para todos los circuitos diseñados en este capítulo se usó el archivo de tecnología UMC CMOS de 0.18 μ m con un polisilicio y 6 niveles de metal.

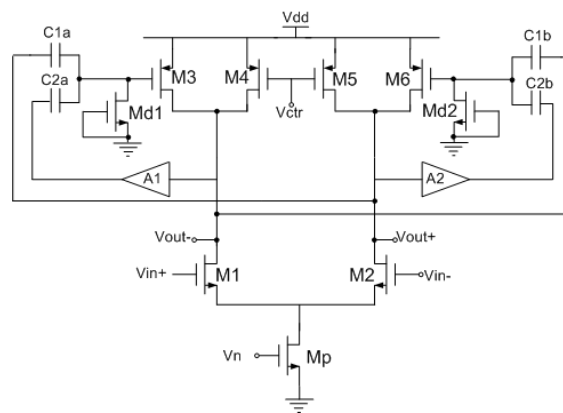


Figura 3.1 Celda básica degenerada en fase.

3.2 Análisis de la degeneración en fase

La degeneración en fase nos permite construir osciladores de anillo con menor número de etapas, de tal manera que se consigue un desfase mayor o igual a 90° con una ganancia por encima de 0dB en este punto, cumpliendo así los criterios de Barkhausen para obtener oscilaciones.

La topología de la Figura 3.1 está basada en una celda de cargas simétricas comúnmente denominada celda de Maneatis [13], con una modificación constituida de dos redes de retroalimentación mediante el uso de transistores de compuerta cuasi-flotante (QFGT). Este tipo de transistores nos permite manejar múltiples entradas, pudiendo elegir el peso que se le da

a cada una de ellas dependiendo del valor del capacitor de dicha entrada con respecto a la capacitancia total conectada a la compuerta del transistor.

3.2.1 Elementos básicos

En esta sección se analizan los bloques que constituyen la celda básica y cuya combinación permite realizar la celda degenerada en fase.

3.2.1.1 Transistores de compuerta flotante y quasi-flotante

El uso de transistores de compuerta flotante ha tenido gran interés en aplicaciones con tecnologías submicrométricas debido a su capacidad de operar a bajos voltajes mediante el uso de divisores capacitivos en la compuerta del transistor [17]. Otra de las cualidades, y motivo por el cual se eligió su uso en la celda degenerada en fase, es su capacidad de realizar sumas ponderadas de las señales de entrada mediante divisores capacitivos.

El término “flotante” viene del hecho que la compuerta queda aislada en DC ya que las señales se encuentran acopladas capacitivamente. En la Figura 3.2 se muestra un transistor de compuerta flotante (FGT). Si no tomamos en cuenta la parte de control de la compuerta, el FGT es igual a un transistor MOS convencional, y por lo tanto, la característica I_D vs V_{gs} es la misma, de manera que el mismo modelo es válido para este tipo de transistores.

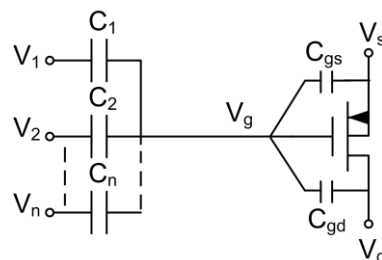


Figura 3.2 Transistor de compuerta flotante (FGT).

El voltaje en la compuerta flotante V_g está dada por:

$$V_g = \frac{(Q_{FG} + C_{gs}V_s + C_{gd}V_d + \sum_{i=1}^n C_i V_i)}{C_T} \quad (3.1)$$

Donde C_T representa la capacitancia total conectada en el nodo de la compuerta y Q_{FG} es la carga estática en la compuerta debida a las cargas atrapadas durante el proceso de fabricación, consecuentemente generan un offset de DC, el cual puede ser eliminado removiendo las cargas mediante la exposición a luz ultravioleta, de tal manera que los electrones atrapados obtengan la energía suficiente para poder pasar a través del óxido. La desventaja de este método es que requiere un paso adicional en el proceso de fabricación aumentando el costo. Otra técnica para remover estas cargas y que no requiere de un paso adicional en el proceso es propuesta en [14] y consiste en adicionar un contacto metálico a dicha compuerta al realizar el layout.

Considerando que no hay cargas atrapadas en la compuerta y que los capacitores de entrada $C_1, C_2, \dots, C_n \gg C_{gs}, C_{gd}, C_{db}$, entonces (3.1) se reduce a:

$$V_g = k_1 V_1 + k_2 V_2 + \dots + k_n V_n \quad (3.2)$$

Donde: $k_i = \frac{C_i}{C_1 + C_2 + \dots + C_n}$

Por lo tanto, V_g representa una suma lineal de las señales de entrada ponderadas de acuerdo a las relaciones de los capacitores.

Otra alternativa para evitar el problema de cargas atrapadas en la compuerta es el uso de transistores de compuerta cuasi-flotante (QFGT) [15]. En forma similar a los FGT, estos implementan el promediador de voltaje

ponderado en AC con la diferencia de que en este caso un resistor de valor elevado conecta débilmente el nodo de compuerta a uno de los rieles, eliminando de esta manera el problema de la carga inicial. En la práctica el resistor es implementado usando un transistor conectado como diodo y polarizado inversamente [16]. El circuito de un QFGT se muestra en la Figura 3.3.

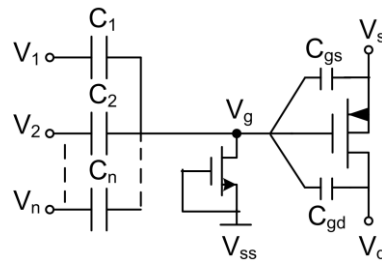


Figura 3.3 Transistor de compuerta quasi-flotante (QFGT).

El voltaje de ac en el nodo de la compuerta está dada por [17]:

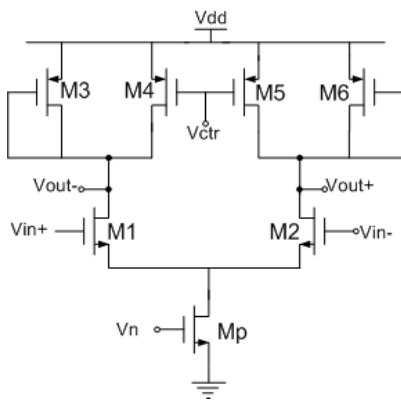
$$V_g = \frac{sR_{leak}}{1 + sR_{leak}C_T} (C_{gs}V_s + C_{gd}V_d + \sum_{i=1}^n C_iV_i) \quad (3.3)$$

Donde R_{leak} representa la resistencia de fuga debida a la polarización inversa del transistor conectado en diodo. De la ecuación (3.3) se observa que las entradas son filtradas mediante un pasa altas con una frecuencia de corte de $1/2\pi R_{leak}C_T$ la cual es muy baja debido al valor elevado de la resistencia, por lo tanto, desde frecuencias muy bajas como 0.01Hz el circuito se comporta como un promediador ponderado de los voltajes de entrada determinado por la razón de los capacitores más los términos de las capacitancias parásitas.

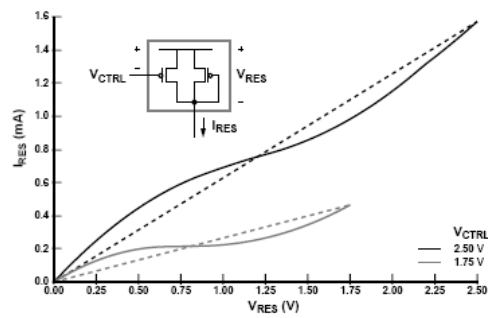
3.2.1.2 Celda de Maneatis

Éste es el bloque principal del que parte la topología a implementar. Es una celda diferencial con cargas simétricas, las cuales están compuestas por un transistor conectado como diodo en paralelo con una fuente de

corriente variable, controlada mediante el voltaje de corriente continua V_{ctr} , tal como se muestra en la Figura 3.4(a). La resistencia equivalente de esta carga es aproximadamente el inverso de la transconductancia de los transistores conectados como diodo, es decir $1/g_{m3}$ de una rama y $1/g_{m6}$ de la otra, siendo éstas simétricas. La característica I-V de la carga para dos valores de V_{ctr} se muestra en la Figura 3.4(b), la línea punteada representa la resistencia efectiva. El retardo de la celda cambia con cada valor de V_{ctr} ya que la resistencia efectiva también cambia, de esta manera, al ser usado en un oscilador de anillo se consigue el control de la frecuencia.



(a) Topología



(b) Respuesta I-Vc de la carga simétrica [13]

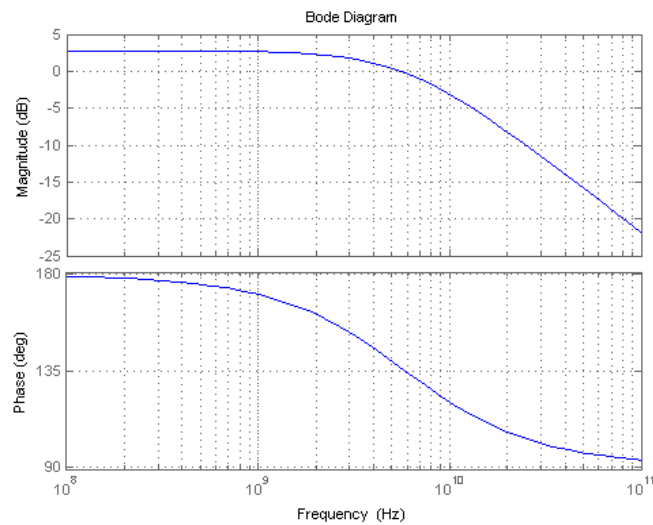
Figura 3.4 Celda básica de Maneatis.

La respuesta en frecuencia de la celda de Maneatis nos permitirá comprender la idea general de implementar las redes de retroalimentación. Mediante la aplicación del modelo de pequeña señal se encuentra que la función de transferencia está dada por:

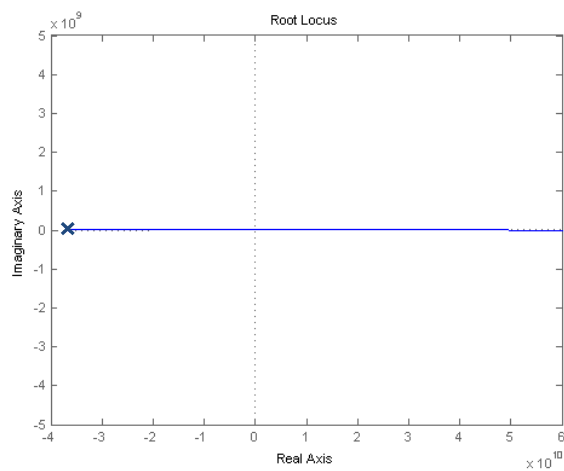
$$H(s) = -\frac{g_{m1,2}}{g_{m3,6} + g_1 + C_1 s} \quad (3.4)$$

Donde g_1 y C_1 representan la conductancia y capacitancia del nodo de salida.

El sistema es de un solo polo, por lo tanto, no es posible realizar un oscilador de dos etapas usando dicha celda, ya que el desfase de 90° se consigue sólo cuando la frecuencia tiende al infinito y en ese punto la ganancia se encuentra por debajo de 0dB (Figura 3.5 (a)). El polo del sistema se encuentra en el lado izquierdo del plano complejo del lugar de las raíces (Figura 3.5 (b)) siendo el circuito estable.



(a) Diagrama de Bode



(b) Lugar geométrico de las raíces

Figura 3.5 Respuesta en frecuencia de la celda de Maneatis.

3.2.1.3 Seguidor de voltaje

La topología del seguidor de voltaje se muestra en la Figura 3.6 [18]. Es un circuito muy sencillo con la capacidad de funcionar a altas frecuencias con un pequeño consumo de potencia, característica esencial en tecnologías actuales.

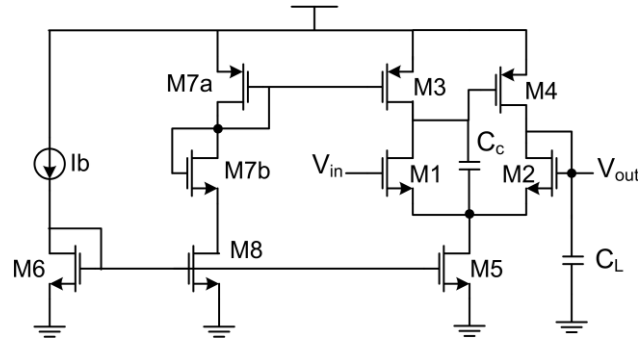


Figura 3.6 Seguidor de voltaje.

Analizando cualitativamente la topología del circuito, y suponiendo espejos de corriente ideales, vemos que M3 y M5 se comportan como fuentes de corriente, por lo tanto, en ambas ramas del par diferencial fluir una corriente constante. Si la corriente de M3 es la mitad de la corriente a travs de M5 y tambin M1 y M2 son idnticos, entonces $v_{gs1}=v_{gs2}$ permaneciendo ste constante, puesto que la corriente que fluye a travs de ellos no cambia; por lo tanto, cualquier cambio en v_{in} ser reflejado a la salida v_{out} a fin de mantener constante el voltaje de compuerta a fuente (v_{gs}) de los transistores de entrada de manera que la corriente a travs de ellos se mantiene constante.

Respuesta en DC

La ganancia del circuito est dada por [18]:

$$A_o \cong \frac{g_{m1,2}}{g_{m1,2} + (g_{d1,2} - g_{d5})} \quad (3.5)$$

Donde g_d representa la conductancia equivalente entre drenaje y fuente del transistor respectivo al subíndice.

La diferencia de conductancias en el denominador permite obtener, mediante una adecuada razón de dimensionamiento entre los transistores $M_{1,2}$ y M_5 , ganancias cercanas a 0db.

La resistencia de salida es [18]:

$$r_o \cong \frac{g_{d1,2} + 2g_{d3}}{g_{m1,2}g_{m4}} \quad (3.6)$$

La cual es mucho menor comparado con una implementación usando un par diferencial convencional en configuración de seguidor.

Respuesta en AC

La función de transferencia está dada por [18]:

$$H(s) \cong \frac{A_0}{1 + \frac{C_C}{g_{m1,2}}s + \frac{C_C C_L}{g_{m1,2}g_{m4}}s^2} \quad (3.7)$$

El desempeño en términos de frecuencia y tiempo depende del factor de amortiguamiento ζ y de la frecuencia de los polos ω_0 , los cuales están dados por:

$$\zeta = \frac{1}{2} \sqrt{\frac{C_C}{C_L} \frac{g_{m4}}{g_{m1,2}}} \quad (3.8a)$$

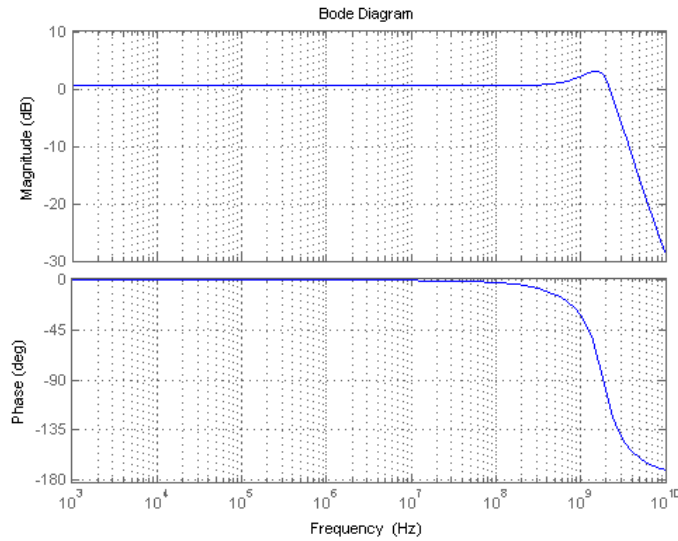
$$\omega_0 = \sqrt{\frac{g_{m1,2}g_{m4}}{C_C C_L}} \quad (3.8b)$$

De (3.8a) el capacitor de compensación está dada por

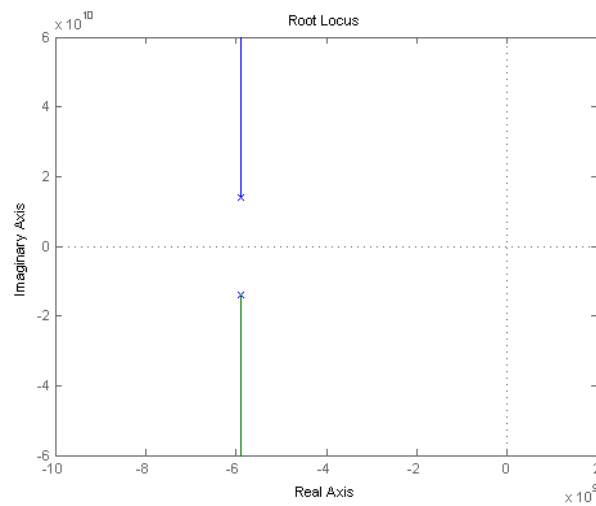
$$C_C = 2\zeta^2 \frac{g_{m1,2}}{g_{m4}} C_L \quad (3.9)$$

y sustituyendo (3.9) en (3.8b)

$$g_{m4} = \sqrt{2}\zeta\omega_0 C_L \quad (3.10)$$



(a) Diagramas de Bode



(b) Lugar geométrico de las raíces

Figura 3.7 Respuesta en frecuencia del seguidor de voltaje.

La respuesta en frecuencia de la función de transferencia procesada en Matlab se muestra en la Figura 3.7(a). La frecuencia a ganancia unitaria esta alrededor de 2.2 GHz con un defasamiento de 112° . El lugar de las raíces (Figura 3.7(b)) muestra los dos polos complejos conjugados colocados del lado izquierdo, siendo el sistema estable.

3.2.2 Degeneración en fase usando el seguidor de voltaje

El seguidor de voltaje se usará para modificar la respuesta en frecuencia de la celda de Maneatis al introducirlo en la línea de retroalimentación del transistor conectado como diodo. La celda se muestra en la Figura 3.8, donde los bloques A_1 y A_2 representan cada uno un seguidor de voltaje con la topología analizada en la sección anterior (Figura 3.6).

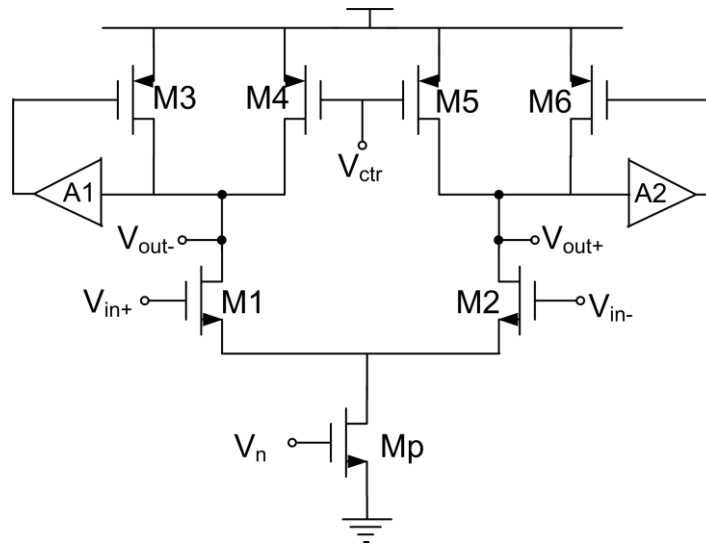


Figura 3.8 Celda degenerada en fase.

Para determinar la función de transferencia de la celda mostrada en la figura anterior, se analiza como punto de partida la impedancia equivalente de la carga. En la Figura 3.9 se muestra el esquemático de la carga, representando como $H(s)$ al seguidor de voltaje, también se muestra el

circuito equivalente de pequeña señal con el cual se determina la impedancia equivalente de la carga.

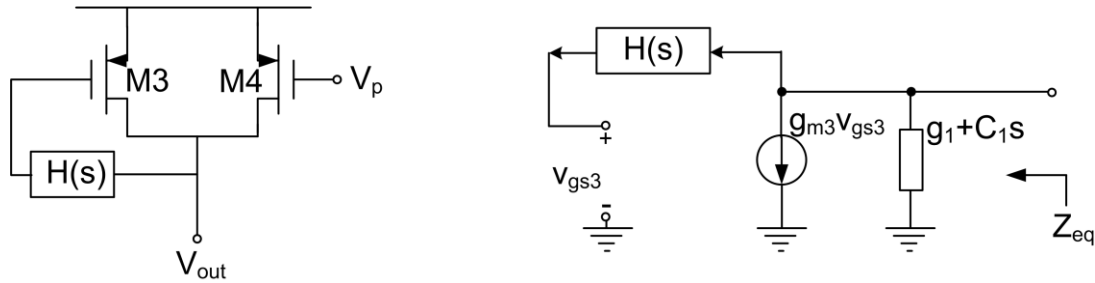


Figura 3.9 Carga simétrica.

La impedancia equivalente de la carga está dada por:

$$Z_{eq} = \frac{1}{g_{m3}H(s) + g_1 + C_1s} \quad (3.11)$$

Donde $H(s)$ representa la función de transferencia del seguidor de voltaje (ecuación 3.7) y la cual, para propósitos de simplificación en las expresiones posteriores, la podemos representar como:

$$H(s) = \frac{A_0}{1 + bs + as^2} \quad (3.12)$$

Sustituyendo (3.12) en (3.11):

$$Z_{eq} = \frac{1 + bs + as^2}{C_1as^3 + (g_1a + C_1b)s^2 + (g_1b + C_1)s + (g_{m3}A_0 + g_1)} \quad (3.13)$$

En la ecuación resultante se observa que el numerador está compuesto por los polos del seguidor de voltaje. El comportamiento en frecuencia de esta impedancia se muestra en Figura 3.10, en la cual se muestra un aumento significativo de la impedancia a una determinada frecuencia por efectos de los ceros del sistema, los cuales corresponden a los polos del seguidor de voltaje.

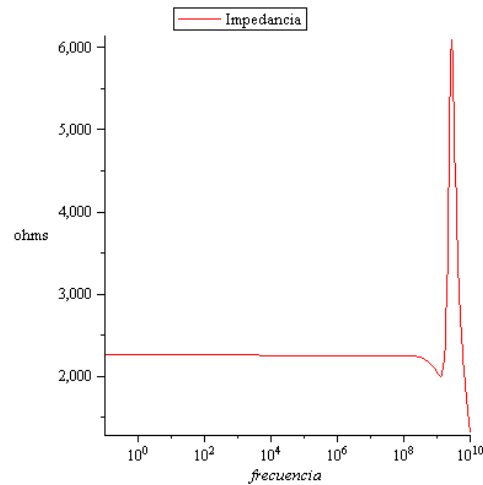


Figura 3.10 Respuesta en frecuencia de la impedancia de carga.

Una vez analizada la impedancia de carga debemos tomar en cuenta que la ganancia en modo diferencial y modo común del par diferencial son directamente proporcionales a esta impedancia de carga. Por lo tanto, es necesario realizar un análisis de la función de transferencia tanto en modo diferencial como en modo común para determinar el efecto que causa dicho aumento de impedancia.

Análisis con señales de entrada en modo diferencial

Para simplificar los cálculos supondremos que la celda de la Figura 3.8 tiene una simetría perfecta y, como tierra de señal, el nodo de fuente común de los transistores de entrada. Con estas consideraciones obtenemos el circuito equivalente de la Figura 3.11, en donde Z_{eq} representa la impedancia de carga analizada anteriormente.

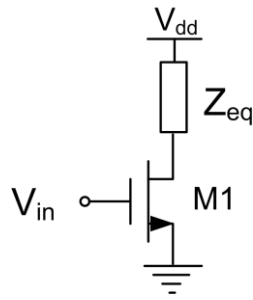


Figura 3.11 Circuito equivalente en modo diferencial de la celda degenerada en fase.

La ganancia está dada por:

$$A_d = -g_{m1}(Z_{eq} // r_{o1}) \quad (3.14)$$

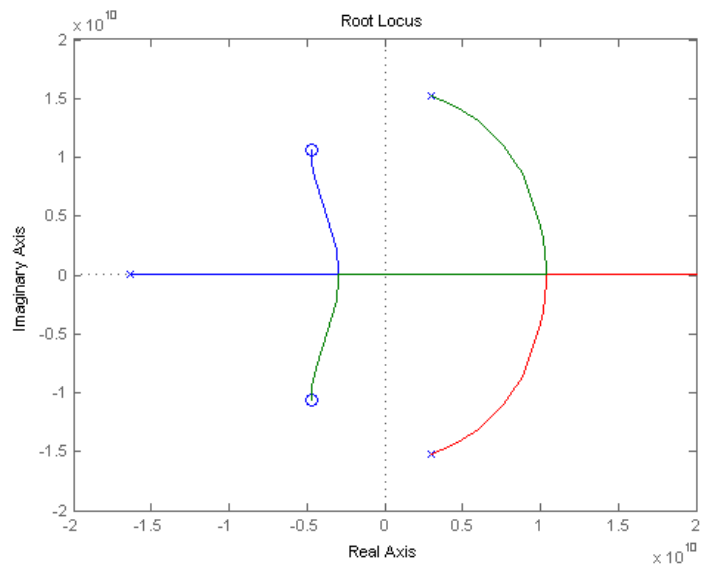
Sustituyendo (3.11) en (3.14):

$$A_d = -\frac{g_{m1}}{g_{m3}H(s) + C_1s + g_1} \quad (3.15)$$

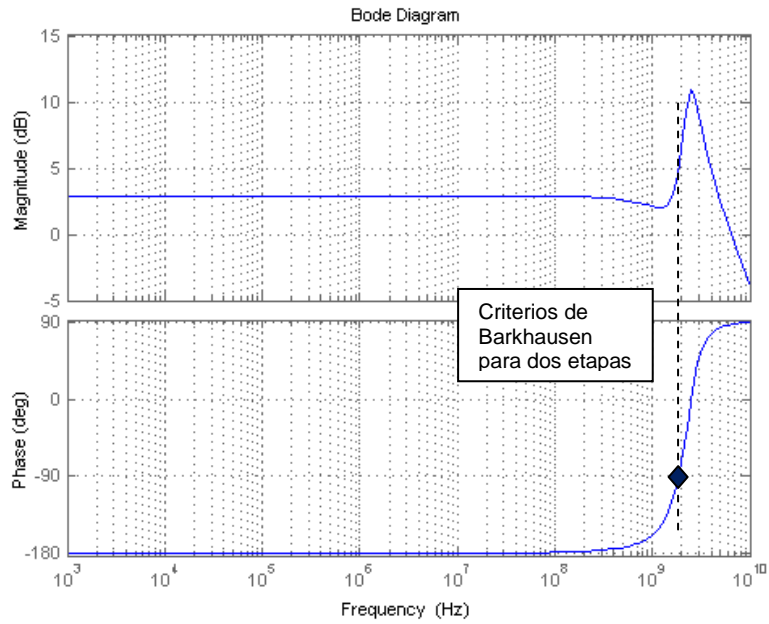
Sustituyendo (3.12) en (3.15) la función de transferencia está dada por:

$$A_d = -\frac{g_{m1}(1 + bs + as^2)}{C_1as^3 + (g_1a + C_1b)s^2 + (g_1b + C_1)s + g_{m3}A_0 + g_1} \quad (3.16)$$

En la Figura 3.12(a) se representa el lugar geométrico de las raíces mostrando la introducción de dos polos en el plano derecho por efecto del seguidor de voltaje, de manera que se obtiene la inestabilidad del sistema. La Figura 3.12(b) muestra el comportamiento en frecuencia de la función de transferencia, en la cual se observa el resultado de la degeneración en fase, obteniendo de esta manera un desfase mayor a 90° en el rango de frecuencias con ganancia por encima de 0dB.



(a) Lugar geométrico de las raíces



(b) Diagrama de Bode.

Figura 3.12 Respuesta en frecuencia en modo diferencial de la celda degenerada en fase.

Análisis con señales de entrada en modo común

Los análisis anteriores han mostrado que la introducción del seguidor de voltaje provoca que la impedancia de carga aumente en un determinado

rango de frecuencias. Esto tiene el efecto de incrementar la ganancia diferencial de la celda obteniendo de esta manera la degeneración en fase e inestabilidad del sistema. Pero, a su vez, también incrementa la ganancia en modo común, ya que ésta es también proporcional a la impedancia de la carga. Por lo tanto, es indispensable realizar el análisis de este caso.

Para simplificar el análisis, se toman las siguientes consideraciones:

- Puesto que la señal en ambas entradas es la misma, los drenajes de ambos transistores de fuente acoplado del par diferencial estarán en fase, por lo tanto podemos representarlas como un mismo nodo.
- Asumiendo el primer punto, da como resultado que ambas impedancias de carga del par diferencial quedan conectadas en paralelo y como son idénticas obtenemos una impedancia equivalente igual a la mitad de su valor.
- De la misma manera que en el punto anterior sucede con los transistores de entrada, al suponer el primer punto éstos quedan en paralelo y en este caso los podemos representar como un solo transistor con un factor de forma igual al doble.
- Si las señales de entrada están en fase, la corriente en ambas ramas del par diferencial permanecerán constantes, y el nodo de fuente común de los transistores de entrada seguirá cualquier variación de las señales de entrada. Por la excursión de señal grande en dicho nodo el efecto de la impedancia de salida de la fuente de corriente deberá ser considerada.

De esta manera obtenemos el circuito equivalente mostrado en la Figura 3.13.

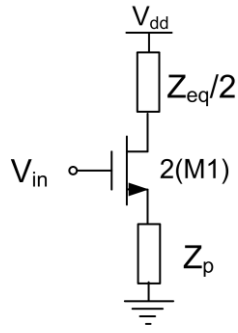


Figura 3.13 Circuito equivalente en modo común de la celda degenerada en fase

Donde Z_p representa la impedancia del transistor de polarización M_p de la Figura 3.8, y está dada por el paralelo de la capacitancia y conductancia de drenaje a fuente, de esta manera:

$$Z_p = \frac{1}{C_p s + g_p} \quad (3.17)$$

La función de transferencia por lo tanto está dada por:

$$A_{MC} = -\frac{g_{m1} Z_{eq}}{1 + 2Z_p g_{m1}} \quad (3.18)$$

Sustituyendo (3.17) y (3.11) en (3.18):

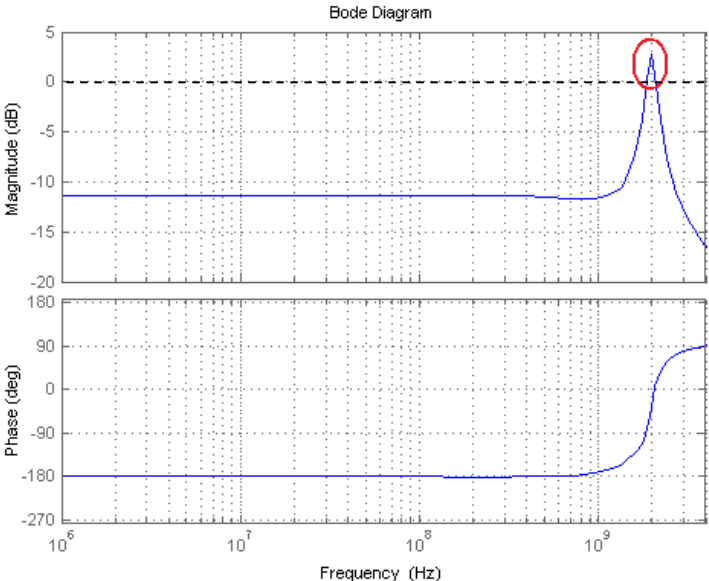
$$A_{MC} = -\frac{g_{m1}(g_p + C_p s)}{(g_{m3} H(s) + g_1 + C_1 s)(g_p + 2g_{m1} + C_p s)} \quad (3.19)$$

Sustituyendo (3.12) en (3.19) la función de transferencia queda de la siguiente manera:

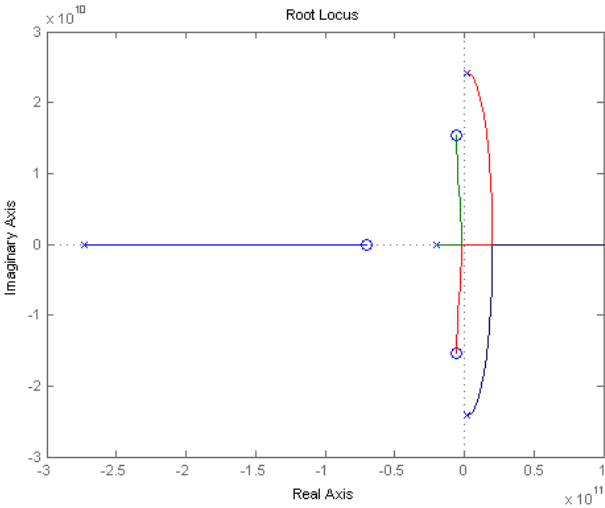
$$A_{MC} = \frac{-g_{m1}(g_p + C_p s)(1 + bs + as^2)}{(C_1 as^3 + (g_1 a + C_1 b)s^2 + (g_1 b + C_1)s + g_{m3} A_0 + g_1)(g_p + 2g_{m1} + C_p s)} \quad (3.20)$$

La respuesta en frecuencia de la función de transferencia procesada en Matlab se muestra en la Figura 3.14. La zona marcada con un círculo muestra el efecto que producen los polos del seguidor de voltaje, en la cual,

la ganancia en modo común llega a estar por encima de 0dB obteniendo, al igual que en modo diferencial, la capacidad de cumplir con los criterios de oscilación usando dos etapas de esta celda. En la Figura 3.14(b) se muestra el lugar geométrico de las raíces donde se observan los dos polos complejos conjugados del lado derecho, indicando la inestabilidad del sistema.



(a) Driagramas de Bode



(b) Lugar geométrico de las raíces

Figura 3.14 Respuesta en frecuencia en modo común de la celda degenerada en fase

3.2.2.1 Oscilador de dos etapas por degeneración en fase

Con el análisis anterior se ha comprobado la factibilidad de obtener oscilaciones con dos etapas usando la degeneración en fase mediante la modificación de la carga, a través de la introducción de una celda de retardo en la línea de retroalimentación del transistor conectado como diodo en la celda básica de Maneatis.

Antes de implementar el oscilador de dos etapas es preciso tener en cuenta lo siguiente: **Los análisis demostraron que los criterios de oscilación se cumplen con dos etapas usando la degeneración en fase mediante la introducción del seguidor de voltaje, pero esto ocurre tanto con señales en modo diferencial como en modo común.** Por tanto, si las condiciones de oscilación se cumplen en ambos casos, surge la siguiente pregunta: **¿En qué modo oscilará?** La respuesta a esta pregunta se obtuvo de forma práctica, encontrando que la oscilación es en modo común aún cuando los criterios de oscilación se satisfagan también en modo diferencial.

El oscilador implementado de dos etapas se muestra en la Figura 3.15. El dimensionamiento de los dispositivos se encuentra en el apéndice A.

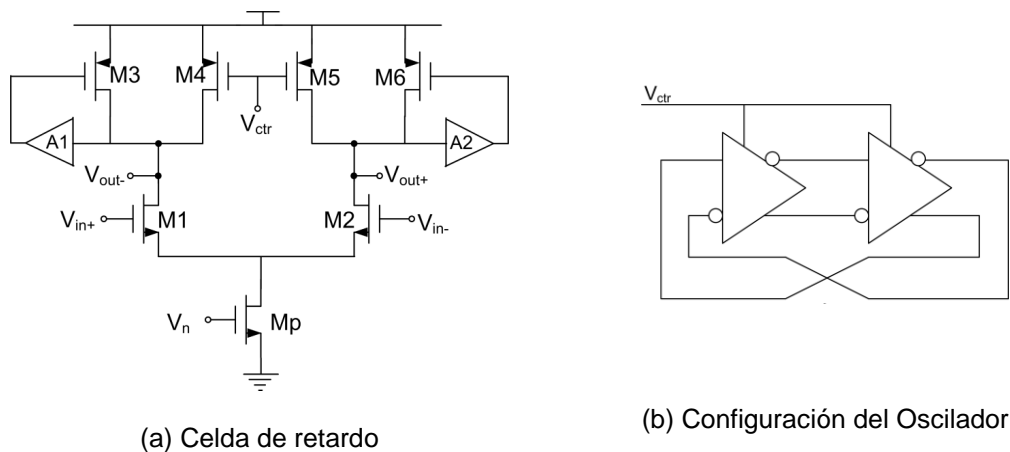


Figura 3.15 Oscilador de dos etapas degeneradas en fase.

En la Figura 3.16 se muestra la respuesta transitoria de las señales de salida (v_{out+} y v_{out-}), obteniéndose oscilaciones senoidales con una amplitud de $1.1V_{pp}$, las cuales se encuentran en fase, indicando que el circuito se encuentra oscilando en modo común.

Para mostrar el grado de similitud de v_{out+} y v_{out-} , en la Figura 3.17 se muestra la resta de ambas señales obteniendo una señal diferencial con una amplitud de 10 fV de pico a pico en el peor de los casos.

Por lo tanto:

$$V_{DIFF} = [V_{out+}] - [V_{out-}] \cong 0 \quad (3.21)$$

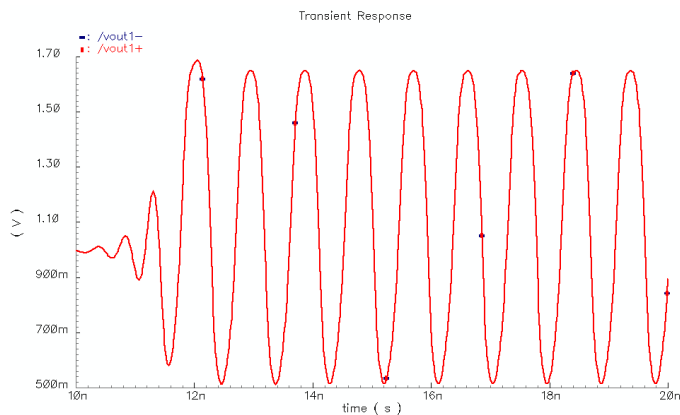


Figura 3.16 Simulación transitoria del VCO degenerada en fase.

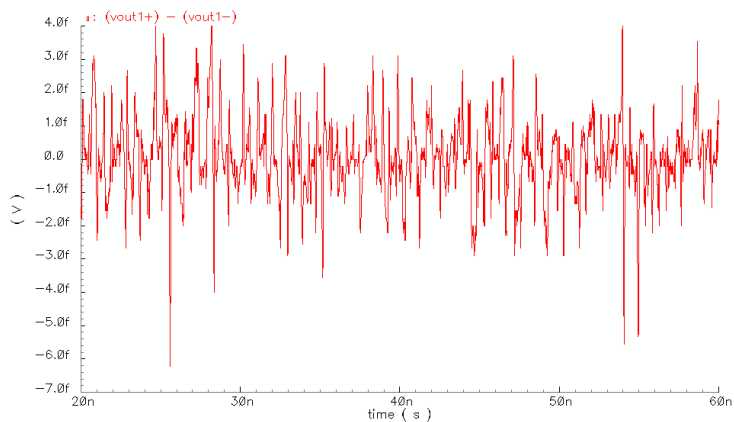


Figura 3.17 Señal de salida diferencial del VCO degenerada en fase.

Las principales ventajas de este oscilador son su alta velocidad y bajo consumo de potencia promedio, como se muestra en la Figura 3.18 y Figura 3.19 respectivamente, obteniendo frecuencias de oscilación alrededor de 1.9 GHz con un consumo de potencia promedio por debajo de 1mW. La Figura 3.18 muestra la curva de transferencia del oscilador; teniendo un rango de entonado de 216MHz en las frecuencias de 1.768-1.984GHz con un voltaje de control de 0-1.2V, dando como resultado una ganancia de $K_{VCO} = -180MHz/V$.

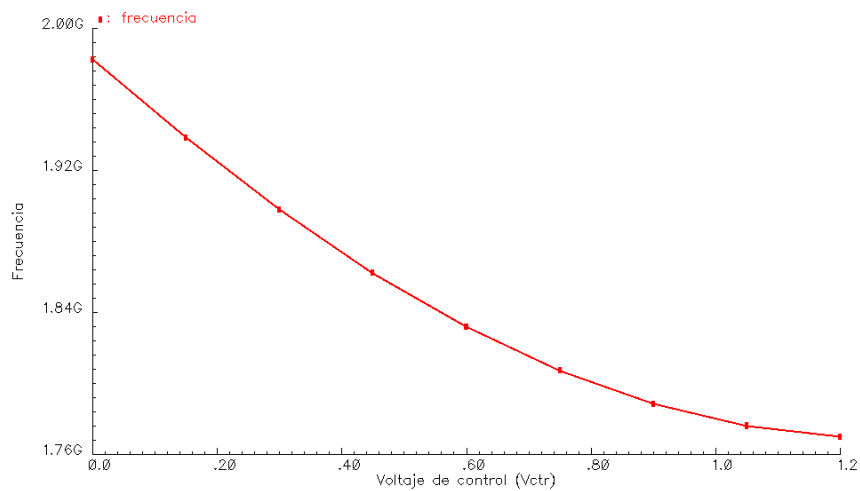


Figura 3.18 Curva de transferencia del oscilador degenerado en fase.

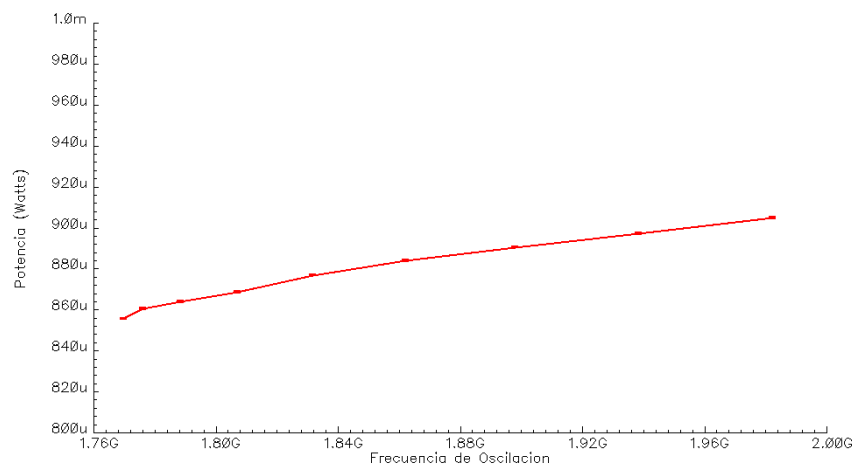


Figura 3.19 Consumo de potencia promedio del oscilador degenerado en fase.

La variación de la frecuencia con el voltaje de alimentación se muestra en la Figura 3.20 mostrando un comportamiento lineal con las variaciones de V_{dd} . La sensibilidad de la frecuencia normalizada a V_{dd} es de 41.5 MHz/%.

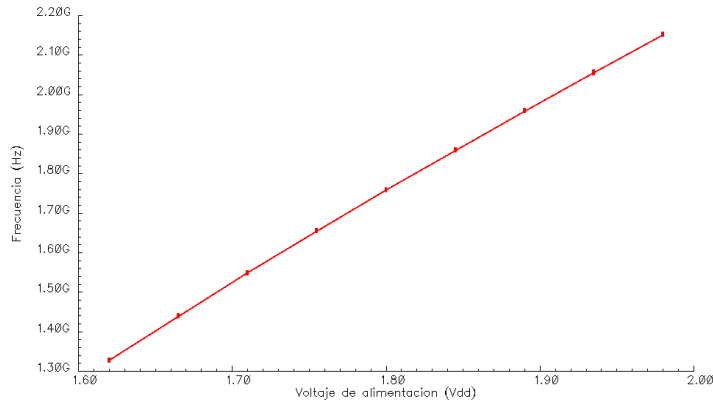


Figura 3.20 Variación de la frecuencia con el voltaje de alimentación.

Se realiza una simulación frente a variaciones de temperatura en el rango de 0 a 150°C. En la Figura 3.21 se muestra la variación de la curva de transferencia por efecto de la temperatura. La variación de la frecuencia por la temperatura es diferente para cada valor del voltaje de control. El peor caso se presenta cuando $V_{ctrl}=1.2V$, en este punto se tiene una variación promedio de 480kHz/°C.

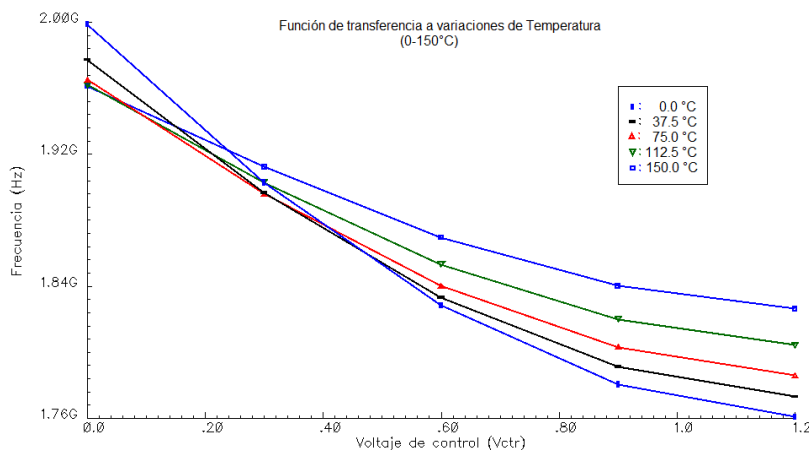


Figura 3.21 Efecto de la temperatura en el oscilador por degeneración en fase.

La disminución de la ganancia del oscilador (K_{VCO}) al aumentar la temperatura, produce puntos de cruce en el cual las variaciones de la frecuencia con la temperatura son menores. Para el caso de la Figura 3.21 se presenta alrededor de $V_{ctr}=0.25V$, teniendo una variación promedio de $106KHz/^{\circ}C$.

En la Figura 3.22 se muestran las variaciones de la función de transferencia por efecto de variaciones de proceso para los distintos parámetros de esquina. Para el caso de los modelos rápido-rápido y lento-lento hay una variación promedio de $600MHz$ con respecto al típico-típico para cada valor del V_{ctr} , esto se puede atribuir al hecho de que la frecuencia de oscilación depende directamente de la respuesta en frecuencia del buffer.

Se debe tomar en cuenta que los osciladores están polarizados con circuitos simples, por lo tanto, los resultados de las simulaciones de PVT tienen implícito las variaciones de dichos circuitos de polarización. En una implementación práctica deberán diseñarse circuitos de polarización que compensen las variaciones del propio oscilador, esto hace necesario un análisis de sensibilidad de la celda de retardo.

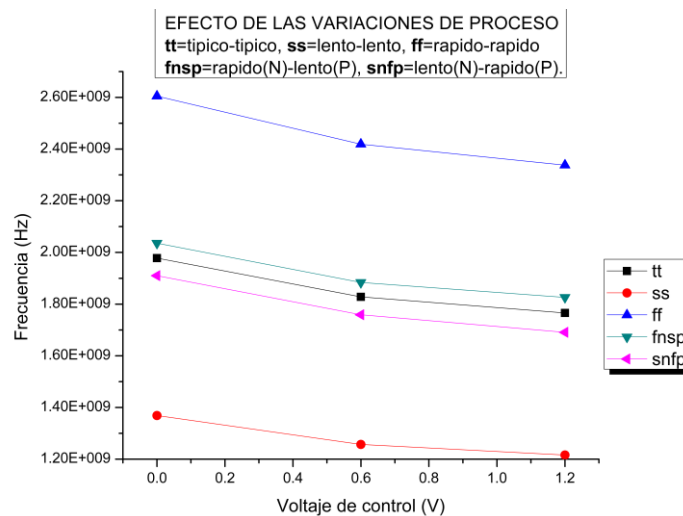


Figura 3.22 Efecto de variaciones de proceso en el oscilador por degeneración en fase.

3.2.3 Degeneración en fase modificada.

La desventaja del oscilador propuesto de dos etapas es que, al estar operando en modo común, produce solamente señales desfasadas 180° entre las salidas de ambas etapas; por lo tanto, esto impide obtener señales en cuadratura de forma directa. La obtención de señales en cuadratura en un oscilador es una característica indispensable en sistemas de modulación y demodulación de canales para la transmisión y/o recepción de datos [19].

La manera de obtener las señales en cuadratura es que el sistema oscile en modo diferencial, obteniendo así señales desfasadas 90° entre las salidas de ambas etapas, por lo tanto, es necesario evitar que las condiciones de oscilación se cumplan en modo común.

La causa que provoca la oscilación en modo común es el aumento de la impedancia de la carga por efecto del buffer, ocasionando que la ganancia en modo común llegue a estar por encima de 0dB. Por consiguiente, los análisis serán enfocados a la modificación de dicha impedancia.

La impedancia de la carga está dada por la ecuación (3.11) la cual se repite por conveniencia.

$$Z_{eq} = \frac{1}{g_{m3}H(s) + g_1 + C_1s}$$

De esta ecuación vemos que el parámetro que podemos controlar de una manera más práctica es el producto de $g_{m3}H(s)$, teniendo en cuenta los siguientes puntos:

- Aumentando $g_{m3}H(s)$ disminuimos la impedancia de la carga, evitando así que aumente por encima de 0dB la ganancia en modo común.

- La disminución de la impedancia de la carga provocará también una disminución de la ganancia en modo diferencial, provocando la pérdida de las condiciones de oscilación en ambos casos.

El uso de FGT permite evitar que ocurra el segundo punto, haciendo uso de la capacidad para manejar múltiples entradas acopladas capacitivamente y dándole diferentes pesos a cada una, permitiendo de esta manera introducir un segundo lazo de retroalimentación tal como se ilustra en la Figura 3.23.

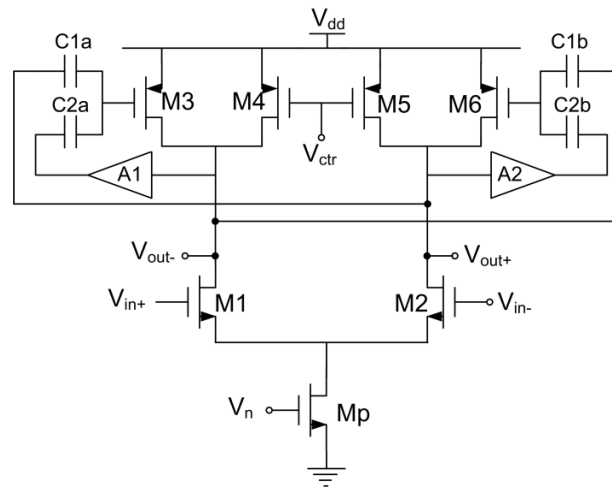


Figura 3.23 FGT en la celda degenerada en fase.

Para comprender el efecto que obtenemos al introducir este lazo de retroalimentación, se analiza el cambio en la impedancia de la carga con esta modificación. La Figura 3.24(a) muestra la topología de la resistencia de carga y su correspondiente modelo para su análisis en pequeña señal (Figura 3.24 (b)).

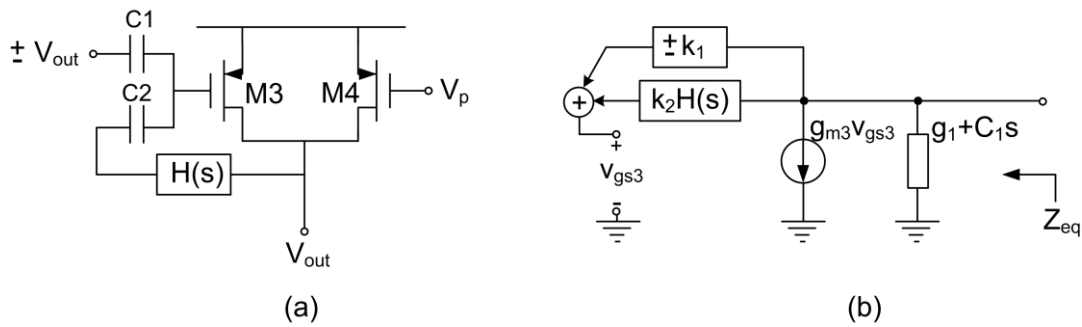


Figura 3.24 Carga modificada: (a) topología, (b) modelo de pequeña señal.

Se ha representado como $\pm v_{out}$ a la señal de entrada en el capacitor C_1 porque este lazo de retroalimentación está cruzado, es decir, que esta señal proviene de la rama contraria a la cual está conectada (ver Figura 3.23); de esta manera cuando el circuito funciona en modo común ambas señales de salida (v_{out+} y v_{out-}) se encuentran en fase, es decir, $(v_{out+}) \cong (v_{out-})$ de este modo podemos suponer el signo positivo para indicar que es la misma señal en ambos nodos. Caso contrario sucede cuando la celda funciona en modo diferencial, en donde ambas señales tienen la misma amplitud pero desfasadas 180° . Este caso lo podemos representar con el signo negativo.

Analizando el modelo de pequeña señal se obtiene que la impedancia equivalente está dada por:

$$Z_{eq} = \frac{1}{g_{m3}(k_2 H(s) \pm k_1) + g_1 + C_1 s} \quad (3.22)$$

Donde: $k_i = \frac{C_i}{C_1 + C_2}$ para $C_i \gg C_{gs} + C_{gd}$

La ecuación anterior muestra cómo la impedancia es reducida al operar en modo común ya que en el denominador el término k_1 se suma. Caso contrario sucede en la operación en modo diferencial, donde este término es restado, obteniendo así una impedancia mayor y,

consecuentemente, la ganancia en modo diferencial aumenta. Con esta modificación se consigue evitar que las condiciones de oscilación se cumplan en modo común, manteniendo su ganancia por debajo de 0dB sin perjudicar las del modo diferencial. Por lo tanto, el circuito oscilará con señales diferenciales, obteniendo de esta manera las señales en cuadratura.

La función de transferencia de la celda de retardo con la impedancia de carga modificada queda de la siguiente manera:

Modo común

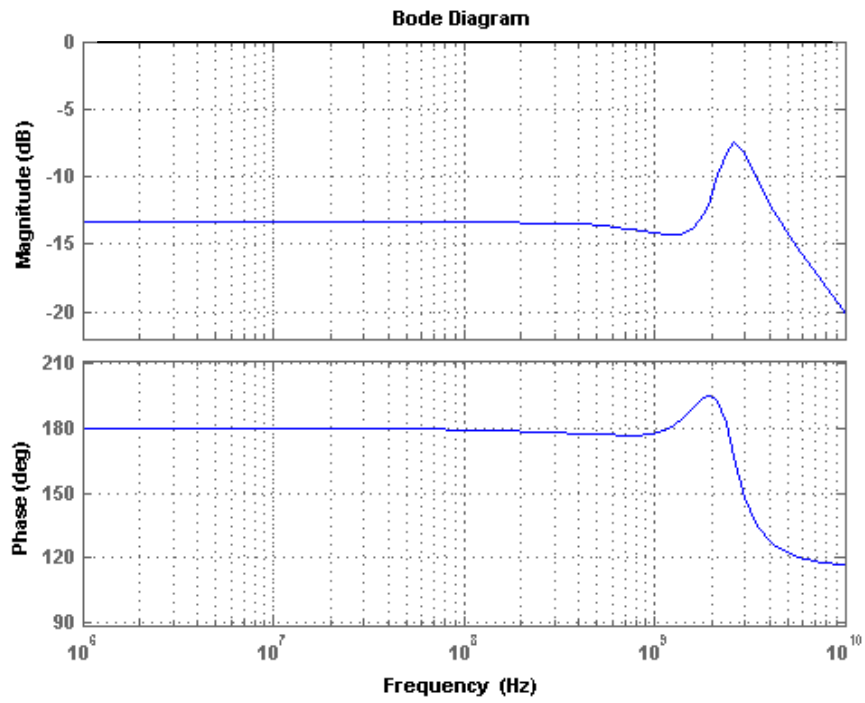
$$A_{MC} = -\frac{g_{m1}(g_p + C_p s)}{(g_{m3}(k_2 H(s) + k_1) + g_1 + C_1 s)(g_p + 2g_{m1} + C_p s)} \quad (3.23)$$

Modo diferencial

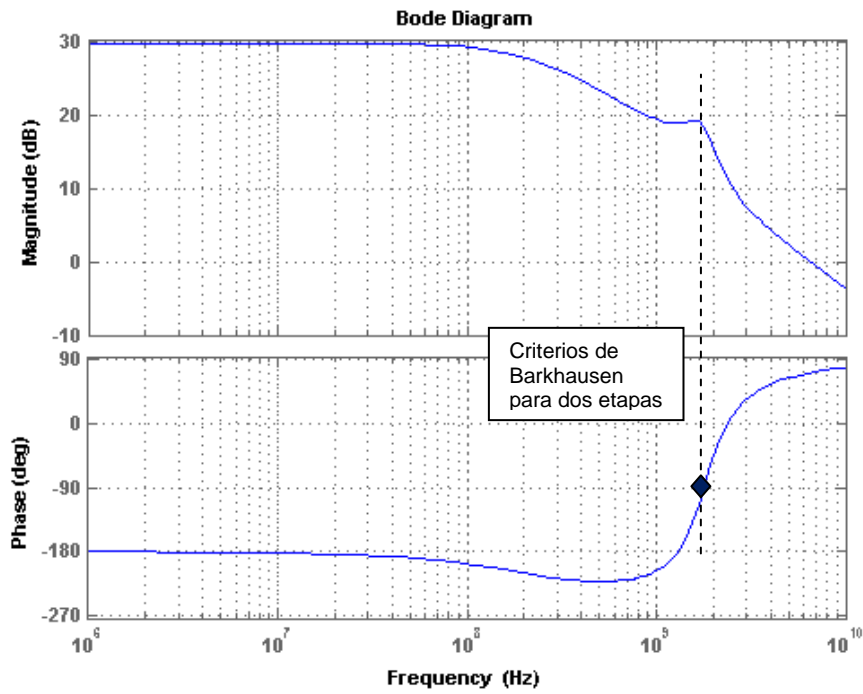
$$A_d = -\frac{g_{m1}}{C_1 s + g_{m3}(k_2 H(s) - k_1) + g_1} \quad (3.24)$$

Usando las dos últimas ecuaciones podemos diseñar el circuito para que oscile en modo común o diferencial mediante la elección correcta de k_1 y k_2 , teniendo en cuenta que para obtener señales en cuadratura es necesario asegurar que la ganancia en modo común se mantenga por debajo de 0dB en todo el rango de frecuencias.

La respuesta en frecuencia de las funciones de transferencia en modo común y diferencial se muestran en la Figura 3.25 con $k_1=k_2=0.5$. Se observa cómo la ganancia en modo común se reduce por efecto del segundo lazo de retroalimentación, permaneciendo de esta manera por debajo de 0dB, y caso contrario sucede con la ganancia en modo diferencial, conservando la degeneración en fase y cumpliendo los criterios de oscilación.

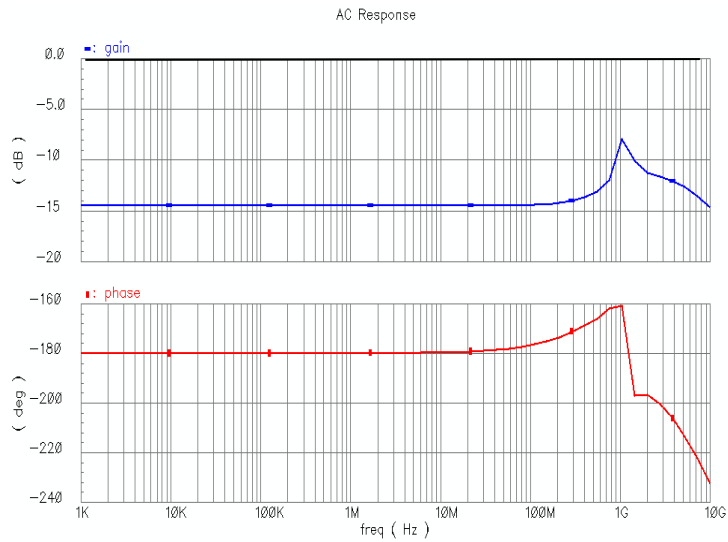


(a) Ganancia en modo común

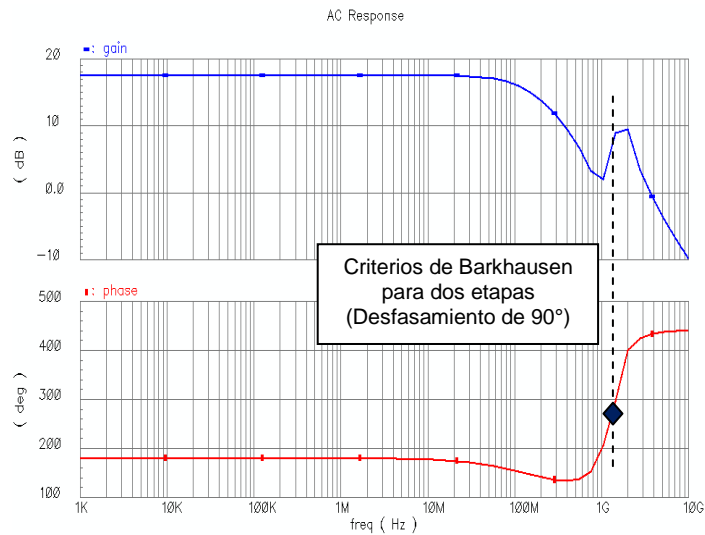


(b) Ganancia en modo diferencial

Figura 3.25 Respuesta en frecuencia de la función de transferencia.



(a) Ganancia en modo común

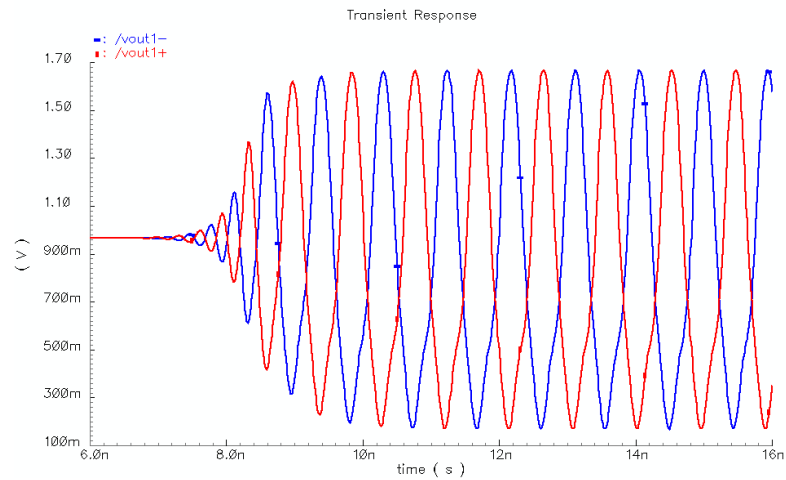


(b) Ganancia en modo diferencial

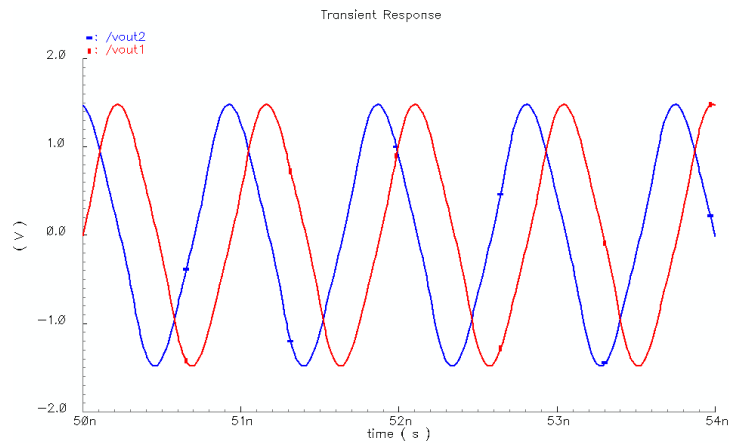
Figura 3.27 Simulación de la celda degenerada en fase

Los resultados de la simulación transitoria se muestran en la Figura 3.28(a) y (b). En la primera se han graficado las señales v_{out+} y v_{out-} las cuales están desfasadas 180° indicando la operación diferencial; al estar operando en este modo obtendremos señales en cuadratura entre la compuerta y el drenaje de cada uno de los transistores de los pares diferenciales, tal y como

se muestra en la Figura 3.28(b) indicando las señales de la compuerta y drenaje de uno de los transistores del par diferencial, es decir los nodos v_{in+} y v_{out-} de la Figura 3.26 (a).



(a) Señales de salida v_{out+} y v_{out-}



(b) Señales de los nodos v_{out-} y v_{in+}

Figura 3.28 Oscilador de dos etapas degeneradas en fase modificada.

3.3 Oscilador de dos etapas a 915 MHz

En esta sección se implementa el oscilador de dos etapas usando la degeneración en fase modificada de la sección anterior para trabajar en la

polarización v_p para los PMOS y v_n para NMOS se implementaron usando divisores de voltaje determinados por la razón de dimensiones de los transistores. En la salida del circuito integrado se usarán dos pads para obtener las señales en cuadratura, por lo tanto, es necesario sensor cada una de las salidas de ambas etapas del oscilador. Esto se lleva a cabo usando dos redes idénticas mediante el uso de un par pseudo-diferencial para convertir cada una de las salidas diferenciales de cada etapa en una señal single-ended, las salidas de éstas son introducidas en dos inversores en cascada dimensionadas para manejar una capacitancia de 1.5pF que representa la capacitancia de los pads del circuito integrado.

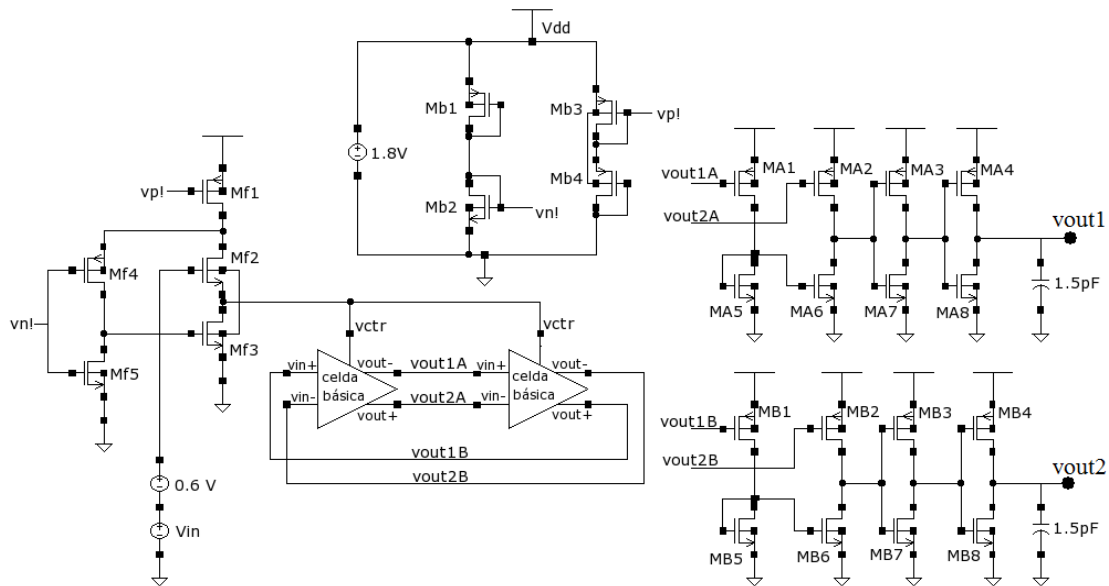


Figura 3.30 Circuito completo del oscilador de prueba.

Señales transitorias

En la Figura 3.31 se muestran las señales transitorias en los nodos de los capacitores de salida que modelan los pads, mostrando señales con un desfase de 88.53° y con una amplitud de riel a riel.

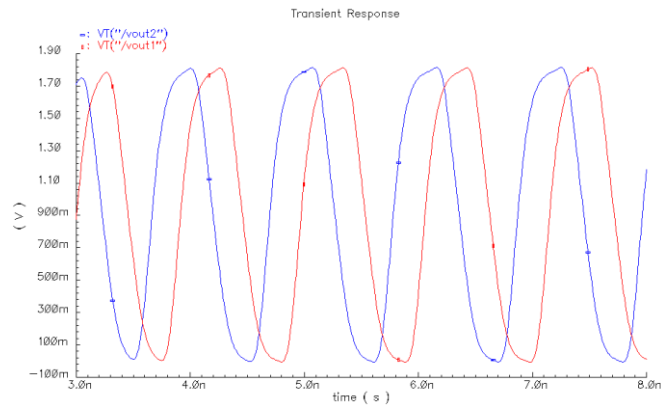


Figura 3.31 Simulación transitoria del circuito completo

Función de transferencia

La Figura 3.32 muestra la variación de la frecuencia con el voltaje de control, el rango de entonado es de 78MHz en el intervalo de 898MHz a 976MHz con el voltaje de control de 0-1.2 V, obteniendo entonces una ganancia igual a: $K_{VCO} = -65\text{MHz/V}$

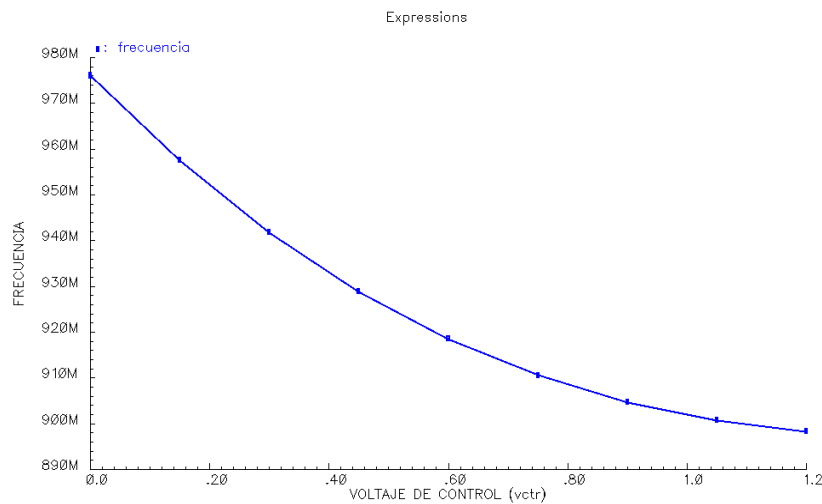


Figura 3.32 Función de transferencia (frecuencia vs voltaje de control).

Consumo de potencia

El consumo de potencia del oscilador se mantiene en un promedio de 900μWatts en todo el rango de frecuencias tal como se muestra en la Figura

3.33 (La potencia consumida por los buffers de salida no son tomados en cuenta). Las celdas diferenciales polarizadas con una fuente de corriente idealmente constante disminuye el ruido que introduce el VCO al circuito integrado, en este caso particular la variación del consumo de potencia es tan solo de $26\mu\text{Watts}$ en todo el rango de entonado. Una estimación rápida del consumo de potencia del oscilador es la potencia estática es decir, $P = I_{\text{bias}} * V_{\text{dd}}$.

La característica de bajo consumo de potencia hace que el circuito sea ideal en aplicaciones de dispositivos portátiles. Esta característica se debe al hecho que **los polos del buffer se convierten en los ceros del sistema** haciendo que la ganancia aumente a cierta frecuencia, logrando de esta manera un aumento en la frecuencia de ganancia unitaria de la celda, lo que provoca que la frecuencia de oscilación dependa directamente de la frecuencia de operación del buffer y no de la corriente de polarización del par diferencial. Es decir, no es necesario polarizar al par diferencial con una corriente elevada para aumentar la frecuencia como sucede en las topologías publicadas, en la que se necesita elevar la corriente de polarización del par diferencial para obtener frecuencias mayores.

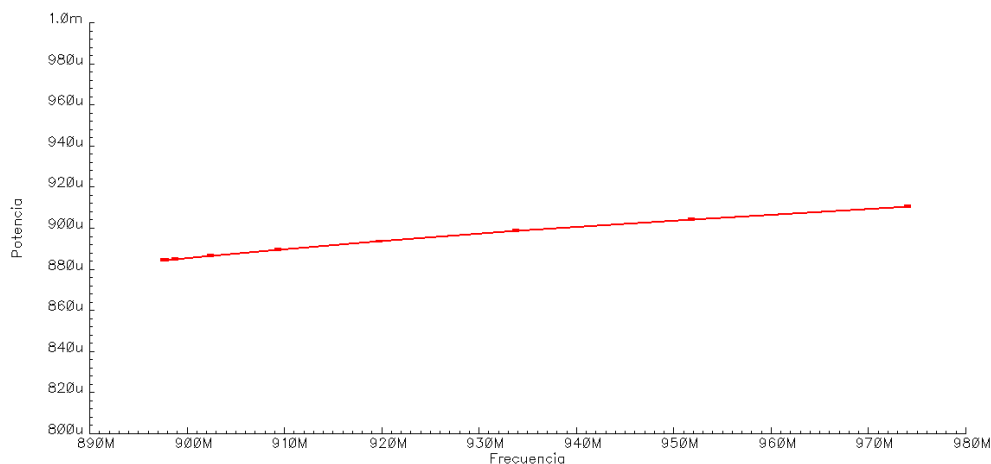


Figura 3.33 Consumo de potencia del VCO (potencia vs frecuencia).

Comportamiento térmico

En la Figura 3.34 se muestran las variaciones de la función de transferencia por efecto de la temperatura en un rango de 0 a 150°C. Esta respuesta nos permite mantener la frecuencia de 915MHz frente a variaciones de temperatura ajustando el voltaje de control. La variación promedio de temperatura en el peor de los casos es de 66KHz/°C y se da cuando $V_{ctr}=1.2V$.

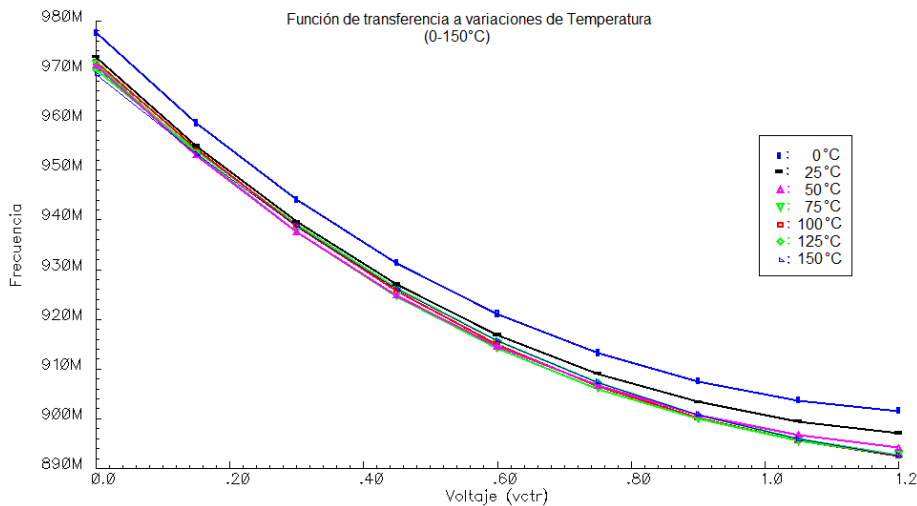


Figura 3.34 Efecto de la temperatura.

Variación de la fuente de alimentación

En la Figura 3.35 se muestra la desviación de la frecuencia de operación (915MHz) frente a con cambios en el voltaje de alimentación de $\pm 10\%$. La relación es lineal y tiene una variación en la frecuencia de $\pm 210\text{MHz}$, por lo tanto, la sensibilidad de la frecuencia normalizada a V_{dd} es de 21MHz/%. Para mantener la frecuencia a 915MHz frente a variaciones de la fuente de alimentación, es necesario que el rango de entonado sea como mínimo $\pm 210\text{MHz}$. Estas variaciones pueden ser reducidas mediante el uso de un circuito de polarización más complejo que contrarreste a las variaciones del oscilador.

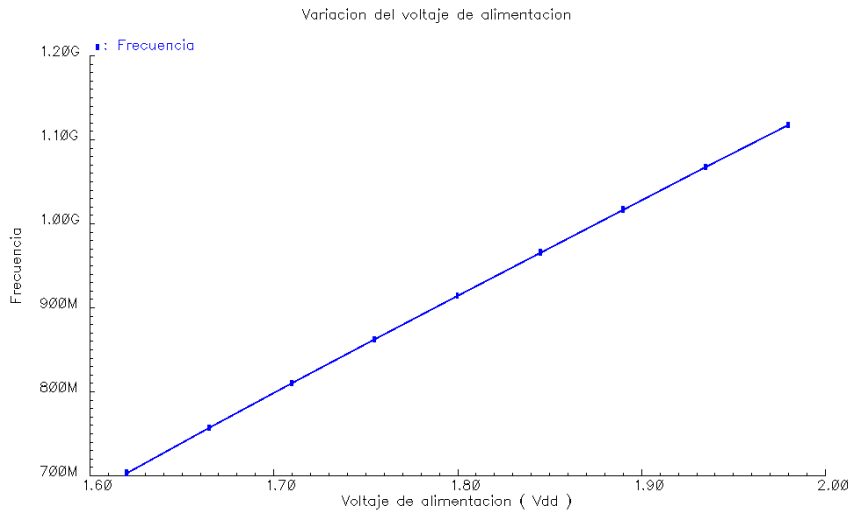


Figura 3.35 Efectos del voltaje de alimentación (frecuencia vs Vdd).

En la Figura 3.36 se muestran las variaciones de la característica de transferencia del oscilador con los distintos parámetros de esquina: típico-típico (tt), lento-lento (ss), rápido-rápido (ff), tipo N rápido-tipo P lento (fnsp), tipo N lento-tipo P rápido. La frecuencia central del oscilador tiene una variación de $\pm 255\text{MHz}$ debido a las variaciones de proceso, por lo tanto, para mantener al oscilador a la frecuencia central nominal es necesario tener un rango de entonado como mínimo de 510MHz . Las variaciones pueden ser reducidas modificando el circuito de polarización.

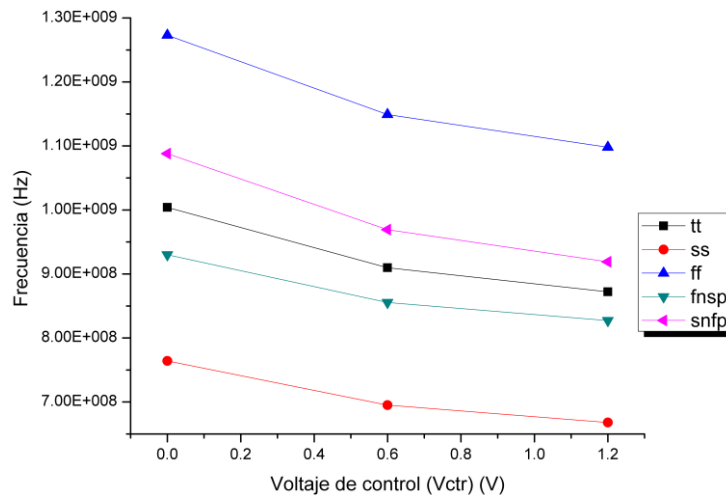


Figura 3.36 Variación de la función de transferencia frente a variaciones de proceso.

Ruido de fase

El ruido de fase se determinó usando el simulador Spectre, cuyo resultado se muestra en la Figura 3.37. Una de las desventajas de los osciladores de anillo es su pobre desempeño en ruido de fase comparado a los osciladores basados en inductores ya que éstos últimos tienen un factor de calidad Q mucho mayor [5]. Esta topología en particular presenta un ruido de fase de -110dB @ 29MHz. En primera instancia, es debida a la cantidad de transistores adicionales necesarios para la degeneración en fase. Un análisis de ruido nos permitirá obtener las fuentes principales y los compromisos de diseño que se deberán tener en cuenta.

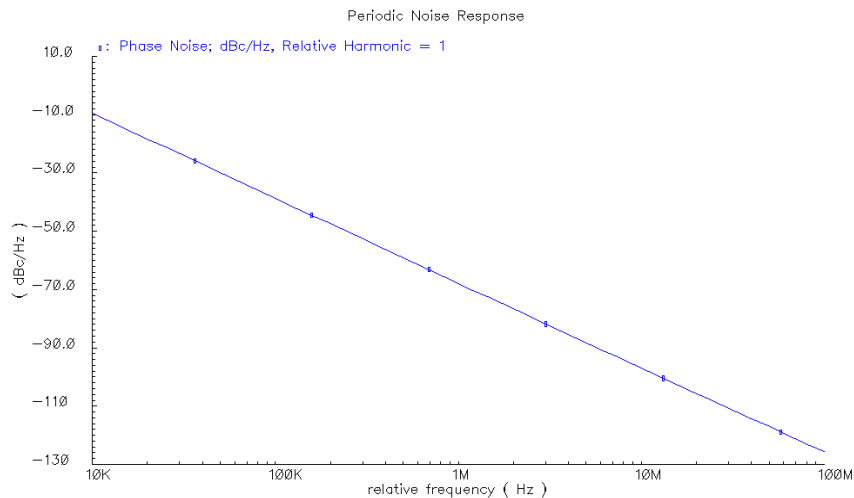


Figura 3.37 Ruido de fase.

Con los resultados obtenidos de: Potencia, frecuencia de oscilación y ruido de fase. Esta topología promete un gran potencial para su uso en redes de generación y recuperación del reloj, debido a que en este tipo de aplicaciones, los requerimientos en ruido de fase son menores con relación a los necesarios en sistemas de comunicación móviles de RF.

Layout

Las dimensiones del patrón geométrico (layout) de la celda básica mostrada en la Figura 3.38 son de $44.5\mu \times 18\mu$ dando un área de 0.0008 mm^2 .

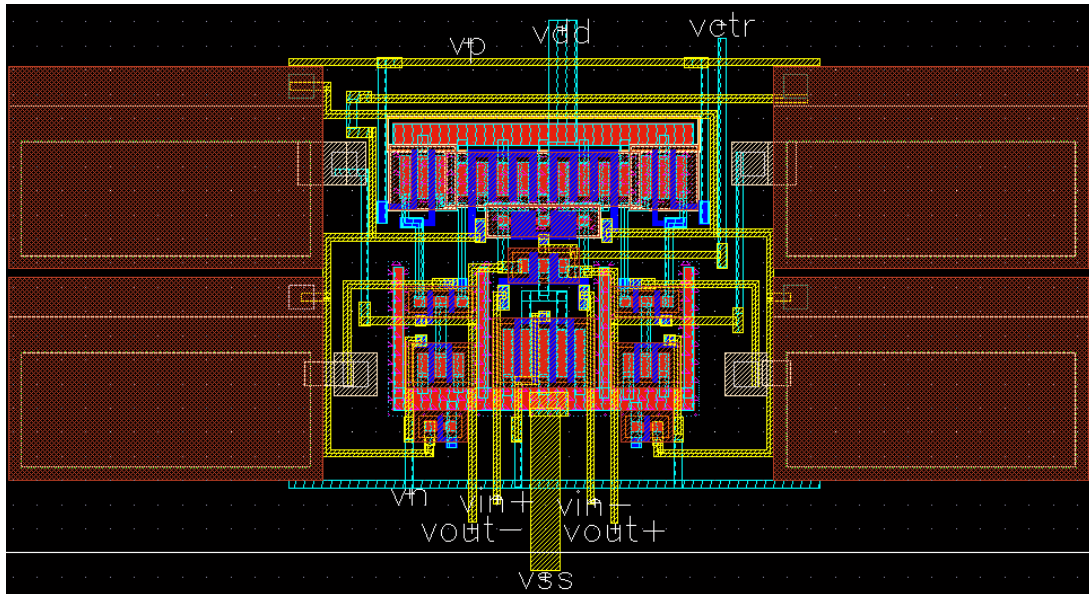


Figura 3.38 Layout de la celda básica.

En la Figura 3.39 se muestra el layout del oscilador de dos etapas junto con los circuitos auxiliares para su fabricación y prueba: circuito de acoplamiento a la entrada, circuito de polarización y buffers de salida. El circuito requiere cinco pads para su medición y alimentación: líneas de alimentación (v_{dd} y gnd), el voltaje para el entonado de la frecuencia (v_{in}) y dos líneas de salida para verificar la cuadratura (v_{outa} y v_{outb}).

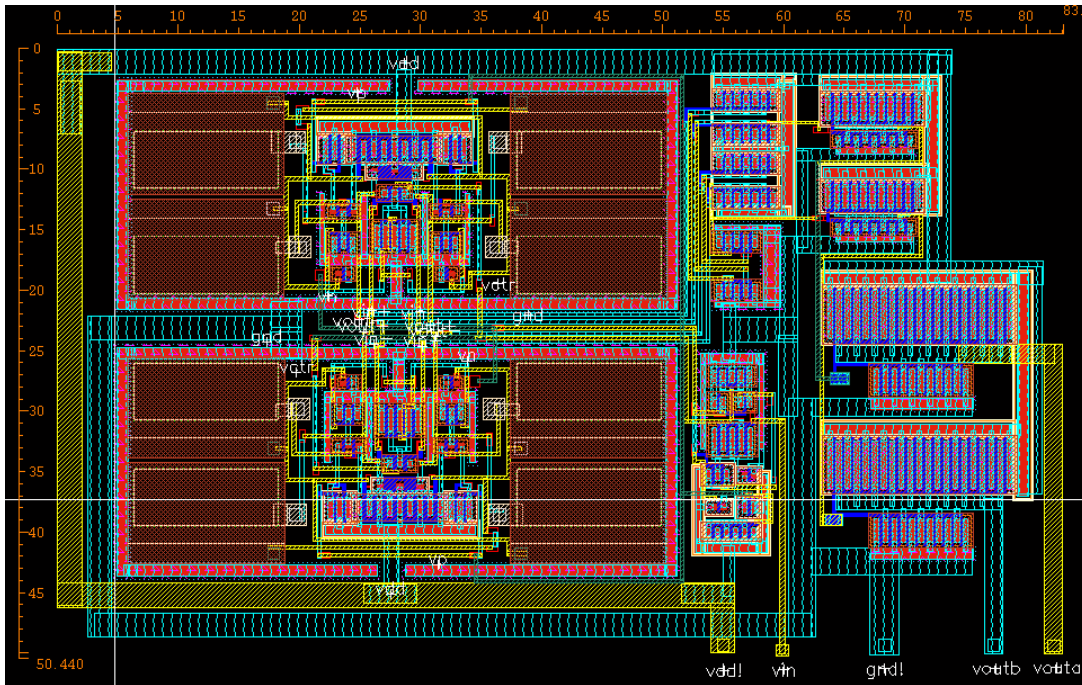


Figura 3.39 Layout completo del oscilador junto con circuitos auxiliares para su fabricación.

3.4 Oscilador controlado digitalmente (Propuesto)

En el análisis de la degeneración en fase se mostró que los ceros del sistema corresponden a los polos del seguidor de voltaje; estos ceros provocan que la frecuencia a ganancia unitaria se incremente de tal manera que al ser usado como celda de retardo en un oscilador de anillo, la frecuencia de oscilación dependerá directamente de la ubicación de los polos de dicho seguidor.

La ecuación (3.8b) determina la frecuencia de los polos del seguidor de voltaje, la cual se repite por comodidad.

$$\omega_0 = \sqrt{\frac{g_{m1,2} g_{m4}}{C_c C_L}}$$

De esta ecuación vemos que g_{m4} se puede variar de manera práctica para controlar la ubicación de los polos, y como resultado obtener el control de la frecuencia de oscilación.

Un método para variar g_{m4} es mediante el control de la corriente que fluye a través de dicho transistor; en la Figura 3.40 se muestra un método de control mediante una entrada digital de 6 bits que controlan fuentes de corriente de diferentes pesos, las razones de dimensiones de los transistores que forman las fuentes de corriente se muestran en la Tabla 3.1.

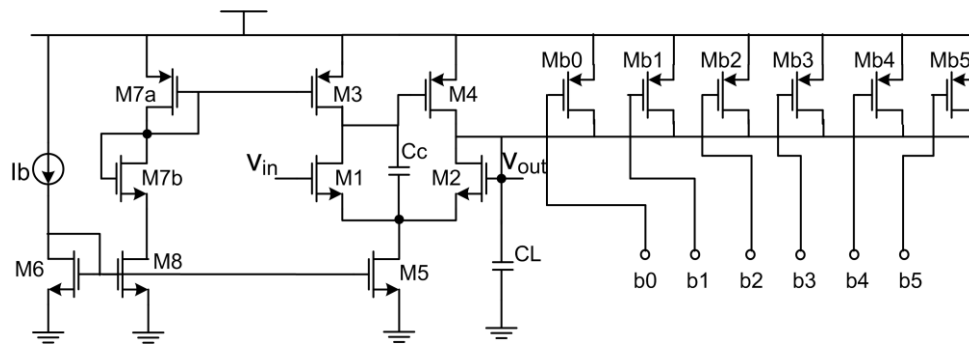


Figura 3.40 Seguidor de voltaje controlado digitalmente (SVCD).

Transistor	Factor de forma
Mb0	x
Mb1	2x
Mb2	4x
Mb3	8x
Mb4	16x
Mb5	32x

Tabla 3.1 Relación de dimensionamiento de los transistores de control

Una de las consideraciones a tomar en cuenta en el diseño del SVCD es la corriente de polarización, la cual en el peor de los casos (todos los bits activos) debe ser igual a la suma de todas las fuentes de corriente de los bits

de control más la corriente del par diferencial normal. Esto conduce a un consumo de potencia elevado si los niveles de las entradas son 0 y 1.8V para el “1” y “0” lógicos respectivamente, ya que esto conlleva a tener unidades de corriente de valor elevado dado que su v_{gs} es de riel a riel. Por lo tanto, si se reducen los niveles de entrada a 1.8V para el “0” lógico y 1.2V para el “1” lógico obtenemos unidades de corriente menores (v_{gs} menor), dando como resultado una mayor cantidad de bits de entrada con una menor corriente de polarización de la celda.

En la Figura 3.41 se muestra el circuito implementado acoplador de niveles basado en un flipped-voltage-follower para fijar el nivel de 1.2V.

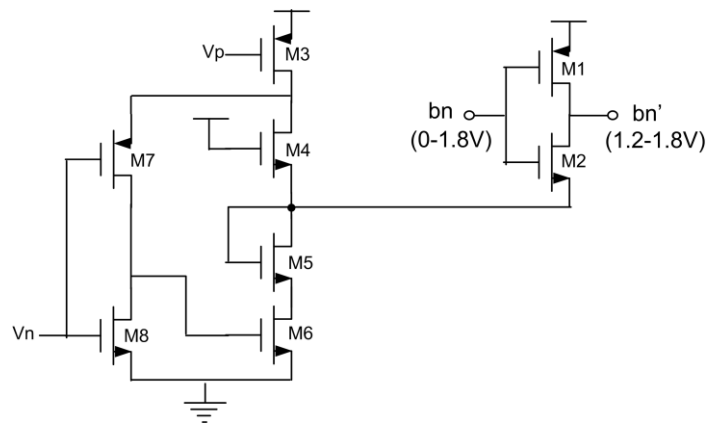


Figura 3.41 Acoplador de niveles

La celda de retardo con la modificación del seguidor de voltaje se muestra en la Figura 3.42 (el dimensionamiento se da en el apéndice A) en la cual los bloques A1 y A2 representan cada uno de ellos un seguidor de voltaje controlado digitalmente.

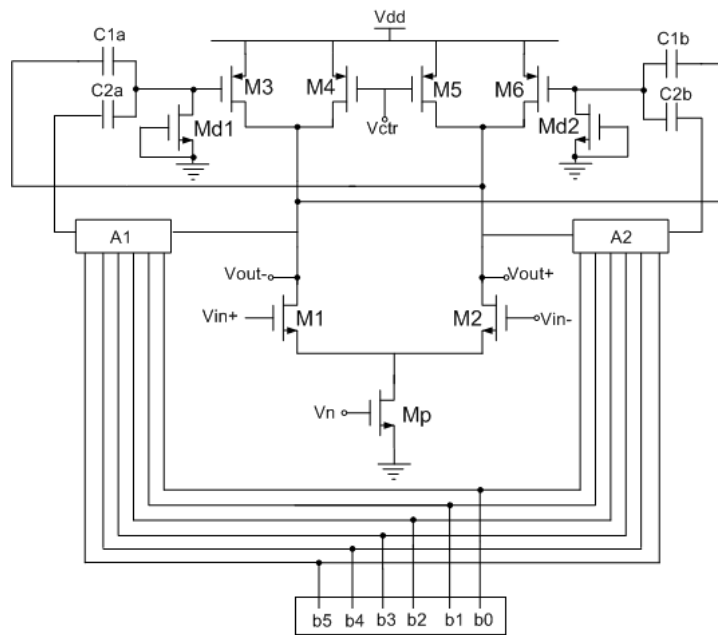


Figura 3.42 Celda de retardo controlada digitalmente (CRCD).

Con esta modificación obtenemos una celda de retardo que puede ser controlada en tres puntos distintos:

1. La entrada digital del seguidor de voltaje
2. El voltaje de control (V_{ctr}) en la cual si se adiciona un DAC obtenemos otra línea de control digital.
3. La corriente de polarización de la celda, de igual manera que el segundo punto, se puede adicionar un DAC para obtener otra línea de control digital.

En la Figura 3.43 se muestra el oscilador implementado usando la celda de retardo controlada digitalmente, para obtener un DCO de dos etapas con dos señales de control (entonado fino y entonado grueso). Para el control digital de entonado fino se emplea la señal analógica de control (V_{ctr}) como en los VCO diseñados anteriormente la cual puede ser manejada como

entrada digital mediante un DAC cuya resolución determinará el paso mínimo de entonado.

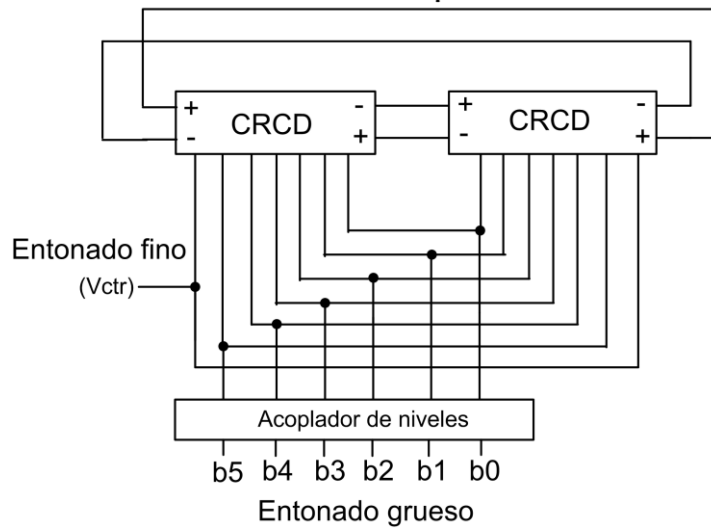


Figura 3.43 DCO.

Para el entonado grueso se hace uso del control digital del seguidor de voltaje mediante el uso del acoplador de niveles dada en la Figura 3.41.

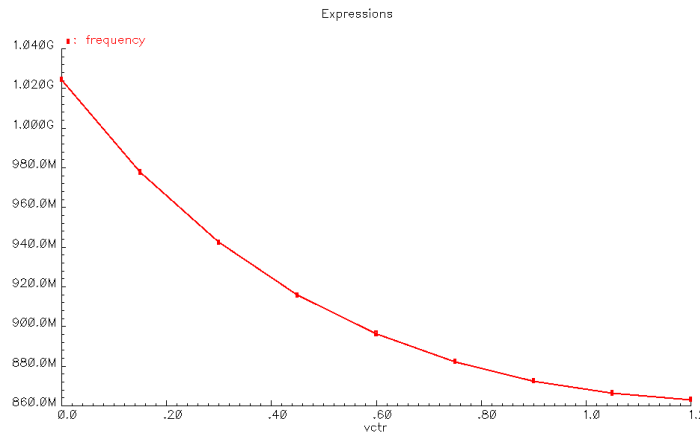


Figura 3.44 Función de transferencia del entonado fino.

La función de transferencia del entonado fino se muestra en la Figura 3.44 (para una palabra digital de 20 en el entonado grueso) con una ganancia aproximada de $K_{VCO} = -133.3\text{MHz}/\text{V}$. Si se implementa el control

digital con un DAC de 8bits se obtendrá un paso de frecuencia aproximado de $K_{DCO} = -520.8kHz/LSB$.

Las señales de salida se muestran en la Figura 3.45 en la cual se muestran las señales con un desfase de 90° .

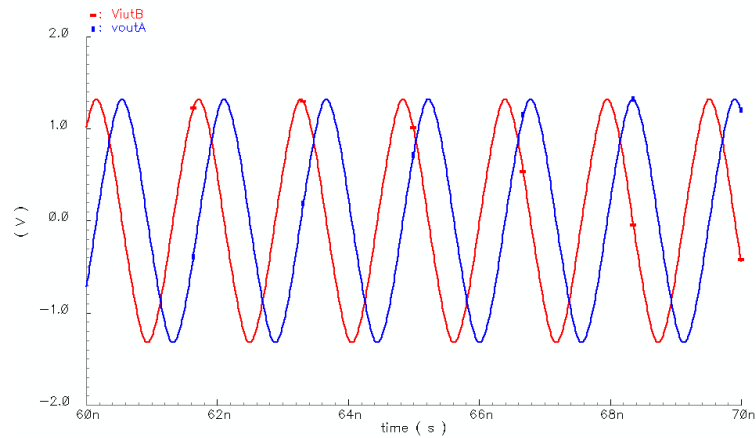


Figura 3.45 Señales en cuadratura del DCO.

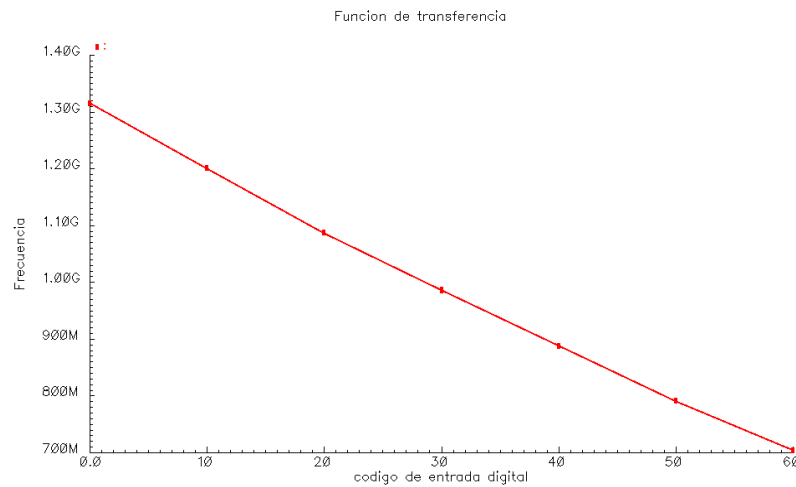


Figura 3.46 Función de transferencia del entonado fuerte.

La Figura 3.46 muestra la característica de transferencia del DCO obteniendo una característica lineal con un rango de entonado de 700MHz a 1.31GHz para una palabra digital de 6 bits. La ganancia del DCO es de $K_{DCO}=10MHz/LSB$.

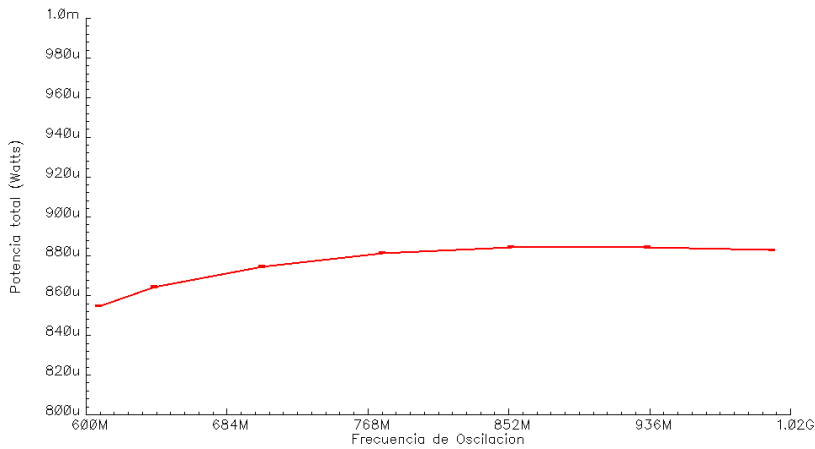


Figura 3.47 Consumo de potencia promedio del DCO.

El consumo de potencia total del DCO en todo el rango de frecuencias se muestra en la Figura 3.47 obteniendo un consumo de potencia por debajo de 1mW a frecuencias de 1GHz. La variación de la potencia en todo el rango de entonado es de $25\mu\text{W}$ con una potencia promedio de 870uW.

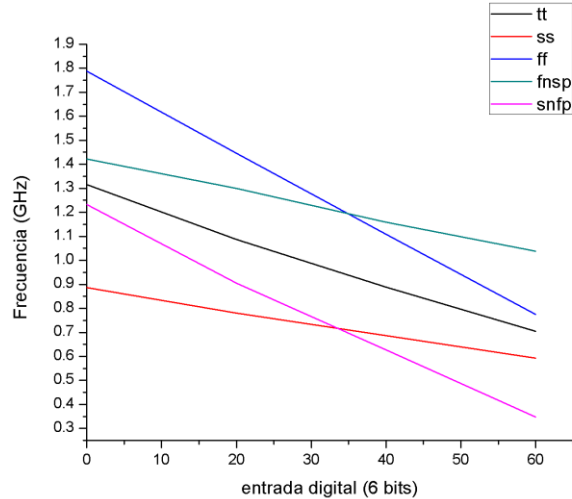


Figura 3.48 Función de transferencia frente a variación de procesos.

Los resultados de la variación de la función de transferencia del oscilador frente a los parámetros de esquina se muestran en la Figura 3.48. Debido a que el DCO se basa en las topologías analizadas anteriormente,

era de esperarse que también presente grandes variaciones de la frecuencia de oscilación por variaciones de proceso. La principal diferencia de esta gráfica es: la pendiente de la curva de transferencia cambia debida principalmente al acoplador de niveles, puesto que en su interior manipula niveles analógicos que determinan el comportamiento del buffer modificado.

La variación en el peor de los casos del DCO frente a variaciones de proceso es de 900MHz para una entrada digital de '0', esto por supuesto puede ser mejorado mediante un análisis de sensibilidad y contrarrestar los efectos entre cada uno de los elementos además de un mejor circuito de polarización.

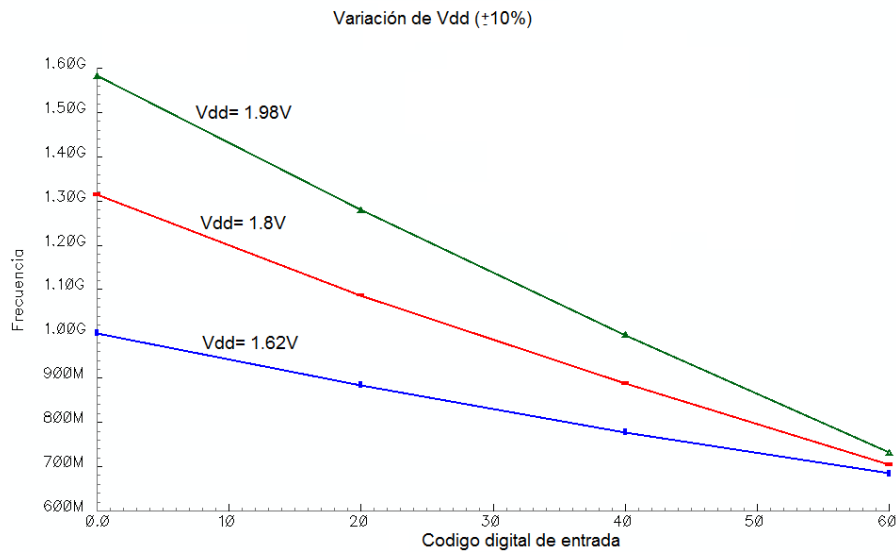


Figura 3.49 Función de transferencia frente a variaciones de V_{dd} .

En la Figura 3.49 se muestra el comportamiento de la curva de transferencia del oscilador frente a una variación de $\pm 10\%$ del voltaje de alimentación (V_{dd}). La variación de V_{dd} afecta en la ganancia del oscilador (K_{DCO}) de tal manera que, para cada código de entrada se tiene mayor o menor rango de variación, para el peor caso se tiene una sensibilidad de 29MHz/% y en el mejor de los casos de 2.5MHz/%. La tendencia de las

curvas muestra un punto de cruce, el cual puede ser manipulado para que ocurra a la frecuencia central y así obtener menor sensibilidad a V_{dd} .

La variación de la función de transferencia del oscilador frente a cambios de temperatura se muestra en la Figura 3.50, en la cual se ha simulado una variación de temperatura en el rango de 0° a 125°C . El peor de los casos se presenta con la entrada digital a '0', presentando una variación de $720\text{KHz}/^\circ\text{C}$. Una característica importante son los puntos de cruce que se generan, en los cuales se tiene una variación de $40\text{KHz}/^\circ\text{C}$.

En un trabajo posterior, sería interesante analizar la forma en que los coeficientes de temperatura de cada uno de los bloques que conforman al DCO, se contrarrestan para reducir la variación. De igual manera se buscaría la compensación para las variaciones de proceso y voltaje de alimentación.

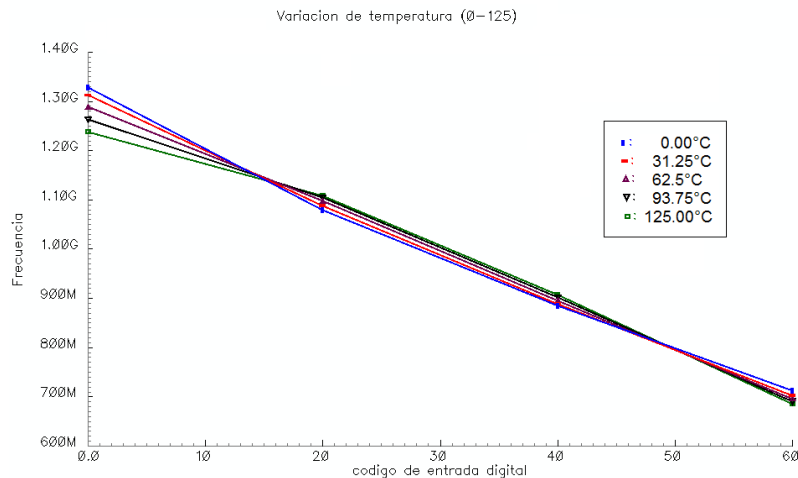


Figura 3.50 Función de transferencia frente a variaciones de temperatura.

La gráfica del ruido de fase que se obtuvo usando el simulador Spectre se muestra en la Figura 3.51, en el cual se tiene -110dB @ 31MHz . Si comparamos este resultado con el ruido de fase del VCO de la sección 3.3 (Figura 3.37) que tiene -110dB @ 29MHz , vemos que la diferencia no es tan significativa, a pesar de que en el DCO se han introducido 12 transistores en

cada celda de retardo para el control digital. De manera que; la técnica de degeneración en fase mediante un buffer se mantiene abierto para las mejoras en ruido de fase.

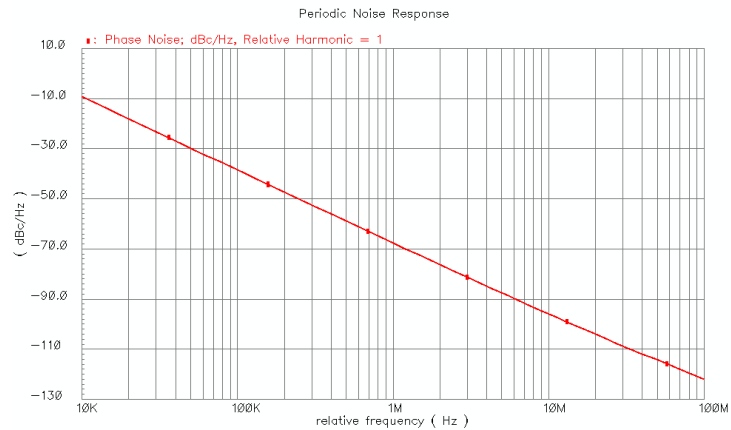


Figura 3.51 Ruido de fase a una frecuencia de oscilación de 1GHz.

Mediante el método propuesto de programación de la frecuencia usando la degeneración en fase se abre una gama de posibilidades al poder usar distintas topologías de seguidores de voltaje que permitan controlar la ubicación de sus polos variando algún parámetro del circuito.

Capítulo 4

Simulación de un ADPLL en VHDL

4.1 Introducción

El surgimiento de lenguajes de descripción de hardware tales como el VHDL y Verilog, han tenido una importante contribución al proceso de diseño de circuitos integrados digitales. Permitiendo el desarrollo de herramientas para la automatización del diseño electrónico (EDA tools) mediante la metodología de diseño top-down, así como también la rápida evaluación de sistemas que incluyen componentes analógicos y digitales, tales como tecnologías System on Chip (SoC), mediante el modelado comportamental de los bloques que la constituyen. Algunas de las ventajas obtenidas por el uso de este lenguaje son [21]:

- Incrementa el rendimiento de la producción en ciclos de desarrollo más corto, con características adicionales del producto y menor tiempo para colocar en el mercado.
- Reduce el costo de Non-Recurring-Engineering (NRE).
- Permite la reutilización del diseño.

- Incrementa la flexibilidad en cambios del diseño.
- Exploración más rápida de arquitecturas alternativas.
- Exploración más rápida de librerías de tecnologías alternativas.
- Permite el uso de síntesis para una rápida estimación de área y tiempos.
- Mejor y más fácil supervisión y verificación del diseño.

En este capítulo se describe el modelado y simulación comportamental de un sistema ADPLL con el lenguaje de descripción de hardware VHDL, usando las características del oscilador diseñado en la sección 3.3, éste es modelado como un oscilador controlado por periodo en VHDL, ya que en este lenguaje no es posible manejar directamente como variable la frecuencia.

4.2 Arquitectura del sistema

El diagrama a bloques de la arquitectura de un ADPLL en el dominio de la fase se muestra en la Figura 4.1, propuesta por Robert Bogdan y Poras T. Balsara [22]. En esta arquitectura el detector de fase/frecuencia, bombas de carga y filtro de lazo RC de un PLL analógico convencional son remplazados por un convertidor de tiempo-digital (TDC) y un filtro de lazo digital. El DCO que usaron está basado en un circuito tanque con un inductor de valor fijo y realizando el entonado de la frecuencia mediante la conmutación de un banco de capacitores conformado de varactores MOS, consiguiendo de esta manera un paso de frecuencia de 12kHz con el varactor más pequeño. El banco de capacitores está dividido en cuatro secciones con diferentes pesos para obtener un paso de frecuencia diferente en cada una de ellas (ver Figura 4.2 [23]), de tal manera que el lazo de control digital usa cada una de las secciones durante el proceso de seguimiento y amarre de la fase.

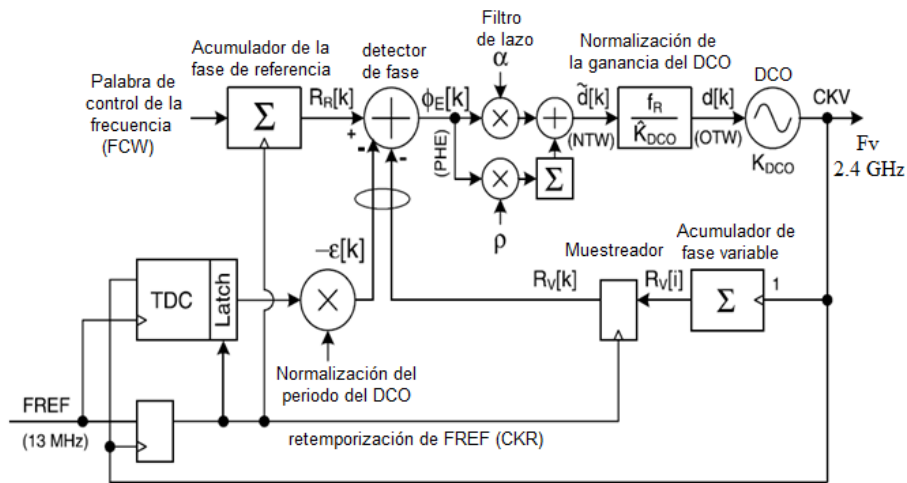


Figura 4.1 Sintetizador de frecuencia basado en ADPLL [22]

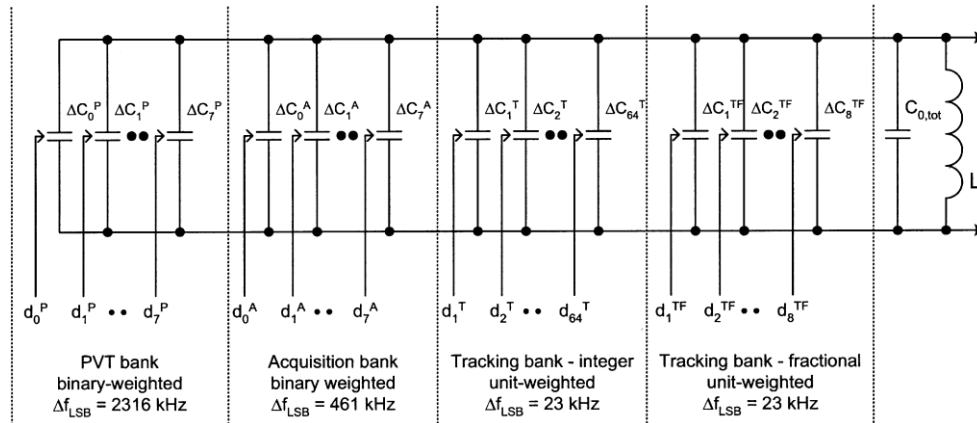


Figura 4.2 Circuito tanque LC con banco de capacitores discretos para diferentes modos de control [23].

Mediante la arquitectura anterior, con ligeras modificaciones en el lazo de control, se realiza un ADPLL usando el VCO diseñado en la sección 3.3. El DCO en este caso está conformado por el VCO con un DAC en su entrada y el filtro del lazo es sustituido con una ganancia proporcional obteniendo un PLL de primer orden, el cual está definido a tener un solo polo de integración, debido a la conversión de frecuencia a fase del DCO. De esta manera la arquitectura resultante se muestra en la Figura 4.3.

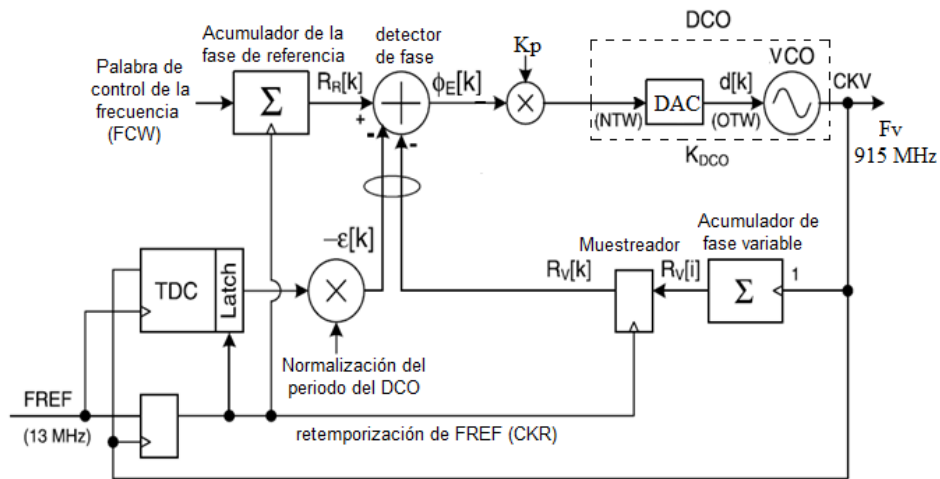


Figura 4.3 VCO dentro de una arquitectura de ADPLL.

En el sistema se tienen tres señales de reloj, dadas por el reloj de referencia (FREF), la señal de salida del oscilador (CKV) y el reloj (CKR) que es generado mediante el muestreo del reloj de referencia con la señal de salida del oscilador tal como se muestra en la Figura 4.4. El propósito de CKR es la sincronización del sistema de tal manera que las operaciones aritméticas se realicen en el mismo dominio de reloj, además de permitir que el valor medido del TDC se haya establecido antes de realizar la operación en el detector de fase.

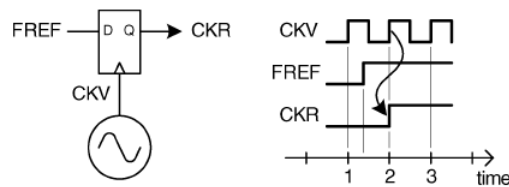


Figura 4.4 Generación del reloj de sincronización por muestreo de FREF [22].

La palabra de entrada FCW se define como la razón de la frecuencia de salida deseada a la frecuencia de referencia:

$$FCW = N \equiv \frac{f_{V,deseada}}{f_R} \quad (4.1)$$

Esta razón de frecuencias comúnmente está compuesta por una parte entera y una fraccional, las cuales serán representadas con dos palabras de punto fijo.

$$FCW = N = N_i + N_f \quad (4.2)$$

La señal de fase de referencia $R_R[k]$ se obtiene acumulando la palabra FCW en cada flanco de subida de CKR. La fase variable $R_V[i]$ se obtiene contando el número de flancos de subida de la señal de salida del DCO. La fase variable muestreada $R_V[k]$ representa el número de flancos de subida del DCO en un periodo de CKR y el error de fase se obtiene mediante un detector de fase aritmético (las operaciones son sumas y restas directas).

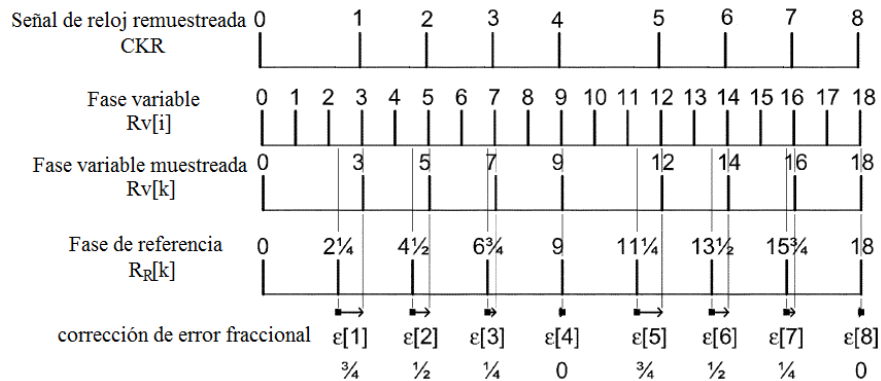


Figura 4.5 Evolución de señales para $FCW=2 + (1/4)$ [22].

En la Figura 4.5 se muestra la evolución de cada una de las señales mencionadas en el párrafo anterior para el caso en que $FCW=2+(1/4)$, en la cual se observa que al hacer la resta de la fase variable muestreada $R_V[k]$ con la fase de referencia $R_R[k]$ no se obtiene un valor cero, y en lugar de ello se obtiene una señal de error fraccional $\epsilon[k]$ por consecuencia del remuestreo de FREF, ya que CKR espera hasta el siguiente flanco de CKV después del flanco de FREF. Entonces, para obtener cero o un valor constante en la salida del detector de fase en estado estable, es necesario medir la parte fraccional correspondiente a la corrección de error fraccional de la Figura 4.5.

Esta función se lleva a cabo mediante un convertidor de tiempo a digital (TDC) que cuantizará la corrección de error fraccional $\varepsilon[k]$ en un número entero de punto fijo.

Por lo tanto, la operación del detector de fase está dada por:

$$\phi_E[k] = R_R[k] - R_V[k] + \varepsilon[k] \quad (4.3)$$

Como FCW está compuesto de una parte entera y una fraccional, por lo tanto $R_R[k]$ estará también compuesto por una parte entera $R_{R,i}[k]$ y la parte fraccional $R_{R,f}[k]$, de tal manera que, la ecuación (4.3) se puede reescribir en dos partes independientes correspondientes a la resta de partes enteras y fraccionales.

$$\phi_E[k] = (R_{R,i}[k] - R_V[k]) + (R_{R,f}[k] + \varepsilon[k]) \quad (4.4)$$

De esta manera, la corrección de error fraccional rastreará la parte fraccional de la fase de referencia, mientras que el acumulador de fase variable $R_V[k]$ rastreará a la fase de referencia entera, tal como se puede observar en la Figura 4.5. Idealmente la resta de la parte entera resultará a -1, mientras que la parte fraccional sumará a 1. La implementación en hardware de la ecuación (4.4) se muestra en la Figura 4.6.

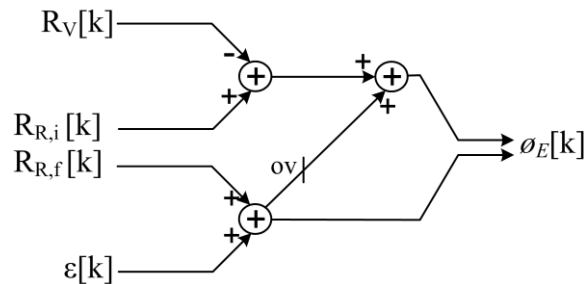


Figura 4.6 Implementación en hardware del detector de fase.

El detector de fase genera una señal de salida digital correspondiente al error de fase que posteriormente es condicionada para controlar la frecuencia de oscilación del DCO.

4.2.1 Estructura de los bloques

La arquitectura digital se implementa con una longitud de palabra de $w_i=8$ bits para la parte entera y $w_f=10$ bits para la fraccional. Los códigos en VHDL se encuentran en el apéndice B.

Acumulador de fase de referencia

El acumulador de fase de referencia tiene como señal de entrada el dato FCW, el cual está compuesto por las palabras digitales N_i de w_i bits, que representa la parte entera, y N_f de w_f bits, que representa la parte fraccional de la razón entre la frecuencia deseada y la frecuencia de referencia. La estructura de este bloque se muestra en la Figura 4.7.

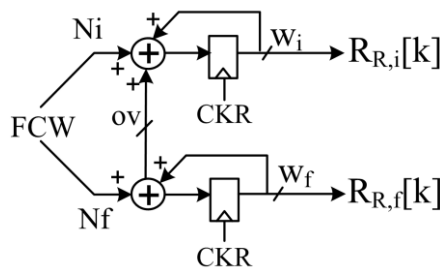


Figura 4.7 Estructura del acumulador de referencia.

Acumulador de fase variable

Este bloque cuenta el número de flancos de subida de la señal del oscilador CKV en un periodo de CKR , obteniendo de esta manera la señal de fase variable $R_v[k]$ y cuyo esquema general se muestra en la Figura 4.8.

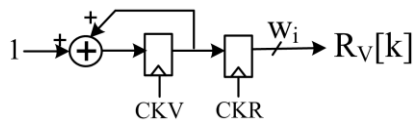


Figura 4.8 Esquema general del acumulador de fase variable.

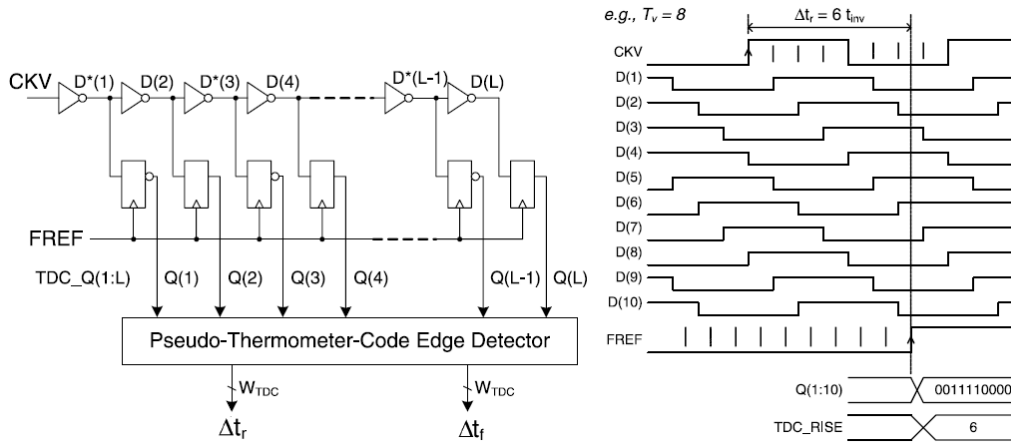


Figura 4.9 Convertidor de tiempo a digital [24].

Corrección de error fraccional $\varepsilon[k]$

La corrección del error fraccional se realiza mediante el uso de un TDC con una estructura simple que está basada en una cadena de inversores tal como se muestra en la Figura 4.9, de tal manera que la resolución del TDC está determinada por el retardo de un inversor Δt_{inv} . Distintas arquitecturas han sido propuestas para aumentar la resolución a costa de complejidad, tal como en [11], los cuales consiguen resoluciones menores al retardo de un inversor. En el esquema simple, la señal del oscilador es introducido a una cadena de inversores, de manera que la salida de cada inversor está ligeramente retardada con respecto al inversor anterior, el retardo total de la cadena de inversores deberá cubrir un periodo del reloj del oscilador. Las señales de los inversores son entonces llevadas a registros que son muestreados por el reloj de referencia, obteniendo la señal TDC_Q que estará compuesta por vectores de unos y ceros, y cuya longitud representa las diferencias de tiempos entre el flanco de subida de FREF con

el flanco de subida y bajada de CKV representados por Δt_r y Δt_f respectivamente, los cuales son determinados mediante la detección de cambios de "1" a "0" y de "0" a "1" en el vector TDC_Q. Dependiendo de la ubicación de estos cambios dentro del vector es el valor de Δt_r y Δt_f cuantizados por el número de inversores. En la figura Figura 4.9 se muestra un ejemplo con una cadena de 10 inversores y un periodo de CKV (T_V) igual al retardo de 8 inversores, obteniendo de esta manera $\Delta t_r=6t_{inv}$ y $\Delta t_f=2t_{inv}$. Mediante la manipulación de la información proporcionada por Δt_r y Δt_f se obtiene el valor del periodo y consecuentemente la señal de error fraccional $\varepsilon[k]$ tal como se muestra en la Figura 4.10, en la cual se han representado ambos casos de error de fase que se presentan en un PLL convencional.

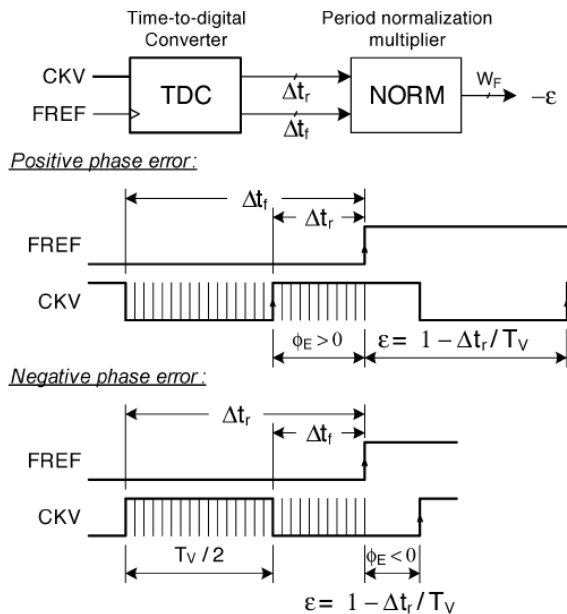


Figura 4.10 Estimación del error fraccional mostrando ambos casos de error de fase de un clásico PLL [24].

En general la mitad del periodo está determinada por:

$$\frac{T_V}{2} = \begin{cases} \Delta t_r - \Delta t_f & \Delta t_r \geq \Delta t_f \\ \Delta t_f - \Delta t_r & \text{otro} \end{cases} \quad (4.5)$$

Tal como se muestra en la Figura 4.10, la señal de corrección de error fraccional $\varepsilon[k]$ de ecuación (4.4) es calculada usando la ecuación (4.6). Esta señal corresponde a la diferencia de tiempo entre los flancos de subida de FREF y el siguiente de CKV, siendo $\varepsilon[k]$ positivo y $\varepsilon(0,1)$.

$$\varepsilon[k] = 1 - \frac{\Delta t_r[k]}{T_v} \quad (4.6)$$

Como se mencionó en un principio, la fase fraccional será representada con una palabra digital de w_f bits. Por lo tanto, para poder combinar apropiadamente $\varepsilon[k]$ con la parte fraccional de la fase de referencia $R_{R,i}[k]$, la corrección fraccional $\varepsilon[k]$ es representada como una palabra digital de punto fijo dada por:

$$\varepsilon[k] = \left[1 - \frac{\Delta t_r[k]}{T_v} \right] * 2^{w_f} \quad (4.7)$$

La estructura de la corrección de error fraccional se muestra en la Figura 4.11.

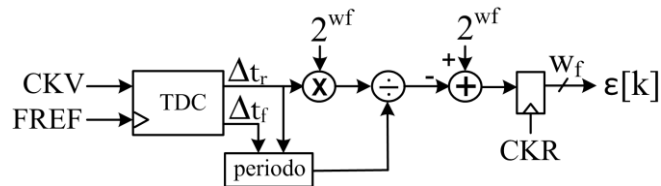


Figura 4.11 Estructura de la corrección de error fraccional.

Detector de fase

La estructura del detector de fase, tal como se indicó anteriormente, está definida mediante la ecuación (4.4) y cuyo esquema de implementación se mostró en la Figura 4.6. La señal de salida es un número en complemento a 2, por lo que es necesario adicionar una etapa de suma para obtener una salida en código binario para acoplarla a la siguiente etapa. El esquema

resultante es el que se muestra en la Figura 4.12, con una señal de salida de w_i bits para la parte entera y de w_f bits para la parte fraccional.

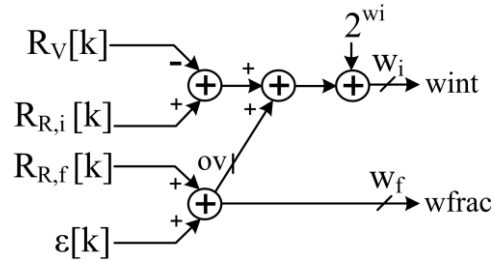


Figura 4.12 Estructura del detector de fase.

Control del DCO

Para el acoplamiento de las señales de salida del detector de fase con el DCO se implementa la estructura mostrada en la Figura 4.13. Para el control de la parte entera se usa un DAC de w_i bits cuya estructura puede ser de tipo current-steering por su eficiencia en área y velocidad. Para la parte fraccional, debido a que esta señal requiere de una mayor resolución, no es viable manejarla con un DAC de w_f bits por cuestiones de área y aumento de componentes analógicos y, siguiendo la tendencia de soluciones digitales para realizar funciones de componentes analógicos, se usa un DAC de un bit de resolución manejado por un modulador Sigma-Delta ($\Sigma\Delta$). El propósito del modulador- $\Sigma\Delta$ es la conversión de una señal digital de alta resolución a baja frecuencia a una señal de baja resolución a alta frecuencia. A pesar de la pérdida en la resolución, la resolución promedio a una muestra particular de la señal se mantiene sin cambio.

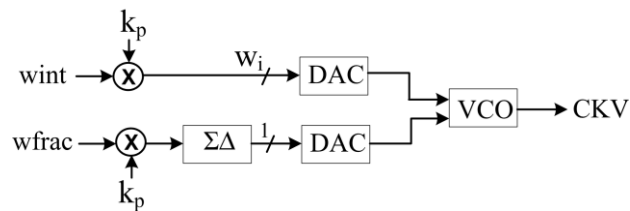


Figura 4.13 Estructura del control del DCO.

La configuración del modulador $\Sigma\Delta$ se muestra en la Figura 4.14, el cual consta de una estructura error-feedback de segundo orden.

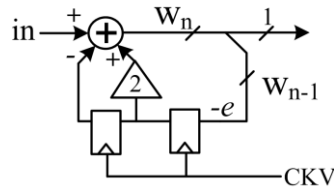


Figura 4.14 Modulador sigma-delta.

La estructura en la cual se basa el modelado en VHDL del DCO se muestra en la Figura 4.15. El esquema del DCO para su modelado en VHDL se basa en un oscilador controlado por periodo, donde *dco-r* representa la desviación en periodo a un LSB de la entrada y *period-0* corresponde al periodo del reloj con cero en la entrada.

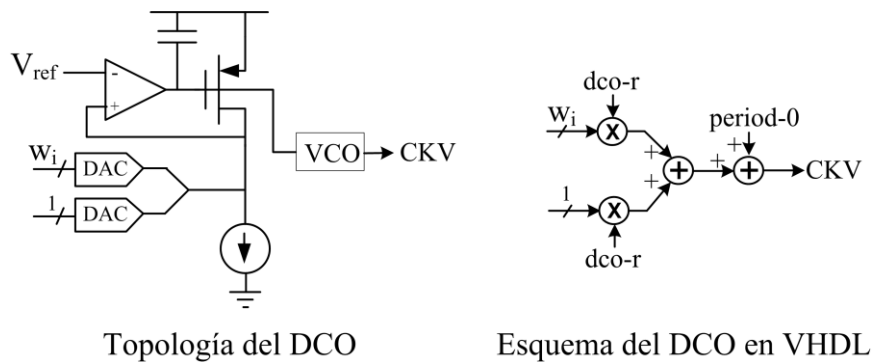


Figura 4.15 Estructura del DCO.

Las variables *dco_r* y *period-0* se obtienen a partir de las características del oscilador diseñado en la sección 3.3, el cual tiene un rango de entonado de 976MHz a 898MHz para una señal de entrada de 0-1.2V (ver Figura 3.32) y de acuerdo a Figura 4.15 la entrada es de $0-2^{w_i}$ para el DCO. En el dominio del tiempo el rango del periodo correspondiente es de 1,024,590fs a 1,113,585fs, por lo tanto, ***period-0=1,024,590fs*** que corresponde a la entrada cero y $dco-r=(1,113,585fs-1,024,590)/(2^{w_i}-1)$, en este caso el DAC es de 8 bits de manera que ***dco-r=349fs***.

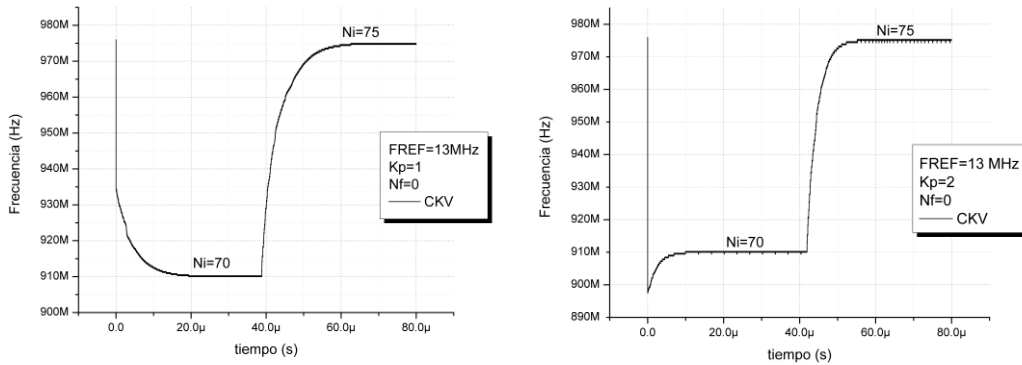


Figura 4.17 Frecuencia de salida del ADPLL

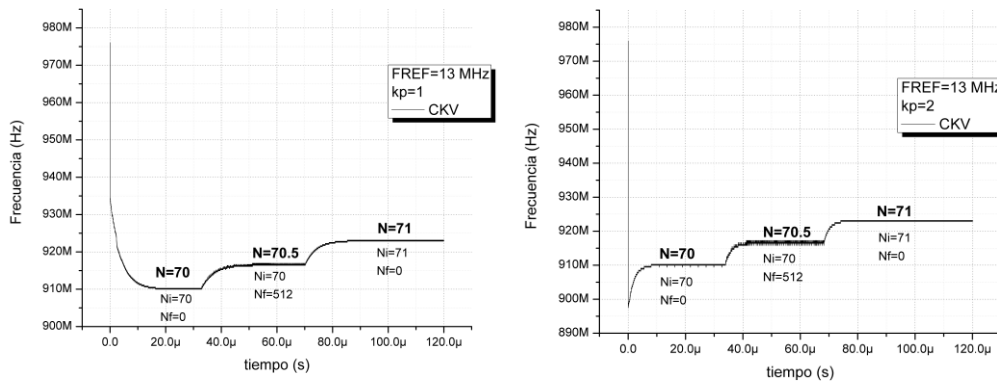


Figura 4.18 Frecuencia de salida del ADPLL para N fraccional

En la Figura 4.18 se muestra una simulación para el caso en que la razón entre la frecuencia de salida y la frecuencia de referencia es fraccional ($N=70.5$) junto con las razones enteras más próximas (para $k_p=1$ y $K_p=2$). Como se mencionó en un principio, el sistema trabaja en punto fijo, por ende, las palabras de entrada N_i y N_f son números enteros de punto fijo, de tal manera que un LSB de la parte entera (N_i) corresponde a una palabra de 2^{wf} de la parte fraccional (N_f), por lo tanto una fracción de 0.5 corresponde a

$N_f=2^{w_f}/2=512$ para $w_f=10bits$. En la figura se observa la frecuencia intermedia alrededor de 916Mz entre los dos múltiplos de frecuencia entera.

El tiempo de simulación del ADPLL fue en promedio de 20 segundos para cada uno de los casos de la Figura 4.18. Esta ventaja permite la evaluación de distintas arquitecturas en cuestión de minutos, además de la flexibilidad para cambiar cada uno de los bloques de manera progresiva con modelos más complejos hasta obtener un modelo completo que incluya los efectos a nivel circuito, lo cual quedó fuera del objetivo de este trabajo.

Capítulo 5

Conclusiones y trabajo futuro

Esta tesis ha presentado el análisis de la degeneración en fase de la celda básica de Maneatis, enfocándose al efecto que introduce el buffer de la red de retroalimentación y, a partir de ello, realizar osciladores en el rango de 1GHz con potencias menores a 1mW, esto debido principalmente a las siguientes razones:

- Los polos del buffer introducido en la red de retroalimentación se convierten en parte principal de los ceros de la celda básica de Maneatis degenerada en fase, provocando que la ganancia aumente en un rango de frecuencias mayores a la de los polos dominantes, de tal manera que la frecuencia a ganancia unitaria es mayor y, por ende, se obtiene una mayor frecuencia de oscilación.
- La frecuencia a ganancia unitaria ahora depende principalmente de la ubicación de los polos del buffer. Con la topología usada se obtienen frecuencias alrededor de 3GHz con una corriente de polarización de 25uA. Por lo tanto, se consiguen frecuencias mayores de oscilación con baja potencia al no ser absolutamente necesario el aumento de la

corriente de polarización de la celda básica del oscilador para el aumento de la frecuencia como sucede en las topologías convencionales.

Con el análisis del efecto del buffer en la red de retroalimentación para la degeneración en fase se consigue realizar dos topologías nuevas para conseguir osciladores de dos etapas:

- Una es el oscilador en modo común en el cual se consiguen los criterios de oscilación sin el uso de transistores de compuerta flotante, obteniendo un oscilador que además de un bajo consumo de potencia y alta frecuencia tiene un área menor ya que no es necesario ningún elemento pasivo. La desventaja principal de esta topología es que no es posible la obtención de señales en cuadratura a pesar de ser de dos etapas.
- Ya que la frecuencia de oscilación depende principalmente de los polos del buffer, se propuso una topología en la que se controla la respuesta en frecuencia del buffer mediante una palabra digital. De esta manera se obtiene un oscilador controlado digitalmente usando la degeneración en fase como método de entonado obteniendo un rango de entonado lineal de la frecuencia con la palabra de entrada.

Con el análisis realizado se demuestra la potencialidad de la técnica de degeneración en fase mediante la introducción de una celda de retardo en la red de retroalimentación, ya que es posible obtener una gran cantidad de topologías al usar distintas celdas de retardo en esta retroalimentación y con ello, la obtención de diferentes características de osciladores de anillo.

Se realizó el diseño de un oscilador de dos etapas junto con los circuitos auxiliares de entrada y salida para su fabricación y prueba en el rango de

915MHz, con un consumo de potencia alrededor de 900uW con señales de salida en cuadratura.

En una forma básica y general se ha mostrado la simplicidad con que un sistema ADPLL puede ser implementado y simulado en un lenguaje de descripción de hardware (VHDL) obteniendo el comportamiento transitorio de rastreo y amarre del sistema en tiempos de sólo unos segundos, lo que nos permite probar diferentes arquitecturas en poco tiempo.

Como trabajos futuros podemos mencionar cuatro principales:

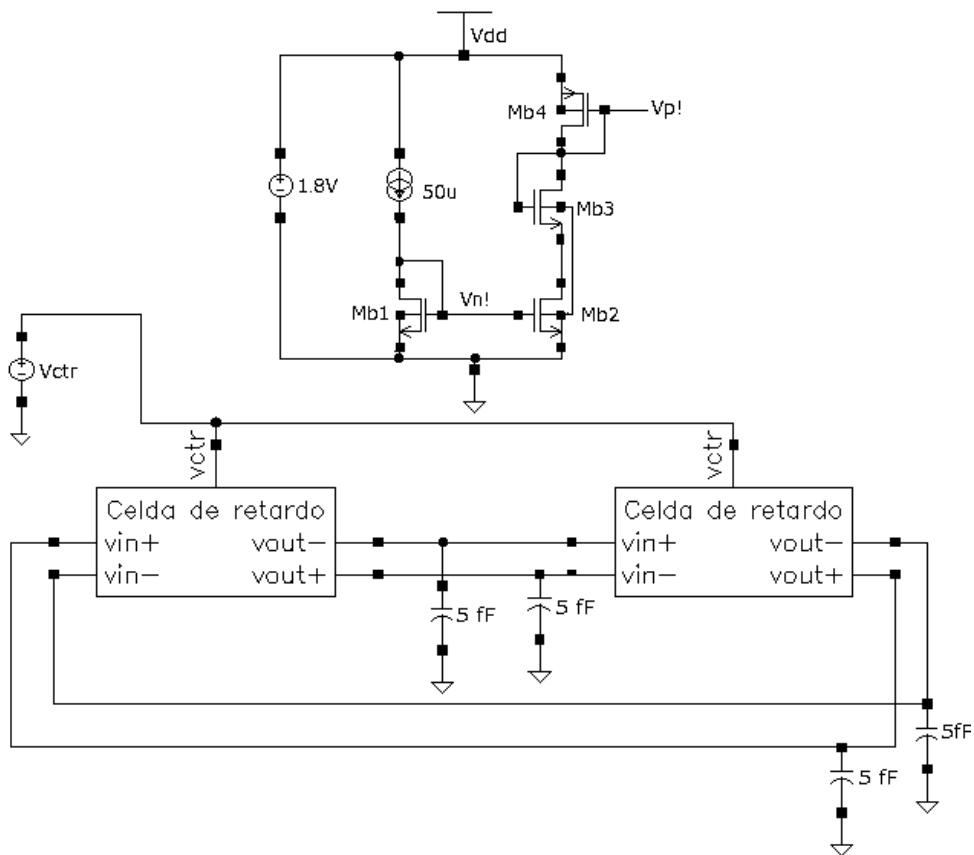
- Probar diferentes topologías del buffer en la red de retroalimentación. Esto nos podrá llevar a nuevas arquitecturas con mejores características.
- Realizar el diseño completo para su fabricación y posterior caracterización de las dos topologías propuestas: el oscilador en modo común y el oscilador controlado digitalmente.
- Realizar un análisis de ruido completo de las diferentes topologías para determinar las consideraciones de diseño que se deberán seguir para obtener un mejor desempeño en ruido de fase.
- Realizar el diseño completo del sistema ADPLL siguiendo el flujo de diseño digital (diseño top-down) para su fabricación.

Apéndice A

Esquemáticos de los osciladores y Dimensiones asignadas a los transistores

Oscilador de dos etapas por degeneración en fase (sección 3.2.2.1)

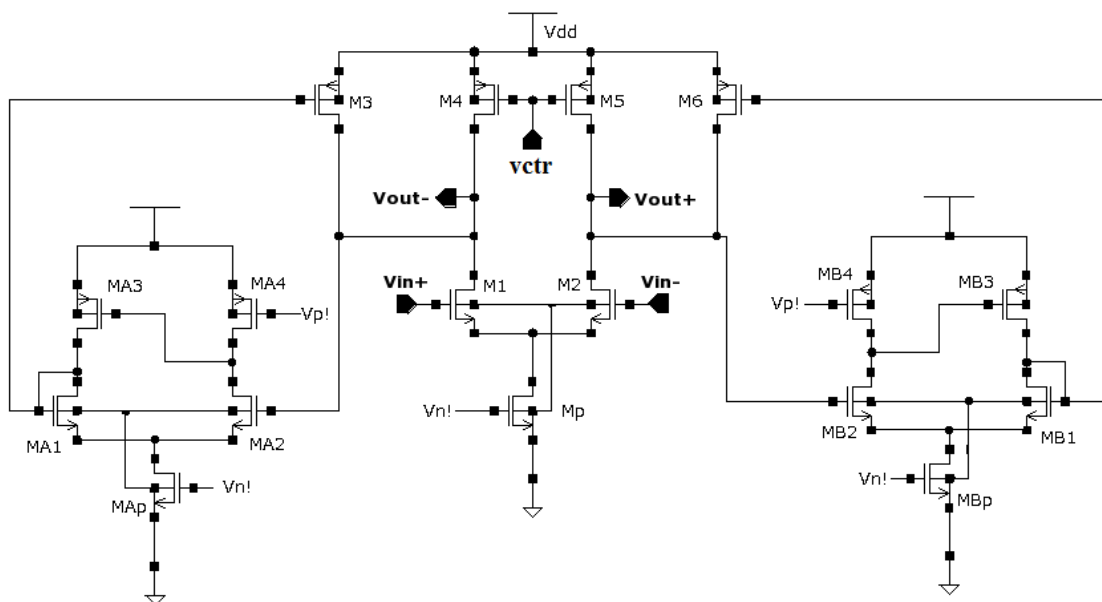
Esquemático del oscilador:



Parámetro	Mb1	Mb2	Mb3	Mb4
W(μm)	2	1	0.8	1.8
L(μm)	0.2	0.2	0.2	0.2

Tabla A- 1 Dimensiones del circuito de polarización

Celda de retardo:



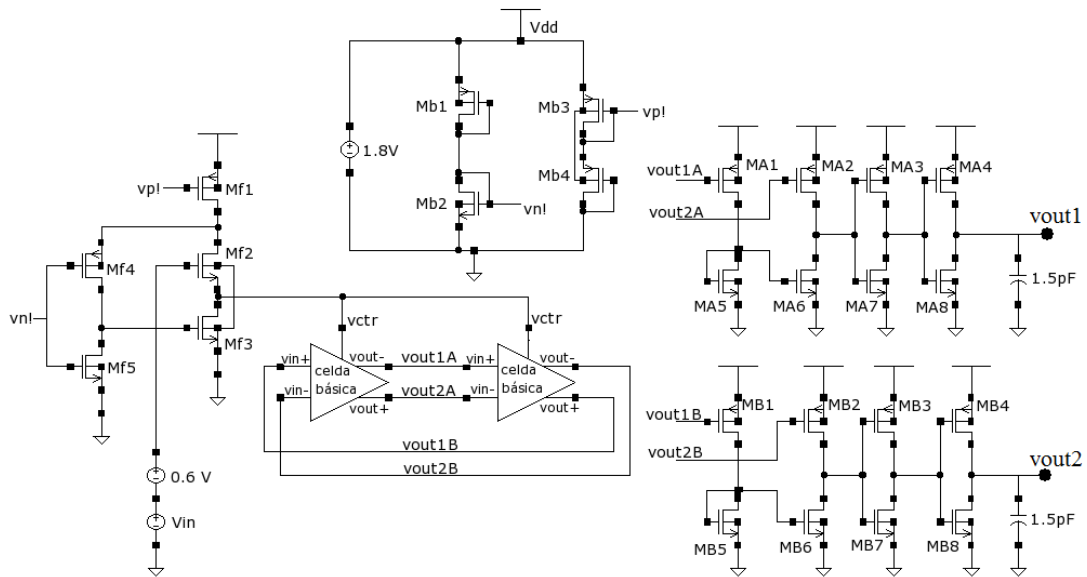
Parámetro	M1, M2	M3, M6	M4, M5	Mp	Mxp	Mx1, Mx2	Mx4	Mx3
W(μm)	2	4	0.25	8	2	0.4	1.8	0.9
L(μm)	0.2	0.2	0.4	0.2	0.2	0.2	0.2	0.2

Tabla A- 2 Dimensiones de los transistores de la celda de retardo del oscilador por degeneración en fase.

En la Tabla A- 2 la letra “x” representa tanto la letra A como la B ya que la celda de retardo tiene dos seguidores de voltaje idénticos en cada lado.

Oscilador de dos etapas a 915MHz (sección 3.3)

Esquemático del oscilador



Parámetro	Mb1	Mb2	Mb3	Mb4	Mf1	Mf2	Mf3	Mf4	Mf5
W(μm)	0.4	1	1	0.5	3.5	8	4.2	2	0.9
L(μm)	0.2	0.2	0.2	0.2	0.2	0.2	0.2	0.2	0.2

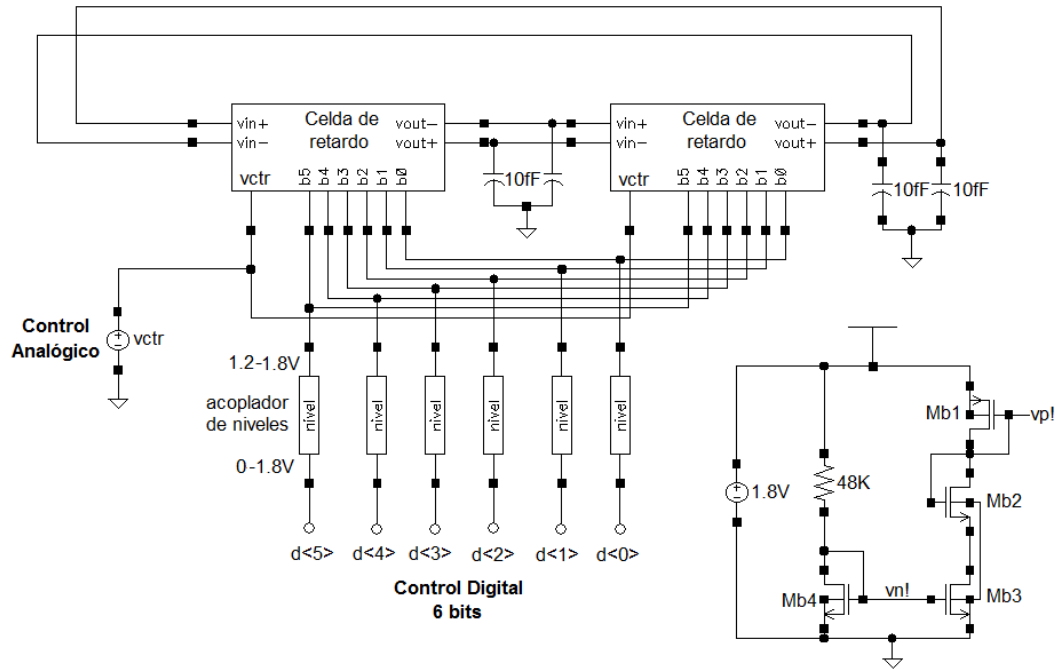
Tabla A- 3 Dimensiones del circuito de polarización y del buffer de entrada

Parámetro	Mx1, Mx2	Mx5, Mx6	Mx3	Mx4	Mx7	Mx8
W(μm)	6	2	20	80	5	20
L(μm)	0.2	0.2	0.2	0.2	0.2	0.2

Tabla A- 4 Dimensiones de los transistores del buffer de salida

Oscilador controlado digitalmente (DCO) (sección 3.4)

Esquemático principal:



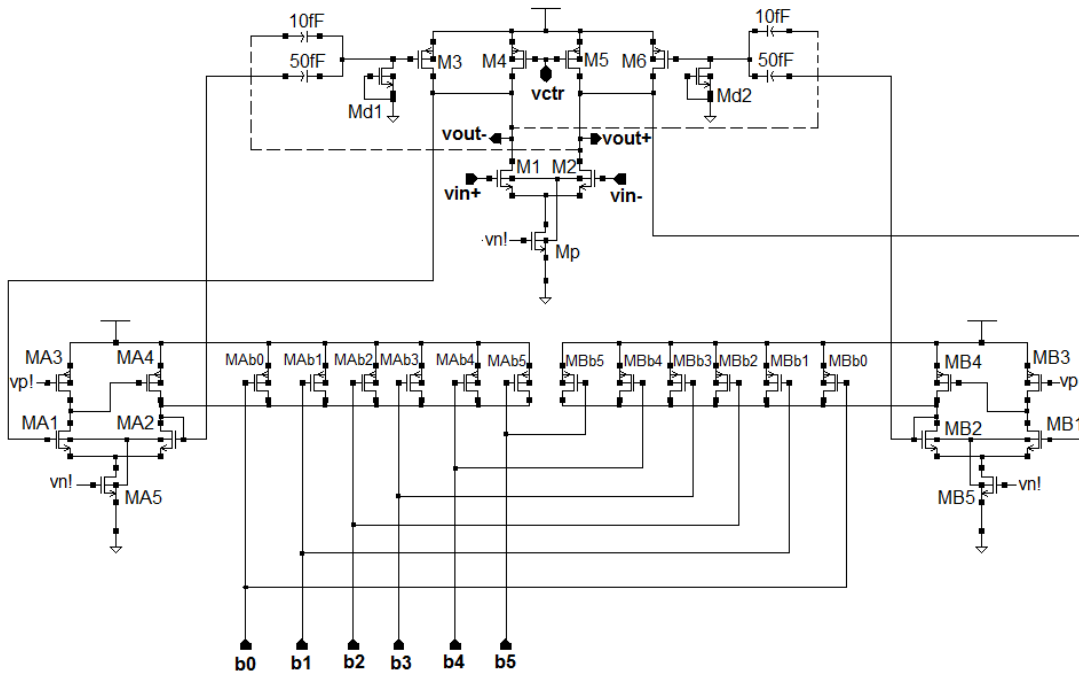
Parámetro	Mb1	Mb2	Mb3	Mb4
W(μm)	1.7	0.8	1	2
L(μm)	0.2	0.2	0.2	0.2

Tabla A- 6 Dimensiones de los transistores del circuito de polarización

	M1	M2	M3	M4	M5	M6	M7,	M8
W(μm)	0.8	0.4	3.2	4	0.24	0.4	0.24	0.4
L(μm)	0.2	0.2	0.2	0.2	0.2	0.2	0.2	0.2

Tabla A- 7 Dimensiones de los transistores del acoplador de niveles (Figura 3.41)

Celda de retardo del DCO:



	M1, M2	M3, M6	M4, M5	Mp	Md1	Md2	Mx5	Mx1,Mx
W(μm)	0.7	1.6	0.24	6	0.24	0.24	4	0.4
L(μm)	0.2	0.2	1	0.2	0.2	0.2	0.2	0.2
	Mx3	Mx4	Mxb0	Mxb1	Mxb2	Mxb3	Mxb4	Mxb5
W(μm)	1.7	0.8	0.24	0.48	0.96	1.92	3.84	7.68
L(μm)	0.2	0.4	0.4	0.4	0.4	0.4	0.4	0.4

Tabla A- 8 Dimensiones de los transistores de la celda de retardo del DCO

En la Tabla A- 8 la letra “x” sustituye la letra A y B en las etiquetas de los transistores.

Apéndice B

Códigos en VHDL del ADPLL

Para realizar el código de una manera estructurada, el sistema se descompondrá en cada uno de sus bloques, realizando el código correspondiente en archivos independientes de tal manera que puedan ser interconectados en un código general que formará todo el sistema.

Los bloques en que se descompone el sistema son:

1. Re-temporización de FREF (entidad: reclock)
2. Acumulador de fase de referencia (entidad: acum_ref)
3. Acumulador de fase variable (entidad: acum_var)
4. Corrección del error fraccional (entidad: error_frac)
5. Detector de fase (entidad: detector_fase)
6. Filtro de lazo (entidad: filtro)
7. DAC (entidad: model_dac)
8. Oscilador controlado por periodo (entidad: pco)
9. Modulador (entidad: modulador)

La entidad en la que se interconectarán todos los bloques para formar el sistema se denomina adpll.

Código del sistema completo (Figura 4.16)

Este es el código en la cual se interconectan todos los bloques para formar el sistema, en donde cada uno de los bloques es insertado como un componente.

```
LIBRARY ieee;
use ieee.std_logic_1164.ALL;
use ieee.std_logic_arith.all;

entity adpll is
  generic(
    wi:integer:=8;
    wf:integer:=10;
    resolucio:n: time:=1 fs;
    dco_r:integer:=349;
    period_0:time:=1024590 fs;
    kp:integer:=2);
  port(
    Ni,Nf:in integer;
    fref:in std_logic
  );
end entity adpll;

architecture behav of adpll is
  signal ckv,ckr,frac_sd:std_logic;
  signal Rvk,Rrik,wint:std_logic_vector (wi-1 downto 0):=(others=>'0');
  signal Rrfk,ek,wfrac:std_logic_vector(wf-1 downto 0):=(others=>'0');
  signal wfrac2:std_logic_vector(wf-1 downto 0):=(others=>'0');
  signal wint2:integer:=0;
  signal dev_per:time:=0 fs;

  component acum_var is
    generic(wi:integer:=8);
    port
      (ckv,ckr: in std_logic;
       Rvk: out std_logic_vector (wi-1 downto 0):=(others=>'0'));
  end component;

  component acum_ref is
    generic(
      wi:integer:=8;
      wf:integer:=10);
    port (
      Ni,Nf:in integer;
      ckr:in std_logic;
      Rrik:out std_logic_vector(wi-1 downto 0):=(others=>'0');
      Rrfk:out std_logic_vector(wf-1 downto 0):=(others=>'0'));
  end component;

  component error_frac is
    generic (
      DTDC: integer:=57;
      delay_inv: time:= 20 ps;
      wf: integer:=10
    );
    port(
      ckv,fref,ckr:in std_logic;
      ek:out std_logic_vector(wf-1 downto 0):=(others=>'0')
```

```

    );
end component;

component detector_fase is
    generic(
        wi:integer:=8;
        wf:integer:=10);
    port(
        Rvk,Rrik:in std_logic_vector(wi-1 downto 0):=(others=>'0');
        Rrfk,ek:in std_logic_vector(wf-1 downto 0);
        wint:out std_logic_vector(wi-1 downto 0):=(others=>'0');
        wfrac:out std_logic_vector(wf-1 downto 0):=(others=>'0')
    );
end component;

component reclock is
    port (
        fref,ckv:in std_logic;
        ckr:out std_logic);
end component;

component filtro is
    generic(
        wi:integer:=8;
        wf:integer:=10;
        kp:integer:=1);
    port(
        wint:in std_logic_vector(wi-1 downto 0):=(others=>'0');
        wfrac:in std_logic_vector(wf-1 downto 0):=(others=>'0');
        wint2:out integer;
        wfrac2:out std_logic_vector(wf-1 downto 0):=(others=>'0')
    );
end component;

component model_dac is
    generic (
        wi:integer:=8;
        wf:integer:=10;
        resolucion: time:=1 fs;
        dco_r:integer:=349);
    port (
        wint2:in integer:=0;
        frac_sd: in std_logic;
        dev_per:out time:=0 fs
    );
end component;

component pco is
    generic (
        period_0: time:=1024590 fs
    );
    port (
        dev_per: in time:=0 fs ;
        ckv : out std_logic);
end component;

component modulador is
    generic (
        wf:integer:=10);
    port(
        wfrac2:in std_logic_vector(wf-1 downto 0):=(others=>'0');
        ckv:in std_logic;
        frac_sd:out std_logic:='0');
end component;

begin
reloj:    reclock port map (fref,ckv,ckr);
p_var:   acum_var port map (ckv,ckr,Rvk);
p_ref:   acum_ref port map (Ni,Nf,ckr,Rrik,Rrfk);

```

```

tdc:      error_frac port map (ckv,fref,ckr,ek);
d fase:  detector_fase port map (Rvk,Rrik,Rrfk,ek,wint,wfrac);
filter:  filtro_generic map(wi,wf,kp) port map(wint,wfrac,wint2,wfrac2);
mod_sd:  modulador port map(wfrac2,ckv,frac_sd);
dac:     model_dac      generic      map(wi,wf,resolucion,dco_r)      port
map(wint2,frac_sd,dev_per);
osc:     pco_generic map (period_0) port map(dev_per,ckv);
end;

```

BLOQUES DEL SISTEMA COMPLETO

1.- Re-temporización de FREF

```

library ieee;
use ieee.std_logic_1164.all;

entity reclock is
    port (
        fref,ckv:in std_logic;
        ckr:out std_logic);
end entity;

architecture behav of reclock is
begin
p1:process (ckv)
begin
    if (rising_edge(ckv)) then
        ckr<=fref;
    end if;
end process;
end;

```

2.- Acumulador de fase de referencia

```

LIBRARY ieee;
USE ieee.std_logic_1164.ALL;
use ieee.std_logic_unsigned.all;

entity acum_ref is
    generic(
        wi:integer:=8;
        wf:integer:=10);
    port (
        Ni,Nf:in integer;
        ckr:in std_logic;
        Rrik:out std_logic_vector(wi-1 downto 0):=(others=>'0');
        Rrfk:out std_logic_vector(wf-1 downto 0):=(others=>'0'));
end entity;

architecture behav of acum_ref is
begin
p1:process(ckr)
    variable prfi:std_logic_vector(wf downto 0):=(others=>'0');
    variable pri_aux,wi_ref2:std_logic_vector(wi-1 downto 0):=(others=>'0');
begin
    if rising_edge(ckr) then

```

```

        if Nf=0 then
            prfi:=(others=>'0');
        else
            prfi:=Nf+prfi;
        end if;
        pri_aux:=Ni+pri_aux+prfi(wf);
        RriK<=pri_aux;
        Rrfk<=prfi(wf-1 downto 0);
    end if;
end process;
end behav;

```

3.- Acumulador de fase variable:

```

LIBRARY ieee;
USE ieee.std_logic_1164.ALL;
use ieee.std_logic_unsigned.all;

entity acum_var is
    generic(wi:integer:=8);
    port
        (ckv,ckr: in std_logic;
         Rvk: out std_logic_vector (wi-1 downto 0):=(others=>'0'));
end entity;

architecture behav of acum_var is
    signal pvi:std_logic_vector(wi-1 downto 0):=(others=>'0');
begin
    p1:process (ckv)
        variable pvi_p: std_logic_vector(wi-1 downto 0):=(others=>'0');
        begin
            if rising_edge(ckv) then
                pvi_p:=1+pvi_p;
                pvi<=pvi_p;
            end if;
        end process;

    p2:process (ckr)
        begin
            if rising_edge(ckr) then
                Rvk<=pvi;
            end if;
        end process;
end;

```

4.- Corrección de error fraccional $\epsilon[k]$

```

LIBRARY ieee;
USE ieee.std_logic_1164.ALL;
use ieee.std_logic_arith.all;
use ieee.std_logic_unsigned.all;

entity error_frac is
    generic (
        DTDC: integer:=57;
        delay_inv: time:= 20 ps;
        wf: integer:=10);

```

```

    port (
        ckv,fref,ckr:in std_logic;
        ek:out std_logic_vector(wf-1 downto 0):=(others=>'0'));
end error_frac;

architecture behav of error_frac is
    signal tdc_q,D:std_logic_vector(DTDC downto 0);

component inv
    generic (delay_inv:time:= 20 ps);
    port (x: in std_logic; y: out std_logic);
end component;

component ff_D
    port(fref:in std_logic; A:in std_logic;
        Q:out std_logic);
end component;

component ff_Dn
    port(fref:in std_logic; A:in std_logic;
        Qn:out std_logic);
end component;

begin
    n1:inv generic map ( delay_inv ) port map (ckv,D(0));
    n2:for k in 1 to DTDC generate
        P:inv generic map ( delay_inv ) port map (D(k-1), D(k));
    end generate;
-----
    ff1:ff_Dn port map (fref, D(0), tdc_q(0));
    ff2:ff_Dn port map (fref, D(2), tdc_q(2));
    ff3:ff_Dn port map (fref, D(4), tdc_q(4));
    ff4:ff_Dn port map (fref, D(6), tdc_q(6));
    ff5:ff_Dn port map (fref, D(8), tdc_q(8));
    ff6:ff_Dn port map (fref, D(10), tdc_q(10));
    ff7:ff_Dn port map (fref, D(12), tdc_q(12));
    ff8:ff_Dn port map (fref, D(14), tdc_q(14));
    ff9:ff_Dn port map (fref, D(16), tdc_q(16));
    ff10:ff_Dn port map (fref, D(18), tdc_q(18));
    ff11:ff_Dn port map (fref, D(20), tdc_q(20));
    ff12:ff_Dn port map (fref, D(22), tdc_q(22));
    ff13:ff_Dn port map (fref, D(24), tdc_q(24));
    ff14:ff_Dn port map (fref, D(26), tdc_q(26));
    ff15:ff_Dn port map (fref, D(28), tdc_q(28));
    ff16:ff_Dn port map (fref, D(30), tdc_q(30));
    ff17:ff_Dn port map (fref, D(32), tdc_q(32));
    ff18:ff_Dn port map (fref, D(34), tdc_q(34));
    ff19:ff_Dn port map (fref, D(36), tdc_q(36));
    ff20:ff_Dn port map (fref, D(38), tdc_q(38));
    ff21:ff_Dn port map (fref, D(40), tdc_q(40));
    ff22:ff_Dn port map (fref, D(42), tdc_q(42));
    ff23:ff_Dn port map (fref, D(44), tdc_q(44));
    ff24:ff_Dn port map (fref, D(46), tdc_q(46));
    ff241:ff_Dn port map (fref, D(48), tdc_q(48));
    ff241:ff_Dn port map (fref, D(50), tdc_q(50));
    ff242:ff_Dn port map (fref, D(52), tdc_q(52));
    ff54:ff_Dn port map (fref, D(54), tdc_q(54));
    ff56:ff_Dn port map (fref, D(56), tdc_q(56));

    ff244:ff_D port map (fref, D(1), tdc_q(1));
    ff25:ff_D port map (fref, D(3), tdc_q(3));
    ff26:ff_D port map (fref, D(5), tdc_q(5));
    ff27:ff_D port map (fref, D(7), tdc_q(7));
    ff28:ff_D port map (fref, D(9), tdc_q(9));
    ff29:ff_D port map (fref, D(11), tdc_q(11));
    ff30:ff_D port map (fref, D(13), tdc_q(13));
    ff31:ff_D port map (fref, D(15), tdc_q(15));
    ff32:ff_D port map (fref, D(17), tdc_q(17));
    ff33:ff_D port map (fref, D(19), tdc_q(19));

```

```

ff34:ff_D port map (fref, D(21), tdc_q(21));
ff35:ff_D port map (fref, D(23), tdc_q(23));
ff36:ff_D port map (fref, D(25), tdc_q(25));
ff37:ff_D port map (fref, D(27), tdc_q(27));
ff38:ff_D port map (fref, D(29), tdc_q(29));
ff39:ff_D port map (fref, D(31), tdc_q(31));
ff40:ff_D port map (fref, D(33), tdc_q(33));
ff41:ff_D port map (fref, D(35), tdc_q(35));
ff42:ff_D port map (fref, D(37), tdc_q(37));
ff43:ff_D port map (fref, D(39), tdc_q(39));
ff44:ff_D port map (fref, D(41), tdc_q(41));
ff45:ff_D port map (fref, D(43), tdc_q(43));
ff46:ff_D port map (fref, D(45), tdc_q(45));
ff47:ff_D port map (fref, D(47), tdc_q(47));
ff48:ff_D port map (fref, D(49), tdc_q(49));
ff49:ff_D port map (fref, D(51), tdc_q(51));
ff50:ff_D port map (fref, D(53), tdc_q(53));
ff55:ff_D port map (fref, D(55), tdc_q(55));
ff57:ff_D port map (fref, D(57), tdc_q(57));

p1:process (ckr)
variable D2:std_logic_vector(DTDC downto 0);
variable tr:integer;
variable tf:integer;
variable period:integer;
variable complement:integer;
variable inv_period:integer;
variable producto:integer;

begin
if (rising_edge (ckr))then
D2:=tdc_q;
-- detección de transición de 1 a 0
for k in 1 to DTDC loop
if D2(k-1)='1' and D2(k)='0' then
tr:=k;
exit;
end if;
end loop;
-- detección de transición de 0 a 1
for k in 1 to DTDC loop
if D2(k-1)='0' and D2(k)='1' then
tf:=k;
exit;
end if;
end loop;
-- calcula el periodo instantáneo del oscilador
if tr>tf then
period:=2*(tr-tf);
elsif tr=tf then
period:=1;
else
period:=2*(tf-tr);
end if;
--cálculo del error fraccional normalizado a wf
inv_period:=(2**wf)/period;
producto:=tr*inv_period;
complement:=(2**wf)-producto;
ek<=conv_std_logic_vector(complement,wf);
end if;
end process;
end;

```

El código anterior hace uso de inversores y flip-flop como componentes de la corrección de error fraccional $\varepsilon[k]$ y cuyos códigos se dan a continuación.

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;
--inversor
entity inv is
    generic (delay_inv:time:= 20 ps);
    port (x:in std_logic; y:out std_logic);
end entity inv;
architecture inv_beh of inv is
begin
    y<= not(x) after delay_inv;
end architecture inv_beh;

--flip flop D (out negada)
library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;

entity ff_Dn is
    port(fref:in std_logic; A:in std_logic;
         Qn:out std_logic);
end ff_Dn;
architecture ff_Dn_beh of ff_Dn is
begin
    process(fref)
    begin
        if (fref'event and fref='1') then
            Qn<= not(A);
        end if;
    end process;
end architecture ff_Dn_beh;

--flip flop D (out sin negar)
library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;
entity ff_D is
    port(
        fref: in std_logic;
        A: in std_logic;
        Q: out std_logic
    );
end;
architecture ff_D_beh of ff_D is
begin
    process(fref)
    begin
        if (fref'event and fref='1') then
            Q<=A;
        end if;
    end process;
end architecture ff_D_beh;

```

5.- Detector de fase

```

LIBRARY ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;
use ieee.std_logic_unsigned.all;

entity detector_fase is
    generic(
        wi:integer:=8;

```



```

    wf:integer:=10);
    port(
    Rvk,Rrik:in std_logic_vector(wi-1 downto 0):=(others=>'0');
    Rrfk,ek:in std_logic_vector(wf-1 downto 0);
    wint:out std_logic_vector(wi-1 downto 0):=(others=>'0');
    wfrac:out std_logic_vector(wf-1 downto 0):=(others=>'0')
    );
end entity detector_fase;

architecture behav of detector_fase is
begin
p1:process (Rvk,Rrik,Rrfk,ek)
    variable p_wfrac:std_logic_vector (wf downto 0);
    variable error_int1,error_int2:std_logic_vector (wi-1 downto 0);
    variable wint2:std_logic_vector(wi-1 downto 0):=(others=>'0');
    begin
    p_wfrac:=('0' & Rrfk)+('0' & ek);
    error_int1:=Rrik-Rvk;
    error_int2:=error_int1+p_wfrac(wf);
    wint<=2**(wi-1)+error_int2;
    wfrac<=p_wfrac(wf-1 downto 0);
    end process;
end;

```

6.- Filtro de lazo

```

LIBRARY ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;
use ieee.std_logic_unsigned.all;

entity filtro is
    generic(
        wi:integer:=8;
        wf:integer:=10;
        kp:integer:=1);
    port(
        wint:in std_logic_vector(wi-1 downto 0):=(others=>'0');
        wfrac:in std_logic_vector(wf-1 downto 0):=(others=>'0');
        wint2:out integer:=0;
        wfrac2:out std_logic_vector(wf-1 downto 0):=(others=>'0')
    );
end entity;

architecture behav of filtro is
begin
p1:process (wint,wfrac)
    variable xint,xfrac:integer;
    variable complement_int:std_logic_vector(wi-1 downto 0);
    variable complement_frac:std_logic_vector(wf-1 downto 0);
    begin
    complement_int:=(2**wi)-wint;
    complement_frac:=(2**wf)-wfrac;
    xint:=kp*conv_integer(complement_int);
    xfrac:=kp*conv_integer(complement_frac);
    wint2<=xint;
    wfrac2<=conv_std_logic_vector(xfrac,wf);
    end process;
end;

```

7.- DAC

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;
use ieee.std_logic_arith.all;

entity model_dac is
    generic (
        wi:integer:=8;
        wf:integer:=10;
        resolucion: time:=1 fs;
        dco_r:integer:=349);
    port (
        wint2:in integer:=0;
        frac_sd: in std_logic;
        dev_per:out time:=0 fs
    );
end entity;

architecture behav of model_dac is
begin
p1:process (wint2,frac_sd)
    variable frac_sd_p,per_wint,per_frac:integer;
    begin
        if frac_sd='1' then
            frac_sd_p:=1;
        else
            frac_sd_p:=0;
        end if ;
        per_wint:=wint2*dco_r;
        per_frac:=frac_sd_p*dco_r;
        dev_per<=resolucion*(per_wint+per_frac);
    end process;
end behav;
```

8.- Oscilador Controlado por Periodo

```
library ieee;
use ieee.std_logic_1164.all;

entity pco is
    generic (
        period_0: time:=1024590 fs
    );
    port (
        dev_per: in time:=0 fs ;
        ckv : out std_logic);
end entity;

architecture behav of pco is
    signal delta: bit := '0';
    signal period:time:=0 fs;
begin
p1:process (delta) is
    variable inicio: boolean := true;
    variable periodo: time:=0 fs;
    begin
        if not inicio then
            periodo := period_0+dev_per;
            period<=periodo;
        end if;
    end process;
end behav;
```

```

        ckv <= '0', '1' after periodo/2;
        delta <= not delta after periodo;
    else
        periodo := periodo_0; -- periodo inicial
        ckv <= '0'; -- flanco inicial del reloj
        delta <= transport '1';
        inicio:= false;
    end if;
end process;
end;

```

9.- Modulador

```

LIBRARY ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;
use ieee.std_logic_unsigned.all;

entity modulador is
    generic (
        wf:integer:=10);
    port(
        wfrac2:in std_logic_vector(wf-1 downto 0):=(others=>'0');
        ckv:in std_logic;
        frac_sd:out std_logic:='0');
end modulador;

architecture behav of modulador is
    signal dato2:std_logic_vector(wf downto 0):=(others=>'0');
    signal error:std_logic_vector(wf-1 downto 0):=(others=>'0');
    signal delay2:std_logic_vector(wf-1 downto 0):=(others=>'0');
    signal delay1:std_logic_vector(wf-1 downto 0):=(others=>'0');

begin
    dato2<=('0'&wfrac2)+('0'&delay2);
    error<=dato2(wf-1 downto 0);
    frac_sd<=dato2(wf);

    p1:process (ckv)
    begin
        if (rising_edge (ckv))then
            delay1<=error;
            delay2<=delay1;
        end if;
    end process;

end;

```


Índice de Figuras

Figura 1.1 Visión del desarrollo de la tecnología (BAN) [1].	2
Figura 1.2 Datos reportados de la frecuencia de transición contra longitud de compuerta [1].	3
Figura 1.3 Fotografía de un dado con sistema SoC [2].	4
Figura 2.1 Circuito de retroalimentación básica.	8
Figura 2.2 Circuito con retroalimentación negativa a baja frecuencia.	9
Figura 2.3 Oscilador de anillo de tres etapas[3].	11
Figura 2.4 Oscilador de anillo de cuatro etapas	12
Figura 2.5 Característica de un VCO ideal	13
Figura 2.6 Característica no-lineal de un VCO	14
Figura 2.7 Espectro de salida de un oscilador ideal y práctico [7].	17
Figura 2.8 Espectro típico del ruido de fase de un oscilador	18
Figura 2.9 Síntesis de frecuencia	19
Figura 2.10 Esquema de la síntesis digital directa [7].	19
Figura 2.11 Diagrama a bloques de un PLL básico	22
Figura 3.1 Celda básica degenerada en fase.	28
Figura 3.2 Transistor de compuerta flotante (FGT).	29
Figura 3.3 Transistor de compuerta quasi-flotante (QFGT).	31
Figura 3.4 Celda básica de Maneatis.	32
Figura 3.5 Respuesta en frecuencia de la celda de Maneatis.	33
Figura 3.6 Seguidor de voltaje.	34
Figura 3.7 Respuesta en frecuencia del seguidor de voltaje.	36
Figura 3.8 Celda degenerada en fase.	37
Figura 3.9 Carga simétrica.	38
Figura 3.10 Respuesta en frecuencia de la impedancia de carga.	39
Figura 3.11 Circuito equivalente en modo diferencial de la celda degenerada en fase.	40
Figura 3.12 Respuesta en frecuencia en modo diferencial de la celda degenerada en fase.	41
Figura 3.13 Circuito equivalente en modo común de la celda degenerada en fase	43
Figura 3.14 Respuesta en frecuencia en modo común de la celda degenerada en fase	44
Figura 3.15 Oscilador de dos etapas degeneradas en fase.	45
Figura 3.16 Simulación transitoria del VCO degenerada en fase.	46

Figura 3.17 Señal de salida diferencial del VCO degenerada en fase.	46
Figura 3.18 Curva de transferencia del oscilador degenerado en fase.	47
Figura 3.19 Consumo de potencia promedio del oscilador degenerado en fase.	47
Figura 3.20 Variación de la frecuencia con el voltaje de alimentación.	48
Figura 3.21 Efecto de la temperatura en el oscilador por degeneración en fase.	48
Figura 3.22 Efecto de variaciones de proceso en el oscilador por degeneración en fase.	49
Figura 3.23 FGT en la celda degenerada en fase.	51
Figura 3.24 Carga modificada: (a) topología, (b) modelo de pequeña señal.	52
Figura 3.25 Respuesta en frecuencia de la función de transferencia.	54
Figura 3.26 Oscilador de dos etapas con degeneración en fase.	55
Figura 3.27 Simulación de la celda degenerada en fase.	56
Figura 3.28 Oscilador de dos etapas degeneradas en fase modificada.	57
Figura 3.29 Celda de retardo con QFGT.	58
Figura 3.30 Circuito completo del oscilador de prueba.	59
Figura 3.31 Simulación transitoria del circuito completo.	60
Figura 3.32 Función de transferencia (frecuencia vs voltaje de control).	60
Figura 3.33 Consumo de potencia del VCO (potencia vs frecuencia).	61
Figura 3.34 Efecto de la temperatura.	62
Figura 3.35 Efectos del voltaje de alimentación (frecuencia vs V _{dd}).	63
Figura 3.36 Variación de la función de transferencia frente a variaciones de proceso.	63
Figura 3.37 Ruido de fase.	64
Figura 3.38 Layout de la celda básica.	65
Figura 3.39 Layout completo del oscilador junto con circuitos auxiliares para su fabricación.	66
Figura 3.40 Seguidor de voltaje controlado digitalmente (SVCD).	67
Figura 3.41 Acoplador de niveles.	68
Figura 3.42 Celda de retardo controlada digitalmente (CRCD).	69
Figura 3.43 DCO.	70
Figura 3.44 Función de transferencia del entonado fino.	70
Figura 3.45 Señales en cuadratura del DCO.	71
Figura 3.46 Función de transferencia del entonado fuerte.	71
Figura 3.47 Consumo de potencia promedio del DCO.	72
Figura 3.48 Función de transferencia frente a variación de procesos.	72
Figura 3.49 Función de transferencia frente a variaciones de V _{dd}	73
Figura 3.50 Función de transferencia frente a variaciones de temperatura.	74

Figura 3.51 Ruido de fase a una frecuencia de oscilación de 1GHz.	75
Figura 4.1 Sintetizador de frecuencia basado en ADPLL [22].....	79
Figura 4.2 Circuito tanque LC con banco de capacitores discretos para diferentes modos de control [23].....	79
Figura 4.3 VCO dentro de una arquitectura de ADPLL.	80
Figura 4.4 Generación del reloj de sincronización por muestreo de FREF [22].....	80
Figura 4.5 Evolución de señales para $FCW=2 + (1/4)$ [22].....	81
Figura 4.6 Implementación en hardware del detector de fase.	82
Figura 4.7 Estructura del acumulador de referencia.....	83
Figura 4.8 Esquema general del acumulador de fase variable.....	84
Figura 4.9 Convertidor de tiempo a digital [24].	84
Figura 4.10 Estimación del error fraccional mostrando ambos casos de error de fase de un clásico PLL [24].....	85
Figura 4.11 Estructura de la corrección de error fraccional.	86
Figura 4.12 Estructura del detector de fase.	87
Figura 4.13 Estructura del control del DCO.....	87
Figura 4.14 Modulador sigma-delta.	88
Figura 4.15 Estructura del DCO.	88
Figura 4.16 Estructura completa del ADPLL	89
Figura 4.17 Frecuencia de salida del ADPLL	90
Figura 4.18 Frecuencia de salida del ADPLL para N fraccional	90

Índice de tablas

Tabla 3.1 Relación de dimensionamiento de los transistores de control	67
Tabla A- 1 Dimensiones del circuito de polarización.....	98
Tabla A- 2 Dimensiones de los transistores de la celda de retardo del oscilador por degeneración en fase.	98
Tabla A- 3 Dimensiones del circuito de polarización y del buffer de entrada	99
Tabla A- 4 Dimensiones de los transistores del buffer de salida.....	99
Tabla A- 5 Dimensiones de los transistores de la celda básica del oscilador a 915MHz	100
Tabla A- 6 Dimensiones de los transistores del circuito de polarización	101
Tabla A- 7 Dimensiones de los transistores del acoplador de niveles (Figura 3.41)	101
Tabla A- 8 Dimensiones de los transistores de la celda de retardo del DCO	102

Referencias

- [1] I. Krzysztof, *Wireless technologies Circuits, system and Devices*, CRC Pres,2008.
- [2] R. B. Staszewski et al., "All-Digital PLL and Transmitter for Mobile Phones," *IEEE Journal of Solid-State Circuits*, vol. 40, No. 12, Dec. 2005, pp. 2469-2482.
- [3] B. Razavi, *Design of Analog CMOS Integrated Circuits*, McGraw-Hill, 2000.
- [4] Venkatesh Srinivasan, Syed K. Islam, and Benjamin J. Blalock, "Minimizing Phase Noise Variation in CMOS Ring Oscillators," *Analog Integrated Circuits and Signal Processing*, vol. 34, Mar. 2003, pp. 259-263.
- [5] Thomas H. Lee and Ali Hajimiri. "Oscillator Phase Noise: A tutorial" *IEEE journal of solid –state circuits*, vol.35, No.3, march 2000, pp. 326-336.
- [6] Ali Hajimiri and Thomas H. Lee. *The design of low noise oscillators*. Kluwer Academic publishers. Boston/Dordrecht/London, 2000.
- [7] R. B. Staszewski and P. T. Balsara. *All-digitall frequency synthesizer in deep-submicron CMOS*. Wiley-Interscience 2006.
- [8] D.B. Leeson, "A simple model of feedback oscillator noise spectrum," in *Proc. IEEE*, vol. 54, Feb. 1966, pp. 329-330.
- [9] B. Razavi, "A study of phase noise in CMOS oscillators", *IEEE journal of solid-state*, vol. 31, march 1996, pp. 331-343.
- [10] E. Best Ronald, *Phase-Locked Loop Desing, Simulation and Application*, McGraw-Hill, Fourth Edition.
- [11] V. Ramakrishnan, Poras T. Balsara "A Wide-Range, High-Resolution, Compact, CMOS Time to Digital Converter" *VLSI Design 2006*, pp. 197-202.
- [12] Declé Colin Daniel. *Diseño de osciladores de anillo por degeneración en fase*, 2007. Tesis de maestría, INAOE, Tonantzintla Puebla.
- [13] Jhon George Maneatis. *Precise Delay Generation Using Coupled Oscillators*. PhD thesis, Stanford University, 1994.
- [14] E. Rodriguez-Villegas and H. Barnes, "Solution to the Trapped Charge in FG MOS Transistors", *IEE Electronic Letters* 39, vol. 19, September 2003, pp.1416-1417.
- [15] C. Urquidi, J. Ramirez-Angulo, R. Gonzalez-Carvajal, and A. Torralba, "A new family of low-voltage circuits based on quasi-floating-gate transistors." *IEEE Proc. MWSCAS 2002* vol. 1, pp. 93-96.

- [16] J. Ramirez-Angulo, A.J. Lopez-Martin, R.G. Carvajal, and F.M. Chavero, "Very low-voltage analog signal processing based on quasifloating gate transistors." *IEEE J.Sol. State Circuits* vol. 39, 2004, pp. 434- 442.
- [17] A Paul, A.E Jeyakumar, P.N. Neelakantan, "Power Minimization Strategy in MOS Transistors Using Quasi-Floating-Gate" in *WSEAS Transaction on Circuits and Systems*, 2004, pp. 65-73.
- [18] G. Palmisano, G. Palumbo, and S. Pennisi "High-Performance and Simple CMOS Unity-Gain Amplifier" *IEEE Transactions on circuits and systems I: Fundamental theory and applications*, Vol 47 No. 3, March 2000, pp 406-410.
- [19] Ken Gentile. "Fundamental of Digital Quadrature Modulation". February 2003-
www.rfdesign.com.
- [20] J. Ramirez-Angulo et al., "Comparison of conventional and new flipped voltage structures with increased input/output signal swing and current sourcing/sinking capabilities" in *Proc. IEEE Int. Sym. Circuits Syst.*, vol. 2, Aug. 2005, pp. 1151-1154.
- [21] Douglas J. Smith, *HDL Chip Design: A practical guide for designing, synthesizing and simulating ASICs and FPGAs using VHDL or Verilog*. Doone Publications, 1996.
- [22] R. B. Staszewski and P. T. Balsara, "Phase-domain all-digital phaselocked loop," *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 52, no. 3, Mar. 2005, pp. 159–163.
- [23] Straszewski et al., "A First Multigigahertz Digitally Controlled Oscillator for Wireless Applications," *IEEE Transactions on Microwave Theory and Techniques*, vol. 51, No. 11, Nov. 2003, pp. 2154-2164.
- [24] R. B. Staszewski et al., "All-digital TX frequency synthesizer and discrete-time receiver for BLUETOOTH radio in 130-nm CMOS", *IEEE Journal of Solid-State Circuits*, vol. 39, no. 12, Dec. 2004, pp. 2278–2291.

BIBLIOGRAFIA

- [1] I. Krzysztof, Wireless technologies Circuits, system and Devices, CRC Pres,2008.
- [2] R. B. Staszewski et al., "All-Digital PLL and Transmitter for Mobile Phones," IEEE Journal of Solid-State Circuits, vol. 40, No. 12, Dec. 2005, pp. 2469-2482.
- [3] B. Razavi, Design of Analog CMOS Integrated Circuits, McGraw-Hill, 2000.
- [4] Venkatesh Srinivasan, Syed K. Islam, and Benjamin J. Blalock, "Minimizing Phase Noise Variation in CMOS Ring Oscillators," Analog Integrated Circuits and Signal Processing, vol. 34, Mar. 2003, pp. 259-263.
- [5] Thomas H. Lee and Ali Hajimiri. "Oscillator Phase Noise: A tutorial" IEEE journal of solid –state circuits, vol.35, No.3, march 2000, pp. 326-336.
- [6] Ali Hajimiri and Thomas H. Lee. The design of low noise oscillators. Kluwer Academic publishers. Boston/Dordrecht/London, 2000.
- [7] R. B. Staszewski and P. T. Balsara. All-digitall frequency synthesizer in deep-submicron CMOS. Wiley-Interscience 2006.
- [8] D.B. Leeson, "A simple model of feedback oscillator noise spectrum," in Proc. IEEE, vol. 54, Feb. 1966, pp. 329-330.
- [9] B. Razavi, "A study of phase noise in CMOS oscillators", IEEE journal of solid-state, vol. 31, march 1996, pp. 331-343.
- [10] E. Best Ronald, Phase-Locked Loop Desing, Simulation and Application, McGraw-Hill, Fourth Edition.

- [11] V. Ramakrishnan, Poras T. Balsara "A Wide-Range, High-Resolution, Compact, CMOS Time to Digital Converter" VLSI Design 2006, pp. 197-202.
- [12] Declé Colin Daniel. Diseño de osciladores de anillo por degeneración en fase, 2007. Tesis de maestría, INAOE, Tonantzintla Puebla.
- [13] Jhon George Maneatis. Precise Delay Generation Using Coupled Oscillators. PhD thesis, Stanford University, 1994.
- [14] E. Rodriguez-Villegas and H. Barnes, "Solution to the Trapped Charge in FGMOS Transistors", IEE Electronic Letters 39, vol. 19, September 2003, pp.1416-1417.
- [15] C. Urquidi, J. Ramirez-Angulo, R. Gonzalez-Carvajal, and A. Torralba, "A new family of low-voltage circuits based on quasi-floating-gate transistors." IEEE Proc. MWSCAS 2002 vol. 1, pp. 93-96.
- [16] J. Ramirez-Angulo, A.J. Lopez-Martin, R.G. Carvajal, and F.M. Chavero, "Very low-voltage analog signal processing based on quasifloating gate transistors." IEEE J.Sol. State Circuits vol. 39, 2004, pp. 434- 442.
- [17] A Paul, A.E Jeyakumar, P.N. Neelakantan, "Power Minimization Strategy in MOS Transistors Using Quasi-Floating-Gate" in WSEAS Transaction on Circuits and Systems, 2004, pp. 65-73.
- [18] G. Palmisano, G. Palumbo, and S. Pennisi "High-Performance and Simple CMOS Unity-Gain Amplifier" IEEE Transactions on circuits and systems I: Fundamental theory and applications, Vol 47 No. 3, March 2000, pp 406-410.
- [19] Ken Gentile. "Fundamental of Digital Quadrature Modulation". February 2003-www.rfdesign.com.

[20] J. Ramirez-Angulo et al., "Comparison of conventional and new flipped voltage structures with increased input/output signal swing and current sourcing/sinking capabilities" in Proc. IEEE Int. Sym. Circuits Syst., vol. 2, Aug. 2005, pp. 1151-1154.

[21] Douglas J. Smith, HDL Chip Design: A practical guide for designing, synthesizing and simulating ASICs and FPGAs using VHDL or Verilog. Doone Publications, 1996.

[22] R. B. Staszewski and P. T. Balsara, "Phase-domain all-digital phaselocked loop," *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 52, no. 3, Mar. 2005, pp. 159–163.

[23] Staszewski et al., "A First Multigigahertz Digitally Controlled Oscillator for Wireless Applications," *IEEE Transactions on Microwave Theory and Techniques*, vol. 51, No. 11, Nov. 2003, pp. 2154-2164.

[24] R. B. Staszewski et al., "All-digital TX frequency synthesizer and discrete-time receiver for BLUETOOTH radio in 130-nm CMOS", *IEEE Journal of Solid-State Circuits*, vol. 39, no. 12, Dec. 2004, pp. 2278–2291.