



INAOE

Oscilador controlado por voltaje (VCO) con compensación de proceso, voltaje y temperatura (PVT).

por

Ing. Oscar Lozada Ascencio.

Tesis sometida como requisito parcial
para obtener el grado de

**MAESTRO EN CIENCIAS EN LA
ESPECIALIDAD DE ELECTRÓNICA**

en el

**Instituto Nacional de Astrofísica, Óptica y
Electrónica**

Diciembre 2010

Tonantzintla, Puebla

Supervisada por:

**Dr. Guillermo Espinosa Flores-Verdad,
INAOE**

©INAOE 2010

El autor otorga al INAOE el permiso de reproducir
y distribuir copias en su totalidad o en
partes de esta tesis



Resumen

Los grandes avances en circuitos integrados con tecnología basada en silicio ha abierto la posibilidad de realizar circuitos más eficientes, veloces y con bajo consumo de potencia. Debido al continuo escalamiento de las tecnologías, la industria ha buscado nuevas alternativas que permitan mayores densidades de integración. Al incursionar en nuevas tecnologías como silicio sobre aislante (CMOS-SOI), surgen importantes mejoras como mayor velocidad de operación, mayor capacidad de integración, entre otros. Pero además, surgen nuevos efectos y comportamientos no conocidos en tecnología convencional CMOS, de ahí que se tengan que proponer nuevas topologías que trabajen con las desventajas que implican como el bajo voltaje disponible y con la poca ganancia de los dispositivos, pero explotando todas las ventajas que presentan.

Los objetivos principales en aplicaciones de radiofrecuencia son el bajo consumo de potencia, alta frecuencia de operación y bajo costo. Los osciladores controlados por voltaje son el bloque principal para muchas de estas aplicaciones y son causa del mayor consumo de potencia y área total del sistema. Los parámetros principales de diseño de osciladores controlados por voltaje se basan principalmente en el consumo de potencia, el ruido de fase y la frecuencia de operación. Existen gran cantidad de estudios para mejorar el ruido de fase, para minimizar consumo de potencia y para aumentar el rango de entonado pero existe muy poca investigación sobre el rendimiento del circuito ante variaciones de proceso, voltaje y temperatura. Las variaciones en los dispositivos implican cambios en la frecuencia y ruido de fase que pueden llegar a ser muy signi-

ficativos comparados con los valores deseados, pudiendo dejar al oscilador fuera de las especificaciones.

Actualmente, se han realizado investigaciones para mitigar el efecto de estas variaciones, pero los estudios se han realizado en osciladores de anillo y muy escasos en osciladores basados en tanques LC. En los osciladores de anillo, las topologías propuestas muestran ventajas en cuanto al porcentaje de error en la frecuencia central pero muestran muchas desventajas como consumo de potencia, incremento en el área de circuito, dificultad para el diseño del circuito y, principalmente, los osciladores trabajan en rangos de frecuencias de MHz.

En el presente trabajo se propone una topología que compensa las variaciones de proceso, voltaje y temperatura sin aumentar considerablemente el consumo de potencia y el área del circuito. Se estudia el estado del arte sobre osciladores fabricados en tecnologías bulk CMOS y CMOS-SOI para comparar las ventajas y desventajas de ambos. Finalmente, se muestran los resultados entre un oscilador controlado por voltaje sin compensación y el propuesto con compensación.

Agradecimientos

Al Consejo Nacional de Ciencia y Tecnología (CONACYT)

Por el apoyo económico otorgado a través de la beca para estudios de maestría (No. de Registro: 224206)

Al Instituto Nacional de Astrofísica, Óptica y Electrónica (INAOE)

Por abrirme las puertas para realizar los estudios de posgrado.

A mi familia por tener siempre fe en mi.

A mi asesor: Dr. Guillermo Espinosa Flores-Verdad.

Por haberme aceptado como su alumno, por haberme permitido aprender de él y por sus valiosos consejos *muchas gracias*.

A los amigos y compañeros de Diseño:

Por habernos apoyado mutuamente a lo largo de estos dos años. Gracias a Arturo Contreras (el gordito), Arturo Hernández (Dr. Sze), Luis Antonio (el coño, Tigre), Israel (Eshraghian), Misael (el chavito) y a Elyoenai (el chiquidracula, elfo).

A DIOS por darme salud y fuerzas para seguir adelante.

Índice general

Resumen	I
Agradecimientos	III
Acrónimos	IX
1. Introducción.	1
1.1. Avances en dispositivos MOS.	2
1.1.1. Dispositivos SOI.	3
1.1.2. Dispositivos MOS de múltiple compuerta.	4
1.2. Osciladores controlados por voltaje (VCO's).	5
1.2.1. Conceptos básicos.	6
1.2.2. Tipos de osciladores.	8
1.3. Justificación.	9
1.4. Objetivo de la tesis.	11
1.5. Organización de la tesis.	11
2. Diseño en tecnología silicio sobre aislante (CMOS-SOI).	13
2.1. Introducción.	13
2.2. Parcialmente y completamente agotado en SOI.	14
2.2.1. Efecto de historia y transiente.	16
2.2.2. Efecto de cuerpo flotante (FBE).	16
2.2.3. Latch-up.	17

2.2.4.	Transistor bipolar parásito (PBT).	18
2.2.5.	Pérdidas en compuertas de paso en estado transitorio.	18
2.2.6.	Autocalentamiento.	19
2.3.	Comparación entre SOI y bulk CMOS	19
2.3.1.	Densidad de dopado y fugas.	19
2.3.2.	Efecto del escalamiento sobre rendimiento de la velocidad.	20
2.3.3.	Capacidad de manejo de corriente.	20
2.4.	Ruido de sustrato.	21
2.4.1.	Ruido de la fuente de alimentación.	21
2.4.2.	Ruido debido a nodos conmutando.	21
2.4.3.	Ruido debido a ionización por impacto.	22
3.	Osciladores controlados por voltaje (VCO's).	23
3.1.	Introducción.	23
3.2.	Inductores planares.	25
3.2.1.	Pérdidas en el metal.	27
3.2.2.	Pérdidas en el sustrato.	30
3.2.3.	Capacitancia entre líneas de conexión.	31
3.3.	Topologías de osciladores LC.	31
3.4.	Especificaciones del VCO.	34
3.4.1.	Ruido en osciladores.	34
3.4.2.	Ruido de fase.	35
3.4.3.	Razón portadora a ruido (NCR).	39
3.4.4.	La medida de ruido $\mathcal{L}(\Delta\omega)$.	39
3.4.5.	Jitter.	40
3.4.6.	Frecuencia de entonado en VCO's.	41
3.4.7.	Figura de mérito del VCO.	43

4. Implementación del oscilador.	45
4.1. Criterios de diseño.	47
4.2. Especificaciones del tanque LC.	49
4.2.1. Medidas del inductor.	49
4.2.2. Medidas del varactor.	50
4.3. Diseño del oscilador.	51
4.3.1. VCO sin compensación de PVT.	53
4.3.2. VCO con compensación de PVT.	55
5. Resultados de las simulaciones de los circuitos sin y con compensación.	67
5.1. Resultados del VCO sin compensación de PVT.	67
5.2. Resultados del VCO con compensación de PVT.	70
5.3. Comparaciones del ruido de fase.	73
5.4. Comparación ante otros osciladores.	75
6. Conclusiones.	77
6.1. Trabajo a futuro.	78
Índice de figuras	79
Índice de tablas	81
Bibliografía	83

Acrónimos

AGC	Amplitude Gain Control	Control de ganancia de amplitud
BJT	Bipolar Junction Transistor	Transistor de unión bipolar
BOX	Buried oxide	Óxido enterrado
CDR	Clock Data Recovery	Recuperador de datos-señal
CMOS	Complementary Metal Oxide Semiconductor	Metal Óxido Semiconductor Complementario
CNR	Carrier-Noise ratio	Razón portadora a ruido
DG	Double Gate	Doble compuerta
FBE	Floating Body Effect	Efecto de cuerpo flotante
FDSOI	Full Depleted SOI	Completamente agotado SOI
FE	Fast-Fast	Rápido-Rápido
FOM	Figure of merit	Figura de mérito
FS	Fast-Slow	Rápido-Lento
IC	Integrated Circuit	Circuito Integrado
LO	Local Oscillator	Oscilador local
MOSFET	Metal Oxide Semiconductor Field Effect Transistor	Transistor de efecto de campo metal óxido semiconductor

PDSOI	Partially Depleted SOI	Parcialmente agotado SOI
PBT	Parasitic Bipolar Transistor	Transistor Bipolar Parásito
PLL	Phase Locked Loop	Circuito amarrador de fase
PVT	Process, Voltage and Temperature	Proceso, Voltaje y Temperatura
SoC	System on Chip	Sistema en un chip
SOI	Silicon on Insulator	Silicio sobre aislante
SF	Slow-Fast	Lento-Rápido
SS	Slow-Slow	Lento-Lento
TT	Typical-Typical	Típico-Típico
VCO	Voltage Oscillator Controlled	Oscilador controlado por voltaje

Capítulo 1

Introducción.

En los últimos años la gran demanda de aplicaciones inalámbricas ha dado paso a la investigación en fabricación y diseño de circuitos integrados que mejoren su rendimiento, reduzcan su costo y minimicen su tamaño. La miniaturización de los dispositivos es uno de los principales objetivos en sistemas de radiofrecuencia (RF), además, ofrece muchas ventajas tales como mayor movilidad, mayor frecuencia de operación, menor costo, mejor factor de calidad, entre otros. Más allá de la miniaturización, se pretende integrar sistemas de RF/analógicos/digitales en un mismo chip (SoC) que permitan reducir las dimensiones de los circuitos y aumentar el rendimiento. Esto es posible gracias a los distintos procesos de fabricación con los cuales se cuenta hoy en día como son: CMOS, BiCMOS, SiGe, etc.

En el área de RF, las primeras investigaciones y actividades para los sistemas de comunicación inalámbrica se enfocaban en frecuencias por debajo de los 2 GHz. Hoy en día, existe la tendencia a explotar el rango de frecuencias muy por encima de los 2 GHz. La razón por la cual la mayoría de las comunicaciones inalámbricas se implementaban en frecuencias por debajo de los 2 GHz era debido principalmente a la tecnología utilizada en la fabricación de circuitos integrados. Una limitación es que la atenuación de la señal, en la atmósfera y debido al entorno, crece rápidamente con la

frecuencia. Además, los circuitos activos que eran usados para transmitir y modular las señales, históricamente han tenido baja ganancia en altas frecuencias. Esta última condición está cambiando conforme los avances en la tecnología de circuitos integrados (IC), empujando las velocidades de operación del transistor por encima de los 10 GHz.

Debido a su bajo costo y alta densidad de integración, la tecnología CMOS resulta ser una excelente elección para el diseño de circuitos integrados. Conforme se avanza hacia niveles de integración mayores, las características físicas de los componentes comienzan a llegar al límite dentro del cual su comportamiento es predecible y controlable. Para poder seguir escalando en la tecnología CMOS, principalmente los transistores, en décadas anteriores se propuso un método [1], con mayor eficacia para el escalamiento del MOSFET, que consiste en reducir las dimensiones físicas del transistor y los voltajes de alimentación en un mismo factor α , esto para mantener constantes los campos eléctricos del transistor reducido comparado con el original de mayor tamaño. La figura 1.1, ilustra el concepto del escalamiento del MOSFET a campos eléctricos constantes.

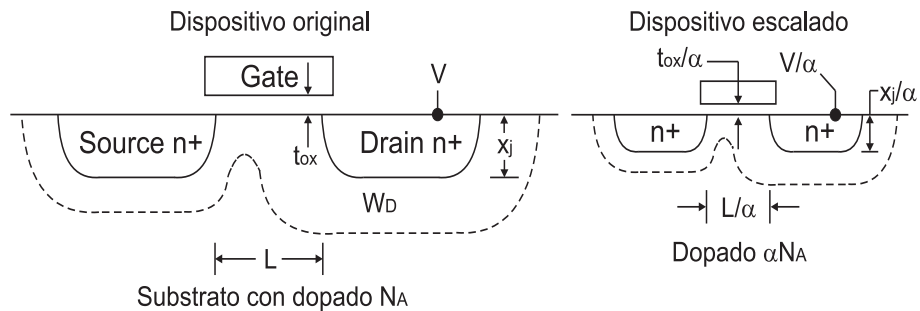


Figura 1.1: Escalamiento del MOSFET a campos eléctricos constantes.

1.1. Avances en dispositivos MOS.

Mientras que la tecnología *bulk CMOS* ha sido estándar por varias generaciones de dispositivos, nuevos sustratos y conceptos serán esenciales para continuar con el

escalamientos de los dispositivos MOS. Algunos de los más prominentes avances han sido estudiados como lo son: silicio sobre aislante (SOI), dispositivos MOS de múltiples compuertas (finfet), dispositivos MOS con mayor movilidad, algunas otras tecnologías como SiGe, GaAs, BiCMOS y transistores bipolares de hetero-unión (HBT). En las siguientes secciones explicaremos dos de ellas, la de (SOI) se utilizó para realizar el trabajo de tesis, y la otra (finfet) que tiene un comportamiento parecido con FDSOI.

1.1.1. Dispositivos SOI.

En SOI, los componentes MOS son construidos dentro de una capa de silicio que está aislada del substrato mediante una capa de óxido. Se puede dividir a SOI en dos tipos. Si la capa de silicio es lo suficientemente gruesa por debajo de la terminal de compuerta, se dice que es un dispositivo parcialmente agotado (PD). Por el contrario, si la capa es lo suficientemente delgada, el dispositivo será considerado como completamente agotado (FD) [2]. Hoy en día, se trabaja más con PD SOI debido a que se ven reducidas sus capacitancias parásitas y se puede trabajar a mayor frecuencia de operación. También, PD SOI comparado con FD SOI, ofrece mejor control sobre el voltaje de encendido ya que tiene un contacto sobre el cuerpo del transistor, en lugar de tenerlo flotando como en FDSOI.

Una de las desventajas en SOI es la capacidad de disipación de potencia, la cual es menor comparada con bulk CMOS debido a las pobres propiedades de conducción térmicas de la capa de óxido, llevando al fenómeno de autocalentamiento.

Actualmente, para transistores con longitudes de canal menores a 65 nm, la industria ha optado por trabajar con el proceso de silicio sobre aislante (SOI) en lugar de bulk CMOS, esto resulta ser porque ofrece mayor velocidad de operación, alto factor de calidad de los dispositivos pasivos, disminuye las capacitancias parásitas y, lo más importante, disminuye el voltaje de encendido de los transistores dando paso a trabajar

con un voltaje de alimentación menor [3]. La figura 1.2, ilustra el diseño de un transistor PDSOI y un FDSOI.

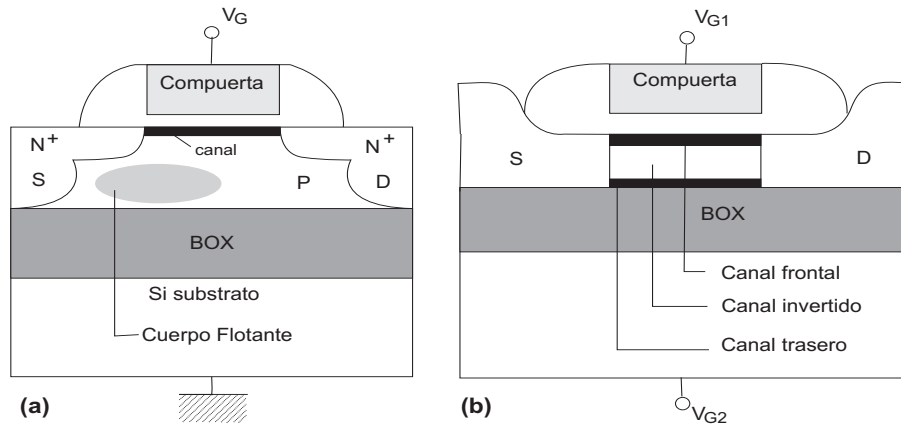


Figura 1.2: Dispositivo SOI a) Parcialmente agotado (PDSOI), b) Completamente agotado (FDSOI).

1.1.2. Dispositivos MOS de múltiple compuerta.

Considerables investigaciones y modelados han surgido en las últimas dos décadas acerca de los transistores de múltiple compuerta. Uno de los más estudiados ha sido el dispositivo de doble compuerta (DG)[4], una ilustración del transistor con dos compuertas se muestra en la figura 1.3. La estructura consiste de una delgada capa conductiva colocada entre dos compuertas de control formadas por dieléctrico con su respectivo contacto. La mayor ventaja de estos dispositivos es que se puede manejar el doble de corriente comparado con un dispositivo de una sola compuerta. la mayor desventaja se debe a su dificultad de fabricación, principalmente a problemas de litografía debido a que las dos compuertas deben quedar alineadas perfectamente para alcanzar su mayor rendimiento. Aún se sigue trabajando con este tipo de estructuras mejor conocidas como *finfet* puesto que, así como SOI, son la tendencia a seguir para continuar con el escalamiento del transistor.

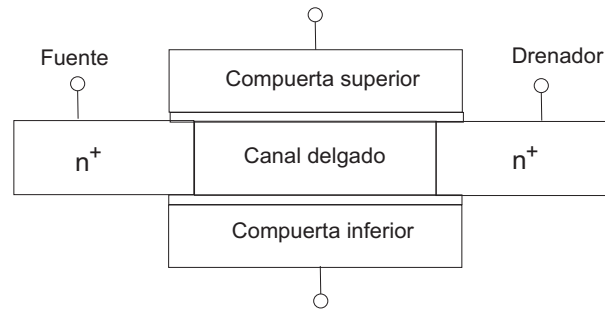


Figura 1.3: Esquemático simplificado del MOSFET de doble compuerta.

1.2. Osciladores controlados por voltaje (VCO's).

Los osciladores controlados por voltaje (VCO) son el bloque principal para todos los sistemas de comunicación analógico. Su función principal es convertir una entrada de señal en DC a una frecuencia de señal a la salida, frecuentemente, una señal sinusoidal o muy parecida a esta. Un oscilador consiste esencialmente de dos componentes: una parte activa la cual actúa como amplificador, y una red de retroalimentación que provee retroalimentación positiva al sistema. La red de retroalimentación generalmente contiene un elemento de reactancia variable (osciladores LC) para controlar la frecuencia. Normalmente, la reactancia variable puede ser controlada por un valor de DC, o en el caso de osciladores de anillo, el control de la frecuencia de oscilación depende de la topología, pudiéndose controlar por corrientes, voltaje o de distintas formas. La elección sobre qué tipo de oscilador debemos diseñar, depende principalmente de las especificaciones de la aplicación en la cual estará involucrado el mismo. Los distintos tipos y comparaciones se mencionan más adelante en esta tesis.

Los VCO's pueden ser usados como osciladores locales (LO) para mezcladores y convertidores de frecuencia, como entrada de frecuencia de la portadora para moduladores, entre otros. Comúnmente, pueden ser encontrados en circuitos *amarradores de fase*, conocidos como PLL por sus siglas en inglés, para la selección del canal, o también, en *synetizadores de frecuencia* para proveer una determinada frecuencia que es

perfectamente controlable. Para los osciladores LC, la principal debilidad que muestran es que no proveen buena estabilidad y precisión en frecuencia, necesarias para sistemas de comunicaciones digitales.

1.2.1. Conceptos básicos.

En esta parte de la tesis resumiremos algunos de los aspectos más importantes de un oscilador controlado por voltaje, la descripción más detallada y análisis de estos conceptos se verán y realizarán en capítulos posteriores. Los parámetros que se mencionan a continuación describen el rendimiento de un oscilador [5], además, algunos de ellos deben de cumplirse conforme algunas normas para comunicaciones.¹

Disipación de potencia: Como en toda aplicación, existe un compromiso entre potencia consumida, velocidad, ruido y rendimiento del sistema. En aplicaciones portátiles es deseable que la pila dure lo más que sea posible, es por ello que la disipación de potencia debe disminuirse al grado de no afectar la dinámica de circuito.

Pureza de la señal de salida: Aún tomando en cuenta todas las precauciones para un buen diseño del VCO, la forma de onda a la salida *no es perfectamente periódica*. Para ciertas aplicaciones existen requerimientos específicos del ruido contenido a la salida que se manifiestan como *jitter* y *ruido de fase* los cuales se verán en capítulos posteriores. El ruido electrónico, el ruido debido a la fuente de alimentación, así como otros tipos de ruido inherentes al sistema pueden producir cambios en frecuencia, fase y magnitud en la oscilación.

Frecuencia central (ω_0): La frecuencia central es el valor medio de todo el rango de trabajo del oscilador. Las frecuencias ω_1 y ω_2 son las frecuencias máxima y mínima

¹La ubicación de las frecuencias para los diferentes servicios de comunicaciones son reguladas a nivel mundial por la Unión internacional de Telecomunicaciones (ITU). En la región 2 correspondiente a Norte y Sur de América ha sido adoptada por la Comisión Federal de Comunicaciones (FCC) para el control del espectro de radiofrecuencias [6]

del oscilador como se muestra en la figura 1.4, los voltajes V_1 y V_2 son los voltajes de control para cada frecuencia y la pendiente de K_{VCO} es la ganancia del oscilador.

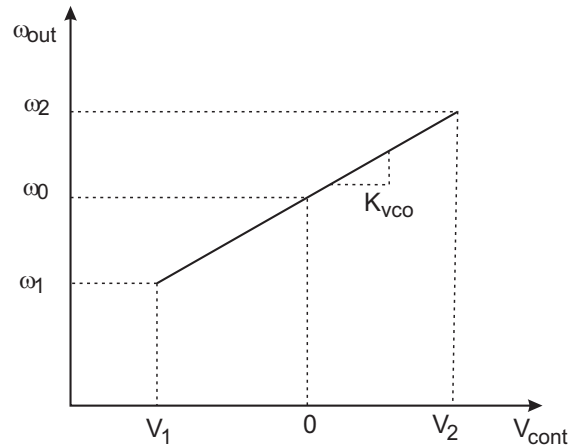


Figura 1.4: Definición gráfica del VCO.

Rango de entonado: El rango de entonado está relacionado directamente con las frecuencias máxima y mínima y los voltajes de control V_1 y V_2 de la figura 1.4. Hay dos factores principales que dictan el rango de entonado: las variaciones en la frecuencia central debido a variaciones en proceso y temperatura; y el rango requerido para la aplicación.

Linealidad de entonado: En un oscilador ideal, al hacer un cambio en el voltaje de control, se espera un cambio proporcional en la frecuencia de salida. Tal como se muestra en la figura 1.4, la característica mostrada sería lo esperado, pero debido a diversas particularidades no-ideales del VCO la linealidad del oscilador diverge un poco de lo ideal. Para ciertas aplicaciones éstas no-linealidades degradan el comportamiento del circuito.

Amplitud de la señal de salida: Siempre es deseable que la amplitud de salida de la oscilación sea lo más grande posible, para que así la forma de onda a la salida sea menos sensible a ruido. La amplitud de salida está relacionada directamente con la

potencia, la fuente de alimentación y con el rango de entonado, siendo este último un efecto indeseable.

1.2.2. Tipos de osciladores.

Como hemos visto, los osciladores nos proveen de una señal periódica estable, transformando la señal de DC (la fuente de alimentación), y generalmente, podemos controlar su frecuencia de oscilación mediante otro voltaje de DC. Para obtener el mejor rendimiento al tratar con señales, los circuitos utilizados para el diseño de osciladores deben cumplir ciertas características que son de vital importancia para no afectar la calidad de la información que se está manejando, y aún mas importante, no interferir con otras señales. Muchas de las especificaciones que debemos cumplir son impuestas por organismos que se dedican a regularizar el tráfico de información en los distintos medios posibles. Algunas especificaciones, ligadas al esquema del circuito y a la señal, se mencionaron en la sección anterior, más aún, debemos de tomar en cuenta otras especificaciones como son:

- Bajo ruido.
 - Alta eficiencia.
 - Estabilidad en temperatura.
 - Ancho de banda.
 - Máxima frecuencia de operación.
 - Bajo costo.
 - Realizable en la tecnología propuesta.
-

A partir de las especificaciones de diseño es como se escoge la estructura del oscilador la cual puede cubrir todos los aspectos posibles o en su mayoría. De entre los osciladores que han sido propuestos, su clasificación de acuerdo con su topología pueden ser:

- De anillo.
- LC.
- De relajación.
- Cristal.
- Activos (RC, OTA-C, etc).
- Con resonadores dieléctricos.

Debido a la tendencia de la miniaturización, la realización de estos dispositivos se inclina mucho hacia tecnologías que se puedan realizar en un mismo chip (SoC) en lugar de aquellas que manejan algunos componentes externos y que además ocupan mayor área. Los osciladores de anillo y LC son los más utilizados en el diseño de circuitos integrados. La elección de cual de ellos se debe emplear depende mucho de la aplicación y las especificaciones de diseño.

1.3. Justificación.

En la fabricación de cualquier circuito integrado para determinada tecnología, existen diferentes variaciones de proceso llamadas esquinas, las cuales pueden hacer que la respuesta esperada se vea modificada en cierto porcentaje. Cada fabricante de circuitos integrados proporciona la información sobre los rangos máximos y mínimos dentro de los cuales puede variar su proceso de fabricación. Todo circuito diseñado debe ser robusto a estas variaciones para asegurar su correcto funcionamiento. Todo elemento dentro de un circuito puede presentar variaciones debido al proceso, los elementos

pasivos como lo son inductores, capacitores y resistencias, así como, los elementos activos como transistores y diodos, presentan variaciones que no podemos predecir con exactitud. La figura 1.5 muestra un ejemplo de las posibles variaciones de los transistores dentro de la tecnología SOI de 45 nm. La explicación de cada acrónimo se verá en capítulos posteriores.

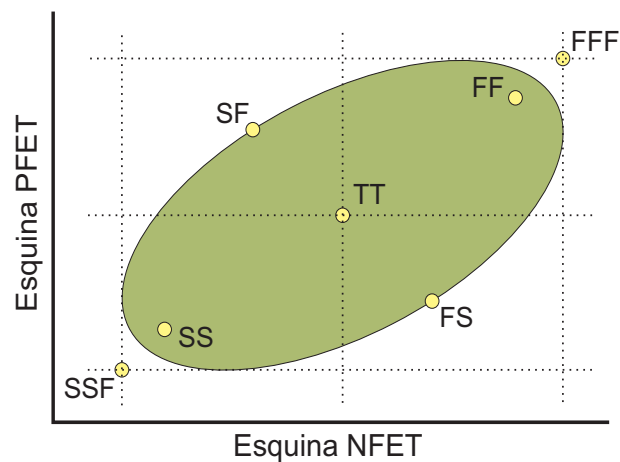


Figura 1.5: Esquinas de proceso para los transistores.

Además de la variaciones de proceso, el diseño debe ser capaz de funcionar con cierto grado de exactitud cuando el voltaje de alimentación no es exactamente el valor nominal especificado para la tecnología. Para un buen funcionamiento, las especificaciones de diseño en la industria el rango de trabajo es de $\pm 10\%$ del valor nominal. Por último, la temperatura es otro factor importante para tomarse en cuenta, las especificaciones para la industria son de -40°C mínimo, 60°C nominal y 120°C máximo. Al tomar en cuenta estas variaciones, podemos asegurar un perfecto funcionamiento del circuito bajo ciertas condiciones de trabajo. Generalmente, en la industria se refieren a variaciones de *PVT* (proceso, voltaje y temperatura), los cuales son parámetros que se deben de cumplir.

1.4. Objetivo de la tesis.

En el diseño de osciladores controlados por voltaje la frecuencia de operación es un parámetro que no debe de modificarse, más allá de un cierto porcentaje, debido a las diferentes esquinas de PVT. La frecuencia debe de mantenerse lo más estable, el único parámetro que debe de modificar la frecuencia de operación es el voltaje de control aplicado a los varactores. Al asegurar que un bloque funcional, como lo es un VCO, sea robusto a variaciones de PVT, podemos inferir que al colocarlo dentro de un PLL su rendimiento se verá mejorado y no será causa de error en las especificaciones como lo son ruido de fase, jitter, entre otros.

Dentro del estudio de los osciladores, existe muy poca información acerca de los errores causados por las variaciones de proceso, voltaje y temperatura. En la literatura existen publicaciones de circuitos que compensan las variaciones de PVT con circuitos externos que aumentan el área total del circuito y que además, consumen más potencia, contrario al objetivo principal de RF, de menor costo y menor consumo de potencia. El objetivo principal de esta tesis es realizar un oscilador controlado por voltaje robusto a variaciones de PVT que consuma poca potencia y menor área.

1.5. Organización de la tesis.

En el capítulo 2 se describen las características y efectos de la tecnología SOI y una breve comparación con la tecnología bulk CMOS. En el capítulo 3 se estudian las topologías y especificaciones de diseño para un VCO, además, se muestran las ecuaciones de mérito para comparar los VCO's existentes. En el capítulo 4 se describe la implementación del oscilador junto con el circuito de compensación. En el capítulo 5 se presentan los resultados del oscilador normal y del modificado, además, se presenta una tabla comparativa en el estado del arte de los osciladores. Finalmente, en el capítulo 6 se escriben las conclusiones del trabajo realizado.

Capítulo 2

Diseño en tecnología silicio sobre aislante (CMOS-SOI).

En el presente capítulo se mencionan las ventajas y desventajas de utilizar CMOS-SOI en vez de la tecnología convencional bulk CMOS. Se describe brevemente el surgimiento de la tecnología con los dos tipos de dispositivos de CMOS-SOI. Seguido de una descripción de los nuevos efectos que no se encontraban en bulk CMOS y una comparación entre la tecnología CMOS-SOI y bulk CMOS. De aquí en adelante utilizaremos el nombre de SOI en vez de CMOS-SOI al mencionar la tecnología.

2.1. Introducción.

La tecnología de silicio sobre aislante (SOI) fue iniciada entre la década de los 70's y 80's, principalmente gracias al interés militar y de la industria espacial para la fabricación de circuitos que trabajaran con alta radiación y a mayores temperaturas [7]. A partir de los 90's, hubo mucho interés en estudiar nuevos métodos de fabricación para materiales SOI (ELTRAN, SIMOX, smart cut, unibond, etc), a finales de la década, el mercado de los dispositivos basados en silicio sobre aislante incrementó cuando comenzó a incursionar en aplicaciones de RF. Hoy en día se tiene un perfecto entendimiento

sobre sus defectos, caracterización, calidad de materiales y su implementación en dispositivos y circuitos. Sin embargo, en la actualidad el objetivo principal es continuar con el escalamiento que ya no es posible en tecnología convencional bulk CMOS, necesario para circuitos que trabajen a mayor velocidad y con menor consumo de potencia. Se observó que la tecnología de silicio sobre aislante ofrece mejoras para el diseño de nuevos circuitos, pero a su vez nos pone el reto de modificar y proponer nuevas técnicas para el desarrollo de circuitos que trabajen con bajo voltaje de alimentación, menor ganancia intrínseca, corrientes de fuga en la compuerta, entre otras limitaciones que no encontramos en circuitos realizados en bulk CMOS [8]. El mayor reto se observa en el diseño de circuitos analógicos, se debe de obtener la caracterización, el modelado y propuesta de nuevas ecuaciones que nos permitan conocer con mayor exactitud el comportamiento de los dispositivos.

La principal desventaja entre SOI y bulk CMOS es el costo de producción. En un principio, el costo de producción por oblea en tecnología SOI CMOS era bastante caro. Más adelante, debido a las mejoras en la calidad de las obleas y de su proceso de fabricación, SOI llegó a ser más barato. Finalmente, el paso importante de la tecnología fue el prometedor futuro al escalar las dimensiones, pudiéndose fabricar dispositivos con ancho de canal en las regiones por debajo de los 100 nm. Motivación por la cual, la tecnología SOI CMOS se espera sea más común, para el diseño de circuitos integrados, en un futuro cercano.

2.2. Parcialmente y completamente agotado en SOI.

Podemos definir SOI como una película de *Si* monocristalino sobre *SiO₂* amorfo sobre un substrato simple de *Si* cristalino [2]. Un circuito SOI es una estructura de dispositivos aislados tanto en la parte inferior como en las orillas. Existen dos formas de trabajar en SOI, la parcialmente (PD) y la completamente (FD) agotada. En la figura 1.2 se muestran las dos formas de SOI.

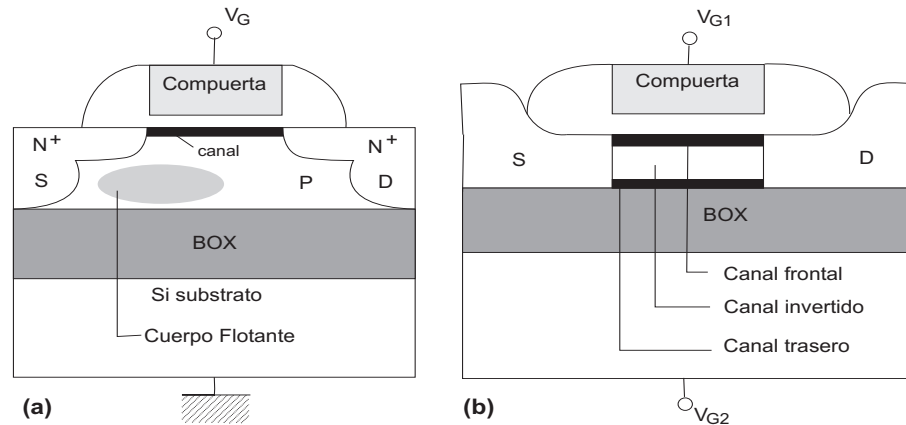


Figura 2.1: Dispositivo SOI a) Parcialmente agotado (PDSOI), b) Completamente agotado (FDSOI).

Los dispositivos MOS fabricados en tecnología de PDSOI tienen una región neutral la cual es su característica principal. Debido a ello, el comportamiento de los dispositivos se muestra relativamente distinto a la tecnología convencional CMOS. También, los efectos causados por la región neutral tienen gran relevancia en cuanto a las características de las curvas de I-V, el voltaje de encendido y la transconductancia del MOSFET. En cuanto a la fabricación, una diferencia entre PD y FD SOI es el espesor de la capa de silicio que se coloca por encima del óxido enterrado (BOX), en cuanto menor sea el espesor, la tecnología será FDSOI [9]. En PDSOI podemos obtener distintos valores de V_t para los transistores, lo cual es conveniente cuando tenemos un compromiso entre rendimiento, ruido y potencia. Un obstáculo muy grande en FDSOI es la dificultad de fabricar la delgada capa de silicio sobre el BOX. Además, el valor de V_t de los transistores depende mucho del espesor de la capa de silicio.

Las diferencias entre PD o FD SOI se basan principalmente en los resultados causados por la región neutral dentro del cuerpo. En PDSOI se tienen efectos que no eran comunes en bulk CMOS, contrario a FDSOI la cual se comporta de forma muy semejante a bulk CMOS. En FDSOI sólo el autocalentamiento y el transistor bipolar parásito son consecuencia de la tecnología. Los efectos debidos a la región neutral dentro del dispositivo se describen a continuación.

2.2.1. Efecto de historia y transiente.

Las variaciones de corriente en circuitos conmutados, es debido a la diferencia de las cargas en el cuerpo al inicio y al final de cada transición. La acumulación de cargas en el cuerpo dependen del proceso de generación-recombinación y pérdidas en la compuerta y uniones. Por lo tanto, el valor de la corriente puede ser mayor o menor que en estado estable.

2.2.2. Efecto de cuerpo flotante (FBE).

También llamado efecto *kink*, causa variaciones en el voltaje de encendido en los transistores. El potencial de cuerpo depende de las pérdidas de corriente en los diodos formados espalda a espalda y la corriente por ionización de impacto causada por el potencial en el drenaje del transistor. En la figura 2.2 se muestran las dos causas de variaciones en el potencial del cuerpo en el dispositivo PDSOI. En el inciso a) se muestran los dos diodos formados por las uniones fuente-cuerpo y drenador-cuerpo. La corriente es debida a la corriente en inversa de cada diodo y su aportación se representa como I_B . En el inciso b) para un NMOS, algunos de los huecos generados en la región cercana al drenador, debido al alto campo eléctrico, se acumulan en la región del cuerpo incrementando su potencial a un valor positivo. La acumulación de huecos depende de la constante de tiempo de generación-recombinación, por lo cual cuando el dispositivo opera dinámicamente exhibe un comportamiento complejo al variar su V_t .

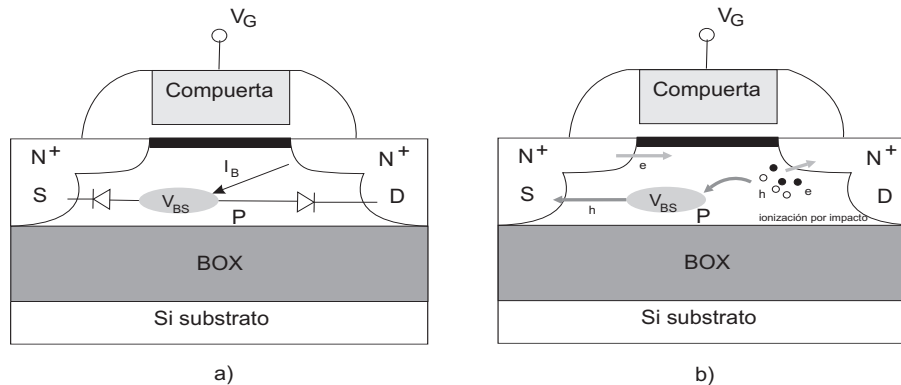


Figura 2.2: Causas de la variación de V_t debido a FBE. a) Diodos espalda a espalda b) Ionización por impacto.

El comportamiento debido a la ionización por impacto se puede ver en la figura 2.3. En el inciso a) se muestra la curva de voltaje de encendido contra voltaje en drenador (V_t vs V_D) y en el inciso b) se muestra la corriente contra el voltaje en drenador (I_D vs V_D). En el inciso a) cuando V_D es igual a cero, el potencial en el cuerpo también es en cero y el dispositivo tiene un voltaje de umbral V_{t0} . Al incrementar $0 < V_D < V_{D1}$, el voltaje de umbral será V_{t1} y permanecerá así debido a que no existe ionización por impacto. Al continuar incrementando $V_D > V_{D1}$, ocurrirá ionización por impacto y el potencial del cuerpo aumentará. Este aumento en el potencial del cuerpo causa lo que es llamado el efecto de polarización del sustrato, haciendo que el voltaje de umbral del MOSFET disminuya. Como se muestra en el inciso b), el rango de voltaje en el drenador en donde no ocurre ionización por impacto tendrá una característica $I - V$ con el voltaje de umbral V_{t1} , pero cuando ocurre la ionización por impacto, el voltaje de umbral disminuirá al valor V_{t2} y la curva $I - V$ dará un salto a la curva con el voltaje de umbral V_{t2} . Este es el fenómeno llamado *kink* en PDSOI MOSFET y es causado por el efecto de cuerpo flotante.

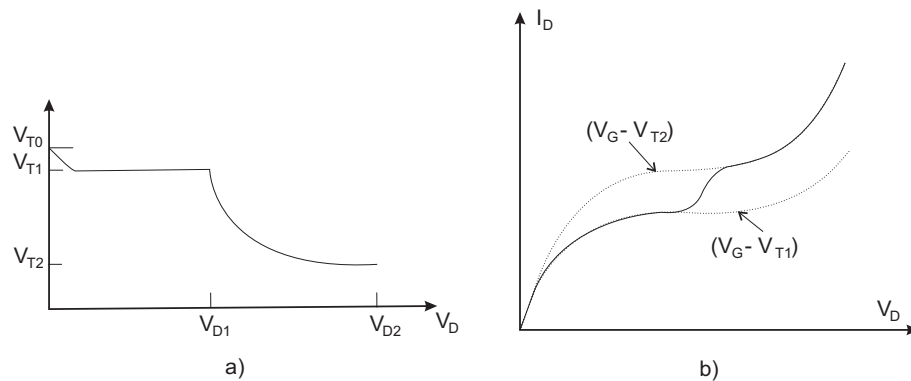


Figura 2.3: a) Gráfica de voltaje de umbral vs voltaje en drenador, b) Gráfica de corriente vs voltaje de drenador.

2.2.3. Latch-up.

Conforme se incrementa la corriente, más electrones se ven involucrados en la ionización por impacto dando lugar a valores anormales. Para voltajes altos en el drenador, la carga en el cuerpo puede mantener el canal invertido aunque la compuerta esté apa-

gada, haciendo inoperable el transistor.

2.2.4. Transistor bipolar parásito (PBT).

El transistor bipolar lateral existe en cualquier MOSFET. Al polarizar la unión base/emisor (cuerpo/fuente) y con una corriente alta en el colector (drenador) puede provocar una ruptura en los transistores. La ruptura del transistor puede provocarse a valores altos en el voltaje de drenador, en esta región el transistor es inoperable y exhibe una corriente elevada provocada por el efecto de avalancha. La figura 2.4 muestra el efecto. Existen métodos en la fabricación para evitar este efecto.

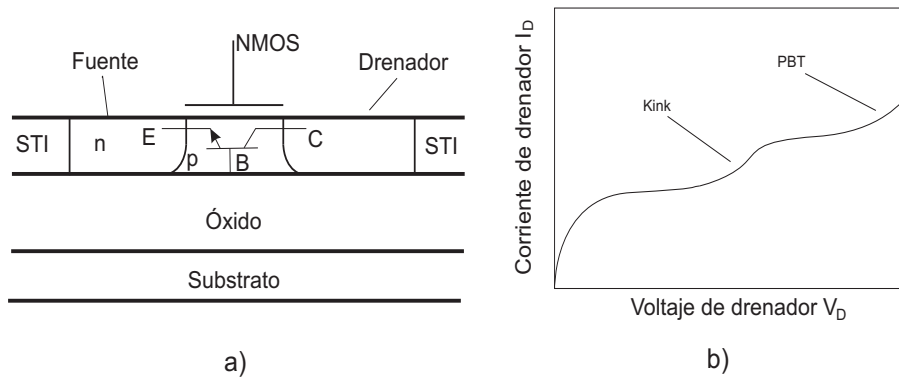


Figura 2.4: a) Transistor bipolar parásito, b) Efecto en la curva I-V del transistor.

2.2.5. Pérdidas en compuertas de paso en estado transitorio.

Este efecto tiene mayor notoriedad en circuitos cuyo tiempo de conmutación de las compuertas es muy largo (en orden de milisegundos). Tiene fuerte dependencia con la *historia* del circuito y puede llegar a ser el efecto dominante de pérdidas de corriente en transistores con bajo V_t . Los transistores NFET son los más afectados y su diseño debe ser cuidadoso.

2.2.6. Autocalentamiento.

Las malas propiedades de disipación térmica debidas al óxido enterrado (BOX) provocan mayor calentamiento en el dispositivo. En bulk CMOS, la mayor parte del calor generado se disipa hacia el substrato debajo del dispositivo y sólo una pequeña parte hacia los dispositivos vecinos. En SOI, el calor generado en el canal es disipado por las interconexiones en el drenador, la fuente la compuerta y la capa de óxido de compuerta. Por lo tanto, el aumento de calor en el canal es gobernado por los parámetros estructurales del dispositivo, tal como, espesor de la capa de silicio, la distancia entre el canal y los contactos de fuente/drenador y el espesor del BOX. La figura 2.5 muestra la forma como se disipa el calor tanto en bulk CMOS y SOI.

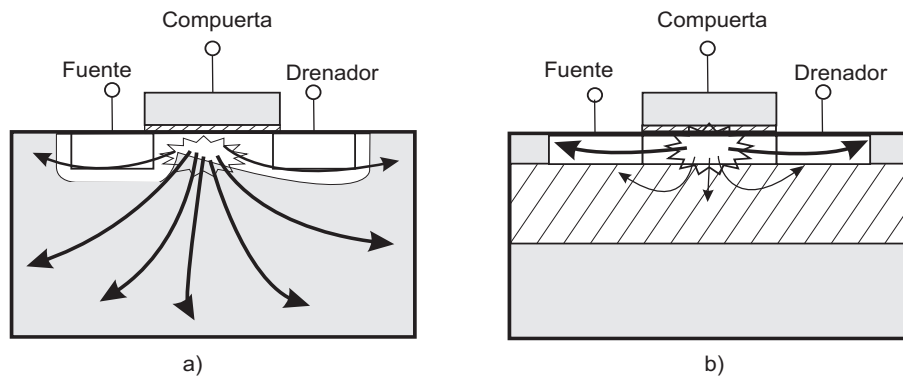


Figura 2.5: Ilustración de la transferencia de calor en a) bulk CMOS, b) SOI CMOS.

2.3. Comparación entre SOI y bulk CMOS

Algunas de las diferencias entre bulk CMOS y SOI, con respecto a las características eléctricas, se mencionan a continuación.

2.3.1. Densidad de dopado y fugas.

Cuando escalamos en bulk CMOS, el canal debe doparse más para evitar que exista una ruta directa entre drenador y fuente. El incremento del dopado reduce la movilidad y, por lo tanto, la capacidad de manejo de corriente. Para compensar la disminución del

manejo de corriente, se reduce el espesor del óxido. La capacitancia parásita de compuerta es inversamente proporcional al espesor, asimismo, las fugas en la compuerta. Si la fuga es demasiada se opta por cambiar el óxido de compuerta por otro con mayor permitividad. En los dispositivos fabricados en PDSOI ocurre el mismo fenómeno, por lo cual se recurren a las mismas soluciones. Contrario a lo que ocurre en bulk CMOS y en PDSOI, en FDSOI la región del canal es completamente invertida por lo que se evita una ruta directa entre drenador y fuente. Por tal motivo, en FDSOI no se recurre a un mayor dopado ni a un óxido de compuerta delgado, por lo tanto, en FDSOI hay mayor movilidad y menos fugas en la compuerta.

2.3.2. Efecto del escalamiento sobre rendimiento de la velocidad.

La máxima frecuencia de operación en la tecnología bulk CMOS es principalmente determinada por las capacitancias de unión entre fuente/substrato y drenador/substrato. Estas capacitancias están determinadas por la capacitancia lateral $C_{j,sw}$ y el área de unión C_{sb} y C_{db} . En la tecnología SOI, estas capacitancias de unión se ven reducidas al colocar el óxido enterrado, por consecuencia, la velocidad de operación se ve incrementada.

2.3.3. Capacidad de manejo de corriente.

El factor de cuerpo n para bulk CMOS y SOI está dado como

$$n = 1 + \frac{C_{ch,b}}{C_{g,ch}} \quad (2.1)$$

En donde $C_{ch,b}$ es la capacitancia entre el canal y el cuerpo y $C_{g,ch}$ es la capacitancia entre compuerta y canal. En FDSOI, la capacitancia $C_{ch,b}$ es reducida lo bastante debido a la delgada capa de silicio. Resultando en un factor de cuerpo muy reducido cercano a la unidad (1.05 - 1.1) comparado con bulk CMOS y PDSOI (1.3 - 1.5). La capacidad de manejo de corriente se puede medir como $1/n$, por lo cual, se observa un mejor manejo

de corriente en FDSOI.

2.4. Ruido de sustrato.

El término ruido de sustrato se refiere a aquellas variaciones indeseadas en el potencial, provenientes del sustrato. El ruido puede ser causado por conmutaciones en circuitos digitales o debido a corrientes inyectadas en el sustrato a través de sus contactos. Los circuitos analógicos son especialmente vulnerables a ruido de sustrato.

Hay básicamente tres diferentes fuentes dominantes de ruido de sustrato. El ruido debido a fuentes de alimentación, el ruido acoplado por nodos conmutando y ruido debido a ionización por impacto en el canal de los transistores. Generalmente, el ruido proveniente de las fuentes de alimentación aporta cerca del 90 % del total, y es aún más dominante conforme escalamos la tecnología.

2.4.1. Ruido de la fuente de alimentación.

El ruido producido por la fuente de alimentación se debe principalmente a la conexión de tierra. Debido al gran número de contactos a tierra, la impedancia entre la tierra y el sustrato es débil. En tecnología SOI, especialmente en FDSOI, los contactos a tierra son reducidos, por lo tanto se espera menor contribución de ruido hacia el sustrato.

2.4.2. Ruido debido a nodos conmutando.

En las regiones de drenador y fuente se forman capacitancias de unión hacia el cuerpo, éstas dependen del área y el dopado de cada región. En tecnología bulk CMOS, el área es mucho mayor comparada con SOI. En circuitos cuyo potencial se encuentra cambiando, las capacitancias se cargan y descargan en cierto lapso de tiempo y estas variaciones representan ruido inducido hacia el sustrato.

2.4.3. Ruido debido a ionización por impacto.

La corriente en el canal de un dispositivo consiste en los portadores de carga son acelerados por el campo eléctrico presente y viajan de fuente a drenador. La magnitud del campo eléctrico se debe al potencial entre drenador-fuente V_{ds} y a la longitud física del canal. Si se incrementa el voltaje V_{ds} y la longitud del canal se disminuye, las cargas viajan a mayor velocidad. Las colisiones entre las partículas y los átomos hacen que algunos átomos se ionicen y puedan generar pares electrón-hueco. Debido a que, generalmente, el drenador tiene mayor potencial, las partículas cerca de esta región obtienen mayor velocidad y producen más colisiones generando más pares electrón-hueco. Este proceso es llamado ionización por impacto y genera ruido hacia el sustrato.

Capítulo 3

Osciladores controlados por voltaje (VCO's).

En este capítulo se describe la función principal del tanque LC. Se resumen las topologías usadas para diseñar un oscilador basado en un tanque LC, y además, los factores que son causantes de pérdidas en un tanque LC. También se mencionan las especificaciones de diseño de un VCO que se deben de cumplir. Para finalizar, se presenta una ecuación general para la figura de mérito del VCO.

3.1. Introducción.

Los osciladores son una parte importante en circuitos integrados, el amplio rango de aplicaciones donde es utilizado hace que su estudio sea de gran importancia. En sistemas de RF de comunicaciones los osciladores forman un bloque funcional fundamental, los osciladores controlados por voltaje (VCO's) son comúnmente utilizados en circuitos como PLL's (phase-locked loops), CDR (clock data recovery) y sintetizadores de frecuencia, entre muchos otros. El VCO es un circuito retroalimentado cuya función de transferencia permite que el sistema comience a oscilar de forma estable. La forma de onda de la señal de salida puede variar entre cada oscilador dependiendo de su

configuración, siendo las más comunes las señales sinusoidales. Un oscilador simple puede ser representado en un diagrama a bloques como se muestra en la figura 3.1, el cual muestra un amplificador retroalimentado positivamente, la función de transferencia se obtiene como (3.1).

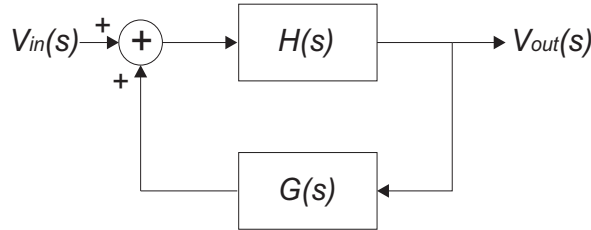


Figura 3.1: Diagrama a bloques de un oscilador simple.

$$\frac{V_{out}(s)}{V_{in}(s)} = \frac{H(s)}{1 - H(s)G(s)} \quad (3.1)$$

El sistema podrá oscilar si experimenta suficiente cambio de fase, para $s = j\omega_0$, $H(j\omega_0)G(j\omega_0) = +1$, entonces la ganancia del lazo se aproxima a infinito. También, el sistema puede comenzar a oscilar si cumple con los dos criterios de *Barkhausen*, los cuales son necesarios pero no suficientes para que se dé la oscilación [10]. El primer criterio, señala que la magnitud del producto $H(s)G(s)$ debe ser mayor o igual a la unidad (3.2). Para asegurar una oscilación, aun en presencia de variaciones de temperatura y de proceso, el valor típico para el lazo de retroalimentación debe ser dos o tres veces la unidad. El segundo criterio, el cambio total de fase del sistema debe ser de 180° ó de 360° (3.3).

$$\|H(s)G(s)\| \geq 1 \quad (3.2)$$

$$\angle G(s) + \angle H(s) = 180^\circ \quad (3.3)$$

El diseño de un oscilador, basado en un tanque LC en paralelo, se realiza suponiendo en un principio que, 1) el sistema no pierde energía, 2) los elementos no tienen resistencia, 3) el dieléctrico no disipa energía, entre otros. Se puede decir que el tanque

LC será gobernado mediante la ecuación de un oscilador armónico (3.4). Se puede obtener una ecuación basada en cargas para un tanque LC (3.5). Al comparar ambas ecuaciones, se puede obtener (3.6). El tanque LC resonará a una frecuencia $\omega_0 = 1/\sqrt{LC}$ en donde la impedancia del inductor $j\omega_0 L$, y la del capacitor $1/j\omega_0 C$, son iguales y opuestas, por lo tanto resulta en una impedancia infinita.

$$\ddot{X} + \omega_0^2 X = 0 \quad (3.4)$$

$$L\ddot{q} + \frac{q}{C} = 0 \quad (3.5)$$

$$\omega_0^2 = \frac{1}{LC} \quad (3.6)$$

Una característica importante de los dispositivos como el inductor y el capacitor, es el *factor de calidad* Q . Su valor depende de muchas características como: dimensiones, tipo de material con que se fabrican los dispositivos, forma de fabricación (una forma de mejorar el factor de calidad de los inductores es mediante micromaquinado), entre otras. El factor de calidad del oscilador en la ecuación 3.7 es dominado principalmente por el factor de calidad del inductor, es por ello que las industrias tienen principal interés en formas de aumentar su valor. En la siguiente sección se describe el impacto del factor de calidad del inductor sobre el rendimiento del VCO.

$$\frac{1}{Q_{\text{tanque}}} = \frac{1}{Q_L} + \frac{1}{Q_C} \quad (3.7)$$

3.2. Inductores planares.

Los dispositivos pasivos, en circuitos integrados, son menos comunes que los dispositivos activos, tal como los transistores. La razón más importante se atribuye a la diferencia en tamaños. Mientras que los dispositivos activos cada vez ocupan menos área, los dispositivos pasivos permanecen relativamente grandes. Ha sido posible fabricar valores pequeños de capacitancia en un chip, pero resulta difícil en inductores

debido a sus características físicas requeridas para un valor de inductancia a cierta frecuencia.

Debido a sus pérdidas, el inductor es el principal responsable de la degradación del factor de calidad y del ruido de fase del oscilador. El factor de calidad ¹ tiene la siguiente definición general (3.8)

$$Q = 2\pi \frac{E_{alm}}{E_{dis}} \quad (3.8)$$

donde E_{alm} es la energía almacenada por ciclo mientras que E_{dis} es la energía disipada por ciclo. Un factor de calidad alto denota pocas pérdidas en el dispositivo pasivo. En los dispositivos como el inductor y el capacitor implica que la mayor cantidad de energía es almacenada y muy poca es disipada. La calidad de los inductores integrados depende de parámetros de diseño como: forma, ancho, espesor, espaciamiento, diámetro y propiedades del material usado para su fabricación. Por lo tanto, es importante entender las fuentes de pérdidas, para poder mitigar sus efectos.

Los principales mecanismos de pérdidas en el inductor se pueden clasificar en tres categorías: pérdidas en el metal conductor, pérdidas por el substrato y capacitancias entre líneas de conexión. La figura 3.2 resume los mecanismos de pérdidas.

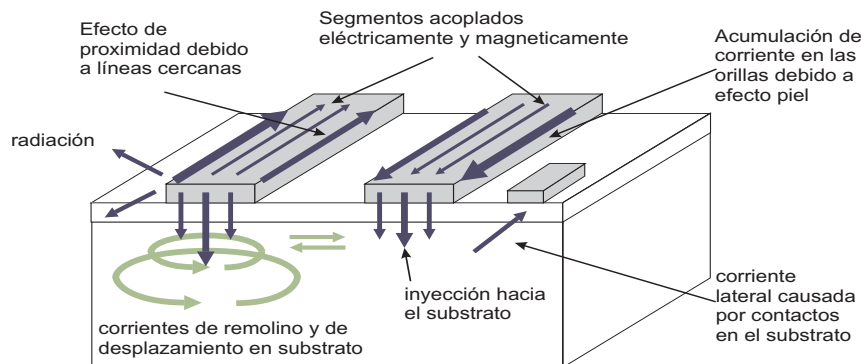


Figura 3.2: Mecanismos de pérdidas presentes en CI. [13]

¹Para consultar otras formas más específicas para obtener el factor de calidad se puede consultar [12]

3.2.1. Pérdidas en el metal.

El factor de calidad de los dispositivos pasivos integrados depende en gran parte a las propiedades del material para su fabricación. En aplicaciones de CI estandar, las líneas de metal no se pueden realizar en tres dimensiones, sin implicar complicaciones en las técnicas del proceso estándar. Debido a ello, las líneas del inductor se forman paralelas al plano del sustrato. Existen algunas geometrías predeterminadas para la fabricación de inductores, las tres principales se muestran en la figura 3.3. Existen algunas otras variaciones que muestran mejoras en cuanto al valor del inductor y al área que ocupan. En el proceso de SOI de $45nm$ utilizado para el diseño del VCO la estructura del inductor es como se observa en la figura 3.4. El modelo equivalente del inductor [10, 14, 15] se muestra en la figura 3.5, en donde R_s es la resistencia parásita asociada a las pérdidas, C_p es la capacitancia entre las líneas del inductor. La capacitancia de óxido C_{ox} , presente entre las líneas del inductor y el sustrato, y C_{sub} y R_{sub} son las parásitas relacionadas con el sustrato. Las pérdidas en el conductor R_s , se deben principalmente a tres mecanismos: pérdidas resistivas, efecto piel, y aumento de corriente debido a corrientes de remolino.

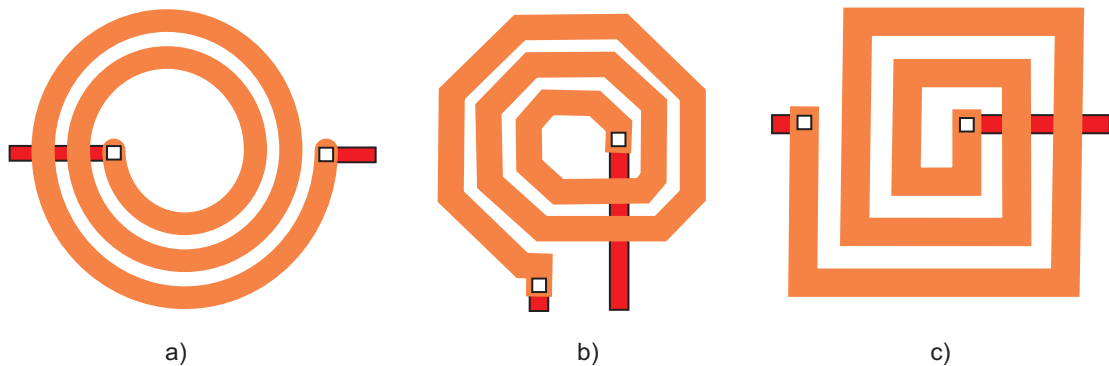


Figura 3.3: Tres geometrías estandares para inductores planares a) circular b) octagonal c) cuadrada [14].

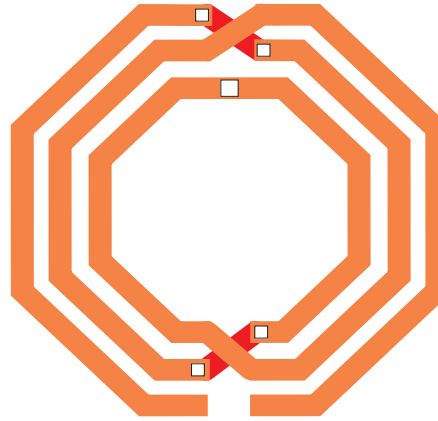


Figura 3.4: Diseño de un inductor con conexión central provisto en la tecnología de 45nm de IBM.

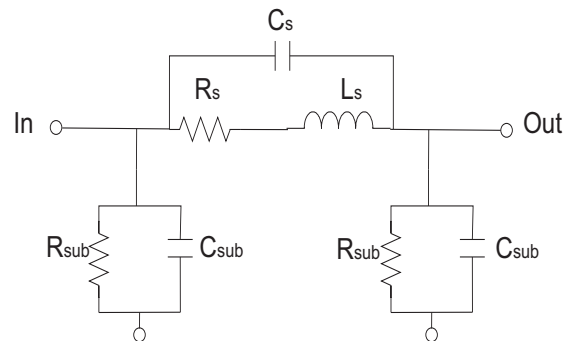


Figura 3.5: Modelo de un inductor integrado.

Pérdidas resistivas La resistencia de un conductor uniforme puede ser expresada como

$$R = \frac{l}{\sigma t w} \quad (3.9)$$

donde σ y t son conductividad y espesor de la línea del metal, son parámetros del proceso que proporciona el fabricante. Mientras que w y l son el ancho y longitud de la línea de metal y son parámetros de diseño que podemos modificar. Una forma de reducir la resistencia parasita R_s es aumentar el ancho y disminuir la longitud de la línea. En las tecnologías basadas en silicio, las líneas de metal normalmente son implementadas con aluminio *Al* cuya conductividad es alrededor de $\sigma = 3,65 * 10^7 S/m$ a temperatura ambiente. En muchos procesos, la actual

tendencia es incorporar un metal con mayor conductividad como el cobre con $\sigma = 5,88 * 10^7 S/m$ en las capas de metal exteriores. También, al ser las últimas capas, el espesor se puede incrementar para así realizar un inductor de mayor factor de calidad.

El valor de la inductancia es determinada principalmente por el número de vueltas, que implica mayor longitud de la línea [14]. En cuanto al diseño, la forma más eficiente de generar flujo magnético es mediante espirales circulares como se muestra en 3.3a), ya que, la línea entera contribuye a su generación. El diseño con esquinas a 90° como se muestra en 3.3c) es el peor para generar flujo magnético. En muchas tecnologías las líneas circulares no están permitidas, sólo a 90° y 45° , es por ello que una aproximación ortogonal 3.3b) con esquinas a 45° es la mejor opción para minimizar la resistencia en serie.

Efecto piel y corrientes de remolino Al incrementar la frecuencia, la distribución de la corriente en las capas del metal cambia debido a corrientes de remolino en los metales, también conocido como efecto piel y de proximidad. En altas frecuencias los campos magnéticos fuerzan a la corriente a fluir en una reducida área del conductor, el campo magnético penetra el inductor produciendo campos eléctricos opuestos dentro del volumen del conductor.

Cuando el área transversal efectiva del conductor decreciente en altas frecuencias, la densidad de corriente aumenta, convirtiendo más energía en calor e incrementando la resistencia efectiva. Este efecto conocido como efecto piel es la restricción de la corriente a fluir en los bordes exteriores de un conductor, como resultado del incremento de campos magnéticos a altas frecuencias. Una forma de expresar cuantitativamente el efecto piel es (3.10)

$$\delta = \sqrt{\frac{2}{\mu\omega\sigma}} \quad (3.10)$$

siendo μ la permeabilidad magnética, ω la frecuencia en rad/s y σ la conductividad. Cuando el inductor tiene varias vueltas, el campo magnético de las líneas vecinas contribuyen al campo magnético de la otra, por lo tanto, la resistividad del conductor se incrementa también debido a la proximidad de otras líneas. En la figura 3.6 se muestra la distribución de corriente (color oscuro) en conductores para los diferentes casos [10].

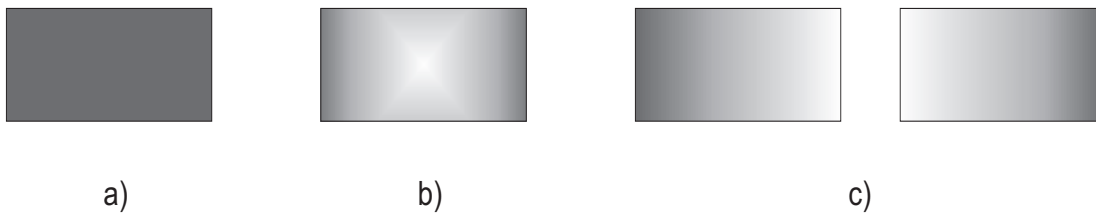


Figura 3.6: Representación visual de la distribución de corriente en la sección transversal de una capa del inductor; a) DC, b) efecto piel y c) efecto de proximidad.

3.2.2. Pérdidas en el sustrato.

El sustrato es la fuente de pérdidas más grande y es una limitante en altas frecuencias debido a la baja resistividad del silicio, comparada con otros procesos como GaAs. Las pérdidas en el sustrato pueden ser categorizadas en acoplamiento eléctrico y magnético. El acoplamiento eléctrico se debe a las pérdidas de energía a causa de los elementos parásitos R_{sub} , C_{ox} y C_{sub} . Generalmente, R_{sub} no es muy grande como se quisiera, pero el tecnología SOI, se puede incrementar porque el sustrato está separado de la parte activa por medio del BOX, disminuyendo pérdidas. Las capacitancias C_{ox} y C_{sub} pueden ser un gran factor de pérdidas en altas frecuencias, una solución es la de utilizar las últimas líneas de metal para disminuir C_{ox} y en tecnología SOI el BOX nos ayuda a reducir C_{sub} . El acoplamiento magnético tiene mayor impacto en las pérdidas causadas en el sustrato. El acoplamiento magnético produce corrientes de remolino dentro del sustrato, generadas por el flujo magnético del inductor. La corriente

generada en el sustrato va en dirección opuesta a la corriente en el inductor, provocando inductancia mutua que se ve reflejada en una resistencia y una inductancia parásita dentro del sustrato.

3.2.3. Capacitancia entre líneas de conexión.

La capacitancia formada entre cada vuelta del inductor se representa en la figura 3.5 como C_s . Su contribución no se toma como una pérdida, pero es una limitante en cuanto a la frecuencia de operación del inductor conocida como frecuencia de resonancia (f_{sr}) determinada como (3.11)

$$f_{sr} = \frac{1}{2\pi\sqrt{C_{TOT}L_s}} \quad (3.11)$$

donde C_{TOT} es la contribución de C_s y C_{sub} del modelo en 3.5. Por encima de este valor, la reactancia capacitiva dominará sobre la reactancia inductiva, comportandose como un capacitor en vez de un inductor. Debido a esto, siempre habrá un compromiso entre el valor nominal del inductor y la f_{sr} , limitando a los inductores a valores en nH para su buen funcionamiento.

3.3. Topologías de osciladores LC.

A lo largo de la historia se han realizado diversos estudios sobre osciladores, existen muchas configuraciones de circuitos y distintas formas de clasificarlos [16]. Se pueden clasificar elementos de la topología del circuito (LC, Cristal, de anillo, ...), por tipos de limitador de amplitud (AGC, diodo-limitador, ...) o por sus características (estabilidad, potencia de salida, frecuencia, ...). Al elegir el tipo de oscilador a diseñar, algunos pueden mostrar mejoras con respecto a otros. En la presente tesis se elige una estructura con tanque LC en paralelo con transistores acoplados-cruzados. En la figura 3.7 se muestran las diferentes topologías para la realización del oscilador con transistores acoplados-cruzados. En la figura 3.7a) y 3.7b) se observan las topologías con transis-

tores NMOS, pero también se pueden realizar con su complementarios PMOS. En la figura 3.7c) se muestra cómo realizarlo con un par de transistores CMOS acoplados-cruzados. Se puede realizar como se muestra en 3.7d) sin corriente de polarización. En 3.7e) se realiza con una corriente de polarización por debajo de los transistores NMOS, lo cual se puede realizar también con la fuente por encima de los transistores PMOS. El diseño elegido para el oscilador se muestra en la figura 3.7f) llamada oscilador con fuentes de corriente complementarias [17]. En la topología de transistores acoplados-cruzados, ambos transistores NMOS y PMOS, contribuyen a la resistencia negativa R_{inn} y R_{inp} . La resistencia negativa total será (3.12)

$$R_{neg\,tot} = R_{inn} \parallel R_{inp} = -\frac{2}{g_{mn} + g_{mp}} \quad (3.12)$$

El hecho de realizar un oscilador simétrico nos da la ventaja de que si $g_{mn} = g_{mp}$, los tiempos de subida y de bajada de la señal de salida serán igual o muy parecidos. Al utilizar fuentes de corriente complementarias la principal desventaja es el ruido agregado al oscilador y al hacer el diseño más difícil debido a las caídas de voltaje en cada fuente. Al tener 1V de voltaje de riel a riel en la tecnología SOI de 45nm, nos es extraño obtener anchos grandes para los transistores. El ruido *flicker* de las fuentes de corriente se ve reflejado como mayor ruido de fase en el oscilador [18], es por ello que también se estudió una estructura sin fuentes de corriente como se muestra en la figura 3.7d). Una ventaja de utilizar corrientes de cola es el control de la corriente que pasa a través del oscilador, pudiendo así reducir el consumo de potencia cuanto se pueda.

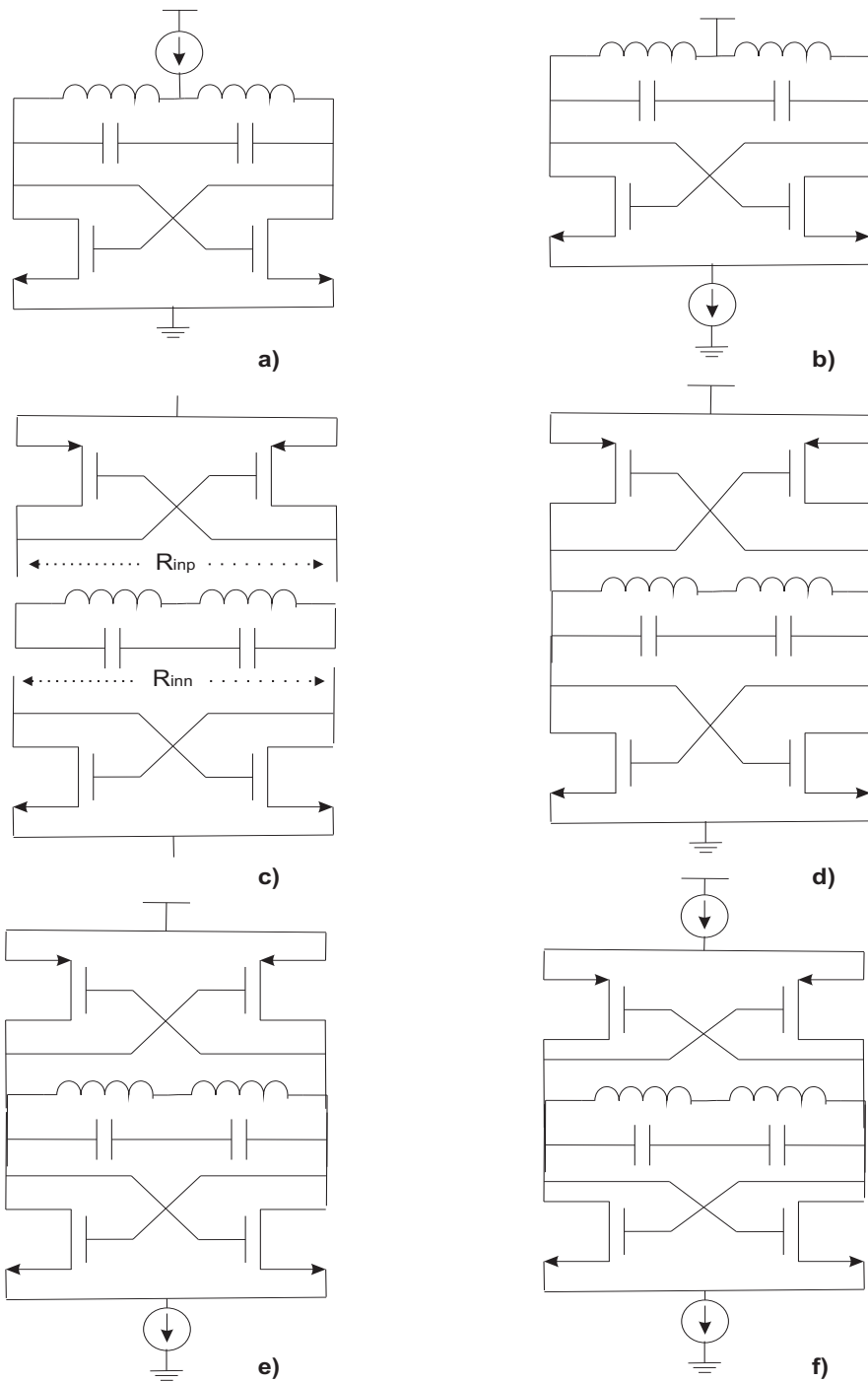


Figura 3.7: Topologías diferenciales con transistores cruzados-acoplados a) con corriente de polarización en el drenador, b) con fuente de corriente en el surtidor, c) diseño con transistores complementarios (CMOS), d) con CMOS e) con CMOS y fuente de corriente de polarización f) CMOS con fuentes de corriente complementarias.

3.4. Especificaciones del VCO.

Como se mencionó en el primer capítulo, hay varias especificaciones que describen el rendimiento del oscilador: frecuencia de oscilación, rango de entonado, linealidad, entre otras. Dos de las características sobresalen al momento de diseñar: ruido de fase y consumo de potencia. El ruido de fase es el requerimiento más crítico que se determina por la cantidad de ruido a determinada frecuencia de offset. En aplicaciones para dispositivos móviles, se requiere de bajo consumo de potencia para garantizar larga duración de la pila. Sin embargo, existe un compromiso entre ruido de fase y consumo de potencia.

3.4.1. Ruido en osciladores.

Una de las más importantes especificaciones para la señal del oscilador es su pureza espectral. En cada aplicación existe un límite sobre el ruido permitido a cierta frecuencia de offset. Un oscilador puede producir una amplia variedad de formas de onda dependiendo de su configuración y diseño. En la presente tesis, nos enfocaremos en el tipo de señal sinusoidal lo más pura posible. La representación de Fourier de una señal sinusoidal pura se muestra en 3.8a). Otra forma de representación es de forma fasorial como en 3.8b), siendo su magnitud $e/2$ y su fase θ , la descomponemos en dos fasores desplazados en sentido opuesto uno de otro con una velocidad angular ω_0 teniendo como referencia el eje real [19].

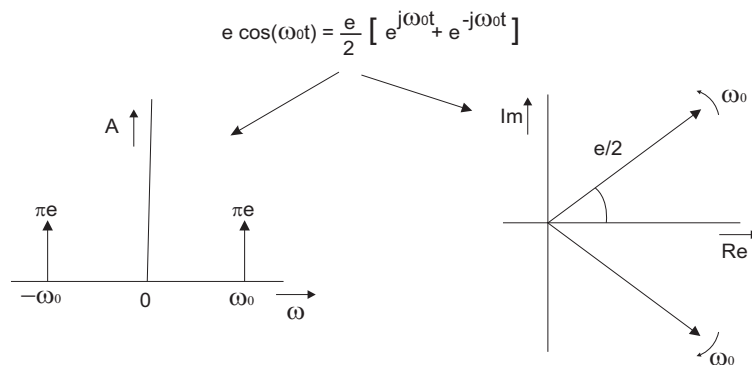


Figura 3.8: Representación de una señal sinusoidal pura en a) el espectro de Fourier, b) en fasores.

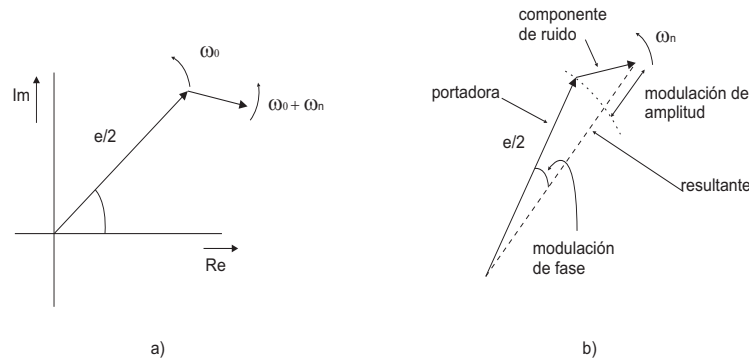


Figura 3.9: a) Representación de la portadora contaminada en el plano fasorial, b) Modulación de amplitud y de fase causada por la componente de ruido.

Para observar el efecto de ruido se toma sólo una componente de la señal más una componente de ruido superpuesta a la portadora. En la figura 3.9 se muestra el fasor original más el fasor de la señal contaminante con una velocidad angular ω_n , el fasor resultante tiene una modulación tanto en amplitud como en fase. La ecuación (3.13) describe el comportamiento de la señal

$$\sigma(t) = e[1 + \alpha(t)] \sin(\omega_0(t) + \phi(t)) \quad (3.13)$$

donde las señales dependientes $\alpha(t)$ y $\phi(t)$ describen las fluctuaciones en amplitud y fase de la señal.

3.4.2. Ruido de fase.

En los osciladores, la precisión y la estabilidad en frecuencia son muy importantes. Es por ello que en el estudio de osciladores, el ruido de fase tiene gran relevancia [20]-[27]. Para analizar el ruido de fase en un oscilador, el circuito se considera como un sistema retroalimentado y consideramos cada fuente de ruido como una entrada. El ruido de fase obtenido a la salida estará en función de 1) fuentes de ruido en el circuito y 2) qué tanto el circuito de retroalimentación atenúa (o amplifica) los diversos componentes de ruido [12].

Teniendo como base que la salida deseada es una sinusoidal lo más pura posible, utilizaremos la representación fasorial para explicar el ruido agregado a la portadora. Como se puede observar de la figura 3.9 podemos descomponer el fasor de dos formas, una de ellas implica modulación de amplitud y la otra modulación de fase. La señal de ruido e_{n0} , así como su transformada de Fourier $E_{n0}(\omega)$ se pueden dividir en sus componentes moduladora de fase $E_{n0}\phi(\omega)$ y moduladora de amplitud $E_{n0}\alpha(\omega)$

$$E_{n0}\phi(\omega_0 + \omega_n) = \frac{E_{n0}(\omega_0 + \omega_n) + E_{n0}^*(\omega_0 - \omega_n)}{2} \quad (3.14)$$

$$E_{n0}\alpha(\omega_0 + \omega_n) = \frac{E_{n0}(\omega_0 + \omega_n) - E_{n0}^*(\omega_0 - \omega_n)}{2} \quad (3.15)$$

Asimismo, el espectro de potencia $S_{n0}(\omega)$ de la señal contaminante se puede expresar en

$$S\phi(\omega_n) = S_{n0}\phi(\omega_0 + \omega_n) \frac{2}{E^2} \quad (3.16)$$

$$S\alpha(\omega_n) = S_{n0}\alpha(\omega_0 + \omega_n) \frac{2}{E^2} \quad (3.17)$$

El efecto del ruido de amplitud puede ser reducido mediante un mecanismo que limite la amplitud. En la literatura, generalmente lo definen como un control de ganancia de amplitud (AGC), al colocarlo a la salida del oscilador, éste puede, prácticamente, eliminar la modulación en amplitud. Sin embargo, el ruido de fase no puede ser reducido del mismo modo, por lo tanto, en la mayoría de las aplicaciones, el ruido del oscilador es dominado por su ruido de fase.

La modulación de fase y magnitud se puede demostrar en un circuito eléctrico [20]. Si consideramos un circuito como el mostrado en la figura 3.10 con un oscilador tanque ideal LC en paralelo e inyectamos un impulso de corriente $i(t)$ como se muestra. El resultado de la amplitud y de la fase tendrán respuestas similares a las mostradas en

3.10a) y 3.10b). Además, el resultado será completamente independiente del tiempo. Dos casos en particular se pueden presentar, si el impulso es inyectado en el pico de voltaje de la señal 3.10a), sólo habrá modulación en amplitud y no en fase. Por otro lado, si el impulso se inyecta en el cruce por cero de la señal de voltaje 3.10b), sólo habrá modulación en fase. Se puede observar el cambio de ambas modulaciones en un diagrama fasorial como se muestra en la figura 3.10c). La señal oscilatoria de salida, al final, se aproximará a la trayectoria cerrada, sin importar el punto de inicio, el efecto de la trayectoria cerrada es conocido como *ciclo límite*.

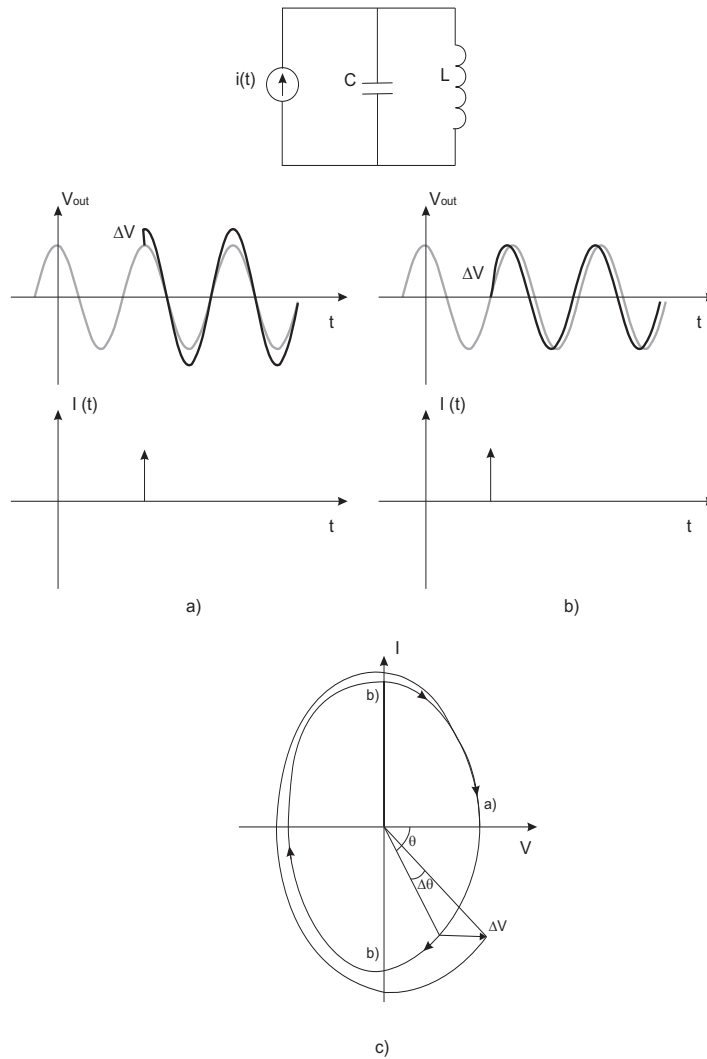


Figura 3.10: a) Impulso inyectado en el pico de la señal, b) impulso inyectado en el cruce por cero, y c) efecto de las no-linearidades en amplitud y fase del oscilador en estado estable.

Generalmente, en el análisis de osciladores, sólo se estudia la mitad del espectro, figura 3.12, para describir su comportamiento y su rendimiento ante ruido. En un oscilador ideal trabajando a una frecuencia ω_0 , el espectro que se esperaría sería un impulso centrado en ω_0 (3.11a), pero en un oscilador real, el espectro muestra "faldas" alrededor de la frecuencia central o portadora (3.11b) [24]. Para cuantificar el ruido de fase, nos basamos en el concepto de relación portadora a ruido (CNR) o en la medida de ruido $\mathcal{L}(\Delta\omega)$.

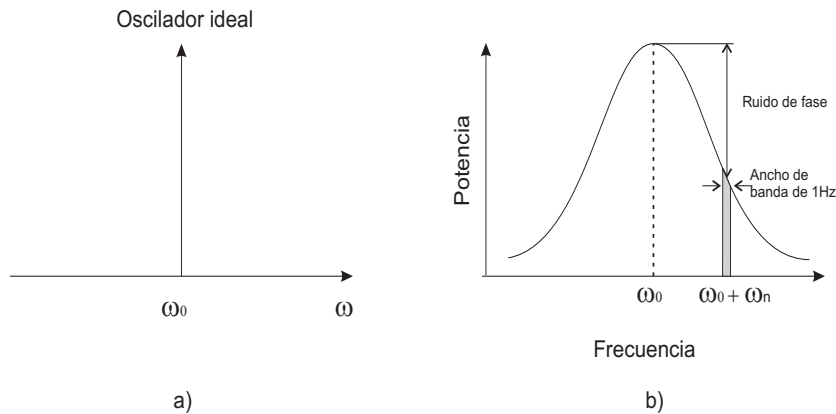


Figura 3.11: Espectro de potencia de a) un oscilador ideal y b) un oscilador real.

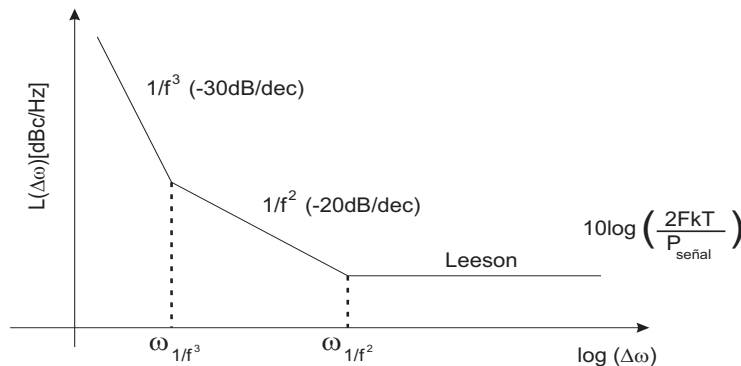


Figura 3.12: Gráfica típica de ruido de fase de un oscilador LC.

Para describir el comportamiento del ruido de fase de la figura 3.12 se utiliza el bien conocido, modelo de Leeson [10, 21]. El modelo de Leeson predice el ruido de fase como (3.18). Aunque el modelo tiene un parámetro empírico, da información de parámetros físicos para reducir el ruido de fase.

$$L(\Delta\omega) = 10 \log \left\{ \frac{2FkT}{P_s} \left[1 + \left(\frac{\omega_0}{2Q\Delta\omega} \right)^2 \right] \left(1 + \frac{\omega_{1/f^3}}{|\Delta\omega|} \right) \right\} \quad (3.18)$$

donde F es un parámetro empírico, conocido como exceso de ruido en el dispositivo [20], k es la constante de Boltzman, T es la temperatura absoluta, P_s es la potencia disipada en DC, ω_0 es la frecuencia de oscilación, Q es el factor de calidad del tanque, $\Delta\omega$ es el offset respecto a la portadora y ω_{1/f^3} es la frecuencia de la esquina entre las regiones $1/f^2$ y $1/f^3$, como se muestra en la figura 3.12.

3.4.3. Razón portadora a ruido (NCR).

Una figura de mérito muy utilizada para calcular el ruido de fase es la relación portadora a ruido. El NCR se calcula obteniendo la potencia del ruido en un ancho de banda de 1 Hz a cierta distancia $\Delta\omega$ de la portadora, dividiendo el resultado por la potencia de la portadora [6].

$$CNR(\omega_n) = \frac{P(\omega_0)}{P(\Delta\omega_n)} \quad (3.19)$$

Cuando cuantificamos el ruido de fase por medio del CNR, debemos tomar en cuenta que el resultado obtenido es la suma de la modulación de fase y la de amplitud. El CNR ha servido para hacer modelos teóricos que sirven para optimizar las dimensiones del inductor y consumir menos potencia [28].

3.4.4. La medida de ruido $\mathcal{L}(\Delta\omega)$.

La medida de ruido específica para ruido de fase $\mathcal{L}(\Delta\omega)$ se define como (3.20)

$$\mathcal{L}(\Delta\omega) = \frac{P_\phi(\Delta\omega)}{P_{tot}} \quad (3.20)$$

donde $P_\phi(\Delta\omega)$ es la potencia de ruido en un ancho de banda de 1 Hz con un offset de frecuencia ($\Delta\omega$) de la portadora ω_0 y P_{tot} es la potencia de la portadora. La relación

de $\mathcal{L}(\Delta\omega)$ con el espectro de potencia de la señal es $S\phi(\Delta\omega)$, pero multiplicado por un factor 2.

$$S\phi(\Delta\omega) = 2\mathcal{L}(\Delta\omega) \quad (3.21)$$

Y cuando tomamos la figura de mérito CNR con respecto al $\mathcal{L}(\Delta\omega)$, la relación es

$$CNR(\Delta\omega) = \frac{1}{\mathcal{L}(\Delta\omega)} \quad (3.22)$$

3.4.5. Jitter.

En muchas aplicaciones la distribución espectral de ruido de fase es una especificación importante, mientras que para otras, la precisión en el tiempo es de mayor relevancia. En sistemas que mezclan señales analógico/digital, los muestreos digitales deben tener la misma distancia para que la información no sea errónea. Cualquier variación en los tiempos de muestreo puede causar distorsión. Jitter es una variación de la señal en los cruces por cero, o una variación en el periodo de la señal como se muestra en la figura 3.13. El periodo de cada ciclo del oscilador es diferente debido al ruido inducido [22]. Cuando el rango de frecuencias es $\omega_1 < \omega < \omega_2$ el valor cuadrático medio puede medirse como [19]

$$\sigma_\phi^2 = \frac{1}{2\pi} \int_{\omega_1}^{\omega_2} S_\phi(f) d\omega \quad (3.23)$$

A partir del ruido de fase podemos obtener fácilmente el jitter, pero en caso contrario, a partir de la especificación de jitter no se puede reconstruir con exactitud el ruido de fase, debido que al integrar se pierden datos.

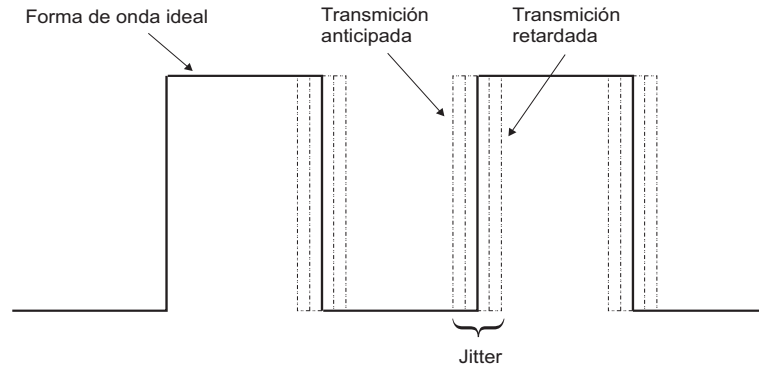


Figura 3.13: Jitter en una señal cuadrada.

3.4.6. Frecuencia de entonado en VCO's.

La mayoría de las aplicaciones de comunicaciones inalámbricas requieren un oscilador con cierto rango de frecuencias de entonado, esto quiere decir que la frecuencia de salida estará en función de una entrada, que generalmente es un voltaje de DC. Un VCO ideal tiene una función (3.24), la cual muestra una frecuencia de salida lineal, función del voltaje de control (V_{ctrl}) y de la ganancia K_{VCO} del VCO. La figura 1.4 del primer capítulo muestra gráficamente el comportamiento de la frecuencia respecto al voltaje de control. El valor de f_{out} es igual a f_0 cuando $V_{out} = 0$ y el rango $f_2 - f_1$ correspondientes a los voltajes V_2 y V_1 , indican el rango de entonado de frecuencias.

$$f_{out} = f_0 + K_{VCO}V_{ctrl} \quad (3.24)$$

De la ecuación (3.6), se puede observar que $f_{out} = 1/2\pi\sqrt{LC}$, la frecuencia de salida podrá variar al cambiar los valores del inductor o del capacitor. En la actualidad, existen inductores activos los cuales pueden variar su inductancia aplicando un voltaje de DC, pero su desempeño en ruido de fase es muy pobre. Es por ello que la mejor opción para variar la frecuencia es utilizar capacitores dependientes de voltaje, o mejor conocidos como varactores.

En los procesos basados en silicio existen dos formas de realizar varactores: diodos

de unión PN conectados en inversa y varactores MOS. Los principales inconvenientes de utilizar varactores con diodos es que 1) el material del pozo N donde se fabrican tiene alta resistividad disminuyendo su factor de calidad y 2) el pozo N agrega bastante capacitancia hacia el sustrato, provocando menor rango de capacitancia variable.

El varactor MOS se realiza conectando el drenador, la fuente y el sustrato (D,S,B) juntos, teniendo un valor de capacitancia controlada por el voltaje V_{BG} . Existen dos formas de operar el MOS varactor. El varactor MOS en modo de acumulación (PMOS) como se muestra en la figura 3.14a), asegurandonos de no trabajar en la región de inversión, con los valores de V_G . La otra forma es el varactor MOS en modo de inversión (IMOS), figura 3.14b), asegurandonos de no trabajar en la región de acumulación y conectando V_B al potencial más alto (por ejemplo V_{DD}). La ventaja del IMOS es que tiene menor resistencia parásita que el PMOS pero tiene mayor ruido inyectado por el sustrato y menor rango de entonado.

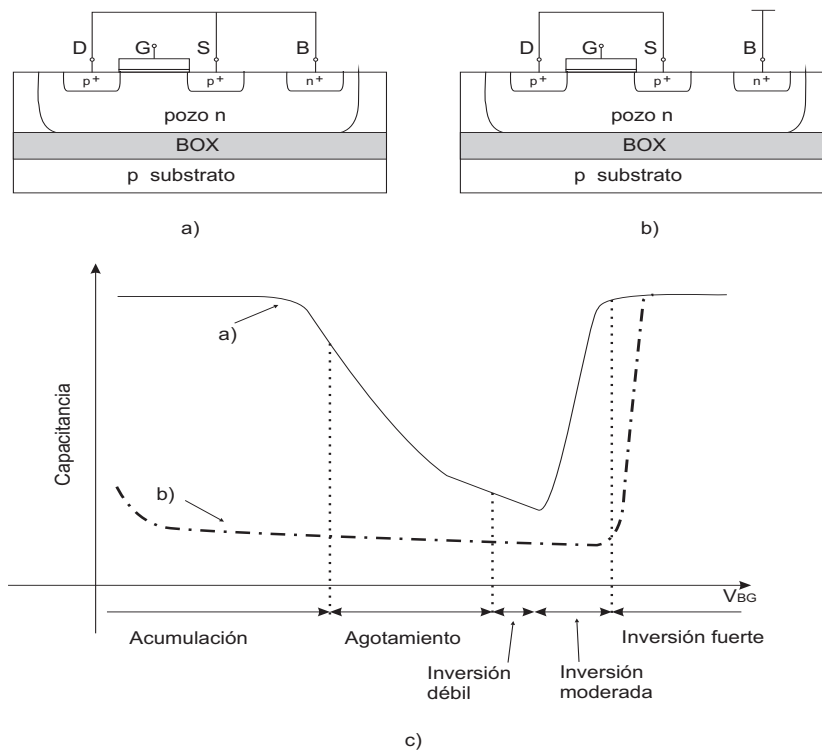


Figura 3.14: Configuración del MOS varactor a) PMOS, b) IMOS y c) gráfica de capacitancia contra voltaje V_{BG} .

En un varactor PMOS, las regiones de trabajo dependen de los voltajes de polarización V_B y V_G como se muestra en la figura 3.15. En modo de acumulación la capacitancia permanece casi constante igual a C_{OX} . En agotamiento la capacitancia varia dependiendo del valor de C_d , puesto que la capacitancia resultante es la capacitancia en serie de C_{OX} y C_d . En el modo inversión, el cual se pretende evitar, la capacitancia será C_{OX} [29].

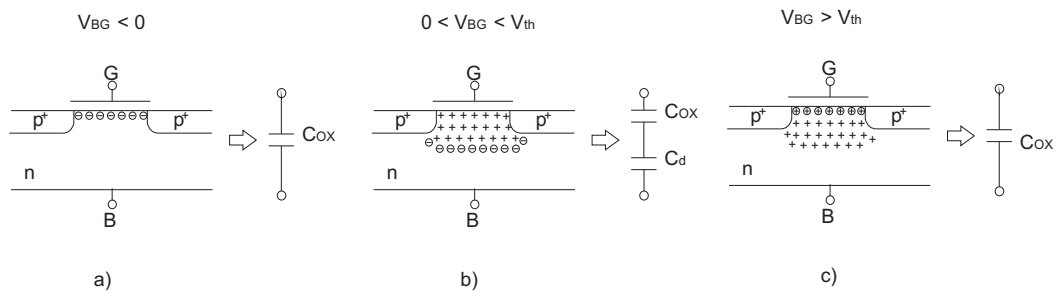


Figura 3.15: Operación del PMOS en a) acumulación ($C = C_{OX}$), b) agotamiento ($C = (C_{OX}^{-1} + C_d^{-1})^{-1}$) y c) en inversión ($C = C_{OX}$).

3.4.7. Figura de mérito del VCO.

La figura de mérito es una manera de medir el desempeño y nos permite hacer una comparación entre distintos diseños de un circuito en particular. La figura de mérito para un oscilador se utiliza para normalizar su rendimiento en cuanto a frecuencia de operación, ruido de fase y consumo de potencia [30]. Algunas figuras de mérito involucran también rango de entonado y/o área total.

En la literatura se pueden encontrar dos ecuaciones principales para determinar la figura de mérito de un oscilador. La primera de ellas determinada por (3.25) y la segunda (3.26) involucran ambas la potencia consumida, la frecuencia de operación y el ruido de fase. La ecuación (3.25) puede ser modificada para involucrar el área total del circuito de interés y se obtiene (3.27).

$$FOM = 10 \log \left[\left(\frac{f_0}{f_m} \right)^2 \frac{1mW}{L(f_m)P_s} \right] \quad (3.25)$$

$$FOM = L(f_m) - 20 \log \left(\frac{f_0}{f_m} \right) + 10 \log \left(\frac{P_s}{1mW} \right) \quad (3.26)$$

$$FOM_A = 10 \log \left[\left(\frac{f_0}{f_m} \right)^2 \frac{1mW 1mm^2}{L(f_m)P_s A} \right] \quad (3.27)$$

donde f_0 es la frecuencia de oscilación, $L(f_m)$ es el ruido de fase medido a la frecuencia de offset f_m , P_s es la potencia consumida en DC y A es el área consumida por el circuito.

En este trabajo, la figura de mérito se obtiene mediante la ecuación (3.25) debido a que es la más utilizada y nos permite comparar ante otros osciladores.

Capítulo 4

Implementación del oscilador.

El diseño de VCO's integrados involucra el compromiso de una serie de importantes parámetros de diseño. Los objetivos principales a cubrir son: la frecuencia de operación, ruido de fase y consumo de potencia. El rango de entonado depende de la aplicación, siempre se desea un valor alto pero en ocasiones depende mucho de la tecnología. Debido a ello existen trabajos dedicados a desarrollar topologías que mejoren el rango de entonado [31, 32, 33]. Además, se deben de tomar en cuenta las variaciones de proceso, voltaje y temperatura (PVT), haciendo un diseño robusto que pueda trabajar aún con estas fluctuaciones. En la industria se tienen ciertos rangos de variaciones de PVT las cuales deberán cubrir cualquier circuito que se fabrique, esto con el fin de garantizar su desempeño bajo ciertas condiciones de trabajo. En cuanto a variaciones de proceso, cada fabricante proporciona las esquinas dentro de las cuales cada dispositivo pasivo o activo podrá variar. Las esquinas en cualquier proceso son como se muestran en la figura 1.5 del primer capítulo, se vuelve a mostrar en la figura 4.1, pero con el significado de cada uno de los acrónimos en la tabla 4.1. Generalmente, en cada oblea donde se fabrican los circuitos, se tienen las esquinas: normal (TT), rápido-rápido (FF) y lento-lento (SS); las esquinas FF y SS se consideran el mejor y el peor de los casos para cada dispositivo ¹. Existen dos esquinas más que son combinación de las

¹Las variaciones de esquina hace que los dispositivos trabajen muy rápido o muy lento dependiendo de la fluctuaciones en la cantidad de dopado, dispersión de las partículas portadoras de corriente debido

anteriores: rápido-lento (FS) y lento-rápido (SF), en ciertos circuitos son muy difíciles de compensar sus variaciones y resultan en un diseño más complejo.

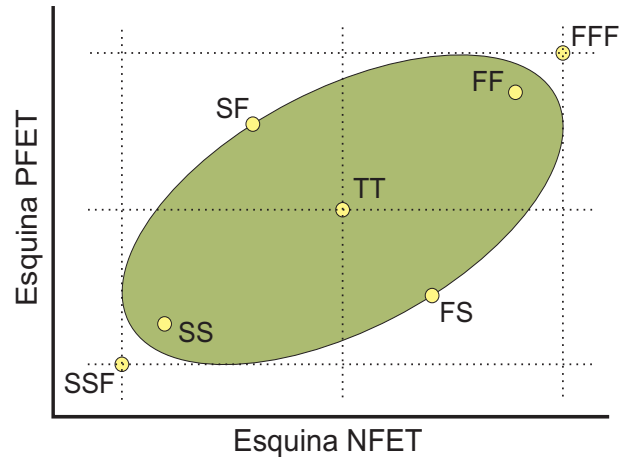


Figura 4.1: Esquinas de proceso para los transistores.

Acrónimo	Significado
FFF y SSF	Estas esquinas representan el $+3\sigma$ mejor caso y el -3σ peor caso. Cada dispositivo es movido a su punto extremo permitiendo predecir el rendimiento y las fugas en un circuito. La esquina evalúa la funcionalidad bajo condiciones donde uno o más dispositivos se mueve a su 3σ punto extremo.
FF y SS	Estas esquinas simulan las variaciones de retardo 3σ en compuertas lógicas con variaciones de chip a chip. En circuitos analógicos describe a los transistores NMOS rápidos y PMOS rápidos siendo el mejor de los casos FF y como NMOS lentos y PMOS lentos para el peor de los casos SS.
FS y SF	Estas esquinas colocan en condiciones de 3σ cada transistor donde los nfet y los pfet se mueven en direcciones opuestas (FS nfet rápido y pfet lento y SF nfet lento y pfet rápido).
TT	Es el valor típico para cada proceso.

Tabla 4.1: Significado de cada acrónimo de las esquinas en un proceso

En el caso de VCO's, una forma muy común de compensar las variaciones de proceso es incrementando el rango de entonado y haciendo que la ganancia sea mayor a uno $|H(s)G(s)| \geq 1$. En muchas técnicas de diseño de VCO's [27, 28], el factor de calentamiento térmico, entre otras.

ganancia llamado α , se propone de un valor entre 1 a 3 para asegurar su oscilación ante variaciones de proceso. Esto garantiza la oscilación del circuito pero no garantiza que la frecuencia resultante no se aleje de lo esperado. Se puede llegar a obtener la frecuencia deseada mediante el voltaje de control, pero disminuye el rango dentro del cual se requiere que trabaje.

Las variaciones en el voltaje de alimentación se deben a que las baterías o fuentes que se utilizan para polarizar los circuitos, casi nunca se encuentran a su valor nominal descrito en sus especificaciones. En la industria se maneja un porcentaje del $\pm 10\%$ del valor nominal de la batería como rango de trabajo. Las variaciones de temperatura dependen mucho del ambiente de trabajo, aunque también se deben a que los circuitos siempre disipan energía en forma de calor y casi nunca se encuentran a una temperatura ambiente como generalmente se considera en los diseños.

4.1. Criterios de diseño.

Para comenzar el diseño del oscilador debemos tener ciertas especificaciones como:

- Máximo consumo de potencia en DC. = $V_{DD}I_{bias}$
- Mínima amplitud de salida de voltaje (single-ended) = V_{tanque}
- Rango de entonado $\frac{f_{max}-f_{min}}{f_0} * 100\%$
- Ganancia del circuito $\alpha_{min} > 1$
- Frecuencia de operación f_0
- Área consumida

El objetivo principal con las especificaciones anteriores es obtener el menor ruido de fase. Una estrategia alternativa es establecer el ruido de fase que deseamos tener y diseñar con el mínimo consumo de potencia [25, 27].

Como se mencionó en el capítulo anterior, se escoge el circuito con fuentes de corriente complementarias. Se realiza un diseño de un VCO sin compensación como se muestra en la figura 4.2 para compararla con el diseño de un VCO con compensación de PVT, la topología propuesta se muestra en la figura 4.3. Se escoge un doble cross-coupled (NMOS y PMOS) debido a su simetría en los tiempos de subida y de bajada, y a su mayor amplitud de salida [20, 34]. Además de doble fuente de corriente para realizar la compensación de PVT.

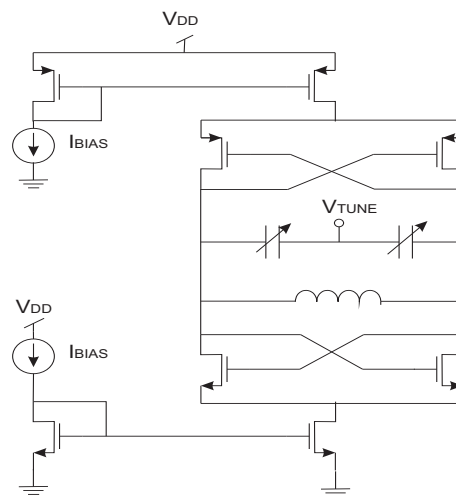


Figura 4.2: Topología simple con fuentes de corriente complementarias.

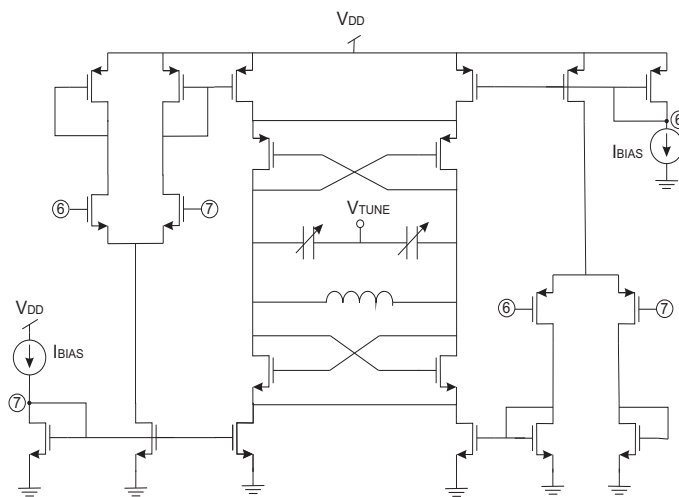


Figura 4.3: Topología propuesta para compensar PVT, con fuentes de corriente complementarias.

El análisis para los valores de cada dispositivo se basa en [28, 35], los cuales contemplan doce variables de diseño y se mencionan a continuación.

- Inductor: No. de vueltas (n), ancho del metal (w), espaciamento entre vueltas (s) y diámetro exterior (d_{out}).
- Varactor: Máximo C_{max} y mínimo C_{min} valor de capacitancia.
- Transistores: Ancho (W_n y W_p) y longitud (L_n y L_p).
- Capacitancia de carga: C_L .
- Corriente de polarización: I_{bias} .

4.2. Especificaciones del tanque LC.

4.2.1. Medidas del inductor.

En la tecnología de 45 nm PDSOI de IBM se permiten los siguientes rangos de medidas para el inductor.

- n (*Número de vueltas*). Comienza en 1 con incrementos de 1, teniendo como límite el área.
- w (*Ancho del metal*). Puede variar de 2 a 15 μm dependiendo del nivel del metal.
- s (*Espacio entre vueltas*). Puede variar de 2 a 5 μm .
- $X = d_{out}$ (*Dimensión exterior*). Puede variar de 100 a 300 μm .

Los valores elegidos para el inductor fueron: $n = 2$, $w = 8\mu m$, $s = 3\mu m$, $d_{out} = 200\mu m$. Obteniéndose un valor de inductancia igual a 2.146 nH. La ilustración de las variables, el diseño y un modelo simplificado para el inductor se muestra en la figura 4.4. Además, el inductor se implementa con un plano de tierra para reducir el flujo de corriente, inducido del inductor hacia el sustrato por el flujo magnético [36].

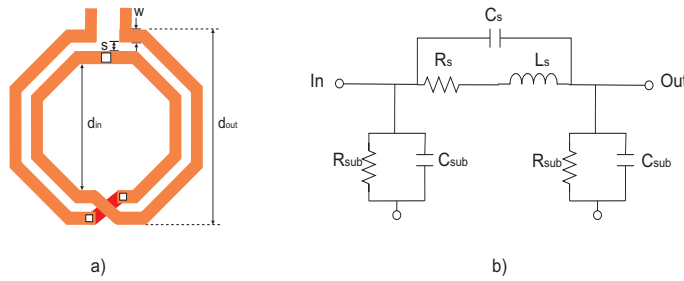


Figura 4.4: a) Variables de diseño y b) modelo simplificado del inductor.

4.2.2. Medidas del varactor.

Los valores de capacitancia de un varactor, en la tecnología de 45 nm PDSOI de IBM, dependen de las siguientes variables:

- l (*Longitud de canal*). Se permiten únicamente dos valores para la longitud, siendo $0.232 \mu\text{m}$ y $0.472 \mu\text{m}$.
- w (*Ancho de drenador y fuente*). Rango no especificado.
- nf (*Número de dedos*). Rango no especificado.

Los valores escogidos son: $l = 0,232\mu\text{m}$, $w = 1\mu\text{m}$ y $nf = 16$. Obteniéndose un valor de capacitancia máxima de 180 fF y una capacitancia mínima de 154 fF con voltaje de control de 0 V a 1 V .

El modelo del varactor NMOS ha sido probado para un rango de voltaje de $V_{g-sd} = -0.5 \text{ V}$ y $V_{g-sd} = 1 \text{ V}$. Para valores de V_{g-sd} menores a -0.5 V , en la región de inversión fuerte, el modelo no es válido debido a inestabilidad en la capacitancia causada por generación de huecos. La tecnología tiene un varactor NMOS sobre un pozo N y se modela como un capacitor ideal con una resistencia en serie de valor (4.1). En la figura 4.5 se muestra el símbolo y la forma de conexión. La gráfica de capacitancia contra voltaje y la forma de conexión se describieron en el tercer capítulo.

$$R_v = \frac{Q_v}{C_v \omega} \quad (4.1)$$

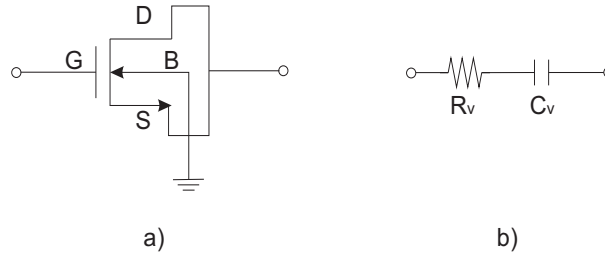


Figura 4.5: a) Símbolo y forma de conexión y b) modelo simplificado del varactor.

4.3. Diseño del oscilador.

La característica principal en el diseño del oscilador controlado por voltaje es la compensación de variaciones de proceso, voltaje y temperatura, mediante circuitos que no aumenten drásticamente el consumo de potencia, el área del circuito, ni el ruido de fase. Por lo tanto, las especificaciones para el VCO para poder comparar el rendimiento con otras topologías son:

1. Máximo consumo de potencia $\leq 4mW$
2. Mínima amplitud de salida de voltaje = $800mV$
3. Rango de entonado $\geq 10\%$
4. Ganancia del circuito $\alpha \geq 1$
5. Frecuencia de operación $\geq 5GHz$

En la literatura podemos encontrar algunas topologías para compensar las variaciones de PVT, generalmente, muchas de ellas implican compensar mediante el uso de *bandgaps* que involucran transistores BJT's y diodos [37, 38, 39] o algunas variaciones para tecnología CMOS [40]. Algunas otras topologías realizan la detección y

compensación mediante circuitos que consumen mayor potencia y, usualmente, compensan solo temperatura *y/o* proceso [41, 42].

En este trabajo se eligió una topología de VCO con tanque LC polarizado con fuentes de corriente complementarias debido a que es ahí donde se realiza la compensación, a pesar de obtener dimensiones grandes para los transistores de polarización. Las variaciones de PVT consideradas son las siguientes:

Proceso Al hablar de las variaciones de proceso nos referimos a las diferencias en los dopados de los dispositivos, las diferencias de los voltajes de encendido, entre otras. En el proceso de rápido-rápido (FF), las variaciones principales en los transistores son las siguientes: disminución del voltaje de encendido, aumento de la corriente que pueden manejar, aumento en la movilidad de las partículas y aumento en la transconductancia. Al cambiar al proceso lento-lento (SS), los cambios son los siguientes: aumento en los voltajes de encendido, disminución de la corriente que manejan, disminución en la movilidad de las partículas y un decremento de la transconductancia. En el proceso típico-típico (TT), las condiciones son las comunes para diseñar.

Voltaje El principal cambio al aumentar o disminuir el voltaje es el aumento o disminución de la corriente respectivamente. Al haber un cambio en la corriente, existe también un cambio en la transconductancia de los transistores aumentando o disminuyendo conforme lo hace la corriente.

Temperatura Al realizar un diseño, generalmente, utilizamos como base la temperatura de $25^{\circ}C$, para casos reales a fabricar se utiliza $60^{\circ}C$ y las esquinas a utilizar son $-20^{\circ}C$ y $100^{\circ}C$. Los cambios al variar la temperatura son: al aumentar la temperatura en los transistores, la corriente que manejan aumenta pero su transconductancia disminuye y su voltaje de encendido disminuye; al disminuir la temperatura, la corriente es menor pero aumenta su transconductancia y aumenta su voltaje de encendido.

4.3.1. VCO sin compensación de PVT.

En un diseño de un VCO sin compensación de PVT como el que se muestra en la figura 4.6, las variaciones de proceso, voltaje y/o temperatura afectan a todo el circuito, modificando los valores de corriente y transconductancia de cada dispositivo.

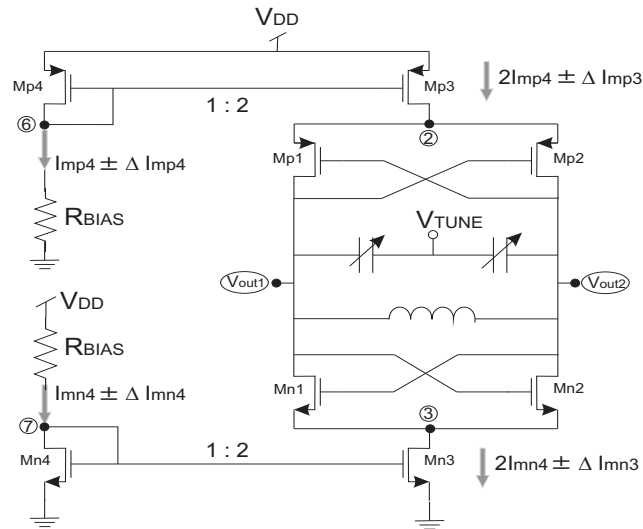


Figura 4.6: Variaciones en la corrientes de polarización.

En la tabla 4.2 se muestra un listado de las dimensiones de los transistores. La tecnología de 45 nm PDSOI de IBM tiene tanto transistores con cuerpo flotante como transistores con cuerpo conectado, en el diseño se usaron únicamente transistores con cuerpo flotante debido a su menor voltaje de encendido y a que ocupan menos área.

Dimensiones de los transistores.								
	Mn1	Mn2	Mn3	Mn4	Mp1	Mp2	Mp3	Mp4
W	25 μm	25 μm	53.5 μm	19 μm	30 μm	30 μm	72 μm	21 μm
L	45 nm	45 nm	60 nm	60 nm	80 nm	80 nm	60 nm	60 nm
Tipo	lvt	lvt	hvt	hvt	lvt	lvt	pfet	pfet

Tabla 4.2: Listado de las dimensiones de los transistores para el VCO sin compensación de PVT

Se utilizó una longitud de canal de 45 nm para los transistores Mn1 y Mn2 debido a que es la longitud mínima de canal y se obtiene la mayor frecuencia de operación de los transistores. En los transistores Mp1 y Mp2 se utilizó 80 nm ya que fué la longitud

mínima para que los transistores se mantuvieran en saturación, aún con cambios en el proceso.

La corriente total que circula en el tanque LC será igual a la corriente en el transistor I_{Mn3} (la misma que en I_{Mp3}). El valor de la corriente se determina mediante la ecuación (4.3), el factor ΔI_{Mn3} representa el aumento o la disminución de la corriente debido a las variaciones. El factor 2 en la ecuación es debido a que la corriente copiada del transistor Mn4 al Mn3 (y del Mp4 al Mp3) tiene una razón de 1:2 con una corriente de referencia I_{BIAS} .

$$I_{Mn3} = I_{Mp3} \quad (4.2)$$

$$I_{Mn3} = 2I_{Mn4} \pm \Delta I_{Mn3} \quad (4.3)$$

Como se puede observar, la corriente total tiene variaciones de $\pm \Delta I_{Mn3}$ las cuales no se pueden compensar. Así como tenemos cambios en la corriente, también se observan cambios en el voltaje de los nodos 6 y 7, estos cambios se pueden utilizar para realizar la compensación de PVT.

Los cambios en la corriente representan cambios importantes en el consumo de potencia oscilador y, por lo tanto, cambios en el ruido de fase. El ruido de fase también tiene importantes cambios al cambiar la temperatura, al trabajar a una mayor temperatura la frecuencia de operación aumenta pero el ruido de fase es el mayor comparado con todos los casos posibles, al ir disminuyendo la temperatura el ruido de fase va disminuyendo, obteniéndose así el menor ruido de fase cuando se trabaja en $-20^{\circ}C$. Las variaciones de voltaje son las que muestran el peor resultado de las tres. Al disminuir el voltaje la frecuencia de oscilación aumenta y viceversa. La combinación de las tres variaciones puede hacer que las variaciones de la frecuencia de oscilación alcancen una diferencia de hasta 600 MHz con respecto a la frecuencia deseada.

4.3.2. VCO con compensación de PVT.

El diseño del oscilador controlado por voltaje (VCO) con compensación de PVT se muestra en la figura 4.7. Tomando en cuenta los cambios, en corriente y voltaje, observados en el VCO sin compensación se realizan los cambios en el circuito, colocandose una red de retroalimentación que compensa los cambios resultantes de las variaciones de PVT.

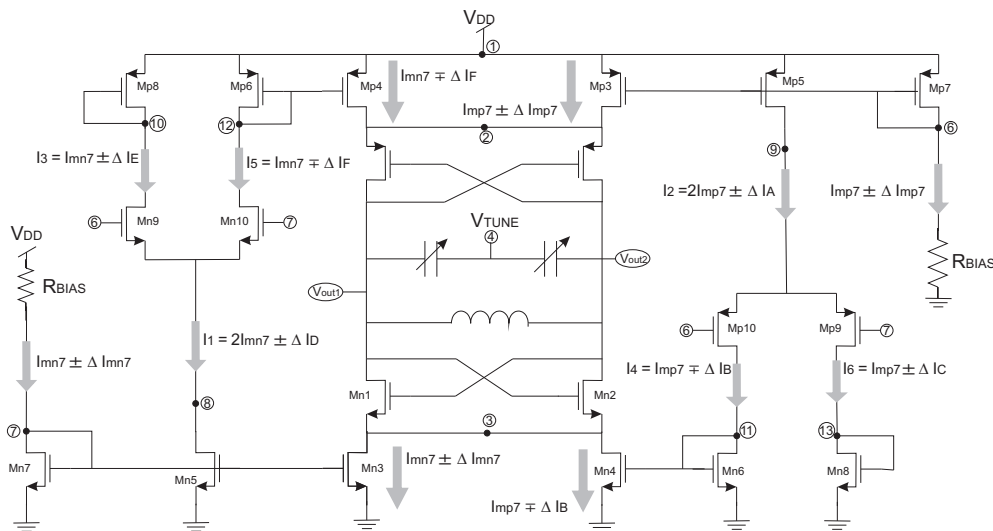


Figura 4.7: VCO con compensación de PVT.

En las tablas 4.3 y 4.4 se muestran los listados de las dimensiones de los transistores. La tecnología de 45 nm PDSOI de IBM tiene tanto transistores con cuerpo flotante como transistores con cuerpo conectado, en el diseño se usaron únicamente transistores con cuerpo flotante debido a su menor voltaje de encendido y a que ocupan menos área.

Dimensiones de los transistores NMOS.										
	Mn1	Mn2	Mn3	Mn4	Mn5	Mn6	Mn7	Mn8	Mn9	Mn10
W	25 μm	25 μm	38 μm	57 μm	40 μm	8 μm	19 μm	8 μm	15 μm	15 μm
L	40 nm	40 nm	80 nm	60 nm	.2 μm	.2 μm	60 nm	.2 μm	.2 μm	.2 μm
Tipo	lvt	lvt	hvt	nfet	svt	lvt	hvt	lvt	lvt	lvt

Tabla 4.3: Dimensiones y tipos de transistores

Dimensiones de los transistores PMOS.										
W	Mp1 30 μm	Mp2 30 μm	Mp3 28 μm	Mp4 77 μm	Mp5 40 μm	Mp6 13 μm	Mp7 21 μm	Mp8 13 μm	Mp9 18 μm	Mp10 18 μm
L	80 nm	80 nm	80 nm	.14 μm	.2 μm	.2 μm	80 nm	.2 μm	.2 μm	.2 μm
Tipo	lvt	lvt	pfet	pfet	hvt	lvt	pfet	lvt	lvt	lvt

Tabla 4.4: Dimensiones y tipos de transistores

La descripción del funcionamiento del VCO y de la red de retroalimentación se detalla a continuación.

En el diseño del VCO con compensación se tomaron en cuenta, principalmente, las variaciones de proceso y de temperatura. Con los datos obtenidos mediante análisis y simulación se propuso un circuito de retroalimentación que compense variaciones de proceso y temperatura en el VCO. El punto de partida es el VCO sin compensación mostrado en la figura 4.2, al realizar las variaciones de proceso y temperatura, cada una por separado, se pueden observar cambios importantes en los transistores de polarización (Mn7 y Mp7) tanto en corriente que manejan como en el voltaje de drenador de cada uno.

Tomando primero el circuito formado por el transistor Mn7 conectado en diodo y con fuente de corriente ideal en el drenador, mostrado en la figura 4.8a), se demuestran los cambios en el voltaje en el nodo 7 al variar el proceso.

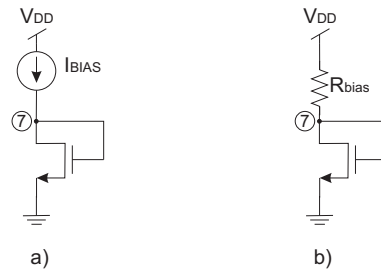


Figura 4.8: Circuitos de prueba para variaciones de a) proceso, b) temperatura.

En condiciones de proceso TT el voltaje propuesto para el nodo 7 es de la mitad del riel de alimentación, teniendo $V_{DD} = 1V$, por lo que $V_7 = 500 \text{ mV}$. Conforme el

proceso cambia hacia FF, se observan los siguientes cambios en los parámetros de la ecuación (4.4) de corriente del transistor: el factor $k = \mu_n C_{OX}/2$ aumenta y el voltaje de encendido disminuye.

$$I_D = \frac{1}{2} \mu_n C_{OX} \frac{W}{L} (V_{GS} - V_T)^2 \quad (4.4)$$

La corriente I_D se mantiene constante debido a la fuente ideal I_{BIAS} , debido a que el factor $k = \mu_n C_{OX}/2$ aumenta el factor $(V_{GS} - V_T)^2$ debe disminuir para mantener el mismo valor de corriente. Como V_T disminuye y $V_S = 0$, por lo tanto V_G disminuye en el proceso FF. Caso contrario, conforme el proceso cambia a SS, los parámetros se modifican a: el factor $k = \mu_n C_{OX}/2$ disminuye y el voltaje de encendido aumenta. En la ecuación (4.4), ahora el factor $(V_{GS} - V_T)^2$ debe aumentar. Como $V_T = 0$ y $V_S = 0$, entonces, $V_G = V_T$ aumenta en el proceso SS.

Para observar las variaciones de corriente y voltaje conforme cambia la temperatura, se utilizó el circuito mostrado en la figura 4.8b). Las variaciones de corriente y voltaje observadas son muy similares al variar el proceso, pero de menor magnitud. Los cambios en los parámetros de los transistores al cambiar la temperatura son: al ir incrementando la temperatura van disminuyendo tanto la movilidad como el voltaje de encendido de los transistores.

Para visualizar los cambios en el circuito de polarización formado por el transistor Mp7, se tomaron en cuenta los circuitos de prueba de la siguiente figura.

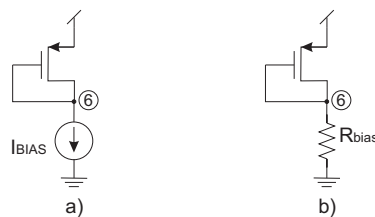


Figura 4.9: Circuitos de prueba para variaciones de a) proceso, b) temperatura.

Los parámetros de la ecuación 4.5 de corriente para un transistor PMOS se ven

afectados de la misma forma que en un NMOS; al pasar a un proceso FF, el factor $k = \mu_p C_{OX}/2$ incrementa y el voltaje de encendido del transistor disminuye. Al analizar el circuito de la figura 4.9a) se tiene una fuente de corriente ideal y constante en el drenador del transistor, como el factor $k = \mu_p C_{OX}/2$ aumenta y W/L es constante, por lo tanto, el factor $(V_{SG} - |V_T|)^2$ debe disminuir. Debido a que el voltaje de encendido disminuye y $V_S = V_{DD}$, entonces, V_G incrementa en el proceso FF. En el proceso SS, el factor $k = \mu_n C_{OX}/2$ disminuye y W/L es constante, por lo tanto, el factor $(V_{SG} - |V_T|)^2$ debe aumentar. Debido a que el voltaje de encendido aumenta y $V_S = V_{DD}$, entonces, V_G disminuye en el proceso SS.

$$I_D = -\frac{1}{2}\mu_p C_{OX} \frac{W}{L} (V_{SG} - |V_T|)^2 \quad (4.5)$$

La corriente en el transistor Mn4 se controla con los transistores Mp9 y Mp10 que forman un par diferencial con sus compuertas conectadas a los nodos 6 y 7 respectivamente (de manera equivalente en el transistor Mp4 con los transistores Mn9 y Mn10). Es importante observar que las variaciones de voltaje en los nodos 6 y 7 se mueven en direcciones opuestas, es decir, cuando el voltaje en el nodo 6 se incrementa, existe una disminución similar en el voltaje del nodo 7 y viceversa. Esta importante variación de voltaje en sentido opuesto sirve para desbalancear la cantidad de corriente que circula por los pares diferenciales formados por los transistores Mn9-Mn10 y los transistores Mp9-Mp10. Para ilustrar el funcionamiento de la red de retroalimentación se utiliza la red formada por los transistores Mn5, Mn9, Mn10, Mp6 y Mp8, siendo de manera equivalente para los transistores Mp5, Mp9, Mp10, Mn6 y Mn8. En la figura 4.10a) se muestran los cambios en las corrientes I_E e I_F cuando hay un aumento en el voltaje $V(6)$ y un decremento en el voltaje $V(7)$. En la figura 4.10b) se muestran los cambios en las corrientes cuando el cambio en los voltajes $V(6)$ y $V(7)$ son al contrario que en 4.10a).

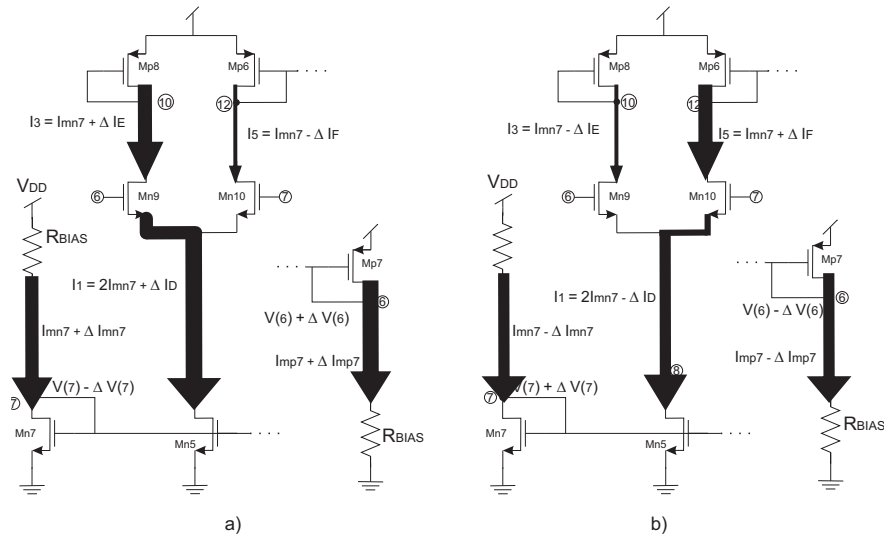


Figura 4.10: Variación de la corriente en la red de retroalimentación.

Por lo tanto, las consideraciones generales del VCO con compensación son las siguientes:

1. La corriente total que circula a través del tanque LC es igual a la ecuación (4.6).

$$I_T = I_{Mn3} + I_{Mp3} = I_{Mn4} + I_{Mp4} \quad (4.6)$$

2. La compensación de las variaciones de corriente en los transistores Mn3 y Mp3 se realiza mediante la corriente de control en los transistores Mn4 y Mp4. Dichas corrientes se generan mediante la lectura diferencial de los voltajes en los nodos 6 y 7, los cuales son sensibles a las variaciones de PVT y son tomados como referencia de dichas variaciones. El circuito se diseña de modo que los voltajes en los nodos 6 y 7 sean iguales al tener un proceso típico, normalmente $(V_{DD}/2)$.
3. La esquina de proceso FF, o un incremento en la temperatura, producen un incremento en la corriente de los transistores Mn7 y Mn3, además de una disminución del voltaje en el nodo 7. La esquina de proceso SS, o un decremento de la temperatura, producen cambios de forma inversa. Obteniéndose las siguientes ecuaciones.

$$I_{Mn7} = I_{Mn7} \pm \Delta I_{Mn7} \quad (4.7)$$

$$I_{Mn3} = I_{Mn3} \pm \Delta I_{Mn3} \quad (4.8)$$

$$V(7) = V(7) \pm \Delta V(7) \quad (4.9)$$

4. La esquina de proceso FF, o un incremento en la temperatura, producen un incremento en la corriente de los transistores Mp7 y Mp3, además de una disminución del voltaje en el nodo 6. La esquina de proceso SS, o un decremento de la temperatura, producen cambios de forma inversa. Obteniéndose las siguientes ecuaciones.

$$I_{Mp7} = I_{Mp7} \pm \Delta I_{Mp7} \quad (4.10)$$

$$I_{Mp3} = I_{Mp3} \pm \Delta I_{Mp3} \quad (4.11)$$

$$V(6) = V(6) \mp \Delta V(6) \quad (4.12)$$

Las corrientes en los transistores Mn3 y Mp3 junto con sus respectivas variaciones se pueden representar mediante las ecuaciones (4.8) y (4.11). Las corrientes en los transistores Mn4 y Mp4 se representan conforme las ecuaciones (4.13) y (4.14) respectivamente.

$$I_{Mn4} = I_4 = I_{Mp7} \mp \Delta I_B \quad (4.13)$$

$$I_{Mp4} = I_5 = I_{Mn7} \mp \Delta I_F \quad (4.14)$$

Las variaciones en la corriente ΔI_B y ΔI_F representan una parte de las variaciones de la corriente en los transistores Mn5 y Mp5 que son copias de corriente de los tran-

sistores Mn7 y Mp7. La variación total de corriente en el transistor Mn5 es (4.15) y para el transistor Mp5 es (4.16). La variación en la corriente en el transistor Mn5 no necesariamente es igual a la variación en el transistor Mn7, lo mismo para la variación en el transistor Mp5 con respecto al Mp7.

$$\Delta I_A = |\Delta I_C| - |\Delta I_B| \quad (4.15)$$

$$\Delta I_D = |\Delta I_E| - |\Delta I_F| \quad (4.16)$$

Al sustituir las ecuaciones (4.8), (4.11), (4.13) y (4.14) en la ecuación (4.6) se obtiene la ecuación (4.17) contemplando la corriente total con la suma o resta de las variaciones.

$$I_T = I_{Mn7} \pm \Delta I_{Mn7} + I_{Mp7} \mp \Delta I_B = I_{Mp7} \pm \Delta I_{Mp7} + I_{Mn7} \mp \Delta I_F \quad (4.17)$$

Al tomar en cuenta las variaciones que se presentan en los voltajes de los nodos 6 y 7, podemos dividir las variaciones en tres casos:

Sin variaciones

Cuando

$$\Delta V(6) = \Delta V(7) = 0$$

$$V(6) = V(7)$$

Entonces

$$\Delta I_{Mn7} = \Delta I_{Mp7} = 0$$

$$\Delta I_A = \Delta I_D = 0$$

$$\Delta I_B = \Delta I_C = \Delta I_E = \Delta I_F = 0$$

Por lo tanto al sustituir en (4.17), obtenemos

$$I_T = I_{Mn7} + I_{Mp7} = I_{Mp7} + I_{Mn7} \quad (4.18)$$

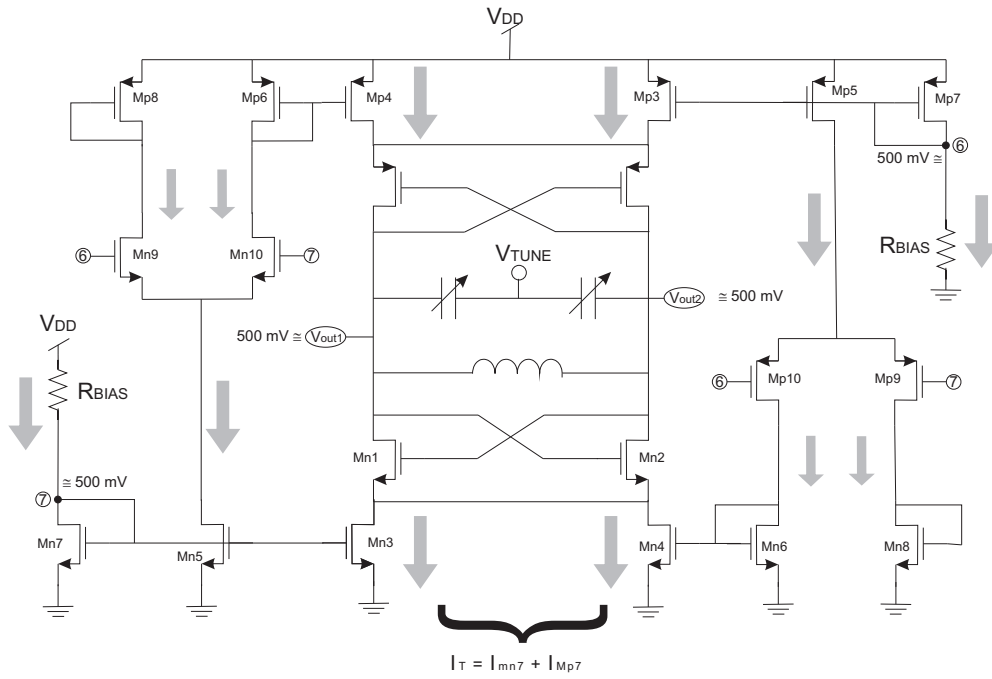


Figura 4.11: Flujo de corriente en el VCO con compensación.

Con aumento de corriente

Cuando

$$V(6) = V(6) + \Delta V(6)$$

$$V(7) = V(7) - \Delta V(7)$$

$$V(6) > V(7)$$

Entonces

$$I_3 = I_{Mn7} + \Delta I_E$$

$$I_4 = I_{Mp7} - \Delta I_B$$

$$I_5 = I_{Mn7} - \Delta I_F$$

$$I_6 = I_{Mp7} + \Delta I_C$$

$$I_{Mn3} = I_{Mn7} + \Delta I_{Mn7}$$

$$I_{Mp3} = I_{Mp7} + \Delta I_{Mp7}$$

Por lo tanto al sustituir en (4.17), obtenemos

$$I_T = I_{Mn7} + \Delta I_{Mn7} + I_{Mp7} - \Delta I_B = I_{Mp7} + \Delta I_{Mp7} + I_{Mn7} - \Delta I_F \quad (4.19)$$

Como

$$|\Delta I_B| \cong |\Delta I_{Mn7}| \quad (4.20)$$

$$|\Delta I_F| \cong |\Delta I_{Mp7}| \quad (4.21)$$

Entonces

$$I_T \cong I_{Mn7} + I_{Mp7} \cong I_{Mp7} + I_{Mn7} \quad (4.22)$$

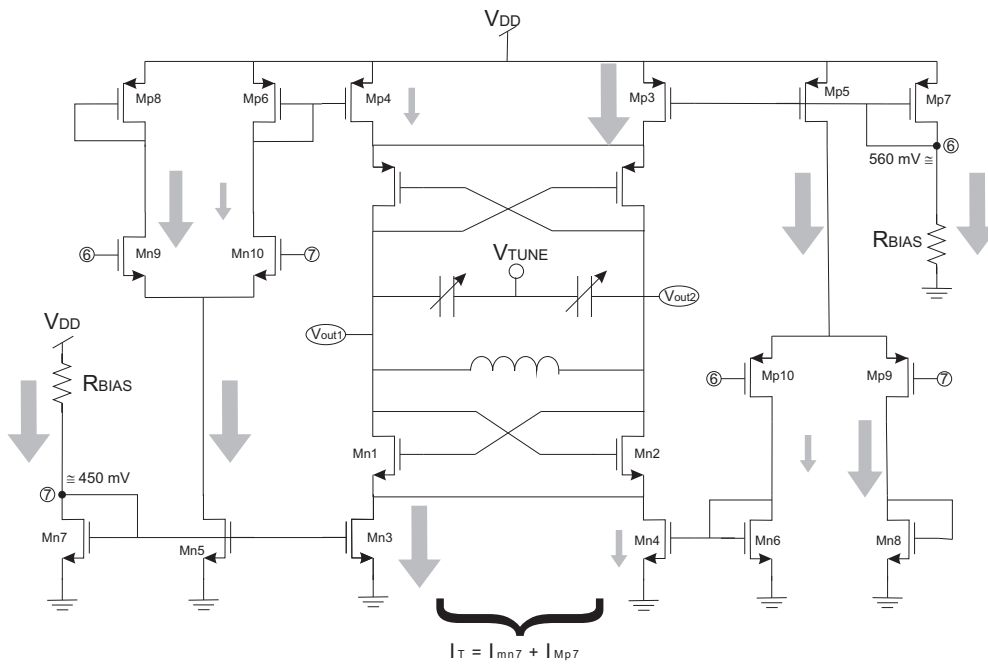


Figura 4.12: Flujo de corriente en el VCO con compensación, con un proceso FF o con un aumento de temperatura.

Con disminución de corriente*Cuando*

$$V(6) = V(6) - \Delta V(6)$$

$$V(7) = V(7) + \Delta V(7)$$

$$V(6) < V(7)$$

Entonces

$$I_3 = I_{Mn7} - \Delta I_E$$

$$I_4 = I_{Mp7} + \Delta I_B$$

$$I_5 = I_{Mn7} + \Delta I_F$$

$$I_6 = I_{Mp7} - \Delta I_C$$

$$I_{Mn3} = I_{Mn7} - \Delta I_{Mn7}$$

$$I_{Mp3} = I_{Mp7} - \Delta I_{Mp7}$$

Por lo tanto al sustituir en (4.17), obtenemos

$$I_T = I_{Mn7} - \Delta I_{Mn7} + I_{Mp7} + \Delta I_B = I_{Mp7} - \Delta I_{Mp7} + I_{Mn7} + \Delta I_F \quad (4.23)$$

Como

$$|\Delta I_B| \cong |\Delta I_{Mn7}| \quad (4.24)$$

$$|\Delta I_F| \cong |\Delta I_{Mp7}| \quad (4.25)$$

Entonces

$$I_T \cong I_{Mn7} + I_{Mp7} \cong I_{Mp7} + I_{Mn7} \quad (4.26)$$

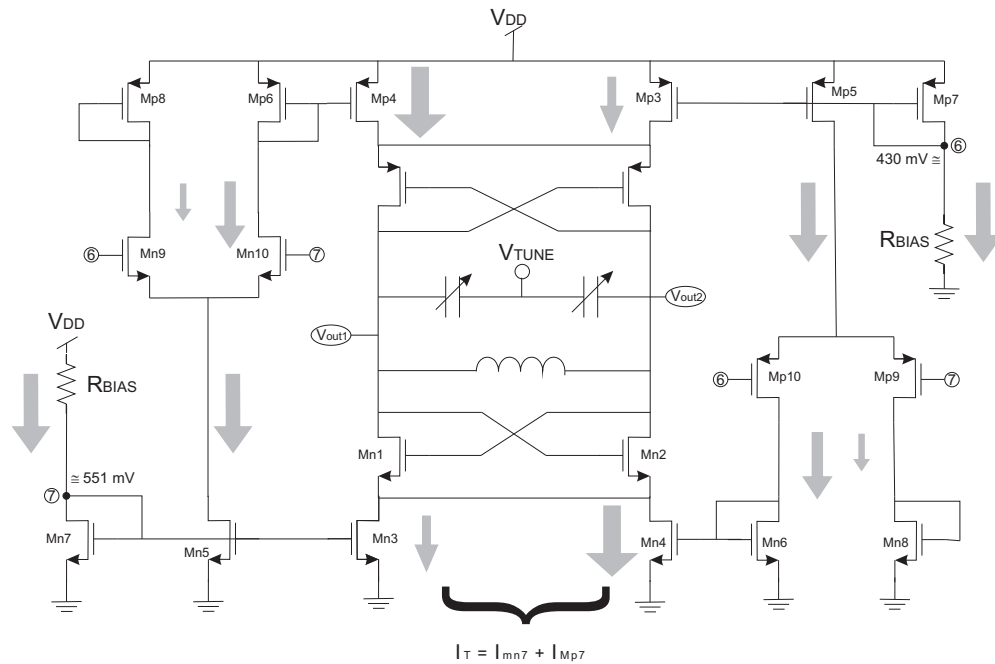


Figura 4.13: Flujo de corriente en el VCO con compensación, con un proceso SS o con una disminución de temperatura.

Como se puede observar, al comparar las tres ecuaciones (4.18), (4.22) y (4.26), la corriente que circula a través del tanque LC será aproximadamente la misma en las diferentes esquinas. Al tener un valor de corriente similar en los tres casos podríamos asegurar que el valor de transconductancia de los transistores cross-coupled, la potencia consumida y el ruido de fase se mantenga lo más constante posible aún con variaciones de PVT.

Capítulo 5

Resultados de las simulaciones de los circuitos sin y con compensación.

A continuación se resumen las principales diferencias de los circuitos simulados, así como ventajas y desventajas. El listado de los circuitos para simular se presenta en el apéndice al final de la tesis.

5.1. Resultados del VCO sin compensación de PVT.

Para realizar las comparaciones entre el oscilador simple y el modificado, se utilizan los mismos valores del tanque LC y de los transistores cross-coupled que son el corazón del oscilador. Las únicas modificaciones se realizan a las corrientes que polarizan el circuito. En la tabla 5.1 se muestra un análisis de todas las esquinas posibles al variar proceso, voltaje y temperatura en el oscilador simple de la figura 4.2. Las variación máxima y el error relativo para cada una se resumen en la tabla 5.2. Las comparaciones se realizan por separado tomando sólo temperatura, proceso o voltaje y después al hacer la combinación de las tres y compararlas con la frecuencia central al tener los parámetros típicos que son: Proceso (TT), temperatura (60°C) y voltaje (1 V), resultando en una frecuencia de 11,884 GHz.

Variaciones en la frecuencia central (GHz).				
Voltaje (V)	Temperatura ($^{\circ}C$)	Proceso		
		FF	TT	SS
1.1	-20	11.375	11.602	11.733
	60	11.401	11.667	11.753
	100	11.506	11.701	11.768
1	-20	11.637	11.913	12.062
	60	11.695	11.884	11.937
	100	11.788	11.928	11.972
0.9	-20	12.030	12.297	12.290
	60	12.000	12.131	12.203
	100	12.100	12.160	12.188

Tabla 5.1: Variación de la frecuencia central al variar proceso, temperatura y voltaje

Variaciones de esquina.		
	Máxima	Error relativo $E_r = \frac{f_{real} - f_{ideal}}{f_{ideal}}$
Temperatura	137 MHz	1.15 %
Proceso	425 MHz	3.58 %
Voltaje	695 MHz	5.85 %
Todas (PVT)	915 MHz	7.70 %

Tabla 5.2: Variación máxima y error relativo.

La figura de mérito del oscilador (FOM) se obtiene a partir de las condiciones nominales que son: proceso típico-típico, voltaje nominal 1 V y temperatura de $25^{\circ}C$. La figura de mérito se calcula con la ecuación (3.25) mostrada en el capítulo 3m la cual se vuelve a mostrar por comodidad y en el cálculo se obtiene $FOM = -190,5$ teniendo que el circuito disipa una potencia de 1,75 mW en lugar de 2 mW, el ruido de fase a 1 MHz de offset es de $-111,74$ dBc/Hz con una frecuencia de oscilación de 12,064 GHz.

$$FOM = 10 \log \left[\left(\frac{f_0}{f_m} \right)^2 \frac{1mW}{L(f_m)P_s} \right] \quad (5.1)$$

El ruido de fase del oscilador se obtiene mediante el programa HSPICE, se mide a una frecuencia de offset de 1 MHz a partir de la frecuencia central ω_0 como se muestra

en la figura 5.1.

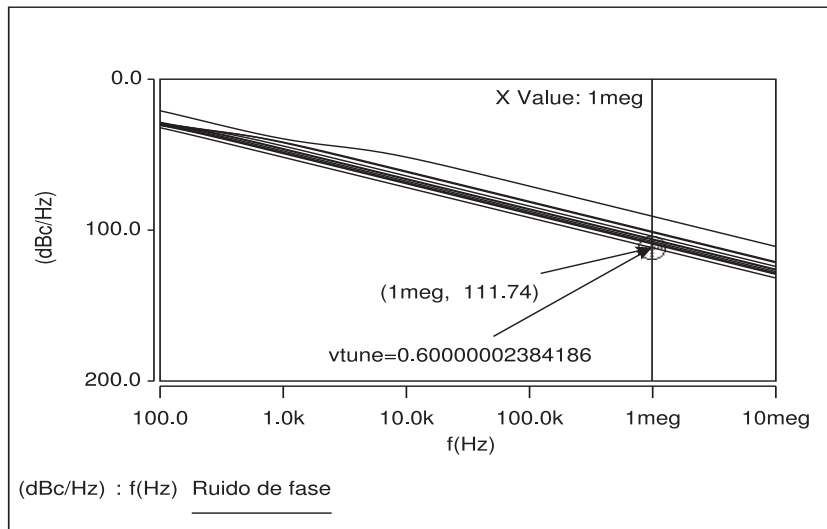


Figura 5.1: Ruido de fase del oscilador medido a 1 MHz de offset.

La linealidad de entonado se muestra en la figura 5.2.

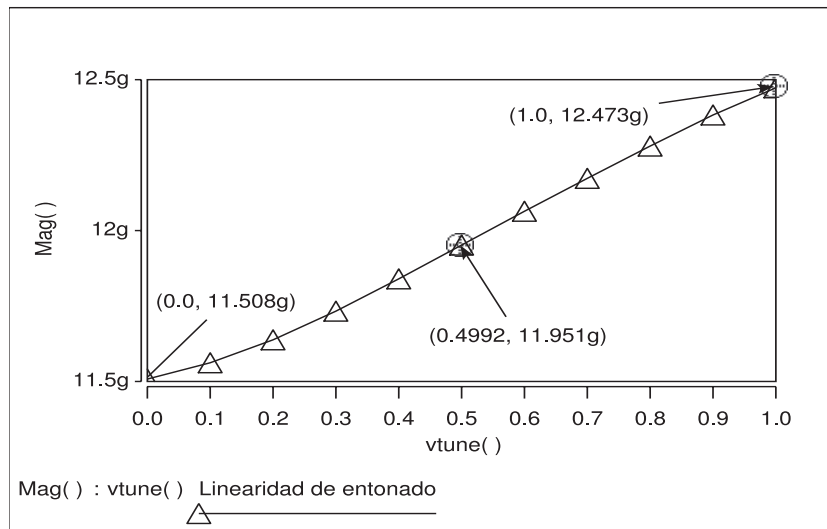


Figura 5.2: Linealidad de entonado del oscilador.

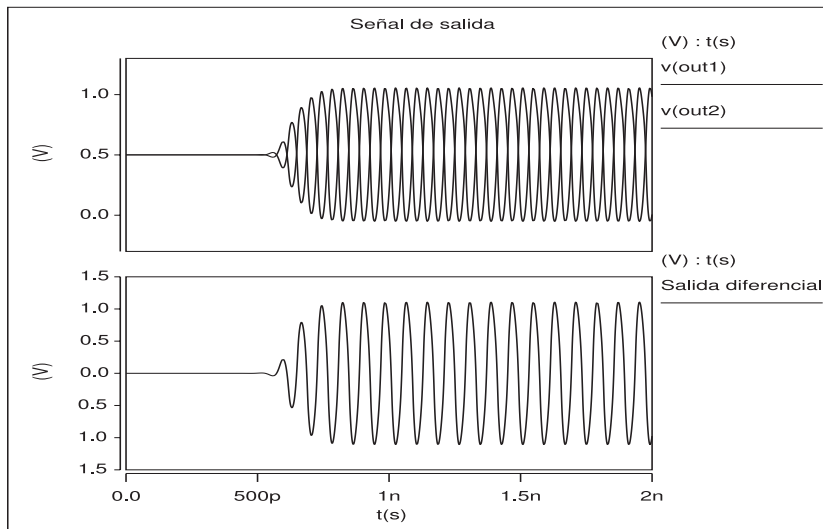


Figura 5.3: Salidas diferencial y simple con voltaje de entonado de 800 mV.

5.2. Resultados del VCO con compensación de PVT.

En la tabla 5.3 se muestran las variaciones, de la frecuencia central, debido a las diferentes esquinas.

Variaciones en la frecuencia central (GHz).				
Voltaje (V)	Temperatura ($^{\circ}C$)	Proceso		
		FF	TT	SS
1.1	-20	11.537	11.565	11.609
	60	11.550	11.550	11.594
	100	11.629	11.594	11.623
1	-20	11.667	11.768	11.797
	60	11.710	11.734	11.812
	100	11.782	11.786	11.841
0.9	-20	11.913	12.000	12.087
	60	11.924	11.971	12.008
	100	11.971	12.014	12.000

Tabla 5.3: Variación de la frecuencia central al variar proceso, temperatura y voltaje

Variaciones de esquina.		
	Máxima	Error relativo $E_r = \frac{f_{real} - f_{ideal}}{f_{ideal}}$
Temperatura	115 MHz	0.98 %
Proceso	130 MHz	1.12 %
Voltaje	480 MHz	4.1 %
Todas (PVT)	550 MHz	4.69 %

Tabla 5.4: Variación máxima y error relativo

Las variación máxima y el error relativo para cada una se resumen en la tabla 5.2. Las comparaciones se realizan por separado tomando sólo temperatura, proceso o voltaje y después al hacer la combinación de las tres y compararlas con la frecuencia central al tener los parámetros típicos que son: Proceso (TT), temperatura (60°C) y voltaje (1 V), resultando en una frecuencia de 11,734 GHz.

En la tabla 5.5 se comparan los resultados de las variaciones en ambos diseños del VCO.

Variaciones de esquina.				
	VCO sin compensación.		VCO con compensación.	
	Máxima	Error relativo	Máxima	Error relativo
Temperatura	137 MHz	1.15 %	115 MHz	0.98 %
Proceso	425 MHz	3.58 %	130 MHz	1.12 %
Voltaje	695 MHz	5.85 %	480 MHz	4.1 %
Todas (PVT)	915 MHz	7.70 %	550 MHz	4.69 %

Tabla 5.5: Comparación de la variación máxima y error relativo.

El ruido de fase del oscilador se obtiene mediante el programa HSPICE, se mide a una frecuencia de offset de 1 MHz a partir de la frecuencia central ω_0 como se muestra en la figura 5.4. La figura de mérito del oscilador (FOM) se obtiene a partir de las condiciones nominales que son: proceso típico-típico, voltaje nominal 1 V y temperatura de 25°C.

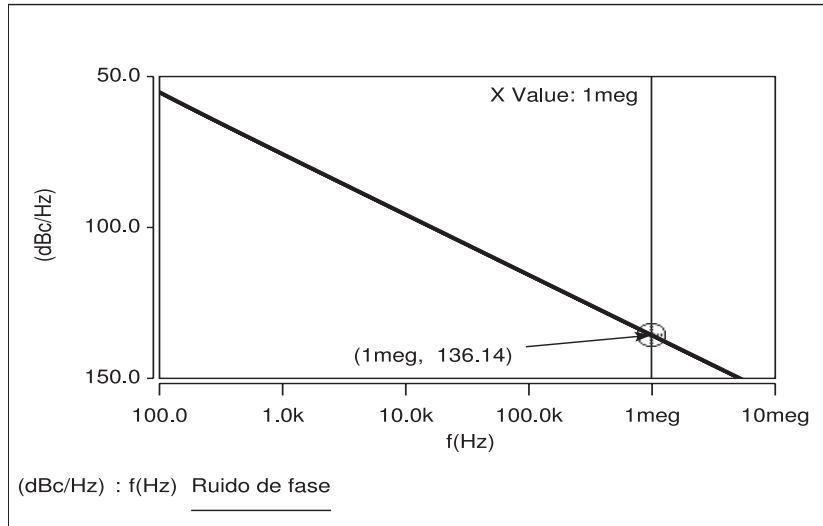


Figura 5.4: Ruido de fase del oscilador medido a 1 MHz de offset.

El cálculo de la figura de mérito que se obtiene es de $FOM = -212$ teniendo que el circuito disipa una potencia de 3,59 mW contemplando el circuito de compensación, y el circuito tanque consume 2,1 mW, el ruido de fase a 1 MHz de offset es de $-136,14$ dBc/Hz con una frecuencia de oscilación de 11,855 GHz.

La linealidad de entonado se muestra en la figura 5.5.

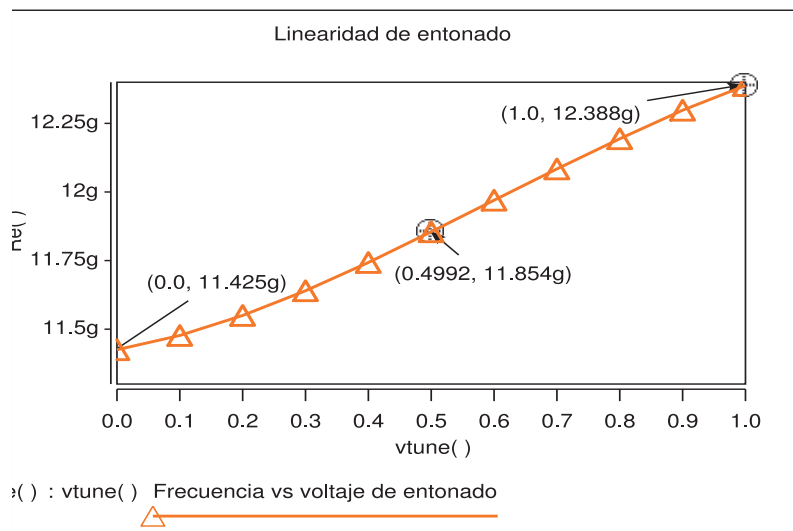


Figura 5.5: Linealidad de entonado del oscilador.

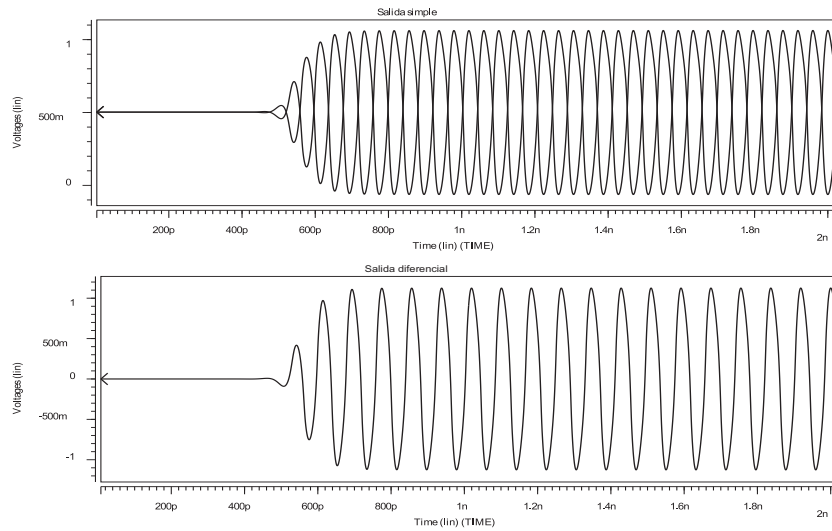


Figura 5.6: Salidas diferencial y simple con voltaje de entonado de 800 mV.

El rango de entonado para ambos circuitos es del 8% y se obtuvo mediante la ecuación (5.2)

$$\%(Entonado) = \frac{frec_{max} - frec_{min}}{frec_{central}} * 100 \% \quad (5.2)$$

5.3. Comparaciones del ruido de fase.

Las principal ventaja del circuito modificado contra el simple, es la mejora en el ruido de fase. A continuación se muestran algunas comparaciones de ruido de fase a las diferentes temperaturas, con distintos procesos y voltajes. La comparación de los dos circuitos se simulan con un voltaje de control de 700 mV y en cada gráfica se describe las condiciones de voltaje y temperatura.

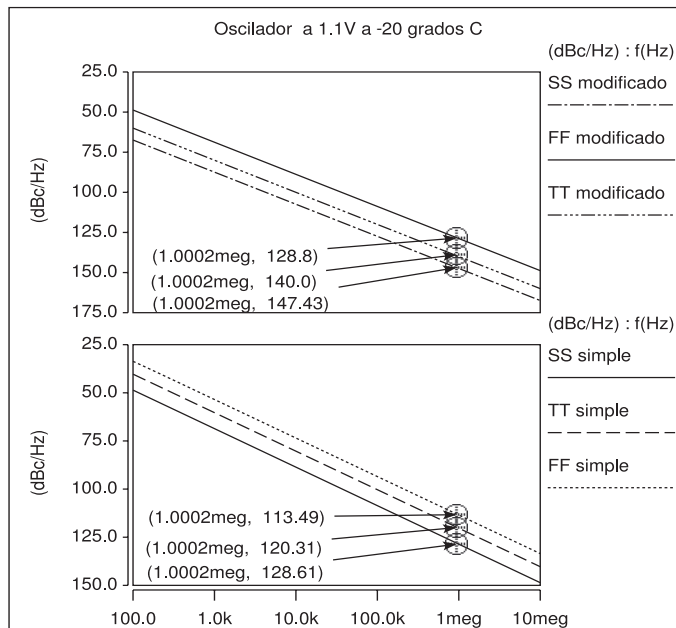


Figura 5.7: Comparación del ruido de fase del circuito simple contra el modificado con un voltaje de entonado de 700 mV, con $VDD = 1,1V$ y a $-20^{\circ}C$.

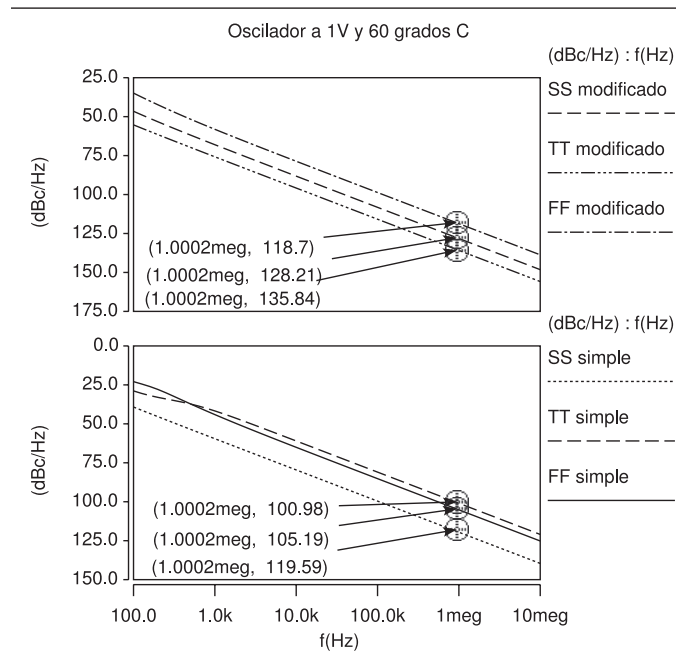


Figura 5.8: Comparación del ruido de fase del circuito simple contra el modificado con un voltaje de entonado de 700 mV, con $VDD = 1V$ y a $60^{\circ}C$.

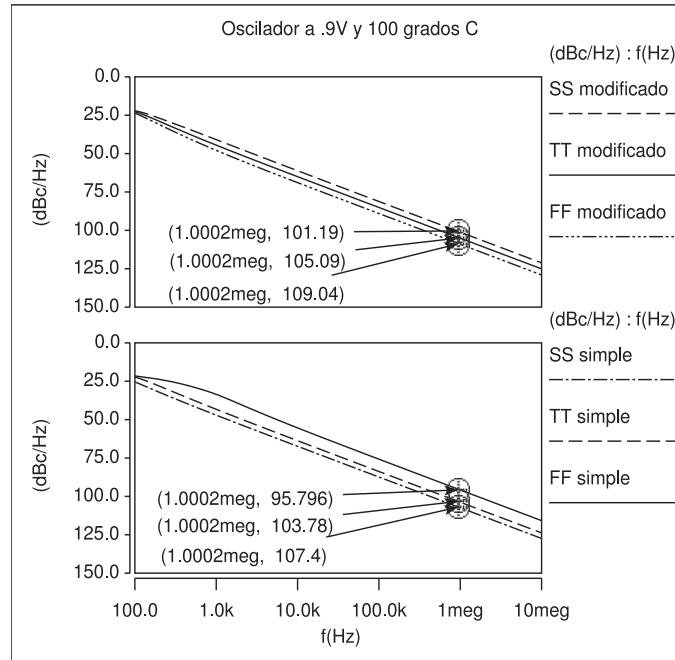


Figura 5.9: Comparación del ruido de fase del circuito simple contra el modificado con un voltaje de entonado de 700 mV, con $VDD = 0,9V$ y a $100^{\circ}C$.

5.4. Comparación ante otros osciladores.

Las principales características para comparar con otros osciladores en el estado del arte son las siguientes: consumo de potencia (mW), ruido de fase medido a 1 MHz de offset ($\mathcal{L}@1MHz$ dBc/Hz), frecuencia de operación (Hz), rango de entonado en porcentaje (%) y voltaje de alimentación (V). Para compararnos con otros diseños, se realizó de dos distintas formas, la primera es una comparación general con los VCO's en el estado del arte mostrados en la tabla 5.6, y la segunda, en la tabla 5.7, es una comparativa con **osciladores de anillo** que compensan en PVT o en alguna de ellas. En la tabla, se denotan el porcentaje de variaciones de proceso como %P, de voltaje como %V, de temperatura como %T y de PVT como %PVT.

Estado del arte de VCO's.							
Ref.	Tecnología	f_0 (GHz)	P(mW)	VDD (V)	(%)	\mathcal{L} (dBc/Hz)	FOM
[43]	130nm CMOS/PDSOI	5.84	1.92	1.4	24.8	-116	-188.6
[44]	130nm CMOS/SOI	5.8	3.96	1.2		-89	-158.3
[45]	.18 μ m CMOS	2.33	0.33	0.5	18	-120	-197.1
[46]	90nm CMOS	5.8	.328	.82		-115	-195.1
[47]	65nm CMOS	44.5	3.6	1.2	8	-106	-192.7
[48]	130nm CMOS	17	2.84	1.5	10.1	-110	-190.4
[49]	.18 μ m CMOS	5	4.2	1.8	6.3	-127.1	-190.3
[50]	130nm CMOS	68	4.32	0.6	4.5	-98.4	-188.9
[51]	.18 μ m SiGe BiCMOS	65	244	4	21	-104.7	-179.5
[52]	.35 μ m SiGe BiCMOS	1.1	33	5	13.2	-127.3	-172.9
Este trabajo	45nm CMOS/PDSOI	11.88	3.59	1	8	-136.14	-212

Tabla 5.6: Comparación con osciladores sin compensación.

Estado del arte en osciladores de anillo con compensación.								
Ref.	Tecnología	f_0	P(mW)	VDD	%P	%V	%T	%PVT
[53]	0.25 μ m CMOS	7 MHz	1.5	2.5 V	± 1.07	± 0.2	± 0.78	
[54]	90nm CMOS	40 MHz	.237	1 V				3.5
[55]	0.6 μ m CMOS SPTM	680 KHz	0.4	4 V	± 6.8		± 4.7	
Este trabajo	45nm CMOS/PDSOI	11.88 GHz	3.59	1 V	± 1.1	± 4.05	$\pm .97$	4.64

Tabla 5.7: Comparación con osciladores de anillo con compensación de PVT o alguna de ellas.

Capítulo 6

Conclusiones.

En el presente trabajo se muestra una modificación de un oscilador controlado por voltaje basado en un tanque LC polarizado con fuentes de corriente complementarias, realizado en tecnología de 45 nm CMOS PDSOI de IBM. La topología propuesta compensa variaciones de proceso, voltaje y temperatura, siendo las compensaciones de proceso y temperatura las más significativas. Para comparar los resultados obtenidos se realizaron dos osciladores idénticos polarizados con fuentes de corriente complementarias, uno con compensación y el otro un diseño simple sin compensación. Los resultados se resumen en la tablas 5.1 y 5.3 en las cuales se muestran los resultados de la compensación realizada en el circuito modificado. Las ventajas del oscilador propuesto son: menor variación de la frecuencia de salida al tener variaciones de PVT y un menor ruido de fase, las desventajas son: mayor consumo de potencia y área. Es importante hacer notar que aunque las desventajas de mayor consumo de potencia y área son importantes especificaciones de diseño, la mejora sustancial en cuanto a ruido de fase y estabilidad en la frecuencia de entonado es más importante y muy notoria. Más aún, debido a que las dimensiones de los transistores cross-coupled que forman la resistencia negativa se incrementan en un factor α para contrarrestar las variaciones de proceso, este factor se puede minimizar debido a que las variaciones de proceso ya han sido contempladas y, por lo tanto, se reducen las dimensiones de los transistores cross-

coupled así como las capacitancias parásitas que se suman al tanque LC, beneficiando al rango de entonado del circuito.

Se puede observar también que la figura de mérito mostrada por la topología propuesta es mucho mejor en comparación con otros trabajos reportados en la literatura.

6.1. Trabajo a futuro.

Es importante seguir con el estudio de topologías robustas a PVT. Las características que aún se podrían mejorar son: mayor rango de entonado y disminuir el consumo de potencia y área del ya obtenido. También, se debe tomar en cuenta la posibilidad de incluir un *bandgap* de voltaje de alimentación del circuito para disminuir aún más las variaciones causadas por la fuente de alimentación. Otro aspecto importante que se debe de estudiar es cambiar la topología de las fuentes de corriente de polarización de un espejo simple a uno de bajo voltaje para así obtener una mejor copia de corriente.

Índice de figuras

1.1.	Escalamiento del MOSFET a campos eléctricos constantes.	2
1.2.	Dispositivo SOI a) Parcialmente agotado (PDSOI), b) Completamente agotado (FDSOI).	4
1.3.	Esquemático simplificado del MOSFET de doble compuerta.	5
1.4.	Definición gráfica del VCO.	7
1.5.	Esquinas de proceso para los transistores.	10
2.1.	Dispositivo SOI a) Parcialmente agotado (PDSOI), b) Completamente agotado (FDSOI).	15
2.2.	Causas de la variación de V_t debido a FBE. a) Diodos espalda a espalda b) Ionización por impacto.	16
2.3.	a) Gráfica de voltaje de umbral vs voltaje en drenador, b) Gráfica de corriente vs voltaje de drenador.	17
2.4.	a) Transistor bipolar parásito, b) Efecto en la curva I-V del transistor.	18
2.5.	Ilustración de la transferencia de calor en a) bulk CMOS, b) SOI CMOS.	19
3.1.	Diagrama a bloques de un oscilador simple.	24
3.2.	Mecanismos de pérdidas presentes en CI. [13]	26
3.3.	Tres geometrías estandares para inductores planares a) circular b) octagonal c) cuadrada [14].	27
3.4.	Diseño de un inductor con conexión central provisto en la tecnología de $45nm$ de IBM.	28
3.5.	Modelo de un inductor integrado.	28
3.6.	Representación visual de la distribución de corriente en la sección transversal de una capa del inductor; a) DC, b) efecto piel y c) efecto de proximidad.	30
3.7.	Topologías diferenciales con transistores cruzados-acoplados a) con corriente de polarización en el drenador, b) con fuente de corriente en el surtidor, c) diseño con transistores complementarios (CMOS), d) con CMOS e) con CMOS y fuente de corriente de polarización f) CMOS con fuentes de corriente complementarias.	33
3.8.	Representación de una señal sinusoidal pura en a) el espectro de Fourier, b) en fasores.	34
3.9.	a) Representación de la portador contaminada en el plano fasorial, b) Modulación de amplitud y de fase causada por la componente de ruido.	35
3.10.	a) Impulso inyectado en el pico de la señal, b) impulso inyectado en el cruce por cero, y c) efecto de las no-linearidades en amplitud y fase del oscilador en estado estable.	37
3.11.	Espectro de potencia de a) un oscilador ideal y b) un oscilador real.	38
3.12.	Gráfica típica de ruido de fase de un oscilador LC.	38

3.13. Jitter en una señal cuadrada.	41
3.14. Configuración del MOS varactor a) PMOS, b) IMOS y c) gráfica de capacitancia contra voltaje V_{BG}	42
3.15. Operación del PMOS en a) acumulación ($C = C_{OX}$), b) agotamiento ($C = (C_{OX}^{-1} +$ $C_{Cd}^{-1})^{-1}$) y c) en inversión ($C = C_{OX}$).	43
4.1. Esquinas de proceso para los transistores.	46
4.2. Topología simple con fuentes de corriente complementarias.	48
4.3. Topología propuesta para compensar PVT, con fuentes de corriente complementarias.	48
4.4. a) Variables de diseño y b) modelo simplificado del inductor.	50
4.5. a) Símbolo y forma de conexión y b) modelo simplificado del varactor.	51
4.6. Variaciones en la corrientes de polarización.	53
4.7. VCO con compensación de PVT.	55
4.8. Circuitos de prueba para variaciones de a) proceso, b) temperatura.	56
4.9. Circuitos de prueba para variaciones de a) proceso, b) temperatura.	57
4.10. Variación de la corriente en la red de retroalimentación.	59
4.11. Flujo de corriente en el VCO con compensación.	62
4.12. Flujo de corriente en el VCO con compensación, con un proceso FF o con un aumento de temperatura.	63
4.13. Flujo de corriente en el VCO con compensación, con un proceso SS o con una dismi- nución de temperatura.	65
5.1. Ruido de fase del oscilador medido a 1 MHz de offset.	69
5.2. Linealidad de entonado del oscilador.	69
5.3. Salidas diferencial y simple con voltaje de entonado de 800 mV.	70
5.4. Ruido de fase del oscilador medido a 1 MHz de offset.	72
5.5. Linearidad de entonado del oscilador.	72
5.6. Salidas diferencial y simple con voltaje de entonado de 800 mV.	73
5.7. Comparación del ruido de fase del circuito simple contra el modificado con un voltaje de entonado de 700 mV, con $V_{DD} = 1,1V$ y a $-20^{\circ}C$	74
5.8. Comparación del ruido de fase del circuito simple contra el modificado con un voltaje de entonado de 700 mV, con $V_{DD} = 1V$ y a $60^{\circ}C$	74
5.9. Comparación del ruido de fase del circuito simple contra el modificado con un voltaje de entonado de 700 mV, con $V_{DD} = 0,9V$ y a $100^{\circ}C$	75

Índice de tablas

4.1.	Significado de cada acrónimo de las esquinas en un proceso	46
4.2.	Listado de las dimensiones de los transistores para el VCO sin compensación de PVT	53
4.3.	Dimensiones y tipos de transistores	55
4.4.	Dimensiones y tipos de transistores	56
5.1.	Variación de la frecuencia central al variar proceso, temperatura y voltaje	68
5.2.	Variación máxima y error relativo.	68
5.3.	Variación de la frecuencia central al variar proceso, temperatura y voltaje	70
5.4.	Variación máxima y error relativo	71
5.5.	Comparación de la variación máxima y error relativo.	71
5.6.	Comparación con osciladores sin compensación.	76
5.7.	Comparación con osciladores de anillo con compensación de PVT o alguna de ellas. .	76

Bibliografía

- [1] R. H. Dennard, et al. *Design of Ion-Implanted MOSFETs with Very Small Physical Dimensions*, (IEEE J. Solid State Circuits, SC-9, 256, 1974).
- [2] R. Doering and Y. Nishi *Handbook of semiconductor manufacturing technology*, (Second Edition, 2008, pp.60-70, 176-221).
- [3] K. Bernstein *SOI circuit design considerations*, (EECS VLSI seminar series, University of Michigan, April 2002).
- [4] L. Wei, et al. *Double Gate Dynamic Threshold Voltage (DGDT) SOI MOS-FET's for low power high performance design*, (1997 IEEE International SOI Conference Proceedings, 1997, pp.82).
- [5] R. Behzad. *Design of analog CMOS integrated circuits*, (McGraw-Hill, 2001, pp.482-531).
- [6] E. William *Practical RF system design*, (Ed. John Wiley & Sons, E.U. 2003)
- [7] E. Säll *Implementation of Flash Analog-to-Digital converters in Silicon-on-Insulator CMOS technology*, (Institute of Technology Linköping University Sweden 2007, pp.15-36).
- [8] K. Bernstein and N. J. Rohrer *SOI circuit design concepts*, (Springer, 2007)
- [9] B. Kamal, et al. *On silicon on insulator technology and devices*, (2008).
- [10] Y. Sangwoong. *LC-tank CMOS voltage-controlled oscillators using high quality inductors embedded in advanced package technologies*, (Georgia Institute of Technology, Diciembre 2004).
- [11] G. Víctor. *Design and simulation strategies for fractional-N frequency synthesizers*, (Intituto Nacional de Astrofísica Óptica y Electrónica (INAOE), México, Agosto 2009).
- [12] R. Behzad. *A study of phase noise in CMOS oscillators*, (IEEE journal of solid-state circuits, vol. 31, No. 3, Marzo 1996).

-
- [13] M. Aii y M. Robert. *Design, simulation and applications of inductors and transformers for Si RF ICs*, (Ed. kluwer, E.U., 2000).
- [14] M. Christopher. *Switched-tank VCO designs and single crystal silicon contour-mode disk resonators for use in multiband radio frequency sources*, (Blacksburg, Virginia, Julio 2004, pp 41).
- [15] L. John y C. Miles. *The modeling, characterization and design of monolithic inductors for silicon RF IC's*, (IEEE journal of solid state circuits, vol. 32, no. 3, Marzo 1997).
- [16] P. Benjamin. *Design of crystal an other harmonic oscillator*, (Ed. John Wiley & Sons, E.U. 1983).
- [17] V. Martin et al. *Characterization of 1.2 GHz phase locked loops and voltage controlled oscillators in a total dose radiation enviroment*, (Departmen of electrical and computer engineering, Oregon state university, E.U. 2005).
- [18] C. Lee et al. *A C-band fully organic-based transmitter module*, (IEEE GaAs IC symp. dig., 2002, pp 247-250).
- [19] W. Jan, V. Chris y R. Arthur. *Oscillators and oscillator systems classification, analysis and synthesis*, (Ed. Kluwer Academic Publishers, 1999).
- [20] H. Ali y L. Thomas. *A general theory of phase noise in electrical oscillators*, (IEEE journal of solid-state circuits, vol 33, no. 2, Febrero 1998).
- [21] H. Ali y L. Thomas. *Oscillator phase noise: a tutorial*, (IEEE journal of solid-state circuits, vol. 35, no. 3, Marzo 2000).
- [22] P. Rick. *Phase noise and jitter*, (Agilent Technologies, 2001).
- [23] G. Sergio, P. Giacomo y C. Daniele. *Phase noise performances of a cross-coupled CMOS VCO with resistor tail biasing*, Biophysical and electronic engineering department, Universidad de Genoa, Italia 2005).
- [24] N. Roberts. *Phase noise and jitter - A primer for digital designers*, (Zarlink semiconductor, Julio 2003).
- [25] H. Donhee, A. William y R. David. *Phase noise in oscillators*, (Harvard University, Cambridge, E.U.).
- [26] J. Rael y A. Abidi. *Physical processes of phase noise in differential LC oscillators*, (IEEE Custom integrated circuits conference, E.U. 2000).
- [27] H. John. *LC tank voltage controlled oscillator tutorial*, (UW ASIC Analog group, Waterloo, Ontario, Canada 2005).
-

-
- [28] H. Donhee y H. Ali. *Concepts and methods in optimization of integrated LC VCOs*, (IEEE journal of solid-state circuits, vol. 36, no. 6, Junio 2001).
- [29] Moon Sung Tae. *Introduction to RF VCO design*, (Analog and mixed-signal center, Texas A&M University, Noviembre 2004).
- [30] K. Peter et al. *Advanced design techniques for integrated voltage controlled LC oscillators*, (IEEE Custom Integrated Circuits Conference (CICC), E.U. 2007).
- [31] J. Lee et al. *Fully differential 5 GHz LC-tank VCOs with improved phase noise and wide tuning range*, (ETRI journal, Vol. 27, No.5, Octubre 2005).
- [32] L. Zhang et al. *A 2GHz low power differentially tuned CMOS monolithic LC-VCO*, (Chinese journal of semiconductors, Vol. 27, No. 9, Septiembre 2006).
- [33] H. Shih-Yi y L. Zhi-Ming. *A CMOS VCO with 2 GHz tuning range for wide-band applications*, (Chaunghua Taiwan).
- [34] H. Wang, H. Ali y L. Thomas. *Correspondence: Comments on Design issues in CMOS differential oscillators*, (IEEE journal of solid-state circuits, vol. 35, pp 286-287, Febrero 2000).
- [35] H. María del Mar et al. *Design and optimization of LC oscillators*, (Stanford University, E.U. 1999).
- [36] C. Patrick Yue y S. Simon Wong. *On-chip spiral inductors with patterned ground shields for Si-based RF IC's*, (Center for integrated systems, Stanford University, Symposium on VLSI circuits digest of technical papers, 1997).
- [37] Boerstler W. David. *A low-jitter PLL clock generator for microprocessors with lock range of 340-612 MHz*, (IEEE journal of solid-state circuits, vol. 34, No. 4, Abril 1999).
- [38] K. Sundaresan, P. Allen y E. Ayazi. *Process and temperature compensation in a 7-MHz CMOS clock oscillator*, (IEEE journal of solid-state circuits, vol. 41, No. 2, Febrero 2006).
- [39] Yang-Shyung Shyu y Jiin-Chuan Wu. *A process and temperature compensated ring oscillator*, (Dept. of Electronics Engineering, National Chiao-Tung University, Taiwan).
- [40] E. M. Camacho-Galeano et al. *Temperature performance of sub-1V ultra-low power current reference*, (Department of Electrical Engineering, Federal University of Santa Catarina, Florianópolis, Brazil 2008).
-

-
- [41] C. Vincent, R. Wenceslas y Z. Lakhdar. *2.45 GHz CMOS temperature compensated multi-controlled oscillator for IEEE 802.15 wireless PAN*, (Université de Provence, IMT, Francia 2006).
- [42] Qadeer A. Khan et al. *Techniques for On-chip process, voltage and temperature detection and compensation*, (IEEE 19th International conference on VLSI design, Computer Society, India 2006).
- [43] C. Tinella, et al. *Partially depleted CMOS SOI technology for low power RF applications*, (13th GAAS Symposium, Paris 2005).
- [44] G. Lionel et al. *Design of a fully-integrated multi-band VCO for wireless applications in 130nm MOS/SOI*, (Analog & RFIC Design, Grenoble France, 2004).
- [45] P. Dongmin y C. Seonghwan *A power-optimized CMOS LC VCO with wide tuning range in 0.5V supply*, (Korea Advanced Institute of Science and Technology, Republic of Corea).
- [46] D. Linten et al. *A 328 μ W 5GHz voltage-controlled oscillator in 90nm CMOS with high-quality thin-film post-processed inductor*, (Inter-university Micro-Electronics Center (IMEC), Leuven Bélgica).
- [47] M. Hammad et al. *A 44.5 GHz differentially tuned VCO in 65nm bulk CMOS with 8 % tuning range*, (IEEE Radio Frequency Integrated Circuits Symposium, 2008).
- [48] P. Mayr et al. *A 17 GHz 130nm CMOS VCO subsystem module in LTCC-Based technology for WLAN applications*, (Wiley periodicals, Inc, Febrero 2006).
- [49] Tsung-Hsien Liu, Ruei-Lin Hsu, Cheng-Lung Li y Ying-Che Tseng. *A 5 GHz, 192.6dBc/Hz/mw FOM, LC-VCO system with amplitude control loop and LDO voltage regulator in 0.18 μ m CMOS*, (IEEE Microwave and wireless components letters, vol. 17, no. 10, Octubre 2007).
- [50] Hsien-Ku Chen, Hsien-Jui Chen, Da-Chiang Chang, Ying-Zong Juang y Shey-Shi Lu. *A 0.6 V, 4.32 mW, 68 GHz low phase-noise VCO with intrinsic-tuned technique in 0.13 μ m CMOS*, (IEEE microwave and wireless components letters, vol. 18, no. 7, Julio 2008).
- [51] C. Lee, T. Yao, A. Mangan, K Yau, M. A. Copeland y S. P. Voinigescu. *SiGe BiCMOS 65 GHz BPSK transmitter and 30 to 122 GHz LC varactor VCOs with up to 21 % tuning range*, (Carleton University, Ottawa Canada).
-

-
- [52] Yan Jun, Mao Wei, Ma Desheng, Gu Ming, Xu Qiming, Hu Xueqing, Shi Yin y Dai F F. *A 1.1 GHz LC VCO with automatic amplitude control for tunner applications*, (Chinese journal of semiconductors, vol. 27, no. 7, Julio 2006).
- [53] Krishnakumar Sundaresan, Phillip E. Allen y Farrokh Ayazi. *Process and temperature compensation in a 7 MHz CMOS clock oscillator*, (IEEE journal of solid-state circuits, vol. 41, no. 2, Febrero 2006).
- [54] Jui-Yuan Yu, Chien-Ying Yu y Chen-Yi Lee. *An eCrystal oscillator with a built-in all-digital process-voltage-temperature detector*, (Electronic Engineering University of National Chiao-Tung University, Taiwan)
- [55] Yang-Shyung Shyu y Jiin-Chuan Wu. *A process and temperature compensated ring oscillator*, (Dept. of Electronics Engineering, National Chiao-Tung University, Taiwan)
-