



INAOE

Diseño de bloques funcionales en modo corriente para un filtro adaptivo

por

Juan Carlos Mateus Ardila

Tesis sometida como requisito parcial para
obtener el grado de

**MAESTRO EN CIENCIAS EN LA
ESPECIALIDAD DE ELECTRÓNICA**

en el

**Instituto Nacional de Astrofísica,
Óptica y Electrónica**

Septiembre 2010

Tonantzintla, Puebla

Supervisada por:

Dr. Alejandro Díaz Sánchez

©INAOE 2010

El autor otorga al INAOE permiso de reproducir
y distribuir copias en su totalidad o en partes de
esta tesis



Contenido general

1. Sistemas adaptivos	5
1.1. Justificación	5
1.2. Delimitación	6
1.3. Fundamentos	7
1.4. Estado del arte	11
1.5. Organización del documento	13
2. Línea de retardo	15
2.1. Fundamentos	15
2.2. Filtro Gamma	16
2.2.1. Análisis matemático	16
2.2.2. El circuito	17
2.3. Filtro Laguerre	20
2.3.1. Análisis matemático	20
2.3.2. El circuito	21
2.4. Gamma Vs. Laguerre	23
3. Multiplicador	27
3.1. Fundamentos	27
3.2. Multiplicador de muy baja distorsión	29
3.2.1. Funcionamiento	29
3.2.2. Análisis matemático	30
3.3. Multiplicador de alta frecuencia	33
3.3.1. Fundamentos	33
3.3.2. Análisis matemático	35
3.4. Comparativa	37

4. Bloques adicionales	41
4.1. Conversor $V \rightarrow i_{\pm}$	42
4.2. Sumador-restador de corrientes	44
4.3. Restador $V - i$	45
4.4. Conversor $V \rightarrow V_{\pm}$	47
4.5. Integrador	49
5. Resultados	51
5.1. Línea de retardo	51
5.2. Multiplicador	55
5.3. Conversor $V \rightarrow I_{\pm}$	56
5.4. Sumador-restador de corrientes	61
5.5. Restador $V - i$ y $V \rightarrow V_{\pm}$	65
5.6. Integrador	67
6. Observaciones y conclusiones	69
6.1. Trabajos futuros	70
A. <i>Flipped voltage follower current sensor</i>	73
A.1. Expresiones en pequeña señal	74
A.2. Expresiones en frecuencia media	75
A.3. Expresiones en alta frecuencia	77
B. Par diferencial cruzado	81
B.1. Distorsión por sensado de corriente	82
B.2. Distorsión por sensado de voltaje	84
B.3. Funciones de transferencia	85

Índice de figuras

1.1. Topología básica de procesamiento de señales en modo corriente.	7
1.2. Diagrama general del FA.	9
1.3. Diagrama propuesto para el FA en modo corriente.	10
2.1. Diagrama general del filtro Gamma.	17
2.2. Esquema del <i>FVFC</i> S.	18
2.3. Filtro pasa-bajas.	18
2.4. Respuesta en frecuencia analítica del filtro pasa-bajas.	19
2.5. Diagrama del filtro Laguerre.	20
2.6. Esquema del filtro pasa-todas basado en la ecuación (2.15).	21
2.7. Respuesta en frecuencia analítica del filtro pasa-todas.	22
2.8. Respuesta en frecuencia analítica del filtro pasa-bajas y pasa-todas.	24
3.1. Arquitecturas básicas de multiplicación en cuatro cuadrantes.	28
3.2. Núcleo de la celda de Gilbert con transistores <i>MOS</i>	28
3.3. Esquema del multiplicador presentado por Díaz-Sánchez	30
3.4. Modelo en pequeña señal del sensado de corriente del multiplicador de la Figura 3.3.	31
3.5. Modelo en pequeña señal de la suma de la corriente de salida del multiplicador de la Figura 3.3.	32
3.6. Formas de sensado de la señal.	34
3.7. Multiplicador con sensado de corriente tipo Solo-señal.	35
3.8. Esquema del bloque de sensado de señal para el multiplicador de baja distorsión de la Figura 3.3	38
4.1. Diagrama del estimador para el algoritmo <i>LMS</i>	41
4.2. Esquema del conversor $V \rightarrow i_{\pm}$	42

4.3. Esquema en pequeña señal del conversor $V \rightarrow i_{\pm}$	43
4.4. Esquema de resta de corrientes en un nodo.	44
4.5. Esquema del sumador-restador de corrientes de baja frecuencia.	44
4.6. Esquema del sumador-restador de corrientes.	45
4.7. Esquema del restador $V - i$	47
4.8. Esquema del conversor $V \rightarrow V_{\pm}$	48
4.9. Esquema del conversor $V \rightarrow V_{\pm}$ usando el DC.	49
4.10. Esquema del integrador.	50
5.1. Curvas en frecuencia de la ganancia, fase e impedancias de entrada y salida de núcleo de la línea de retardo.	53
5.2. Curvas en frecuencia de la impedancia de entrada y salida de núcleo de la línea de retardo.	53
5.3. Curvas en frecuencia del retardo de grupo de cada núcleo de la línea de retardo.	54
5.4. Curvas en frecuencia del retardo de grupo acumulado por cada núcleo de la línea de retardo.	54
5.5. Curva característica en CC del multiplicador variando la corriente de entrada.	57
5.6. Curva característica en CC del multiplicador variando el voltaje de entrada.	57
5.7. Curvas en frecuencia del multiplicador modificando la corriente de entrada.	58
5.8. Curvas en frecuencia del multiplicador modificando el voltaje de entrada.	58
5.9. Variación de la frecuencia de -3dB al modificar la magnitud de la corriente de entrada del multiplicador.	59
5.10. Variación de la frecuencia de -3dB al modificar la magnitud del voltaje de entrada del multiplicador.	59
5.11. Respuesta transitoria del multiplicador.	60
5.12. Transformada discreta de Fourier sobre diez ciclos de la Figura 5.11	60
5.13. Respuesta en frecuencia del conversor $V \rightarrow i_{\pm}$	62
5.14. Respuesta transitoria del conversor $V \rightarrow i_{\pm}$	62
5.15. Respuesta en frecuencia del sumador-restador.	64
5.16. Respuesta transitoria del sumador-restador.	64
5.17. Respuesta en frecuencia del restador con el conversor.	66
5.18. Respuesta transitoria del restador con el conversor.	66
5.19. Respuesta en frecuencia del integrador.	68
5.20. Respuesta transitoria del integrador.	68

A.1. Celda básica del <i>FVFC</i> S.	73
A.2. Esquema en pequeña señal del <i>FVFC</i> S.	74
A.3. Diagrama en pequeña señal del espejo de corriente tipo <i>FVFC</i> S.	75
A.4. Esquema del <i>FVFC</i> S en media frecuencia.	76
A.5. Diagrama en frecuencia media del espejo de corriente tipo <i>FVFC</i> S.	77
A.6. Esquema del <i>FVFC</i> S en alta frecuencia.	78
A.7. Diagrama en alta frecuencia espejo de corriente tipo <i>FVFC</i> S.	80
B.1. Esquema en gran señal del par diferencial cruzado.	81
B.2. Esquema en pequeña señal del par diferencial cruzado de la figura B.1	83
B.3. Esquema en pequeña señal del núcleo del multiplicador sensando voltaje.	84

Índice de tablas

1.1. Estado del arte de filtros adaptivos.	11
2.1. Comparativa de las propiedades de los filtros <i>FIR</i> , <i>IIR</i> y Gamma	24
5.1. Desempeño de la línea de retardo.	55
5.2. Desempeño del multiplicador.	61
5.3. Desempeño del conversor $V \rightarrow i\pm$	63
5.4. Desempeño del sumador–restador.	63
5.5. Desempeño del restador $V - i$ y del conversor $V \rightarrow V\pm$	65
5.6. Desempeño del integrador.	67

*A las personas más importantes
en mi vida: mis padres, Virgen y
Juancho, y a mi hermanita, Nana.*

Agradecimientos

A mis padres, Virgen y Juancho, y a mi hermanita, Nana. Por todo el cariño y amor que me han brindado. Porque, sobre la distancia, siempre han estado ahí cuando he necesitado su constante e incondicional apoyo.

A Diana, porque a pesar de la distancia siempre estuvo ahí. Por brindarme su amor y cariño, como pareja y como amiga. Porque siempre supo cómo levantar mi ánimo y por sus innumerables invitaciones para consentir el paladar.

A Germán, Valeria, Chacho. Porque siempre estuvieron en el duro proceso de adaptación a un nuevo país, nuevas costumbres y nueva comida; en especial al picante. Porque a su lado aprendí que no existen fronteras.

A Izbeth, Martiux, Doña Martha y Gloria. Porque recibieron a este migrante con los brazos abiertos. Porque, sin reserva alguna, desde el primer día me hicieron sentir bienvenido al abrirme las puertas de sus hogares y de su grupo de amigos.

Al profesor Alejandro. Por su invitación para participar en el proceso de admisión del instituto. Por sus incontables consejos profesionales y personales. Porque nunca dió las respuestas inmediatas, sino que me permitió seguir un camino de crecimiento académico a través de nuevas dudas.

A todos los que, sin importar la nacionalidad, en algún instante compartieron conmigo un café colombiano, una cerveza, un tequila y/o un Mezcal. A Don Tomás y Doña Aurora por invitarme a descubrir el deleite del Mole Poblano. A la familia de Izbeth y la familia de Chacho por recibirme con los brazos abiertos en las fiestas decembrinas

Al Consejo Nacional de Ciencia y Tecnología de México (CONACyT), por apoyar este trabajo de grado con la beca número 297219/290549.

Resumen

En este trabajo de grado se diseñó los bloques funcionales en modo corriente para un filtro adaptivo (FA). Dado que el procesamiento de las señales se hace en modo corriente, se aprovechó el nodo de muy alta admitancia del *FVFC*S (siglas en inglés de *flipped voltage follower current sensor*). Así, usando nodos de salida con admitancias de g_{ds} y nodos de entrada de g_m^2/g_{ds} , se garantizó un buen acoplamiento para señales en modo corriente. Adicionalmente, el procesamiento de señales en corriente requiere de nodos de suma, como en el multiplicador. Estos nodos se obtienen también a partir del *FVFC*S, ya sea en acoplamiento de solo-señal o en acoplamiento de señal+polarización. De este modo, usando $50 \mu\text{A}$ para polarizar cada rama de los circuitos, se obtuvo un ancho de banda de 1,1 GHz en los bloques de procesamiento de señal en modo corriente. Usando la misma corriente de polarización, los circuitos de integración de señal presentaron un ancho de banda de 200 kHz. En ambos casos, los anchos de banda se obtuvieron a partir de la arquitectura y no de la polarización. Así, se mejoró la copia 1:1 en los diferentes espejos de corriente, reduciendo el *offset* en los acoplamiento de corriente.

Abstract

In this Thesis, the current-mode functional blocks for an adaptive filter (AF) are designed. As the signal processing is done in current-mode, it takes advantage of the very high-admittance node of the flipped voltage follower current sinker (FVFCS). Thus, using output nodes with admittance of g_{ds} and input nodes of g_m^2/g_{ds} , good current-mode coupling signals can be assured. Additionally, the current-mode signal processing requires summing nodes, as in the output of the multiplier core. These nodes are also obtained from the FVFCS, fittings either only-signal or signal+bias couplings. Thus, with a 50 μ A bias current to polarize each branch of the circuit, a bandwidth of 1.1 GHz is obtained in the current-mode signal processing blocks. Using the same bias current, the signal integrater circuits has a bandwidth of 200 kHz. In both cases, bandwidth is obtained from the architecture. Thus, an improved 1:1 copy in different current mirrors is obtained, reducing the offset in the current-mode couplings.

Capítulo 1

Sistemas adaptivos

Los sistemas adaptivos han sido estudiados desde mediados del siglo XX, cuando Widrow los propuso como solución ante el eco y el retardo de las señales, propios de la comunicación a grandes distancias. Estos sistemas usan algoritmos para el ajuste de parámetros que mejoran el tratamiento de señales en un esquema realimentado. En este trabajo de grado se diseñan los bloques necesarios para construir un sistema adaptivo basado en un algoritmo reportado en la literatura.

1.1. Justificación

La introducción del teléfono como medio de comunicación permitió la transmisión instantánea de mensajes a largas distancias. Sin embargo, a medida que se ampliaba la cobertura se comenzó a presentar problemas de retardo en las señales. Adicionalmente, las señales tendían a ir contaminadas con ruido. Estos dos problemas de comunicaciones pueden ser solucionados con filtros adaptivos (FAs), pues al tiempo que se hace sincronización de las señales, para reducir el efecto de su retardo, se puede hacer un filtrado adecuado que permita reducir el ruido de la señal transmitida, en muchos casos, con el menor riesgo de distorsionarla [1].

Luego del teléfono, los sistemas de comunicación comenzaron a desarrollarse sobre enlaces inalámbricos. Con las mejoras en la autonomía de los dispositivos y el alcance de los enlaces inalámbricos se aceleró la proliferación de sistemas personales portátiles. Esta proliferación ha llevado a la reducción del ancho de banda disponible por usuario, por lo que se ha debido diseñar protocolos que lo optimicen. Con este fin, se ha descontinuado la transmisión de señales sobre canales de transmisión paralelos para darle vía a los canales seriales, lo que a su vez

ha reducido el tamaño y los costos de los sistemas de comunicación, mejorando el desempeño por canal y usuario.

La optimización del ancho de banda disponible no solo se ha hecho reduciendo el número de canales por usuario, sino que se ha recurrido a la codificación por símbolos. Y aunque la codificación permite mejorar el uso del ancho de banda disponible, en enlaces donde la señal requiere ser transmitida a grandes distancias, debido a que el retardo inherente al uso del canal se vuelve dominante respecto a la latencia del resto del sistema, símbolos consecutivos pueden traslaparse. De presentarse dicho traslape de símbolos, se modificaría la información enviada, degradando la razón de error de *bits* (*BER*, siglas en inglés de *Bit error ratio*). Este problema es conocido como interferencia íter-simbólica (*ISI*, siglas en inglés de *Inter-symbol interference*).

La mayoría de los sistemas de comunicación inalámbrica actuales están basados en protocolos de comunicaciones seriales. Para sincronizar la transmisión de datos en estos protocolos típicamente se usa sistemas digitales, lo que se traduce en un fuerte consumo de potencia y de área, dados principalmente por el conversor digital-analógico (*DAC*, siglas en inglés de *Digital to analog converter*). Sin embargo, los sistemas digitales son robustos ante el ruido y al *offset*, variables de diseño que afectan fuertemente a los circuitos analógicos. Aún así, estos últimos requieren un menor consumo de potencia y de área. De lograr la mejora en el compromiso consumo de potencia-ruido, se puede mejorar la cada vez más demandada autonomía de los dispositivos de comunicación sin comprometer la calidad de sus enlaces.

1.2. Delimitación

A partir de lo anteriormente dicho, se propone el diseño de un FA completamente analógico y en modo corriente, para el cual se usa el proceso estándar *CMOS* de 180 nm de *UMC*. Se selecciona el algoritmo de adaptación *LMS* (siglas en inglés de *least mean square*), ampliamente usado en los filtros adaptivos por su simplicidad, lo que lo hace apto para evaluar los bloques funcionales que se diseñan en este trabajo.

Dado que los bloques a diseñar son analógicos, y los procesos de fabricación se desarrollan para mejorar el desempeño de los circuitos digitales, se presentan problemas tecnológicos. Uno de ellos es que el voltaje de alimentación se escala a una razón mayor que el voltaje de umbral. Esto ha reducido la excursión disponible para las señales en modo voltaje. Debido a la reducción del rango de excursión disponible para el procesamiento de señales en modo voltaje, se seleccionó el tratamiento de señales en modo corriente. Es por esto que el desarrollo de las topologías se debe orientar hacia procesos de fabricación de bajo voltaje.

El diseño tradicional de circuitos se orienta a topologías que procesan señales en modo voltaje. En el diseño de estos circuitos se cuidan aspectos que no existen en los circuitos en modo corriente. Adicionalmente, otras condiciones permanecen pero en su forma dual. Un ejemplo es el acople de impedancias. En modo voltaje la impedancia de salida debe ser baja y la de entrada debe ser alta, en modo corriente se intercambian estas condiciones. El ancho de banda de los circuitos en modo voltage es reducido por el efecto Miller debido a la capacitancia flotante entre el nodo de entrada y el nodo de salida, como el amplificador de surtidor común. Los circuitos en modo corriente no presentan esta capacitancia. La topología básica de procesamiento de señales en modo corriente es el espejo de corriente, Figura 1.1. Para hacer el sensado de la corriente se debe acoplar un nodo de sensado de muy baja impedancia. De este modo, al estar conectada la impedancia de sensado de señal la ganancia de voltaje del transistor M_2 es 1, haciendo al amplificador de corriente inmune al efecto Miller. Esto permite que los circuitos en modo corriente tengan mayor ancho de banda que los circuitos en modo voltaje.

Para este fin se usa como estructura básica el *flipped voltage follower current sensor (FVFCS)*, ampliamente usado en el diseño de espejos de corriente con voltaje de alimentación bajo. Esta celda tiene características que la hace muy apta para el sensado de corrientes y, por lo tanto, para el procesamiento de señales en modo corriente. Este modo de procesamiento requiere el uso de nodos de baja impedancia para mejorar el sensado de las corrientes en cada uno de los bloques. Esta reducción de impedancias ayuda a reducir las constantes de tiempo de cada nodo, ampliando así el ancho de banda de trabajo.

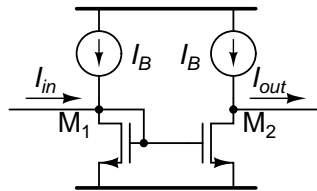


Figura 1.1: Topología básica de procesamiento de señales en modo corriente.

1.3. Fundamentos

Usualmente un circuito es diseñado para procesar señales bajo condiciones controladas. Sin embargo existen señales cuyo canal de transmisión es sometido a variaciones. Por ejemplo, las señales recibidas por un canal inalámbrico. La longitud de este canal siempre varía por el movimiento del usuario, el receptor. Adicionalmente, se tienen señales con trayectorias



indirectas. Con el fin de procesar las señales transmitidas en este tipo de canales, se recurre a circuitos que se ajustan de acuerdo a las características de estas señales. Partiendo de un conjunto de valores predeterminados, se establecen las condiciones iniciales del circuito. Una vez en un ambiente estacionario y a partir de una secuencia de iteraciones de un algoritmo recursivo, el circuito adaptativo converge a la solución óptima. Al mismo tiempo, ofrece la capacidad de seguimiento, si las variaciones de la señal provista son suficientemente lentas respecto al tiempo de establecimiento del sistema [2]. El rango de frecuencia de trabajo de los FAs puede estar entre $\pm 20\%$ de la frecuencia central hasta dos octavas, lo cual depende principalmente del tipo de filtro usado en la línea de retardo [3].

Como consecuencia de la aplicación de un algoritmo recursivo, donde los parámetros del FA se actualizan en cada iteración, estos se vuelven dependientes de la señal a procesar. Por este motivo los filtros adaptivos en realidad son sistemas no lineales, en el sentido de que no cumplen la ley de superposición. A pesar de esta propiedad, comúnmente los filtros adaptivos son clasificados como lineales y no lineales. Se dice que un FA es lineal si se cumple el principio de superposición cuando los parámetros adaptativos se mantienen fijos. De lo contrario se dice que son no lineales [2]. El algoritmo de filtrado adaptativo lineal se desarrolla en dos procesos básicos: un proceso de filtrado y un proceso de adaptación. El primer proceso se diseña para una salida en respuesta a una señal de entrada. El segundo proceso provee al filtro adaptativo del mecanismo de control de un grupo de parámetros adaptativos usados en el proceso de filtrado [2].

La respuesta al impulso de un filtro lineal determina su memoria. A partir de este parámetro se puede denominar como filtros con respuesta de duración finita al impulso (*FIR*, siglas en inglés de *finite-duration impulse response*), o como filtros con respuesta de duración infinita al impulso (*IIR*, siglas en inglés de *infinite-duration impulse response*). En los filtros *IIR* la memoria tiende a atenuarse [2]. Además de la memoria, estos dos tipos de filtros se diferencian porque los filtros *IIR* tienen buena selectividad en frecuencia con bajo orden [4]. Sin embargo, son complejos y su estabilidad es difícil de garantizar durante la adaptación. Por otro lado, los filtros *FIR* tienen buena convergencia y estabilidad, pero es necesario que tengan un orden mayor que los filtros *IIR* para lograr una selectividad comparable. Con el fin de poder evaluar los bloques funcionales, teniendo en cuenta la estabilidad y la convergencia, se selecciona la estructura del filtro *FIR* para el desarrollo de este trabajo de grado.

Los filtros *FIR* pueden usar tres tipos de estructuras: filtro transversal, predictor de latencia y el arreglo sistólico. Para este trabajo se seleccionó la estructura de filtrado transversal por la sencillez de su diseño. Esta estructura consta de una secuencia de elementos de retardo

unitario τ , los factores de peso w_i , un sumador y un estimador [2], Figura 1.2. En este filtro, la señal de entrada ($x(t)$) pasa por la línea de retardo, de donde se obtiene versiones de sí misma diferenciadas por el retardo de grupo acumulado en cada filtro. Cada una de estas señales son multiplicadas por su respectivo factor de peso y posteriormente sumadas, obteniéndose así la señal de salida ($y(t)$). Esta es comparada con una señal de referencia ($d(t)$), la cual se genera a través de un estimador, encargado de modificar los factores de peso.

Una vez seleccionada la estructura del filtro adaptativo, se establece un algoritmo. En este trabajo se seleccionó el algoritmo propuesto por Widrow y Hoff [5], llamado *LMS* por la forma en que se calcula su error. Este algoritmo usa una pendiente instantánea, y es tan simple y efectivo que aún hoy en día es el algoritmo de aprendizaje más ampliamente usado [1], ya sea en su versión original o en alguna de sus diferentes variaciones [6].

Definidos la estructura y el algoritmo, y teniendo en cuenta que el diseño se debe hacer en modo corriente, se propone el diagrama del filtro a diseñar. En la Figura 1.3 se presenta el diagrama completo del FA propuesto. Este filtro consta de un circuito que sensa en modo voltaje la señal a procesar, el cual a su vez convierte el voltaje sencillo a dos corrientes en contrafase. Para ayudar a la comprensión del flujo de señal en el diagrama, la corriente en fase está en color verde y la corriente en contrafase en color marrón. Cada una de estas corrientes pasa por una línea de retardo, y las corrientes retrasadas son entregadas a sus respectivos multiplicadores, donde reciben el peso de acuerdo a los parámetros adaptativos del filtro.

Los multiplicadores sensan la señal en modo corriente, multiplicándola por un voltaje que viene del estimador. A la salida de los multiplicadores se suman las corrientes en fase y las corrientes en contrafase, las cuales son posteriormente restadas para obtener la señal de salida del filtro, entregada en modo corriente y sencilla. Una copia de la corriente de salida es comparada con el voltaje que entra al filtro. La diferencia entre estas dos señales es convertida en un voltaje diferencial usado para el estimador del parámetro adaptativo de cada una de las etapas de la línea de retardo. La estructura del estimador del parámetro adaptativo, presentada por Díaz en 2000 [7], toma la señal de error, la integra y la entrega a

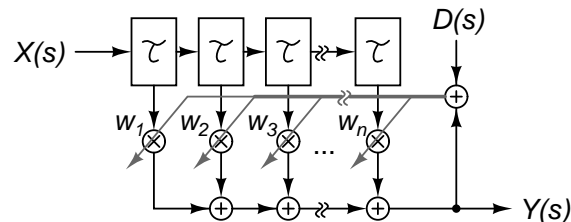


Figura 1.2: Diagrama general de un FA.

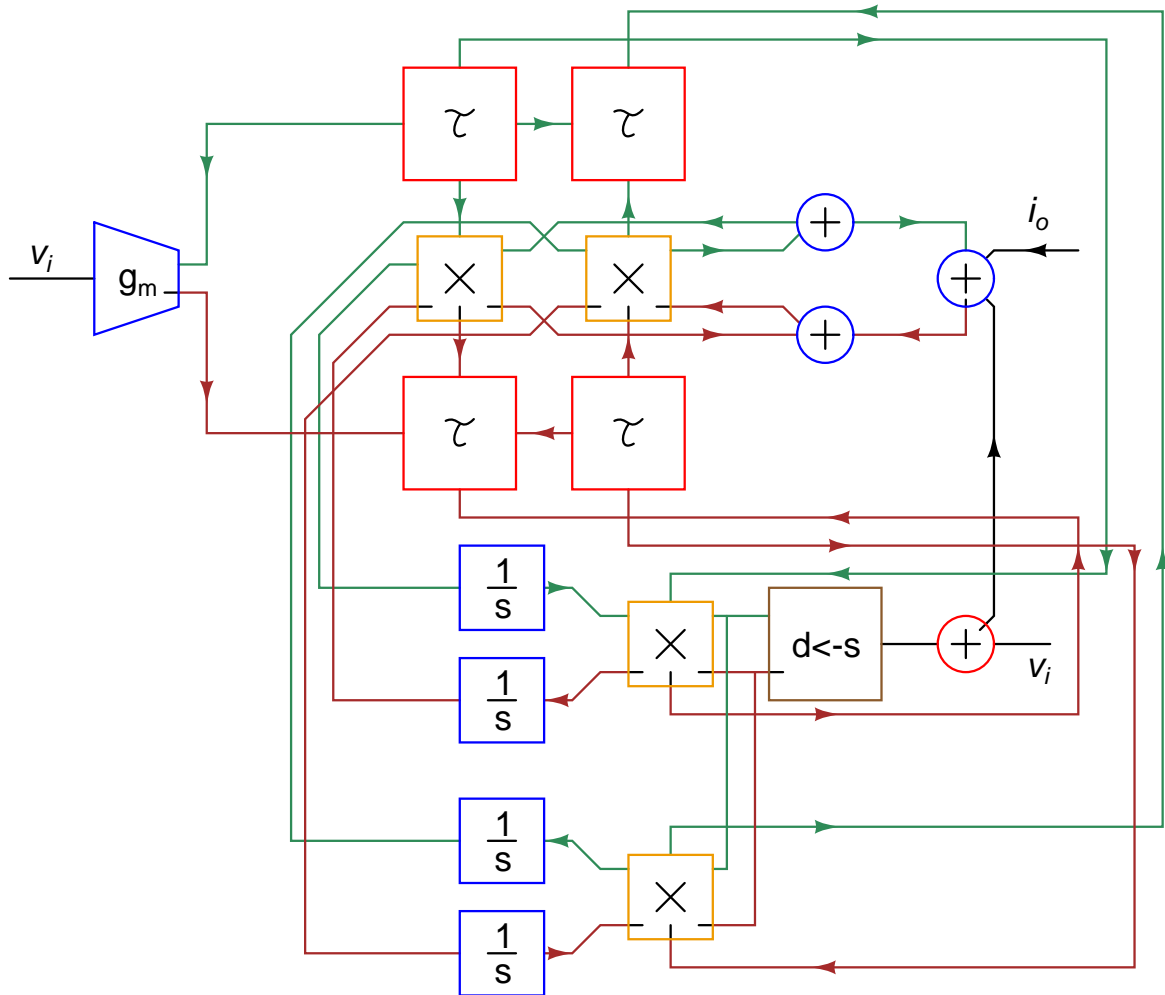


Figura 1.3: Diagrama propuesto para el FA en modo corriente.

los multiplicadores. El diseño de cada uno de los bloques funcionales que conforma el FA de la figura 1.3 se va a desarrollar a lo largo de este documento.

1.4. Estado del arte

Tabla 1.1: Estado del arte de filtros adaptivos.

Autor Año	N	Línea	Estimador	$CMOS$ [μm]	Área [μm^2]	$I_{V_{DD}}$ [mA]	V_{DD} [V]	$P_{V_{DD}}$ [mW]	BW [Hz]	BER [Mbps]
[8] 2001	4	<i>FTS-FIR</i>	<i>LMS</i>	0,80	1800×1800	12	5	60	50 k	
[9] 2001	5-15		<i>LMS</i>	0,18	743×773		1,8	6,2-20,4	33 M	
[10] 2003			<i>DLMS</i>	0,35				0,0214	23,1 k	
[11] 2006			<i>LMS</i>	0,25		16	2,7	43.2	835 M	
[12] 2006	4			0,18				100		500
[13] 2007	3			0,18			1,8		7 G	10.000
[14] 2008	4		<i>LMS-FG</i>	0,35	1800×400		3,3	13,2	100 k	

FTS: Filter-tap slice

FIR: Finite-duration Impulse Response

LMS: Least mean square

DLMS: Delayed least mean square

FG: Floating gates

La aplicación de los FAs es muy amplia. Por esto, es difícil encontrar una tendencia en el estado del arte. En la Tabla 1.1 se presenta una recopilación de FAs reportados en la última década. El primero es un FA reportado por De la Vega *et al.* en el 2001 [8]. En este FA se usa una técnica de corrientes conmutadas, una línea de retardo *FIR* y el algoritmo adaptativo *LMS*. El diseño se basa en bloques de retardo y de multiplicación-acumulación. El sistema diseñado por De la Vega puede funcionar como filtro adaptivo o como un filtro *FIR* programable, además de tener la posibilidad de permitir una señal de control externa.

Cheewe Ng *et al.* [9] presentó en 2001 un FA digital escalable en potencia. La principal característica de este filtro es la capacidad de modificar su precisión con el número de etapas y la cantidad de *bits* para el procesamiento de las señales. De este modo se puede modificar el consumo de potencia entre 6,4 mW y 20,4 mW con desviaciones estándar en la señal de error entre 0,28 y 0,1 respectivamente. De este modo el compromiso entre disipación de potencia y cancelación de la *ISI* se puede modificar de acuerdo a la aplicación.

Un FA operando en subumbral para dispositivos de ayuda auditiva es presentado en el 2003 por Kim *et al.* [10]. La operación en subumbral fue posible gracias al uso de una arquitectura

en paralelo con lógica pseudo-*CMOS*. Al mismo tiempo, la lógica pseudo-*CMOS* operando en subumbral (subpseudo-*CMOS*) mejora el producto potencia-retraso respecto a la lógica sub-*CMOS*. El uso de transistores operando en subumbral le permite reducir el voltaje de alimentación a 400 mV y a su vez el consumo de potencia a 21,4 mW con una frecuencia de reloj de 22 kHz.

En el 2006, Aparín *et al.* [11] presenta un FA para sistemas móviles. En el esquema *CDMA* de comunicación móvil, el receptor es objeto de interferencia por su propio transmisor, debido a que en este esquema el transmisor y el receptor comparten la misma antena mediante un duplexor. Es por esto que parte de la señal a transmitir es inyectada por el duplexor hacia el receptor. Este efecto es conocido como *TX leakage*. Un FA en tiempo continuo, usando el algoritmo *LMS*, para reducir el *TX leakage* en receptores *CDMA*. El filtro funciona mediante la inyección de una copia apareada desfasada del *TX leakage* en la salida del *LNA*. Esto requiere una señal de referencia acoplada desde el transmisor, de la cual I y Q son escaladas apropiadamente para generar la copia apareada. Los factores de escala son el resultado de la correlación entre la salida del filtro y las componentes I y Q de la señal de referencia. Usando este filtro, se logra mejorar la señal transmitida al aumentar el rechazo de 14,3 dB a 20,7 dB. Todo esto degradando el factor de ruido y la ganancia del *LNA* en solo 1,3 dB y 1,7 dB respectivamente.

Ndjounthce presenta en el 2006 [12] un FA para mejorar la estabilidad y la baja sensibilidad al ruido de redondeo debido a la ortogonalidad entre los estados internos. Con la finalidad de incrementar la velocidad y reducir el consumo de potencia, usa multiplicadores de alta velocidad y bajo consumo de potencia basados en la mejora de la codificación de los productos parciales y las etapas de *pipeline* para reducir los caminos críticos.

Bien *et al.* propone en el 2007 [13] un FA, con una línea de retardo ajustable controlado de forma digital. El retardo de la línea puede ser sintonizado con 3 ps de resolución mediante un convertor digital-analógico modular. A través de simulaciones, Bien encontró que puede ajustar el retardo entre 15 ps y 103 ps.

Usando transistores con compuertas flotantes en los parámetros adaptativos y almacenando estos parámetros en bloques de memoria no volátil, en el 2008 Gray [14] presentó un FA en tiempo continuo. El uso de compuertas flotantes y el almacenamiento de los parámetros adaptativos en modo corriente le permite obtener un diseño compacto y de bajo consumo de potencia. La arquitectura propuesta es apropiada para la implementación de circuitos más grandes, pues al aumentar en un 100 % el número de componentes en el circuito el consumo de potencia se incrementa en solo 2,5 mW (19 %).

1.5. Organización del documento

Los conceptos y bloques referentes al diseño del filtro adaptativo de este trabajo de grado se van a desglosar a lo largo de este documento. En el capítulo 2 se presentan las líneas de retardo aptas para un filtro adaptativo con algoritmo *LMS* y las consideraciones de diseño que se debe tener en cuenta para obtener la homogeneidad en los retrasos. Los multiplicadores diseñados se presentan en el capítulo 3, sobre los cuales se desarrolla las modificaciones para lograr mejorar el ancho de banda y la distorsión. En el capítulo 4 se presentan los circuitos usados para el sensado de la señal de entrada y el estimador *LMS*. Los resultados de simulación se presentan en el capítulo 5. Finalmente las observaciones y las conclusiones, y las recomendaciones para trabajos futuros se presentan en el capítulo 6.

Capítulo 2

Línea de retardo

El primer bloque en procesar la señal dentro de un FA es la línea de retardo. Las características de las líneas de retardo están determinadas por el algoritmo de adaptación, que en este trabajo de grado será el *LMS* por su simplicidad y efectividad. En una línea de retardo se debe considerar el orden, la profundidad, la resolución, la estabilidad y complejidad de adaptación que acarreen al filtro adaptivo. En esta sección se presenta dos de las líneas de retardo más usadas en la literatura y sus ventajas en el diseño de filtros adaptivos basados en el algoritmo *LMS*.

2.1. Fundamentos

La línea de retardo está compuesta por filtros $H(j\omega)$, que para efectos prácticos se van a suponer de primer orden y con retardo de grupo τ . El retardo de grupo se define como el tiempo que tarda una componente de frecuencia, del espectro de la señal, en pasar por un sistema [15]. Las líneas de retardo deben cumplir dos condiciones importantes. Primera, el retardo de grupo debe ser homogéneo, es decir, igual para cada filtro. La segunda condición, es que el cambio de fase debe depender linealmente de la frecuencia, con el fin de que el retardo de grupo sea independiente de esta [3]. En este trabajo, el FA se diseña para usar el algoritmo *LMS*, el cual se basa en el retardo de grupo homogéneo. Dada la fase del filtro $H(j\omega)$ como en la ecuación (2.1), el retardo de grupo está dado por la ecuación (2.2), el cual denota el retardo en el tiempo que experimenta una específica componente en frecuencia cuando pasa a través del filtro [15].

$$\varphi(\omega) \equiv \arg H(j\omega) \tag{2.1}$$

$$\tau_g(\omega) \equiv -\frac{\partial\varphi(\omega)}{\partial\omega} \quad (2.2)$$

En este trabajo el FA usa una línea de retardo transversal, compuesta por filtros conectados en cascada. Con el fin de que todos los filtros cumplan las condiciones básicas para una línea de retardo, se debe cuidar que las condiciones de sensado y entrega de la señal de todos los filtros sean iguales. En este capítulo se describe el diseño de dos de las líneas transversales más usadas en FAs, la línea Laguerre y la línea Gamma. Los filtros de estas líneas usan como celda básica el *FVFC*S, el cual es explicado en el apéndice A.

Las líneas de retardo definen el tipo de adaptatividad de los filtros, *FIR* o *IIR*. De su arquitectura se puede determinar la estabilidad del FA, pues en los filtros *IIR* además de los factores adaptativos (w_i) posee conexiones de retroalimentación. Estas conexiones incrementan en número de parámetros libres del FA, de modo que en los filtros *IIR* se desvincula la profundidad de memoria (D) del número de etapas de la línea de retardo (K). Por el contrario, en los filtros *FIR* la profundidad de memoria está dada por este número de etapas. La resolución de un FA se define como el número de parámetros libres por unidad de tiempo. Esto es equivalente al número de etapas de la línea de retardo dividida por la profundidad de memoria, ecuación (2.3) [16].

$$R = \frac{K}{D} \quad (2.3)$$

2.2. Filtro Gamma

En 1991, De Vries [16] presentó el filtro Gamma para un modelo neuronal de procesamiento temporal en tiempo continuo. Posteriormente fue adaptado para tiempo discreto y presentado por el mismo autor como una nueva clase de filtro adaptivo tipo *IIR*. A continuación se presenta el filtro adaptivo Gamma en tiempo continuo y un esquema que hace posible su realización en circuito integrado.

2.2.1. Análisis matemático

En la Figura 2.1 se presenta el diagrama general del filtro Gamma, que es una generalización del filtro transversal. Este filtro contiene una línea de retardo que hace uso del operador de retardo Gamma, dado por la ecuación (2.4). Así, el término $x_i(t)$ de la línea de retardo está dado por la ecuación (2.5) y la salida del filtro por la ecuación (2.6), donde $g_{n,i}$ y μ son parámetros adaptativos [17].

$$G(s) = \frac{a\mu}{s + a - (1 - \mu)} \quad (2.4)$$

$$x_i(t) = (1 - \mu)x_i(t - \tau) + \mu x_{i-1}(t - \tau) \quad i = 1, 2, \dots, N \quad (2.5)$$

$$y_n(t) = \sum_{i=0}^N g_{n,i} x_i(t) \quad (2.6)$$

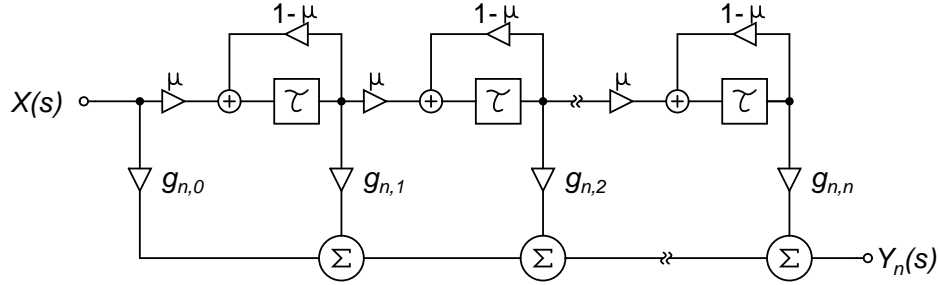


Figura 2.1: Diagrama general del filtro Gamma.

Si $\mu = 1$, el filtro adaptivo Gamma se reduce a la estructura adaptiva de Widrow [5]. Si $\mu \neq 1$, la función de transferencia del filtro Gamma es del tipo *IIR* debido a la recursividad de la ecuación (2.5), y $G(s)$ implementa un retardo unitario dispersivo [18]. Con el fin de evitar este fenómeno en el retardo de grupo, se usa la línea de retardo para $\mu = 1$. De este modo cada una de las etapas de filtrado incluye un retardo τ homogéneo, cumpliendo con los requisitos del estimador *LMS* a usar en este trabajo.

En consecuencia, el operador Gamma se reduce a la ecuación (2.7). Así, la señal de salida de este filtro está dada por la ecuación (2.8), donde N es el orden del filtro, $g_{n,i}$ queda como el único parámetro adaptativo del filtro y a es la ubicación del polo dominante del filtro.

$$G(S) = \frac{a}{s + a} \quad (2.7)$$

$$Y_n(s) = \sum_{i=0}^N g_{n,i} \frac{a^i}{(s - a)^i} X(s) \quad (2.8)$$

2.2.2. El circuito

Una vez presentado el filtro desde el punto de vista matemático, se hace el análisis de circuitos para su implementación. En [3], se presentó un FA en tiempo continuo usando un filtro basado en un espejo de corriente Widlar. Sin embargo la conductancia de entrada del espejo Wilson es $g_i = g_m + g_{ds}$ del transistor conectado en configuración de diodo. Aún cuando es una alta conductancia, el producto de la corriente de entrada por la conductancia vista ($i_i g_i$) se refleja en variaciones de voltaje que distan de un las esperadas de un sensor de corriente.



En el año 2002 Ramírez–Angulo *et al.* presenta el *FVFC*S [19], el cual se muestra en la Figura 2.2. Este circuito usa una realimentación paralelo–paralelo, provista por el transistor M_3 , para aumentar la conductancia de entrada, ecuación (2.9). En el apéndice A se hace el desarrollo de las ecuaciones que describen el comportamiento del *FVFC*S.

$$g_{i,FVFC}S \approx \frac{g_{m1}g_{m3}}{g_{ds3}} \quad (2.9)$$

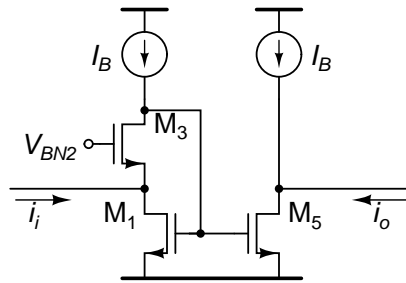


Figura 2.2: Esquema del *FVFC*S.

El espejo de corriente tipo *FVFC*S se usa para construir un filtro pasa–bajas, mostrado en la figura 2.3(a). Este filtro tiene tres salidas, una para el siguiente núcleo de la línea de retardo, una para el estimador y otra para el multiplicador de la línea de retardo. La función de transferencia del filtro pasa–bajas, en la salida del multiplicador, está dada por la ecuación (2.10), la cual se puede aproximar a (2.11) dado que $g_{m5} = g_{m1}$, $c_{gs5} = c_{gs1}$, suponiendo que la fuente de señal es ideal ($g_S = 0$) y $g_{ds1} = g_{ds3} = g_B = 0$, y reemplazando $s = j\omega$ y $C_1 = c_{gs1} + c_{gs3} + c_{gs4} + c_{gs5}$. En esta aproximación también se presentan los polos del filtro pasa–bajas.

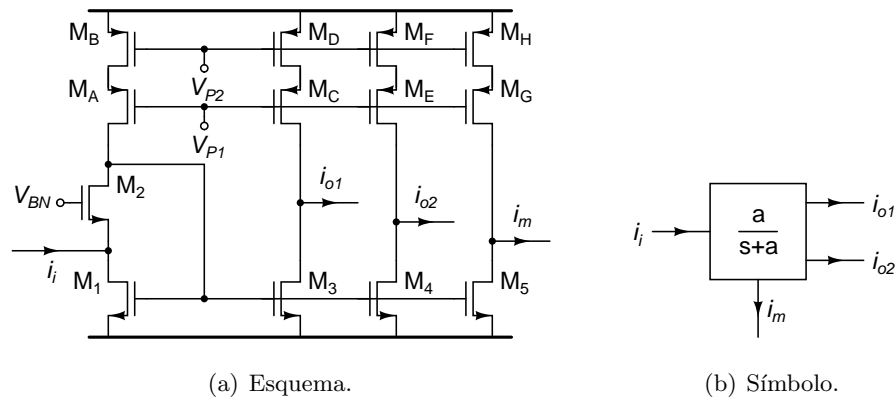


Figura 2.3: Filtro pasa–bajas.

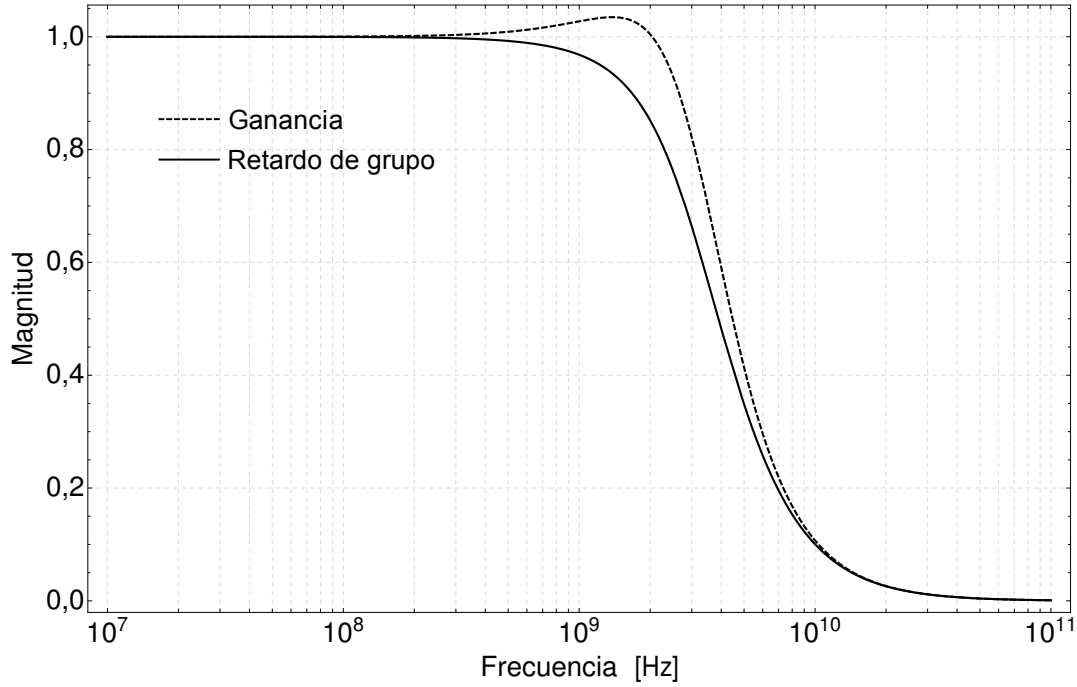


Figura 2.4: Respuesta en frecuencia analítica del filtro pasa-bajas.

$$\frac{i_m}{i_i}(s) = \frac{g_{m5}(g_{m2} + g_{ds2})}{g_{m1}(g_{m2} + g_{ds2}) + g_{m2} [2g_{ds2} + s(c_{gs1} + c_{gs5} + g_B)]} \cdots \frac{g_L}{+g_S [g_{ds2} + s(c_{gs1} + c_{gs5} + g_B)] \cdot g_{ds5} + g_B + g_L} \quad (2.10)$$

$$\begin{aligned} H_{PB}(j\omega) &= \frac{g_{m5}g_{m2}}{g_{m1}g_{m2} - \omega C_1(\omega c_{gs2} - jg_{m2})} \\ &= \frac{g_{m5}g_{m2}}{j\omega_{1,2} + \frac{g_{m2}C_1 \pm \sqrt{g_{m2}^2 C_1^2 - 4g_{m1}g_{m2}c_{gs2}C_1}}{2c_{gs2}C_1}} \end{aligned} \quad (2.11)$$

La fase del filtro, ecuación (2.12), se calcula a partir de la ecuación (2.11), y a partir de la fase se calcula el retardo de grupo, ecuación (2.13). Los parámetros de los transistores, g_m y c_{gs} , deben ser seleccionados de modo que el retardo presente la menor distorsión con el mayor ancho de banda, esta observación se hace debido a la presencia de dos polos en la función de transferencia y de los cuatro polos en el retardo de grupo. En la Figura 2.4 se presenta la curva de transferencia para $g_{m1} = 1 \text{ mA/V}$, $c_{gs1} = 250 \text{ fF}$, $g_{m3} = 1,3 \text{ mA/V}$ y $c_{gs3} = 500 \text{ fF}$. Suponiendo estos valores fijos para g_{m1} , c_{gs1} y c_{gs3} , g_{m3} debe ser al menos 30 % mayor a g_{m1} para que el pico que se presenta en el retardo de grupo no supere el 5 %.

$$\varphi(\omega) = -\text{Atg} \left(\frac{\omega g_{m3} C_1}{g_{m1} g_{m3} - \omega^2 c_{gs3} C_1} \right) \quad (2.12)$$

$$\tau(\omega) = \frac{g_{m3} C_1 (g_{m1} g_{m3} + \omega^2 c_{gs3}^2)}{g_{m3}^2 \omega^2 C_1 + (g_{m1} g_{m3} - \omega^2 c_{gs3}^2)^2} \quad (2.13)$$

2.3. Filtro Laguerre

Los primeros indicios del uso del filtro Laguerre se encuentran en el trabajo presentado por Kautz (1954), donde hace una aproximación a la respuesta al impulso de un sistema estable, invariante en el tiempo, causal y lineal. Esta aproximación fue hecha mediante series truncadas de funciones ortonormales y en el trabajo de Wiener (1956) sobre teoría de predicción [2, pág. 675]. En esta sección se presenta el filtro Laguerre en tiempo continuo y el circuito para procesar señales en modo corriente.

2.3.1. Análisis matemático

En la Figura 2.5 se presenta el diagrama del filtro Laguerre, que es otra generalización de los filtros transversales. Este filtro de orden N está compuesto por un filtro pasa-bajas en la primera etapa, seguido de $n - 1$ filtros pasa-todas. La salida del filtro Laguerre está dada por la ecuación (2.14), siendo $l_{n,i}$ i -ésimo parámetro adaptativo [20]. En esta sección se presenta el diseño de los filtros pasa-todas para el filtro Laguerre, el filtro pasa-bajas es el mismo diseñado para el filtro Gamma.

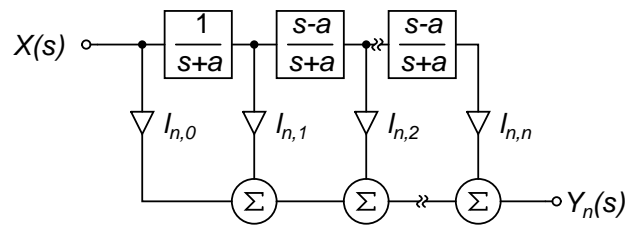
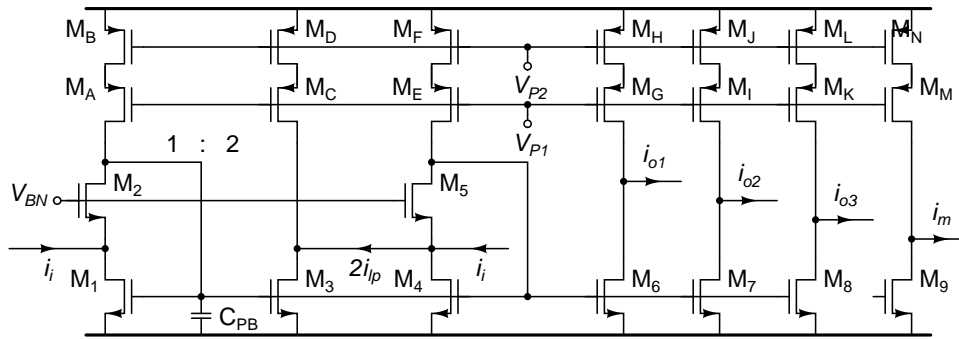


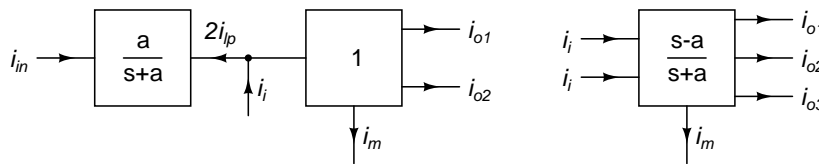
Figura 2.5: Diagrama del filtro Laguerre.

$$Y_n(s) = \sum_{i=1}^n l_{n,i} \frac{(s+a)^{i-1}}{(s-a)^i} X(s) \quad (2.14)$$

Así como la línea Gamma, en la línea Laguerre se debe cumplir que el retardo de grupo es homogéneo. Para poder cumplir esta condición y procesar la señal en modo corriente se usa, así como en los filtros pasa-bajas, el espejo de corriente tipo *FVFC*S. Este espejo de corriente



(a) Esquema.



(b) Diagrama.

(c) Símbolo.

Figura 2.6: Esquema del filtro pasa-todas basado en la ecuación (2.15).

presenta la función de un filtro pasa-bajas, la cual puede ser aprovechada en la construcción de un filtro pasa-altas a través de la ecuación (2.15), presentada por Bult [3].

$$H_{PT}(j\omega) = 2 \frac{G}{G + j\omega C} - 1 \quad (2.15)$$

2.3.2. El circuito

En la Figura 2.6 se presenta el esquema del filtro pasa-todas basado en la ecuación (2.15). Este filtro está compuesto por un filtro pasa-bajas ($M_1:M_3$) y un inversor de corriente con tres salidas ($M_4:M_{6,7,8}$). Con el fin de que el filtro pasa-todas no presente distorsión en fase, se garantiza que el filtro pasa-bajas tenga la frecuencia de corte una década por debajo de la del inversor. Para esto se usa la capacitancia C_{PB} en el filtro pasa-bajas.

Para calcular la función de transferencia del filtro pasa-todas de la Figura 2.6(a) se usa la ecuación obtenida para el filtro pasa-bajas. En la ecuación (2.16) se presenta esta función de transferencia. Usando el factor $k_{1,3}$, y tomando c_{gs1} como la capacitancia unitaria, se reemplaza $c_{gs1} = C_{PB}/(k + 3)$, donde $k = C_{PB}/c_{gs1}$ y el sumando 3 corresponde a $c_{gs1} + c_{gs5}$. Con estas reducciones se obtienen los ceros y polos del filtro pasa-todas, donde se observa que al aumentar el tamaño de la capacitancia C_{PB} respecto a c_{gs1} la relación entre los polos y los ceros tiende a 1, aproximándose a la función de transferencia de un filtro pasa-todas de segundo orden ideal.



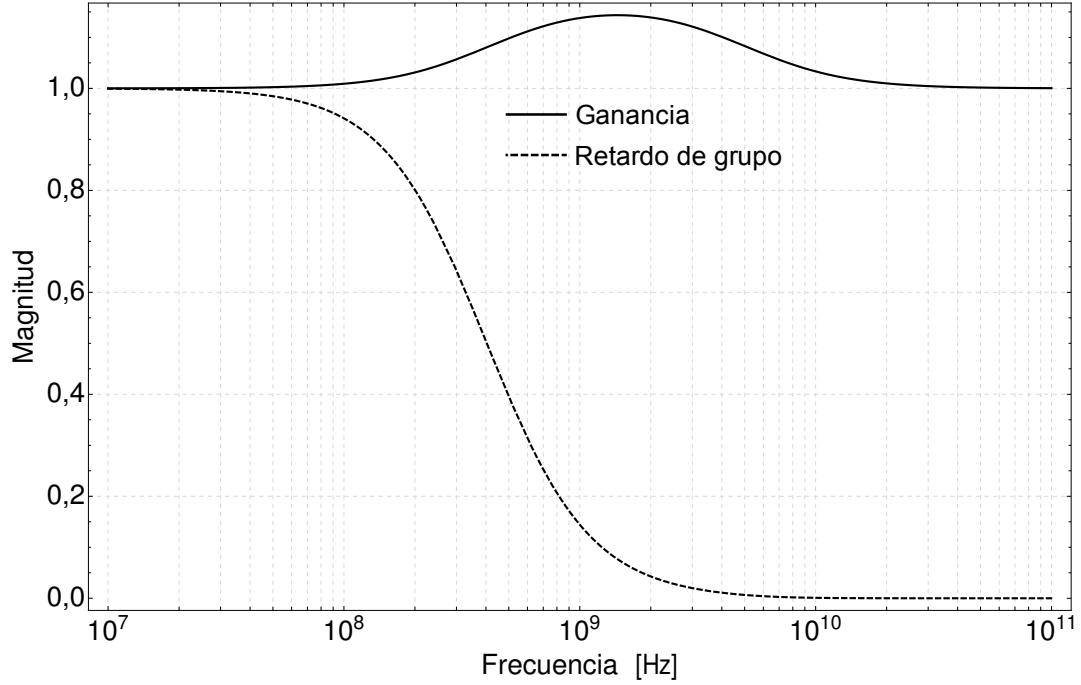


Figura 2.7: Respuesta en frecuencia analítica del filtro pasa-todas.

$$\begin{aligned}
 H_{PT}(j\omega) &= -\frac{2g_{m5}g_{m3} - g_{m1}g_{m3} - \omega C_{PB}(jg_{m3} + \omega c_{gs3})}{g_{m1}g_{m3} + \omega C_{PB}(jg_{m3} - \omega c_{gs3})} \\
 &= -\frac{g_{m1}g_{m3} + \omega C_{PB}(\omega c_{gs3} - jg_{m3})}{g_{m1}g_{m3} - \omega C_{PB}(\omega c_{gs3} - jg_{m3})} \\
 &= -\frac{j\omega_{c1,c2} + \frac{g_{m1}(k+3 \pm \sqrt{k^2+10k+21})}{2C_{PB}}}{j\omega_{p1,p2} + \frac{g_{m1}(k+3 \pm \sqrt{k^2+2k-3})}{2C_{PB}}}
 \end{aligned} \tag{2.16}$$

Este filtro pasa-todas cumple la condición de retardo de grupo homogéneo, pues para $\omega = 0$ la ganancia es -1. Con el fin de conocer el comportamiento del retardo de grupo del filtro pasa-todas, se obtiene su fase, ecuación (2.17), a partir de la ecuación (2.16). A partir de la fase se calcula el retardo de grupo del filtro, ecuación (2.18). A bajas frecuencias ($\omega = 0$) el retardo de grupo es $2C_{PB}/g_{m1}$.

$$\varphi_{PT} = \text{Atg} \left(\frac{-g_{m3}\omega C_{PB}}{g_{m1}g_{m3} + \omega^2 c_{gs3} C_{PB}} \right) - \text{Atg} \left(\frac{-g_{m3}\omega C_{PB}}{-g_{m1}g_{m3} + \omega^2 c_{gs3} C_{PB}} \right) \tag{2.17}$$

$$\begin{aligned}
-\frac{\partial \varphi}{\partial \omega} &= \frac{g_{m1} C_{PB} \left(g_{m1}^2 + \frac{\omega^2 C_{PB}^2}{k+3} \right)}{g_{m1}^2 \omega^2 C_{PB}^2 + \left(g_{m1}^2 - \frac{\omega^2 C_{PB}^2}{k+3} \right)} + \frac{g_{m1} C_{PB} \left(g_{m1}^2 - \frac{\omega^2 C_{PB}^2}{k+3} \right)}{g_{m1}^2 \omega^2 C_{PB}^2 + \left(g_{m1}^2 + \frac{\omega^2 C_{PB}^2}{k+3} \right)} \\
&= \frac{g_{m3} C_{PB} (g_{m1} g_{m3} + \omega^2 c_{gs3} C_{PB})}{(g_{m1} g_{m3} - \omega^2 c_{gs3} C_{PB})^2 + g_{m3}^2 \omega^2 C_{PB}^2} \\
&\quad + \frac{g_{m3} C_{PB} (g_{m1} g_{m3} - \omega^2 c_{gs3} C_{PB})}{(g_{m1} g_{m3} + \omega^2 c_{gs3} C_{PB})^2 + g_{m3}^2 \omega^2 C_{PB}^2}
\end{aligned} \tag{2.18}$$

En la Figura 2.7 se presenta la respuesta analítica del filtro pasa-todas. Usando los mismos valores para la Figura 2.4, este filtro tiene la frecuencia de -5 % una década antes del filtro pasa-bajas, debido a la capacitancia C_{PB} , donde $C_{PB} = 10c_{gs1}$. Además se ve el comportamiento de la copia de corriente, que presenta una variación de aproximadamente 5 %. En este punto se encuentra un compromiso de diseño del filtro pasa-todas, pues si se desea reducir la variación de la copia de corriente se debe aumentar la relación $4C_{PB}/c_{gs1}$, lo que a su vez reduce la frecuencia de -5 % del retardo de grupo.

2.4. Gamma Vs. Laguerre

Por las razones expuestas anteriormente, el uso de las estructuras *FIR* en los FAs ha sido la regla. Sin embargo existe una relación cercana entre el filtro Gamma y el filtro Laguerre, dado que el filtro Laguerre es una forma ortogonalizada del filtro Gamma [21]. Es por esto que se debe considerar las condiciones bajo las cuales una estructura presente las ventajas de los filtros *IIR* y los filtros *FIR*: estabilidad, fácil adaptación y la independencia entre la región de soporte y el orden del filtro; esta última característica es la más llamativa en el modelado de sistemas, pues permite determinar la complejidad de adaptación del sistema. En 1993, Príncipe *et al.* [17] presentaron las condiciones bajo las cuales la estructura Gamma puede aglomerar las ventajas de los filtros *IIR* y *FIR*. En ese artículo se presenta la Tabla 2.1, donde el filtro Gamma, ecuación (2.8), se maneja en el punto de máxima resolución y mínima profundidad ($\mu = 1$). Adicionalmente, en 1994 Oliveira [20] presentó las condiciones bajo las cuales el filtro Gamma es equivalente al filtro Laguerre.

En la Tabla 2.1 se recopilan las características de los filtros *FIR* e *IIR*, comparándolas con las del filtro Gamma. La estabilidad de los filtros *FIR* está garantizada debido a que su línea de retardo está compuesta por etapas de filtrado estables, mientras que en los filtros *IIR* la estabilidad está ligada al proceso adaptivo, el cual modifica las etapas de filtrado de la línea de retardo. En el filtro Gamma se puede presentar inestabilidad debido a que μ modifica el comportamiento de cada una de las etapas de filtrado de la línea de retardo. Sin embargo, el



Tabla 2.1: Comparativa de las propiedades de los filtros *FIR*, *IIR* y Gamma [17].

N^{avo} orden del filtro	<i>FIR</i>	Gamma	<i>IIR</i>
Estabilidad	Siempre estable	Estabilidad trivial	Estabilidad no trivial
Profundidad de memoria Vs. orden	N acoplado	N/μ desacoplado	Libre
Complejidad de adaptación	$\mathcal{O}(N)$	$\mathcal{O}(N)$	$\mathcal{O}(N^2)$

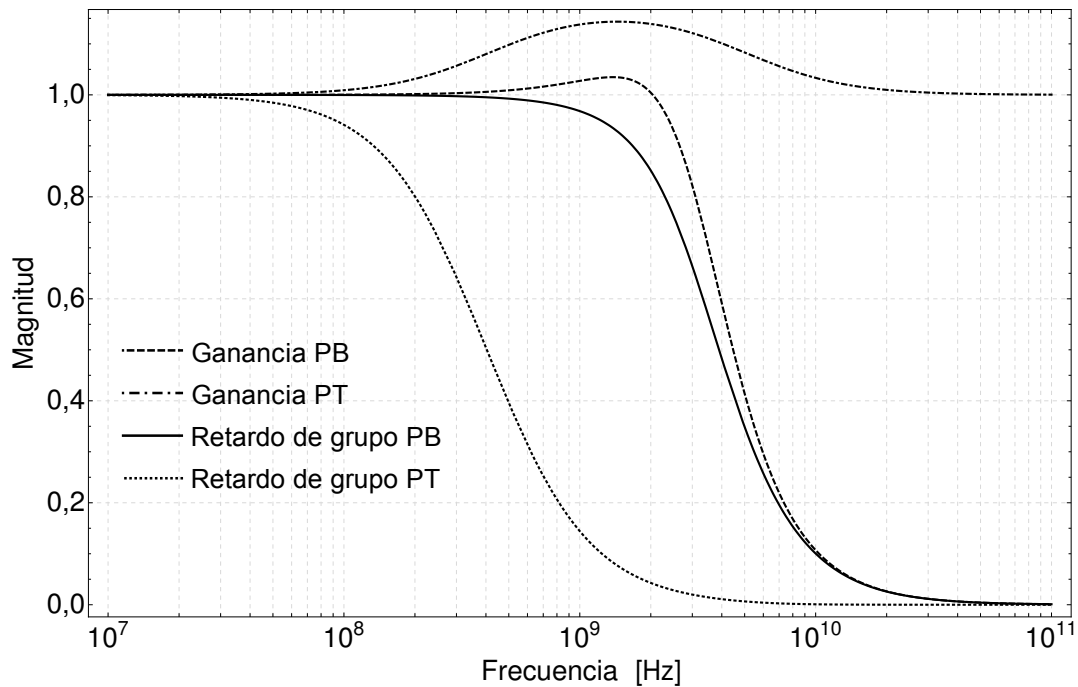


Figura 2.8: Respuesta en frecuencia analítica del filtro pasa-bajas y pasa-todas.

hecho de que el parámetro μ sea seleccionado por diseño, y no se modifique durante el proceso adaptivo, permite garantizar su estabilidad.

En los filtros *FIR* la profundidad está directamente vinculada al número de etapas de la línea de retardo, mientras que en los filtros *IIR* se pierde este vínculo por la modificación adaptativa que se hace estas etapas. En los filtros Gamma se aprovecha este aspecto de los filtros *IIR*, pues gracias al parámetro μ el filtro puede tener una profundidad mayor al número de etapas de la línea de retardo, mejorando la resolución del mismo. Por último se analiza la complejidad computacional de los filtros. En los filtros *FIR* se presenta la menor complejidad por el hecho de modificar únicamente las constantes adaptativas del filtro. En los filtros *IIR* además de los pesos adaptativos se modifican las etapas de la línea de retardo, incrementando la complejidad computacional. En los filtros Gamma se presenta la complejidad computacional del un filtro *FIR*, pues las etapas son modificadas por diseño, no por adaptatividad.

En la Tabla 2.1 se presentan las diferencias generales de los filtros. Debido a que en este diseño se usa $\mu = 1$, los filtros Laguerre y Gamma presentan un comportamiento *FIR*. Es por esto que la diferencia entre estos dos esquemas se presenta en el circuito. La ventaja del filtro Gamma sobre el filtro Laguerre es la frecuencia de trabajo, debido a que el filtro Laguerre usa filtros pasa-todas, los cuales se construyen a partir de filtros pasa-bajas. Con el fin de que la línea de retardo Laguerre no presente distorsión por interferencia entre el polo del inversor de corriente y el cero del filtro pasa-todas, el filtro pasa-bajas usado para construir el filtro pasa-todas debe tener la frecuencia de corte al menos una década por debajo de la del inversor de corriente. Se puede observar que la separación de una década libera el retardo de grupo del filtro pasa-todas de cualquier alteración por parte del retardo de grupo del filtro pasa-bajas. En la Figura 2.8 se presenta la función de transferencia de la copia de corriente y el retardo de grupo del filtro pasa-bajas de la línea Gamma y el filtro pasa-todas de la línea Laguerre.



Capítulo 3

Multiplicador

La segunda etapa de procesamiento de señales en el FA es el multiplicador de la línea de retardo. El diseño de este bloque se debe orientar hacia el procesamiento de señales en modo corriente. Adicionalmente, debe proveer a los núcleos de la línea de retardo simetría en las cargas, de modo que las funciones de transferencia de cada una de sus señales de salida sea iguales, garantizando así la homogeneidad en los retardos de grupo.

3.1. Fundamentos

En 1968 Gilbert [22] presentó un multiplicador de cuatro cuadrantes con tiempos de respuesta por debajo del nanosegundo. Este multiplicador está basado en técnica de Cuadrado-cuarto presentada en 1956 por Korn *et al.* [23], que se describe en la ecuación (3.1). Aprovechando la relación cuadrática característica de los transistores *MOS* saturados en inversión fuerte, esta técnica puede ser directamente usada en tecnología *CMOS*.

$$xy = \frac{1}{4} \left[(x + y)^2 - (x - y)^2 \right] \quad (3.1)$$

Han *et al.* [24] recopilaron las posibles formas de multiplicación de señales a partir de transistores *MOS*. Dentro de esta recopilación, se incluyen los diagramas de multiplicación con elementos de multiplicación de un solo cuadrante, Figura 3.1(a), y de multiplicación con elementos de comportamiento cuadrático, Figura 3.1(b). Aún cuando estas dos formas de multiplicación se pueden diseñar en tecnología *CMOS*, la multiplicación de Cuadrado-cuarto implica la polarización de los transistores *MOS* en la región lineal de inversión fuerte. Dado que en esta región de trabajo la transconductancia de compuerta es menor a la del transistor saturado en inversión fuerte, y que el producto de ganancia-ancho de banda (*GBW*,

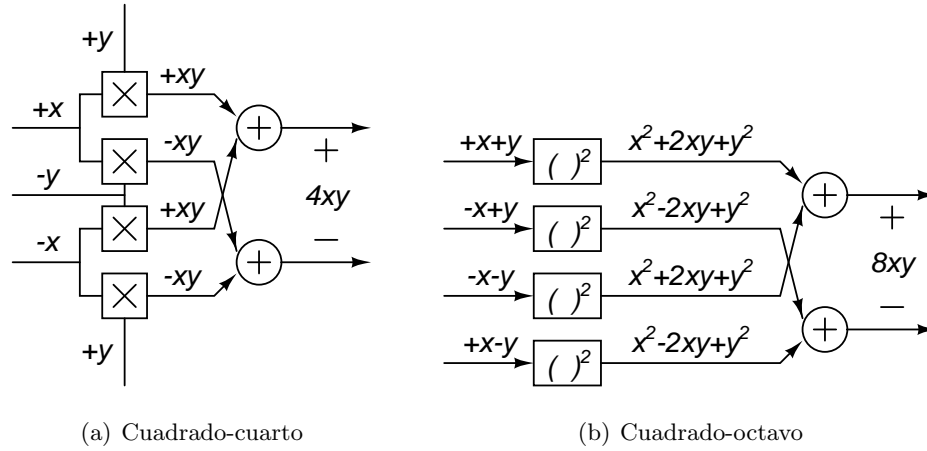


Figura 3.1: Arquitecturas básicas de multiplicación en cuatro cuadrantes. [24].

siglas en inglés de *gain band-width*) es proporcional a la transconductancia, se selecciona la multiplicación tipo Cuadrado-octavo.

$$xy = \frac{1}{8} \left[(x+y)^2 + (-x+y)^2 - (-x-y)^2 - (x-y)^2 \right] \quad (3.2)$$

La celda de Gilbert [22], permite que uno de los productos sea sensado en modo voltaje por medio de la compuerta de los transistores *MOS*, mientras que el otro producto se puede sensar en modo voltaje o corriente a través del nodo del surtidor de cada uno de los pares diferenciales de la celda, Figura 3.2. Así, la señal de alta frecuencia a procesar en modo corriente es sensada por los surtidores de la celda de Gilbert, mientras que el factor adaptativo en modo voltaje¹ y en CC, se sensa por las compuertas de la celda.

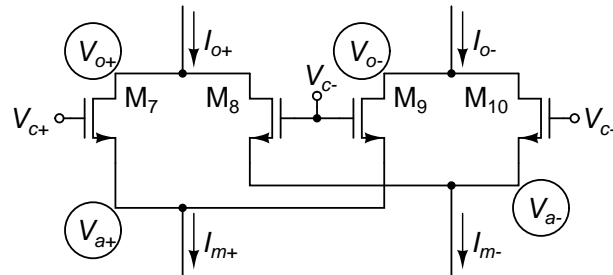


Figura 3.2: Núcleo de la celda de Gilbert con transistores *MOS*.

¹En la sección 4.5 se explica el uso de esta señal en modo voltaje.

3.2. Multiplicador de muy baja distorsión

Uno de los parámetros de desempeño en circuitos integrados es la distorsión. este parámetro es crítico en multiplicadores debido a que esta operación se obtiene aprovechando el carácter no lineal de los transistores *MOS*. En esta sección se presenta un multiplicador que reduce la distorsión a partir del uso de nodos de baja impedancia, de modo que se reduzcan los términos de orden superior no deseados en la ecuación de la corriente del transistor *MOS*.

3.2.1. Funcionamiento

En 1997, Díaz-Sánchez *et al.* presenta un multiplicador de baja distorsión [25], mostrado en la Figura 3.3. Este multiplicador se basa en el principio de la ley cuadrática, de modo que señales complementarias (I_{i+} y I_{i-}) son inyectadas en nodos de acoplamiento de corriente tipo señal+polarización. Estos nodos sensan la componente de polarización así como la componente de señal a procesar. Esta señal pasa a un nodo de muy baja impedancia por medio de un bloque con *bootstrapping*², formado por los transistores $M_{3,4}$ y $M_{5,6}$. De este modo se entregan las señales en modo voltaje por medio de nodos de muy baja impedancia (V_{a+} y V_{a-}) a sus respectivos pares diferenciales, transistores M_7 a M_{10} .

A través del bloque con *bootstrapping* se hace el sensado de la entrada en modo corriente. La entrada en modo voltaje (V_{c+} y V_{c-}) es sensado a través de las compuertas de los pares diferenciales. De este modo las corrientes de los transistores en los pares diferenciales están dadas por las ecuaciones (3.3)-(3.6), donde C_{ox} es la capacitancia del óxido de compuerta, μ_n es la movilidad del transistor *MOS* y S_i es la relación de aspecto del transistor i , dada por W_i/L_i , donde W_i y L_i son el ancho y largo, respectivamente.

$$I_{D7} = \frac{C_{ox}\mu_n}{2} S_7 (V_{c+} - V_{a+} - V_t)^2 \quad (3.3)$$

$$I_{D8} = \frac{C_{ox}\mu_n}{2} S_8 (V_{c-} - V_{a+} - V_t)^2 \quad (3.4)$$

$$I_{D9} = \frac{C_{ox}\mu_n}{2} S_9 (V_{c-} - V_{a-} - V_t)^2 \quad (3.5)$$

$$I_{D10} = \frac{C_{ox}\mu_n}{2} S_{10} (V_{c+} - V_{a-} - V_t)^2 \quad (3.6)$$

De acuerdo a la celda de Gilbert, los drenadores de los pares diferenciales son cruzados, y sus corrientes son sumadas en los transistores M_{11} y M_{12} , los cuales al mismo tiempo proveen de un nodo de baja impedancia en los drenadores de los pares diferenciales. Así, el conjunto

²Técnica que aprovecha las características de la realimentación para mejorar el desempeño de un circuito

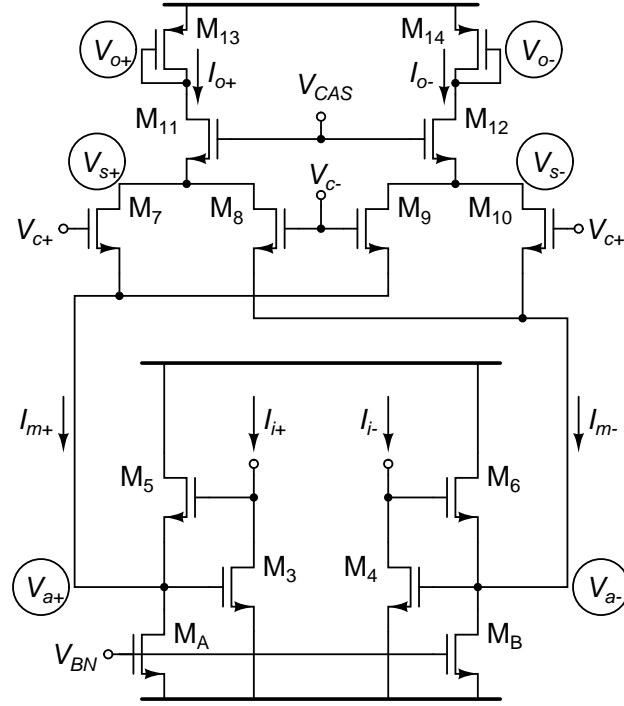


Figura 3.3: Esquema del multiplicador presentado por Díaz-Sánchez *et al.* [25].

del nodo de muy baja impedancia en los surtidores y el nodo de baja impedancia en los drenadores, reducen las variaciones del nodo V_{ds} en los pares diferenciales, permitiendo hacer la aproximación de Cuadrado-octavo de la ecuación (3.2). Las corrientes de los transistores M_{11} y M_{12} son restadas, obteniéndose la corriente de salida del multiplicador, ecuación (3.7). Esta ecuación se puede reescribir usando las corrientes de entrada, ecuación (3.8), donde A está dada por (3.9).

$$I_{out} = I_{o+} - I_{o-} = \frac{C_{ox}\mu_n}{2} \frac{W}{L} (V_{c+} - V_{c-}) (V_{a+} - V_{a-}) \quad (3.7)$$

$$I_{out} = I_{o+} - I_{o-} = \frac{C_{ox}\mu_n}{2} \frac{W}{L} (V_{c+} - V_{c-}) A (I_{i+} - I_{i-}) \quad (3.8)$$

$$A = \frac{g_{m5}}{g_{ds3} (g_{m(7,9)} + g_{mbs(5,7,9)} + g_{ds(5,A,7,9)})}. \quad (3.9)$$

3.2.2. Análisis matemático

Una vez explicado el funcionamiento del multiplicador presentado por Díaz-Sánchez *et al.* [25] se hace el análisis en pequeña señal. Debido a que en los FAs los factores adaptativos son señales de baja frecuencia (ver sección 4.5) se supone que $V_c = V_{c+} - V_{c-}$ es constante

y diferente de cero. Adicionalmente, para simplificar el análisis del multiplicador, este es dividido en tres bloques: sensado de corriente, suma de las corrientes de salida y núcleo del multiplicador.

Bloque de sensado de corriente

Primero se extrae el modelo en pequeña señal del bloque de sensado de la corriente, presentado en la Figura 3.4. A partir de este modelo se calcula la función de transferencia del bloque y la admitancia de salida. Por tener este bloque un lazo de *bootstrapping*, se hace el análisis con técnicas de circuitos realimentados. La admitancia de entrada en lazo abierto se presenta en la ecuación (3.10), donde la ganancia de transimpedancia en lazo abierto está dada por la ecuación (3.11) y la admitancia de salida en lazo abierto está dada por la ecuación (3.12). En la ecuación (3.13) se presenta el polinomio característico del bloque.

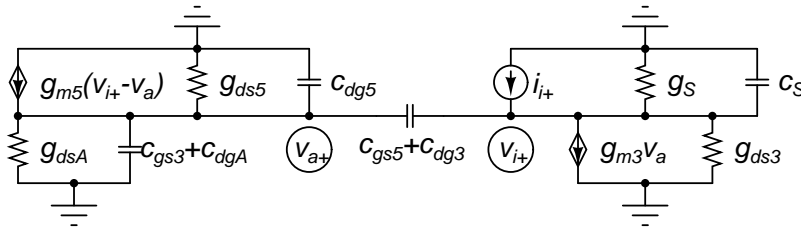


Figura 3.4: Modelo en pequeña señal del sensado de corriente del multiplicador de la Figura 3.3.

$$Y_{i,OL}(s) = g_S + g_{ds3} + s(c_{gs5} + c_{dg3} + c_S) \quad (3.10)$$

$$Z_{m,OL}(s) = \frac{g_{m5}}{D_{BS}(s)} \quad (3.11)$$

$$Y_{o,OL}(s) = g_{m5} + g_{ds5} + g_{dsA} + s(c_{gs3} + c_{gs5} + c_{dg3} + c_{dgA}) \quad (3.12)$$

$$D_{BS}(s) = Y_{i,OL}(s)Y_{o,OL}(s)|_{s=0} \approx g_{m5}(g_S + g_{ds3}) \quad (3.13)$$

Estas tres expresiones son modificadas por la ganancia en lazo abierto del bloque, ecuación (3.14). De este modo la admitancia de entrada, la ganancia de transimpedancia y la admitancia de salida en lazo cerrado están dadas por las ecuaciones (3.15), (3.16) y (3.17).

$$A\beta(s) = -\frac{g_{m3}g_{m5}}{D_{BS}(s)} \quad (3.14)$$

$$Y_{i,CL}(s) = Y_{i,OL}(s)(1 + |A\beta(s)|) = \frac{g_{m3}g_{m5} + D_{BS}(s)}{Y_{o,OL}(s)} \quad (3.15)$$

$$\approx g_{m3} + s(c_{gs3} + c_{gs5})$$



$$Z_{m,CL}(s) = \frac{Z_{m,OL}(s)}{1 + |A\beta(s)|} = \frac{g_{m5}}{g_{m3}g_{m5} + D_{BS}(s)} \quad (3.16)$$

$$\approx \frac{1}{g_{m3} + s(c_{gs3} + c_{gs5})}$$

$$Y_{o,CL}(s) = Y_{o,OL}(s) (1 + |A\beta(s)|) = \frac{g_{m3}g_{m5} + D_{BS}(s)}{Y_{i,OL}(s)} \quad (3.17)$$

$$\approx \frac{g_{m3}g_{m5}}{g_S + g_{ds3}} + s(c_{gs3} + c_{gs5})$$

Suma de corrientes

Se extrae el modelo en pequeña señal del bloque que suma la corriente de salida, Figura 3.5, para el cual se calcula la admitancia de salida. Esta admitancia está dada por la ecuación (3.18), obtenida al resolverse el sistema de ecuaciones de este bloque.

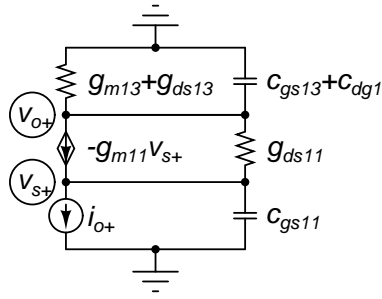


Figura 3.5: Modelo en pequeña señal de la suma de la corriente de salida del multiplicador de la Figura 3.3.

$$Y_{o,Sum}(s) = \frac{(g_{m11} + g_{ds11} + s c_{gs11})(g_{m13} + g_{ds13} + s(c_{gs13} + c_{dg11})) + g_{ds11} s c_{gs11}}{g_{m13} + g_{ds13}} \quad (3.18)$$

$$\approx g_{m11} + s c_{gs11}$$

Núcleo del multiplicador

Una vez obtenidas las admitancias de salida de los bloques de sensado de corriente de entrada y de suma de la corriente de salida, se evalúa su efecto en el multiplicador. Esta evaluación se hace sobre la distorsión del producto y la función de transferencia del multiplicador. Para evaluar la distorsión se usa las ecuaciones (3.19) y (3.20), obtenidas en la sección B.2, donde se reemplazan las admitancias de carga por las aproximaciones hechas en las ecuaciones (3.17) y (3.18), y donde $Y_{Par} = g_{m,Par} + s c_{gs,Par} + g_{ds,Par}$. En los voltajes $v_{s,a}$ se observa que a incrementos de las admitancias de carga el numerador crece a una menor razón que el

denominador. De este modo la alta admitancia de salida del bloque de sensado de corriente ayuda a reducir la distorsión del multiplicador.

$$v_{s+,a\pm} \approx v_m \frac{\frac{g_{m3}g_{m5}}{g_S+g_{ds3}} (g_{m7} - g_{m8} \mp (g_{m11} + sC_{gs11} + 2g_{ds,Par}))}{(g_{m11} + sC_{gs11} + 2g_{ds,Par}) \left(\frac{g_{m3}g_{m5}}{g_S+g_{ds3}} + sC_{gs3,5} + 4Y_{Par} \right)} \quad (3.19)$$

$$v_{s-,a\pm} \approx v_m \frac{\frac{g_{m4}g_{m6}}{g_S+g_{ds4}} (g_{m9} - g_{m10} \mp (g_{m12} + sC_{gs12} + 2g_{ds,Par}))}{(g_{m12} + sC_{gs12} + 2g_{ds,Par}) \left(\frac{g_{m4}g_{m6}}{g_S+g_{ds4}} + sC_{gs4,6} + 4Y_{Par} \right)} \quad (3.20)$$

De igual forma se hace la evaluación de la función de transferencia. Usando la ecuación (3.21), obtenida en la sección B.3, y reemplazando en ella las aproximaciones de las ecuaciones (3.17) y (3.18) se obtiene las funciones de transferencia del multiplicador con sensado de voltaje, ecuaciones (3.21) y (3.22).

$$H_{io+,vm}(s) \approx \frac{\frac{g_{m3}g_{m5}}{g_S+g_{ds3}} (g_{m7} - g_{m8}) (g_{m11} + sC_{gs11})}{(g_{m11} + sC_{gs11} + 2g_{ds,Par}) \left(\frac{g_{m3}g_{m5}}{g_S+g_{ds3}} + sC_{gs3,5} + 4Y_{Par} \right)} \quad (3.21)$$

$$H_{io-,vm}(s) \approx \frac{\frac{g_{m4}g_{m6}}{g_S+g_{ds4}} (g_{m9} - g_{m10}) (g_{m12} + sC_{gs12})}{(g_{m12} + sC_{gs12} + 2g_{ds,Par}) \left(\frac{g_{m4}g_{m6}}{g_S+g_{ds4}} + sC_{gs4,6} + 4Y_{Par} \right)} \quad (3.22)$$

3.3. Multiplicador de alta frecuencia

El multiplicador presentado en la sección 3.2 permite reducir la distorsión debido a la modulación de canal. Sin embargo, el lazo de *bootstrapping* implica el uso de un nodo de baja conductancia, estableciendo el polo dominante de baja frecuencia. Con el fin de mejorar la respuesta en frecuencia del multiplicador, se modifica el sensado de corriente de Polarización+señal, como el de la Figura 3.3, por un nodo de acoplamiento de Solo-señal. En este tipo de nodos los circuitos de fuente y de sensado tienen su propia polarización, de modo que solo la componente de señal a procesar es transmitida de un bloque a otro. en esta sección se presenta un multiplicador que usa este tipo de acople para sensar la corriente desde la línea de retardo.

3.3.1. Fundamentos

Además del polo de baja conductancia introducido por el *bootstrapping* usado en el multiplicador de la Figura 3.3, este sensado modifica la copia obtenida de la línea de retardo. Cada uno de los núcleos de la línea de retardo debe entregar tres señales, las cuales deben ser iguales. Debido a que entre núcleos se sensa la señal con acoples tipo Solo-señal, como en la



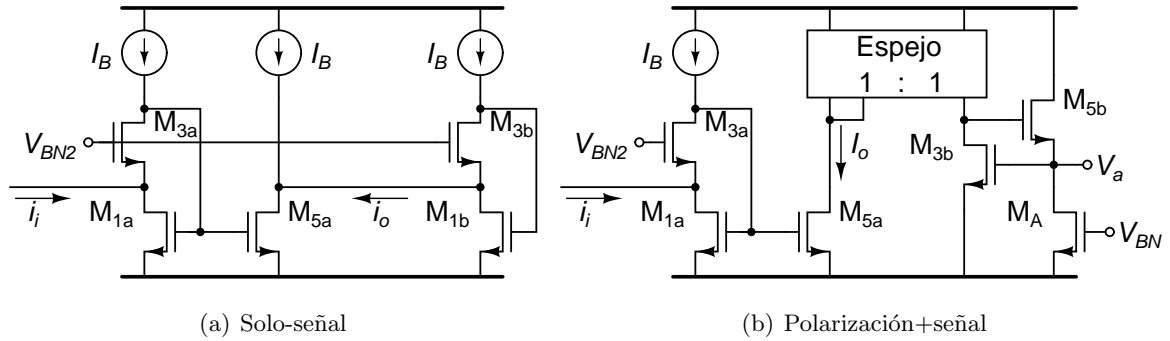


Figura 3.6: Formas de sensado de la señal.

figura 3.6(a), la copia de esta corriente es 1:1, pues se elimina el efecto de la modulación de canal del transistor de salida. Si se usa un acople Polarización+señal, mostrado en la figura 3.6(b), en alguna de las ramas, la señal sensada difiere tanto por la modulación de canal del transistor de salida como por el retardo de grupo por la conductancia del nodo de sensado. Usando la ecuación (A.12) se puede observar este efecto, la conductancia de carga g_L para el acople Polarización+señal es aproximadamente g_m , mientras que para el acople Solo-señal es aproximadamente g_m^2/g_{ds} .

Las señales de salida del multiplicador están siendo sensadas por transistores en configuración de diodo. Usando la técnica de lazo abierto para calcular las constantes de tiempo de los nodos, como explica Lee en [26, sec. 8.2], el nodo debido a estos transistores sería dominante. Esto se debe a que la conductancia de sensado de este transistor está dada por la g_m , la cual para transistores *PMOS* es baja debido a la movilidad del canal. Esto implica además, que para una corriente dada, las dimensiones de un transistor *PMOS* son mayores a las del transistor *NMOS*. Combinando estos dos factores se obtiene la ecuación (3.23), donde μ_i es la movilidad del canal, S_i es la relación de aspecto del transistor, $g_{m,i}$ es la transconductancia de compuerta y L es la longitud de canal, y el subíndice i indica el tipo de transistor: n y p para los transistores *NMOS* y *PMOS* respectivamente. El polo de un transistor *NMOS* a un transistor *PMOS* se ve reducido por la relación cuadrática de movilidades presentada en el último miembro de la ecuación (3.23), que para el proceso *CMOS* de 180 nm de *UMC* es aproximadamente 0,13.

$$\omega_{Diodo-PMOS} \approx \frac{g_{m,p}}{c_{ox} S_p L^2} \approx \frac{g_{m,n} \frac{\mu_p}{\mu_n}}{c_{ox} \frac{\mu_n}{\mu_p} S_n L^2} = \left(\frac{\mu_p}{\mu_n} \right)^2 \frac{g_{m,n}}{c_{ox} S_n L^2} \quad (3.23)$$

Adicionalmente, una vez las señales salen del núcleo del multiplicador, deben pasar por dos nodos, el de suma sobre los surtidores de los transistores M_{11} y M_{12} , y el de sensado de los

transistores M_{13} y M_{14} . De acuerdo a la técnica de lazo abierto para calcular las constantes de tiempo, cada nodo que esté en el camino de señal agrega una constante de tiempo, lo cual implica que se reduce el ancho de banda. Por otro lado, todos los elementos tienen un retardo de grupo inherente, aumentando la latencia propia del multiplicador. Con el fin de reducir estas dos variables se propone reemplazar estos transistores por un *FVFC*S. Este bloque establece un nodo de baja impedancia a la salida del núcleo del multiplicador, mejorando la suma de las corrientes y reduciendo la constante de tiempo agregada por la suma y sensado de estas corrientes.

3.3.2. Análisis matemático

En la Figura 3.7 se presenta el multiplicador con las modificaciones propuestas. El núcleo del multiplicador sensa la señal a procesar en modo corriente, aprovechando la versatilidad de la celda de Gilbert en el sensado por el surtidor de los pares diferenciales cruzados. Al igual que en la sección anterior, se divide el análisis en tres partes: sensado de corriente, suma de corriente y núcleo del multiplicador.

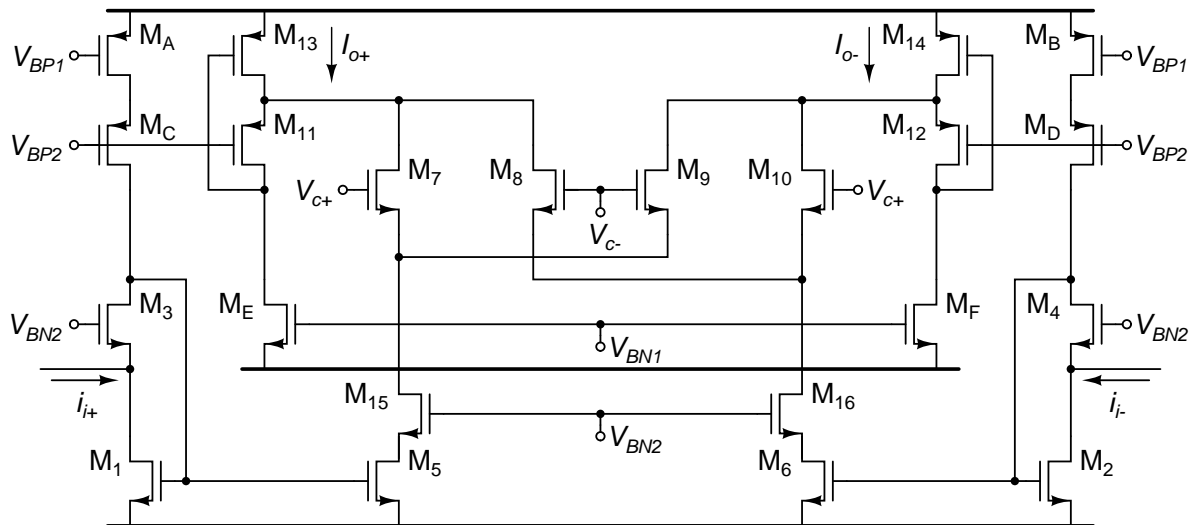


Figura 3.7: Multiplicador con sensado de corriente tipo Solo-senal.

Sensado de corriente

El sensado de corriente se hace por medio de un *FVFC*S, analizado en el apéndice A. La corriente de salida de este bloque está dado por la ecuación (A.12). Para este multiplicador se hacen las siguientes aproximaciones: dado que la copia es 1:1 se cumple $g_{m5} = g_{m1}$,

$c_{gs5} = c_{gs1}$ y $g_{ds5} = g_{ds1}$; la fuente de polarización es el multiplicador por ser un acople Polarización+señal, por lo tanto $g_B = 0$ y g_L es reemplazada por la admitancia de entrada del núcleo del multiplicador, y la fuente de señal de corriente es un transistor igual a M_1 ($g_S = g_{ds1}$). De este modo la ecuación (3.24) describe la función de transferencia del bloque de sensado. La admitancia de salida de este bloque está dada por la ecuación (3.25).

$$\begin{aligned} \frac{i_o}{i_i} &= \frac{g_{m1}(g_{m3} + g_{ds3})}{g_{m1}(g_{m3} + g_{ds3}) + g_{m3}(2g_{ds3} + 2sc_{gs1,5}) + g_{ds1}(g_{ds3} + 2sc_{gs1})} \\ &\approx \frac{g_{m1}(g_{m3} + g_{ds3})}{g_{m1}(g_{m3} + g_{ds3}) + g_{m3}(2g_{ds3} + sc_{gs1,5})} \\ &\approx \frac{g_{m1}}{g_{m1} + sc_{gs1,5}} \end{aligned} \quad (3.24)$$

$$Y_o = g_{ds1} + sc_{db5} \quad (3.25)$$

Suma de corrientes

La suma de corrientes se efectúa sobre el nodo de entrada del *FVFC*S, dado que es de alta admitancia. Este nodo está dado por la ecuación (A.8), la cual se adapta al circuito de la Figura 3.7. En esta adaptación se toma en cuenta el efecto de la capacitancia del transistor que copia la corriente hacia la salida del multiplicador.

$$Y_{i,CL} \approx \frac{g_{m13}(g_{m11} + sc_{gs11})}{g_{dsE} + 2sc_{gs13}} \quad (3.26)$$

Núcleo del multiplicador

Calculadas las admitancias de cargas por los bloques de sensado y suma de corriente, así como la función de transferencia del bloque de sensado de corrientes, se obtienen las expresiones analíticas de la distorsión y la función de transferencia del multiplicador. Dado que en este caso se evalúa el multiplicador con sensado de corriente por los surtidores de su núcleo, se usan las expresiones de distorsión obtenidas en la sección B.2. En estas ecuaciones se aproxima el polinomio $D_{Par}(s)$ como en la sección 3.2. Para reducir la distorsión en con este modo de sensado se debe aumentar la admitancia de la suma de corrientes a la salida así como la admitancia Y_{Par} del núcleo del multiplicador.

$$v_{s+,a\pm} = i_m \frac{g_{m7} - g_{m8} \mp \left(\frac{g_{m13}(g_{m11} + sc_{gs11})}{g_{dsE} + 2sc_{gs13}} + 2g_{ds,Par} \right)}{\left(\frac{g_{m13}(g_{m11} + sc_{gs11})}{g_{dsE} + 2sc_{gs13}} + 2g_{ds,Par} \right) (g_{ds1} + sc_{dg5} + 4Y_{Par})} \quad (3.27)$$

$$v_{s-,a\pm} = i_m \frac{g_{m8} - g_{m10} \mp \left(\frac{g_{m14}(g_{m12} + s c_{gs12})}{g_{dsF} + 2s c_{gs14}} + 2g_{ds,Par} \right)}{\left(\frac{g_{m14}(g_{m12} + s c_{gs12})}{g_{dsF} + 2s c_{gs14}} + 2g_{ds,Par} \right) (g_{ds2} + s c_{dg6} + 4Y_{Par})} \quad (3.28)$$

De igual forma se evalúa la función de transferencia. Usando la ecuación (B.24), y reemplazando las aproximaciones de las ecuaciones (3.24) y (3.25) se obtiene las funciones de transferencia del multiplicador con sensado de corriente, ecuaciones (3.29) y (3.30).

$$H_{io+,im}(s) = \frac{(g_{ds1} + s c_{dg5})(g_{m7} - g_{m8})}{\left(\frac{g_{m13}(g_{m11} + s c_{gs11})}{g_{dsE} + 2s c_{gs13}} + 2g_{ds,Par} \right) (g_{ds1} + s c_{dg5} + 4Y_{Par})} \quad (3.29)$$

$$H_{io-,im}(s) = \frac{(g_{ds2} + s c_{dg6})(g_{m8} - g_{m10})}{\left(\frac{g_{m14}(g_{m12} + s c_{gs12})}{g_{dsF} + 2s c_{gs14}} + 2g_{ds,Par} \right) (g_{ds2} + s c_{dg6} + 4Y_{Par})} \quad (3.30)$$

3.4. Comparativa

Se han desarrollado las expresiones teniendo en cuenta el tipo de sensado de señal en el núcleo del multiplicador. Sin embargo, para poder comparar los dos multiplicadores, es necesario modificar las expresiones, teniendo en cuenta que ambos multiplicadores sensan señales en modo corriente. De este modo se agrega la función de transferencia de los bloques de sensado de señal. En el caso del multiplicador de baja distorsión, Figura 3.3, el sensado de corriente incluye el circuito de la Figura 3.8. Aún cuando este circuito es semejante al de sensado de corriente del multiplicador de alta frecuencia, la señal copiada debe ser entregada al multiplicador de baja distorsión a través de un espejo de corriente *PMOS*. La respuesta en frecuencia del espejo de la Figura 3.8 se presenta en la ecuación (3.31). En esta ecuación se supone que la copia de corriente en el *FVFCS* es 1:1. Así, y teniendo en cuenta que la movilidad de los transistores *PMOS* es menor a la de los transistores *NMOS*, se hace la aproximación de la función de transferencia presentada. En el espejo con transistores *PMOS* la copia se supone como 1:1, pero su representación en la ecuación no es simplificada para poder presentar su efecto en la ubicación de los polos del multiplicador de baja distorsión.

$$H_{Espejo}(s) = \frac{g_{m5A}(g_{m3A} + g_{ds3A})}{g_{m1A}(g_{m3A} + g_{ds3A}) + g_{m3A} [2g_{ds3A} + s(c_{gs1A} + c_{gs5A} + c_{gs7A}) + g_{m7A}] \dots} \frac{+g_S [g_{ds3A} + s(c_{gs1A} + c_{gs5A} + c_{gs7A}) + g_{m7A}]}{g_{m11A}} \frac{g_{m3} + s(c_{gs3} + c_{gs5})}{g_{m9A} + g_{ds11A} + s(c_{gs9A} + c_{gs11A})} \frac{g_{ds11A} + g_{m3} + s(c_{gs3} + c_{gs5})}{g_{m11A}} \approx \frac{g_{m11A}}{g_{m9A} + g_{ds11A} + s(c_{gs9A} + c_{gs11A})} \quad (3.31)$$



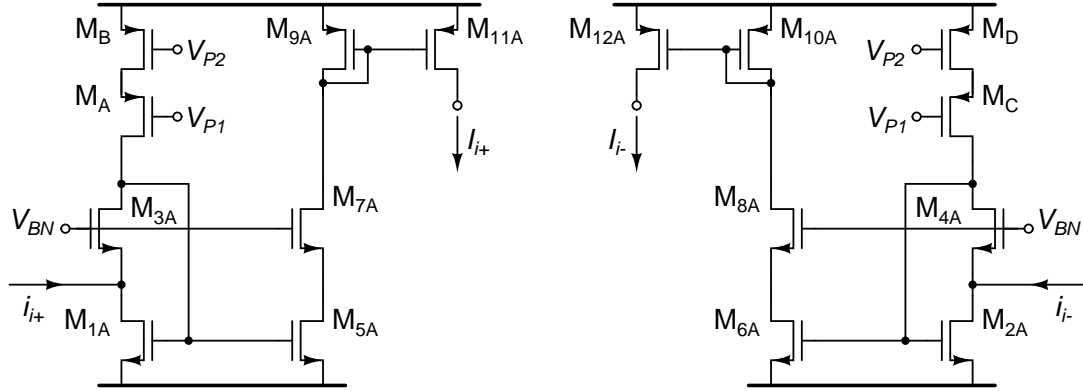


Figura 3.8: Esquema del bloque de sensado de señal para el multiplicador de baja distorsión de la Figura 3.3

En el multiplicador de muy baja distorsión se sensa la corriente de entrada por medio del espejo de la Figura 3.8 y el bloque con *bootstrapping*. La función de transferencia de estos bloques está dada por la copia de corriente del espejo, ecuación (3.31), y la transimpedancia de la ecuación (3.16). Es así como se obtienen las expresiones de las ecuaciones (3.32) y (3.33).

$$H_{i_{o+},i_i}(s) \approx \frac{\frac{g_{m3}g_{m5}}{g_{ds11A}+g_{ds3}}(g_{m7}-g_{m8})(g_{m11}+sC_{gs11})}{(g_{m11}+sC_{gs11}+2g_{ds,Par})\left(\frac{g_{m3}g_{m5}}{g_{ds11A}+g_{ds3}}+sC_{gs3,5}+4Y_{Par}\right)(g_{m3}+sC_{gs3,5})} \frac{g_{m11A}}{g_{m9A}+g_{ds11A}+s(C_{gs9A}+C_{gs11A})} \quad (3.32)$$

$$H_{i_{o-},i_i}(s) \approx \frac{\frac{g_{m4}g_{m6}}{g_{ds11A}+g_{ds4}}(g_{m9}-g_{m10})(g_{m12}+sC_{gs12})}{(g_{m12}+sC_{gs12}+2g_{ds,Par})\left(\frac{g_{m4}g_{m6}}{g_{ds11A}+g_{ds4}}+sC_{gs4,6}+4Y_{Par}\right)(g_{m4}+sC_{gs4,6})} \frac{g_{m12A}}{g_{m10A}+g_{ds12A}+s(C_{gs10A}+C_{gs12A})} \quad (3.33)$$

En el multiplicador de alta frecuencia se sensa la corriente de entrada por medio de un *FVFCs*. La función de transferencia del *FVFCs* está dada por la ecuación (3.24). De este modo se obtiene las ecuaciones (3.34) y (3.35). Se debe resaltar que al agregar la función de transferencia de los circuitos de sensado de la señal de entrada en los dos multiplicadores, en el multiplicador de baja-distorsión se tiene un polo más que en el multiplicador de alta frecuencia.

$$H_{i_{o+},i_i}(s) = \frac{(g_{ds1}+sC_{dg5})(g_{m7}-g_{m8})g_{m5}}{\left(\frac{g_{m13}(g_{m11}+sC_{gs11})}{g_{dsE}+2sC_{gs13}}+2g_{ds,Par}\right)(g_{ds1}+sC_{dg5}+4Y_{Par})(g_{m1}+sC_{gs1,5})} \quad (3.34)$$

$$H_{io-,ii}(s) = \frac{(g_{ds2} + sC_{dg6})(g_{m8} - g_{m10})g_{m6}}{\left(\frac{g_{m14}(g_{m12} + sC_{gs12})}{g_{dsF} + 2sC_{gs14}} + 2g_{ds,Par}\right)(g_{ds2} + sC_{dg6} + 4Y_{Par})(g_{m2} + sC_{gs2,6})} \quad (3.35)$$

En las ecuaciones (3.36) y (3.37) se presenta de forma descendente los polos de las ecuaciones (3.32) y (3.34) respectivamente. Suponiendo que las transconductancias de compuerta y las capacitancias compuerta-surtidor son semejantes, los primeros tres polos del multiplicador de baja distorsión son comparables con los tres polos del multiplicador de alta frecuencia. Sin embargo, el polo adicional del multiplicador de baja distorsión está dado por transistores *PMOS*. Remitiéndose a la ecuación (3.23), este polo está ubicado aproximadamente una década antes de los polos del resto del multiplicador.

$$\begin{aligned} j\omega &= -\frac{\frac{g_{m3}g_{m5}}{g_S + g_{ds3}} + 4g_{m,Par}}{C_{gs3,5} + 4C_{gs,Par}} \\ j\omega &\approx -\frac{g_{m11}}{C_{gs11}} \\ j\omega &= -\frac{g_{m3}}{C_{gs3,5}} \\ j\omega &\approx -\frac{g_{m9A}}{C_{gs9A} + C_{gs11A}} \end{aligned} \quad (3.36)$$

$$\begin{aligned} j\omega &= -\frac{4g_{m,Par} + g_{ds1}}{C_{dg5} + 4C_{gs,Par}} \approx -\frac{g_{m,Par}}{C_{gs,Par}} \\ j\omega &\approx -\frac{g_{m11}}{C_{gs11}} \\ j\omega &= -\frac{g_{m1}}{C_{gs1,5}} \end{aligned} \quad (3.37)$$

Capítulo 4

Bloques adicionales

En los capítulos anteriores se presentaron los bloques de alta frecuencia del FA. Para completar el lazo directo entre la señal de entrada y la señal de salida del sistema, se debe diseñar el bloque de sensado de la señal de entrada del FA. Además del lazo directo, se debe diseñar el estimador, el cual se encarga de calcular los pesos adaptativos del FA.

Para evaluar los bloques diseñados con facilidad se seleccionó el algoritmo *LMS*. Este algoritmo fue propuesto por Widrow en 1968 y ha sido uno de los más usados en el diseño de FAs. En la Figura 4.1 se presenta el diagrama básico del algoritmo *LMS*. En la entrada se tiene la señal de salida del FA ($Y(s)$) y la señal de referencia ($D(s)$). Estas señales son restadas y el error obtenido ($E(s)$) se integra. Así, el error E , en corriente continua (CC) se multiplica por cada una de las señales de salida de la línea de retardo ($X_i(s)$), de este modo se obtiene el error para cada una de las etapas de la línea de retardo. Finalmente, la señal de salida del multiplicador ($EX_i(s)$) se integra, obteniéndose el peso adaptativo de la etapa i ($g_{n,i}$) que va a su respectivo multiplicador en la línea de retardo.

En este capítulo se presenta el diseño del bloque de sensado de la señal de entrada al FA, así como cada uno de los bloques que participan en el diagrama de la Figura 4.1. En el diseño de estos bloques se debe buscar la menor latencia así como las características de carga en los núcleos de la línea de retardo.

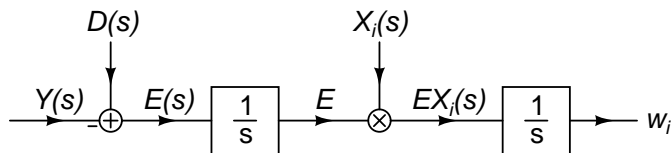


Figura 4.1: Diagrama del estimador para el algoritmo *LMS*.

4.1. Conversor $V \rightarrow i_{\pm}$

¹Las señales de la línea de retardo diseñada en el capítulo 2 deben tener retardos de grupo homogéneos. Para esto todas deben presentar la misma función de transferencia. Con este fin, en la línea de retardo se debe garantizar que todas las entradas a los núcleos sean iguales, y todas las salidas de los núcleos sean iguales. Esta consideración es de especial cuidado en el primer y último bloque de la línea de retardo. El conversor $V \rightarrow i_{\pm}$ sensa la señal de entrada al FA en modo voltaje ($V + v$) y entrega la corriente en modo diferencial (i_{\pm}), cada una de las fases de esta corriente pasa por su respectiva línea de retardo.

Con el fin de proveer de simetría al primer núcleo de la línea de retardo se usa el *FVF* en el conversor $V \rightarrow i_{\pm}$. En la Figura 4.2 se presenta el esquema del conversor $V \rightarrow i_{\pm}$. La señal de entrada del FA es sensada por el transistor M_1 , el cual convierte el voltaje en corriente a través de la transconductancia de compuerta. Si los transistores pares son iguales a sus contrapartes impares, y estos a su vez a los transistores de los núcleos de la línea de retardo, se logra la homogeneidad en los retardos de grupo de la línea.

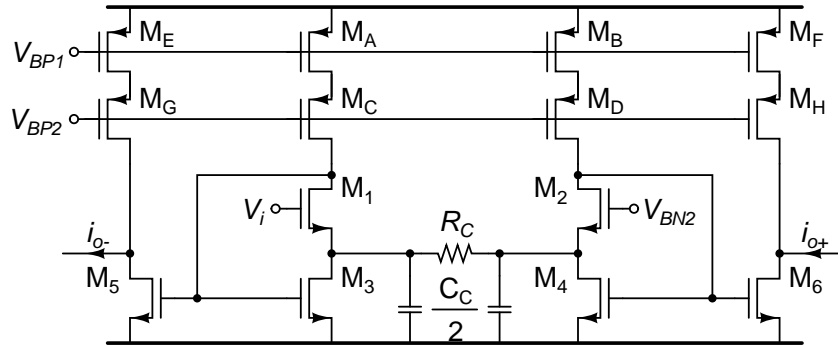
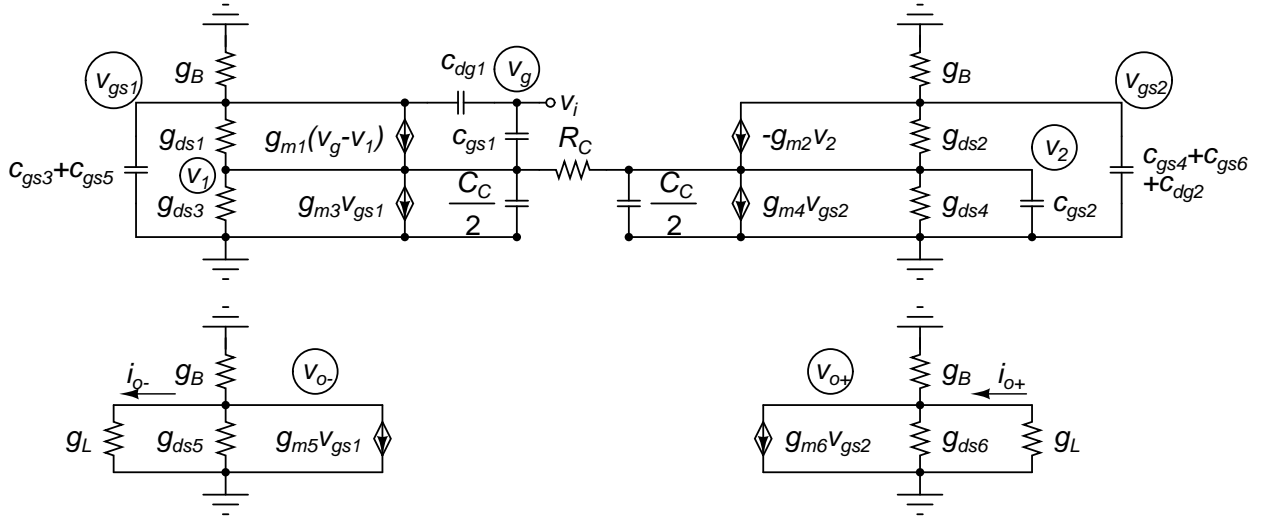


Figura 4.2: Esquema del conversor $V \rightarrow i_{\pm}$.

En la Figura 4.3 se presenta el esquema en pequeña señal del conversor $V \rightarrow i_{\pm}$. Se puede observar la diferencia entre los dos bloques de *FVFC*S debido a la inyección de señal en modo voltaje. Para poder observar el efecto de R_C y C_C sobre la contrafase entre las señales se resuelve el sistema de ecuaciones suponiendo que $g_{ds} = 0$, que los transistores del bloque de la derecha son iguales a los de la izquierda, que la copia de la corriente en los *FVFC*S es 1:1, que las admitancias de polarización de corriente $g_B = 0$ y que se cumple $S_1 = 2S_3$, condición usada en el apéndice A. Bajo estas condiciones se obtienen las ecuaciones (4.1) y (4.2). En estas ecuaciones se separa los términos influidos por R_C y C_C .

¹Se establece $V \rightarrow i_{\pm}$ como la abreviatura de la conversión de voltaje sencillo señal+polarización hacia corriente diferencial solo-señal

Figura 4.3: Esquema en pequeña señal del conversor $V \rightarrow i_{\pm}$.

$$i_{o+,vi} \approx \frac{g_m^2 (g_m (2g_m + s(c_{dg1} + 4c_{gs})) + 2s^2 c_{gs} (c_{dg1} + 2c_{gs}))}{2g_m s (c_{dg1} + 2c_{gs}) (g_m + s(c_{dg1} + 2c_{gs}))} \dots$$

$$\frac{g_m^2 R_C (2g_m^2 + s(4g_m + s(C_C + 2c_{dg1} + 8c_{gs})) (c_{dg1} + 2c_{gs}))}{g_m^2 R_C (2g_m^2 + s(4g_m + s(C_C + 2c_{dg1} + 8c_{gs})) (c_{dg1} + 2c_{gs}))} \quad (4.1)$$

$$i_{o-,vi} \approx -\frac{2g_m^2 (g_m (2g_m + s(c_{dg1} + 4c_{gs})) + s^2 (C_C - 2c_{dg1} + 2c_{gs}) (c_{dg1} + 2c_{gs}))}{4g_m s (c_{dg1} + 2c_{gs}) (g_m + s(c_{dg1} + 2c_{gs}))} \dots$$

$$\frac{g_m^3 R_C s (-4c_{dg1} (g_m + s(c_{dg1} + 3c_{gs})) + C_C (2g_m + s(c_{dg1} + 4c_{gs})))}{2g_m^2 R_C (2g_m^2 + s(4g_m + s(C_C + 2c_{dg1} + 8c_{gs})) (c_{dg1} + 2c_{gs}))} \quad (4.2)$$

Para la selección de R_C y C_C se evalúa los ceros de las ecuaciones (4.1) y (4.2). En la ecuación (4.3) se presentan los ceros de las ecuaciones (4.1) y (4.2), obtenido suponiendo que $C_C = 2c_{dg1}$ y $R_C = 0$. Debido a que (4.1) y (4.2) tienen el mismo denominador, si $R_C = 0$ los polos también son iguales en ambas corrientes, mostrados en la ecuación (4.4). Para que los ceros sean iguales ($C_C = 2c_{dg1}$) se puede aprovechar las capacitancias parásitas c_{db} y c_{sb} del nodo de alta admitancia del *FVFCs*, de esta forma se garantiza la contrafase de las señales de salida.

$$j\omega_z \approx -\frac{g_m}{4c_{gs}} \cdot \frac{c_{dg1} + 4c_{gs} \pm j\sqrt{-c_{dg1}^2 + 8c_{gs}(c_{dg1} + 2c_{gs})}}{c_{dg1} + 2c_{gs}} \quad (4.3)$$

$$j\omega_p \approx -\frac{g_m}{2(c_{dg1} + 2c_{gs})} \cdot \frac{c_{dg1} + 2c_{gs} \pm j(c_{dg1} + 2c_{gs})}{c_{dg1} + 2c_{gs}} \quad (4.4)$$

4.2. Sumador-restador de corrientes

Para completar el lazo directo de señal de la entrada y la salida del FA se debe procesar las señales entregadas por los multiplicadores. Para esto, primero se suman las señales correspondientes a cada una de las líneas de retardo. Posteriormente se debe restar las señales en contrafase. En la Figura 4.4 se presenta el principio de resta de corrientes, basado en la ley de corrientes de Kirchoff.

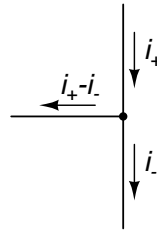


Figura 4.4: Esquema de resta de corrientes en un nodo.

En la Figura 4.5 se presenta el esquema de un sumador-restador de corrientes, el cual usa el principio de resta de corrientes de la Figura 4.4 y usa el nodo de entrada de muy alta ² admitancia del *FVFC*S para la suma. En este circuito el *FVFC*S de los transistores M_1 , M_3 y M_5 suman las señales entregadas en fase por los multiplicadores. La señal sumada e invertida es copiada por los transistores *PMOS* M_9, M_{11} hacia $M_{13}-M_{17}$ y $M_{15}-M_{19}$. De la misma forma, las señales entregadas en contrafase por los multiplicadores son sumadas en el nodo de alta admitancia del *FVFC*S formado por los transistores M_2 y M_4 . Esta suma es copiada por

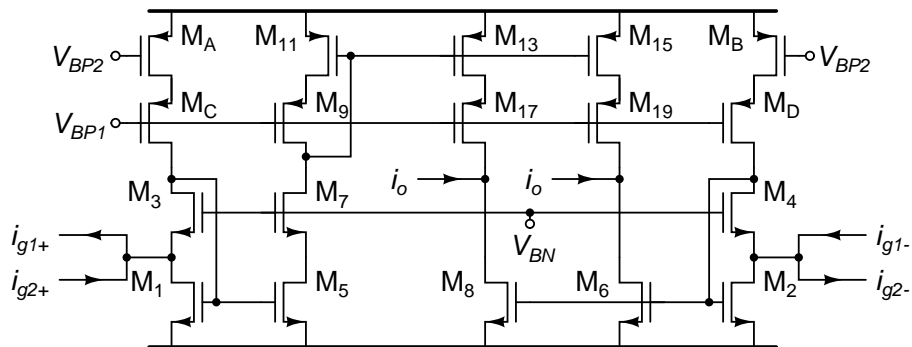


Figura 4.5: Esquema del sumador-restador de corrientes de baja frecuencia.

²En este documento se usa "muy alta admitancia" para referirse a admitancias comparables con una transconductancia multiplicada por la ganancia intrínseca del transistor.

los transistores M_6 y M_8 . De esta forma llevan las corrientes a los nodos de resta, donde se obtienen las corrientes de salida del sumador-restador.

En el sumador-restador de la Figura 4.5 la señal procesada pasa por transistores *PMOS*. Debido a la menor movilidad de estos transistores su polo está alrededor de una década por debajo del correspondiente al de un sistema con transistores *NMOS*, como se presentó en la ecuación (3.23). Si se desea una copia 1:1 sin sacrificar el ancho de banda, se debe hacer la resta de señales usando solamente transistores *NMOS*. En la Figura 4.6 se presenta el esquema del circuito encargado de este procesamiento.

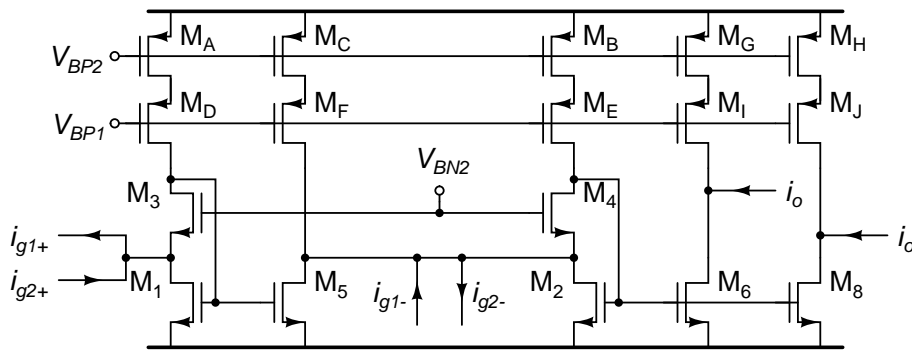


Figura 4.6: Esquema del sumador-restador de corrientes.

Para obtener la diferencia entre las señales sumadas, se usa la propiedad de inversión de corriente del *FVFCs*. De este modo el inversor de corriente de los transistores M_1 , M_3 y M_5 suman e invierten las señales provenientes de la línea de retardo de contrafase. El *FVFCs* de los transistores M_2 y M_4 suman las señales invertidas y las señales provenientes de la línea de retardo en fase. Los transistores M_6 y M_8 copian las corrientes sumadas, entregando una señal a la salida y otra al estimador del FA.

4.3. Restador $V - i$

El primer bloque del estimador de los parámetros adaptativos es el encargado de comparar la señal de salida del FA con la señal deseada. En este FA se va a comparar la señal de salida con la misma señal de entrada, para usarlo como ecualizador. Debido a que la señal de entrada está en modo voltaje y la señal de salida en modo corriente, se debe diseñar un restador que pueda sensor estas dos señales. Dado que en el convertor $V \rightarrow i_{\pm}$ se basó en el *FVFCs*, ver Figura 4.2, en este comparador se basa en un *FVFCs* con las mismas características del convertor $V \rightarrow i_{\pm}$. De la comparación entre la señal de entrada y la señal de salida se espera

un error, el cual se procesa para obtener los pesos adaptativos. Para esto, el comparador debe funcionar como un restador entre un voltaje y una corriente ($V - i$).

En la Figura 4.7 se presenta el esquema del restador $V - i$. El voltaje V_i se convierte en corriente a través del transistor M_2 . Esta corriente se divide en partes iguales entre los transistores M_1 y M_3 . Con el fin de compensar esta división de corriente, la copia M_3 - M_5 se hace 1:2. Esta corriente, junto con la corriente de salida del FA, son sumadas en el nodo de alta admitancia del *FVFC*S formado por los transistores M_6 y M_7 . De este modo se obtiene la señal de error en modo corriente. Este *FVFC*S a su vez convierte la señal de error en una señal de voltaje.

Debido a que las señales de voltaje y corriente tienen diferentes caminos hacia la salida, se usa la propiedad de superposición de los circuitos lineales. En la ecuación (4.5) se presenta la función de transferencia usando esta propiedad. En el primer término de esta ecuación se hace la resta de las señales. Para esto se debe convertir la señal de voltaje con corriente, procedimiento que limita el ancho de banda de la resta, la cual tiene el polo dominante dado por la ecuación (4.6).

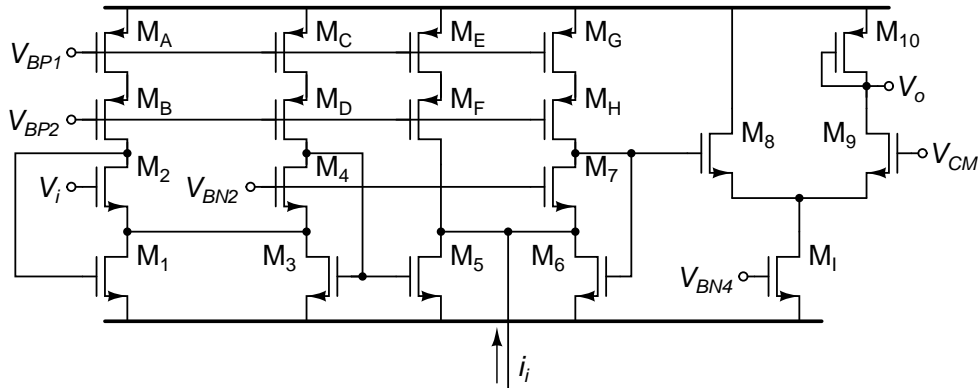
$$v_o \approx \left(i_i - v_i \cdot \frac{8g_m (g_m (g_m + s (c_{dg2} + c_{gs})) + c_{gs}s (g_{ds} + s (c_{dg2} + c_{gs})))}{g_m (4g_{ds} + 4s (c_{dg2} + 2c_{gs})) + g_{ds} (g_{ds} + s (5c_{dg2} + 11c_{gs})) + 4s^2 (c_{dg2}^2 + 4c_{dg2}c_{gs} + 3c_{gs}^2)} \right) \cdot \frac{2g_{m6} + g_{ds6}}{g_{m6}(2g_{m6} + 5g_{ds6}) + sc_{gs6}(6g_{m6} + 8g_{ds6}) + 6s^2c_{gs6}^2} \cdot \frac{(g_{m8} + sc_{gs8})(g_{m9} + g_{ds9})}{(2(g_{m8} + sc_{gs8}) + 2g_{ds8} + g_{ds1})(g_{m10} + g_{ds10} + g_{ds8} + sc_{gs10}) - (g_{m8} + g_{ds8})g_{ds8}} \quad (4.5)$$

$$j\omega_{pv2i} \approx -\frac{g_m c_{dg2} + 2c_{gs}}{2 c_{dg2} + 3c_{gs}} \frac{1 \pm j1}{c_{dg2} + c_{gs}} \quad (4.6)$$

El segundo término corresponde a la función transferencia de la señal de error de la corriente, sensada por el *FVFC*S de los transistores M_6 y M_7 , hacia el voltaje v_{gs6} . El polo dominante de esta conversión está dado por la ecuación (4.7). La función de transferencia del modificador de nivel de CC (par diferencial) está dada por el tercer término. En la ecuación (4.8) se presenta el polo de este par diferencial.

$$j\omega_{pi2v} \approx -\frac{g_{m6}}{2c_{gs6}} \frac{(c_{dg7} + c_{gs6} + c_{gs8}) \pm j\sqrt{(c_{dg7} + c_{gs8} - 3c_{gs6})(c_{dg7} + c_{gs6} + c_{gs8})}}{c_{dg7} + c_{gs6} + c_{gs8}} \quad (4.7)$$

$$j\omega_{pPar} \approx -\frac{g_{m10}c_{gs8} + g_{m8}c_{gs10} \pm j(g_{m10}c_{gs8} - g_{m8}c_{gs10})}{2c_{gs10}c_{gs8}} \quad (4.8)$$

Figura 4.7: Esquema del restador $V - i$.

Se puede observar que a lo largo de todo el restador el polo es del tipo g_m/c_{gs} . La señal es procesada por transistores *NMOS*, y su función de transferencia solo se encuentra con un transistor *PMOS* (M_{10}). Es por esto que se puede diseñar el restador $V - i$ con los polos dominantes en el rango de los de la línea de retardo.

4.4. Conversor $V \rightarrow V_{\pm}$

A la salida del bloque anterior, el restador $V - i$, el residuo se entrega en modo voltaje sencillo. Este voltaje, representa el error entre la señal de salida y la señal deseada. Este error se usa para estimar los parámetros adaptativos de los multiplicadores de la línea de retardo. Esta estimación se hace usando un multiplicador de cuatro cuadrantes, de modo que el voltaje de error se debe convertir de modo sencillo a modo diferencial.

Este conversor debe cumplir con dos condiciones, que la salida represente el valor medio del error y que responda de forma rápida. Para lograr la conversión se usa el *FVF*. En la Figura 4.8 se presenta el conversor $V \rightarrow V_{\pm}$ usando dos *FVF* acoplados por el nodo de muy alta admitancia, al igual que en el conversor $V \rightarrow i_{\pm}$. Las corrientes diferenciales son integradas en los nodos de muy baja admitancia³ compuestos por los transistores en cascodo. Con el fin de reducir el rizo de la señal de voltaje de salida se usa una capacitancia C_{Int} . Esta capacitancia, junto con la admitancia de salida del nodo de integración, deben ubicar el polo del conversor $V \rightarrow V_{\pm}$ cuatro décadas por debajo del polo de los bloques de alta frecuencia. De este modo se reduce el voltaje de *offset* debido a la integración con una rápida

³El este documento se usa "muy baja admitancia" para referirse a admitancias comparables con una admitancia drenador-surtidor dividida por la ganancia intrínseca del transistor.

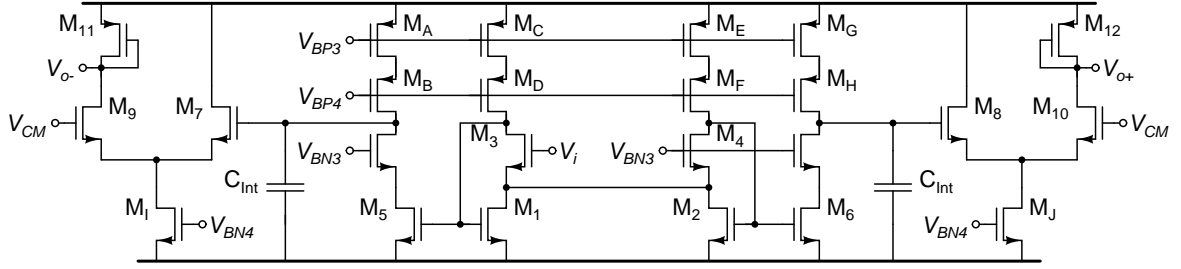


Figura 4.8: Esquema del convertor $V \rightarrow V_{\pm}$.

respuesta ante cambios en el error del estimador, lo que reduce el tiempo de convergencia de los parámetros adaptativos⁴.

La capacitancia C_{Int} se diseña usando la capa POLY1-POLY2. Con el fin de que C_{Int} no ocupe demasiada área, se selecciona un valor equivalente a $10c_{gs}$, donde c_{gs} es la capacitancia de los transistores *NMOS* de la línea de retardo; así, C_{Int} usa una área de aproximadamente $30 \times 30 \mu\text{m}^2$. En la ecuación (4.9) se presenta el polo dominante de la línea de retardo. Dado que el polo dominante de cada uno de los bloques está cerca al de la línea de retardo, se usa este como referencia para estimar el polo dominante de integración. En la ecuación (4.10) se presenta el polo dominante del convertor $V \rightarrow V_{\pm}$. Teniendo en cuenta que todos los transistores del FA se polarizan en la región de saturación de inversión fuerte, y suponiendo que $g_{ds} \leq g_m/10$, se cumple $\omega_{p,Int} \leq \omega_{p,LR}/10^4$. Se resalta que para lograr la diferencia requerida entre los dos polos se redujo la corriente de polarización de los transistores, reducción que repercutiría en el aumento del tiempo de convergencia de los parámetros adaptativos.

$$\omega_{p,LR} \approx \frac{g_m}{C_{gs1} + c_{gs5}} \quad (4.9)$$

$$\omega_{p,Int} \approx \frac{g_{ds}^2}{g_m C_{Int}} \quad (4.10)$$

Dado que se usa la topología del convertor $V \rightarrow i_{\pm}$ para obtener las corrientes a integrar, la función de transferencia del convertor $V \rightarrow V_{\pm}$ se aproxima a la ecuación (4.11), donde $G_{v_s \rightarrow i_d}(s)$ es la función de transferencia del convertor $V \rightarrow i_{\pm}$, $A_{v,Par}$ es la función de transferencia del par diferencial usado en el restador $V - i$ y el segundo término es la impedancia de salida del nodo de integración.

$$\frac{v_{o+}}{v_i}(s) \approx G_{v_s \rightarrow i_d}(s) \frac{g_{m7}}{g_{ds}^2 + g_{m7}s(C_{Int} + c_{dg7} + c_{dgB})} A_{v,Par}(s) \quad (4.11)$$

⁴En la sección 4.5 se presenta el sustento de esta afirmación

Con el fin de reducir el consumo de corriente, y teniendo en cuenta que esta señal es de baja frecuencia, se propone el uso de un seguidor de voltaje (DC por las siglas de drenador común) con transistores *PMOS*. Este DC se puede polarizar con la mitad de la corriente requerida por el par diferencial, reduciendo a su vez el polo dominante del cambiador de nivel de CC en una década aproximadamente, como se demostró con la ecuación (3.23). En la Figura 4.9 se presenta el convertor $V \rightarrow V_{\pm}$ usando el DC para cambiar el nivel de CC del error. La función de transferencia del convertor $V \rightarrow V_{\pm}$ usando el DC se presenta en la ecuación (4.12).

$$\frac{v_{o+}}{v_i}(s) \approx G_{v_s \rightarrow i_d}(s) \frac{g_{m7}}{g_{ds}^2 + g_{m7}s(C_{Int} + c_{dg7} + c_{dgB})} \frac{g_{m9} + sC_{gs9}}{g_{m9} + g_{ds9} + g_{dsK} + sC_{gs9}} \quad (4.12)$$

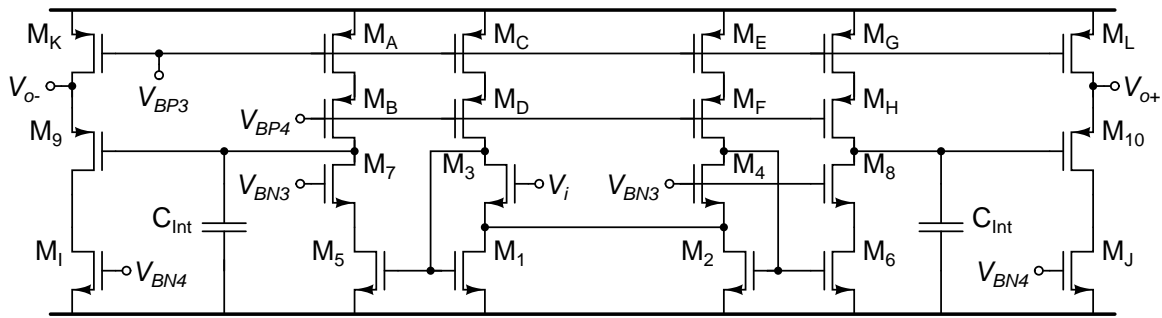


Figura 4.9: Esquema del convertor $V \rightarrow V_{\pm}$ usando el DC.

4.5. Integrador

Una de las variables que mide el desempeño de los FAs es el tiempo de convergencia de los parámetros adaptativos. Para reducir este tiempo se debe garantizar que la señal de error tenga un bajo tiempo de establecimiento, pero al mismo tiempo debe tener un bajo *offset*. En la Figura 4.10 se presenta el esquema del integrador para los parámetros adaptativos del FA. Por medio del *FVFCS*, este integrador sensa la señal de corriente entregada por el multiplicador. La corriente se copia y se integra en la capacitancia C_{Int} . Esta señal tiene un nivel de CC cercano al del nodo de realimentación del *FVFCS*. Con el fin de entregar la señal integrada en el nivel requerido por el multiplicador se usa el DC. La función de transferencia del integrador está dada por la ecuación (4.13).



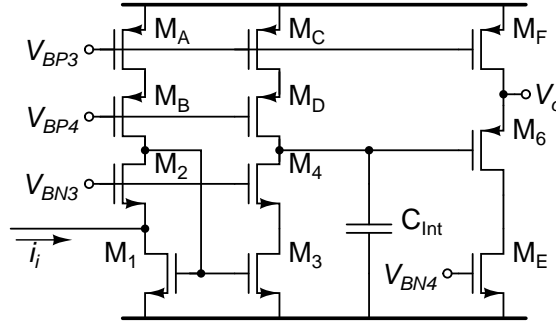


Figura 4.10: Esquema del integrador.

$$H_{Int}(s) = \frac{g_{m3}(g_{m2} + g_{ds2})}{g_{m1}(g_{m2} + g_{ds2}) + g_{m3}[2g_{ds2} + s(c_{gs1} + c_{gs3}) + g_{m4} + g_{ds4}]} \frac{g_{m4}}{g_{ds}^2 + g_{m4}s(C_{Int} + c_{dg4} + c_{dgD})} \frac{g_{m6} + sc_{gs6}}{g_{m6} + g_{ds6} + g_{dsF} + sc_{gs6}} \quad (4.13)$$

En este integrador se tienen tres polos. El del espejo de corriente, dado por la ecuación (4.14), el del nodo de integración, dado por la ecuación (4.15), y el del DC, dado por la ecuación (4.16). Suponiendo que $10g_{ds} \approx g_m$, usando $C_{Int} = 4c_{gs}$ y la aproximación de la ecuación (3.23), se obtiene las relaciones de la ecuación (4.17). Así, el polo dominante está dado por el polo de integración. Suponiendo que se usa la máxima frecuencia de operación de la línea de retardo, el polo del integrador está aproximadamente tres décadas por debajo de la frecuencia de la señal procesada. Esta separación de tres décadas, dada por la arquitectura del integrador, es requerida para poder integrar con la menor latencia. De usarse un polo de integración a menor frecuencia, el tiempo de establecimiento se incrementaría, aumentando la latencia del FA.

$$j\omega_{Esp} = -\frac{g_{m2}(c_{gs1,3}) \pm \sqrt{g_{m2}^2 c_{gs1,3}^2 - 4g_{m1}g_{m2}c_{gs2}c_{gs1,3}}}{2c_{gs2}c_{gs1,3}} \quad (4.14)$$

$$j\omega_{Int} = -\frac{g_{ds}^2}{g_{m4}(C_{Int} + c_{dg4} + c_{dgD})} \quad (4.15)$$

$$j\omega_{DC} = -\frac{g_{m6} + g_{ds6} + g_{dsF}}{c_{gs6}} \quad (4.16)$$

$$\omega_{Esp} \approx 9\omega_{DC} \approx 4000\omega_{Int} \quad (4.17)$$

Capítulo 5

Resultados

El desarrollo analítico del comportamiento y el desempeño de los bloques funcionales ha sido descrito en los anteriores tres capítulos. En este capítulo se presentan los resultados de simulación de los diferentes bloques. Estas simulaciones fueron desarrolladas alimentando todos los bloques con $V_{DD}=1,8$ V y $V_{SS}=0$ V, usando los modelos del proceso *CMOS* estándar de 180 nm de *UMC*. Con el fin de poder evaluar el desempeño de la topología de los bloques presentados, todos son polarizados con corriente de rama de 50 μ A. En los casos donde se usa *FVFs* y *FVFCs*, se usan las mismas dimensiones para reducir el *mismatch*¹ sistemático².

5.1. Línea de retardo

En la sección 2.3 se presentó el filtro pasa bajas para construir una línea de retardo Laguerre. El esquema de este filtro se presenta en la Figura 2.3(a). Este filtro usa un *FVFCs* para reducir la impedancia de entrada. Debido a esta realimentación, la ubicación de los polos es crítica. Estos polos, en su mayoría conjugados, llevan a que la respuesta en frecuencia presente una alta variación al alcanzar la frecuencia de corte. En la Figura 5.1 se puede ver que en una década la ganancia cae en 60 dB, producto de la acumulación de polos en esta década. Esta pendiente de -60 dB/dec, resultado de la realimentación mejora la selectividad del filtro pasa-bajas. Sin embargo, la realimentación también implica efectos no deseados, como la abrupta variación de la ganancia cerca de los 10 GHz. Esta variación también se refleja en la fase del núcleo, la cual llega hasta los 250°. La presencia de dos ceros conjugados

¹Se usa el término en inglés por no encontrarse una palabra en español que lo pueda reemplazar.

²

en $3,77 \pm j69$ GHz origina el cambio abrupto presente cerca de los 10 GHz en la función de transferencia. Este cambio también afecta las impedancias de entrada y salida, Figura 5.2.

En la Figura 5.2 se puede observar que la magnitud de la impedancia de entrada llega a los $75 \text{ k}\Omega$ en la frecuencia del cero conjugado mencionado. Y aunque la impedancia de salida es mucho mayor en esta frecuencia, en el rango de frecuencia de banda plana la impedancia de entrada es mucho menor a la impedancia de salida. Esta relación de impedancias permite un buen acople entre los diferentes núcleos de la línea de retardo, lo que garantiza una buena transferencia de la señal en modo corriente.

Además de la ganancia y las impedancias, los núcleos de la línea de retardo deben presentar homogeneidad en el retardo de grupo. Para evaluar el comportamiento del retardo de grupo se construyó una línea de retardo con cuatro núcleos. En la Figura 5.3 se presenta el retardo de grupo debido a cada uno de estos núcleos. Se puede observar que el retardo de grupo del primer y el último núcleo difieren del retardo de grupo del segundo y tercer núcleo. Esto es, los núcleos de los extremos de la línea de retardo presentan un comportamiento diferente a los núcleos del centro de la línea. Esto se debe a que la respuesta en frecuencia del núcleo depende también de la impedancia de la fuente de señal y la impedancia de la carga, como se puede observar en la ecuación (A.12).

En la Figura 5.4 se presenta el retardo de grupo acumulado a lo largo de la línea de retardo. En esta Figura se puede ver que el aporte de los núcleos del centro de la línea de retardo son iguales, mientras que el aporte del retardo del primer núcleo es mayor, casi dos veces, el aporte de los núcleos del medio. Esto se debe a que el primer núcleo sensa la señal de una fuente de corriente ideal. Por otro lado, el aporte del último núcleo es menor que el correspondiente al de los núcleos del medio, alrededor de la mitad. Esto se debe a que sus señales son sensadas por un circuito que contiene solo el *FVFC*S, sin la rama encargado de copiar la corriente. Esto modifica la impedancia de salida del núcleo, originando la reducción en su retardo de grupo.

En la Tabla 5.1 se presentan las variables de desempeño del la línea de retardo. Todos los resultados consideran el sensado de una señal y la entrega de tres señales, cada una con una rama de V_{DD} a V_{SS} . Con el fin de reducir el *mismatch* sistemático, todos las ramas tienen la misma polarización, buscando así que la copia de las corrientes sea 1:1. Aún cuando se busca que la copia sea 1:1, es decir, ganancia de 0 dB, las simulaciones arrojaron que en cada etapa se presenta una pérdida de 362 mdB de señal. Esta pérdida se debe al drenado de señal por los elementos parásitos de los transistores (g_{ds} , c_{gs} , c_{dg} , etc.).

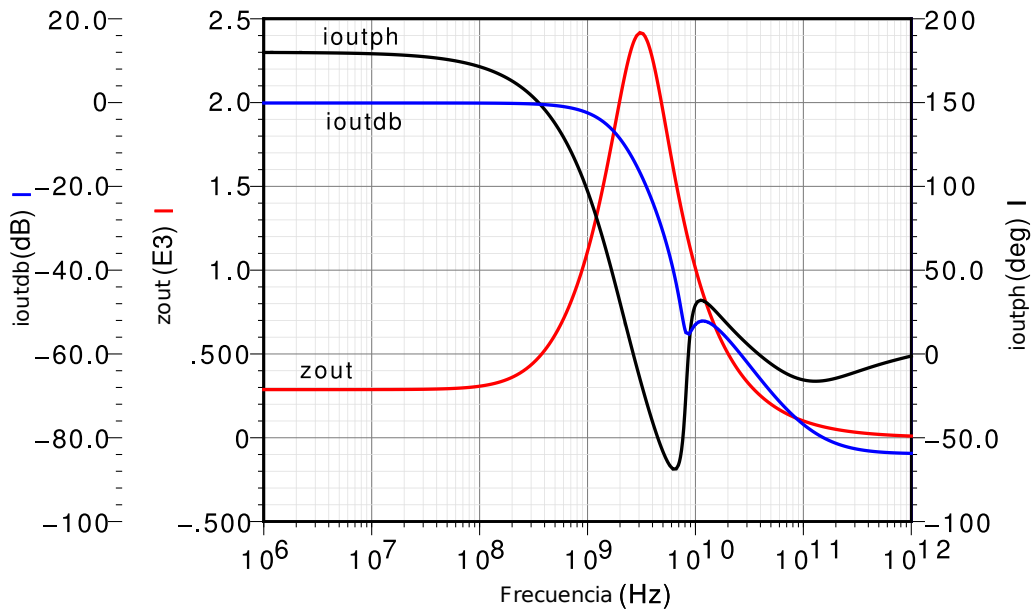


Figura 5.1: Curvas en frecuencia de la ganancia, fase e impedancias de entrada y salida de núcleo de la línea de retardo.

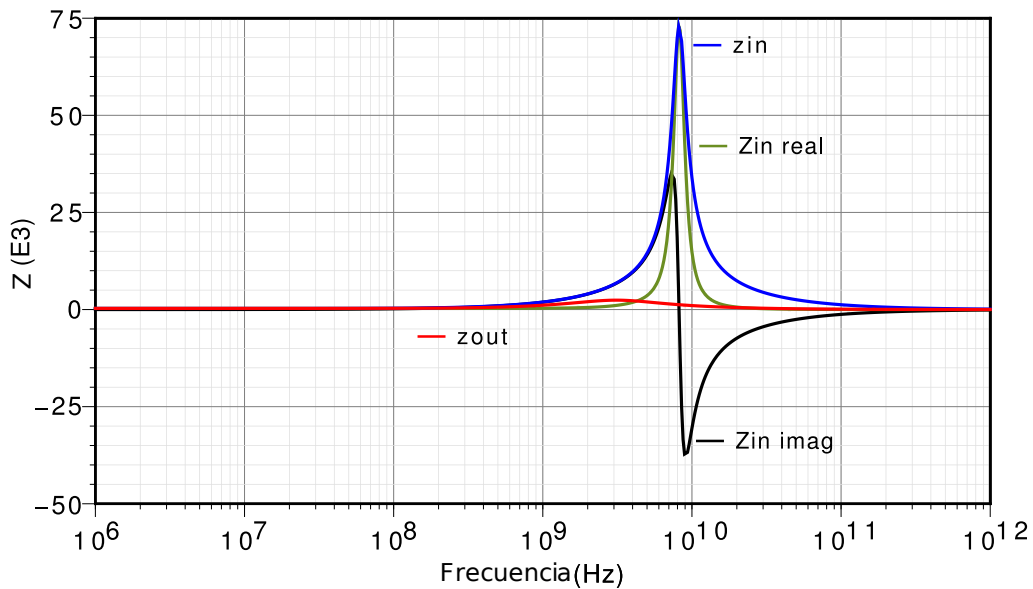


Figura 5.2: Curvas en frecuencia de la impedancia de entrada y salida de núcleo de la línea de retardo.



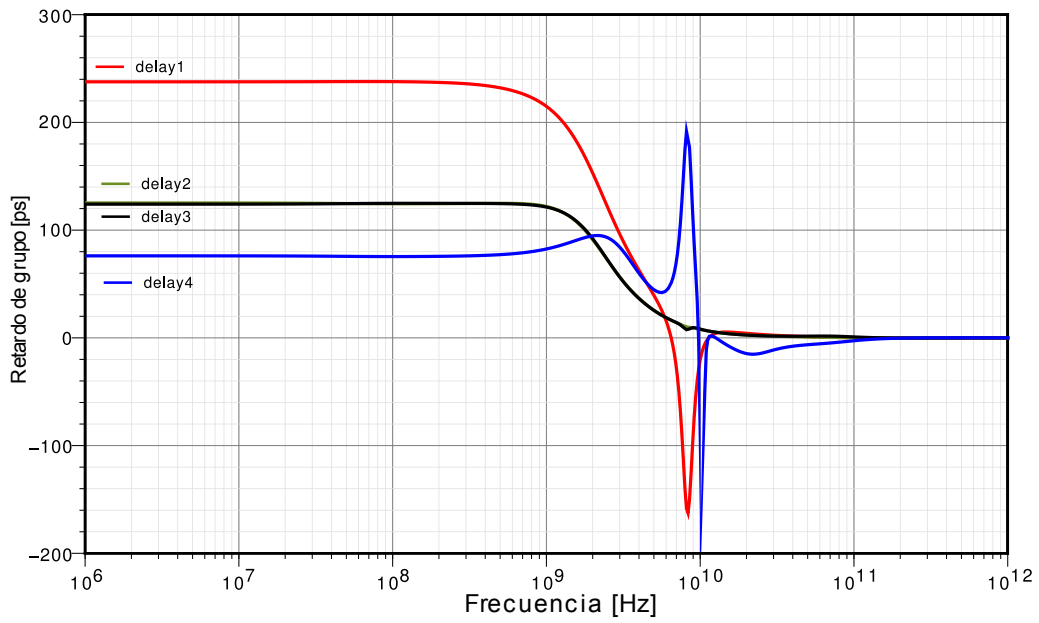


Figura 5.3: Curvas en frecuencia del retardo de grupo de cada núcleo de la línea de retardo.

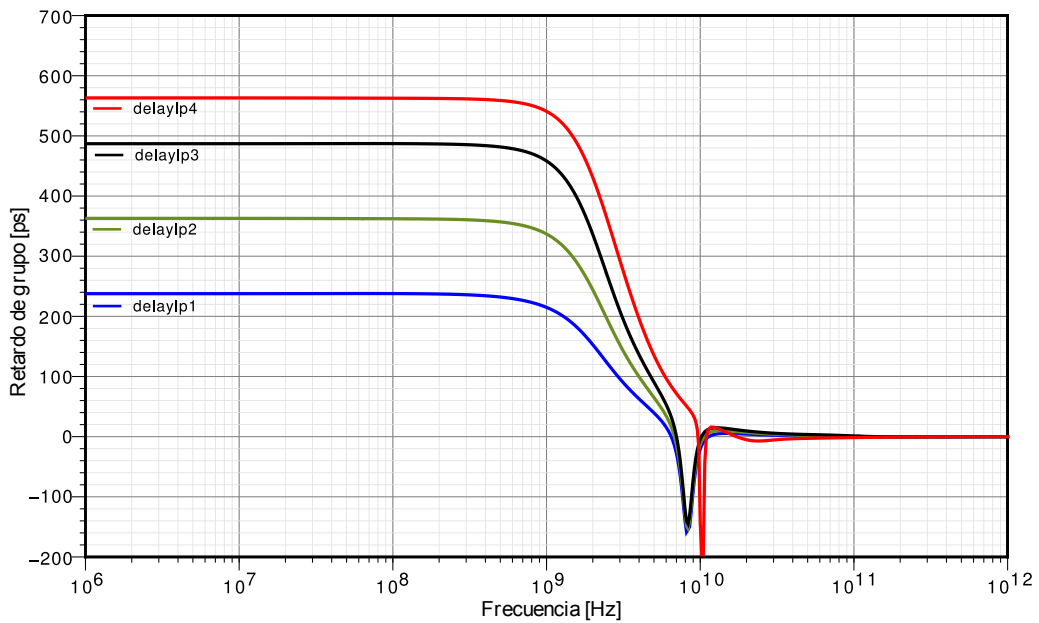


Figura 5.4: Curvas en frecuencia del retardo de grupo acumulado por cada núcleo de la línea de retardo.

Tabla 5.1: Desempeño de la línea de retardo.

Variable	Valor
$I_{V_{DD}}$	209,2 μ A
A_i	-362 mdB
f_{-3dB}	1,135 GHz
t_{GD}	125 ps
$f_{-5\%}$	1,171 GHz

En los núcleos de las líneas de retardo, el desempeño se mide a través de la ganancia de corriente (A_i) y el retardo de grupo (t_{GD}). Para cada una de éstas variables se debe estimar el ancho de banda. Por norma, el ancho de banda de la ganancia se mide cuando ésta cae 3 dB de su valor en banda plana (f_{-3dB}). Debido a que no se tiene norma en el estimado del ancho de banda del retardo de grupo, se seleccionó de forma arbitraria la caída del 5 % del retardo de grupo máximo ($f_{-5\%}$). En ambos casos se encontró que los valores de ancho de banda son similares. Esto se pudo observar en las ecuaciones obtenidas en la sección 2.2, donde tanto la expresión de ganancia como de retardo de grupo presentaron el mismo polo dominante.

5.2. Multiplicador

Mientras en la línea de retardo se cuida la homogeneidad en el retardo de grupo, en el multiplicador se busca cuidar la linealidad en la señal de salida. En las Figuras 5.5 y 5.6 se presenta las curvas características de la corriente de salida del multiplicador de la Figura 3.7. En estas curvas se puede apreciar la linealidad de la corriente de salida en CC, las cuales presentan también la excursión máxima para obtener la linealidad observada. En las Figuras 5.7 y 5.8 se presenta la variación de la magnitud de la corriente de salida al modificar la amplitud de la corriente y el voltaje de entrada, respectivamente. En ambas curvas se pueden apreciar escalones homogéneos ante variaciones homogéneas en la amplitud de la señal de entrada.

La excursión seleccionada para la corriente de entrada está basada en ancho de banda. En la Figura 5.9 se presenta la f_{-3dB} del multiplicador al variar la amplitud de la señal de entrada. La tendencia parabólica en la variación de f_{-3dB} limita la excursión de la corriente. En el multiplicador diseñado, con una variación de $\pm 10\%$ en la amplitud de la señal de corriente de entrada, se tuvo una variación de 0,5 % en f_{-3dB} . La excursión del voltaje de

entrada del multiplicador no degrada a f_{-3dB} , pues como se ve en la Figura 5.10, f_{-3dB} tiene tendencia creciente al aumentar la magnitud del voltaje de entrada. Sin embargo, este voltaje se encuentra limitado por la linealidad del multiplicador. En la Figura 5.6 se presenta la curva característica del multiplicador con la máxima excursión del voltaje de entrada mientras la salida es lineal.

En las curvas de CC y de frecuencia, se pudo observar la linealidad del multiplicador para puntos de polarización específicos. En la Figura 5.11 se presenta la multiplicación de dos señales con las magnitudes seleccionadas. La evaluación de la distorsión de esta curva se hace a través de la transformada discreta de Fourier (*DFT*, siglas en inglés de *Discrete Fourier Transform*). En la Figura 5.12 se presenta la *DFT* a 4096 puntos sobre diez ciclos de la Figura 5.11. En el espectro de señal obtenido a partir de la *DFT* se puede observar que las componentes no deseadas de señal están por debajo de -40 dBc.

El desempeño del multiplicador fue evaluado en CC, frecuencia y en el tiempo. En los tres casos se encontró, cualitativa y cuantitativamente, que para la máxima excursión de señal seleccionada, la linealidad del multiplicador es alta. Esto se resume en la distorsión armónica total de excursión completa (*FRTHD*, siglas en inglés de *Full Range Total Harmonic Distorsion*) llega a 0,01735 %. El consumo de corriente de cada multiplicador incluye las ramas de sensado y entrega de señal. La ganancia negativa del multiplicador se debe principalmente al núcleo del multiplicador, donde se pierde 2,746 dB para $v_b = \pm 80$ mV. La copia de la corriente aporta el resto de la atenuación, principalmente debido a que las ramas de las copias no son completamente simétricas. De estas, la más crítica es la copia en el espejo *PMOS*, donde la señal se atenúa 1,658 dB. Para el valor de f_{-3dB} reportado en la Tabla 5.2 se toma el menor valor de f_{-3dB} encontrado, por interpolación, en las curvas de las Figuras 5.9 y 5.10. Esta interpolación se hace debido a que cuando $v_b=0$ V la señal de salida es nula. Esto implica que el algoritmo arroje un valor que está por fuera de la tendencia mostrada por las demás f_{-3dB} .

5.3. Conversor $V \rightarrow I_{\pm}$

Los bloques diseñados para este FA procesan las señales en modo corriente, sin embargo, es más fácil muestrear señales en modo voltaje. Para poder sensar una señal en modo voltaje-simple y entregar una señal en modo corriente-diferencial se usa el circuito de la Figura 4.2. Este circuito es simulado de modo que la copia de corriente en el espejo *FVF* sea 1:1. Debido a que la señal entregada por el conversor $V \rightarrow i_{\pm}$ es sensada por el *FVFC*S del primer núcleo de la línea de retardo, se usa la misma polarización en estos dos circuitos, reduciendo el *mismatch* sistemático.

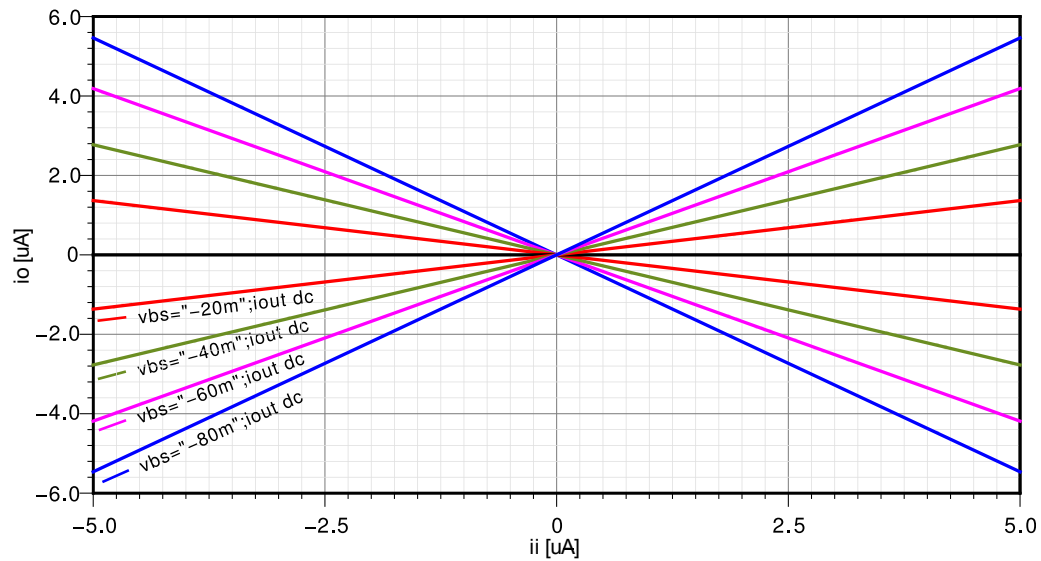


Figura 5.5: Curva característica en CC del multiplicador variando la corriente de entrada.

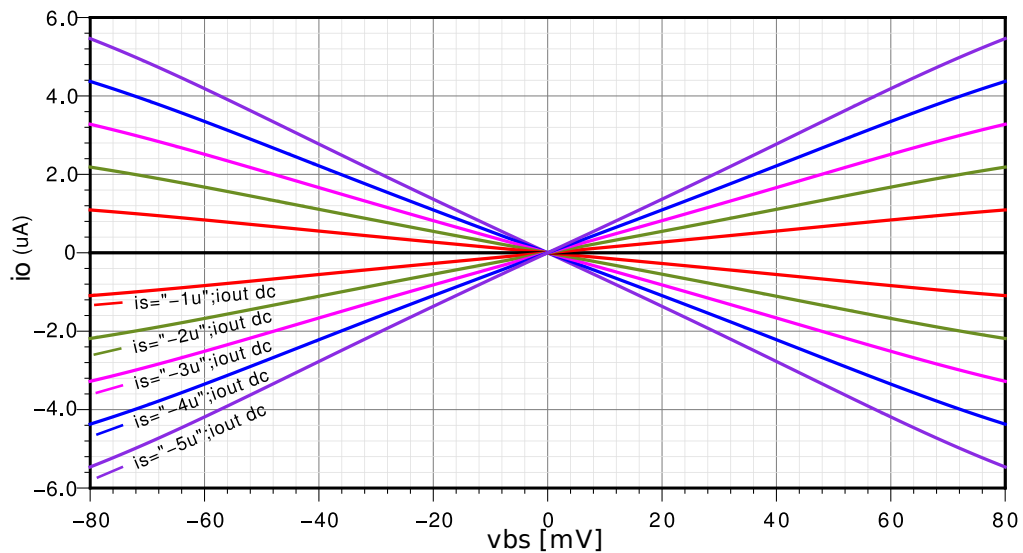


Figura 5.6: Curva característica en CC del multiplicador variando el voltaje de entrada.

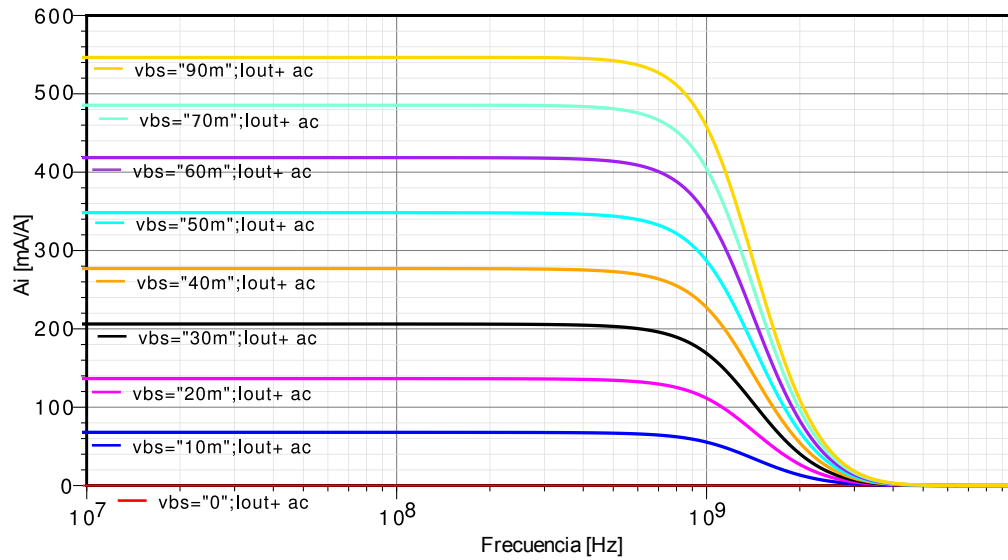


Figura 5.7: Curvas en frecuencia del multiplicador modificando la corriente de entrada.

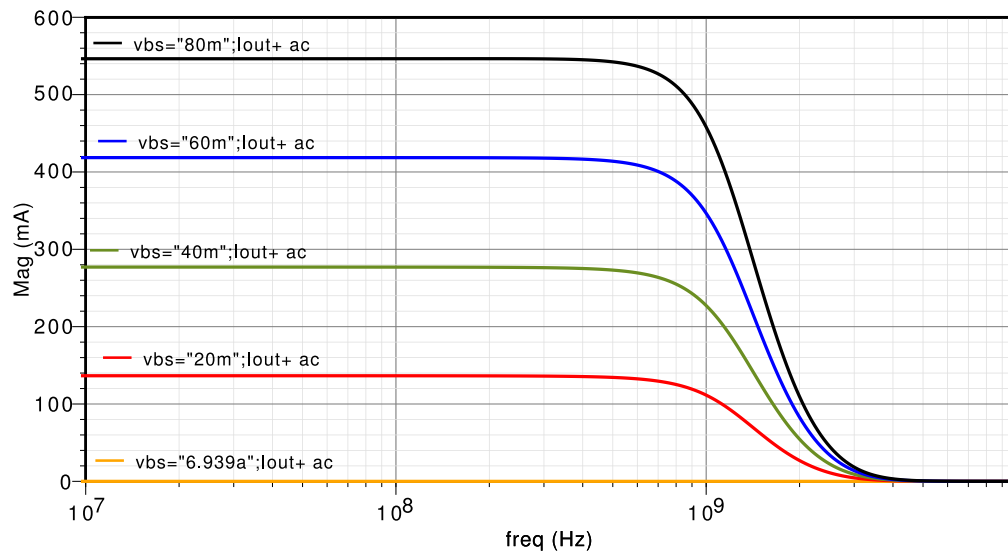


Figura 5.8: Curvas en frecuencia del multiplicador modificando el voltaje de entrada.

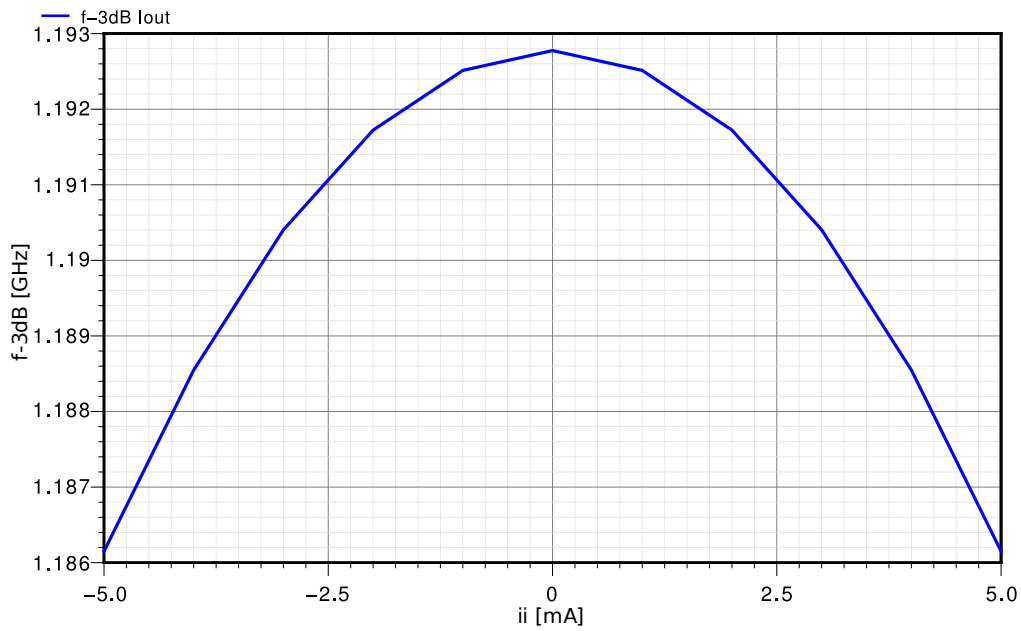


Figura 5.9: Variación de la frecuencia de -3dB al modificar la magnitud de la corriente de entrada del multiplicador.

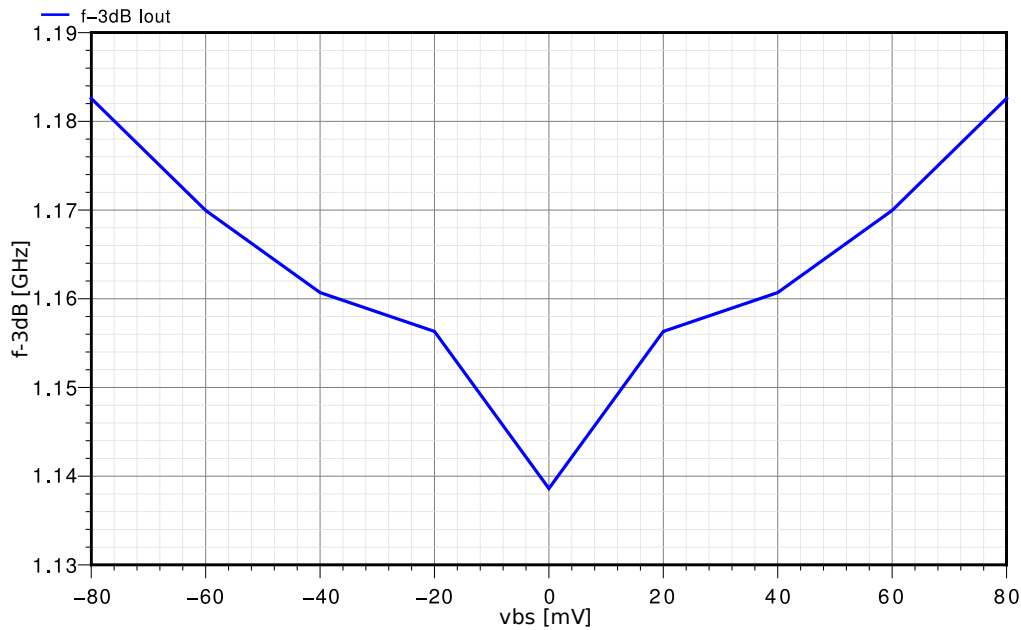


Figura 5.10: Variación de la frecuencia de -3dB al modificar la magnitud del voltaje de entrada del multiplicador.

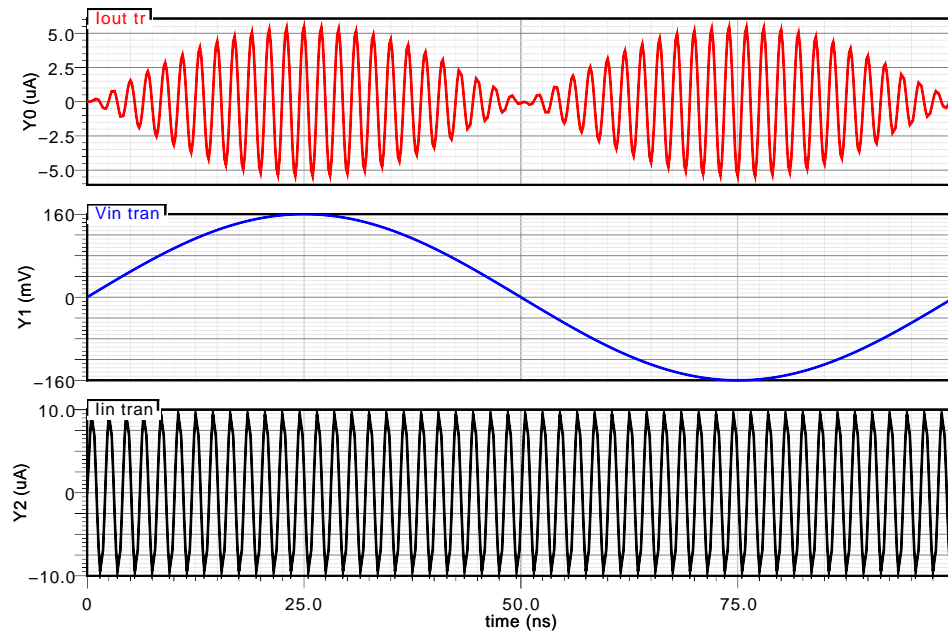


Figura 5.11: Respuesta transitoria del multiplicador.

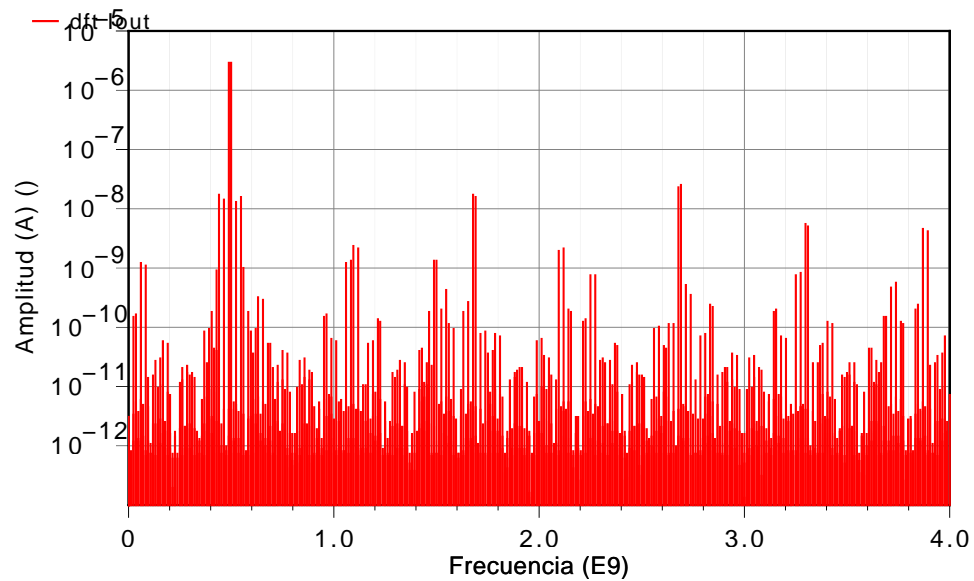


Figura 5.12: Transformada discreta de Fourier sobre diez ciclos de la Figura 5.11

Tabla 5.2: Desempeño del multiplicador.

Variable	Valor
$I_{V_{DD}}$	507,1 μA
v_c	± 80 mV
i_i	± 5 μA
A_i	-5,193 dB
$f_{-3\text{dB}}$	1,154 GHz
$FRTHD$	0,01735 %

En la Figura 5.13 se presenta la respuesta en frecuencia del convertor $V \rightarrow i_{\pm}$. En esta Figura se presenta tanto la ganancia del convertor $V \rightarrow i_{\pm}$ como la la diferencia entre la ganancia de la corriente en fase y la corriente en contrafase, y la integridad en la contrafase. En las curvas de ganancia se observa que la $f_{-3\text{dB}}$ de este circuito (212 MHz) no llega a la frecuencia de procesamiento de la línea de retardo (1,1 GHz). Esta $f_{-3\text{dB}}$ inferior se debe a la capacitancia c_{dg1} acoplada entre la señal de entrada y el voltaje del filtro pasa–bajas del FVF , como se muestra en la ecuación (4.4). La curva de diferencia de ganancia tiene 76 mdB en baja frecuencia y sube a 100 mdB en 1,46 GHz. La curva de contrafase tiene -180° en baja frecuencia y sube a -175° en 1,52 GHz.

En la Figura 5.14 se presenta la respuesta transitoria del convertor $V \rightarrow i_{\pm}$. Las corrientes diferenciales de salida presentan el mismo valor en CC Sin embargo, cuando se inyecta una señal de 2 mV a 200 MHz, el valor medio es de 51,7 mA y 53,1 mA para la señal en fase y la señal en contrafase, respectivamente. Esta diferencia se debe a que aún cuando el circuito es simétrico, la oscilación de la señal de entrada altera el balance eléctrico entre las dos mitades del convertor $V \rightarrow i_{\pm}$.

5.4. Sumador–restador de corrientes

Las señales de salida de los multiplicadores están en modo corriente. Estas señales deben ser sensadas por nodos de baja impedancia y en un esquema que permita procesar las señales a la $f_{-3\text{dB}}$ de la línea de retardo y el multiplicador. Para esto se usa es espejo de corriente presentado en la Figura 4.6. Este circuito es polarizado bajo las mismas condiciones del núcleo de la línea de retardo. La respuesta en frecuencia del sumador–restador se presenta en



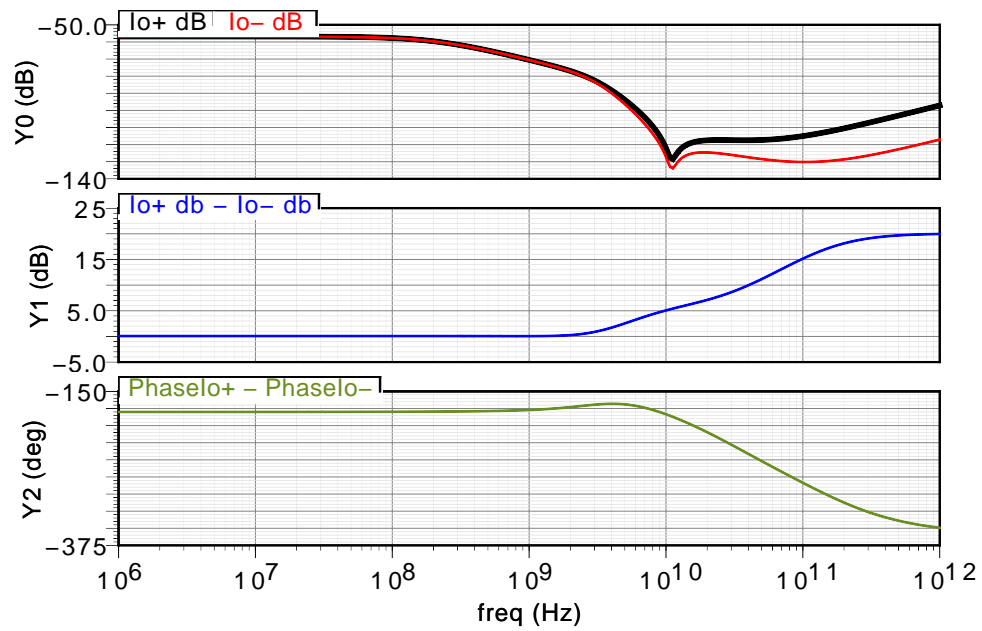


Figura 5.13: Respuesta en frecuencia del convertor $V \rightarrow i_{\pm}$.

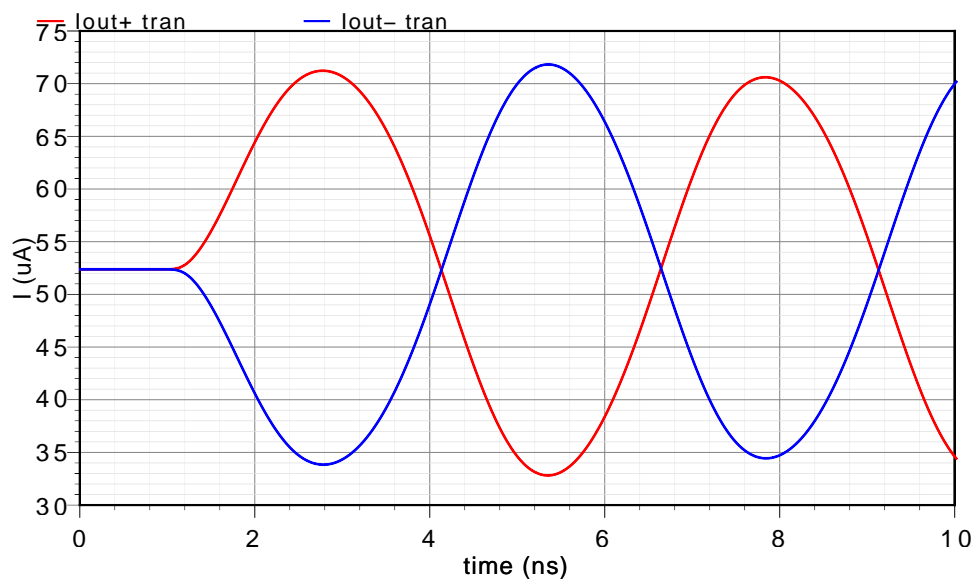


Figura 5.14: Respuesta transitoria del convertor $V \rightarrow i_{\pm}$.

Tabla 5.3: Desempeño del conversor $V \rightarrow i_{\pm}$.

Variable	Valor
$I_{V_{DD}}$	104,6 μ A
A_g	56,88 dB
f_{-3dB}	212 MHz
$f_{100\text{m dB}}$	1,46 GHz
$f_{\text{ph}+3\%}$	1,52 GHz

la Figura 5.15. La f_{-3dB} del sumador–restador es mayor a la del núcleo de la línea de retardo por tener menos capacitancia en el nodo de realimentación del *FVFC*S. Esto es porque cada núcleo de la línea de retardo debe entregar tres señales de salida, mientras que el sumador restador solo debe entregar dos.

En la Figura 5.16 se presenta la respuesta transitoria del sumador–restador al recibir las señales diferenciales de una línea de retardo con dos núcleos. Las señales diferenciales entre las dos etapas son separadas 10° , como se muestra en la ecuación (5.1), de modo que se emule la latencia de la segunda etapa de filtrado. De este modo, para señales de corriente de entrada de $1,5 \mu$ A, la señal diferencial de salida es de $2,638 \mu$ A. De acuerdo a la ecuación (5.1) la señal de salida debe tener $2,717 \mu$ A. Este error de $2,3\%$ (-256 m dB) se debe a la atenuación del circuito y a error en la fase de las señales simuladas.

$$\begin{aligned}
 i_i &= A_i [\cos(\omega t) + \cos(\omega t + 10^\circ)] - \\
 &A_i [-\cos(\omega t + 90^\circ) - \cos(\omega t + 100^\circ)] \\
 &= 1,181 A_i
 \end{aligned} \tag{5.1}$$

Tabla 5.4: Desempeño del sumador–restador.

Variable	Valor
$I_{V_{DD}}$	261,8 μ A
A_i	-195,22 m dB
f_{-3dB}	1,506 GHz



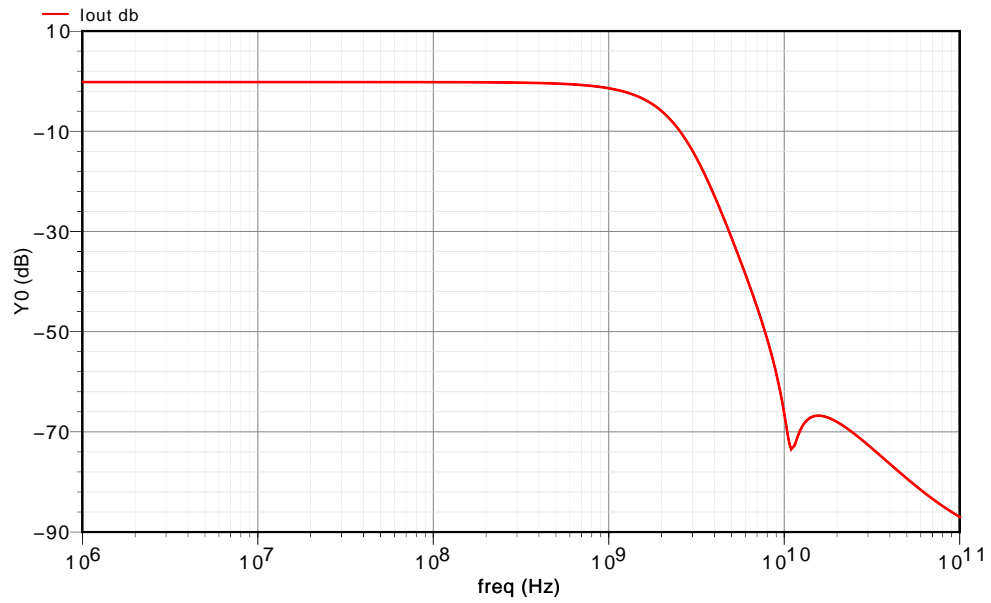


Figura 5.15: Respuesta en frecuencia del sumador-restador.

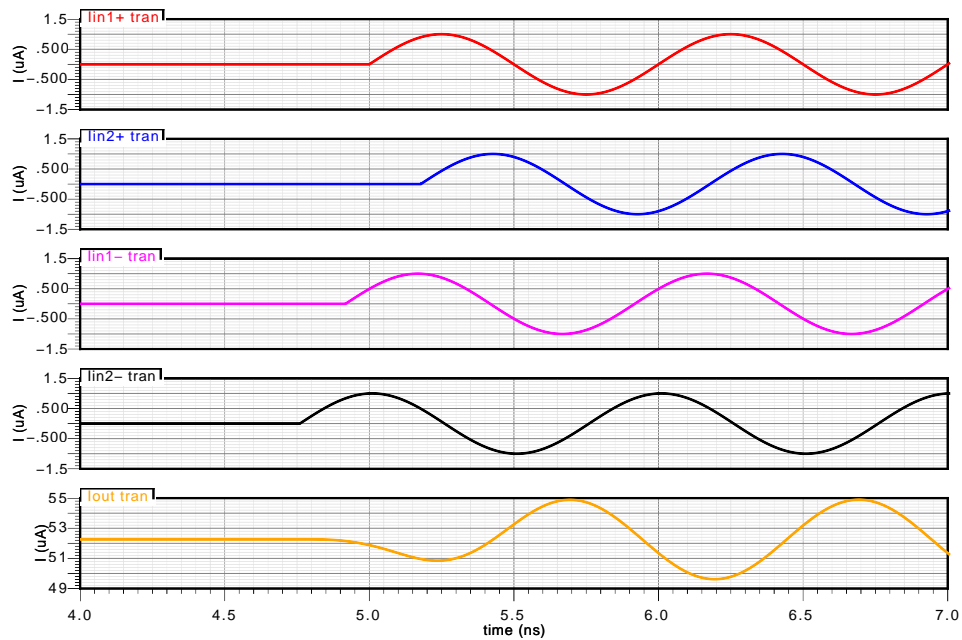


Figura 5.16: Respuesta transitoria del sumador-restador.

5.5. Restador $V - i$ y $V \rightarrow V \pm$

La señal de entrada del FA es en modo voltaje, y la señal de salida es en modo corriente. Con el fin de estimar los parámetros adaptativos se debe obtener el error entre estas dos señales. El circuito de la Figura 4.9 hace este procesamiento. Para que se pueda hacer una comparación entre la señal de entrada y la señal de salida, el FVF de $V - i$ se polariza igual que el del convertor $V \rightarrow i \pm$. De este modo la señal sensada por las líneas de retardo es igual a la señal de corriente generada por el restador. Así, se puede realizar la comparación, obteniendo el error entre estas dos señales. En la Figura 5.17 se presenta la respuesta en frecuencia del restador $V - i$. La frecuencia f_{-3dB} de este circuito es de 200 kHz, dada por el nodo de integración del restador.

Simulando el circuito con el voltaje de entrada hasta 20 mV de amplitud, de modo que se pueda comparar con una señal de corriente de entrada de 5 μ A, se obtiene las curvas de la Figura 5.18. Con un tiempo de establecimiento de aproximadamente 2 μ s, se puede ver tanto para modificaciones de magnitud ($200 \text{ ns} < t < 6 \mu\text{s}$) como para cambios en la fase de la señal de error ($6 \mu\text{s} < t < 10 \mu\text{s}$) los voltajes de salida presentan las modificaciones respectivas: cambio de magnitud y de signo relativo al voltaje en modo común de salida, 1,36 V.

Tabla 5.5: Desempeño del restador $V - i$ y del convertor $V \rightarrow V \pm$.

Variable	$V - i$	$V \rightarrow V \pm$	Total
I_{VDD} [μ A]	294,5	267,4	561,9
A [dB]	115,94	19,82	135,76
f_{-3dB}	200 kHz		200 kHz

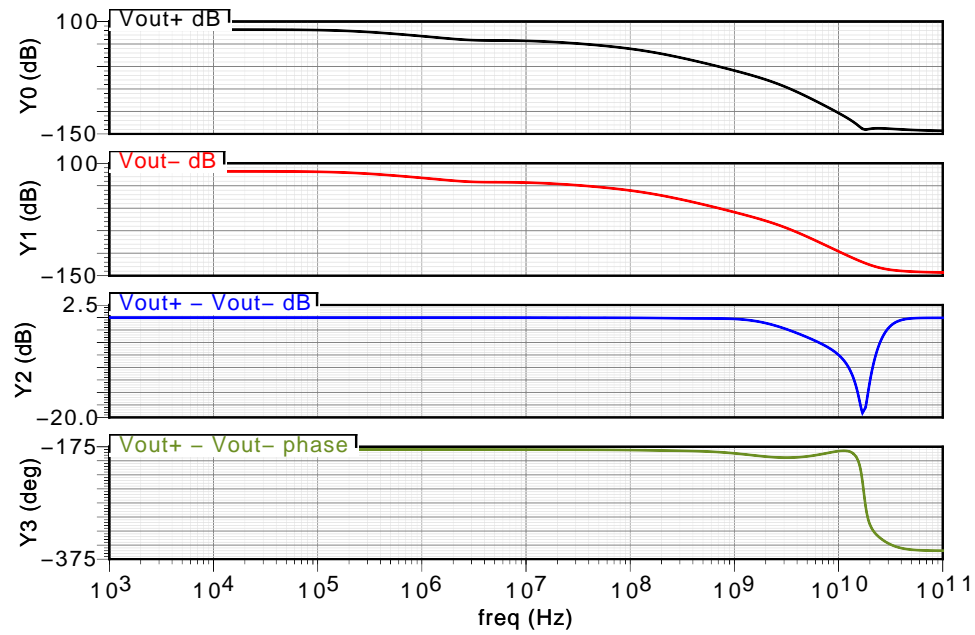
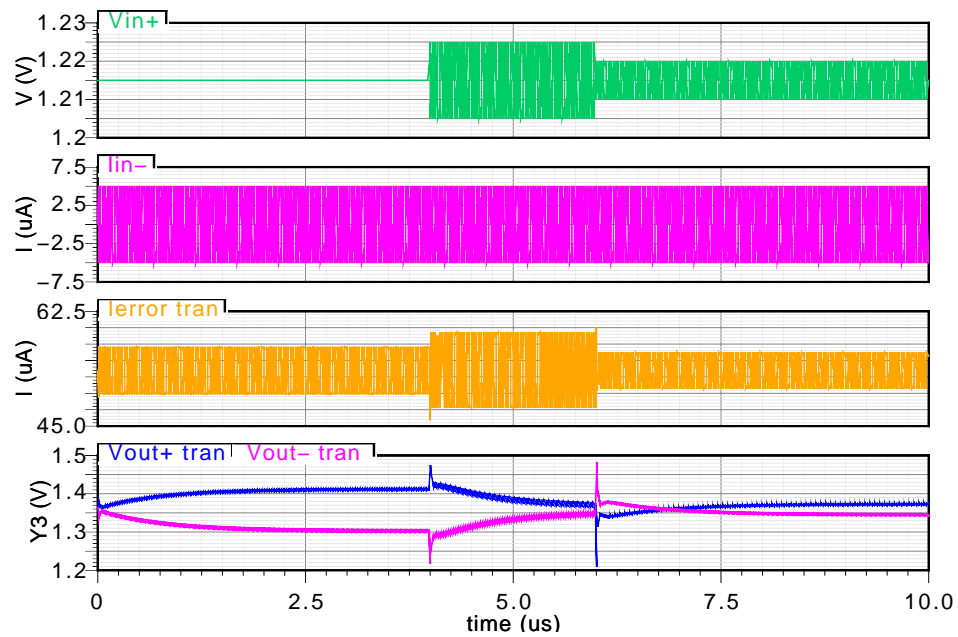


Figura 5.17: Respuesta en frecuencia del restador con el convertidor.



Juan Mateus Figura 5.18: Respuesta transitoria del restador con el convertidor.



5.6. Integrador

A la salida de los multiplicadores del estimador se tiene los parámetros adaptativos como señales de corriente de alta frecuencia. Estos parámetros deben ser entregados a los multiplicadores de la línea de retardo en modo voltaje y de baja frecuencia. Este procesamiento se hace con el circuito de la Figura 4.10. Debido a que debe sensar una señal de corriente de alta frecuencia y copiarla, el *FVFC*S del integrador se polariza igual que los núcleos de la línea de retardo.

En la Figura 5.19 se presenta la respuesta en frecuencia del integrador. Para la integración se usa una capacitancia de integración $C_{\text{Int}}=412$ fF y se aprovecha la capacitancia de Miller del transistor M_6 . Estas dos capacitancias junto al nodo de alta impedancia del nodo de integración, establecen el polo del integrador en 456 kHz.

La respuesta transitoria del integrador es presentada en la Figura 5.20. En esta Figura se puede observar que la excursión del voltaje de salida es de apenas 10 mV en su valor medio. Adicionalmente, se ve que el voltaje de salida contiene una señal de alta frecuencia con ± 5 mV de amplitud. La pobre excursión y la señal de alta frecuencia en el voltaje de salida se deben a que el polo de integración está a tres décadas de la frecuencia de la señal integrada. Si se aumenta la impedancia de salida mediante *bootstrapping*, se aumenta la excursión del voltaje de salida, y se reduce la amplitud de la señal de alta frecuencia. Sin embargo, eso implica que el tiempo de establecimiento va a aumentar, agregando latencia en el FA y por lo tanto retardando su convergencia.

Tabla 5.6: Desempeño del integrador.

Variable	Valor
$I_{V_{DD}}$	129,5 μA
A_r	132,3 dB
$f_{-3\text{dB}}$	456,5 kHz

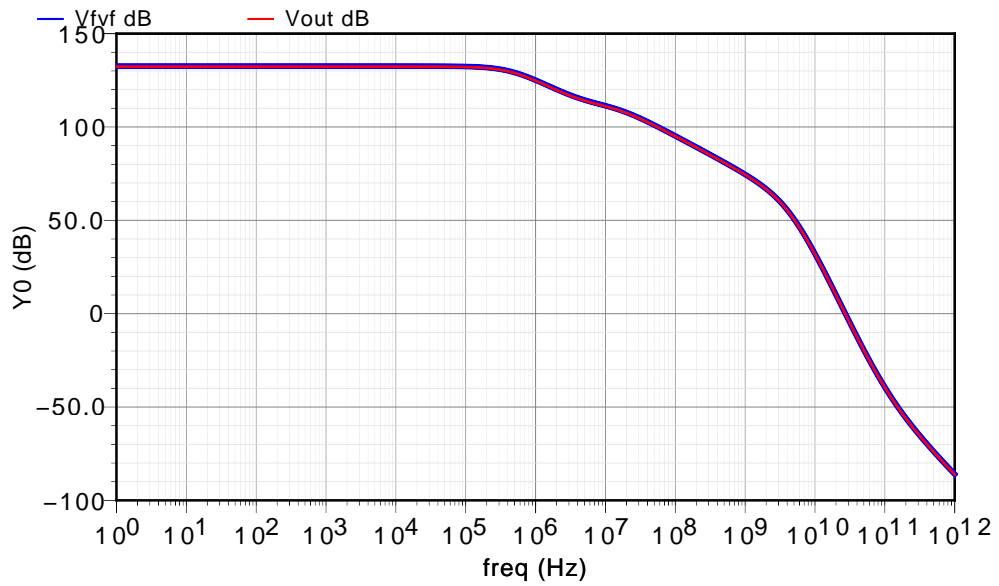


Figura 5.19: Respuesta en frecuencia del integrador.

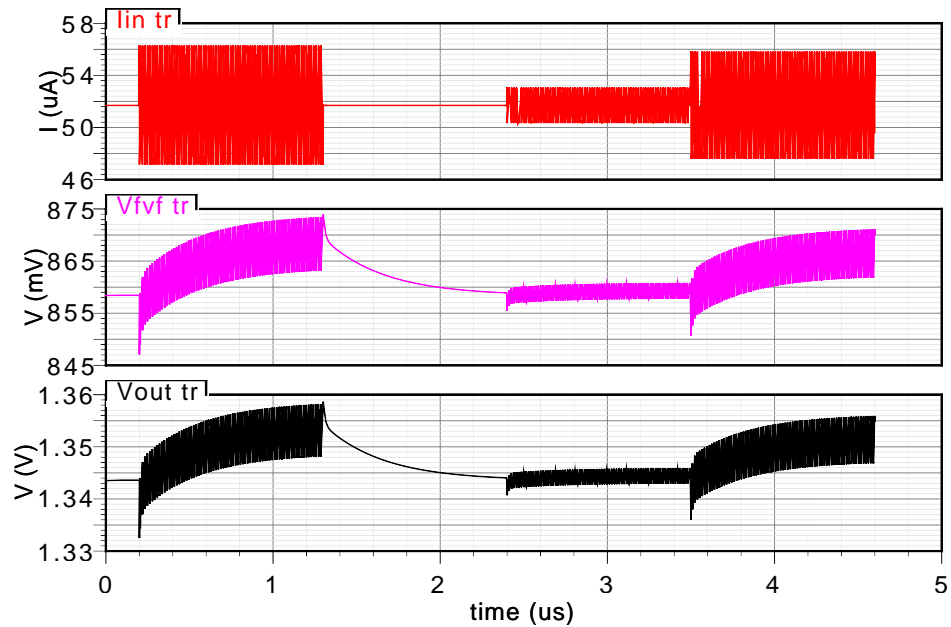


Figura 5.20: Respuesta transitoria del integrador.

Capítulo 6

Observaciones y conclusiones

En la simulación de los núcleos de la línea de retardo se usó *FVFC*Ss para sensar sus señales de salida. Estos *FVFC*Ss se polarizaron igual que los *FVFC*Ss del núcleo simulado. Sin embargo se encontró que las señales que pasaban a un *FVFC*S es diferente a la que pasaba a otro núcleo. Esta diferencia se debe a que, al retirar la copia de corriente, se reduce la capacitancia en el nodo de retroalimentación del *FVFC*S. Así, el comportamiento de la admitancia en frecuencia es diferente para un *FVFC*S que para un espejo de corriente con *FVFC*S. Esta alteración de admitancias también afecta la señal de entrada. Debido a que la fuente de corriente ideal tiene admitancia de salida cero, y a que un núcleo tiene admitancia de salida $g_{ds5} + sC_{db5}$, la respuesta en frecuencia del primer núcleo de la línea de retardo simulada es diferente a la de los núcleos posteriores.

En el diseño del multiplicador para este FA, se descartó el uso del multiplicador de bajo ruido, figura 3.3, por la copia de señal a través de un espejo de corriente con transistores *PMOS*, pues su menor movilidad reduce la f_{-3dB} del multiplicador. Sin embargo, el multiplicador de alta frecuencia presentado en la figura 3.7, entrega las corrientes por medio de un espejo de corriente con transistores *PMOS*. A pesar de que en ambos esquemas la señal pasa por un espejo de corriente con transistores *PMOS*, en el multiplicador de la figura 3.7 el *FVFC*S, usado para la suma de las señales en modo corriente, requiere de una corriente de polarización provista por los transistores M_E y M_F . Esta corriente permite aumentar la g_m del espejo de corriente. Así, el multiplicador de alta frecuencia alcanza el ancho de banda necesario para poder procesar las señales provenientes de la línea de retardo.

El acople entre la señal de entrada del conversor $V \rightarrow i_{\pm}$ y el nodo de realimentación del *FVF*, reduce la f_{-3dB} del conversor. Para incrementar la f_{-3dB} del conversor se puede aumentar la corriente de polarización del conversor, pero esto aumentaría las transconductancias de

compuerta de los transistores del *FVF*. De presentarse este aumento en los transistores M_1 y M_2 , la excursión de V_i para obtener las corrientes de salida de $5 \mu\text{A}$ debe ser menor.

Los integradores usados para obtener los voltajes de entrada de los multiplicadores presentan un compromiso de diseño rizo/tiempo de establecimiento. En particular en el integrador de la señal de error. Debido a que esta señal es sensada en modo corriente, la integración requiere de un nodo de menor frecuencia que el integrador de los parámetros adaptativos, que sensa la señal en modo voltaje. Debido a que la integración de capacitancias acarrea un fuerte consumo de área, para reducir la frecuencia de integración se hace necesario aumentar la impedancia de salida. Esta reducción en la frecuencia de integración implica un incremento en el tiempo de establecimiento de la señal de error, aumentando la latencia en el estimador.

En el procesamiento de señales en modo corriente, los amplificadores de corriente típicamente tienen ganancias de 1 A/A . Esto se debe a que estos amplificadores son espejos de corriente, lo que acarrea un aumento en el consumo de área proporcional a la ganancia deseada, y a su vez consumo de corriente. Dos variables que se busca reducir en los CIs, mejorar la integrabilidad de los sistemas y la portabilidad en aplicaciones alimentadas por baterías. Con el fin de que la copia en los espejos de corriente sea 1:1, se debe garantizar que los transistores sean geoméricamente iguales y que su polarización sea simétrica. Para cumplir este último requisito, se usó la misma polarización en todos los *FVFCs* y los *FVF*.

El procesamiento de señales en modo corriente es una alternativa en las tecnologías submicrométricas, pues los bajos voltajes de alimentación y los altos voltajes de umbral no dejan espacio para la excursión de señales en modo voltaje. Sin embargo, en sistemas donde se requiere varias copias de una señal, el consumo de corriente se dispara, haciendo inviable este modo de procesamiento en sistemas muy grandes y que estén pensados para consumir baja potencia. Para obtener sistemas de bajo consumo de potencia sin mayores restricciones en la excursión de las señales, se puede hacer diseños híbridos. Para poder aprovechar las ventajas de los dos modos de procesamiento de señales, los diseños deben estar enfocados en la arquitectura del sistema. Este diseño debe organizar las señales de modo que las que deban ser copiadas múltiples veces sean de baja excursión en modo voltaje, dejando las de gran excursión con un bajo requerimiento de copia y para el procesamiento en modo corriente.

6.1. Trabajos futuros

La amplitud de señal necesaria en la entrada del conversor $V \rightarrow i_{\pm}$ y del restador $V - i$ para obtener la corriente de $5 \mu\text{A}$ es de 20 mV . Debido a la reducida amplitud de esta señal, su sensado puede ser degradado por el ruido. Para reducir esta degradación, se recomienda el

desarrollo de una topología que permita una menor transconductancia de compuerta en los transistores M_1 y M_2 del conversor $V \rightarrow i\pm$, y en el transistor M_2 del restador $V - i$.

Aún cuando el conversor $V \rightarrow i\pm$ puede tener una f_{-3dB} sobre 1 GHz con corrientes de polarización mayor. Se recomienda el estudio de una topología que usando la misma polarización del núcleo de la línea de retardo, lleve la f_{-3dB} del conversor $V \rightarrow i\pm$ a la frecuencia de los demás bloques funcionales del FA. A partir del polo dominante del conversor $V \rightarrow i\pm$, dado por la ecuación (4.4), y comparándolo con el polo dominante del núcleo de la línea de retardo, ecuación (2.11), se recomienda que se trabaje en la eliminación del desacople de la señal de entrada por medio de la capacitancia c_{dg1} .

Dados los bloques funcionales del FA, se recomienda un análisis de latencia en el sistema, buscando así la sincronización de las señales en las diferentes etapas de procesamiento del FA.

Apéndice A

Flipped voltage follower current sensor

El escalado de los procesos de fabricación ha forzado el desarrollo de topologías que trabajen con bajos voltajes de alimentación. Para el espejo de corriente, una de las celdas básicas en el diseño de circuitos integrados analógicos, en el 2002 Ramírez [19] presenta un circuito que se caracteriza por su alta conductancia de entrada. En la figura A.1 se presenta la celda básica del *flipped voltage follower* (*FVF*). En el 2005 Ramírez presentó el desempeño del *FVF* como etapa de salida clase AB y como sensor de corriente, *FVFCS*. A continuación se desarrollan las diferentes expresiones que describen el comportamiento del *FVFCS* como sensor de corriente, así como su respuesta en frecuencia.

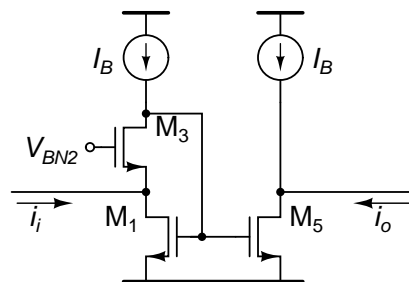


Figura A.1: Celda básica del *FVFCS* [19].

A.1. Expresiones en pequeña señal

Las expresiones que describen el comportamiento del *FVFC*S en pequeña señal son presentadas a continuación. En la figura A.2 se presenta el esquema en pequeña señal del *FVFC*S. El transistor M_3 provee al *FVFC*S de una realimentación paralelo-paralelo, por lo que se debe tener cuidado en el diseño del *FVFC*S para garantizar su estabilidad.

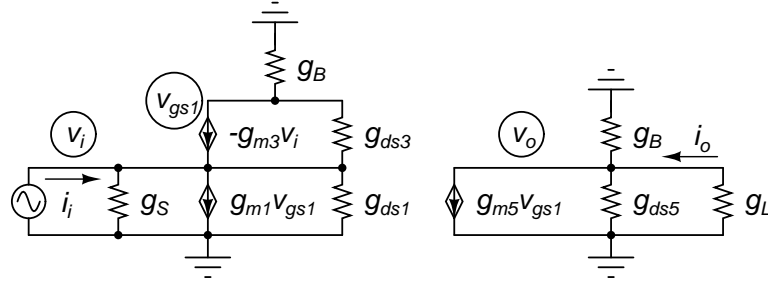


Figura A.2: Esquema en pequeña señal del *FVFC*S.

En la ecuación (A.1) se presenta la conductancia de entrada del *FVFC*S, donde g_{mi} y g_{dsi} son respectivamente la transconductancia y la conductancia de salida del transistor i ; en estas expresiones se está despreciando el efecto cuerpo. La ganancia del lazo está dada por (A.2) y la conductancia de entrada modificada por el lazo de realimentación está dada por la ecuación (A.3). La conductancia de salida del *FVFC*S está dada por la ecuación (A.4)

$$g_{in,OL} \approx g_{m3} + g_{ds3} + g_{ds1} \quad (A.1)$$

$$A\beta \approx -\frac{g_{m1}}{g_B + \frac{g_{ds3}g_{ds1}}{g_{m3}}} \quad (A.2)$$

$$g_{in,CL} = g_{in,OL} (1 + |A\beta|) \approx (g_{m3} + g_{ds3} + g_{ds1}) \frac{g_{m1}}{g_B + \frac{g_{ds3}g_{ds1}}{g_{m3}}} \approx \frac{g_{m1}g_{m3}}{g_B + \frac{g_{ds3}g_{ds1}}{g_{m3}}} \quad (A.3)$$

$$g_{out} \approx g_{ds5} + g_B \quad (A.4)$$

En la ecuación (A.3) se puede observar que la conductancia de entrada del *FVFC*S se incrementa debido al lazo de realimentación dado por M_3 . Es por eso que se debe incrementar la ganancia de lazo para mejorar el sensado de corriente del *FVFC*S. Al mismo tiempo se puede observar en la ecuación (A.4) que la conductancia de salida está limitada por el espejo de señal, suponiendo que g_B es mucho mayor que g_{ds5} . Sin embargo, si la corriente de salida es sensada por el nodo de entrada de corriente de un *FVFC*S, la relación de conductancias permite que el transistor M_5 se comporte como una buena fuente de corriente. Se debe remarcar que para

el buen comportamiento del *FVFC*S como sensor y como fuente de corriente, la conductancia de salida de la fuente de corriente de polarización debe ser muy alta.

Dadas las expresiones de sensado y entrega de corriente, se procede a desarrollar la expresión de su copia. En el diagrama A.3 se presenta el flujo de señal del *FVFC*S como espejo de corriente. En este diagrama se considera el efecto de la conductancia de la fuente de corriente (g_S) y de la carga (g_L). El primer bloque del diagrama corresponde a la división de corriente en el nodo de entrada. El voltaje v_{gs1} está dado por la corriente de M_3 y la conductancia del nodo, de donde se considera la realimentación local dada por M_3 . El lazo del *FVFC*S se cierra con la señal transducida por M_1 hacia el nodo de entrada. Finalmente, la señal de salida está dada por la señal de M_5 , la cual pasa por el divisor de corriente dado por la conductancia de salida del espejo y la carga.

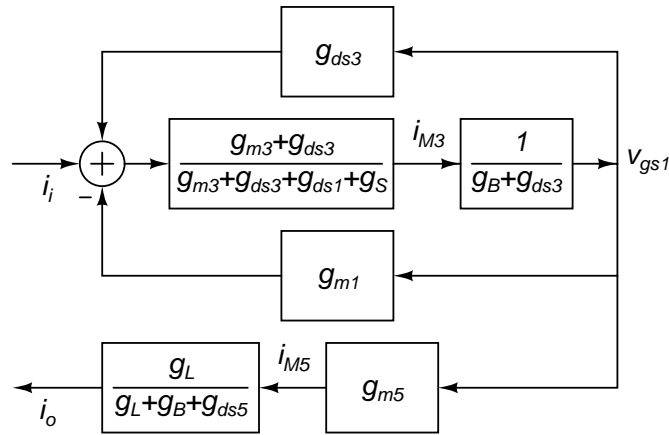


Figura A.3: Diagrama de flujo en pequeña señal del espejo de corriente tipo *FVFC*S.

$$\frac{i_o}{i_i} = \frac{g_{m5}(g_{m3} + g_{ds3})g_L}{[g_{m1}(g_{m3} + g_{ds3}) + g_{m3}(2g_{ds3} + g_B) + (g_{ds3} + g_B)(g_{ds1} + g_{ds3} + g_S) + g_{ds3}^2][g_{ds5} + g_B + g_L]} \approx \frac{g_{m5}(g_{m3} + g_{ds3})}{g_{m1}(g_{m3} + g_{ds3}) + g_{m3}(2g_{ds3} + g_B) + g_S(g_{ds3} + g_B)} \frac{g_L}{g_{ds5} + g_B + g_L} \quad (A.5)$$

A.2. Expresiones en frecuencia media

Al considerar el efecto de la frecuencia en el comportamiento del *FVFC*S se debe incluir las capacitancias parásitas de los dispositivos. En esta sección se va a desarrollar las expresiones para frecuencias en las cuales solo es notable el efecto de las capacitancias compuerta-surtidor



(c_{gs}) en el comportamiento del circuito, como se muestra en la figura A.4. Con estas ecuaciones ya se puede observar los compromisos de estabilidad en la realimentación del *FVFCs*.

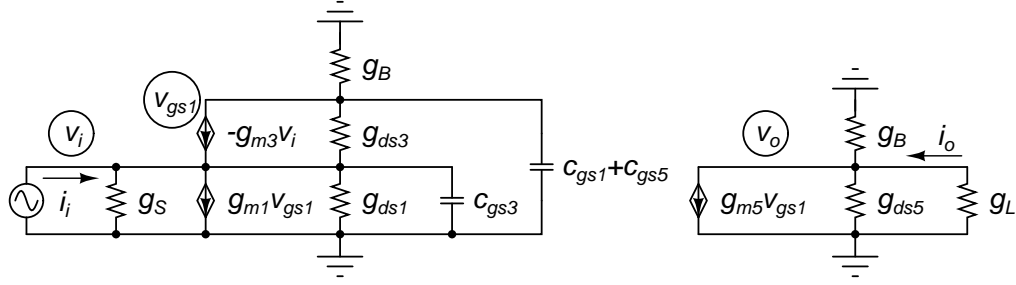


Figura A.4: Esquema del *FVFCs* en media frecuencia.

En la ecuación (A.6) se presenta la admitancia de entrada del *FVFCs*. La ganancia de lazo se presenta en la ecuación (A.7) y la admitancia de entrada modificada por el lazo de realimentación está dada por la ecuación (A.8). La conductancia de salida del espejo tipo *FVFCs* está dada por la ecuación (A.9).

$$Y_{in,OL} \approx g_{m3} + g_{ds3} + g_{ds1} + s c_{gs3} \quad (\text{A.6})$$

$$A\beta \approx - \frac{g_{m1}}{g_B + \frac{g_{ds3}(g_{ds1} + s c_{gs3})}{g_{m3}} + s(c_{gs1} + c_{gs5})} \quad (\text{A.7})$$

$$\begin{aligned} Y_{in,CL} &= Y_{in,OL} (1 + |A\beta|) \\ &\approx (g_{m3} + g_{ds3} + g_{ds1} + s c_{gs3}) \frac{g_{m1}}{g_B + \frac{g_{ds3} g_{ds1}}{g_{m3}} + s \left(c_{gs1} + c_{gs5} + \frac{g_{ds3}}{g_{m3}} c_{gs3} \right)} \\ &\approx \frac{g_{m1} (g_{m3} + s c_{gs3})}{g_B + \frac{g_{ds3} g_{ds1}}{g_{m3}} + s (c_{gs1} + c_{gs5})} \quad (\text{A.8}) \end{aligned}$$

$$g_{out} \approx g_{ds5} + g_B \quad (\text{A.9})$$

En la ecuación (A.8) se puede observar que la admitancia de entrada tiene un cero y un polo, ecuaciones (A.10) y (A.11) respectivamente, donde $p_{[Y_{in,CL}]} < z_{[Y_{in,CL}]}$. Debido a la ubicación del polo respecto al cero, la admitancia de entrada se reduce degradando el sensado de la corriente de entrada. En la conductancia de salida no ve el efecto de las capacitancias de c_{gs} .

$$z_{[Y_{in,CL}]} \approx \frac{g_{m3}}{c_{gs3}} \quad (\text{A.10})$$

$$p[Y_{in.CL}] \approx \frac{g_B + \frac{g_{ds3}g_{ds1}}{g_{m3}}}{c_{gs1} + c_{gs5}} \quad (A.11)$$

El desarrollo de la expresión de la copia de corriente para frecuencia media se hace a partir del diagrama de flujo de la figura A.5. En este diagrama se puede observar que las capacitancias c_{gs} solo se encuentran en el lazo del *FVFCS* y no en la salida del espejo. La ecuación (A.12) presenta la función de transferencia del espejo y su polinomio característico está dado por la ecuación (A.13). Este polinomio contiene dos polos complejos conjugados, los cuales deben ser cuidadosamente ubicados para que el sistema sea estable y el retardo de grupo sea constante hasta la frecuencia de trabajo.

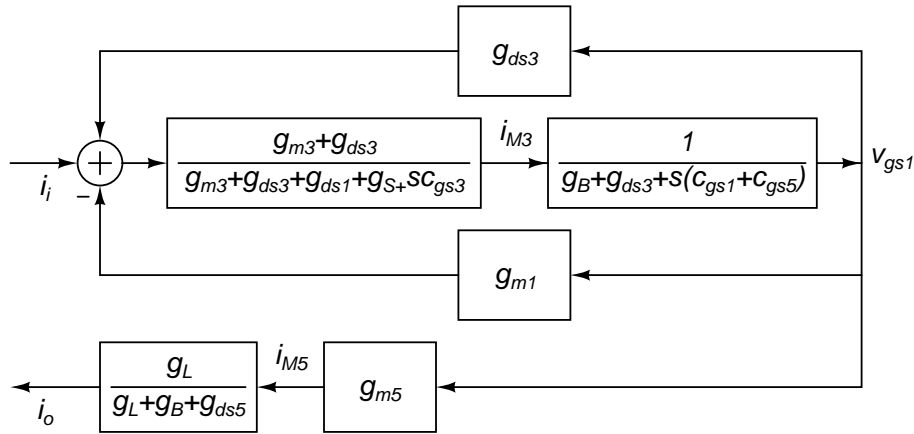


Figura A.5: Diagrama de flujo en frecuencia media del espejo de corriente tipo *FVFCS*.

$$\frac{i_o}{i_i} = \frac{g_{m5}(g_{m3} + g_{ds3})}{g_{m1}(g_{m3} + g_{ds3}) + g_{m3} [2g_{ds3} + s(c_{gs1} + c_{gs5}) + g_B]} \dots \frac{g_L}{+g_S [g_{ds3} + s(c_{gs1} + c_{gs5}) + g_B] \cdot g_{ds5} + g_B + g_L} \quad (A.12)$$

$$\begin{aligned} & s^2 c_{gs3} (c_{gs1} + c_{gs5}) \\ & + s [(g_{m3} + g_S)(c_{gs1} + c_{gs5})] \\ & + g_{m1}(g_{m3} + g_{ds3}) + g_{m3}(2g_{ds3} + g_B) + g_S(g_{ds3} + g_B) \end{aligned} \quad (A.13)$$

A.3. Expresiones en alta frecuencia

Al subir la frecuencia de trabajo, nuevos elementos parásitos intervienen en el comportamiento del circuito. En esta sección se considera el funcionamiento del espejo de corriente tipo



*FVFC*S en frecuencias donde todas las capacitancias parásitas de los transistores dejan de ser despreciables. En el esquema de pequeña señal de la figura A.6 se observa cada una de estas capacitancias. Debido a que a estas frecuencias la cantidad de términos no permite una fácil interpretación de las expresiones, se define admitancias equivalentes: $Y_1 = g_{ds1} + s(c_{gs3} + c_{sb3} + c_{db1})$, $Y_3 = g_{ds3} + sc_{dg1}$, $Y_5 = g_{ds5} + sc_{db5}$, $C_1 = c_{gs1} + c_{gs5} + c_{dg3} + c_{db3}$ y $Y_B = g_B + sc_B$.

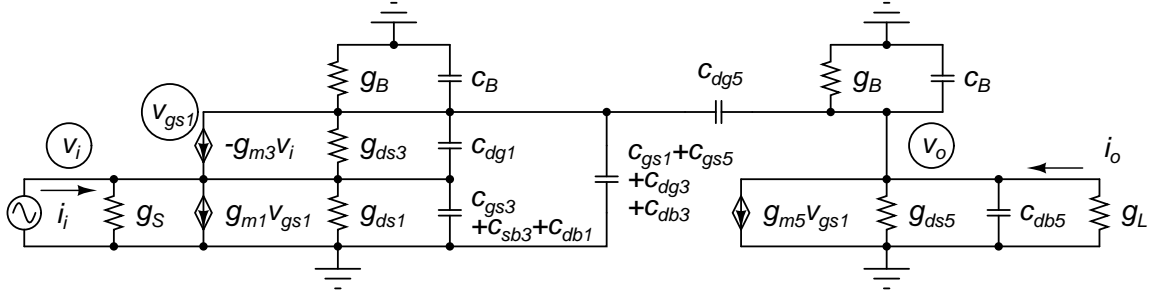


Figura A.6: Esquema del *FVFC*S en alta frecuencia.

En este rango de frecuencias existe un lazo adicional de realimentación debido a c_{dg5} . Este lazo, serie-paralelo, tanto la admitancia de entrada como la admitancia de salida. En la ecuación (A.14) se presenta la admitancia de entrada en lazo abierto del *FVFC*S, la ganancia de lazo que modifica la admitancia de entrada se presenta en la ecuación (A.15). Suponiendo que los transistores están debidamente saturados en inversión fuerte, y dado que la ganancia del lazo paralelo-paralelo es del orden de g_m/g_{ds} , la aproximación $A\beta > 1$ es válida y es usada para simplificar el cálculo de la admitancia de entrada. De este modo, la admitancia de entrada modificada por la ganancia del lazo del *FVFC*S está dada por la ecuación (A.16). Se puede apreciar el efecto del lazo serie-paralelo solo se presenta en la admitancia de salida del lazo paralelo-paralelo.

$$Y_{in,OL} = g_{m3} + Y_1 + Y_3 \quad (A.14)$$

$$A\beta = \frac{g_{m1}g_{m3}(Y_5 + Y_B + sc_{dg5})}{[g_{m3}(Y_B + s(c_{dg3} + c_{db3})) + g_{ds3}(Y_1 + sc_{dg1})](Y_5 + Y_B)} \cdots \frac{1}{+[g_{m3}(Y_5 + 2Y_B + s(c_{dg3} + c_{db3})) + g_{ds3}(Y_1 + sc_{dg1})]sc_{dg5}} \quad (A.15)$$

$$Y_{in,CL} = Y_{in,OL}(1 + |A\beta|) \approx \frac{(g_{m3} + Y_1 + Y_3)g_{m1}g_{m3}(Y_5 + Y_B + sc_{dg5})}{[g_{m3}(Y_B + s(c_{dg3} + c_{db3})) + g_{ds3}(Y_1 + sc_{dg1})](Y_5 + Y_B)} \cdots \frac{1}{+[g_{m3}(Y_5 + 2Y_B + s(c_{dg3} + c_{db3})) + g_{ds3}(Y_1 + sc_{dg1})]sc_{dg5}} \quad (A.16)$$

La admitancia de salida es modificada principalmente por el lazo serie-paralelo. . Además se debe tener en cuenta que, en comparación con el cálculo de la admitancia de entrada, el efecto del lazo paralelo-paralelo solo se ve en la admitancia de salida del lazo serie-paralelo, pues en este caso el lazo del *FVFC*S está cerrado. A partir de esto, se calcula la admitancia de salida del lazo serie-paralelo abierto, ecuación (A.17). La ganancia de este lazo se presenta en la ecuación (A.18), la cual se calcula rompiendo el lazo en el nodo de salida y considerando la carga de la realimentación. Por simplicidad la carga debido al *FVFC*S en lazo cerrado se aproximó a $g_{m1} + sC_1$. Adicionalmente, para frecuencias no muy altas la ganancia del lazo serie-paralelo es aproximadamente la unidad, por lo que no se usa la aproximación $A\beta > 1$. Teniendo en cuenta estas consideraciones, se calcula la expresión de la admitancia de salida modificada por el lazo de c_{dg5} , la cual se presenta en la ecuación (A.19).

$$Y_{out,OL} \approx \frac{(Y_5 + Y_B)(g_{m1} + Y_B + sC_1) + (g_{m1} + Y_5 + 2Y_B + sC_1)sc_{dg5}}{g_{m1} + Y_B + s(C_1 + c_{dg5})} \quad (A.17)$$

$$A\beta \approx \frac{g_{m5}(Y_5 + Y_B + sc_{dg5})}{(Y_5 + Y_B)(g_{m1} + Y_B + sC_1) + (g_{m1} + Y_5 + 2Y_B + sC_1)sc_{dg5}} \quad (A.18)$$

$$Y_{out,CL} = \frac{Y_{out,OL}}{1 + |A\beta|} \approx \frac{[(Y_5 + Y_B)(g_{m1} + Y_B + sC_1) + (g_{m1} + Y_5 + 2Y_B + sC_1)sc_{dg5}]^2}{[(g_{m1} + g_{m5})(g_{m5} + sc_{dg5}) + (2g_{m1} + g_{m5} + sc_{dg5})(Y_5 + 2Y_B + sC_1) + (Y_B + sC_1)] \dots} \dots \frac{1}{(3Y_B + 2Y_5 + sC_1)sc_{dg5} + (g_{m1} + g_{m5} + Y_B + sC_1)(g_{m1} + Y_B + sC_1)(Y_5 + Y_B)} \quad (A.19)$$

En la figura A.7 se presenta el diagrama de flujo de señal del espejo tipo *FVFC*S. A diferencia de los diagramas anteriores, donde la salida y la entrada estaban vinculadas solo por v_{gs1} , en este diagrama se puede apreciar el aporte de la realimentación por c_{gs5} . Resolviendo el diagrama de flujo de señal de la figura A.7 se obtiene la ecuación (A.20).

$$\frac{i_o}{i_i} = \frac{g_{m5}(g_{m3} + Y_3)g_L}{[(g_{m1} + g_{m5} + Y_B + s(C_1 + c_{dg5}))](g_{m3} + Y_3) \dots} \dots \frac{+ (g_{m3} + 2Y_3 + Y_B + sC_1)(Y_5 + Y_B + g_L) \dots}{+ (g_{m5} + Y_3 + Y_5 + 2Y_B + s(C_1 + c_{dg5}))(Y_1 + sc_{dg5} + G_S)]sc_{dg5} \dots} \dots \frac{+ [(g_{m1} + Y_B + sC_1)(g_{m3} + Y_3) + g_{m3}(Y_B + sC_1 + Y_3) \dots}{+ (Y_1 + g_S)(Y_3 + Y_B + sC_1) + Y_1(Y_3 + Y_B + sC_1)](Y_5 + Y_B + g_L)} \quad (A.20)$$



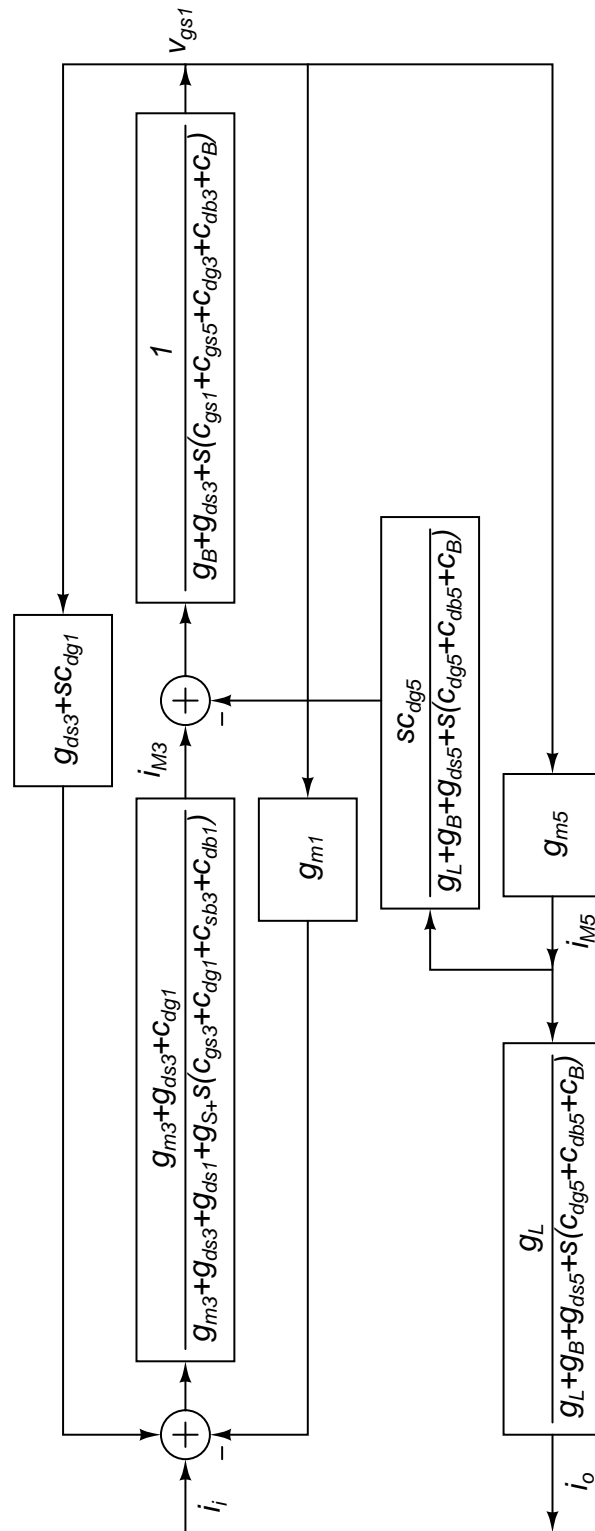


Figura A.7: Diagrama de flujo en alta frecuencia del espejo de corriente tipo *FVFCs*.

Apéndice B

Par diferencial cruzado

En la figura B.1 se presenta el esquema en gran señal del par diferencial cruzado. Este esquema fue propuesto en 1968 por Gilbert [22] para lograr la multiplicación de señales en cuatro cuadrantes. El esquema original se orientó a procesos de tecnología bipolar, sin embargo su adopción a procesos de tecnología *CMOS* fue directa. En 1985 Babanezhad [27] presentó una de las primeras adaptaciones de este circuito a la tecnología *CMOS*.

El funcionamiento del multiplicador está basado en que las señales de los factores sean diferenciales, usando la técnica de multiplicación de Cuadrado-octavo, ecuación (B.1). Esta técnica se puede implementar en CI mediante el esquema de la figura B.1. En este circuito uno de los factores diferenciales es sentido por las compuertas de los pares diferenciales (V_{c+} y V_{c-}), mientras que el otro factor diferencial es sentido por los surtidores, ya sea en modo voltaje o en modo corriente.

$$xy = \frac{1}{8} [(x + y)^2 + (-x + y)^2 - (-x - y)^2 - (x - y)^2] \quad (\text{B.1})$$

En las ecuaciones (B.2)-(B.5) se presenta la corriente de los transistores de los pares diferenciales cruzados. A la salida del núcleo del multiplicador se obtiene la ecuación (B.6),

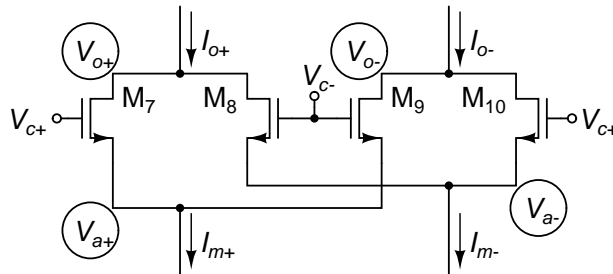


Figura B.1: Esquema en gran señal del par diferencial cruzado.

donde se cumple a técnica de Cuadrado-octavo de la ecuación (B.1). Sin embargo la expresión analítica de la corriente drenador-surtidor del transistor *MOS* es de tercer orden, si se considera la modulación del canal. En la ecuación (B.7) se presenta esta ecuación, donde λ es el parámetro de modulación de canal.

$$I_{D7} = \frac{C_{ox}\mu_n}{2} S_7 (V_{c+} - V_a - V_t)^2 \quad (B.2)$$

$$I_{D8} = \frac{C_{ox}\mu_n}{2} S_8 (V_{c-} - V_a - V_t)^2 \quad (B.3)$$

$$I_{D9} = \frac{C_{ox}\mu_n}{2} S_9 (V_{c-} - V_b - V_t)^2 \quad (B.4)$$

$$I_{D10} = \frac{C_{ox}\mu_n}{2} S_{10} (V_{c+} - V_b - V_t)^2 \quad (B.5)$$

$$I_o = I_{o+} - I_{o-} = (I_{D7} + I_{D9}) - (I_{D8} + I_{D10}) \quad (B.6)$$

$$I_D = \frac{C_{ox}\mu_n}{2} S_n (V_{GS} - V_{tn})^2 (1 + \lambda V_{DS}) \quad (B.7)$$

Visto desde la señal sensada por los surtidores de los pares, cada transistor del multiplicador es un elemento de conductancia variable, dada principalmente por g_m . Si g_m está dada por la ecuación (B.8), esta es función directa de los voltajes $V_{c,a}$. Dado que los voltajes V_c y V_a son señales diferenciales, cada una varía de forma simétrica, como se muestra en las ecuaciones (B.9) y (B.10). A partir de esto se construye la ecuación (B.11), donde S_{Par} es la relación de aspecto de los cuatro transistores del núcleo del multiplicador. Esta ecuación permite ver que la conductancia total vista desde los surtidores de los pares diferenciales del multiplicador es constante.

$$g_m = \mu_n C_{ox} S (V_{GS} - v_{tn}) \quad (B.8)$$

$$V_c = V_{c+} - V_{c-} = V_c + \Delta_c - V_c - \Delta_c \quad (B.9)$$

$$V_a = V_{a+} - V_{a-} = V_a + \Delta_a - V_a - \Delta_a \quad (B.10)$$

$$G_{m,Par} = g_{m7} + g_{m8} + g_{m9} + g_{m10} = \frac{\mu_n C_{ox}}{2} S_{Par} (V_{c+} - V_{a+} + V_{c+} - V_{a-} + V_{c-} - V_{a+} + V_{c-} - V_{c-}) = 4g_m \quad (B.11)$$

B.1. Distorsión por sensado de corriente

Suponiendo que el circuito trabaja en pequeña señal y que el voltaje $V_c = V_{c+} - V_{c-}$ es constante y diferente de cero, se construye el esquema en pequeña señal de la figura B.2. A

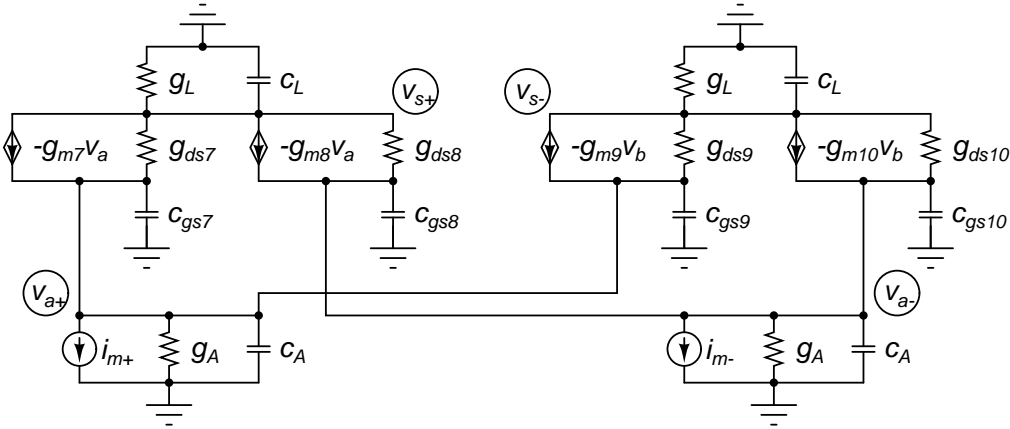


Figura B.2: Esquema en pequeña señal del par diferencial cruzado de la figura B.1

partir de este esquema se obtienen las ecuaciones para calcular la variación de los voltajes $v_{s,a}$ en función de la corriente $i_m = i_{m+} - i_{m-}$.

Si los transistores del núcleo tienen las mismas dimensiones, se puede suponer que la transconductancia de compuerta (g_m) y la conductancia del canal (g_{ds}) son iguales. Bajo estas aproximaciones se obtienen las ecuaciones (B.12) y (B.13). Si se reduce la variación de $v_{s,a}$ se reduce la distorsión del producto. Para lograr esto se debe buscar que el producto que acompaña a i_m sea pequeño. Con el fin de que la conductancia de carga en los surtidores ayude a reducir la distorsión se debe cumplir que $g_A \geq g_m$.

$$v_{s+,a\pm} = v_{s+} - v_{a\pm} = \frac{i_m}{2(g_m + g_{ds} + g_A) + 2s(2c_{gs} + c_A)} \quad (\text{B.12})$$

$$v_{s-,a\pm} = v_{s-} - v_{a\pm} = -\frac{i_m}{2(g_m + g_{ds} + g_A) + 2s(2c_{gs} + c_A)} \quad (\text{B.13})$$

En las ecuaciones (B.12) y (B.13) no se presenta dependencia a la carga en los drenadores. Para poder encontrar una dependencia de $v_{s,a}$ a la carga en los drenadores se modifican las condiciones bajo las cuales se resuelve el sistema de ecuaciones: se supone que los g_m s son diferentes y los g_{ds} s son iguales. De este modo se obtiene el polinomio característico del par cruzado, ecuación (B.14), y los voltajes $v_{s,a}$, ecuaciones (B.15) y (B.16). Estas ecuaciones permiten evaluar el efecto de la carga en los drenos y en los surtidores del núcleo del multiplicador sobre la distorsión del producto. Con el propósito de reducir la variación de los voltajes $v_{s,a}$ se debe tener transistores exactamente iguales, de modo que se cancele sus transconductancias. Sin embargo se debe tener en cuenta los efectos de *mismatch*, los cuales no permiten que haya una cancelación completa entre las transconductancias de los transistores. Es por esto que se

debe diseñar las cargas del núcleo del multiplicador con conductancias de salida grandes (g_A y g_L).

$$\begin{aligned}
 D_{Par}(s) &= (g_L + 2g_{ds} + sC_L) \cdot \\
 &= (2g_A + g_{m7} + g_{m8} + g_{m9} + g_{m10} + 4g_{ds} + s(c_{gs7} + c_{gs8} + c_{gs9} + c_{gs10} + C_A)) \\
 &= (g_L + 2g_{ds} + sC_L) (G_{Par} + 4g_{ds} + 4C_{gs,Par}) \\
 &= (g_L + 2d_{ds} + sC_L) Y_{Par} \quad (B.14)
 \end{aligned}$$

$$v_{s+,a\pm} = i_m \frac{g_{m7} - g_{m8} \mp (g_L + 2g_{ds} + sC_L)}{D_{Par}(s)} \quad (B.15)$$

$$v_{s-,a\pm} = i_m \frac{g_{m9} - g_{m10} \mp (g_L + 2g_{ds} + sC_L)}{D_{Par}(s)} \quad (B.16)$$

B.2. Distorsión por sensado de voltaje

Debido a que el núcleo del multiplicador puede sensar tanto voltaje como corriente por el surtidor de sus transistores, se evalúa también la distorsión para el sensado de voltaje. En la figura B.3 se presenta el esquema en pequeña señal del núcleo de la figura B.1, el cual tiene conectado en los surtidores fuentes de voltaje con su admitancia de salida. Al igual que en el análisis de distorsión por sensado de corriente se supone que $V_c = V_{c+} - V_{c-}$ es constante y diferente de cero. De este modo, a partir de este esquema se obtienen las ecuaciones para evaluar la dependencia de los voltajes $v_{s,a}$ en función del voltaje $v_m = v_{m+} - v_{m-}$.

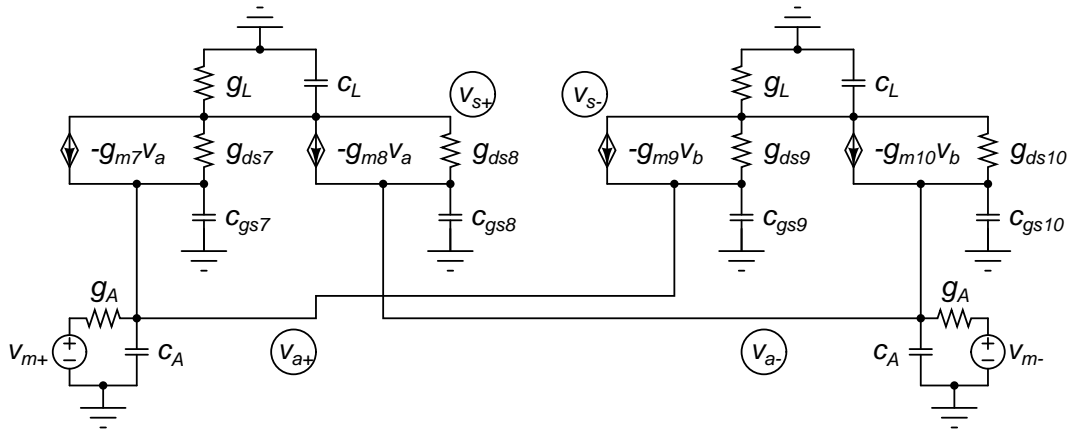


Figura B.3: Esquema en pequeña señal del núcleo del multiplicador sensando voltaje.

Suponiendo que los transistores del núcleo son iguales, las g_{ms} y las g_{ds} son iguales, y se resuelve el sistema de ecuaciones a partir de estas aproximaciones. La solución a este sistema

se presenta en las ecuaciones (B.17) y (B.18), donde $v_{s,a}$ presenta una relación directa a g_A . Según esta ecuación para reducir la variación de $v_{s,a}$ se debe reducir g_A , contradiciendo la conductancia de salida de una fuente de voltaje ideal.

$$v_{s+,a\pm} = \mp v_m \frac{g_A}{2(2g_m + 2g_{ds} + g_A) + s(c_{gs7} + c_{gs8} + c_{gs9} + c_{gs10} + c_A)} \quad (\text{B.17})$$

$$v_{s-,a\pm} = \mp v_m \frac{g_A}{2(2g_m + 2g_{ds} + g_A) + s(c_{gs7} + c_{gs8} + c_{gs9} + c_{gs10} + c_A)} \quad (\text{B.18})$$

Debido a esa contradicción y por no verse el efecto de la admitancia de carga de los drenadores se resuelve el sistema de ecuaciones bajo condiciones diferentes: $g_{m,s}$ diferentes y g_{ds} iguales. En las ecuaciones (B.19) y (B.20) se presenta la solución para estas condiciones. Estos voltajes tienen el mismo polinomio característico de la distorsión por sensado de corriente y el numerador es multiplicador por g_A . Si se considera la cancelación parcial de los $g_{m,s}$ en el numerador debido a *mismatch*, las variables de diseño principales son g_A y g_L . En el denominador, ecuación característica del núcleo del multiplicador, se tienen estas mismas variables de diseño, sin embargo en el denominador se presenta la suma de las cuatro transconductancias de compuerta del núcleo del multiplicador. Esto permite deducir que al aumentar las conductancias g_A y g_L la variación de $v_{s,a}$ se va a reducir. Esta deducción sí es coherente con la conductancia de salida de una fuente de voltaje.

$$v_{s+,a\pm} = v_m \frac{g_A(g_{m7} - g_{m8} \mp (g_L + 2g_{ds} + sC_L))}{D_{Par}(s)} \quad (\text{B.19})$$

$$v_{s-,a\pm} = v_m \frac{g_A(g_{m9} - g_{m10} \mp (g_L + 2g_{ds} + sC_L))}{D_{Par}(s)} \quad (\text{B.20})$$

Para poder ver de forma directa la dependencia de los voltajes $v_{c,a}$ a las admitancias de carga, se simplifica el polinomio $D_{Par}(s)$. Esta simplificación es posible dado que la suma de las transconductancias es constante, como se muestra en la ecuación (B.11), y que las capacitancias c_{gs} son iguales.

$$v_{s+,a\pm} = v_m \frac{g_A(g_{m7} - g_{m8} \mp (g_L + sC_L + 2g_{ds}))}{(g_L + sC_L + 2g_{ds})(2g_A + sC_A + 4g_m + sc_{gs})} \quad (\text{B.21})$$

$$v_{s-,a\pm} = v_m \frac{g_A(g_{m8} - g_{m10} \mp (g_L + sC_L + 2g_{ds}))}{(g_L + sC_L + 2g_{ds})(2g_A + sC_A + 4g_m + sc_{gs})} \quad (\text{B.22})$$

B.3. Funciones de transferencia

En el desarrollo de los voltajes de distorsión de las secciones anteriores se obtuvo los voltajes de salida de los multiplicadores $v_{s\pm}$. A partir de estos voltajes se puede calcular



la transferencia a las corrientes de salida $i_{o\pm} = v_{s\pm}y_L$, que son las variables de interés en la evaluación del producto. Por simplicidad y aprovechando la simetría del multiplicador, se presenta la función de transferencia hacia el voltaje v_{s+} , a partir de la cual se puede extrapolar la función de transferencia para v_{s-} reemplazando los subíndices de los parámetros complementarios. Primero se presenta la ecuación del voltaje v_{s+} para el multiplicador con sensado de corriente, ecuación (B.23).

$$v_{s+} = i_m \frac{g_{m7} - g_{m8}}{D_{Par}(s)} \quad (\text{B.23})$$

Comparando el esquema de la figura B.2 con la ecuación (B.23) y teniendo en cuenta que $i_m = i_{m+} - i_{m-}$, se puede deducir que g_{m7} y g_{m8} son los factores de las corrientes i_{m+} e i_{m-} respectivamente. De este modo quedan implícitas las corrientes de entrada dentro de la función de transferencia. Recordando que $i_{o+} = v_{s+}y_L$, se puede obtener la función de transferencia desde las corrientes de entrada al núcleo del multiplicador al voltaje de salida del mismo, dada por la ecuación (B.24). El subíndice *im* indica que es la función de transferencia por sensado de corriente.

$$H_{s+,im} = \frac{(g_{m7} - g_{m8})(g_L + sC_L)}{D_{Par}(s)} \quad (\text{B.24})$$

Establecida la función de transferencia en el multiplicador con sensado en corriente se hace lo propio para el multiplicador con sensado en voltaje. En la ecuación (B.25) se presenta el voltaje de salida del esquema de la figura B.3. Recordando que $v_m = v_{m+} - v_{m-}$ y comparando la ecuación (B.25) con el esquema de la figura B.3, se puede deducir que los factores $g_A g_{m7}$ y $g_A g_{m8}$ corresponden a los voltajes v_{m+} y v_{m-} respectivamente. De este modo quedan implícitos los voltajes de entrada en la función de transferencia. Calculando esta función de transferencia al igual que en el caso para sensado por corriente, se obtiene la ecuación (B.26). El subíndice *vm* indica que es la función de transferencia por sensado de voltaje.

$$v_{s+} = v_m \frac{g_A(g_{m7} - g_{m8})}{D_{Par}(s)} \quad (\text{B.25})$$

$$H_{s+,vm} = \frac{g_A(g_{m7} - g_{m8})(g_L + sC_L)}{D_{Par}(s)} \quad (\text{B.26})$$

Bibliografía

- [1] B. Widrow, M. Lehr, F. Beaufays, E. Wan, y M. Bilello, “Learning Algorithms for Adaptive Signal Processing and Control,” *IEEE International Conference on Neural Networks*, vol. 1, pgs. 1 – 8, 1993.
- [2] S. Haykin, *Adaptive Filter Theory*, 4ta ed. Pearson Education, 2002.
- [3] K. Bult y H. Wallinga, “A CMOS Analog Continuous-Time Delay Line with Adaptive Delay-Time Control,” *IEEE Journal of Solid-State Circuits*, vol. 23, pgs. 759–766, 1988.
- [4] L. Pasquato y Z. Kale, “Adaptive IIR Filter Initialization Via Hybrid FIR/IIR Adaptive Filter Combination,” *IEEE Transactions on Instrumentation and Measurement*, vol. 50, pgs. 1830–1835, 2001.
- [5] B. Widrow y S. D. Stearns, *Adaptive Signal Processing*, 1ra ed. Prentice Hall, 1985.
- [6] E. Soria, J. Calpe, J. Chambers, y G. Camps, “A Novel Approach to Introducing Adaptive Filters Based on the LMS Algorithm and Its Variants,” *IEEE transactions on Education*, vol. 47, pgs. 127–133, 2004.
- [7] A. Díaz-Sánchez, “Design and Implementation of Analog VLSI Adaptive Filters,” Tesis de doctorado, New Mexico State University, 2000.
- [8] A. De La Vega, A. De Queiroz, y P. Diniz, “Adaptive Filter Implementation Using Switched-Current Technique,” *IEEE International Symposium on Circuits and Systems*, vol. 1, pgs. 17–20, 2001.
- [9] N. CheeWe y A. P. Chandrakasan, “Design of a Power-Scalable Digital Least-Means-Square Adaptive Filter,” *International Symposium on Signal Processing and its Applications*, vol. 1, pgs. 292–295, 2001.

- [10] C. H.-i. Kim, H. Soeleman, y K. Roy, “Ultra-Low-Power DLMS Adaptive Filter for Hearing Aid Applications,” *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 11, pgs. 1058–1067, 2003.
- [11] V. Aparin, G. J. Ballantyne, C. J. Persico, y A. Cicalini, “An Integrated LMS Adaptive Filter of TX Leakage for CDMA Receiver Front Ends,” *IEEE Journal of Solid-State Circuits*, vol. 41, pgs. 1171–1182, 2006.
- [12] T. Ñdjountche, “A Digital Adaptive Filter Architecture for Hard-Disk Drive Read Channels,” *IEEE International Midwest Symposium on Circuits and Systems*, vol. 2, pgs. 31–35, 2006.
- [13] F. Bien, S. Chandramouli, H. Kim, E. Gebara, y J. Laskar, “Digitally Controlled 10-Gb/s Adjustable Delay Line for Adaptive Filter Design in standard CMOS Technology,” *IEEE International Symposium on Circuits and Systems*, pgs. 197–200, 2007.
- [14] J. Gray, V. Srinivasan, R. Robucci, y P. Hasler, “A Floating-Gate Transistor Based Continuous-Time Analog Adaptive Filter,” en *IEEE International Symposium on Circuits and Systems*, 2008, pgs. 908–911.
- [15] T. L. Deliyannis, Y. Sun, y J. K. Fidler, *Continuous-Time Active Filter Design*, 1ra ed. CRC Press, 1999.
- [16] B. De Vries, “Temporal Processing with Neural Networks – Development of the Gamma Model,” Tesis de doctorado, University of Florida, 1991.
- [17] J. C. Príncipe, B. De Vries, y P. Guedes De Oliveira, “The Gamma Filter-A New Class of Adaptive IIR Filters with Restricted Feedback,” *IEEE Transactions on Signal Processing*, vol. 41, pgs. 649–656, 1993.
- [18] ———, “The Gamma-Filter-A New Class of Adaptive IIR Filters with Restricted Feedback,” Gainesville, EU/Aveiro, Portugal, pg. 12, 1993.
- [19] J. Ramírez-Angulo, R. González-Carvajal, A. Torralba, J. A. Gómez-Galán, A. Vega-Leal, y J. Tombs, “The Flipped Voltage Follower: A Useful Cell for Low-Voltage Low-Power Circuit Design,” *International symposium on Circuits and Systems*, vol. 3, pgs. 615–618, 2002.

- [20] T. Oliveira E Silva, "On the Equivalence Between Gamma and Laguerre Filters," *IEEE International Conference on Acoustics, Speech, and Signal Processing*, vol. IV, pg. 385–388, 1994.
- [21] S. Çelebi y J. C. Príncipe, "Parametric Least Squares Approximation Using Gamma Bases," *IEEE Transactions on Signal Processing*, vol. 43, pgs. 781–784, 1995.
- [22] B. Gilbert, "A Precise Four-Quadrant Multiplier with Subnanosecond Response," *IEEE Journal of Solid-State Circuits*, vol. SC-3, pgs. 365–373, 1968.
- [23] A. Korn y T. M. Korn, *Electronic Analog Computers*. McGraw-Hill, 1956.
- [24] G. Han y E. Sánchez-Sinencio, "CMOS transconductance multipliers: a tutorial," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 45, pgs. 1550–1563, 1998. [Internet]. Visite: <http://ieeexplore.ieee.org/lpdocs/epic03/wrapper.htm?arnumber=746667>
- [25] A. Díaz-Sánchez, J. Ramírez-Angulo, E. Sánchez-Sinencio, y G. Han, "A CMOS four quadrant current/transconductance multiplier," *Proceedings of 40th Midwest Symposium on Circuits and Systems. Dedicated to the Memory of Professor Mac Van Valkenburg*, pgs. 237–240, 1997. [Internet]. Visite: <http://ieeexplore.ieee.org/lpdocs/epic03/wrapper.htm?arnumber=666077>
- [26] T. H. Lee, *The Design of CMOS Radio-Frequency Integrated Circuits*, 2da ed. Cambridge University Press, 2004.
- [27] N. Babanezhad y C. Temes, "A 20-V Four-Quadrant," *IEEE Journal of Solid-State Circuits*, vol. SC-20, pgs. 1158–1168, 1985.