



**I
N
A
O
E**

Influencia del acoplo capacitivo en el test de fallas *stuck-open*

por

Ing. Luis Fernando Pérez Jiménez

Tesis sometida como requisito
parcial para obtener el grado de:

**MAESTRO EN CIENCIAS EN LA ESPECIALIDAD DE
ELECTRÓNICA**

en el

Instituto Nacional de Astrofísica, Óptica y Electrónica
Septiembre 2008
Tonantzintla, Puebla

Director de tesis:

Dr. Víctor Hugo Champac Vilela, INAOE

©INAOE 2008

Derechos reservados

El autor otorga al INAOE el permiso de reproducir y
distribuir copias de esta tesis en su totalidad o en partes.



Dedicado a:

Mis padres Francisca y Antonio, por que este
como todos mis triunfos, son por ellos y para ellos.

Mi tía Ernestina , por todos los cuidados que me ha brindado.

Mis hermanos Antonio, Carolina y Alejandro, por
el apoyo incondicional que siempre me han brindado.

Mis amigos, por haberme acompañado a lo largo de este viaje.

Y a Nayeli, por todo lo que significa para mi.

Índice general

Resumen	v
Abstract	vii
Agradecimientos	ix
Acrónimos	xi
1. Introducción	1
1.1. Introducción	1
1.2. Defectos, errores y fallas	2
1.3. Test de circuitos integrados	3
1.4. Modelos de fallas	4
1.4.1. Modelo de falla stuck-at	5
1.4.2. Defectos de puentes	6
1.4.3. Defectos de aberturas	8
1.5. Tipos de test	9
1.5.1. Test lógico	9
1.5.2. Test de retrasos	11
1.5.3. Test de I_{DDQ}	12
1.6. Organización de la tesis	14
2. Modelado de fallas <i>stuck-open</i>	17
2.1. Introducción	17
2.2. Factores que afectan a las fallas <i>stuck - open</i>	19

2.3. Modelado de la falla	24
2.4. Efectos de acoplamiento	27
2.5. Influencia de V_{DD}	29
2.6. Cálculos para la detección específica	31
2.7. Cálculos para la detección general	38
2.8. Conclusiones	42
3. Generador de vectores para <i>stuck-open</i> (GVESOP)	43
3.1. Introducción	43
3.2. Condiciones de detección de vectores	44
3.3. Descripción y algoritmo de la herramienta GVESOP	47
3.4. Conclusiones	51
4. Simulador para fallas <i>stuck-open</i> (SSOP)	53
4.1. Introducción	53
4.2. Estructura del SSOP	54
4.2.1. Entorno general del SSOP	54
4.2.2. Descripción del SSOP	54
4.3. Cálculos para las condiciones de detección de defectos	58
4.3.1. Modelo general para fallas <i>stuck-open</i>	59
4.4. Evaluación y resultados del SSOP	64
4.4.1. Evaluación de la cobertura de fallas	64
4.4.2. Análisis del costo de la excitación de los acoplamientos	69
4.5. Análisis de detectabilidad de acoplamientos	72
4.6. Conclusiones	82
5. Conclusiones	83
A. Ecuaciones de carga del CMOS	87
B. Descripción de los algoritmos	91
B.1. Descripción del algoritmo de GVESOP	91
B.2. Descripción del algoritmo de SSOP	92

ÍNDICE GENERAL	III
Índice de figuras	97
Índice de cuadros	99
Bibliografía	101

Resumen

Desde la década de los 80's, el transistor de silicio ha sido la base de la industria electrónica. Los avances tecnológicos ha hecho posible obtener transistores mas pequeños debido a que la litografía y los procesos de fabricación han sido mejorados. En consecuencia, la densidad de integración y la complejidad de los circuitos se ha incrementado. En las tecnologías actuales las rupturas son fallas importantes a ser tomadas en cuenta. Debido a esto, hay un fuerte interes estudiar estas y determinar las condiciones óptimas para su test.

En esta tesis se propone un ambiente de pruebas para mejorar la capacidad de detección de fallas *Stuck-Open*. Bajo este ambiente se proponen dos metodologías, que en conjunto, permitan determinar si los casos considerados como críticos pueden ser detectados o no, considerando los valores de los acoplamientos capacitivos, estados lógicos y compuertas afectadas. Se proponen dos metodologías ejecutadas por medio de herramientas CAD. La primera llamada GVESOP (Generador de vectores *Stuck-Open*) que consiste en una herramienta para generar vectores de prueba que favorezcan la detección para fallas *Stuck-Open*. Y la segunda llamada SSOP (Simulador para Fallas *Stuck-Open*), la cual es un simulador de fallas stuck-open. Esta última permite estimar la cobertura para las fallas estudiadas.

La herramienta GVESOP permite aumentar la cobertura para las fallas *Stuck-Open*. Como consecuencia el número de fallas no detectados es reducido. Algunas de las características del GVESOP son:

- Su operación se basa en la extracción de las capacitancias parásitas de los circuitos analizados.

- Genera vectores de prueba considerando los efectos capacitivos empleando una herramienta ATPG comercial, considerando los estados lógicos de algunos de los nodos del circuito.
- Puede ser empleado en cualquier circuito combinacional o secuencial.

La otra herramienta CAD desarrollada es el SSOP (Simulador para Fallas *Stuck-Open*). Esta puede evaluar la cobertura de la falla *Stuck-Open*. Adicionalmente SSOP proporciona información útil para evaluar la calidad de la prueba de las aberturas. Basándose en esa información se pueden generar mejores vectores para incrementar la cobertura de la falla o se pueden implementar medidas para DFT. De igual manera que la herramienta anterior, el SSOP emplea como archivos de entrada la descripción lógica de los circuitos y la información extraída del layout por Calibre. Algunas de las características principales del SSOP son:

- Esta basado en la descripción lógica del circuito y la información extraída del layout.
- Estima el rango de detección para cada falla, con esto la cobertura de la misma puede ser evaluada.
- Determina el número de transistores afectados por nodos que tengan al menos una línea acoplada de valor capacitivo más grande o igual que la suma de los valores capacitivos de GND y V_{DD} multiplicado por un “Factor de selección”.
- El análisis de detectabilidad determina sí para las fallas detectadas los acoplamientos capacitivos tuvieron condiciones favorables para el test o no.

En general, las herramientas GVESOP y SSOP han sido diseñadas para poder ser empleadas en cualquier circuito, sin importar la tecnología.

Abstract

Since the 80's decade the silicon transistor has been the base of electronic industry. The technological advances have made it possible to obtain smaller transistors because of lithography and the manufacture processes have been improved. Consequently, the integration density and the circuits complexity have been increased. In current technologies the ruptures are a considerable defect. Due to this, it is very important to study these defects and to determine the optimum conditions for its test.

In this thesis a test framework is proposed to improve the detection capacity of stuck-open defects. Within this framework two methodologies are developed, which altogether, allow to determine if the cases considered as critical can be detected or not, considering the capacitive couplings values, logical states and affected gates. Two methodologies executed by CAD tools are proposed. The first one called GVESOP, consists in a vectors generator for stuck-open faults. And the second one called SSOP, which consists in a simulator of stuck-open faults. The last one allows to estimate the defects coverage for the studied faults.

GVESOP allows to increase the defects coverage for stuck-open faults. Consequently the number of non-detected defects is reduced. Some of the GVESOP characteristics are:

- GVESOP operation is based on the extraction of parasite capacitances from the analyzed circuits.

- GVESOP generates test vectors considering the capacitive effects using an ATPG commercial tool, considering the logical states of some circuit's nodes.
- GVESOP can be used in any combinational or sequential circuit.

The other developed CAD tool is the SSOP. This can evaluate the defect coverage for stuck-open. Additionally SSOP provides useful information to evaluate the open test quality. Based on that information better vectors can be generated to increase the defect coverage or improvements can be implemented for DFT . As in the previous tool, the SSOP uses as input files the logical description of the circuits and the extracted information from layout by Calibre. Some of the basic characteristics of the SSOP are:

- It is based on the logical description of the circuit and extracted information from the layout.
- It considers the detection range for each defect, with this the defect coverage can be evaluated.
- It determines the number of affected transistors by nodes that have at least one line connected with a capacitive value greater or equal to the sum of the capacitive values of GND and V_{DD} multiplied by a selection factor.
- The detectability analysis determines for the detected faults, if the capacitive couplings had favorable conditions for test or not.

Generally, GVESOP and SSOP have been designed to be used in any circuit, regardless of the technology.

Agradecimientos

Al Consejo Nacional de Ciencia y Tecnología (CONACyT).

Por el apoyo económico otorgado a la beca con numero de registro: 206977.

Al Instituto Nacional de Astrofísica Óptica y Electrónica (I.N.A.O.E).

Por el apoyo y las facilidades brindadas durante mi estancia en este instituto.

Al Dr. Víctor H. Champac Vilela.

Por haberme permitido colaborar con él y guiarme en esta investigación.

Al Dr. Roberto Gómez Fuentes.

Por el apoyo brindado durante la realización de este proyecto.

Al M.C. Jesus Moreno Moreno.

Por haber colaborado en la realización de los layouts necesarios.

A los Doctores:

Luis Hernández Martínez

Víctor Jiménez Fernández

L. Arturo Sarmiento Reyes

Por el tiempo invertido en las revisiones y correcciones realizadas a este trabajo.

Acrónimos

ATPG	Generación Automática de Secuencia de Test.
CAD	Diseño Asistido por Computadora.
CBP	Circuito Bajo Prueba.
CI	Circuito Integrado.
CMOS	Metal Óxido Semiconductor Complementario.
DFT	Diseño enfocado al Test.
FSO	Falla <i>Stuck-Open</i> .
GVESOP	Generador de Vectores para <i>Stuck-Open</i> .
ISCAS	International Symposium on Circuits and Systems.
SSOP	Simulador de Fallas <i>Stuck-Open</i> .
TSMC	Taiwan Semiconductor Manufacturing Company.
VLSI	Very Large-Scale Integration.

Capítulo 1

Introducción

1.1. Introducción

Desde los 80's, el transistor de silicio ha sido la fuerza principal de la industria electrónica. Los avances tecnológicos han hecho posible reducir el tamaño de los transistores debido a la litografía y a que los procesos de fabricación han sido mejorados. Debido a esto, la densidad de integración y la complejidad de los circuitos se han incrementado. Del mismo modo, la complejidad del test en los circuitos integrados modernos ha mejorado. Diversos tipos de defectos pueden aparecer debidos a alteraciones en el proceso de fabricación. Los defectos pueden afectar la funcionalidad en los circuitos integrados (CI's) o degradar su rendimiento. De acuerdo con esto, los defectos pueden ser clasificados como paramétricos y catastróficos [43]. Los defectos paramétricos dañan el rendimiento del circuito integrado. Hay una gran variedad de causas de los defectos paramétricos entre los cuales se pueden mencionar: Variaciones en el gradiente de temperatura en el proceso de revelado, aberraciones locales en las lentes, variaciones en el proceso de dopado. Los defectos catastróficos afectan la funcionalidad de los circuitos integrados con fallas permanentes, intermitentes o transitorias. Las fallas permanentes pueden ser consecuencia de cortos circuitos, defectos de aberturas, cortos en el oxido de compuerta y otros defectos. Las fallas intermitentes son aquellas que suceden cuando no hay probabilidad de que ocurran. Las fallas transitorias son debidas a eventos aleatorios como partículas alpha, crosstalk o conexiones a tierra.

1.2. Defectos, errores y fallas

De acuerdo con [3] los conceptos de defectos, error y fallas pueden ser definidos como se muestra a continuación:

DEFECTO: Un defecto en un sistema electrónico es una diferencia no deseada entre el hardware diseñado y el fabricado. Algunos defectos típicos en circuitos VLSI son:

1. Defectos del proceso: Ausencia o adición de materiales no esperados, transistores parásitos, rupturas de óxido.
2. Defectos de materiales: Defectos en el sustrato (imperfecciones en la red cristalina), impurezas de la superficie, etc.
3. Defectos de uso: Ruptura del dieléctrico, electromigración, etc.
4. Defectos de encapsulado: Degradación de contactos, agujeros o aberturas en el sellado.

ERROR: Una señal de salida errónea producida por un sistema con defectos es llamada error.

FALLA: Es la representación de un defecto en un nivel de operación abstracto.

Las aberturas stuck-open desconectan la parte de la red P o N en un circuito con lógica CMOS. Debido a la ruptura los transistores PMOS y NMOS conectados a la compuerta, se encuentran flotando. Las aberturas pueden ser totales, o resistivas tal como se muestra en la figura 1.1. Una abertura total es cuando existe una ausencia completa del material en una sección de la línea. La distancia entre dos puntos desconectados es lo suficientemente grande para que no haya influencia de la señal de entrada en la línea flotante. Una abertura resistiva es cuando el material conductor no está completamente roto. Como consecuencia la resistencia en esa línea conductiva se incrementa.

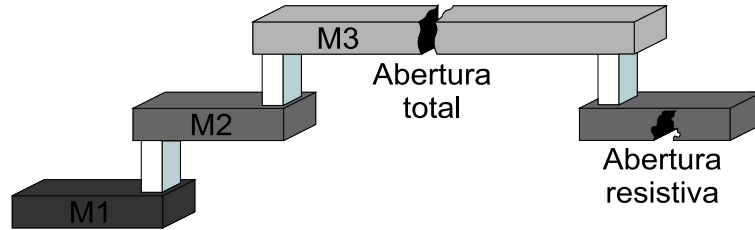


Figura 1.1: Aberturas totales y resistivas en líneas de interconexión.

Los contactos y vías son lugares similares para que una abertura ocurra [4]. Los contactos y las vías se han convertido en un importante detractor de la producción en tecnologías modernas las cuales tienen un gran número de contactos y vías debido al uso de los diversos niveles de metales [4]. La figura 1.2 muestra los defectos en las vías. Una vía o un contacto malformado puede resultar en un defecto de conexión. En tecnologías basadas en sustracción de aluminio estos problemas se vuelven severos para procesos de $0.25\mu\text{m}$ y menores. En tecnologías basadas en cobre, es de esperar que el número de conexiones defectuosas se incremente debido a que la capacidad de integración y los niveles de metales se incrementan.

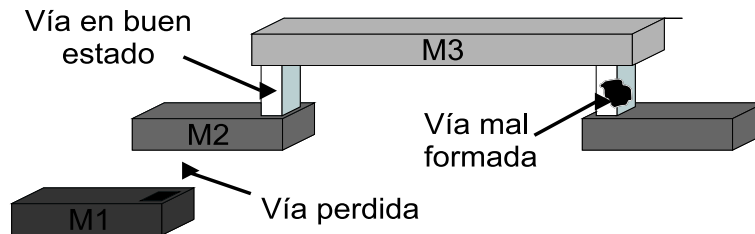


Figura 1.2: Aberturas totales y resistivas en vías.

1.3. Test de circuitos integrados

La meta del test de circuitos integrados es identificar los circuitos fabricados que no satisfagan las especificaciones iniciales. El test de circuitos integrados tiene los siguientes pasos:

1. Aplicar un vector a las entradas controladas del circuito. El vector de entrada sensibiliza el defecto y propaga el error posible a una salida observable.

2. Una medición es hecha en la salida observable.
3. La medición es comparada con un valor de referencia para determinar si el circuito es aceptado como libre de fallas o es rechazado.

Los pasos antes mencionados se muestran en la figura 1.3.

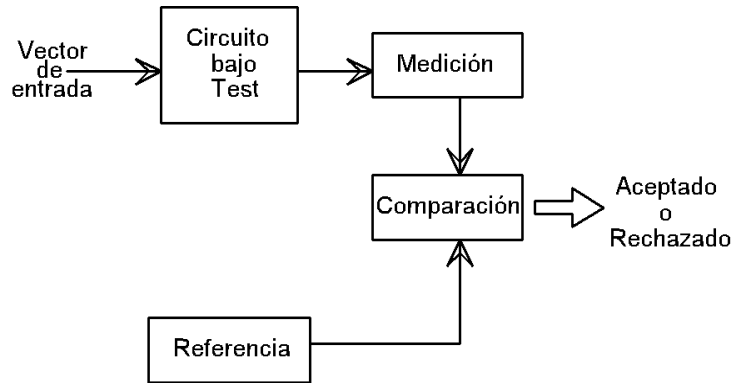


Figura 1.3: Diagrama del test general.

1.4. Modelos de fallas

Para el testing de circuitos integrados, los defectos físicos son representados adecuadamente en un nivel superior de abstracción. Esto es llamado “Modelado de la falla”. El modelado de la falla puede ser hecho a diferentes niveles de abstracción como eléctrico, lógico o funcional. Los modelos [40, 59, 32] son definidos dependiendo del efecto que describe el defecto físico en el comportamiento del circuito. La generación de vectores de prueba depende del modelo de fallas dado. Un buen modelo de falla debe tener las siguientes propiedades [43, 16]:

- Debe de coincidir con el tipo de circuito con el cual será usado.
 - La complejidad de las fallas no debe de implicar un esfuerzo excesivo de tiempo de computo.
 - El modelo de falla debe reflejar el comportamiento de las fallas físicas con suficiente exactitud.
-

1.4.1. Modelo de falla stuck-at

El modelo de falla mas ampliamente utilizado es el modelo stuck-at [39, 41]. El modelo sencillo de stuck-at extrae los detalles de la implementación y la tecnología de la representación de un circuito al colocar la ocurrencia de una falla directamente en la representación a nivel compuerta del circuito.

El modelo de fallas stuck-at asume que un nodo defectuoso se comporta como un nodo conectado permanentemente a una de las fuentes de alimentación, V_{DD} o GND. En este modelo, SA0 (Stuck-at-0) y SA1 (Stuck-at-1) son usados para describir un nodo que presenta una falla [2]. A nivel de compuertas, el número de fallas que pueden ocurrir por una compuerta combinatorial con n -entradas y $2n+2$ salidas [24]. Cada uno de los nodos de las n -entradas puede sufrir una falla SA-0 o SA-1. Lo mismo puede suceder para el nodo de salida. En el modelo de falla stuck-at, el conjunto de vectores, es aplicado a las entradas primarias del circuito para sensibilizar la falla. El error es propagado a una salida primaria. En un circuito diversas fallas stuck-at pueden ocurrir simultáneamente. Un circuito con n líneas tendra $3^n - 1$ posibles estados de stuck-at, lo cual es un número grande y computacionalmente costoso. Por lo tanto, es común modelar solo una falla stuck-at a la vez. De esta manera, un circuito con n líneas de entrada tendra $2n$ fallas stuck-at. Este número es reducido aun mas por el proceso de compactación de fallas debido a que existen fallas equivalentes.

Algunas de las características de este modelo son las siguientes:

- Muchos defectos físicos pueden ser modelados con la misma lógica.
 - La complejidad es ampliamente reducida.
 - El modelo stuck-at es independiente de la tecnología.
 - El test simple de stuck-at cubre un gran porcentaje de múltiples stuck-at.
 - El test simple de stuck-at cubre un gran porcentaje de defectos físicos no modelados.
-

A pesar de las grandes ventajas del modelo stuck-at, se ha encontrado que este no es adecuado para modelar algunos defectos en tecnologías CMOS [10, 60, 53]. Debido a esto, otros modelos de fallas han sido propuestos.

1.4.2. Defectos de puentes

Los defectos de puentes han mostrado ser una fuente considerable de fallas en circuitos VLSI [13, 30]. Estos tipos de defectos son definidos en [46] como una conexión no intencional entre dos o mas nodos de un circuito y Ferguson et. al. [52] definen estos tipos de errores como conexiones entre dos o mas líneas resultando de material conductor extra o material aislador faltante. La detección de un defecto de puente de baja resistencia entre subredes independientes en un CI requiere que el estado del circuito sea fijado para que de este modo la falla sea expresada y propagada a una salida primaria. A manera de crear una condición de falla, los vectores de prueba deben de ser aplicados a nodos cercanos con polaridad lógica opuesta. Para detectar la falla, el vector de test también propaga el valor lógico incorrecto mas débil, a la salida primaria [52, 17]. El requerimiento para crear la condición de falla no es considerado por el modelo Stuck-at tradicional. Por lo tanto un conjunto de vectores stuck-at con 100 % de cobertura no garantiza que dos circuitos conectados por un puente sean detectados [48].

La figura 1.4 muestra dos inversores con un defecto de puente ohmico que produce un corto entre la salida del inversor (I_1) y V_{DD} . Cuando un voltaje bajo (0v) es aplicado a la entrada del inversor (I_1), se produce un voltaje alto en el nodo V_2 . Esta condición hace que el transistor PMOS se encienda, considerando que el NMOS está apagado. Cuando la señal de entrada cambia a un nivel alto una trayectoria entre V_{DD} y GND a través del NMOS es producida. Esto se puede apreciar en la figura 1.5. Esta gráfica muestra el efecto de un defecto ohmico. Esto puede ser visto mientras la señal de entrada permanezca en un estado bajo, y la señal de salida del inversor (I_1) este en un estado alto. Cuando la entrada cambia de 0 lógico a 1 lógico, la salida cambia de 1 a 0 lógico. Sin embargo, mientras el transistor NMOS trate de llevar al nodo V_2 a GND, la resistencia llevara a este

nodo a V_{DD} . El voltaje final esta dado por el valor de la resistencia de corto.

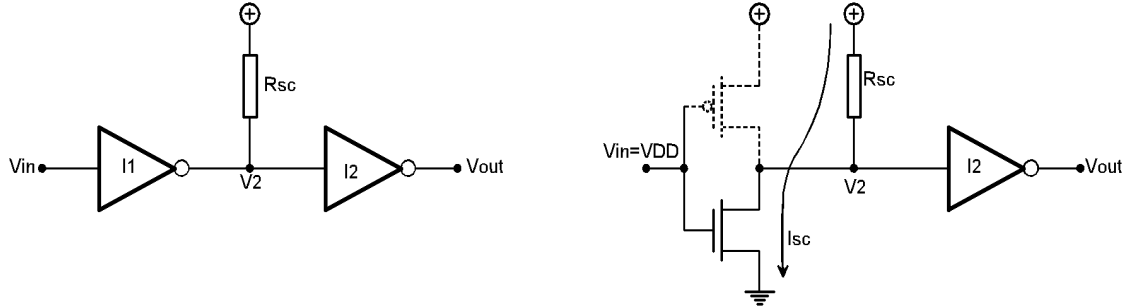


Figura 1.4: Defecto de puente de riel de alimentación al nodo de señal.

La figura 1.5 muestra la simulación representada en la figura 1.4. Las gráficas muestran las diferentes curvas obtenidas para diferentes valores de resistencias de corto. Se puede apreciar que, dependiendo del valor de la resistencia de corto, el voltaje en el nodo (V2) es afectado. El impacto de un defecto de puente en el comportamiento lógico no depende solo del valor de la resistencia y de la transconductancia del transistor que compite con la resistencia de corto [46]. La curva de transferencia característica de la compuerta con el nodo débil determinara el impacto del defecto, esto se interpretara en el valor lógico que corresponda a cada voltaje intermedio.

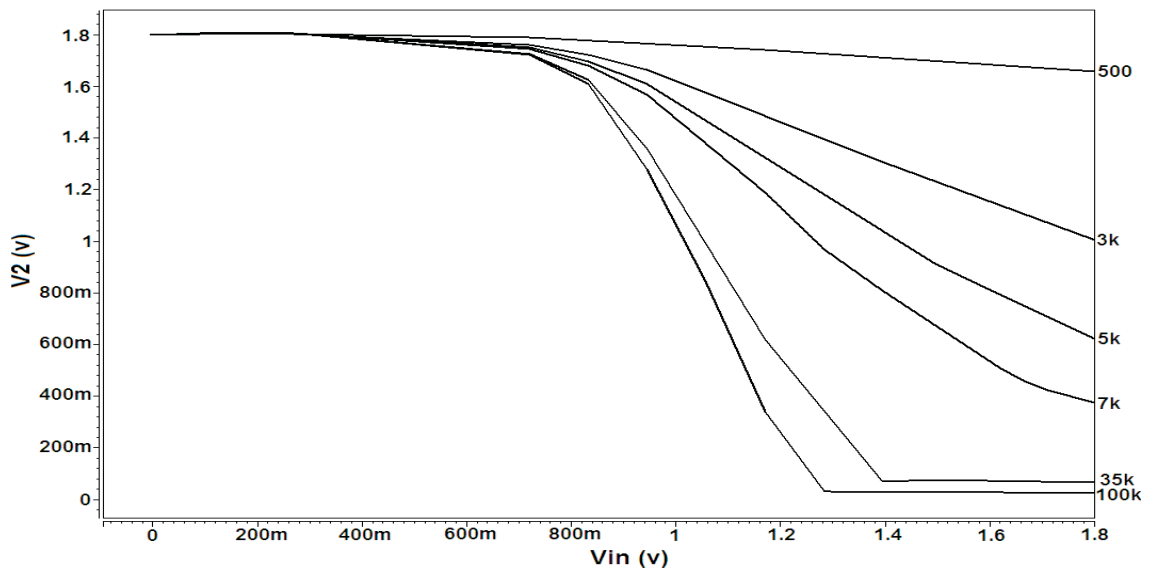


Figura 1.5: Voltajes para diferentes valores de resistencias.

1.4.3. Defectos de aberturas

Las aberturas en circuitos CMOS son probablemente las fallas mas difíciles de diagnosticar de todas las fallas que se presentan en los CMOS, usando cualquiera de las técnicas de testing actuales. Un amplio rango de comportamientos de estas fallas han sido observados y contradicciones se han realizado acerca de la importancia de los capacitores parásitos y el efecto que tienen en el comportamiento observado de las fallas. Las aberturas o rupturas pueden ser causadas por material conductor faltante o por material aislador extra, de este modo un simple nodo eléctrico se puede dividir en múltiples nodos [52]. Un circuito abierto puede ocurrir en cualquiera de las interconexiones de los materiales afectando también las conexiones de compuerta, drenaje o fuente. El comportamiento de la falla causado por la presencia de una abertura es dependiente de su ubicación, su resistencia, su ancho y el valor de los capacitores parásitos acoplados y las corrientes de fuga asociadas al nodo flotante.

El modelo de fallas stuck-at asume que el ancho de la abertura es lo suficientemente grande para prevenir interacciones de capacitores parásitos acoplados con nodos vecinos. El efecto de las corrientes de fuga también es ignorado por el modelo de falla stuck-at.

En [46] son definidas seis clases generales de aberturas. Estas clases son las siguientes:

- Transistor encendido.
 - Par de transistores encendidos.
 - Par de transistores encendidos/apagados.
 - Retrasos.
 - Memoria (Transistor encendido).
 - Secuencias.
-

Las primeras cinco categorías aparecen en circuitos de lógica combinacional, y en ciertos instantes en circuitos secuenciales con comportamientos de defectos de aberturas.

En general, cuando ocurren grandes aberturas en compuertas, el comportamiento de la falla puede diferir dependiendo de la ubicación de la falla. Cuando una abertura provoca que las compuertas de un par de transistores floten, esto provoca que un transistor conduzca y el otro no, lo cual lleva al comportamiento stuck-at [28]. Esto también es sostenido por el trabajo de Henderson et. al. [49]. En el caso donde solo la compuerta de un transistor esta flotando, el transistor defectuoso se comporta de manera similar al efecto stuck-at pero, la compuerta puede funcionar apropiadamente y funcionar como un switch a bajas frecuencias [28]. Un transistor con la compuerta flotando puede ser susceptible a la influencia de acoplamientos de metales conductores adyacentes [6]. Sin embargo, independientemente de si la función lógica es interferida depende, probablemente de fallas puente, en las variaciones de largo y ancho, de la topología del circuito y de las variaciones en los procesos de fabricación [52]. Por supuesto, independientemente de donde ocurra la falla, la situación es complicada cuando el ancho de la ruptura está lo suficientemente cerca para permitir el tuneo de un electrón o cuando los efectos de corrientes de fuga dominan el efecto de los capacitores parásitos [28].

1.5. Tipos de test

1.5.1. Test lógico

El test lógico [16] es usado para monitorear niveles lógicos (valores booleanos) del circuito bajo prueba (CBP). Cada circuito tiene una función lógica característica. El nodo de salida de un CBP muestra un valor lógico definido por una combinación de señales de entrada. El test lógico compara la respuesta del nodo de salida del CBT contra la respuesta esperada libre de falla del CBT. Si resulta que ambas no son iguales el CBT es defectuoso. En el test lógico, se asume que un tiempo suficiente es esperado después de que el vector es aplicado a las entradas para establecer los niveles estables.

Testing funcional

En los primeros años de la tecnología de los circuitos integrados, una estrategia exhaustiva o completamente funcional era empleada para circuitos integrados de pequeña escala de integración (SSI), la complejidad del circuito estaba limitada a compuertas sencillas [15]. Los nodos internos eran fácilmente accesibles a través de los pines de I/O del empaquetado y la generación de los vectores de prueba era fácil. Sin embargo, el método solo es aplicable a circuitos pequeños, debido a que el tamaño del vector esta exponencialmente relacionado con el número de entradas. Para circuitos combinacionales con n entradas, un test exhaustivo consiste de 2^n vectores de prueba [25]. Para un circuito de lógica secuencial con m registros de un bit (elementos de memoria) y una relación entrada-salida en la cual las salidas dependen de las entradas y los valores de los registros, un test exhaustivo consistiría de 2^{m+n} vectores de prueba.

Testing estructural

Debido a que los niveles de integración evolucionaron de SSI y MSI a LSI, el testing funcional no era posible, debido al costo de aplicar el conjunto de vectores al dispositivo [15]. Un vector cuyo tamaño es lineal con el número de nodos en el circuito tiene una gran ventaja sobre la estrategia del testing funcional, si este pudiera cubrir los objetivos de la prueba del dispositivo. Además, el costo inherente en determinar un conjunto de vectores apropiados podría ser amortiguado por el tiempo ahorrado en aplicar conjunto de vectores reducido para cada CI. Consecuentemente, el problema de testing para circuitos LSI fue reformulado como una tarea computacional cuyo objetivo es determinar el número mínimo de vectores necesarios para realizar una verificación estructural del CI. Una inspección en este problema computacional establecerá su complejidad.

Un circuito combinacional consiste de n entradas y p nodos. Un nodo es definido como el elemento mas pequeño del circuito a nivel compuerta, que puede asumir un valor lógico distinto. Las fallas son insertadas una en cada p nodo

del circuito. El objetivo es encontrar un juego de p vectores que provoquen las expresiones de las fallas insertadas para que aparezcan en el vector de salida correspondiente.

En [44] se presenta un método simple para generar los vectores que logren este objetivo. En este método, una tabla de verdad es construida para el circuito correcto y para cada uno de los p circuitos defectuosos. Un proceso iterativo compara la tabla de verdad correcta con cada una de las tablas de verdad defectuosas. Cuando una discrepancia es encontrada entre los valores de salida de las tablas de verdad correcta y la defectuosa, el vector de entrada es guardado. Cada tabla de verdad defectuosa es procesada de esta manera hasta que un vector de entrada sea encontrado, o las entradas se terminen. El conjunto de vectores resultantes representa las fallas para ese dispositivo.

1.5.2. Test de retrasos

Las fallas de retrasos son paramétricas, definidas como retardos sin especificación, los cuales resultan en comportamientos incorrectos o inestables [8, 56]. La correcta operación del circuito requiere que el retraso de propagación de la señal a través de toda la vía desde las entradas primarias y las salidas primarias, sea menor que el intervalo de la señal de reloj funcional. Los defectos que causan retrasos de propagación a lo largo de una o mas trayectorias sea mayor que el intervalo de la señal de reloj funcional, puede resultar en la captura de valores lógicos incorrectos en registros internos o en el retraso de los valores del circuito funcional en las salidas primarias. El testing de fallas de retraso es un método paramétrico que usa el tiempo de respuesta de las salidas del CI a las transiciones, como un mecanismo de detección de fallas.

El testing de retraso no esta basado en asegurar los niveles lógicos del CBP. En vez de eso, se asegura que las condiciones de tiempo de los nodos observados estén por debajo de las especificaciones de diseño. El modelo de retraso puede ser dividido principalmente en, modelo de retraso de compuerta y modelo de retraso de trayectoria [54]. El modelo de retraso de compuerta [27] está basado las especificaciones del testing de tiempo del dispositivo seleccionado. Sin embargo,

variaciones acumulativas del retraso de compuertas anteriores libran este modelo. El modelo de retraso de trayectorias resuelve este problema [47]. Una trayectoria es seleccionada para ser el objeto de medición del retraso, entonces las transiciones de $0 \rightarrow 1$ y $1 \rightarrow 0$ son propagadas a través de la trayectoria. Si el retraso medido se encuentra dentro de la ventana de observación, entonces la trayectoria está libre de fallas, de lo contrario es defectuosa. La ventana de observación puede ser definida como cerrada para el tiempo funcional de la trayectoria en distribuciones estáticas de retrasos [5].

Diversos defectos de fabricación incluyendo los defectos locales y las variaciones aleatorias del proceso pueden causar que la lógica CMOS funcione a una velocidad menor que la normal pero, dejando el comportamiento funcional intacto [9, 31]. El punch-through y los defectos que reducen significativamente la longitud del canal del transistor pueden debilitar los niveles lógicos y llevar a la degradación del tiempo. Transistores parásitos, defectos en las uniones pn y voltajes de umbral incorrectos o cambiados pueden también llevar a que se incremente el retardo de propagación. Adicionalmente, las fallas de retrasos pueden ser resultado de diferentes tipos de defectos de aberturas.

La transmisión de compuerta abierta puede no ser detectada usando el testing lógico, pero, puede ser detectada como una falla de retraso [35, 24, 48]. Por otra parte, las fallas de retraso pueden ocurrir como fallas intermitentes las cuales son responsables de la mayoría de las fallas en equipos digitales en campo [56, 42]

1.5.3. Test de I_{DDQ}

El testing de I_{DDQ} es una técnica basada en la medición de la corriente en estado estable del dispositivo bajo test. Es necesario hacer una distinción entre las tecnologías de aplicación donde la corriente de fuga es despreciable y las tecnologías de aplicación donde no lo es. El criterio tradicional de decisión, el cual es válido para tecnologías con bajas corrientes de fuga, es basado en el hecho de que un circuito CMOS no presenta ninguna corriente significativa cuando está en un estado estable. En estado estable, solo se presentan las corrientes de fuga que en la mayoría de los casos puede ser despreciada. El hecho es que bajo ciertas condi-

ciones una corriente significativa se puede presentar cuando el dispositivo bajo test se encuentre en un estado estable, lo cual indica la presencia de un defecto de fabricación en el circuito. Un defecto que causa un incremento en una corriente, puede tener una influencia directa en la funcionalidad del circuito o puede afectar el tiempo de vida del circuito dañado.

El test de I_{DDQ} es una técnica muy sensible, capaz de detectar problemas en estado temprano, incluso antes de que realmente dañen al circuito. Debido a esto, ofrece una ventana para el comportamiento futuro del dispositivo. También es una propuesta alternativa para remplazar a otras técnicas, mas costosas o que consuman mas tiempo en la generación de vectores necesarios para garantizar la calidad y funcionalidad del dispositivo probado. En combinación con la espectroscopia de emisión y el análisis espectral, I_{DDQ} es una técnica muy poderosa para detectar la ubicación y diagnosticar una falla.

La técnica de test de I_{DDQ} puede ser aplicada a nivel de oblea, a nivel de circuito empaquetado, durante inspecciones, y durante el test o incluso durante test en línea. Hacer uso del test de I_{DDQ} apoyándose con el uso apropiado del equipo de medición ofrece las siguientes ventajas:

- Incrementa la calidad de la producción.
- Reduce las terminales necesarias para el test.
- Se detectan fallas que acortarían el tiempo de vida del dispositivo.
- Incrementa la confiabilidad de la producción.
- Reduce el costo total del test.
- Incrementa la productividad del análisis de ingeniería y fallas.

Suponiendo un compuerta NAND CMOS tal como se muestra en la figura 1.6, con un stuck-on en las terminales de fuente-drenaje del transistor NMOS-B. El vector de entrada aplicado AB=10 debería cargar el nodo de salida, sin embargo,

debido a la falla, la red NMOS esta activa y una corriente de V_{DD} a GND es creada. La compuerta NAND es detectada como defectuosa debido al alto consumo de corriente en estado estable.

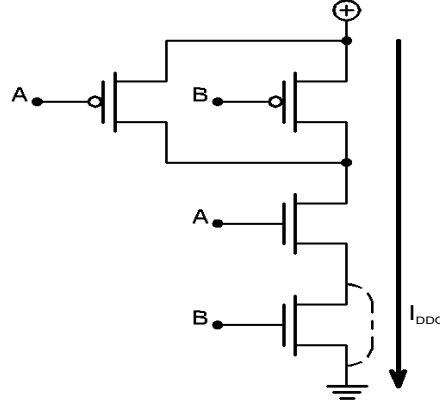


Figura 1.6: Compuerta NAND CMOS defectuosa.

El test de corriente I_{DDQ} ha demostrado ser adecuado para detectar defectos de puentes [50] y algunos defectos de aberturas [7]. Sin embargo, con el escalamiento de la tecnología, algunas fallas no son detectadas. No solo las mediciones sencillas de corriente han sido empleadas, también se han utilizado estrategias elaboradas como firmas de corriente [18, 22]. La información de los circuitos defectuosos es contenida en el nivel y la magnitud de la corriente estática. Corrientes altas de fuga debidas a defectos pueden ser detectadas por las firmas de corriente. La detectabilidad de I_{DDQ} se ha incrementado por el concepto de corrientes de umbral variables [14].

1.6. Organización de la tesis

Esta tesis está organizada de la siguiente manera:

En el capítulo 2 se presenta el modelo eléctrico básico propuesto, es presentado y diferentes simulaciones del voltaje del nodo flotante son presentadas y analizadas. Los efectos de acoplamientos son estudiados. La influencia del voltaje

de alimentación (V_{DD}) es estudiado. Los resultados de las simulaciones para los diversos factores que influyen son analizados.

En el capítulo 3, se presenta la descripción del algoritmo de la herramienta CAD desarrollada llamada GVESOP. Las condiciones bajo las cuales la detección es posible son explicadas.

En el capítulo 4, se describe la herramienta SSOP desarrollada. Las condiciones bajo las cuales la detección es posible, su estructura y el modelo matemático que emplea. La metodología para estimar el rango de cobertura de detección de fallas *Stuck-Open* es presentado. Finalmente, los resultados obtenidos son presentados en tablas para cuatro circuitos ISCAS'85.

Por último en el capítulo 5 se presentan las conclusiones de la tesis.

Capítulo 2

Modelado de fallas *stuck-open*

2.1. Introducción

Un defecto de abertura en un circuito puede ocurrir en cualquier material de interconexión que afecte alguna de las conexiones de compuerta, fuente o drenaje. Los defectos de aberturas pueden ocurrir durante el proceso de fabricación o como fallas latentes. A continuación se enlistan los tres defectos generales de aberturas en circuitos CMOS [48]:

- **Abertura de compuerta:** Se presenta en un transistor cuya compuerta ha sido abierta en una línea de interconexión.
- **Abertura en drenaje o fuente:** Se presenta en un transistor cuyo drenaje o fuente ha sido abierta en una línea de interconexión.
- **Abertura en compuerta de transmisión:** Ocurre cuando uno de los transistores en la compuerta de transmisión no puede pasar carga a través de drenaje-fuente.

Las aberturas en los metales de los circuitos son comunes no solo en separaciones amplias, sino también en dobleces submicrométricos con bordes ásperos. Una abertura en compuerta tiene propiedades diferentes de las aberturas que aparecen en las conexiones de drenaje o fuente. Las aberturas en el drenaje o la

fuelle de un circuito (Fallas *Stuck-Open*) generalmente tiene influencias similares en el circuito defectuoso y el mayor efecto es disminuir la corriente de drenaje. Las aberturas de compuerta dependen fuertemente de la topología y son poco sensitivas a las señales por acoplamientos capacitivos [48].

Una abertura en el drenaje o la fuente de un MOSFET, genera una clase no convencional de falla llamada *Stuck-Open*. Las fallas *Stuck-Open* son mecanismos de falla asociados con la pérdida de capacidad de transferencia de carga en uno o mas de los transistores en un circuito lógico CMOS. Esta falla causa un estado de alta impedancia en el nodo de salida por lo menos para un estado lógico y en algunos casos se asume que el voltaje del nodo es el correspondiente al del estado lógico anterior. Debido a esto en ocasiones esta falla es referida como una falla tipo “memoria”.

Si una FSO existe, un vector de prueba no puede siempre garantizar un único valor lógico repetible en la salida, debido a que no hay una vía de conducción del nodo de salida a V_{DD} o GND. La salida depende del valor lógico almacenado en las capacitancias del nodo de salida y puede causar que un circuito combinacional emule un comportamiento secuencial, haciendo que el test sea extremadamente difícil. Para resolver esto, es necesario aplicar primero un vector de inicialización a la entrada para fijar la salida a un valor conocido. Un segundo vector es aplicado para sensibilizar el camino a probar en la red MOSFET. Si la salida cambia a su estado complementario, entonces una FSO no esta presente. De otra manera, si la salida no experimenta un cambio a un estado, la FSO es detectada [38].

Se han realizado muchos trabajos respecto a la generación de vectores para *Stuck-Open*. Algunos autores han investigado la cobertura de la falla stuck-open cuando un juego de vectores stuck-at es aplicado [58, 36]. Abd -El-Barr [1] ha propuesto un método deductivo para generar vectores *Stuck-Open* robustos. El testing de defectos de aberturas en memorias, decodificadores de direccionamiento es mostrado en [45]. La mayoría de las investigaciones se han enfocado en la detección de fallas *Stuck-Open* pero con poca atención al diagnostico.

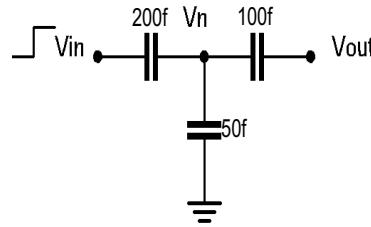
2.2. Factores que afectan a las fallas *stuck - open*

Debido al estado de alta impedancia inducido por la falla *Stuck - Open*, se presentan factores que influyen en el funcionamiento de la celda afectada, estos son:

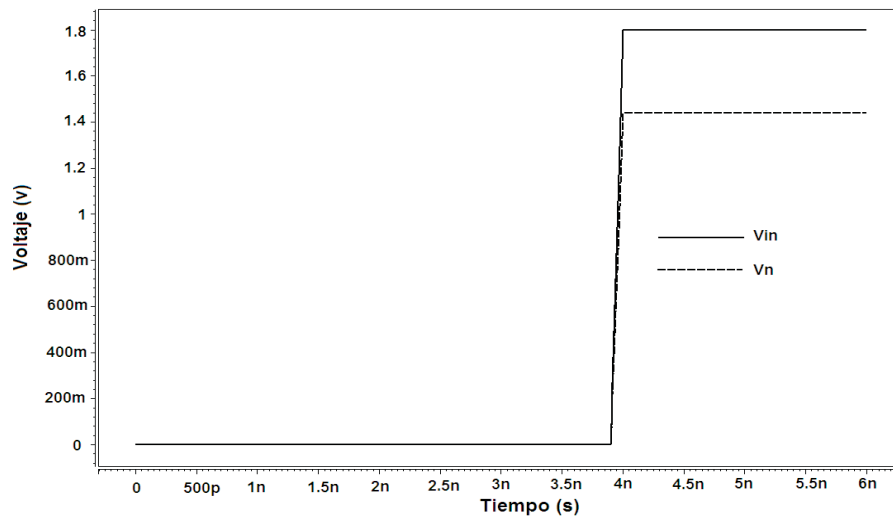
- Miller Feedthrough.
- Miller Feedback.
- Charge Sharing.

Miller Feedthrough

Este efecto es la inducción de un voltaje adicional en la salida de la celda, debido al divisor capacitivo formado con las capacidades de traslape, de uno o varios transistores en los cuales se presente un cambio en la compuerta, y la capacidad relacionada al nodo de salida de la celda. A continuación se presenta un caso de estudio simple para representar el efecto.



(a) Caso de estudio simple del efecto Miller Feedthrough.

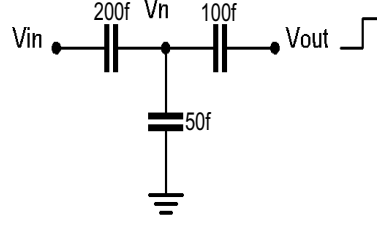


(b) Respuesta obtenida.

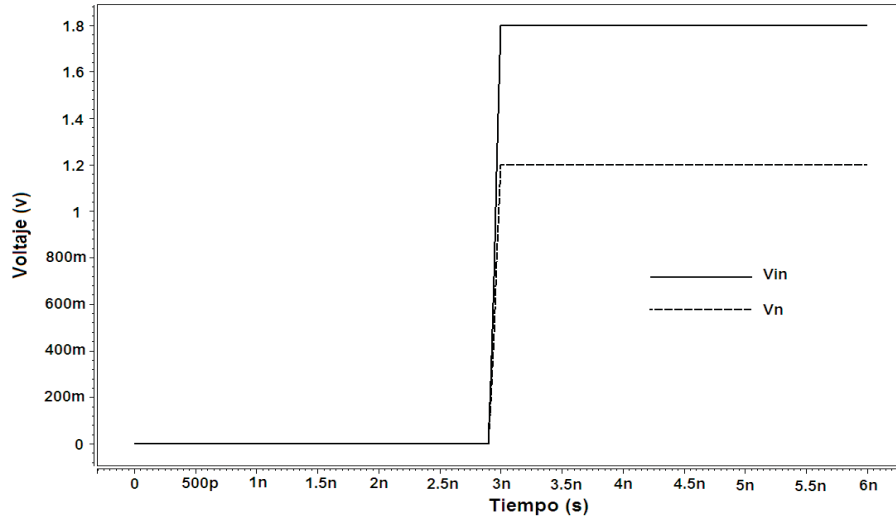
Figura 2.1: Efecto Miller Feedthrough.

Miller Feedback

Este efecto es similar al anterior, solamente que en este la inducción es debida al voltaje presentado en la salida de la(s) compuerta(s) de carga hacia el nodo flotante. A continuación se presenta un caso de estudio sencillo para representarlo.



(a) Caso de estudio simple del efecto Miller Feedback.



(b) Respuesta obtenida.

Figura 2.2: Efecto Miller Feedtrough.

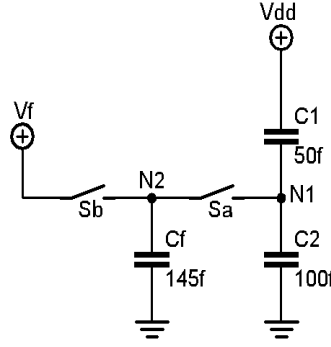
Charge Sharing

Este efecto se presenta si varios nodos en un circuito están conectados entre si a través de transistores en conducción, y no existe una fuente externa de alimentación en estos nodos. Antes de la distribución de carga, el voltaje en el nodo puede ser descrito por la ecuación 2.1. Después de que la distribución de carga ocurre, todos los nodos tendrán el mismo voltaje descrito por la ecuación 2.2.

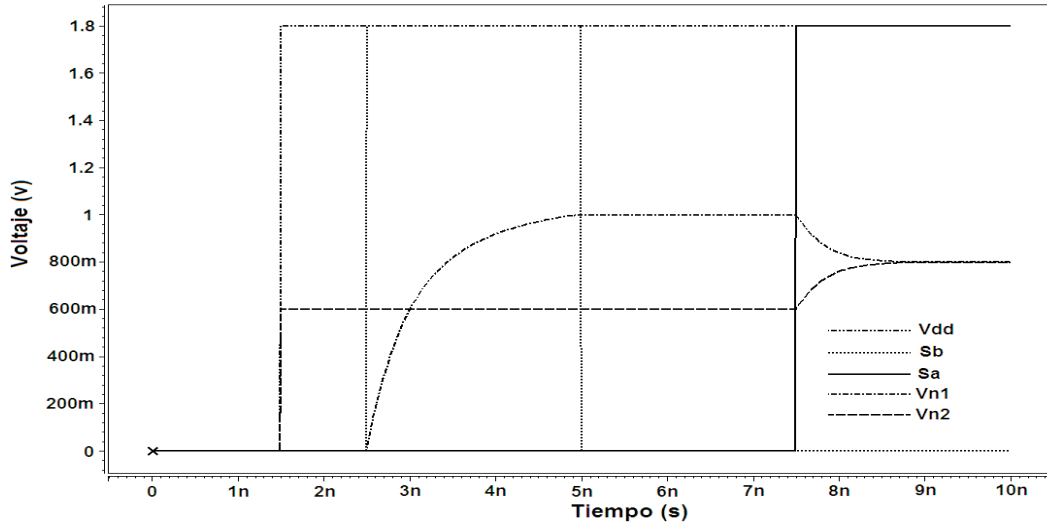
$$V_{ni} = \left[\frac{C_1}{C_1 + C_2} \right] V_{DD} \quad (2.1)$$

$$V_{nf} = \frac{(C_1 + C_2) \cdot V_{ni} + (C_f \cdot V_f)}{C_1 + C_2 + C_f} \quad (2.2)$$

En la figura 2.3 se presenta caso de estudio con el cual se obtuvieron las ecuaciones anteriores, y el comportamiento del mismo.



(a) Caso de estudio simple del efecto Charge Sharing.



(b) Respuesta obtenida.

Figura 2.3: Efecto Charge Sharing.

Una vez descritos los factores que se presentan cuando existe una falla *Stuck-Open* en un circuito, se procede a simular un caso en cual se presenten los tres, dependiendo del vector que de sensibilización[29]. La secuencia de vectores empleados se muestra en el cuadro 2.1.

Cuadro 2.1: Secuencia de vectores aplicados para realizar el test.

Tiempo (ns)	x	a1	a2	a3	b
0	0v	0v	0v	5v	5v
1	5v	5v	0v	5v	5v
4	5v	5v	0v	5v	5v
5	5v	5v	0v	5v	0v
6	5v	5v	0v	5v	0v
7	0v	5v	0v	5v	0v
9	0v	5v	0v	5v	0v
10	0v	5v	0v	0v	0v
12	0v	5v	0v	0v	0v
13	0v	5v	5v	0v	0v
14	0v	5v	5v	0v	0v
15	0v	5v	5v	5v	0v

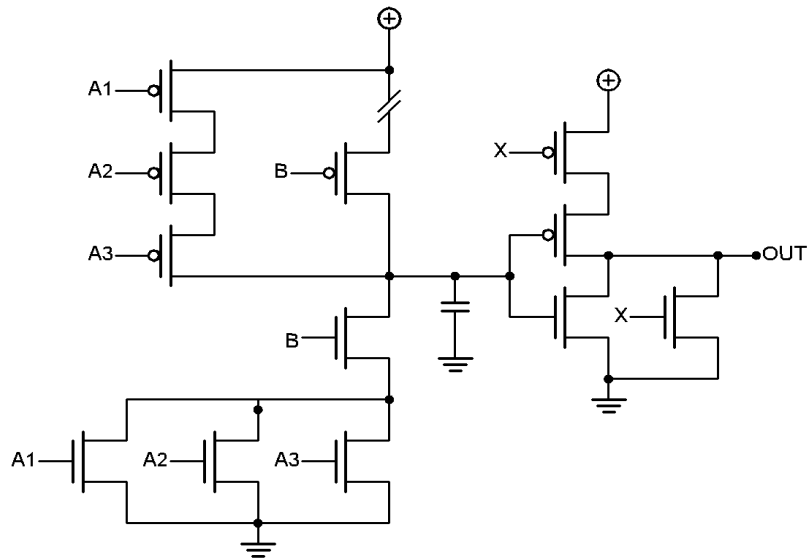


Figura 2.4: Circuito propuesto.

La respuesta de este circuito se muestra en la figura 2.5, en esta, se aprecia que el efecto miller feedback entre los 5ns y los 7ns, posteriormente el efecto charge

sharing se presenta entre los 9ns y los 10ns, y por ultimo de los 12ns a los 16ns se presenta el efecto miller feedthrough.

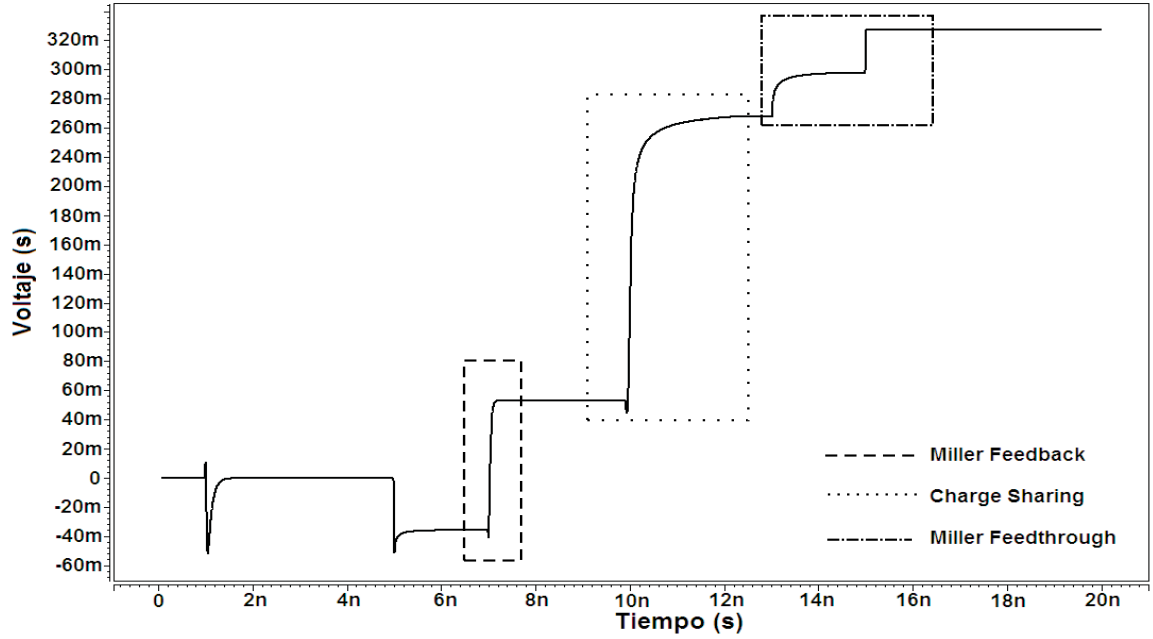


Figura 2.5: Respuesta del circuito.

2.3. Modelado de la falla

El modelo de fallas más ampliamente empleado es el *Stuck-at*. Este modelo asume que el nodo de un circuito siempre se comporta como un “1” o un “0” lógico, como el resultado de un defecto. Usando este modelo, un test estructural para la detección de fallas puede ser desarrollado en circuitos lógicos. Este modelo considera a un circuito como un conjunto de compuertas booleanas, y por lo tanto se asume que la falla afecta a alguna de las compuertas interconectadas. El modelo *Stuck-at* considera dos casos posibles de fallas para cada nodo [10]:

- Nodo fijado permanentemente a “1” (*Stuck-at-1*).

- Nodo fijado permanentemente a “0” (Stuck-at-0).

En un circuito varias fallas *Stuck-at* pueden presentarse simultáneamente. Un circuito con n líneas tendrá $3^n - 1$ estados posibles *stuck-at*. Este se obtiene considerando las combinaciones posibles para los estados del circuito, donde cada línea puede estar SA0, SA1 o libre de falla. Las siguientes consideraciones son incluidas en el modelado *Stuck-at*:

- Líneas con solo una falla.
- La línea con falla esta permanentemente a 0 o a 1 lógico.
- La falla puede estar en la red NMOS o PMOS.

Algunas de las características de este modelo son [59]:

1. Varios defectos físicos diferentes pueden ser modelados con la misma lógica [60].
2. La complejidad se reduce significativamente.
3. El modelo *stuck-at* es independiente de la tecnología.
4. El test usando *stuck-at* simple, cubre una gran porcentaje de defectos físicos no modelados.

A pesar de las ventajas que presenta el modelo *stuck-at*, se ha demostrado que no modela ciertos defectos en tecnologías CMOS [10, 11, 57]. Debido a esto, otros modelos de fallas han sido propuestos [53, 55].

En la figura 2.6 se muestra en caso de estudio propuesto para este trabajo. Independientemente de su simplicidad, este puede ser extendido para cualquier tipo de red NMOS y PMOS, para cualquier fan-out y se consideran múltiples acoplos capacitivos. El caso de estudio muestra diferentes capacitancias que afectan el voltaje en el nodo flotante.



Las capacitancias de los transistores PMOS son: C_{gsop} , C_{gdop} y C_{pw} . Donde C_{gsop} es la capacitancia de traslape entre compuerta y fuente, C_{gdop} es la capacitancia de traslape entre compuerta y drenaje y C_{pw} es la capacitancia del poly al pozo. Las capacitancias de traslape presentadas por los transistores NMOS son: C_{gson} , C_{gdon} y C_{pb} . Donde C_{gson} es la capacitancia de traslape entre compuerta y fuente, C_{gdon} es la capacitancia de traslape entre compuerta y drenaje y C_{pb} es la capacitancia del poly al sustrato. Las capacitancias del ruteado también son incluidas en el caso de estudio, debido a que también afectan al voltaje del nodo flotante. C_r^1 y C_r^0 son estas capacitancias que se presentan de la línea de ruteado al pozo y al sustrato, respectivamente.

2.4. Efectos de acoplamiento

La línea flotante puede ser influenciada por señales que se encuentren en líneas adyacentes, o por líneas localizadas arriba o abajo de esta.

La figura 2.7, muestra una compuerta con n número de líneas acopladas. Para estudiar este efecto, se añade una línea acoplada al circuito de la figura 2.4. Se consideran tres valores diferentes para el capacitor acoplado y una señal de entrada.

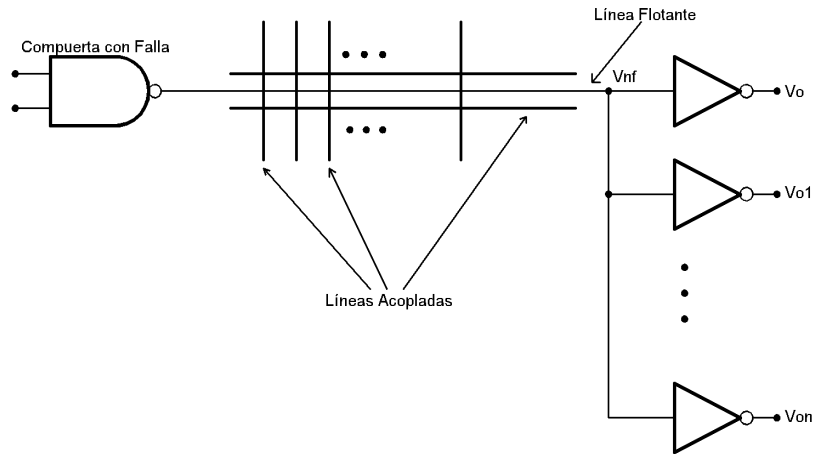
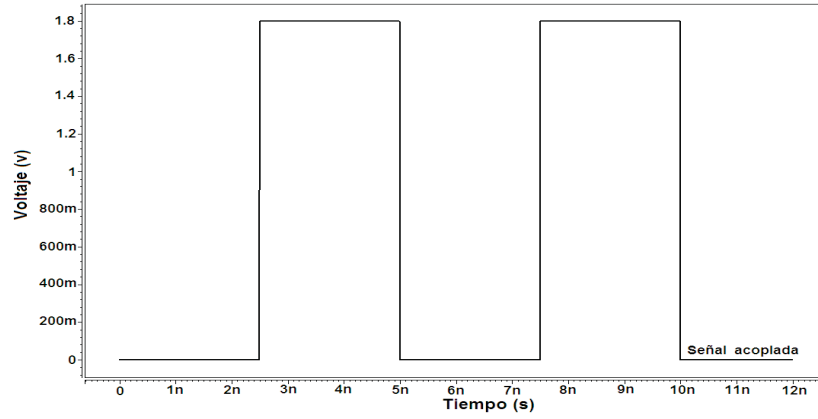
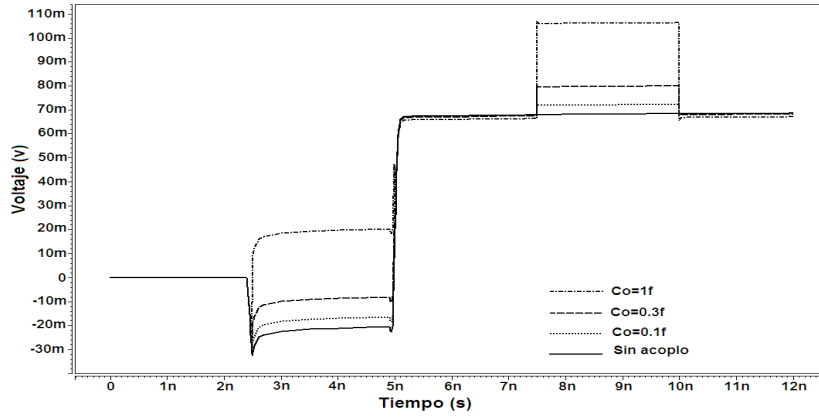


Figura 2.7: Topología típica de un circuito defectuoso.

En la figura 2.8 se aprecia la respuesta del circuito cuando un acoplo capacitivo está presente. Se incluyeron tres diferentes valores para el capacitor acoplado. Los valores empleados fueron: $C_c = 0,1f$, $C_c = 0,3f$ y $C_c = 1f$, esto para apreciar las influencias de los acoplos con diferentes valores capacitivos.



(a)



(b)

Figura 2.8: Efecto de acoplamiento en una línea flotante.

Otra efecto importante es considerar que mas de un acoplo capacitivo influye en la línea flotante, y apreciar la influencia de acoplos capacitivos fuertes en la línea flotante. Así como tambien es importante considerar las transiciones de nivel alto a bajo. Al igual que en la simulación anterior, los acoplos capacitivos son añadidos al circuito de la figura 2.4.

Tal como se puede apreciar en la figura 2.9, un cambio de nivel bajo a alto induce un cambio en el nodo flotante, al igual que el cambio opuesto. Debido a esto es necesario tomar en cuenta ambos cambios para poder describir el comportamiento del nodo correctamente.

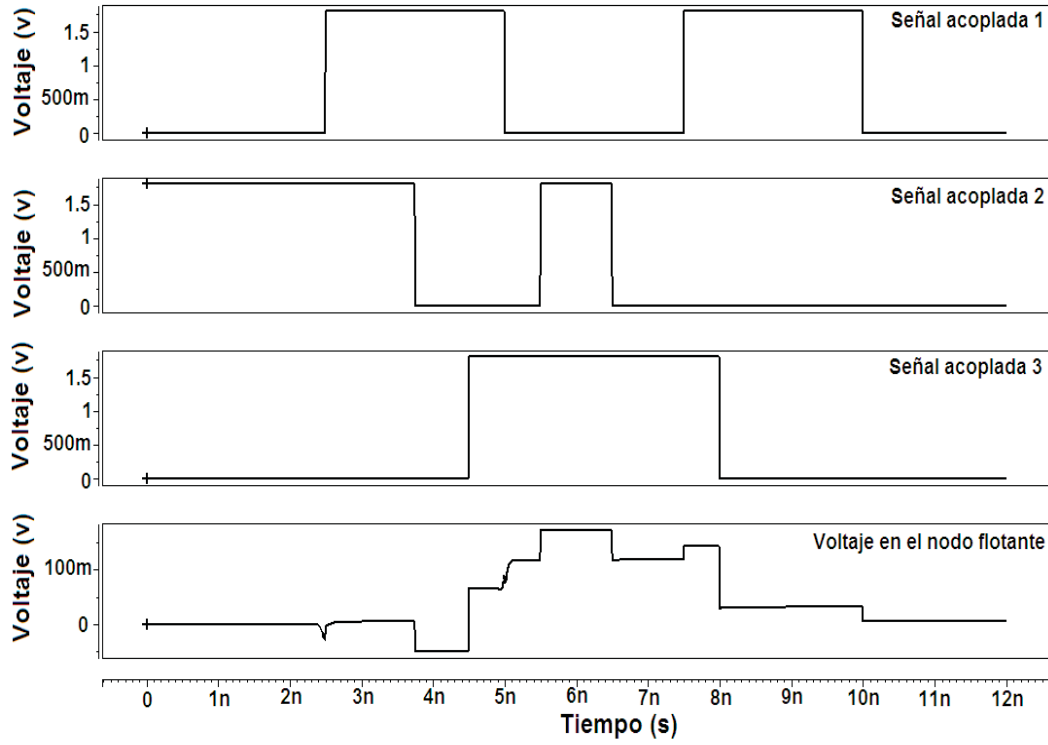
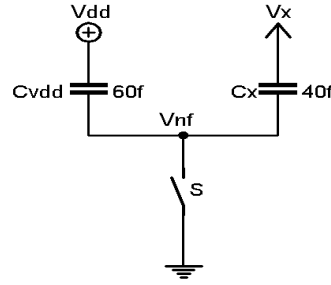


Figura 2.9: Diferentes acoplamientos en una línea flotante.

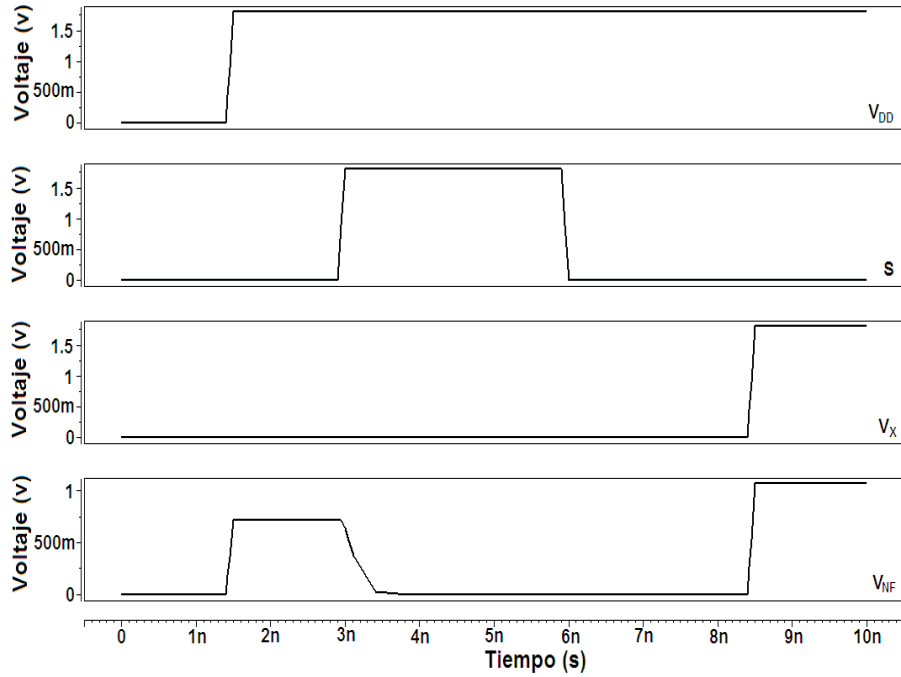
2.5. Influencia de V_{DD}

Como se pudo apreciar en la sección anterior, un cambio de nivel ($1 \rightarrow 0$ o $0 \rightarrow 1$) en alguno de los capacitores que esten acoplados a la línea flotante, le induce un voltaje. Debido a esto, es necesario analizar si la inicialización de V_{DD} aporta carga al voltaje del nodo flotante.

Para esto se propone un modelo simple para realizar las pruebas necesarias, tal como se muestra en la figura 2.10.



(a) Caso de estudio simple propuesto.



(b) Respuesta obtenida.

Figura 2.10: Influencia de V_{DD} en el nodo flotante.

Como se puede apreciar en la figura 2.10, si se realiza un cambio en la alimentación, se induce un voltaje en el nodo flotante, esto antes de que se apliquen los vectores de inicialización y de sensibilización. Debido a que el voltaje de alimentación V_{DD} , se inicializa mucho antes de que se apliquen los vectores, es posible eliminar las componentes que contengan este voltaje del modelo matemático que se desarrollará en la siguiente sección.

2.6. Calculos para la detección específica

El caso de estudio básico es mostrado en la figura 2.11. En este los efectos de las capacitancias acopladas se consideran como un modelo concentrado.

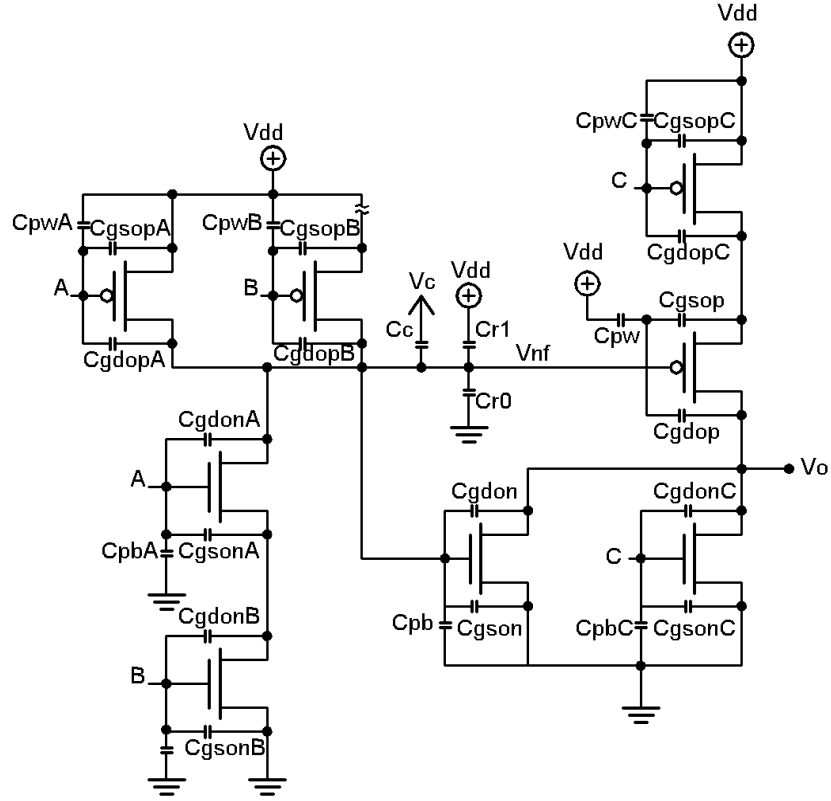


Figura 2.11: Caso de estudio básico propuesto.

Usando el caso de estudio para *Stuck-Open*, se puede desarrollar una ecuación que exprese el voltaje en el nodo flotante como una función de la mayoría de los factores que influyen en este. En las ecuaciones 2.3, 2.4 y 2.5 se muestra el desarrollo de las mismas.

$$\begin{aligned}
 V_{nf} \cdot & (C_{pb} + C_r^0) + (V_{nf} - \Delta V_A) \cdot (C_{gdopA} + C_{gdonA}) + (V_{nf} - \Delta V_B) \cdot (C_{gdopB}) \\
 & + (V_{nf} - \Delta V_C) \cdot (C_c) + (V_{nf} - \Delta V_O) \cdot (C_{gdop} + C_{gdon}) \\
 & + (V_{nf} - \Delta V_{DP}) \cdot (C_{gsop}) + Q_{GT} + Q_{DT} = 0
 \end{aligned} \tag{2.3}$$

$$\begin{aligned}
V_{nf} &= (C_{gdopA} + C_{gdonA} + C_{gdopB} + C_{gsop} + C_{gdop} + C_{gson} + C_{gdon} + C_{pw} \\
&+ C_{pb} + C_c + C_r^1 + C_r^0) - \Delta V_A \cdot (C_{gdopA} + C_{gdonA}) - \Delta V_B \cdot (C_{gdopB}) \\
&- \Delta V_C \cdot (C_c) - \Delta V_O \cdot (C_{gdop} + C_{gdon}) - \Delta V_{DP} \cdot (C_{gsop}) + Q_{GT} \\
&+ Q_{DT} = 0
\end{aligned} \tag{2.4}$$

$$\begin{aligned}
V_{nf} &= \left(\frac{C_{gdopA} + C_{gdonA}}{C_{nf}} \right) \Delta V_A + \left(\frac{C_{gdopB}}{C_{nf}} \right) \Delta V_B + \left(\frac{C_c}{C_{nf}} \right) \Delta V_c \\
&+ \left(\frac{C_{gdop} + C_{gdon}}{C_{nf}} \right) \Delta V_O + \left(\frac{C_{gsop}}{C_{nf}} \right) \Delta V_{DP} - \frac{Q_{GT}}{C_{nf}} - \frac{Q_{DT}}{C_{nf}}
\end{aligned} \tag{2.5}$$

Donde:

$$C_{nf} = C_{gdopA} + C_{gdonA} + C_{gdopB} + C_{gsop} + C_{gdop} + C_{gson} + C_{gdon} + C_{pw} + C_{pb} + C_c + C_r^1 + C_r^0$$

C_{gdopA} , C_{gdonA} , C_{gdopB} , C_{gsop} , C_{gdop} , C_{gson} , C_{gdon} son los capacitores de traslape, C_{pw} y C_{pb} son las capacitancias de poly a pozo y de poly a bulk respectivamente, Q_{GT} y Q_{DT} son las cargas inducidas en las compuertas y los drenajes de los transistores conectados al nodo flotante, C_r^1 y C_r^0 son las capacitancias asociadas a la línea de ruteado que pueden tener una terminal conectada al bulk y estar polarizada con V_{GND} o puede estar conectada al well y es polarizada con V_{DD} . Las capacitancias de acoplamiento C_c puede influenciar significativamente el voltaje del nodo flotante.

La ecuación previa puede ser reordenada para determinar si una falla *stuck-open* dada es detectable o no. Se desarrolla una ecuación para la condición stuck-at 0 (asegurar V_{TN}) y otra para asegurar la condición stuck-at 1 (asegurar $V_{DD} - |V_{TP}|$) en la línea flotante.

Asegurar V_{TN}

De la ecuación antes descrita, se obtienen las condiciones necesarias para asegurar un voltaje inducido en el nodo flotante, no mayor que el voltaje umbral del

transistor N. Esta condición asegura que la abertura se comporte como una falla stuck-at-0. Se asume que los transistores N operen en la región de corte. Relacionando las cargas de los capacitores y los voltajes en ellos, después de sustituir $V_{NF} = V_{TN}$ en la ecuación 2.5, una expresión explícita puede ser obtenida para estimar el valor mínimo de la capacitancia a tierra de la línea flotante (C^0) para tener como máximo un voltaje inducido en la línea flotante de V_{TN} . El desarrollo se muestra en las ecuaciones siguientes, tomando como punto de partida la ecuación 2.3.

$$\begin{aligned}
 V_{nf} \cdot (C_{pb} + C_r^0) &= (\Delta V_A - V_{nf}) \cdot (C_{gdopA} + C_{gdonA}) + (\Delta V_B - V_{nf}) \cdot (C_{gdopB}) \\
 &+ (\Delta V_C - V_{nf}) \cdot (C_c) + (\Delta V_O - V_{nf}) \cdot (C_{gdop} + C_{gdon}) \\
 &+ (\Delta V_{DP} - V_{nf}) \cdot (C_{gsop}) - Q_{GT} - Q_{DT}
 \end{aligned} \tag{2.6}$$

$$\begin{aligned}
 C^0 &\geq \frac{C_A \cdot (\Delta V_A - V_{TN})}{V_{TN}} + \frac{C_B \cdot (\Delta V_B - V_{TN})}{V_{TN}} + \frac{C_C \cdot (\Delta V_C - V_{TN})}{V_{TN}} \\
 &- \frac{C_{gsop}(V_{TN})}{V_{TN}} - \frac{Q_{GT}}{V_{TN}} - \frac{Q_{DT}}{V_{TN}}
 \end{aligned} \tag{2.7}$$

Donde:

$$C^0 = C_r^0 + C_{pb}$$

$$C_A = C_{gdopA}$$

$$C_B = C_{gdopB}$$

$$Q_{GT} = Q_{GTN} + Q_{GTP}$$

$$Q_{DT} = Q_{DTN} + Q_{DTP}$$

Asegurar $V_{DD} - |V_{TP}|$

De manera similar, una ecuación para estimar el valor mínimo de la capacitancia a V_{DD} de la línea (C^1), para tener por lo menos un voltaje inducido de $V_{DD} - |V_{TP}|$ puede ser estimada. Esta condición asegura que el stuck-open se

comporte como una falla stuck-at-1. Las ecuaciones obtenidas se muestran a continuación. En estas, si se considero las componenetes que contienen V_{DD} , por la naturaleza de la ecuación final.

A continuación se muestra el desarrollo para obtener la ecuación requerida.

$$\begin{aligned}
 V_{nf} \cdot (C_{pw} + C_r^1) &= V_{nf} \cdot (C_{pb} + C_r^0) - (\Delta V_A - V_{nf}) \cdot (C_{gdopA} + C_{gdonA}) \\
 &+ (\Delta V_B - V_{nf}) \cdot (C_{gdopB}) + (\Delta V_C - V_{nf}) \cdot (C_c) + (\Delta V_O - V_{nf}) \cdot (C_{gdop} + C_{gdon}) \\
 &+ (\Delta V_{DP} - V_{nf}) \cdot (C_{gsop}) - Q_{GT} - Q_{DT}
 \end{aligned} \tag{2.8}$$

$$\begin{aligned}
 C^1 &\leq \frac{C_A \cdot (\Delta V_A - (V_{DD} - |V_{TP}|))}{(V_{DD} - |V_{TP}|)} + \frac{C_B \cdot (\Delta V_B - (V_{DD} - |V_{TP}|))}{(V_{DD} - |V_{TP}|)} \\
 &+ \frac{C_C \cdot (\Delta V_C - (V_{DD} - |V_{TP}|))}{(V_{DD} - |V_{TP}|)} - \frac{C_{GG} \cdot (V_{DD} - |V_{TP}|)}{(V_{DD} - |V_{TP}|)} \\
 &- \frac{Q_{GT}}{(V_{DD} - |V_{TP}|)} - \frac{Q_{DT}}{(V_{DD} - |V_{TP}|)}
 \end{aligned} \tag{2.9}$$

Donde:

$$C^1 = C_r^1 + C_{pw}$$

$$C_A = C_{gsonA} + C_{gdopA}$$

$$C_B = C_{gdopB}$$

$$C_{GG} = C_r^0 + C_{pb} + C_{gson}$$

$$Q_{GT} = Q_{GTN} + Q_{GTP}$$

$$Q_{DT} = Q_{DTN} + Q_{DTP}$$

Ecuación para Charge sharing

Teniendo la ecuación que describe el nodo flotante, se procede a analizar el problema de charge sharing para el caso específico; se propone un caso de estudio similar al de la figura 2.3(a), solo que con ciertas variaciones. Tal como se muestra en la figura 2.12.

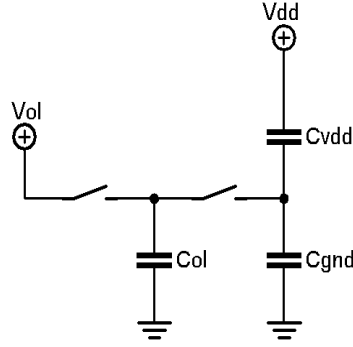


Figura 2.12: Modelo elctrico para Charge Sharing.

En donde C_{VDD} son las capacitancias conectadas del nodo de interés a el voltaje de alimentación del circuito, ($C_{VDD} = C_r^1 + C_{pw}$). C_{GND} son las capacitancias conectadas del nodo a tierra, ($C_{GND} = C_r^0 + C_{pb} + C_{gson}$). Y C_{OL} son las capacitancias de traslape que existan en el nodo cuando se añadan al nodo flotante, V_{OL} es el voltaje al que que encuentren estas capacitancias, debido a los vectores anteriores. De no ser posible estimar este voltaje, se tomará el peor caso dependiendo de la prueba que se vaya a realizar (V_{TN} o $V_{DD} - |V_{TP}|$)

Con estas consideraciones y tomando en cuenta las ecuaciones 2.1 y 2.2, se desarrolla la siguiente ecuación.

$$V_{nf_{C-s}} = \frac{((C_{VDD} + C_{GND}) \cdot V_{nf}) + (C_{OL} \cdot V_{OL})}{C_{VDD} + C_{GND} + C_{OL}} \quad (2.10)$$

En la ecuación 2.10 el termino V_{NF} es el mismo voltaje que se obtiene con la ecuación 2.5. Debido a que en el circuito propuesto no se presenta este efecto, no es posible comprobar la ecuación 2.10.

Evaluación del modelo matemático específico

Con las ecuaciones descritas anteriormente, se procede a comprobar si describen el comportamiento del nodo de forma correcta o con un margen de error aceptable. Los valores de los elementos capacitivos involucrados se muestran en el cuadro 2.2.

Cuadro 2.2: Valores de las capacitancias requeridas

Elemento	Valor (F)
C_{gdopA}	0.11646f
C_{gsonA}	0.14742f
C_{gdopB}	0.11646f
C_{gsop}	0.11646f
C_{gdop}	0.11646f
C_{gson}	0.14742f
C_{gdon}	0.14742f
C_{pw}	1.0384f
C_{pb}	1.0384f
C_r^1	3.09907f
C_r^0	4.09f

Con los datos del cuadro 2.2, se calcula el valor estimado de C_{NF} , el cual es de aproximadamente $10,17397fF$. Los valores de los voltajes involucrados (V_O y V_{DP}) son proporcionados por Hspice.

Conociendo estos valores, y despreciando el voltaje de alimentación, y los acoplos capacitivos, se puede realizar un primer cálculo para comprobar la ecuación que ha sido desarrollada.

Para realizar el test al circuito, se le aplican los siguientes vectores de prueba: $[ABC]=111$, $[ABC]=101$ y $[ABC]=100$. El primer vector es de inicialización para el circuito, los dos últimos son los de sensibilización, se realizará el cálculo para el vector $[ABC]=100$.

Despues de realizar los calculos analíticos, se obtiene que para el vector antes mencionado, se obtiene un valor para esa condición, el cual es: $V_{NF} = 0,0633v$. Y como lo muestra la figura 2.13, el valor en esa condición es de $V_{NF} = 0,0676v$. Esto es una buena aproximación del modelo desarrollado, se espera que esta mejore cuando se obtengan los valores automáticamente con la herramienta Mentor Graphics.

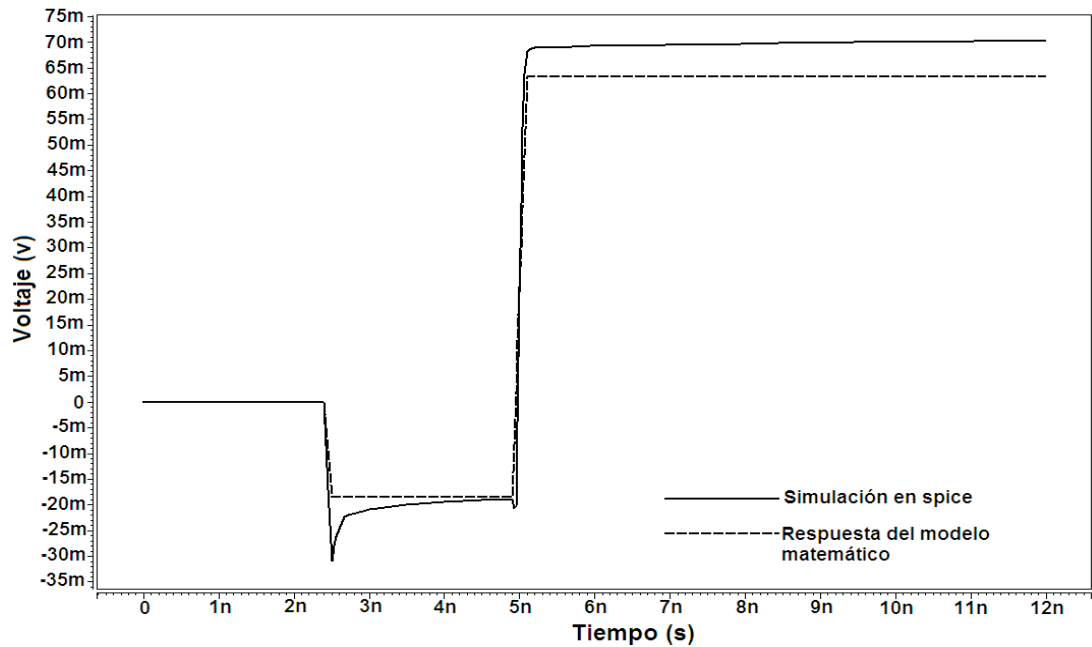


Figura 2.13: Comparación de la simulación de spice con el modelo matemático.

2.7. Cálculos para la detección general

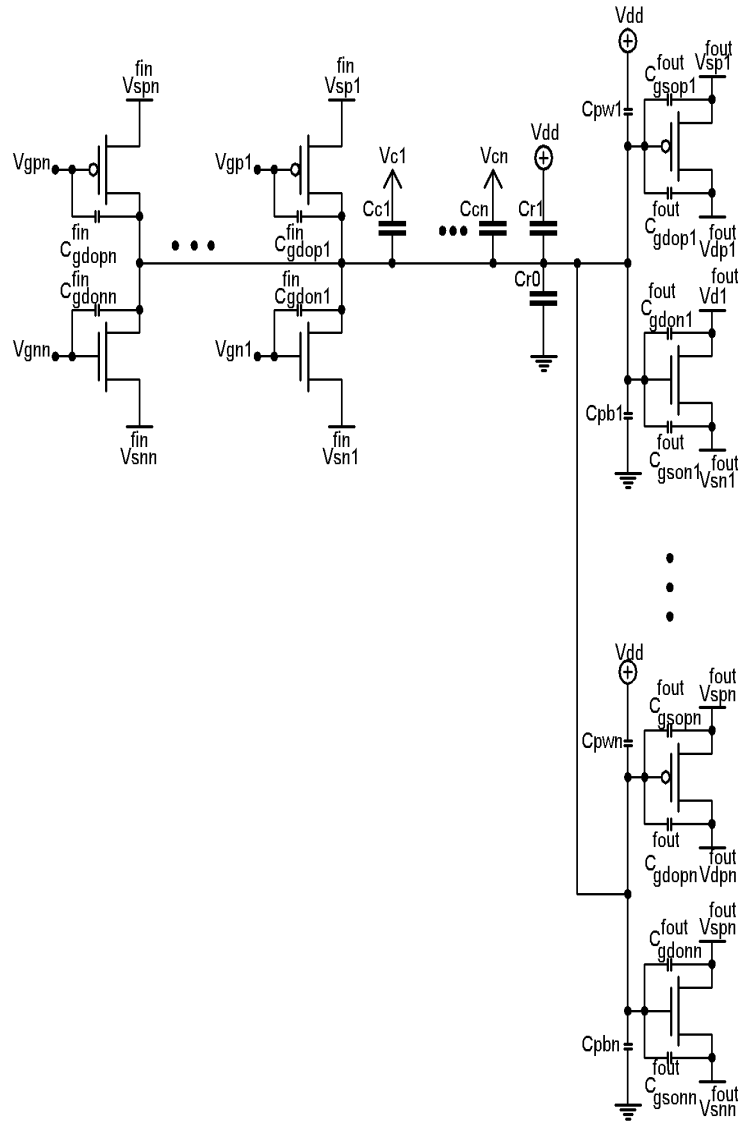
Una vez se comprobó que el modelo matemático específico tiene un margen de error aceptable, tomando como referencia la respuesta en spice, se procede a realizar algunas modificaciones para que este sirva para cualquier circuito. Basándose en el circuito mostrado en la figura 2.14, se desarrolla el modelo matemático general para la falla *stuck-open*, este se muestra en la ecuación 2.11, esta se obtuvo con un proceso similar al empleado para obtener la ecuación 2.5.

$$V_{nf} = \frac{\sum_{i=1}^n C_{gdon}^i \Delta V_{gn}^i}{C_T} + \frac{\sum_{i=1}^n C_{gdop}^i \Delta V_{gp}^i}{C_T} + \frac{\sum_{i=1}^n C_{gsop}^i \Delta V_{sp}^i}{C_T} + \frac{\sum_{i=1}^n C_{gdop}^i \Delta V_{dp}^i}{C_T} \\ + \frac{\sum_{i=1}^n C_{gdon}^i \Delta V_{dn}^i}{C_T} + \frac{\sum_{i=1}^n C_{gson}^i \Delta V_{sn}^i}{C_T} + \frac{\sum_{i=1}^n \Delta C_c^i V_c^i}{C_T} - \frac{Q_{GT}}{C_T} - \frac{Q_{DT}}{C_T} \quad (2.11)$$

Donde:

$$C_T = C_{gson}^T + C_{gdon}^T + C_{gdop}^T + C_{gsop}^T + C_{pw}^T + C_{pb}^T + C_r^1 + C_r^0 + C_c^T \\ C_{gson}^T = \sum_{n=1}^i C_{gson}^n \\ C_{gdon}^T = \sum_{n=1}^i C_{gdon}^n \\ C_{gsop}^T = \sum_{n=1}^i C_{gsop}^n \\ C_{gdop}^T = \sum_{n=1}^i C_{gdop}^n \\ C_{pw}^T = \sum_{n=1}^i C_{pw}^n \\ C_{pb}^T = \sum_{n=1}^i C_{pb}^n \\ C_c^T = \sum_{n=1}^i C_c^n \\ Q_{GT} = \sum_{n=1}^i Q_{GP}^n + Q_{GN}^n \\ Q_{DT} = \sum_{n=1}^i Q_{DP}^n + Q_{DN}^n$$

C_{gson} y C_{gsop} , son los capacitores de traslape de compuerta a fuente para los transistores N y P, respectivamente, por los cuales se puede presentar el efecto de miller feedback. C_{gdon} y C_{gdop} son los capacitores de traslape de compuerta a drenaje para los transistores N y P, respectivamente, estos son los que pueden incluir el efecto miller feedthrough. Los acoplamientos capacitivos se incluyen de manera general, el modelo se desarrollo para incluir n acoplamientos. De igual manera, las cargas en compuerta y drenaje son incluidas, tomando en cuenta cualquier número de transistores conectados al nodo flotante.



Asegurar V_{TN}

De la ecuación antes descrita, se obtienen las condiciones necesarias para asegurar un voltaje inducido en el nodo flotante, no mayor que el voltaje umbral del transistor N. Esta condición asegura que la abertura se comporte como una falla stuck-at-0. Se asume que el transistor N opera en la región de corte. Relacionando las cargas de los capacitores y los voltajes en ellos, después de sustituir $V_{NF} = V_{TN}$ en la ecuación 2.11, una expresión explícita puede ser obtenida para

estimar el valor mínimo de la capacitancia a tierra de la línea flotante (C^0) para tener como máximo un voltaje inducido en la línea flotante de V_{TN} , siguiendo un procedimiento similar al empleado para obtener la ecuación 2.7. Esto genera la ecuación siguiente:

$$\begin{aligned}
C^0 \geq & \frac{\sum_{i=1}^n C_{gdon}^i \cdot (\Delta V_{gn}^i - V_{TN})}{V_{TN}} + \frac{\sum_{i=1}^n C_{gdop}^i \cdot (\Delta V_{gp}^i - V_{TN})}{V_{TN}} \\
& + \frac{\sum_{i=1}^n C_{gsop}^i \cdot (\Delta V_{sp}^i - V_{TN})}{V_{TN}} + \frac{\sum_{i=1}^n C_{gdop}^i \cdot (\Delta V_{dp}^i - V_{TN})}{V_{TN}} \\
& + \frac{\sum_{i=1}^n C_{gdon}^i \cdot (\Delta V_{dn}^i - V_{TN})}{V_{TN}} + \frac{\sum_{i=1}^n C_{gson}^i \cdot (\Delta V_{sn}^i - V_{TN})}{V_{TN}} \\
& + \frac{\sum_{i=1}^n C_C^i \cdot (\Delta V_C^i - V_{TN})}{V_{TN}} - \frac{Q_{GT}}{V_{TN}} - \frac{Q_{DT}}{V_{TN}} \quad (2.12)
\end{aligned}$$

Donde:

$$C^0 = C_r^0 + C_{pb}^T$$

Asegurar $V_{DD} - |V_{TP}|$

De manera similar, una ecuación para estimar el valor mínimo de la capacitancia a V_{DD} de la línea (C^1), para tener por lo menos un voltaje inducido de $V_{DD} - |V_{TP}|$ puede ser estimada. Esta condición asegura que el stuck-open se comporte como una falla stuck-at-1. Siguiendo un procedimiento similar al empleado para obtener la ecuación 2.9, la ecuación obtenida es la siguiente:

$$\begin{aligned}
C^1 \leq & \frac{\sum_{i=1}^n C_{gdon}^i \cdot (\Delta V_{gn}^i - (V_{DD} - |V_{TP}|))}{(V_{DD} - |V_{TP}|)} + \frac{\sum_{i=1}^n C_{gdop}^i \cdot (\Delta V_{gp}^i - (V_{DD} - |V_{TP}|))}{(V_{DD} - |V_{TP}|)} \\
& + \frac{\sum_{i=1}^n C_{gsop}^i \cdot (\Delta V_{sp}^i - (V_{DD} - |V_{TP}|))}{(V_{DD} - |V_{TP}|)} + \frac{\sum_{i=1}^n C_{gdop}^i \cdot (\Delta V_{dp}^i - (V_{DD} - |V_{TP}|))}{(V_{DD} - |V_{TP}|)} \\
& + \frac{\sum_{i=1}^n C_{gdon}^i \cdot (\Delta V_{dn}^i - (V_{DD} - |V_{TP}|))}{(V_{DD} - |V_{TP}|)} + \frac{\sum_{i=1}^n C_{gson}^i \cdot (\Delta V_{sn}^i - (V_{DD} - |V_{TP}|))}{(V_{DD} - |V_{TP}|)} \\
& + \frac{\sum_{i=1}^n C_C^i \cdot (\Delta V_C^i - (V_{DD} - |V_{TP}|))}{(V_{DD} - |V_{TP}|)} - \frac{Q_{GT}}{(V_{DD} - |V_{TP}|)} - \frac{Q_{DT}}{(V_{DD} - |V_{TP}|)} \quad (2.13)
\end{aligned}$$

Donde:

$$C^1 = C_r^1 + C_{pw}^T$$

Ecuación general para charge sharing

De igual manera que caso de estudio específico empleado en la sección anterior, la ecuación 2.11, no incluye el factor de charge charing. Debido a esto, se desarrolla una ecuación que pueda ser empleada en cualquier circuito y que describa este fenómeno en el nodo flotante; esta ecuación se muestra a continuación:

$$V_{nfC-s} = \frac{(C_r^1 + C_{pb}^T + C_r^0 + C_{pw}^T) \cdot V_{NF} + \sum_{i=1}^n C_{oln}^i \cdot V_{oln} + \sum_{i=1}^n C_{olp}^i \cdot V_{olp}}{C_r^1 + C_{pb}^T + C_r^0 + C_{pw}^T + \sum_{i=1}^n C_{oln}^i + \sum_{i=1}^n C_{olp}^i} \quad (2.14)$$

Asegurar V_{TN}

$$\begin{aligned} C^0 \geq & \frac{\sum_{i=1}^n C_{gdon}^i \cdot (\Delta V_{gn}^i - V_{TN})}{V_{TN}} + \frac{\sum_{i=1}^n C_{gdop}^i \cdot (\Delta V_{gp}^i - V_{TN})}{V_{TN}} \\ & + \frac{\sum_{i=1}^n C_{gsop}^i \cdot (\Delta V_{sp}^i - V_{TN})}{V_{TN}} + \frac{\sum_{i=1}^n C_{gdop}^i \cdot (\Delta V_{dp}^i - V_{TN})}{V_{TN}} \\ & + \frac{\sum_{i=1}^n C_{gdon}^i \cdot (\Delta V_{dn}^i - V_{TN})}{V_{TN}} + \frac{\sum_{i=1}^n C_{gson}^i \cdot (\Delta V_{sn}^i - V_{TN})}{V_{TN}} \\ & + \frac{\sum_{i=1}^n C_C^i \cdot (\Delta V_C^i - V_{TN})}{V_{TN}} + \frac{\sum_{i=1}^n C_{OLn}^i \cdot (\Delta V_{OLn}^i - V_{TN})}{V_{TN}} \\ & + \frac{\sum_{i=1}^n C_{OLp}^i \cdot (\Delta V_{OLp}^i - V_{TN})}{V_{TN}} - \frac{Q_{GT}}{V_{TN}} - \frac{Q_{DT}}{V_{TN}} \end{aligned} \quad (2.15)$$

Asegurar $V_{DD} - |V_{TP}|$

$$\begin{aligned}
C^1 \leq & \frac{\sum_{i=1}^n C_{gdon}^i \cdot (\Delta V_{gn}^i - (V_{DD} - |V_{TP}|))}{(V_{DD} - |V_{TP}|)} + \frac{\sum_{i=1}^n C_{gdop}^i \cdot (\Delta V_{gp}^i - (V_{DD} - |V_{TP}|))}{(V_{DD} - |V_{TP}|)} \\
& + \frac{\sum_{i=1}^n C_{gsop}^i \cdot (\Delta V_{sp}^i - (V_{DD} - |V_{TP}|))}{(V_{DD} - |V_{TP}|)} + \frac{\sum_{i=1}^n C_{gdop}^i \cdot (\Delta V_{dp}^i - (V_{DD} - |V_{TP}|))}{(V_{DD} - |V_{TP}|)} \\
& + \frac{\sum_{i=1}^n C_{gdon}^i \cdot (\Delta V_{dn}^i - (V_{DD} - |V_{TP}|))}{(V_{DD} - |V_{TP}|)} + \frac{\sum_{i=1}^n C_{gson}^i \cdot (\Delta V_{sn}^i - (V_{DD} - |V_{TP}|))}{(V_{DD} - |V_{TP}|)} \\
& + \frac{\sum_{i=1}^n C_C^i \cdot (\Delta V_C^i - (V_{DD} - |V_{TP}|))}{(V_{DD} - |V_{TP}|)} + \frac{\sum_{i=1}^n C_{OLn}^i \cdot (\Delta V_{OLn}^i - (V_{DD} - |V_{TP}|))}{(V_{DD} - |V_{TP}|)} \\
& + \frac{\sum_{i=1}^n C_{OLp}^i \cdot (\Delta V_{OLp}^i - (V_{DD} - |V_{TP}|))}{(V_{DD} - |V_{TP}|)} - \frac{Q_{GT}}{(V_{DD} - |V_{TP}|)} \\
& - \frac{Q_{DT}}{(V_{DD} - |V_{TP}|)} \tag{2.16}
\end{aligned}$$

En la ecuación 2.14, V_{NF} es el voltaje descrito por la ecuación 2.11. Con esto se tiene contemplado los tres principales efectos que se presentan en las fallas estudiadas, las ecuaciones 2.11 y 4.5 y 4.6 serán empleadas para implementar la herramienta CAD que determine la existencia de fallas Stuck-Open. Esta herramienta se muestra en los siguientes capítulos.

2.8. Conclusiones

En este capítulo se establecieron los principales factores que afectan a las fallas stuck-open; se empleo un caso de estudio simple para generar las ecuaciones que describan la falla, se consideraron los diversos aspectos que pueden influir, hasta realizar un modelo matemático general completo.

Los efectos considerados fueron: Miller feedback, Miller feedthrough, Charge sharing, acoplamientos capacitivos, fan-in y fan-out del nodo afectado.

Se obtuvieron las ecuaciones para asegurar los rangos de detección útiles para el test. Estas serán empleadas para desarrollar las diferentes herramientas CAD propuestas.

Capítulo 3

Generador de vectores para *stuck-open* (GVESOP)

3.1. Introducción

En este capítulo, el diseño básico de la herramienta CAD denominada GVESOP (Generador de vectores para Stuck-open), orientada a generar vectores favorables para stuck-open es presentada usando los datos obtenidos del layout y la descripción lógica del circuito, esta considera los acoplamientos capacitivos entre los nodos adyacentes. Estos vectores pueden ser usados para mejorar la detección de fallas *stuck-opens*.

La operación de la herramienta se basa en la extracción de las capacitancias parásitas de un circuito, ordenar la información, calcular los parámetros involucrados y generar los vectores considerando los efectos de acoplamiento. Esto es posible al interactuar con dos herramientas de CAD comerciales Calibre y Fastscan. La información obtenida de las extracciones de los parámetros eléctricos de los circuitos diseñados, es analizada en base a modelos propuestos en este trabajo los cuales son empelados para filtrar, procesar y seleccionar la información a través de diferentes rutinas. Como se planteo en el capítulo anterior, los efectos capacitivos entre las líneas de interconexión de un circuito pueden causar efectos negativos en el test de circuitos integrados cuando se usa el modelo de falla *stuck-at*. Sin embargo, esto puede ser mejorado al incluir condiciones favorables, de tal manera que la

cobertura de la falla se afecte lo menos posible por los efectos capacitivos.

La herramienta CAD desarrollada tiene la capacidad de generar las condiciones favorables establecidas anteriormente. La generación de los vectores usa estas condiciones o restricciones que definen los estados lógicos que algunos nodos del circuito deben cumplir para generar los vectores de test favorables. Por lo tanto, los vectores que no cumplan con las condiciones favorables totalmente o los casos que no puedan ser generados se muestran. Los efectos de diferentes líneas acopladas al nodo flotante son explicadas en [8, 37, 59]. La rutina básica del algoritmo en busca de las combinaciones críticas de acoplamientos es mostrada, así como el rango de detección.

3.2. Condiciones de detección de vectores

La testeabilidad es una característica que influye en diversos costos asociados con el test de circuitos. Las técnicas de DFT (Diseño enfocado al test) implican un esfuerzo en el diseño, para mejorar las características de test en un dispositivo o circuito. Existen dos atributos importantes relacionados con la testeabilidad [3]:

- Observabilidad, y
- Control.

El control, es la capacidad de establecer un valor específico en un señal de cada nodo del circuito aplicando valores en las entradas primarias. La observabilidad es la habilidad de determinar el valor de una señal en cualquier nodo excitando las entradas del circuito y observando la(s) salida(s). En general, un nodo de un circuito tiene poco control si requiere un único vector en la entrada para establecer el estado de un nodo. Un nodo tiene poco control sí, una secuencia extensa de entradas es necesaria para establecer un estado lógico. Los circuitos que típicamente son difíciles de controlar son: decodificadores, circuitos con retroalimentación, osciladores y generadores de reloj. Un circuito tiene poca observabilidad si requiere un

único vector en la entrada o una secuencia muy extensa de vectores para propagar el estado de uno o mas nodos a la salida del circuito.

Usando un método de test booleano basado en el modelo stuck-at de fallas se detecta este defecto. El estado lógico en las líneas acopladas influye en el voltaje del nodo flotante. Por lo tanto, la detección de la abertura puede ser omitida dependiendo de estos voltajes.

En la figura 3.1 se muestra un ejemplo. Para poder detectar una falla en la red “N”, es necesario aplicar en las entradas de la compuerta NAND la siguiente secuencia de vectores: [01] (stuck-at 1), [11] (stuck-at 0). Esto causaría con el primer vector (stuck-at 1) un nivel lógico alto en el nodo de salida de la compuerta con falla, lo cual inicializaría a este. Posteriormente al aplicar el segundo vector (stuck-at 0), se sensibiliza la parte de la red con la falla. Esta es detectable si el voltaje en el nodo flotante es lo suficientemente alto para ser interpretada como un 1 lógico por la compuerta GI. Este voltaje debe estar en el rango $[V_{DD} - |V_{TP}|, V_{DD}]$, para garantizar que sea interpretado como un 1 lógico. Se observa que las líneas adyacentes (agresoras) presentan acoplamientos con el nodo flotante. Las capacitancias acopladas (C_{C1} , C_2 , C_{C3} y C_{C4}) tienen un rol importante en la detección de la ruptura, debido a que estas inducen un voltaje al nodo de la celda con la falla. En consecuencia, si las líneas realizan una transición del nivel alto a bajo, a pesar de que un defecto exista, es posible salirse del rango de detección de la falla. Esto causa que la salida de la compuerta GI, cambie a un estado lógico alto. Por lo tanto, la abertura no es detectada debido a esto, condiciones favorables deben ser aplicadas a las líneas acopladas para incrementar la probabilidad de detectar una abertura. Las condiciones favorables para detectar esta abertura deben ser las que no ayuden a que el nodo bajo test, deben ser aquellas que no propicien que este presente la salida correcta de la compuerta.

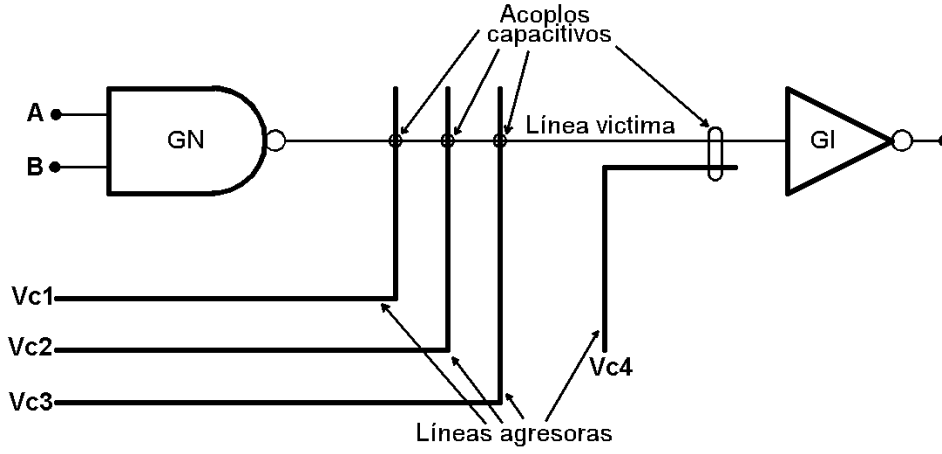


Figura 3.1: Efecto de acoplamientos capacitivos.

Los vectores de excitación posibles para el modelo de falla stuck-at dependen en gran parte de la topología del circuito. Los vectores de test posibles, considerando que las líneas acopladas pueden ser controladas simultáneamente a 1 o 0, son mostrados en el cuadro 3.1. Los rangos de detección también se muestran [60].

Cuadro 3.1: Secuencia de vectores aplicados para realizar el test.

Vector de sensibilización	$V_{C1}...V_{Cn}$	Rango Detectable V_{nf}	Falla
00	0	$[V_{DD} - V_{TP} , V_{DD}]$	SA1
01	0	$[V_{DD} - V_{TP} , V_{DD}]$	SA1
10	0	$[V_{DD} - V_{TP} , V_{DD}]$	SA1
11	0	$[GND, V_{TN}]$	SA0
00	1	$[V_{DD} - V_{TP} , V_{DD}]$	SA1
01	1	$[V_{DD} - V_{TP} , V_{DD}]$	SA1
10	1	$[V_{DD} - V_{TP} , V_{DD}]$	SA1
11	1	$[GND, V_{TN}]$	SA0

Todos los vectores de test para la detección de una falla que aparezca en el cuadro previo pueden ser generados. Sin embargo, las diferencias en las condiciones de cada uno existe a pesar de que sean destinados a detectar la misma falla. Para un stuck-at 1 los niveles altos en las señales V_{Cn} ayudan a detectar esta

falla en el nodo flotante, por que en este caso, el voltaje en el nodo flotante tiende a un valor alto. Sin embargo, niveles bajos podrían degradar el comportamiento de la falla; que causaria en algunos casos, que esta no sea detectada. De manera similar, para una falla *stuck-at 0*, los valores favorables de V_{Cn} para detectarla, serian 0. Los niveles lógicos altos no favorecen la detección de la falla.

Las líneas víctimas son aquellas con líneas acopladas que pueden ser obtenidas de la información del layout. Sin embargo, no es necesario considerar todas las líneas del circuito. Los nodos críticos son aquellas líneas que tengan por lo menos un acoplamiento capacitivo igual o mayor que la suma de las capacitancias de las líneas de GND y V_{DD} por un factor. Entonces, la herramienta ATPG intenta obtener un vector de entrada forzando los valores de las entradas de las líneas acopladas a las líneas críticas. Las condiciones solo son impuestas a las líneas con acoplamientos capacitivos significativos. Se emplea un algoritmo simple para operar ATPG para diferentes restricciones de líneas críticas.

3.3. Descripción y algoritmo de la herramienta GVESOP

Se propone modificar la herramienta denominada OPVEG desarrollada por [21]; para obtener vectores favorables para *stuck-opens* en presencia de señales acopladas. Y que del mismo modo permita identificar los casos críticos, los cuales tengan condiciones no favorables. Usando esta información, técnicas DFT pueden ser aplicadas para mejorar la capacidad de detección para fallas *stuck-opens*. Las señales en las líneas acopladas pueden tener un valor lógico alto (V_{DD}) o bajo (GND). El valor de la señal acoplada afecta significativamente la capacidad de detección de las fallas *stuck-open*.

Un organigrama simple del GVESOP se muestra en la figura 3.2. GVESOP utiliza la información obtenida del layout de un circuito empleando una herramienta de CAD comercial.

Los archivos de entrada son las descripciones verilog de circuitos, los capacitores extraídos y la relación de nodos entre los archivos verilog y de Calibre. Las capacitancias acopladas son obtenidas del layout de los circuitos usando la herramienta de diseño Calibre. En el primer paso, los acoplamientos capacitivos a cada nodo son identificados. También, las capacitancias de cada nodo a V_{DD} y GND son obtenidas. En el segundo paso, los nodos críticos afectados por valores significativos de capacitancias son seleccionados. Los nodos influenciados por nodos críticos también son identificados. En el tercer paso, la herramienta ATPG Fastscat es ejecutada para seleccionar los nodos críticos imponiéndoles valores fijos para las condiciones mas favorables para detectar fallas *stuck-open*. De esta manera, un vector de prueba para el testing de fallas *stuck-open* bajo condiciones favorables es obtenido. Este conjunto de vectores complementan a los obtenidos usando una herramienta ATPG convencional.

El código del programa fue desarrollado en lenguaje C, en un sistema operativo Solaris Versión 5.8 (entorno UNIX) con un compilador GCC versión 2.9.5.1. El programa esta conformado por varios subprogramas que son ejecutados de forma secuencial. Con el proceso, diversos archivos son generados para manipular de forma automática la herramienta CAD usando los vectores generados por Fastscan.

Para entender mejor la herramienta CAD modificada, los diversos pasos del organigrama simple serán explicados. Algunos de los archivos de entrada requeridos para la operación de la herramienta son obtenidos de la extracción de los parámetros eléctricos y de los netlist generados del layout desarrollados de los circuitos. Otro archivo de entrada son las descripciones en alto nivel (verilog) de los circuitos. En resumen, la entrada de información consiste en tres archivos:

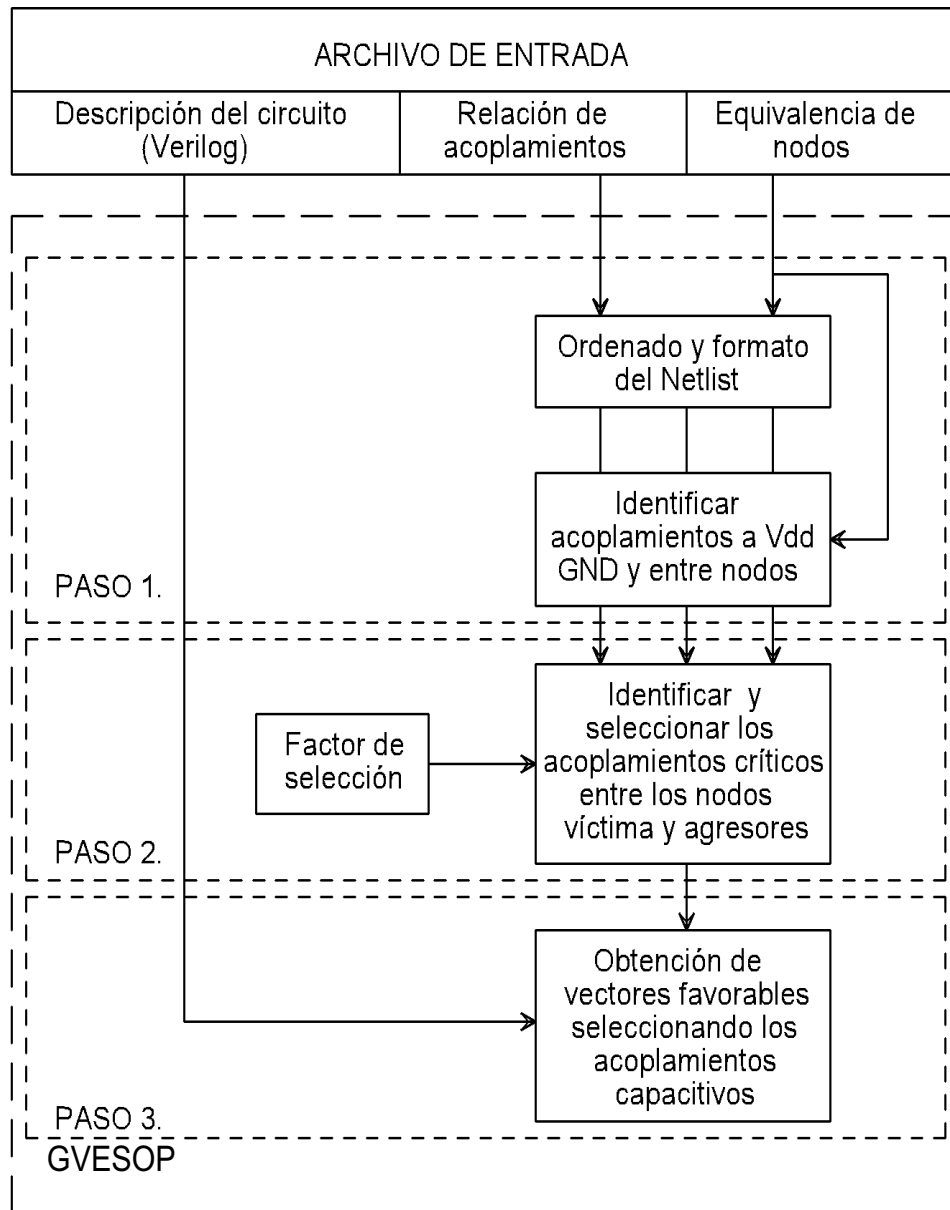


Figura 3.2: Organigrama simple del GVESOP.

- Lista de conexiones capacitivas entre los nodos de un circuito.
- Lista de equivalencias entre los nodos reales de un circuito y las etiquetas asignadas por el generador del netlist.
- Descripción del circuito completo en lenguaje verilog. Esta será empleada por el diseño y las herramientas ATPG.

A continuación se comentan los tres pasos principales mostrados en la figura 3.2.

Primer paso

El primer paso en el flujo de la herramienta, es ordenar la información. Un subprograma ordena y le da formato a la netlist. Este usa la lista de equivalencias de los nodos para clasificar la información almacenada en las listas de acoplamientos del circuito. Los tres archivos obtenidos son:

- Un archivo que contiene los nodos con acoplamientos a V_{DD} .
- Un archivo con los nodos con acoplamientos a GND.
- Y un archivo que contenga los acoplamientos entre nodos no globales.

En este paso, también se lleva a cabo el reemplazo de las etiquetas que fueron asignadas en la creación del netlist (extracción de Calibre) por los nombres reales de los nodos (del verilog original). Los nodos que corresponden a los puntos internos de las compuertas lógicas no son considerados.

Segundo paso

En este paso, los acoplamientos críticos entre los nodos víctima y agresores son identificados y seleccionados. Los nodos críticos son aquellos que tienen por lo menos una línea acoplada con valor capacitivo mayor o igual que la suma de las capacitancias a V_{DD} y a GND multiplicadas por el *factor de selección*. Los nodos críticos son considerados para generar los vectores favorables para el test. En este paso se obtiene un archivo de salida que contiene la lista de nodos víctimas con su correspondiente agresor. Solo los nodos críticos de acuerdo con el factor de selección aparecen en este archivo.

Tercer paso

En este paso, los vectores de prueba con condiciones lógicas favorables en las señales acopladas son obtenidas. En los pasos previos los nodos críticos y los acoplos capacitivos de estos nodos son obtenidos. Usando Fastscan, un vector de prueba es obtenido para cada nodo crítico forzando las condiciones favorables en las señales acopladas. Un algoritmo simple es empleado para ejecutar ATPG para las diferentes restricciones de las señales acopladas. El algoritmo le da prioridad a las señales con acoplamientos capacitivos grandes [19].

3.4. Conclusiones

En este capítulo se propuso una metodología para realizar un test favorable, en base a la aplicación del estado lógico adecuado para los diversos acoplos capacitivos en el circuito.

La herramienta propuesta se basa en la extracción de las capacitancias parásitas del layout del circuito, y en la descripción lógica del mismo. Estos se obtienen de la manipulación de dos herramientas CAD comerciales (Calibre y Fastscan).

La herramienta GVESOP, será probada con cuatro circuitos benchmark IS-CAS' 85, c17, c432, c499 y c1908. La herramienta fue modificada para que funcione con cualquier circuito combinacional, sin importar la tecnología con la que se implemente.

Capítulo 4

Simulador para fallas *stuck-open* (SSOP)

4.1. Introducción

En este capítulo se presenta un simulador de fallas *stuck-open*, con el cual es posible evaluar la cobertura de las fallas *stuck-open*. SSOP también provee información útil para evaluar la capacidad de detección de los defectos. Basándose en esta información mejores vectores de prueba pueden ser generados para mejorar la cobertura de los defectos o considerar para el DFT. SSOP usa las descripciones de circuitos lógicos e información del layout como archivos de entrada. Lo primero es el archivo que contiene la información del layout generada por Calibre y lo último proviene de la descripción en netlist del circuito en un lenguaje de alto nivel. Los vectores de prueba para evaluar los defectos pueden ser los generados por GVESOP o los vectores obtenidos por una herramienta ATPG convencional. SSOP considera los efectos de las líneas acopladas. De igual manera, evalúa la cobertura de las fallas considerando la carga atrapada en la compuerta y en el drenaje de los transistores involucrados. Esto es realizado para los vectores de prueba *stuck-at* 1 y *stuck-at* 0.

4.2. Estructura del SSOP

4.2.1. Entorno general del SSOP

A continuación el entorno general bajo el cual trabaja el SSOP es descrito brevemente. El SSOP recibe principalmente como archivos de entrada la descripción lógica de un circuito y los archivos extraídos del layout del mismo. Los vectores de entrada se pueden obtener de la herramienta desarrollada GVESOP o de una herramienta ATPG convencional (Fastscan). Usando esta información el SSOP evalúa la cobertura de las fallas *stuck-open* para un conjunto de vectores de entrada.

Cuando se usa la herramienta GVESOP, una estrategia posible de test consiste en generar la condición mas favorable en las señales acopladas para cierto valor de la capacitancia relacionada. Esto se hace definiendo un factor de selección. Si la cobertura del defecto no es la adecuada, esta se puede mejorar de dos maneras:

1. Restringiendo las líneas acopladas con un valor de capacitancia bajo.
2. Sensibilizando mas de una compuerta conectada al nodo flotante.

4.2.2. Descripción del SSOP

En esta sección se describe la estructura básica del SSOP. Este ha sido desarrollado empleando lenguaje C (estructurado), en un sistema operativo Solaris versión 5.8 (ambiente UNIX) con un compilador GCC version 2.95.1. El programa esta conformado por diversos subprogramas que son ejecutados secuencialmente. Los diferentes factores que influyen en el voltaje del nodo flotante son tomados en cuenta. La figura 4.2 muestra el diagrama de flujo simple del SSOP.

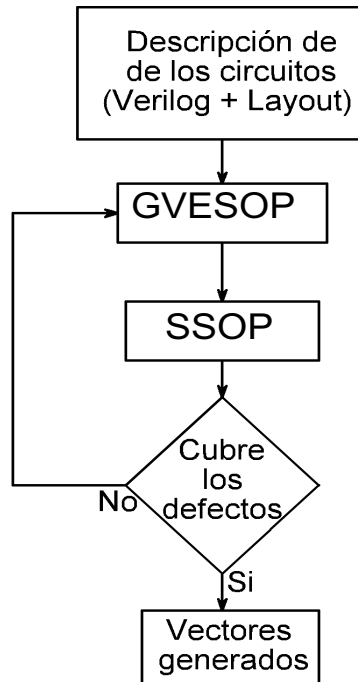


Figura 4.1: Diagrama de flujo propuesto para la detección de fallas stuck-open.

El SSOP esta basado en la descripción lógica y la información del layout del circuito. El SSOP estima el rango de detección para cada falla. Usando esto la cobertura de las fallas *stuck-open* es evaluada. El simulador realiza la tarea de determinar el número de transistores afectados por cada uno de los nodos críticos. Los nodos críticos son las líneas que tienen por lo menos una línea acoplada de un valor mayor o igual a la suma de las capacitancias de la línea a GND y V_{DD} multiplicado por un factor.

Los diferentes bloques que componen la herramienta SSOP se explican a continuación. Un diagrama de flujo simple del SSOP se muestra en la figura 4.2, el cual muestra a groso modo el flujo de la información y la salida de la misma. En adelante se asume que el GVESOP es usado para generar los vectores de prueba a menos que se indique lo contrario. Sin embargo, el SSOP también puede evaluar los defectos usando diferentes vectores de entrada.

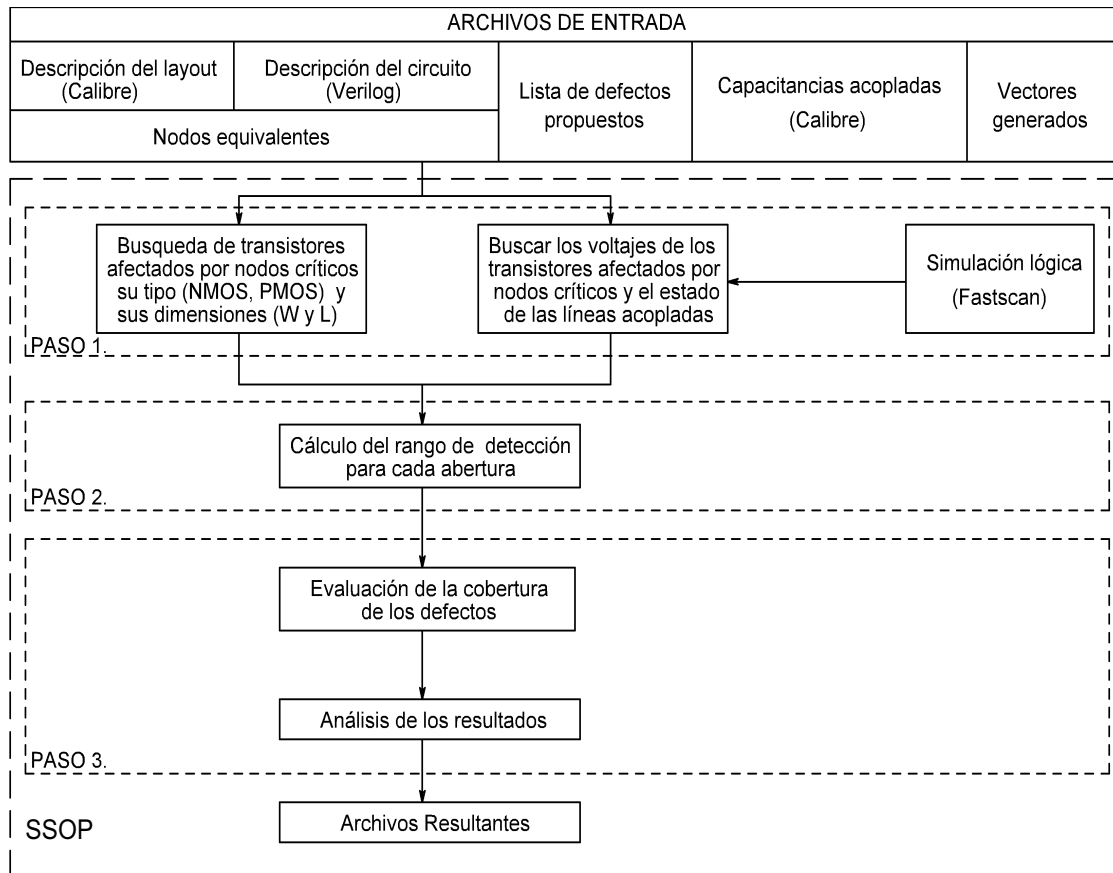


Figura 4.2: Organigrama simple del SSOP.

Primer paso

Este es paso de búsqueda y simulación. En este, el primer nodo crítico del archivo generado por el GVESOP es seleccionado. En el archivo de extracción generado por Calibre, todos los dispositivos relacionados a los nodos críticos con sus respectivas características son identificados.

Este proceso es realizado para cada nodo crítico que afecte por lo menos una compuerta lógica. La búsqueda de las dimensiones (L y W) tiene la función de obtener las capacitancias de traslape (C_{gsop} , C_{gdop} , C_{gson} y C_{gdon}) para todos los transistores afectados por el nodo crítico. Esta información es usada para calcular las regiones de error.

De manera simultanea se realizan, la búsqueda de los transistores afectados

y sus dimensiones, y una simulación lógica empleando una herramienta ATPG comercial (Fastscan). El objetivo de la simulación lógica es obtener todos los estados lógicos de las líneas acopladas a los nodos críticos y también los voltajes en las terminales de los transistores afectados por los nodos críticos. Este paso se encarga de compilar la información y dar formato a los diferentes archivos generados. Toda la información obtenida es usada para calcular la región de error por el siguiente paso.

Segundo paso

En este paso procesa toda la información obtenida en el paso anterior. La función principal de este paso es calcular, usando las expresiones del modelo matemático desarrollado en el capítulo 2, las capacitancias máximas o mínimas del ruteado del nodo flotante (C_r^1 o C_r^0) permitidas para tener por lo menos $V_{DD} - |V_{TP}|$ o V_{TN} , respectivamente. Esta información es procesada para cada nodo crítico y almacenada temporalmente.

Para calcular las capacitancias necesarias para determinar si el nodo examinado esta dentro de los rangos de detección, el modelo matemático considera diferentes efectos. A continuación se describe a groso modo el la forma la en que se consideran estos para los calculos realizados:

Acoplamientos capacitivos: En cada capacitancia acoplada se considera un voltaje. Si este se mantiene constante, no se considera la capacitancia relacionada en el cálculo, pero, si el estado lógico del acoplamiento cambia ya sea de $1 \rightarrow 0$ o de $0 \rightarrow 1$, el voltaje en dicho acoplamiento se considerará como V_{DD} o $-V_{DD}$, respectivamente.

Miller Feedback: Para incluir este efecto, se deben tomar en cuenta más consideraciones; al igual que en el efecto anterior, el estado lógico debe de realizar una transición ($1 \rightarrow 0$ o $0 \rightarrow 1$). Se deben de identificar los capacitores involucrados, en este caso son los que este conectados del nodo examinado al

drenaje o a la fuente de los transistores del fan-out de la compuerta afectada por una falla $(C_{gson/p}, C_{gdon/p})$.

Miller Feedthrough: Las consideraciones que deben de ser tomadas para este efecto, son muy similares a las del efecto anterior; únicamente que en este, se deben identificar las capacitancias que este conectadas del nodo examinado a las compuertas de los transistores que formen circuito que contenga una falla $(C_{gson/p}, C_{gdon/p})$.

Charge Sharing: Para este efecto se deben de tomar en cuenta consideraciones diferentes a las anteriores. Primero, se debe de calcular el voltaje del nodo examinado con el modelo desarrollado en el capítulo 2; luego se debe identificar el nodo con el cual se va a tener la distribución de carga. Posteriormente se estima el voltaje en el nodo con el que se presentó la distribución, y se aplica la formula desarrollada para este fenómeno en el capítulo 2, para obtener el voltaje en el nodo examinado después de la distribución de carga.

Tercer paso

En el tercer y último paso, se realiza la evaluación de la cobertura de defectos, esta etapa consiste en determinar si el nodo crítico examinado esta dentro del rango de detección o no. El procesamiento de esta información es realizado por una subrutina contenida en el programa principal, el cual es explicado con detalle en [21]. Finalmente el programa determina el porcentaje de detección para cada nodo (fallas SA0 y SA1) y obtiene un resultado general para los nodos analizados por cada factor de selección, el cual es almacenado en los archivos resultantes de salida.

4.3. Cálculos para las condiciones de detección de defectos

Las fallas *stuck-open* produce que las redes PMOS y NMOS de la compuerta afectada floten. El comportamiento de la compuerta con una falla *stuck-open* es

determinado por el voltaje del nodo flotante (V_{NF}). Este voltaje depende de la estructura de los transistores, los acoplamientos capacitivos en el nodo flotante y de la carga en la compuerta y el drenaje de los transistores involucrados.

En esta sección, el procedimiento para estimar el rango de detectabilidad de una falla *stuck-open* dada es descrito. Este proceso es descrito por un modelo eléctrico completo. Las ecuaciones analíticas para este modelo son presentadas. El modelo considera, la estructura de la compuerta afectada, los acoplamientos capacitivos en el nodo flotante como modelos condensados, la carga en la compuerta de los transistores de las celdas conectadas al nodo flotante, el fanout de la celda afectada y la carga en drenaje de los transistores que conforman la celda afectada.

4.3.1. Modelo general para fallas *stuck-open*

El modelo eléctrico general propuesto para las fallas *stuck-open* se muestra en la figura 4.3. En este, se consideran la estructura de la compuerta afectada, los acoplamientos capacitivos en el nodo flotante como modelos condensados, la carga en la compuerta de los transistores de las celdas conectadas al nodo flotante, el fanout de la celda afectada y la carga en drenaje de los transistores que conforman la celda afectada.

Usando este modelo eléctrico general para las fallas *stuck-open*, la ecuación 4.1 es desarrollada para obtener el voltaje en el nodo flotante, como una función de la mayoría de los factores que influyen en este.

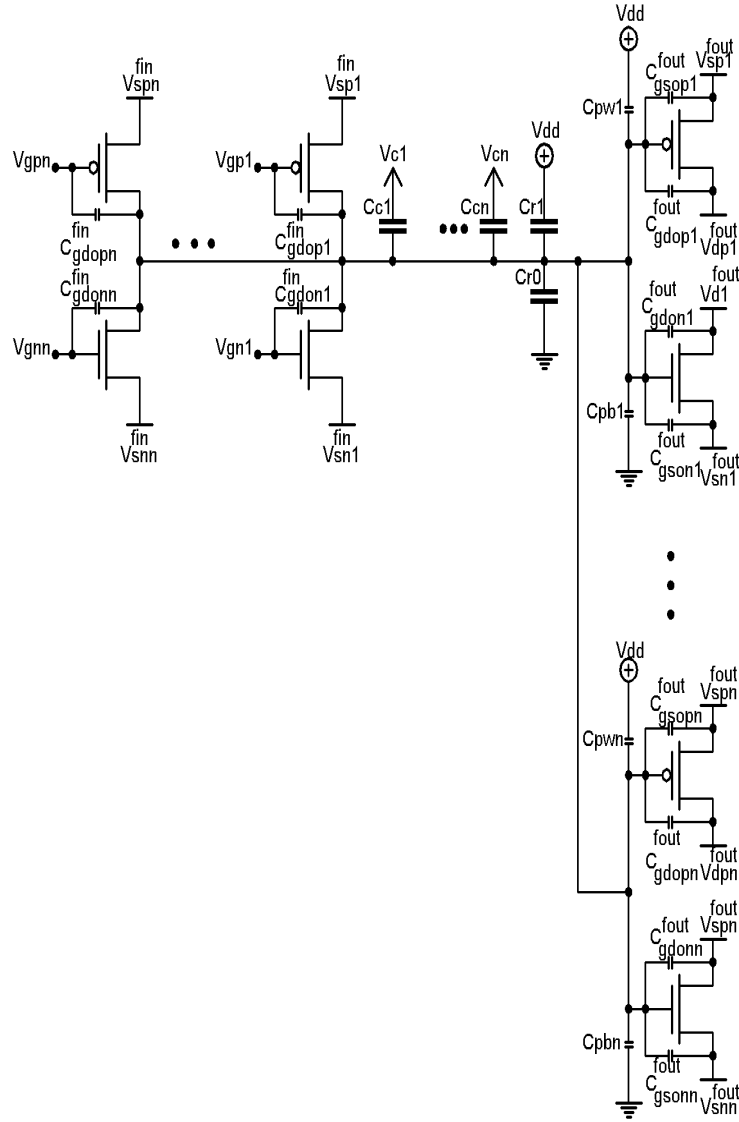


Figura 4.3: Modelo general propuesto para las fallas stuck-open.

$$\begin{aligned}
 V_{nf} = & \frac{\sum_{i=1}^n C_{gdon}^i \Delta V_{gn}^i}{C_T} + \frac{\sum_{i=1}^n C_{gdop}^i \Delta V_{gp}^i}{C_T} + \frac{\sum_{i=1}^n C_{gsop}^i \Delta V_{sp}^i}{C_T} + \frac{\sum_{i=1}^n C_{gdop}^i \Delta V_{dp}^i}{C_T} \\
 & + \frac{\sum_{i=1}^n C_{gdon}^i \Delta V_{dn}^i}{C_T} + \frac{\sum_{i=1}^n C_{gsnn}^i \Delta V_{sn}^i}{C_T} + \frac{\sum_{i=1}^n C_c^i \Delta V_c^i}{C_T} - \frac{Q_{GT}}{C_T} - \frac{Q_{DT}}{C_T} \quad (4.1)
 \end{aligned}$$

Donde:

$$C_T = C_{gsnn}^T + C_{gdon}^T + C_{gdop}^T + C_{gsop}^T + C_{pw}^T + C_{pb}^T + C_r^1 + C_r^0 + C_c^T$$

$$\begin{aligned}
C_{gson}^T &= \sum_{n=1}^i C_{gson}^n \\
C_{gdon}^T &= \sum_{n=1}^i C_{gdon}^n \\
C_{gsop}^T &= \sum_{n=1}^i C_{gsop}^n \\
C_{gdop}^T &= \sum_{n=1}^i C_{gdop}^n \\
C_{pw}^T &= \sum_{n=1}^i C_{pw}^n \\
C_{pb}^T &= \sum_{n=1}^i C_{pb}^n \\
C_c^T &= \sum_{n=1}^i C_c^n \\
Q_{GT} &= \sum_{n=1}^i Q_{GP}^n + Q_{GN}^n \\
Q_{DT} &= \sum_{n=1}^i Q_{DP}^n + Q_{DN}^n
\end{aligned}$$

C_{gson} y C_{gsop} , son los capacitores de traslape de compuerta a fuente para los transistores N y P, respectivamente, por los cuales se puede presentar el efecto de miller feedback. C_{gdon} y C_{gdop} son los capacitores de traslape de compuerta a drenaje para los transistores N y P, respectivamente, estos son los que pueden incluir el efecto miller feedthrough. Los acoplamientos capacitivos se incluyen de manera general, el modelo se desarrollo para incluir n acoplamientos. De igual manera, las cargas en compuerta y drenaje son incluidas, tomando en cuenta cualquier número de transistores conectados al nodo flotante.

Asegurar V_{TN}

De la ecuación antes descrita, se obtienen las condiciones necesarias para asegurar un voltaje inducido en el nodo flotante, no mayor que el voltaje umbral del transistor N. Esta condición asegura que la abertura se comporte como una falla *stuck-at-0*. Se asume que el transistor N opera en la región de corte. Relacionando las cargas de los capacitores y los voltajes en ellos, después de sustituir $V_{NF} = V_{TN}$ en la ecuación 4.1, una expresión explícita puede ser obtenida para estimar el valor mínimo de la capacitancia a tierra de la línea flotante (C^0) para tener como máximo un voltaje inducido en la línea flotante de V_{TN} . Esto genera la ecuación siguiente:

$$\begin{aligned}
C^0 \geq & \frac{\sum_{i=1}^n C_{gdon}^i \cdot (\Delta V_{gn}^i - V_{TN})}{V_{TN}} + \frac{\sum_{i=1}^n C_{gdop}^i \cdot (\Delta V_{gp}^i - V_{TN})}{V_{TN}} \\
& + \frac{\sum_{i=1}^n C_{gsop}^i \cdot (\Delta V_{sp}^i - V_{TN})}{V_{TN}} + \frac{\sum_{i=1}^n C_{gdop}^i \cdot (\Delta V_{dp}^i - V_{TN})}{V_{TN}} \\
& + \frac{\sum_{i=1}^n C_{gdon}^i \cdot (\Delta V_{dn}^i - V_{TN})}{V_{TN}} + \frac{\sum_{i=1}^n C_{gson}^i \cdot (\Delta V_{sn}^i - V_{TN})}{V_{TN}} \\
& + \frac{\sum_{i=1}^n C_C^i \cdot (\Delta V_C^i - V_{TN})}{V_{TN}} - \frac{Q_{GT}}{V_{TN}} - \frac{Q_{DT}}{V_{TN}} \quad (4.2)
\end{aligned}$$

Donde:

$$C^0 = C_r^0 + C_{pb}^T$$

Asegurar $V_{DD} - |V_{TP}|$

De manera similar, una ecuación para estimar el valor mínimo de la capacitancia a V_{DD} de la línea (C^1), para tener por lo menos un voltaje inducido de $V_{DD} - |V_{TP}|$ puede ser estimada. Esta condición asegura que el *stuck-open* se comporte como una falla *stuck-at-1*. La ecuación obtenida es la siguiente:

$$\begin{aligned}
C^1 \leq & \frac{\sum_{i=1}^n C_{gdon}^i \cdot (\Delta V_{gn}^i - (V_{DD} - |V_{TP}|))}{(V_{DD} - |V_{TP}|)} + \frac{\sum_{i=1}^n C_{gdop}^i \cdot (\Delta V_{gp}^i - (V_{DD} - |V_{TP}|))}{(V_{DD} - |V_{TP}|)} \\
& + \frac{\sum_{i=1}^n C_{gsop}^i \cdot (\Delta V_{sp}^i - (V_{DD} - |V_{TP}|))}{(V_{DD} - |V_{TP}|)} + \frac{\sum_{i=1}^n C_{gdop}^i \cdot (\Delta V_{dp}^i - (V_{DD} - |V_{TP}|))}{(V_{DD} - |V_{TP}|)} \\
& + \frac{\sum_{i=1}^n C_{gdon}^i \cdot (\Delta V_{dn}^i - (V_{DD} - |V_{TP}|))}{(V_{DD} - |V_{TP}|)} + \frac{\sum_{i=1}^n C_{gson}^i \cdot (\Delta V_{sn}^i - (V_{DD} - |V_{TP}|))}{(V_{DD} - |V_{TP}|)} \\
& + \frac{\sum_{i=1}^n C_C^i \cdot (\Delta V_C^i - (V_{DD} - |V_{TP}|))}{(V_{DD} - |V_{TP}|)} - \frac{Q_{GT}}{(V_{DD} - |V_{TP}|)} - \frac{Q_{DT}}{(V_{DD} - |V_{TP}|)} \quad (4.3)
\end{aligned}$$

Donde:

$$C^1 = C_r^1 + C_{pw}^T$$

Ecuación para charge sharing

El modelo desarrollado anteriormente, no incluye el factor de charge sharing. Debido a esto, se desarrolla una ecuación que pueda ser empleada en cualquier circuito y que describa este fenómeno en el nodo flotante; esta ecuación se muestra a continuación:

$$V_{nfC-s} = \frac{(C_r^1 + C_{pb}^T + C_r^0 + C_{pw}^T) \cdot V_{NF} + \sum_{i=1}^n C_{oln}^i \cdot V_{oln} + \sum_{i=1}^n C_{olp}^i \cdot V_{olp}}{C_r^1 + C_{pb}^T + C_r^0 + C_{pw}^T + \sum_{i=1}^n C_{oln}^i + \sum_{i=1}^n C_{olp}^i} \quad (4.4)$$

Asegurar V_{TN}

$$\begin{aligned} C^0 \geq & \frac{\sum_{i=1}^n C_{gdon}^i \cdot (\Delta V_{gn}^i - V_{TN})}{V_{TN}} + \frac{\sum_{i=1}^n C_{gdop}^i \cdot (\Delta V_{gp}^i - V_{TN})}{V_{TN}} \\ & + \frac{\sum_{i=1}^n C_{gsop}^i \cdot (\Delta V_{sp}^i - V_{TN})}{V_{TN}} + \frac{\sum_{i=1}^n C_{gdop}^i \cdot (\Delta V_{dp}^i - V_{TN})}{V_{TN}} \\ & + \frac{\sum_{i=1}^n C_{gdon}^i \cdot (\Delta V_{dn}^i - V_{TN})}{V_{TN}} + \frac{\sum_{i=1}^n C_{gson}^i \cdot (\Delta V_{sn}^i - V_{TN})}{V_{TN}} \\ & + \frac{\sum_{i=1}^n C_C^i \cdot (\Delta V_C^i - V_{TN})}{V_{TN}} + \frac{\sum_{i=1}^n C_{OLn}^i \cdot (\Delta V_{OLn}^i - V_{TN})}{V_{TN}} \\ & + \frac{\sum_{i=1}^n C_{OLp}^i \cdot (\Delta V_{OLp}^i - V_{TN})}{V_{TN}} - \frac{Q_{GT}}{V_{TN}} - \frac{Q_{DT}}{V_{TN}} \end{aligned} \quad (4.5)$$

Asegurar $V_{DD} - |V_{TP}|$

$$\begin{aligned}
C^1 \leq & \frac{\sum_{i=1}^n C_{gdon}^i \cdot (\Delta V_{gn}^i - (V_{DD} - |V_{TP}|))}{(V_{DD} - |V_{TP}|)} + \frac{\sum_{i=1}^n C_{gdop}^i \cdot (\Delta V_{gp}^i - (V_{DD} - |V_{TP}|))}{(V_{DD} - |V_{TP}|)} \\
& + \frac{\sum_{i=1}^n C_{gsop}^i \cdot (\Delta V_{sp}^i - (V_{DD} - |V_{TP}|))}{(V_{DD} - |V_{TP}|)} + \frac{\sum_{i=1}^n C_{gdop}^i \cdot (\Delta V_{dp}^i - (V_{DD} - |V_{TP}|))}{(V_{DD} - |V_{TP}|)} \\
& + \frac{\sum_{i=1}^n C_{gdon}^i \cdot (\Delta V_{dn}^i - (V_{DD} - |V_{TP}|))}{(V_{DD} - |V_{TP}|)} + \frac{\sum_{i=1}^n C_{gsop}^i \cdot (\Delta V_{sn}^i - (V_{DD} - |V_{TP}|))}{(V_{DD} - |V_{TP}|)} \\
& + \frac{\sum_{i=1}^n C_C^i \cdot (\Delta V_C^i - (V_{DD} - |V_{TP}|))}{(V_{DD} - |V_{TP}|)} + \frac{\sum_{i=1}^n C_{OLn}^i \cdot (\Delta V_{OLn}^i - (V_{DD} - |V_{TP}|))}{(V_{DD} - |V_{TP}|)} \\
& + \frac{\sum_{i=1}^n C_{OLp}^i \cdot (\Delta V_{OLp}^i - (V_{DD} - |V_{TP}|))}{(V_{DD} - |V_{TP}|)} - \frac{Q_{GT}}{(V_{DD} - |V_{TP}|)} \\
& - \frac{Q_{DT}}{(V_{DD} - |V_{TP}|)} \tag{4.6}
\end{aligned}$$

En la ecuación 4.4, V_{NF} es el voltaje descrito por la ecuación 4.1. Con esto se tiene contemplado los tres principales efectos que se presentan en las fallas *stuck-open*.

4.4. Evaluación y resultados del SSOP

A continuación se muestran los resultados de aplicar el SSOP a cinco circuitos benchmark ISCAS' 85. Los circuitos benchmark ISCAS'85 utilizados son los siguientes c17, c432, c499, y c1908. Las pruebas son realizadas con una herramienta ATPG convencional (Fastscan) y con el GVESOP.

4.4.1. Evaluación de la cobertura de fallas

Las herramientas desarrolladas fueron probadas con 4 circuitos benchmark ISCAS' 85, c17, c432, c499 y c1908. Las pruebas realizadas son presentadas en este orden.

Se emplean dos métricas diferentes, el “factor de selección” y el “factor de

acoplamiento”. La primera es simplemente un coeficiente, el cual puede variar del 0 % al 100 %, que multiplicara a la suma de las capacitancias de la línea afectada a V_{DD} y a GND. La segunda métrica empleada es un factor mas complejo, es cual se calcula con 4.7.

$$\eta = \frac{C_C}{C_{GND} + C_{VDD} + C_{C1} + C_{C2} + \dots + C_{CN}} \quad (4.7)$$

Donde:

C_C = Capacitancia acoplada a la línea a analizar.

C_{VDD} = Capacitancia de la línea a V_{DD} .

C_{GND} = Capacitancia de la línea a GND.

$C_{C1}, C_{C2} \dots C_{CN}$ = Capacitancias acopladas.

Los resultados obtenidos se muestran en el tablas comparativas. Los factores de selección empleados son 100 %, 60 %, y 20 %. Estas tablas estan divididas en 4 columnas, en la primera columna se ubican los diferentes factores de selección empleados. La segunda columna contiene la información del número de fallas analizadas. La tercera columna se muestran los resultados obtenidos con la herramienta ATPG convencional. Por último, los resultados obtenidos con la herramienta desarrollada (GVESOP) son presentados.

Cuadro 4.1: Cobertura de fallas para stuck-opens.

c17

Factor de selección	No. de aberturas	ATPG convencional	GVESOP
100 %	8	51.00 %	58.25 %
60 %	14	65.16 %	73.64 %
20 %	22	69.21 %	77.18 %

En el cuadro 4.1, se muestra la cobertura de fallas *stuck-open* para el ISCAS c17. Tal como se esperaba el número de fallas incrementa al disminuir el factor

de selección. Para cada uno de los valores del factor de selección, la cobertura de defectos empleando una herramienta convencional fluctúa entre 51.00 % y 69.21 %. La cobertura empleando GVESOP se incrementa considerablemente. Para este caso, la cobertura de los defectos se encuentra entre 58.25 % y 77.18 %. La mejora fue en promedio del 7.9 % entre la herramienta convencional y el GVESOP.

Cuadro 4.2: Cobertura de fallas para stuck-opens.

c17

Factor de acoplamiento	No. de aberturas	ATPG convencional	GVESOP
0.6	0	0.00 %	0.00 %
0.2	12	62.45 %	73.30 %
0.1	16	66.45 %	74.62 %

En el cuadro 4.2, se muestra la cobertura de las fallas *stuck-open* para el ISCAS c17. La diferencia con el cuadro anterior, no se emplea el “factor de selección”, en este caso se empleo el “factor de acoplamiento”. Este factor es más restrictivo que el anterior, debido a esto las fallas analizadas es menor que en el caso anterior. Para una herramienta ATPG convencional el rango fluctúa entre el 62.45 % y el 66.45 %. Empleando GVESOP el rango se encuentra entre el 73.30 % y el 74.62 %. La mejora es en promedio del 5.08 % entre la herramienta ATPG convencional y el GVESOP.

Cuadro 4.3: Cobertura de fallas para stuck-opens.

c432

Factor de selección	No. de aberturas	ATPG convencional	GVESOP
100 %	28	54.95 %	65.00 %
60 %	86	62.50 %	71.50 %
20 %	300	71.40 %	78.95 %

El cuadro 4.3 se muestran los resultados obtenidos para el circuito ISCAS c432.

De la misma manera que en el caso anterior, el número de aberturas esperado se incrementa conforme el factor de selección disminuye. El rango de la cobertura de los defectos con una herramienta ATPG convencional se encuentra entre el 54.95 % y el 71.40 %. El rango de cobertura empleando el GVESOP va del 65.00 % al 78.95 %.

Cuadro 4.4: Cobertura de fallas para stuck-opens.

c432

Factor de acoplamiento	No. de aberturas	ATPG convencional	GVESOP
0.6	0	0.00 %	0.00 %
0.2	72	58.42 %	68.85 %
0.1	180	65.23 %	74.32 %

En el cuadro 4.4, se muestra la cobertura de las fallas *stuck-open* para el ISCAS c432. Del mismo modo que con el cuadro 4.2, no se emplea un “factor de selección”, sino un “factor de acoplamiento”. Para una herramienta ATPG convencional el rango fluctúa entre el 58.42 % y el 65.23 %. Empleando GVESOP el rango se encuentra entre el 68.85 % y el 74.32 %.

Cuadro 4.5: Cobertura de fallas para stuck-opens.

c499

Factor de selección	No. de aberturas	ATPG convencional	GVESOP
100 %	40	50.00 %	58.90 %
60 %	132	62.05 %	71.35 %
20 %	346	69.76 %	78.00 %

El cuadro 4.5 se muestran los resultados obtenidos para el circuito ISCAS c499. El rango de la cobertura de los defectos con una herramienta ATPG convencional se encuentra entre el 50.00 % y el 69.76 %. El rango de cobertura empleando el GVESOP va del 58.90 % al 78.00 %.

Cuadro 4.6: Cobertura de fallas para stuck-opens.

c499

Factor de acoplamiento	No. de aberturas	ATPG convencional	GVESOP
0.6	0	0.0 %	0.00 %
0.2	98	57.39 %	66.78 %
0.1	290	64.96 %	75.47 %

En el cuadro 4.6, se muestra la cobertura de las fallas *stuck-open* para el ISCAS c499. Del mismo modo que con el cuadro 4.4, no se emplea un “factor de selección”, sino un “factor de acoplamiento”. Para una herramienta ATPG convencional el rango fluctúa entre el 57.39 % y el 64.96 %. Empleando GVESOP el rango se encuentra entre el 66.78 % y el 75.47 %.

Cuadro 4.7: Cobertura de fallas para stuck-opens.

c1908

Factor de selección	No. de aberturas	ATPG convencional	GVESOP
100 %	20	52.03 %	61.45 %
60 %	88	65.34 %	74.87 %
20 %	400	70.09 %	78.46 %

El cuadro 4.7 se muestran los resultados obtenidos para el circuito ISCAS c1908. El rango de la cobertura de los defectos con una herramienta ATPG convencional se encuentra entre el 52.03 % y el 70.09 %. El rango de cobertura empleando el GVESOP va del 61.45 % al 78.46 %.

Cuadro 4.8: Cobertura de fallas para stuck-opens.

c1908

Factor de acoplamiento	No. de aberturas	ATPG convencional	GVESOP
0.6	0	0.0 %	0.00 %
0.2	66	60.41 %	66.78 %
0.1	346	67.84 %	76.52 %

En el cuadro 4.8, se muestra la cobertura de las fallas *stuck-open* para el IS-CAS c1908. Del mismo modo que con el cuadro 4.6, no se emplea un “factor de selección”, sino un “factor de acoplamiento”. Para una herramienta ATPG convencional el rango fluctúa entre el 60.41 % y el 67.84 %. Empleando GVESOP el rango se encuentra entre el 67.84 % y el 76.52 %.

En los resultados anteriores, se puede observar claramente que la cobertura de los defectos empleando el proceso del GVESOP es mejorada significativamente con respecto al caso empleando un proceso ATPG convencional. Esto muestra que controlar apropiadamente las señales acopladas, tiene un papel importante en la detección de fallas *stuck-open*.

4.4.2. Análisis del costo de la excitación de los acoplamientos

Una vez realizado el análisis de la cobertura de fallas para cada circuito (c17, c432, c499 y c1908), procede a analizar como afecta la variación del factor de selección en la cobertura de las fallas analizadas para cada circuito cuando el factor era del 100 %.

Los resultados obtenidos se muestran en el cuadro 4.9. Los factores de sele-

cción empleados son 100 %, 60 %, y 20 %. Esta tabla esta dividida en 4 columnas, en la primera columna se ubican los diferentes factores de selección empleados. La segunda columna contiene la información del número de fallas analizadas, estas son fijadas al número de fallas obtenidas anteriormente, cuando el factor de selección es del 100 %. La tercera columna se muestran los resultados obtenidos con la herramienta ATPG convencional. Por último, los resultados obtenidos con la herramienta desarrollada (GVESOP) son presentados.

Cuadro 4.9: Cobertura de fallas para stuck-opens.

c17

Selección de acoplamientos	No. de aberturas	ATPG convencional	GVESOP
100 %	8	51.00 %	58.25 %
60 %	8	51.00 %	60.62 %
20 %	8	51.00 %	63.04 %

En el cuadro anterior se puede apreciar que conforme se disminuye el factor de selección, la cobertura de las fallas aumenta, esto debido a que se consideran mas acoplos para estas. Se puede observar como la cobertura se mantiene en 51.00 % para una herramienta ATPG convencional, debido a que esta no considera los acoplamientos en el proceso de generación de los vectores de prueba; por otra parte existe una mejora de un 68.25 % a un 73.04 % para el GVESOP, debido a esta herramienta sí considera los acoplamientos para las fallas analizadas.

Cuadro 4.10: Cobertura de fallas para stuck-opens.

c432

Selección de acoplamientos	No. de aberturas	ATPG convencional	GVESOP
100 %	28	54.95 %	65.00 %
60 %	28	54.95 %	68.31 %
20 %	28	54.95 %	70.18 %

En el cuadro 4.10 se puede apreciar que del mismo modo que en las pruebas reportadas en el cuadro 4.9, conforme se disminuye el factor de selección, la cobertura de las fallas aumenta, esto debido a que se consideran mas acoplos para estas. Se puede observar como la cobertura se mantiene en un 54.95 % para una herramienta ATPG convencional, debido a que esta no considera los acoplamientos en el proceso de generación de los vectores de prueba; por otra parte existe una mejora de un 65.00 % a un 70.18 % para el GVESOP, debido a esta herramienta sí considera los acoplamientos para las fallas analizadas.

Cuadro 4.11: Cobertura de fallas para stuck-opens.

c499

Selección de acoplamientos	No. de aberturas	ATPG convencional	GVESOP
100 %	40	50.00 %	58.90 %
60 %	40	50.00 %	62.18 %
20 %	40	50.00 %	65.09 %

En el cuadro 4.11 se puede apreciar que del mismo modo que en las pruebas reportadas en el cuadro 4.10. Se puede observar como la cobertura se mantiene en un 50.00 %, y existe una mejora de un 58.90 % a un 65.09 % para el GVESOP.

Cuadro 4.12: Cobertura de fallas para stuck-opens.

c1908

Selección de acoplamientos	No. de aberturas	ATPG convencional	GVESOP
100 %	20	52.03 %	61.45 %
60 %	20	52.03 %	65.83 %
20 %	20	52.03 %	69.42 %

En el cuadro 4.12, se puede observar como la cobertura se mantiene en un 52.03 % para una herramienta ATPG convencional, y mejora de un 61.45 % y un 69.42 % para el GVESOP.

De los resultados antes mostrados, se puede observar como al incluir mas acoplamientos para el análisis de cobertura influye significativamente en el mismo, del mismo modo, controlar los valores lógicos en los mismos ayudan significativamente en la cobertura de los defectos.

4.5. Análisis de detectabilidad de acoplamientos

A continuación, las condiciones reales de detectabilidad con el SSOP y el esfuerzo para la generación de vectores con el GVESOP son evaluadas. En las pruebas el factor de selección empleado es del 100 %. Algunos defectos presentan el 100 % de cobertura, y otros un rango menor. Para ambos casos, los estados lógicos de las líneas acopladas son definidos. Usando esta información, es posible determinar si para las fallas detectadas, las líneas acopladas, existen condiciones favorables o no. Esta evaluación es realizada con los vectores generados por el GVESOP.

Por otra parte, usando el GVESOP para un factor de acoplamientos alto el número de fallas son estables. Mientras el número de fallas sea estable, la cobertura de fallas para las condiciones donde el factor de selección es menor que 100 % para las líneas acopladas es examinada.

Los estados de las líneas acopladas, son examinados con los vectores de prueba generados por GVESOP. Los estados lógicos en las líneas acopladas afectan el voltaje en el nodo flotante. Los circuitos actuales presentan un número alto de acoplamientos capacitivos. Algunos de ellos tendrán condiciones favorables y otros no.

Esto es analizado para el circuito benchmark ISCAS'85 c17. Se emplea un factor de selección de 100 %. Los resultados mostrados en la figura 4.4, representan lo siguiente: El número de líneas acopladas en el eje 'y'; el eje 'x', representa las aberturas consideradas cuando el factor de selección es del 100 %. Las barras blancas representan las señales acopladas con condiciones favorables para el test, mientras que las barras negras representan las líneas acopladas con condiciones no favorables para el test.

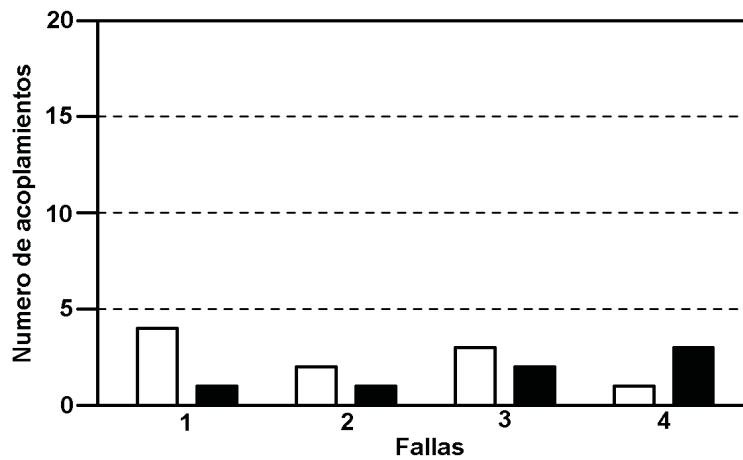


Figura 4.4: Respuesta del SSOP al c17 stuck-at 0.

En la figura anterior se puede observar que al incrementar el número de aberturas, el número de acoplamientos con condiciones favorables es mayor que el número de acoplamientos con condiciones no favorables. La cobertura de los defectos tiende a ser elevada si el número de acoplamientos también tiende a ser elevado. Sin embargo, para algunas aberturas, el número de acoplamientos con condiciones no favorables es mayor que con condiciones favorables.

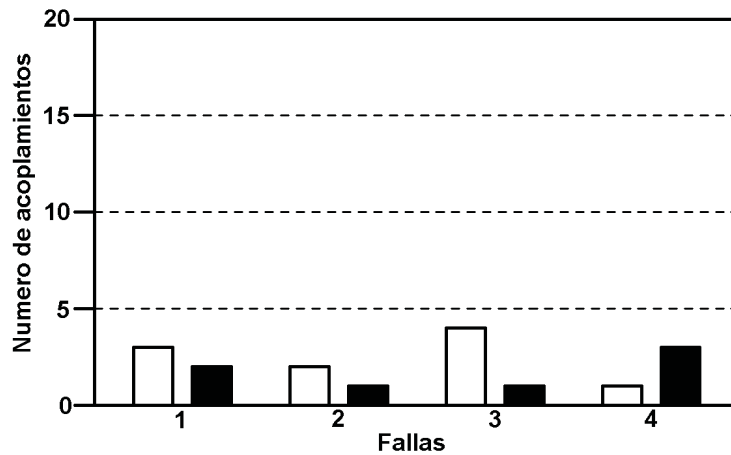


Figura 4.5: Respuesta del SSOP al c17 stuck-at 1.

Un caso similar es presentado en la figura 4.5. Las aberturas con un rango de cobertura mayor presentan también un gran número de acoplamientos con condiciones favorables.

En la figura 4.6, se muestran resultados similares a las figuras anteriores con la diferencia de la variable considerada en el eje 'y' de la grafica, en este caso la figura representa lo siguiente: En el eje 'x' la falla considerada cuando el factor de selección es del 100 %, en el eje 'y' el valor de la capacitancia total acoplada en la misma. Las barras blancas representan la suma de los capacitores acoplados con condiciones favorables para el test, debido a esto no perjudican las pruebas realizadas. Las barras negras representan la suma de los capacitores acoplados con condiciones no favorables para el test, estos si influyen de manera negativa la cobertura de los defectos.

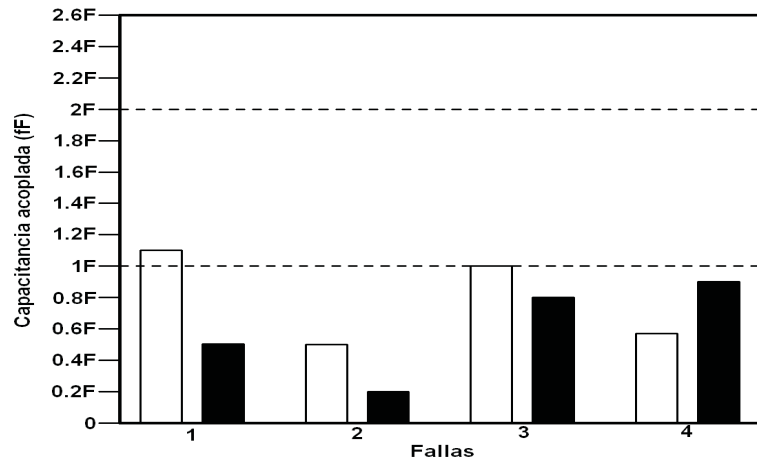


Figura 4.6: Respuesta del SSOP al c17 stuck-at 0.

De manera similar que para el caso anterior, en la figura 4.7 se aprecian los acoplamientos para cada falla especificada, mientras el valor total de la capacitancia de estos, para condiciones favorables, sea mayor que el valor total de capacitancia de los acoplamientos con condiciones no favorables para el test, se presentara con un rango de cobertura aceptable para las fallas especificadas.

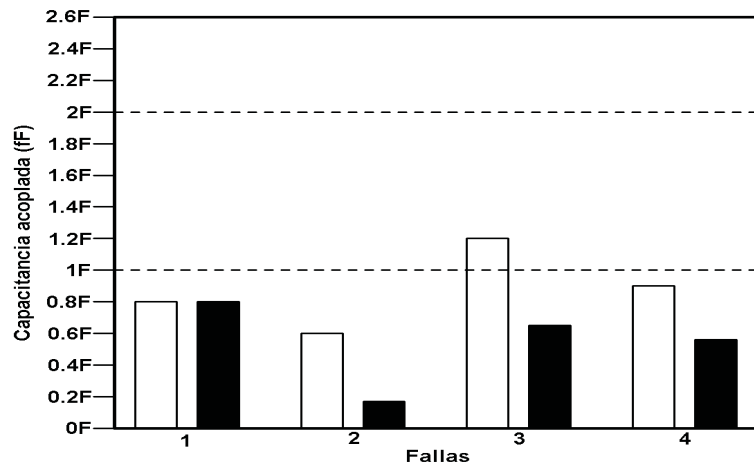


Figura 4.7: Respuesta del SSOP al c17 stuck-at 1.

En las figuras 4.8 y 4.9 muestran los resultados para el circuito c432 para *stuck-at* 0 y *stuck-at* 1, respectivamente. Usando un factor de selección del 100 %,

se consideran 14 aberturas, se aprecia un comportamiento similar al del circuito c17.

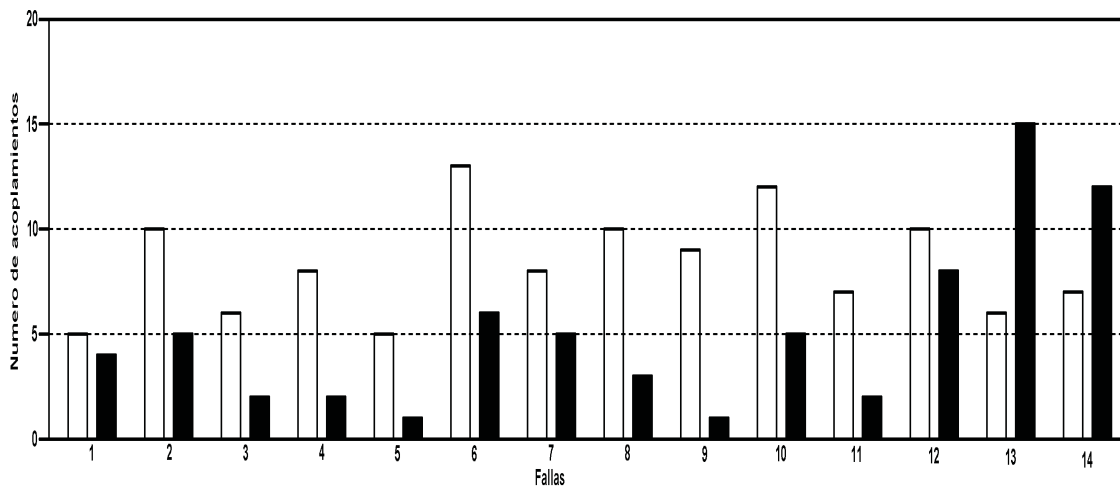


Figura 4.8: Respuesta del SSOP al c432 stuck-at 0.

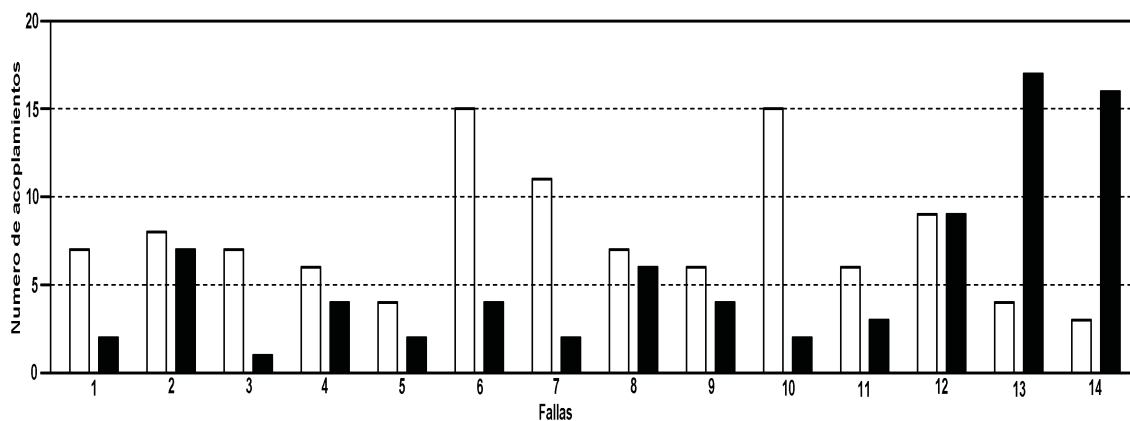


Figura 4.9: Respuesta del SSOP al c432 stuck-at 1.

En la figuras 4.10 y 4.11, se muestran resultados similares a los obtenidos para el circuito c432 cuando el factor de selección es del 100 %, considerando 14 fallas. Las barras blancas representan el valor total de la capacitancia con condiciones favorables para el test, debido a esto no perjudican las pruebas realizadas. Las barras negras representan el valor total de capacitancia acoplada con condiciones no favorables para el test, estos si influyen de manera negativa la cobertura de los defectos.

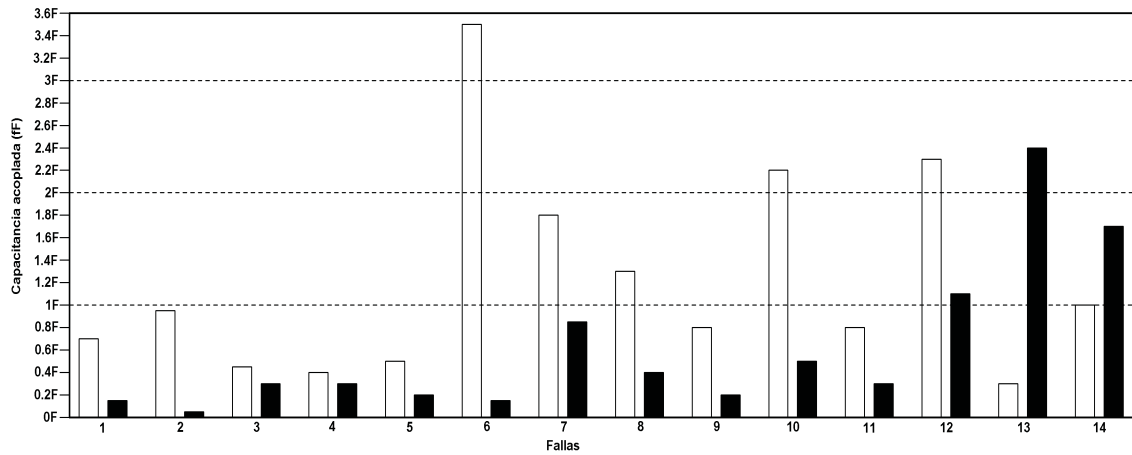


Figura 4.10: Respuesta del SSOP al c432 stuck-at 0.

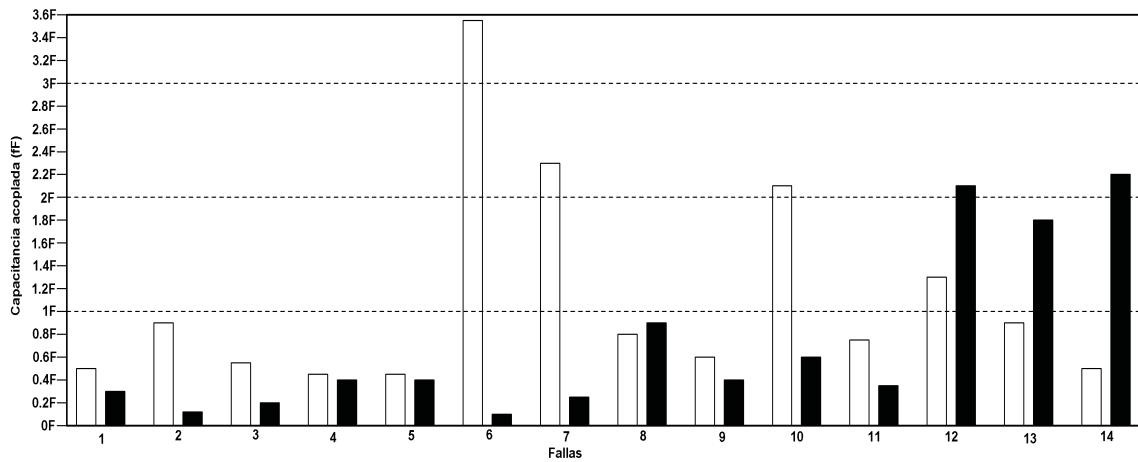


Figura 4.11: Respuesta del SSOP al c432 stuck-at 1.

En las figuras 4.12 y 4.13 muestran los resultados para el circuito c499 para *stuck-at* 0 y *stuck-at* 1, respectivamente. Usando un factor de selección del 100 %, se consideran 20 aberturas.

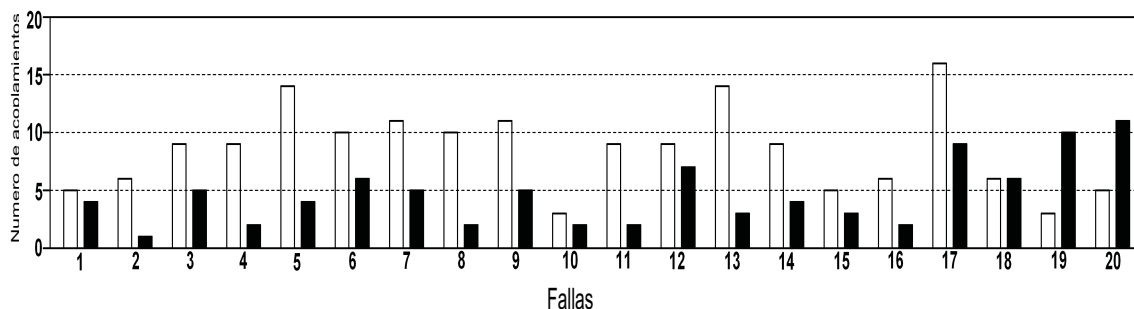


Figura 4.12: Respuesta del SSOP al c499 stuck-at 0.

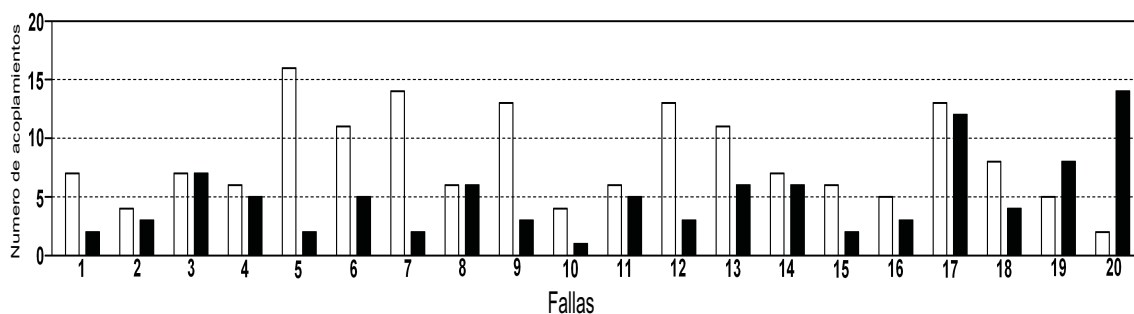


Figura 4.13: Respuesta del SSOP al c499 stuck-at 1.

En la figuras 4.14 y 4.15, se muestran resultados similares a los obtenidos para el circuito c432 cuando el factor de selección es del 100 %, considerando 20 fallas. Las barras blancas representan el valor total de la capacitancia con condiciones favorables para el test, debido a esto no perjudican las pruebas realizadas. Las barras negras representan el valor total de capacitancia acoplada con condiciones no favorables para el test, estos si influyen de manera negativa la cobertura de los defectos.

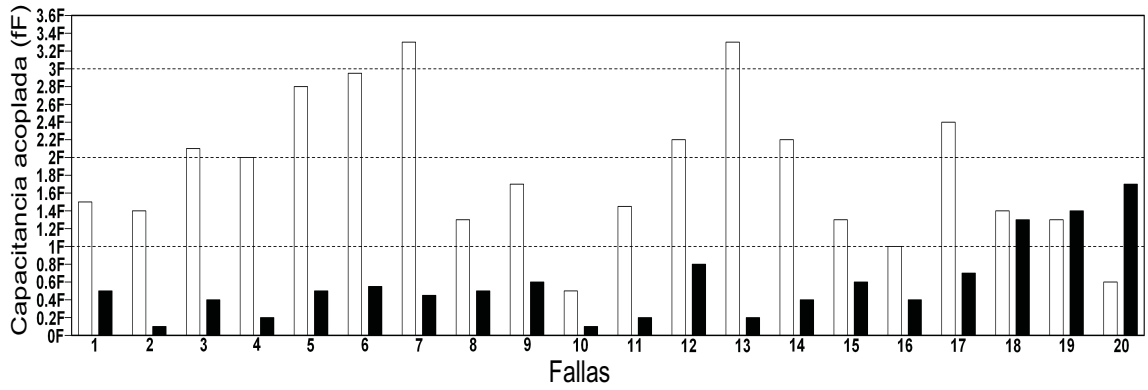


Figura 4.14: Respuesta del SSOP al c499 stuck-at 0.

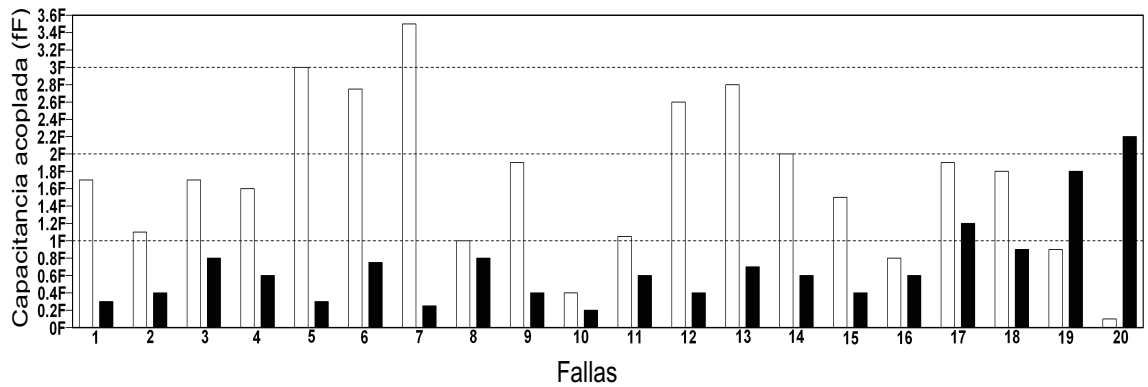


Figura 4.15: Respuesta del SSOP al c499 stuck-at 1.

En las figuras 4.16 y 4.17 muestran los resultados para el circuito c1908 para *stuck-at* 0 y *stuck-at* 1, respectivamente. Usando un factor de selección del 100 %, se consideran 10 aberturas, se aprecia un comportamiento similar a los circuitos anteriores.

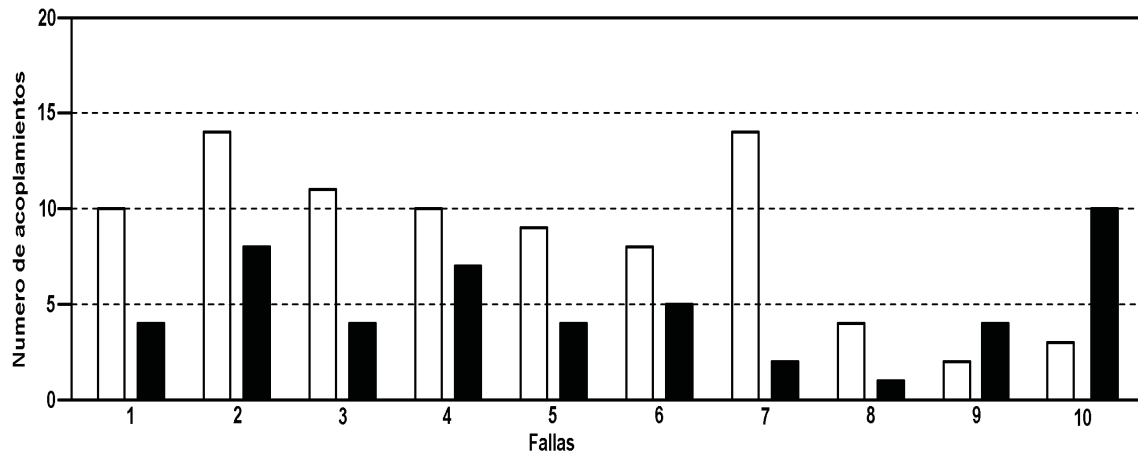


Figura 4.16: Respuesta del SSOP al c1908 stuck-at 0.

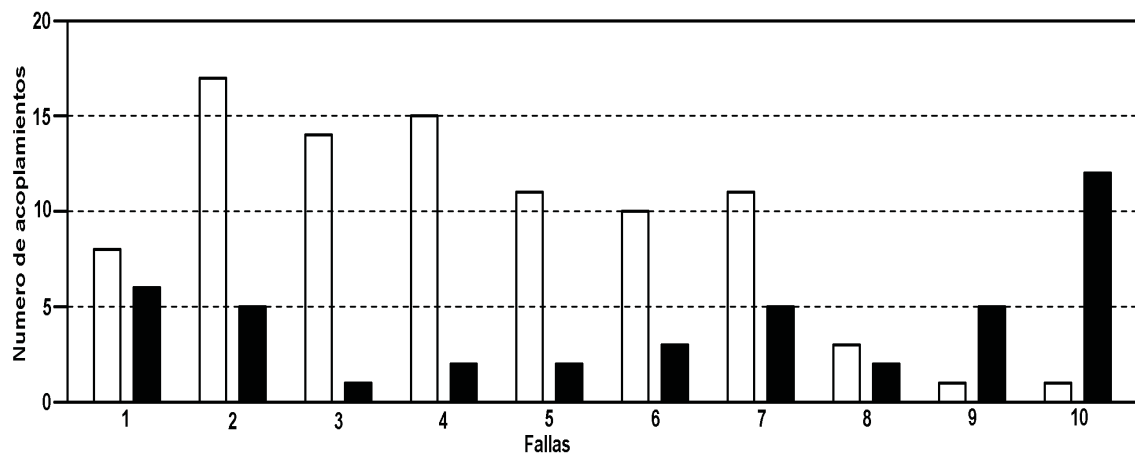


Figura 4.17: Respuesta del SSOP al c1908 stuck-at 1.

En la figuras 4.18 y 4.19, se muestran resultados similares a los obtenidos para los circuitos anteriores cuando el factor de selección es del 100 %, considerando 10 fallas.

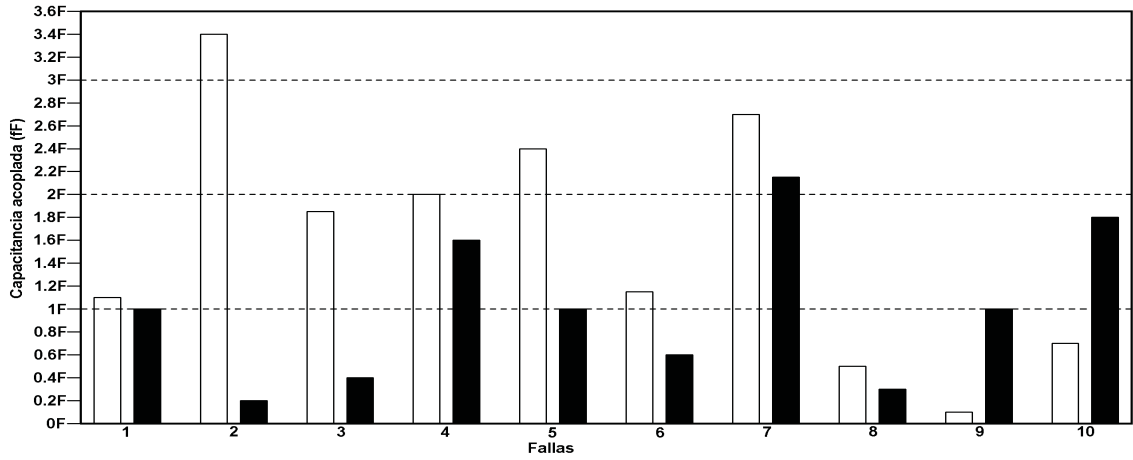


Figura 4.18: Respuesta del SSOP al c1908 stuck-at 0.

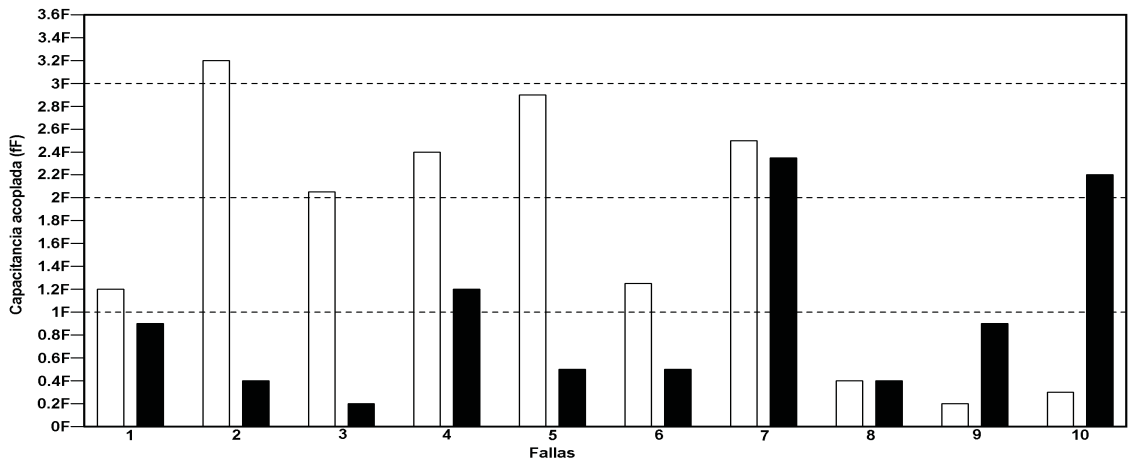


Figura 4.19: Respuesta del SSOP al c1908 stuck-at 1.

En los resultados anteriores, se puede observar claramente que la cobertura de los defectos empleando el proceso del GVESOP es mejorada significativamente con respecto al caso empleando un proceso ATPG convencional. Esto muestra que controlar apropiadamente las señales acopladas, tiene un papel importante en la detección de fallas *stuck-open*.

4.6. Conclusiones

En este capítulo, el ambiente general bajo el cual la herramienta CAD desarrollada llamada SSOP fue desarrollada es descrito. SSOP fue desarrollada usando lenguaje C (estructurado) en un sistema operativo Solaris versión 5.8 (ambiente UNIX) con un compilador GCC versión 2.95.1. El programa consiste de diversos subprogramas que son ejecutados secuencialmente. Diversos archivos como la descripción lógica y una extracción del layout son los archivos principales de entrada. SSOP toma en cuenta los diferentes factores que influyen en el voltaje del nodo flotante. Usando esta información SSOP puede evaluar la cobertura de las fallas *stuck-open*.

Los efectos de las diferentes líneas acopladas a la línea flotante (V_{nf}) son considerados. Las diferentes ecuaciones que describen el comportamiento son obtenidas.

En la sección 4.5 los resultados usando los vectores de una herramienta CAD convencional y el GVESOP son presentados. Los casos estudiados son expuestos en tablas comparativas.

Finalmente, la detectabilidad en condiciones reales con el SSOP es evaluada. Los casos estudiados son mostrados en gráficas y sus métricas respectivas son explicadas.

Capítulo 5

Conclusiones

En esta tesis, se propone un ambiente de trabajo para mejorar la detectabilidad de fallas *stuck-open*. Primero, una metodología basada en aplicar el estado lógico apropiado a la línea acoplada es propuesto. Esta metodología ha sido implementada en una herramienta CAD llamada GVESOP. Segundo, un simulador para fallas *stuck-open* es desarrollado. Este, permite estimar la cobertura para estas fallas.

GVESOP, permite obtener vectores favorables para *stuck open*, usando un test lógico. La herramienta GVESOP usa la información de las extracciones del layout y de una herramienta ATPG comercial (FastScan). Las principales características de GVESOP son:

- GVESOP genera vectores de prueba considerando los efectos de acoplamiento usando una herramienta ATPG comercial. La generación de vectores emplea condiciones o restricciones que definen el estado lógico que algunos nodos del circuito deben tener para la generación del vector apropiado para el test.
- GVESOP puede ser empleado en cualquier circuito combinacional. La herramienta fue probada empleado con 4 circuitos ISCAS'85 benchmark (c17, c432, c499, c1908).

La otra herramienta CAD desarrollada fue el SSOP (Simulador para fallas *stuck-open*). Del mismo modo que la herramienta antes mencionada, esta ha sido desarrollada empleando lenguaje C (estructurado), en un sistema operativo Solaris versión 5.8 (ambiente UNIX) con un compilador GCC versión 2.95.1. El programa esta conformado por diversos subprogramas que son ejecutados secuencialmente. Los diferentes factores que influyen en el voltaje del nodo flotante son tomados en cuenta.

La herramienta es capaz de evaluar la cobertura de la falla *stuck-open*. Adicionalmente, SSOP provee información útil para evaluar la calidad del test de estas aberturas. Basándose en esta información mejores vectores de test pueden ser generados para mejorar la cobertura de los defectos o se pueden tomar medidas DFT. De la misma manera que GVESOP, SSOP usa la descripción de un circuito lógico y la información del layout proveniente de Calibre como entradas. La secuencia de vectores empleados para evaluar la cobertura del defecto pueden ser los vectores generados por GVESOP o los obtenidos con una herramienta tradicional ATPG. Algunas de las características principales del SSOP son:

- SSOP estima el rango de detección para cada falla. Usando esto la cobertura del defecto puede ser evaluada.
- SSOP incluye la tarea de determinar el número de transistores afectados por cada uno de los nodos críticos.
- SSOP es capaz de evaluar la cobertura de las fallas *stuck-open*. En base a esto, se pueden proponer técnicas DFT.
- El análisis de detectabilidad determina sí, para las fallas detectadas, las líneas acopladas tienen las condiciones de excitación mas favorables o no.

Archivos como la descripción lógica de un circuito y las extracciones del layout son empleados como las principales entradas de la herramienta CAD desarrollada. Los diferentes factores que influyen en el voltaje de un nodo flotante son tomados en cuenta por el SSOP. Usando esta información SSOP evalúa la cobertura del defecto. Las ecuaciones básicas fueron presentadas para estimar el rango de cobertura

basándose en un modelo eléctrico simple para la falla, hasta desarrollar un modelo completo de la misma. Las ecuaciones analíticas para cada modelo considerado son tomadas en cuenta para el calculo del voltaje en un nodo flotante.

Diferentes métricas y expresiones analíticas han sido empleadas para obtener los resultados presentados. Tablas comparativas entre herramientas ATPG convencionales y las herramientas CAD desarrolladas en este trabajo son presentadas.

Los casos estudiados se presentan en tablas comparativas. La cobertura del defecto obtenida del test realizado para cuatro circuitos ISCAS'85 con vectores generados por una herramienta ATPG convencional se encuentra entre el 51.99 % y el 70.11 %.

Para las pruebas realizadas con el SSOP, se utilizaron dos métricas diferentes (factor de selección y factor de acoplamiento). Para los casos en los que se utilizo la primera métrica, la cobertura obtenida está entre el 60.90 % y el 78.14 %. Se puede apreciar que la cobertura del defecto empleando SSOP mejora considerable sobre el ATPG convencional. Para la segunda métrica, la cobertura de las fallas obtenidas está entre el 0.00 % y el 75.23 %; la reducción en la cobertura para esta métrica se debe a que esta es mas restrictiva que la anterior, y debido a esto, considera menos acoplamientos y esto provoca la reducción antes mencionada.

Una vez que se analizo la cobertura de los defectos con ambas métricas, se realizo un análisis del costo de la excitación de los acoplamientos. En este, se mantuvieron fijas las fallas obtenidas para cada circuito cuando el factor de selección es del 100 %, y simplemente se disminuyo el factor, para que se consideraran mas acoplamientos. Se puede apreciar que, como ya se ha mencionado antes, al disminuir el factor de selección, la cobertura de las fallas aumenta, en este caso aumento en promedio un 6.03 %.

Finalmente, la condiciones de detectabilidad real con el SSOP, dependen de los valores de las capacitancias evaluadas con el GVESOP. Los casos estudiados se presentan con gráficas y sus respectivas métricas son explicadas. Se emplean dos métricas para representar las graficas (el número de acoplos y la capacitancia total acoplada). Los resultados obtenidos con la primera métrica son relativamente sencillos de interpretar, la detectabilidad de los acoplamientos depende del número de acoplamientos con condiciones favorables para el test. Si este es mayor que

el número de acoplos con condiciones no favorables, la cobertura de los defectos será elevada.

Los resultados obtenidos con la segunda métrica son ligeramente más complejos; debido a que en estos se consideran la capacitancia total de los acoplamientos al nodo examinado con condiciones favorables y no favorables para el test. Las sumatorias para los casos con condiciones favorables tienen a ser mayores que para los casos con condiciones no favorables; esta capacitancia ayuda para asegurar un test correcto.

En general, GVESOP y SSOP fueron desarrolladas para ser empleadas en cualquier circuito combinatorial, sin considerar la tecnología con la cual son fabricados.

Apéndice A

Ecuaciones de carga del CMOS

Las ecuaciones empleadas para calcular la carga en la compuerta y drenaje son mostradas en esta sección. Estas fueron tomadas de [51]. Los transistores se consideran solo en dos estados ON y OFF ($V_{gs} \leq V_{th0}$ y $V_{gs} > V_{th0}$, respectivamente). Las ecuaciones que describen las diferentes regiones de operación del transistor para determinar la carga de compuerta se muestran a continuación.

Región de Acumulación, $V_{gs} \leq V_{th0}$, $V_{gs} \leq zV_{fb} - V_{sb}$

$$Q_g = cap \cdot (V_{gs} - zV_{fb} + V_{sb}) \quad (A.1)$$

$$Q_b = -Q_g \quad (A.2)$$

$$Q_d = 0 \quad (A.3)$$

$$Q_s = 0 \quad (A.4)$$

Región de sub-umbral, $V_{gs} \leq V_{th0}$

$$Q_g = \frac{cap \cdot zk1}{2} \left([zk1^2 + 4 \cdot (V_{gs} - zV_{fb} + V_{sb})]^{\frac{1}{2}} - zk1 \right) \quad (A.5)$$

$$Q_b = -Q_g \quad (\text{A.6})$$

$$Q_d = 0 \quad (\text{A.7})$$

$$Q_s = 0 \quad (\text{A.8})$$

Región de triodo, $V_{gs} > V_{th0}$, $V_{ds} \leq V_{pof}$

$$Q_g = cap \cdot (V_{gs} - zV_{fb} - zphi - 0,5 \cdot V_{ds} + V_{ds} \cdot argx) \quad (\text{A.9})$$

$$Q_b = cap \cdot (-V_{th0} + zV_{fb} + zphi + (1 - body) \cdot (0,5 - argx) \cdot V_{ds}) \quad (\text{A.10})$$

$$Q_d = -cap \cdot (0,5 \cdot (V_{gs} - V_{th0}) - body \cdot V_{ds} \cdot (0,75 - 1,5 \cdot argx)) \quad (\text{A.11})$$

$$Q_s = -(Q_g + Q_b + Q_d) \quad (\text{A.12})$$

Región de saturación, $V_{gs} > V_{th0}$

$$Q_g = cap \cdot \left(V_{gs} - zV_{fb} - zphi - \frac{V_{gs} - V_{th0}}{3 - body} \right) \quad (\text{A.13})$$

$$Q_b = cap \cdot \left[zV_{fb} + zphi - V_{th0} + (1 - body) \cdot \frac{V_{gs} - V_{th0}}{3 - body} \right] \quad (\text{A.14})$$

$$Q_d = 0 \quad (\text{A.15})$$

$$Q_s = -Q_g - Q_b \quad (\text{A.16})$$

Para cualquier término que empiece con “z” en las ecuaciones anteriores, tales como zV_{fb} o $z\phi$, es un parametro electrico de BSIM, tomando en cuenta el tamaño del transistor, se calcula de la siguiente forma.

$$zP = P + \frac{P_L}{L - DL} + \frac{P_W}{W - DW} \quad (\text{A.17})$$

Donde P es un parámetro de proceso tal como V_{fb} o ϕ , P_L y P_W son las sensitividades del largo y ancho del parametro P , W y L son el largo y ancho del transistor dibujado, y DW y DL son el largo y ancho del transistor después de los diversos procesos de fabricación.

Algunos parámetros necesarios para los calculos de las cargas se muestran a continuación:

$$Eg(T) = 1,16 \cdot \left(\frac{7,02 \times 10^{-4} \cdot T^2}{T + 1108} \right) \quad (\text{A.18})$$

$$n_i = 1,45 \times 10^{10} \cdot \left(\frac{T}{300,15} \right)^{1,5} \cdot \exp^{21,5565981 - \frac{q \cdot Eg(T)}{2 \cdot k_B \cdot T}} \quad (\text{A.19})$$

$$\phi = 2 \cdot \left(\frac{k_B \cdot T}{q} \right) \cdot \left(\frac{n_{ch}}{n_i} \right) \quad (\text{A.20})$$

$$V_{fb} = V_{th0} - phi - k1 \cdot (\sqrt{phi}) \quad (A.21)$$

$$cap = Cox \cdot (DW)(DL) \quad (A.22)$$

$$g = 1 - \frac{1}{1,744 + 0,8364 \cdot (zphi + V_{sb})} \quad (A.23)$$

$$body = 1 + \frac{g \cdot zk1}{2 \cdot (zphi + V_{sb})^{\frac{1}{2}}} \quad (A.24)$$

$$argx = \frac{body \cdot V_{sb}}{12 \cdot (V_{gs} - vth0 - 0,5 \cdot body \cdot V_{sb})} \quad (A.25)$$

Apéndice B

Descripción de los algoritmos

A continuación se describirán brevemente los algoritmos empleados por las herramientas CAD desarrolladas.

B.1. Descripción del algoritmo de GVESOP

En el organigrama de la figura B.1 se muestra el procedimiento para obtener los vectores de prueba favorables para las líneas consideradas como críticas se representa. Se utiliza la herramienta ATPG Fastscan. La entrada es un archivo con la lista de nodos víctimas y agresores. Primero un nodo víctima se selecciona (1). El número k de agresores del nodo seleccionado se cuenta después. De esta manera todas las combinaciones posibles que pueden existir para aplicar condiciones de restricción en la línea agresora en el proceso de generación se obtienen (2). El número de combinaciones posibles es $2^k - 1$. El vector de prueba se genera después. Esta etapa comienza con la selección de combinaciones en orden de importancia (3). Un algoritmo simple se utiliza para manejar ATPG para las diversas restricciones de una línea crítica. El algoritmo da prioridad a las señales con capacitancia mayor [1].

Una vez conociendo el nodo con la falla y las restricciones que deben aplicarse, se crean un archivo de la manipulación que active a la herramienta Fastscan y que indique las condiciones para el ATPG (4). Sin embargo, existen casos en los

cuáles no es posible generar el vector con las condiciones más favorables debido a la topología y a la operación del circuito (casos de la no-controlabilidad y de la no-observabilidad). Por lo tanto, las combinaciones de restricciones para cada nodo se deben probar y substituir uno por uno de tal forma que identifique el vector que presente condiciones más favorables, dando prioridad a los acoplamientos que son mayores. De tal forma que para cada nodo se puede hacer más de un ATPG.

El vector más favorable se almacena en un archivo de la salida (5). Finalmente un sistema de los vectores para stuck-at 0 y stuck-at 1 de cada nodo será obtenido. Estos vectores serán los más favorables considerando los efectos capacitivos.

B.2. Descripción del algoritmo de SSOP

Los pasos mostrados en la figura 4.2 contienen diversos programas que realizan diversas tareas. Estos programas permiten obtener la información de diversos archivos para más adelante procesarla. El algoritmo demostrado en la figura B.2 muestra las diversas rutinas de la operación de este programa. La operación se describe inmediatamente.

Del archivo que contiene los nodos críticos, se crea una lista en la que se almacenan temporalmente en un array. De la matriz de nodos críticos, se selecciona al primer elemento (nodo crítico $n=0$) y se utiliza para buscar todos los transistores afectados por ese nodo.

Con el primer nodo del array, se comienza la búsqueda de las dimensiones de los transistores (W y L). Esta búsqueda comienza para el primer nodo crítico. En caso de que no existan transistores afectados por el nodo crítico se vuelve al archivo de nodos críticos y se selecciona otro nodo. Para el caso de los transistores afectados por el nodo crítico se almacena la información temporalmente y se repite este proceso hasta que no exista ningún otro transistor afectado por el nodo n . Se repite el proceso hasta que no existan los nodos críticos. Finalmente la información compilada se almacena.

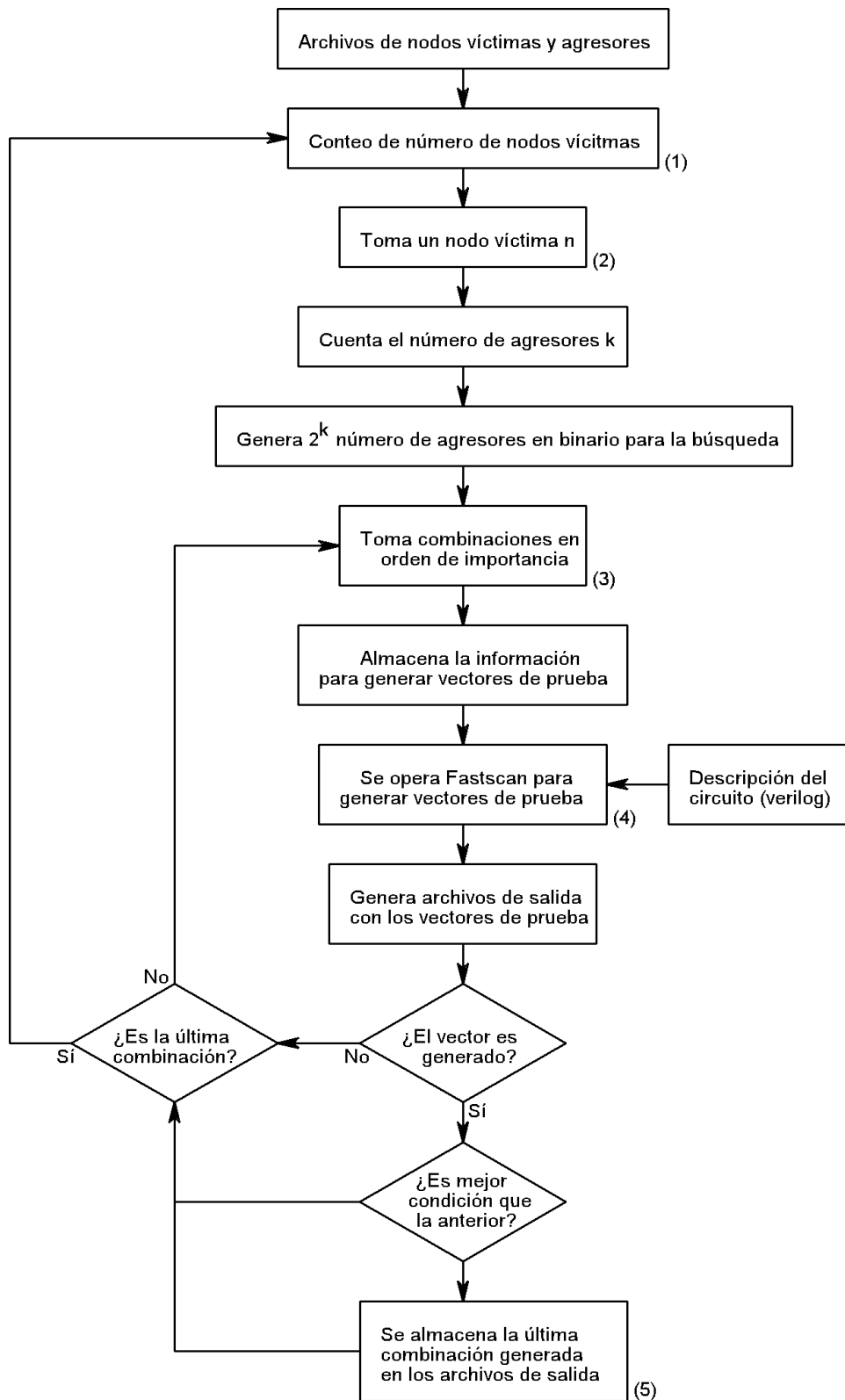


Figura B.1: Diagrama de flujo del algoritmo del GVESOP.

Una segunda etapa de este programa se representa en la figura B.3. Esta etapa tiene como objetivo obtener los voltajes de los transistores afectados por los nodos críticos. Previamente los nodos críticos, los transistores afectados y sus dimensiones fueron almacenados. El flujo de datos inicia al tomar el primer transistor a partir del primer nodo, y el archivo de voltajes es abierto y se almacena la relación correspondiente, cuando los voltajes del transistor buscado se detectan, la información correspondiente es almacenada. Se realiza esta operación hasta que no exista ningún otro transistor afectado. El programa selecciona un nuevo nodo y se repite la operación. Finalmente toda la información se almacena temporalmente en un archivo.

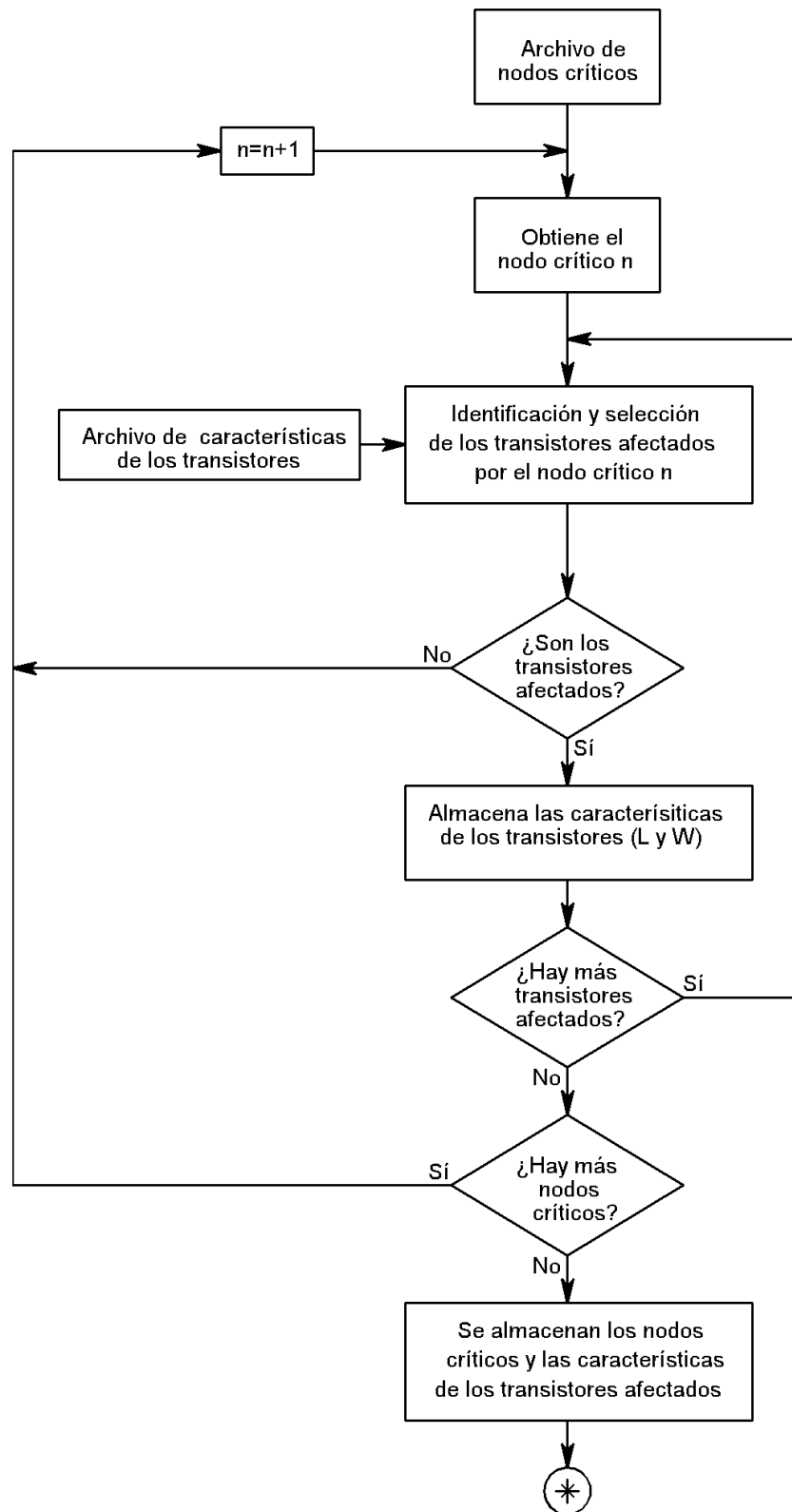


Figura B.2: Diagrama de flujo del algoritmo del SSOP.

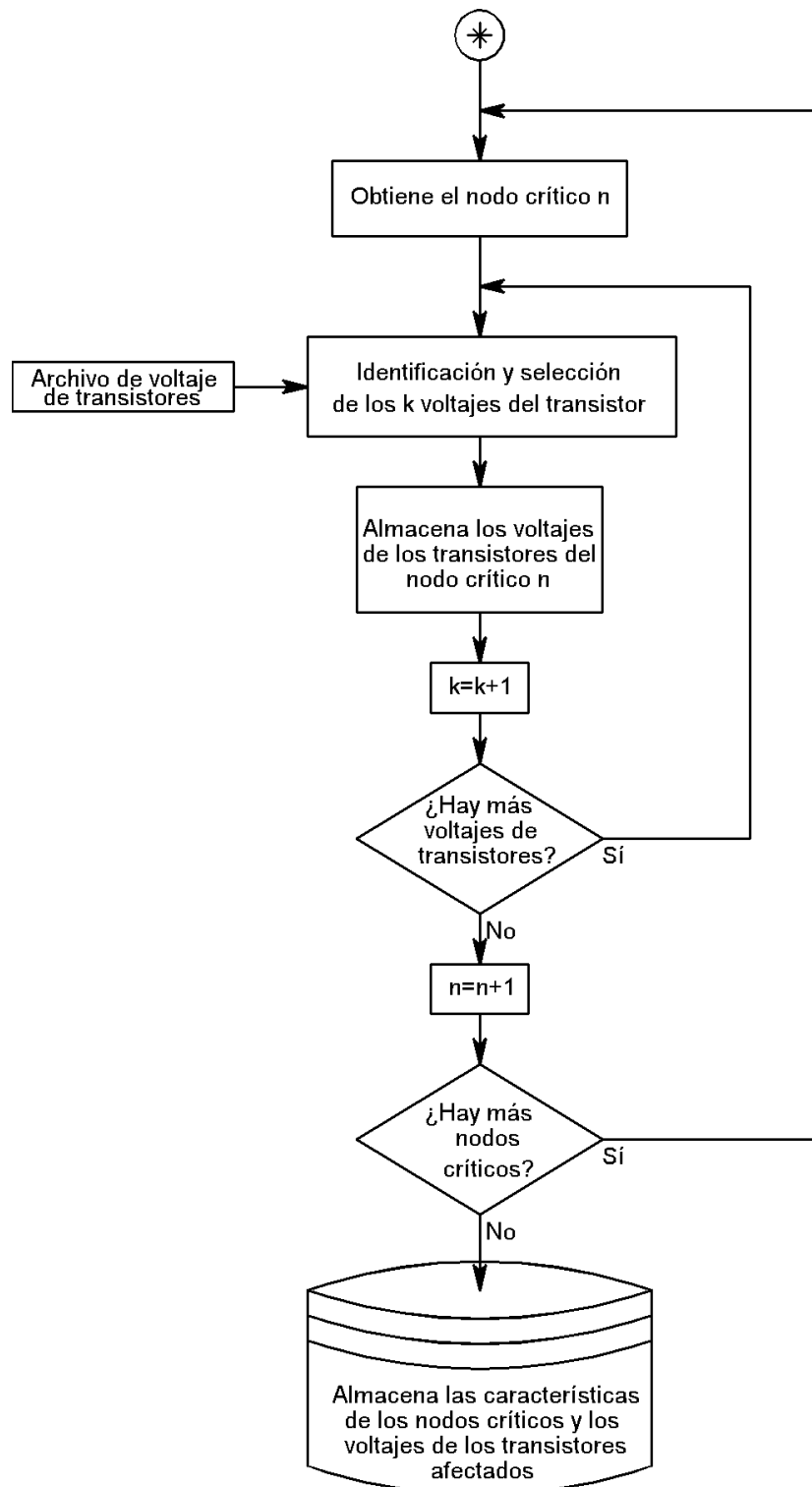


Figura B.3: Diagrama de flujo del algoritmo del SSOP.

Índice de figuras

1.1. Aberturas totales y resistivas en líneas de interconexión.	3
1.2. Aberturas totales y resistivas en vías.	3
1.3. Diagrama del test general.	4
1.4. Defecto de puente de riel de alimentación al nodo de señal.	7
1.5. Voltajes para diferentes valores de resistencias.	7
1.6. Compuerta NAND CMOS defectuosa.	14
2.1. Efecto Miller Feedthrough.	20
2.2. Efecto Miller Feedthrough.	21
2.3. Efecto Charge Sharing.	22
2.4. Circuito propuesto.	23
2.5. Respuesta del circuito.	24
2.6. Caso de estudio básico propuesto.	26
2.7. Topología típica de un circuito defectuoso.	27
2.8. Efecto de acoplamiento en una línea flotante.	28
2.9. Diferentes acoplamientos en una línea flotante.	29
2.10. Influencia de V_{DD} en el nodo flotante.	30
2.11. Caso de estudio básico propuesto.	31
2.12. Modelo eléctrico para Charge Sharing.	35
2.13. Comparación de la simulación de spice con el modelo matemático.	37
2.14. Circuito general para desarrollar el modelado.	39
3.1. Efecto de acoplamientos capacitivos.	46
3.2. Organigrama simple del GVESOP.	49

4.1. Diagrama de flujo propuesto para la detección de fallas stuck-open.	55
4.2. Organigrama simple del SSOP.	56
4.3. Modelo general propuesto para las fallas stuck-open.	60
4.4. Respuesta del SSOP al c17 stuck-at 0.	73
4.5. Respuesta del SSOP al c17 stuck-at 1.	74
4.6. Respuesta del SSOP al c17 stuck-at 0.	75
4.7. Respuesta del SSOP al c17 stuck-at 1.	75
4.8. Respuesta del SSOP al c432 stuck-at 0.	76
4.9. Respuesta del SSOP al c432 stuck-at 1.	76
4.10. Respuesta del SSOP al c432 stuck-at 0.	77
4.11. Respuesta del SSOP al c432 stuck-at 1.	77
4.12. Respuesta del SSOP al c499 stuck-at 0.	78
4.13. Respuesta del SSOP al c499 stuck-at 1.	78
4.14. Respuesta del SSOP al c499 stuck-at 0.	79
4.15. Respuesta del SSOP al c499 stuck-at 1.	79
4.16. Respuesta del SSOP al c1908 stuck-at 0.	80
4.17. Respuesta del SSOP al c1908 stuck-at 1.	80
4.18. Respuesta del SSOP al c1908 stuck-at 0.	81
4.19. Respuesta del SSOP al c1908 stuck-at 1.	81
 B.1. Diagrama de flujo del algoritmo del GVESOP.	 93
B.2. Diagrama de flujo del algoritmo del SSOP.	95
B.3. Diagrama de flujo del algoritmo del SSOP.	96

Índice de cuadros

2.1. Secuencia de vectores aplicados para realizar el test.	23
2.2. Valores de las capacitancias requeridas	36
3.1. Secuencia de vectores aplicados para realizar el test.	46
4.1. Cobertura de fallas para stuck-opens.	65
4.2. Cobertura de fallas para stuck-opens.	66
4.3. Cobertura de fallas para stuck-opens.	66
4.4. Cobertura de fallas para stuck-opens.	67
4.5. Cobertura de fallas para stuck-opens.	67
4.6. Cobertura de fallas para stuck-opens.	68
4.7. Cobertura de fallas para stuck-opens.	68
4.8. Cobertura de fallas para stuck-opens.	69
4.9. Cobertura de fallas para stuck-opens.	70
4.10. Cobertura de fallas para stuck-opens.	71
4.11. Cobertura de fallas para stuck-opens.	71
4.12. Cobertura de fallas para stuck-opens.	72

Bibliografía

- [1] M. H. Abd-El-Barr et al. *Transistor Stuck-Open Fault Detection in Multilevel CMOS Circuits*. Great Lakes Symposium on VLSI, 1999.
- [2] Jacob A. Abraham and Hsi-Ching Shih. *Testing of MOS VLSI Circuits*. In Proceeding of International Symposium of Circuits and Systems, 1985.
- [3] Miron Abramovic, Melvin A. Breuer, and Arthur D. Friedman. *Digital System Testing and Testable Design*, IEEE Press, 1990.
- [4] Keith Baker, Guido Gronthoud, Maurice Lousberg, Ivo Schanstra, and Charles Hawkins. *Defect-Based Delay Testing of Resistive Vias-Contacts A Critical Evaluation*. International Test Conference, 1999.
- [5] J. Barlow, P. Chang, R. Gabrielson, C. Goertz, B. Keller, K. McCauley, J. Tischer, V. Iyengar, B. Rosen, B. Konemann and T. Williams. *Delay Test: The Next Frontier for LSSD Test Systems*. International Test Conference, 1992.
- [6] V. H. Champac R. Rodriguez-Montanes, J. A. Segura and J. A. Rubio. *Current vs logic testing of gate oxide short, floating gate and bridging failures in cmos*. International Test Conference, 1991.
- [7] V.H. Champac, J. A. Rubio, and J. Figueras. *Electrical Model of the Floating Gate Defect in CMOS ICs: Implications on IDDQ Testing*. IEEE Transactions on Computer-Aided Design, 1994.

-
- [8] Weiyu Chen, Sandeep K. Gupta, and Melvin A. Breuer. *Test Generation in VLSI Circuits for Crosstalk Noise*. Department of Electrical Engineering-Systems, University of Southern California.
 - [9] John A. DeFalco. *Reflection and Crosstalk in Logic Circuit Interconnections*. IEEE Spectrum, 1970.
 - [10] D. Edwards. *Testing for MOS Integrated Circuits Failure Modes*. International Test Conference, 1980.
 - [11] R. Eldred. *Testing Routines Based on Symbolic Logical Statements*. J. Of Assoc. for computing match (ACM), 1959.
 - [12] Fastscan. *ATPG and Failure Diagnosis Tools Reference Manual*.
 - [13] F. Joel Ferguson and John P. Shen. *Extraction and simulation of realistic cmos faults using inductive faults analysis*. International Test Conference, 1988.
 - [14] Donato Forlenza, Phil Nigh and Franco Motika. *Application and Analysis of IDDQ Diagnosis Software*. International Test Conference, 1997.
 - [15] Ronald R. Fritzscheier, Charles F. Hawkins, H. Troy Nagle and John R. Guth. *The VLSI Circuit Test Problem - a Tutorial*. IEEE Transactions on Industrial Electronics, 1989.
 - [16] Hideo Fujiwara. *Logic Testing and Design for Testability*. The MIT Press, 1985.
 - [17] Scott F. Midkiff and Wayne Bollinger. *Circuit-Level Classification and Testability Analysis for CMOS Faults*. VLSI Test Symposium, 1991.
 - [18] Anne Gattiker and Wojciech Maly. *Toward Understanding Iddq Only Fails*. International Test Conference, 1998.
 - [19] Alejandro Girón A. *An Strategy to Test Interconectio Opens Considering Coupling Capacitances*. Masters thesis, INAOE, Puebla, México, Noviembre 2003.
-

-
- [20] R. Gómez and V. Champac. *Fault simulation and testing of interconnection opens*.
- [21] Roberto Gómez Fuentes. *A Test Framework for Interconnection Opens*. PhD thesis, INAOE, Puebla, México, Febrero 2007.
- [22] Dale Grosch Anne Gattiker, Phil Nigh and Wojciech Maly. *Current Signatures for Production Testing*. IEEE International Workshop on IDDQ Testing, 1996.
- [23] C.F. Hawkings, J.M. Soden, A.W. Richter, and F.J. Ferguson. *Defect classes - an overdue paradigm for CMOS IC testing.*, ITC, 1994.
- [24] Charles F. Hawkins Ronald R. Fritzemeier and Jerry M Soden. *Cmos IC Fault Models, Physical Defect Coverage and IDDQ Testing*. In Custom Integrated Circuit Conference, 1991.
- [25] Neil H., E. Weste and Kamran Eshraghian. *Principles of CMOS VLSI Design*. Addison-Wesley Publishing Company, 1993.
- [26] Stephen Y. H., Su Chi-Chang Liaw and Yashwant K. Malaiya. *Test Generation for Delay faults Using Stuck-at-Fault Test Set*. IEEE Test Conference, 1980.
- [27] V. S. Iyengar, D. Brand. *Timing Analysis Using Functional Analysis*. IEEE Trans. Comp., 1988.
- [28] Pranab K. Nag Wojciech Maly and Phil Nigh. *Testing oriented analysis of cmos ICs with opens*. International Test Conference on Computer Aided Design, 1988.
- [29] H. Konuk, F.J. Ferguson, and T Larrabe. *Accurate and efficient fault simulation of realistics CMOS networks breaks.*, CAD, 1995.
- [30] K. Jong Lee and Melvin A. Breuer. *Constraints for using iddq testing to detect cmos bridging faults*. VLSI Test Symposium, 1991.
-

- [31] Chin Jen Lin. *On Delay Fault Testing in Logic Circuits*. IEEE Transactions on Computer-Aided Design, 1987.
 - [32] W.Maly. *Realistic Fault Modeling for VLSI Testing*. Design Automation Conference, 1987.
 - [33] W.M. Maly, P.K. Nag, and P. Night. *Testing oriented analysis of CMOS IC's with opens*, ICCAD, 1988.
 - [34] Mentor Graphics. *Physical Layout User's Guide*. Software version 2006.2
 - [35] Scott F. Midkiff and Wayne Bollinger. *Circuit-Level Classification and Testability Analysis for CMOS Faults*. VLSI Test Symposium, 1991.
 - [36] S. D. Millman and E. J. McCluskey. *Detecting Stuck-Open Faults with Stuck-At Test Sets*. IEEE Custom Integrated Circuits Conference, 1989.
 - [37] F. Moll, M. Roca, and A. Rubio. *Analysis of parasitic coupling in distributed parameter lines. Power and Timing Modeling of Performance of Integrated Circuits*. Montpellier, France, October 1993.
 - [38] Afzel Noore. *Reliable detection of CMOS stuck-open faults due to variable internal delays*. IEICE Electronic Express, Vol. 2, No. 8, 2005.
 - [39] R. E. Norby J.M. Gale and J. P. Roth. *Techniques for the diagnosis of switching circuits failures*. IEEE trans. on Computer and Electronics, 1964.
 - [40] A. Pancholy, J. Rajski, and L. J. McNaughton. *Empirical Failure Analysis and Validation of Faults Models in CMOS VLSI Circuits*. IEEE Design and Test of Computers, 1992.
 - [41] J. Poage. *Derivation of optimum test to detect faults in combinational circuits*. Proc. Symp. on Math. Theory of Automata, 1963.
 - [42] Ankan K. Pramanick and Sudhakar M. Reddy. *On the Detection of delay faults*. International Test Conference, 1988.
-

-
- [43] Rochit Rajsuman. *Digital Hardware Testing: Transistor-Level Fault Modeling and Testing*. Artech House, 1992.
 - [44] J. Paul Roth. *Diagnosis of Automata Failures: A Calculus and Method*. IBM Journal, 1991.
 - [45] M. Sachdev. *Open Defects in CMOS RAM Address Decoders*. IEEE Design and Test of Computers, vol. 14, no. 2, 1997.
 - [46] Jaume Segura and Charles F. Hawkins. *How it Works, How it Fails*. Wiley-Interscience, 2004.
 - [47] Manish Sharma and Janak H. Patel. *Testng of Critical Paths for Delay Faults*. International Test Conference, 2001.
 - [48] Jerry M. Soden and Charles F. Hawkins. *Electrical properties and detection methods for cmos IC defects*. The European Test Conference, 1989.
 - [49] Jerry M. Soden Christopher L. Henderson and Charles F Hawkins. *The behavior and testing implications of cmos IC logic gate open circuits*. The International Test Conference, 1991.
 - [50] Thomas M. Storey and Wojciech Maly. *CMOS Bridging Fault Detection*. International Test Conference, 1990.
 - [51] Synopsis. *HSPICE Mosfets Models: Bsim Level 49*.
 - [52] Martin Taylor F. Joel Ferguson and Tracy Larrabee. *Testing for Parametric Faults in Static CMOS Circuits*. International Test Conference, 1990.
 - [53] C. Timoc, M Buehler, T. Griswold, C. Pina, F. Scott, and L. Hess. *International Test Conference*. IEEE Journal of Solid-State Circuits, 1983.
 - [54] Kwang-Ting, Cheng Angela, Krstić. *Delay Fault Testing for VLSI Circuits*. Kluwer Academic Publishers, 1998.
 - [55] M. Turner, D. Leet, R. Prolik, and D. McLean. *Testing CMOS VLSI: Tools, Concepts and Experimental Results*. International Test Conference, 1997.
-

- [56] Stephen Y. H. Su Chi-Chang Liaw and Yashwant K. Malaiya. *Test Generation for Delay faults Using Stuck-at-Fault Test Set*. IEEE Test Conference, 1980.
 - [57] T. Williams and N. Brown. *Defect Level as a Function of Fault Coverage*. IEEE Transaction on Computer, 1992.
 - [58] B. W. Woodhall et al. *Empirical Results on Undetected CMOS Stuck-Open Failures*. International Test Conference, 1987.
 - [59] Antonio Zenteno Ramírez. *Crosstalk Influence on the Behavior and Test of Digital ICs*. Masters thesis, INAOE, Puebla, México, Noviembre 1998.
 - [60] Antonio Zenteno Ramírez. *Modeling of Open Defects in CMOS Integrated Circuits and Test Techniques for Submicron Technologies*. PhD thesis, INAOE, Puebla, México, Octubre 2000.
-