



INAOE

Diseño de osciladores de anillo por degeneración en fase.

Por:

Daniel Decle Colin.

Tesis sometida como requisito parcial para
obtener el grado de

**Maestro en Ciencias con la Especialidad
de Electrónica.**

En el

**Instituto Nacional de Astrofísica, Óptica
y Electrónica.**

Octubre del 2007

Tonanzintla, Puebla.

Supervisada por:

Dr. Alejandro Díaz Sánchez.

Investigador titular del INAOE.

©INAOE 2007

Derechos Reservados

El autor otorga al INAOE el permiso de
reproducir y distribuir copias de esta tesis en su
totalidad o en partes mencionando la fuente.



**Diseño de osciladores de anillo por
degeneración en fase.**

Por
Daniel Decle Colin.

Tesis sometida como requisito parcial para obtener el
grado de

**Maestro en Ciencias en la especialidad de
Electrónica**

En el
**Instituto Nacional de Astrofísica Óptica y
Electrónica**

Octubre del 2007
Tonantzintla, Puebla

Supervisada por:
Dr. Alejandro Díaz Sánchez.
Investigador titular del INAOE.

©INAOE 2007

Derechos Reservados

El autor otorga al INAOE el permiso de reproducir y
distribuir copias de esta tesis en su totalidad o en
partes.

«Bien parece –respondió don Quijote– que no estás cursado en esto de las aventuras: ellos son gigantes; y si tienes miedo, quítate de ahí, y ponte en oración en el espacio que yo voy a entrar con ellos en fiera y desigual batalla».

Miguel de Cervantes "Don Quijote de la Mancha"

La aventura de los molinos de viento.

RESUMEN.

En el presente trabajo, se propone una topología modificada de la celda de cargas simétricas para la aplicación a osciladores de anillo de un número reducido de etapas, mediante la inserción de redes locales de retroalimentación que permiten modificar las condiciones de estabilidad de la celda. Se lleva a cabo la descripción de tópicos para el análisis de sistemas retroalimentados, estabilidad y ruido; describiendo el funcionamiento del estándar DVB-H y finalmente se presentan los resultados obtenidos de la construcción de un oscilador de 2 y 3 etapas, los cuales son caracterizados en términos de ruido, curva de transferencia y consumo de potencia; en simulaciones previas y posteriores a la construcción del patrón geométrico; el cual fue construido en tecnología AMIS 035 μ

AGRADECIMIENTOS.

A Dios: Porque TODO funciona gracias a ti.

Al Dr. Alejandro y el Dr. Mónico: por su invaluable ayuda en la construcción de mi vida.

A mis sinodales: Por la atención prestada a este trabajo.

Al INAOE: por imprimirme una ideología de esfuerzo y coraje.

A México y el CONACYT: Por confiar en mí mediante la beca otorgada con número de registro 182783

A mis compañeros: Jen, Ross, Marigol, Alina, el primo, el nene, el mericio, el O Monroy, Andrés, Néstor, David Moro, Julio y Beto (BOB). Por su ayuda y compañía en momentos donde solo estaban ustedes (y por los ages).

DEDICATORIAS.

A Dios: paciente y tierno padre quien en cada respiración me muestra el amor con el que he sido amado.

A Mama: Quien con la fuerza que enfrenta la vida me ha llenado de inspiración en los momentos de mayor debilidad.

A Papa: Quien con el ejemplo me ha enseñado que la peor de las tormentas se enfrenta firme y digno.

A Gaby: Por saber que siempre podré contar contigo.

A Daniela y Farid: Gracias por llegar bodoquines.

A mis hermanos: Por todos los momentos vividos; todos, son invaluable.

A Karina: Por lo especial que eres en mi vida.

A Hugo: Por ser un amigo mas cercano que un hermano.

ÍNDICE.

1. INTRODCCIÓN.	1
1.1. Visión general.	1
1.2. Motivación.	3
1.3. Propuesta	4
1.4. Organización de la tesis.	5
2. ESPECIFICACIONES DEL ESTANDAR DVB-H.	7
2.1. Introducción	7
2.2. Fundamentos del estándar DVB-H	10
2.3. Requerimientos de implementación	12
2.4. Especificaciones del VCO a diseñar	13
3. TÓPICOS USADOS EN EL DISEÑO DE VCO'S	15
3.1. Introducción	15
3.2. Análisis de sistemas retroalimentados	15
3.2.1. Análisis lineal clásico	16
3.2.2. Análisis lineal usando diagramas de bloques	19
3.3. Estabilidad en sistemas retroalimentados	19
3.4. Construcción de sistemas osciladores	22
3.4.1. Criterios de Barkhausen	22

3.4.2. El factor de calidad	24
3.4.3. Clasificación	25
3.4.4. Osciladores controlados por voltaje	26
3.4.5. Osciladores controlados por voltaje de anillo	27
3.5. Estimación de ruido	30
3.5.1. Ruido de fase y Jitter	31
3.5.2. Modelo de Razavi	35
3.5.3. Modelo de Hajimiri	40
4. DISEÑO Y ANÁLISIS DE VCO'S ANILLO APLICANDO REDES DE DEGENERACIÓN ESTRUCTURAL	47
4.1. Introducción	47
4.2. Celda de cargas simétricas	49
4.2.1. Análisis en DC	50
4.2.2. Análisis en AC	52
4.3. Construcción y simulación del oscilador de cargas simétricas.	54
4.3.1. Resultados	57
4.4. Construcción de celdas de cargas simétricas degeneradas en fase	60
4.4.1. Diseño de los transistores de compuerta quasi flotante	61
4.4.2. Diseño del seguidor de voltaje	62
4.4.3. Implementación de las redes de degeneración	65
4.5. Construcción y simulación del VCO de 3 etapas	71
4.5.1. Consideraciones de diseño del VCO	73
4.5.2. Resultados	74
4.6. Construcción y simulación del VCO de 2 etapas	81
4.6.1. Diseño del VCO	83
4.6.2. Resultados	84

4.7. Construcción del patrón geométrico	91
4.7.1. Consideraciones tomadas en la construcción de los patrones geométricos	91
4.7.2. Patrones geométricos del oscilador de 2 y 3 etapas	94
4.8. Resimulación	97
4.8.1. Oscilador de 3 etapas	98
4.8.2. Oscilador de 2 etapas	100
5. CONCLUSIONES	103
5.1. Conclusiones	103
5.2. Perspectivas a futuro	104

PREFACIO.

El rápido crecimiento en la demanda de sistemas para comunicaciones inalámbricas totalmente integrables ha conducido a las líneas de investigación, hacia el incremento de los niveles de integración de los bloques que forman dichos sistemas. Así también, la necesidad de reducir los costos de fabricación de los circuitos integrados, ha llevado a integrar todos los bloques del sistema de comunicación en procesos CMOS. Uno de los bloques más importantes de un sistema de comunicación, es el oscilador local, el diseño de este bloque, tiene un fuerte impacto sobre el funcionamiento de todo el sistema; y, debido a la necesidad de diseñar este bloque en un proceso totalmente integrable, es necesario desarrollo de osciladores de anillo de alto desempeño.

En este sentido, la principal restricción en el desarrollo de osciladores totalmente integrables en procesos CMOS, es que el desempeño en ruido de fase debe ser competitivo; lo cual generalmente es una tarea difícil; una forma eficiente de incrementar las prestaciones de este tipo de osciladores, (principalmente en cuanto al desempeño en ruido) es mediante la reducción del número de etapas que conforman al mismo, lo cual a llevado al desarrollo de ingeniosas formas de realizar dicha reducción.

En el trabajo presentado, se lleva a cabo la reducción del número de etapas de un oscilador de anillo mediante la manipulación de las condiciones de estabilidad de las celdas que integran a dicho oscilador, a través de redes de

retroalimentación locales las cuales pueden ser implementadas mediante el uso de transistores de compuerta quasi flotante, obteniendo el diseño de un oscilador de 3 y 2 etapas, los cuales cumplen con las especificaciones requeridas para su aplicación en el estándar DVB-H.

Daniel Declé Colin.

Capítulo 1

Introducción

1.1 Visión General

A lo largo de las últimas décadas, se ha detonado un crecimiento extraordinario en la industria electrónica. Dentro de este crecimiento, el desarrollo de equipo electrónico para sistemas de comunicación compacto, tanto de bajo costo, como de bajo consumo de potencia para aplicaciones portátiles e integrables, es indispensable para la actividad humana [1]. Por otra parte, en el diseño de circuitos para radio frecuencia la tecnología de circuitos integrados (CI) es la elección más adecuada; sin embargo, el diseño de circuitos integrados para síntesis de frecuencia, aunque pareciera una tarea sencilla; es la parte que demanda más esfuerzo y consumo de área dentro del chip. Esto hace que el generar formas de onda periódicas de buena calidad que cumplan con los requisitos impuestos por los diferentes estándares, no sea una tarea trivial. Así, a diferencia del análisis de circuitos analógicos convencionales, los circuitos en radio frecuencia (RF) demandan el entendimiento de diversas áreas que no están directamente relacionadas al análisis de circuitos integrados, las cuales han sido estudiadas extensamente por más de medio siglo. Esto se muestra en la Figura 1.1. [2]

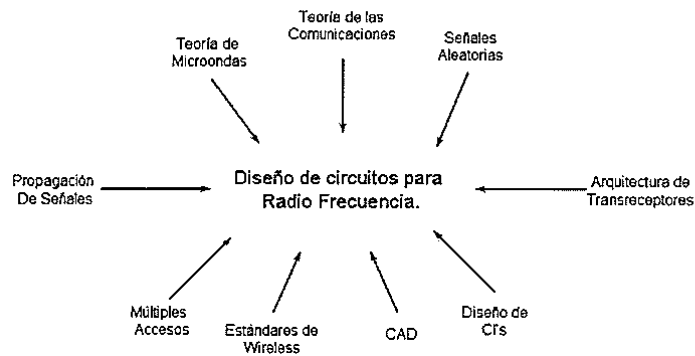


Figura 1.1 Áreas involucradas en el diseño de circuitos para radio frecuencia.

La tendencia actual en el diseño de circuitos para aplicaciones de radio frecuencia, es integrar los módulos tanto analógicos como digitales de un sistema en un solo bloque, el cual se denomina "System on Chip" (SoC). La implementación de un SoC requiere de integrar todos los módulos que se muestran en la Figura 1.2 en un solo bloque, el cual debe presentar características funcionales como un bajo consumo de potencia, una cantidad mínima de área y que sea portátil. Esto muestra la complejidad que requiere el diseño de circuitos integrados para RF.

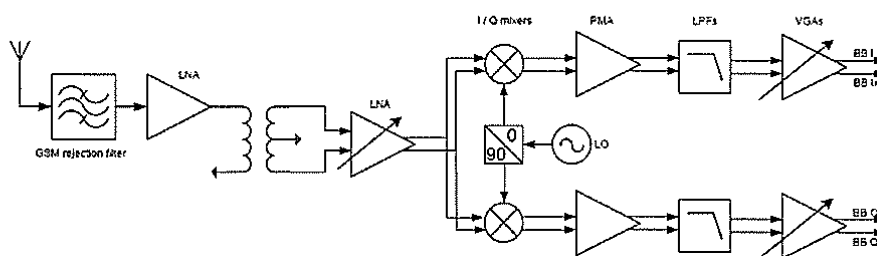


Figura 1.2 Arquitectura de conversión directa para un sintonizador DVB-H.

Sin embargo, en el diseño de circuitos para RF el principal reto hoy en día es diseñar circuitos que tengan bajas aportaciones de ruido al sistema. Uno de

los bloques más afectados por el ruido se es el oscilador, el cual es clave en un sistema de comunicación en cuanto a ruido se refiere. Es por ésto que su diseño tiene un gran impacto en el buen funcionamiento del sistema completo. De aquí la importancia de desarrollar nuevas topologías de osciladores de altas prestaciones, con bajos niveles de ruido, y capaces de trabajar a altas frecuencias con un bajo consumo de potencia.

Un oscilador es un sistema autónomo que genera formas de onda periódicas sin necesidad de una señal a la entrada [3]. Estos circuitos tienen diferentes usos, que van desde generadores de tono para receptores hasta relojes para circuitos digitales, pasando por una gran cantidad de aplicaciones. Ahora bien, en la actualidad es necesario diseñar estos circuitos en procesos totalmente integrables; sin embargo, la principal desventaja del diseño de osciladores totalmente integrables son las elevadas cantidades de ruido que introducen al sistema. Por ello, es de suma importancia para el diseñador de circuitos de RF, sobre todo en el caso particular del diseño de osciladores, el desarrollar circuitos con altas prestaciones capaces de operar con bajos niveles de ruido en procesos totalmente integrables.

1.2 Motivación

Los servicios digitales multimedia cada vez cobran mayor importancia en la telefonía celular y sistemas de comunicación portátil, debido principalmente a la aparición de estándares y tecnologías que permiten al usuario obtener beneficios como envío y recepción de imágenes, videos, datos, etc. Sin embargo; en dispositivos tales como celulares u organizadores personales, se espera que los servicios de televisión digital sean la aplicación clave de las comunicaciones inalámbricas a corto plazo [4]. Como consecuencia de ésto, existe la necesidad de desarrollar circuitos electrónicos capaces de operar bajo dichos estándares, haciendo necesario un diseño eficiente de los

bloques que conforman los sistemas de transmisión y recepción de datos, a fin que sean capaces de operar en dispositivos portátiles. En cuanto a esto se refiere, el estándar DVB-H (Digital Video Broadcasting - Handheld) [5], es uno de los estándares más utilizados en el mundo, cuya principal aplicación está enfocada en la transmisión de TV a dispositivos móviles.

1.3 Propuesta

En el presente trabajo se propone el desarrollo de una nueva topología de oscilador, capaz de cumplir con las especificaciones establecidas por el estándar DVB-H para servicios de televisión móvil; haciendo necesario, que dicho oscilador pueda de operar bajo las condiciones hostiles impuestas por el medio, tales como variaciones en la temperatura, ruido, etc. Para cumplir con dichas especificaciones de diseño, se partió de las restricciones impuestas por DVB-H; y se propuso diseñar un oscilador de anillo controlado por voltaje (VCO). Esto debido a que es un circuito totalmente integrable, que al ser controlado por voltaje su programación es sencilla y entonable. Para construir este oscilador se hizo uso de una celda de retardo que cumpliera con las características de bajo de ruido, alta linealidad y que pudiera hacer funcionar al oscilador con un número reducido de etapas; la celda usada es la celda con cargas simétricas [6], propuesta por J. G. Maneatis. Esta celda presenta un rango de entonado bastante amplio y lineal, presenta bajos niveles de ruido (por la sencillez) de la misma y que trabaje a altas frecuencias en un proceso CMOS totalmente integrable.

Sin embargo, aunque un oscilador de anillo con celdas de cargas simétricas presenta un buen desempeño, en términos generales el ruido introducido por dicho circuito sigue estando por encima de los valores requeridos para su aplicación en el estándar DVB-H. Para mejorar principalmente el desempeño de dicho circuito en cuanto al ruido se refiere entre otras cosas, tales como linealidad, máxima frecuencia de oscilación y reducción del consumo de

área, se propone reducir el número de etapas del oscilador haciendo uso de *redes locales de retroalimentación*, que permitan obtener el cambio en fase suficiente en cada celda para que el circuito cumpla con las condiciones de oscilación, permitiendo el uso de un menor número de etapas.

La función principal de estas redes es tener un control sobre la posición de los polos de tal forma que cambie la estabilidad del sistema y lograr con ello las condiciones de oscilación. Ahora bien, para introducir tales redes al circuito, se hizo uso de transistores de compuerta cuasi-flotante (QFGT) de tal forma que dichos transistores funcionen como un ponderador de señales.

1.4 Organización de la tesis

El presente trabajo esta organizado de en 5 capítulos:

CAPÍTULO 1: Se presenta una breve introducción que describe los retos y tendencias actuales en el diseño de circuitos de RF en donde se muestra la aplicación que tienen los osciladores, así como la motivación que condujo a la realización de la tesis y la propuesta de la misma.

CAPÍTULO 2: Se describe el estándar bajo en el cual será aplicado el VCO, el funcionamiento y especificaciones de dicho estándar y la restricciones que este impone al oscilador.

CAPÍTULO 3: Se presenta un sumario de los principales temas relacionados al análisis de los osciladores, desde los criterios de oscilación hasta análisis de ruido, temas requeridos en el diseño de sistemas oscilatorios.

CAPÍTULO 4: Con las herramientas necesarias para el análisis y diseño de osciladores, estos fueron construidos llevando a cabo el diseño desde la

celda básica de retardo y su comportamiento en frecuencia, hasta las comparaciones y simulaciones posteriores a la construcción del patrón geométrico.

CAPÍTULO 5: Finalmente se presentan las conclusiones del desarrollo de la tesis y se plantean perspectivas a futuro en el diseño y análisis de osciladores.

Capitulo 2

Especificaciones del estándar DVB-H.

2.1 Introducción.

En el presente capítulo se presentan los fundamentos y condiciones de operación del estándar DVB-H, describiendo las especificaciones impuestas por dicho estándar, el ambiente de trabajo y las condiciones que este impone al oscilador.

En Europa a principios de noviembre del 2004, el consorcio DVB lanzó al mercado el estándar DVB-H (Digital Video Broadcasting-Handheld); este estándar de transmisión proporciona una forma eficiente de brindar servicios multimedia sobre redes de transmisión digitales a dispositivos portátiles. Su principal aplicación reside en el procesamiento de la señal analógica de TV para proporcionar dicho servicio en dispositivos móviles [7]. Sin embargo, los sintonizadores tradicionales no son apropiados para la aplicación a dispositivos móviles ya que consumen demasiada potencia, requieren de grandes dimensiones y hacen uso de componentes que no pueden ser integrables. Para poder llevar a cabo la integración de sintetizadores

aplicables a dispositivos móviles, el consumo de potencia y el tamaño de éstos deben ser reducidos drásticamente, haciendo que la mejor solución sea la integración del sistema dentro en un SoC.

La tecnología DVB-H constituye una plataforma de comunicación IP orientada a terminales portátiles, que combina la compresión de video y el sistema de transmisión de DVB-T (Digital Video Broadcasting-Terrestrial), estándar utilizado por la TDT (*Televisión Digital Terrestre*). Es decir, DVB-H hace compatible la recepción de la señal de TV terrestre en receptores portátiles alimentados con baterías. Por lo que DVB-H hace frente a restricciones que no es posible cubrir con DVB-T dentro de las principales se pueden mencionar:

- **Bajo consumo de potencia.**

El primer problema a resolver fue la necesidad de reducir el consumo de potencia a fin de no recargar constantemente la terminal, debido a que la aplicación está enfocada a sistemas portátiles. Esto obligó a buscar una solución que el estándar DVB-T no ofrecía. Dicha solución recibe el nombre de Time Slicing. A partir de los cortes de tiempo introducidos por este mecanismo se ahorra en consumo de energía, hasta un 95%, respecto al funcionamiento proporcionado por DVB-T.

- **Mejora de la recepción.**

El segundo problema al que se hizo frente tiene lugar en recepción, ya que los terminales portátiles a los que se dirige este estándar, tienen antenas de dimensiones reducidas. El nuevo estándar propone la solución llamada MPE-FEC (*Multi Protocol Encapsulation/Forward Error Correction*), sistema robusto que se engloba dentro de la categoría FEC (*Forward Error Correction*) y que proporciona una sólida protección ante errores. A pesar de que MPE-FEC es opcional en este estándar, su uso proporciona una notable mejora en la

relación portadora a ruido (C/I) y una minimización del efecto Doppler, uno de los principales problemas presentes en los receptores móviles.

- **Modo de transmisión**

La transmisión hace uso del modo 4k, en el que se proporciona un total de 4096 subportadoras, presentando un buen compromiso entre calidad de recepción en movimiento y tamaño de la red. Por tanto, DVB-H introduce un modo adicional a los ya prestados por DVB-T. Además, el sistema es capaz de manejar diferentes escenarios de transmisión, como son dentro y fuera de edificios, en lugares muy concurridos, en movimiento y, consecuentemente, la transmisión debe ofrecer suficiente flexibilidad y escalabilidad para permitir la recepción de servicios a diferentes velocidades. También debe ser aplicable este sistema en diversas partes del mundo, por lo que debe ofrecer flexibilidad para trabajar en diferentes bandas de transmisión y anchos de banda de canales individuales [8].

Otros estándares que pueden ser mencionados para la transmisión de televisión digital a dispositivos portátiles son: Terrestrial Digital Multimedia Broadcasting (T-DMB) en Corea e Integrated Service Digital Broadcasting-Terrestrial (ISDB-T) en Japón; en la Tabla 2.1 se resumen las principales características de los estándares aquí mencionados [9].

	ISDB-T	DVB-H	T-DMB
Frecuencia (MHz).	470-770 90-220	470-770	174-225
Ancho de Banda (MHz).	300 55	300	42
Ancho de banda (Mhz).	0.43 1.29	8	1.53

Base estándar.	ARIB STD-B11	DVB.-T	System-A Eureka-147
Modulación.	COFDM (QPSK, 16QAM)	COFDM (QPSK)	16QAM

Tabla 2.1 Estándares disponibles para transmisión de TV digital en dispositivos móviles.

2.2 Fundamentos del estándar DVB-H.

El estándar DVB-H fue construido bajo los principios del estándar DVB-T [5], y esta basado en codificación ortogonal de división de frecuencia multiplexada (COFDM) y en el protocolo de internet utilizado en tecnología IP, los cuales permiten al sistema ser combinado con otras redes basadas en dicho protocolo. El multiplexado mediante el código de frecuencias ortogonales consiste en dividir un ancho de banda de canal amplio en una gran cantidad de canales de banda estrecha llamados subportadores, haciendo más robusto al estándar.

Como se mencionó anteriormente, los principales elementos adicionales que presenta DVB-H con respecto a su predecesor DVB-T es la aplicación de cortes de tiempo y el código de corrección de error FEC. El uso de cortes de tiempo, reduce el consumo de potencia entre un 90% y 95%, y reduce la magnitud de la interferencia cuando el usuario abandona una celda e ingresa a otra. Por otra parte, el multiprotocolo FEC mejora la relación portadora a ruido y el efecto Doppler, así como la tolerancia a la interferencia. Sin embargo los parámetros operacionales claves del estándar DVB-H son:

- **Tamaño de la Transformada Rápida de Fourier:** Este parámetro indica el número de subportadoras usadas para COFDM, el cual va desde los 2K hasta los 8K dependiendo de la aplicación. En cuanto a

esto se refiere, existe un compromiso entre velocidad y cobertura, ya que a un menor número de subportadoras el espacio entre ellas es mayor, siendo por tanto más tolerante al efecto Doppler, lo cual permite alcanzar velocidades más altas. Sin embargo, al incrementar el número de subportadoras se minimiza la interferencia, permitiendo una mayor área de cobertura.

- **Esquemas de modulación:** DVB-H soporta diversos esquemas de modulación, incluyendo QPSK, 16-QAM y 64-QAM. El esquema de modulación de más bajo orden es QPSK, el cual proporciona servicios con la tasa de bits más baja, incrementando con esto la robustez de la señal, mientras que, en el esquema de modulación de más alto orden, que en este caso es 64-QAM; sucede lo contrario.
- **Tasa de codificación:** La tasa de codificación tiene un rango de $1/2$ a $7/8$ para DVB-H, y determina la relación de los bits de datos útiles con relación a los bits de datos totales, incluyendo los bits de protección.
- **Intervalo de guarda:** Esta variable determina cuánta información será repetida para proporcionar robustez adicional al estándar DVB-H los rangos de longitud van desde $1/4$ hasta $1/32$ de la longitud del dato.
- **Factor Alfa:** El estándar DVB-H fue definido para soportar modulación jerárquica el factor alfa determina la jerarquía de los datos enviados. En esta configuración los estándares 16-QAM o 64QAM son capaces de seleccionar entre 2 servicios, por lo que los dos bits más significativos de cualquiera de los 2 estándares representa el servicio de mas alta prioridad, y viceversa.

2.3 Requerimientos de implementación.

En esta sección se muestran los requerimientos de funcionamiento del estándar, dentro de los requisitos más importantes se pueden mencionar:

- **Rango de frecuencia:** El rango de frecuencia de DVB-H se extiende en las bandas IVUHF y VUHF con frecuencias que van desde los 470 MHz hasta los 820MHz. Sin embargo, la cercanía que existe con la transmisión a sistemas celulares de radio reduce la frecuencia superior a 700 MHz considerando la banda de guarda entre la banda de paso y la banda de rechazo. De esta forma la banda de recepción de DVB-H es limitada de 474 MHz (CH 21) a 698 MHz (CH 49) [11].
- **Sensitividad y figura de ruido:** La sensitividad del receptor depende directamente de la figura de ruido y la relación señal a ruido, y está dada por la ecuación:

$$P_{in,min} = -174dBm/Hz + 10\log BW + NF + C/N \quad (2.1)$$

Donde el ancho de banda efectivo de 761 MHz ha sido usado para calcular el nivel del ruido de piso. Considerando una figura de ruido de 6 dB, la potencia mínima de la señal de entrada depende de la modulación, la cual es mostrada en la Tabla 2.2 [12].

Modulación	Tasa de codificación.	Tasa de Bits [Mbit/s]	C/N [dB]	Sensitividad [dBm]
QPSK	1/2	6.03	7.9	-91.3
QPSK	1/3	8.04	10.9	-88.3

16-QAM	1/2	12.06	13.7	-85.5
16-QAM	1/3	16.09	16.7	-82.5
64-QAM	1/2	18.10	18.5	-80.7
64-QAM	1/3	24.13	21.8	-77.4

Tabla 2.2 Sensitividad y C/N para NF=6dB.

- **Ruido de fase:** Las restricciones de ruido de fase deben ser consideradas tomando en cuenta la influencia de los desacoplos en fase en los sistemas COFDM, así como la influencia debido a la interferencia de canales adyacentes, De esta forma la restricción mínima del ruido de fase es [14]:

$$PN = @100kHz = -106.5dBc/Hz \quad (2.2)$$

2.4 Especificaciones del VCO a diseñar.

Dado que el oscilador desarrollado en esta tesis se diseñó para formar parte de la arquitectura de un receptor DVB-H, se debe tener una perspectiva mas clara de la ubicación de este oscilador. La Figura 2.1 muestra un diagrama a bloques de un sintonizador DBV-H.

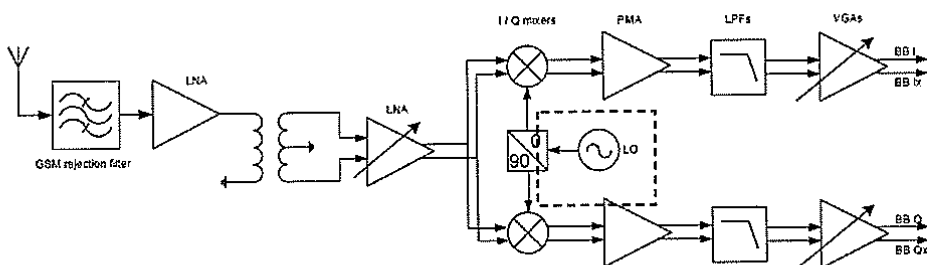


Figura 2.1 Arquitectura de conversión directa para un sintonizador DVB-H

Las restricciones impuestas por el estándar DVB-H son mostradas en la Tabla 2.5.

PARAMETRO.	ESPECIFICACION.
Rango de frecuencia de entrada de RF.	470-698 MHz
Ancho de banda de canal.	8MHz
Relación de protección al canal adyacente (DVB).	29dB
Relación de protección al canal adyacente (PAL).	38dB
Sensitividad.	-91.3dBm
Señal máxima de entrada.	-28dBm
Figura de ruido	6dB
Relación señal a ruido (64-QAM; CR=1/2)	21.8dB
Máxima ganancia en potencia.	70dB
Entrada al punto de intercepción de tercer orden.	+5.4dBm
Punto de intercepción de segundo orden.	+32.8dBm
Ruido de fase del OL @ 100 kHz.	-106.5dBm/Hz

Tabla 2.3 Resumen de especificaciones del estándar DVB-H.

Capítulo 3

Tópicos usados en el diseño de VCO's.

3.1 Introducción.

En el presente capítulo, se presentan las bases teóricas empleadas en el análisis y diseño de sistemas retroalimentados, así como una descripción general de los osciladores controlados por voltaje de anillo, describiendo las principales ventajas y desventajas que estos tienen. Posteriormente, se presenta un resumen de las principales técnicas que existen para estimar el ruido de fase de los osciladores, ya que este tópico es de singular importancia en la caracterización de las propiedades de los osciladores.

3.2 Análisis de sistemas lineales retroalimentados.

Ya que un oscilador es un sistema retroalimentado, el principal objetivo de esta sección es mostrar las metodologías usadas para llevar a cabo el análisis de dichos sistemas. Aunque esto no dice mucho acerca de cómo funciona un sistema oscilador (por ejemplo el nivel de salida y la frecuencia

de oscilación son indeterminados), el análisis lineal proporciona un panorama general sobre las condiciones que permiten que un circuito pueda oscilar, evitando esfuerzo y tiempo de cómputo requerido por un análisis de circuitos no lineales [15].

3.2.1 Análisis lineal clásico.

Como se mostrará a lo largo de este capítulo, un amplificador puede oscilar retroalimentando alguna de sus salidas. El esquema de un sistema retroalimentado es mostrado en la Figura 3.1

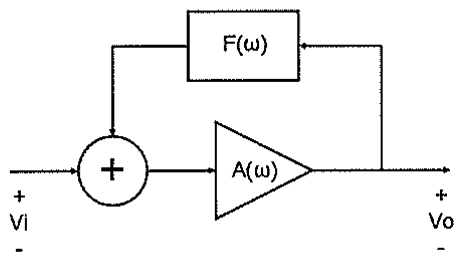


Figura 3.1 Sistema retroalimentado

La ganancia de este circuito esta dada por:

$$A_v = \frac{V_o}{V_i} = \frac{A}{1 - AF} \quad (3.1)$$

Donde A es la ganancia de voltaje del amplificador en lazo abierto y F es la ganancia de la red de retroalimentación, la cual es positiva para el caso de un oscilador. Una retroalimentación positiva, es aquella que responde en la misma dirección que la perturbación original [16]. El resultado de esto es la amplificación de cada pequeña perturbación, produciendo grandes cambios y

haciendo que la respuesta del sistema crezca exponencialmente (con una retroalimentación de primer orden) o hiperbólicamente (con una retroalimentación de segundo orden), hasta que un mecanismo de saturación limite el crecimiento de esta amplificación. La retroalimentación positiva es la que hace posible la construcción de osciladores; que haciendo uso de las propiedades de este tipo de retroalimentación, hacen crecer pequeñas perturbaciones del sistema.

Para llevar a cabo el análisis lineal de sistemas retroalimentados, es necesario tener conocimiento de las variables que afectan al comportamiento de dicha retroalimentación. Existen 4 tipos básicos de sistemas retroalimentados debido a las posibles combinaciones de cantidades muestreadas y cantidades retroalimentadas, como se muestra a continuación [17]:

- Mezcla serie y toma de muestra voltaje (serie-paralelo).
- Mezcla paralelo y toma de muestra corriente (paralelo-serie).
- Mezcla en serie y toma de muestra corriente (serie-serie).
- Topología de mezcla en paralelo y toma de muestra voltaje (paralelo-paralelo).

La terminología usada para nombrar el tipo de retroalimentación se deriva de la siguiente forma: El primer término se refiere al tipo de retroalimentación conectada a la entrada del sistema, mientras el segundo se refiere a la naturaleza del muestreo de la conexión a la salida. Las 4 topologías de estos tipos de retroalimentación se muestran en la Figura 3.2:

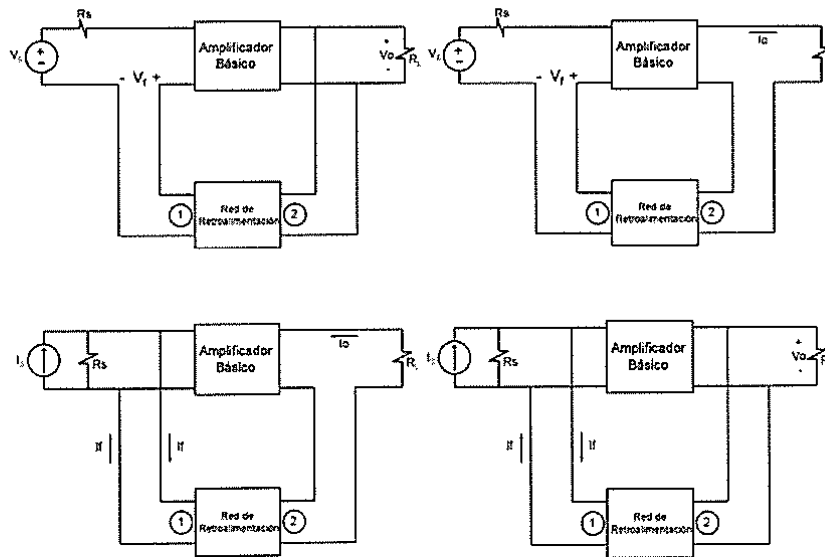


Figura 3.2 Tipos de retroalimentación.

Detrás del análisis de sistemas retroalimentados, la idea principal es determinar el efecto que tiene la retroalimentación sobre el sistema, y considerar este efecto sobre la respuesta del mismo. De ahí se puede establecer la siguiente metodología en el análisis de sistemas retroalimentados.

1. Identificar el tipo de retroalimentación.
2. Calcular la ganancia en lazo abierto.
3. Calcular el factor de retroalimentación y determinar la forma en que este afecta al circuito
4. Calcular la ganancia del circuito retroalimentado haciendo uso de la ecuación 3.1.

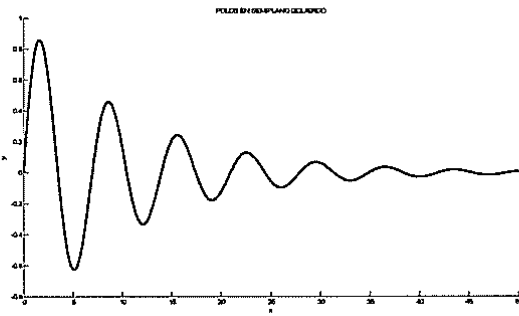
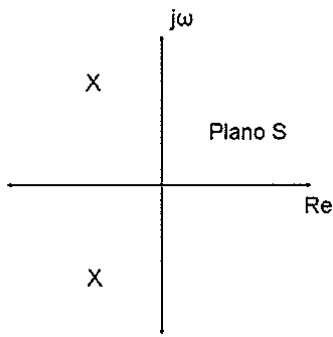
3.2.2 Análisis lineal usando diagramas de bloques.

Otra forma de llevar a cabo el análisis de un sistema retroalimentado, es mediante el uso de diagramas de bloques. Este método es bastante útil por la simplicidad del mismo, el cual consta de los siguientes pasos [18]:

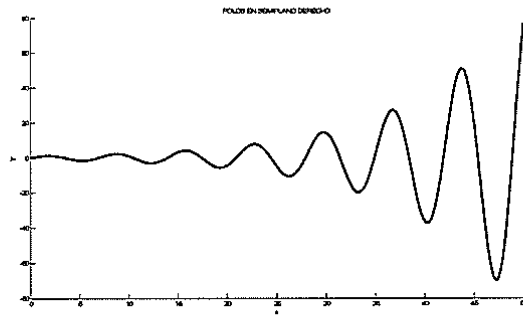
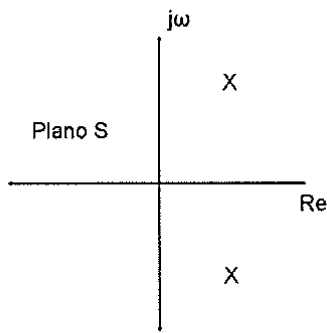
1. Identificar la trayectoria de señal.
2. Identificar la trayectoria de retroalimentación.
3. Determinar las ecuaciones nodales del modelo de pequeña señal.
4. De las ecuaciones nodales, obtener el diagrama de bloques.
5. Determinar la función de transferencia.

3.3 Estabilidad en sistemas retroalimentados.

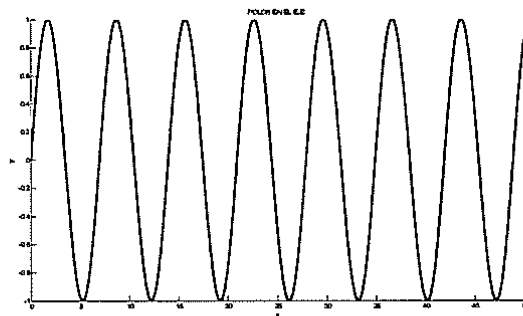
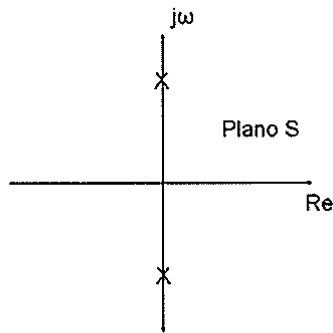
Un oscilador puede ser considerado un sistema retroalimentado inestable. Se puede decir que un sistema es inestable, si la respuesta crece sin límite conforme el tiempo tiende a infinito. Viendo esto en el plano complejo, la ubicación de los polos de un sistema estable se encuentran en el semiplano izquierdo; mientras que en un sistema inestable los polos se encuentran en el semiplano derecho del plano complejo. Por lo tanto, se puede decir que los sistemas inestables tienen funciones de transferencia en lazo cerrado con al menos un polo en el semiplano derecho, como se muestra en la Figura 3.3 [16].



a) Sistema Estable



b) Inestable con oscilaciones crecientes.



c) Inestable con oscilaciones establecidas.

Figura 3.3 Ubicación de los polos en el plano complejo de sistemas retroalimentados.

Otra forma de evaluar la estabilidad de un circuito, mediante diagramas de Bode a través del margen de ganancia y el margen de fase [17].

Margen de ganancia: Medido en decibeles, el margen de ganancia es el cambio en ganancia en lazo abierto, necesario para que a 180° de desfase, el sistema en lazo cerrado se haga inestable. Esto puede ser expresado como:

$$GM = \frac{1}{|a(j\omega_x)f(j\omega_x)|} \quad (3.2)$$

Margen de Fase: Se define al margen de fase como el cambio medido en grados del desfase en lazo abierto necesario a una ganancia unitaria para llevar el sistema al borde de la inestabilidad.

$$PM = 180^\circ + \angle[a(j\omega_c)f(j\omega_c)] \quad (3.3)$$

Los márgenes de fase y de ganancia de un sistema de control son una referencia de la proximidad a condiciones de estabilidad o inestabilidad. A pesar que estos pueden usarse como criterios de diseño, debe señalarse que el margen de ganancia o el margen de fase por si solos no aportan indicio suficiente de la estabilidad relativa del sistema [19]. En la Figura 3.4 se ilustra el margen de fase y margen de ganancia de un sistema estable y de un sistema inestable.

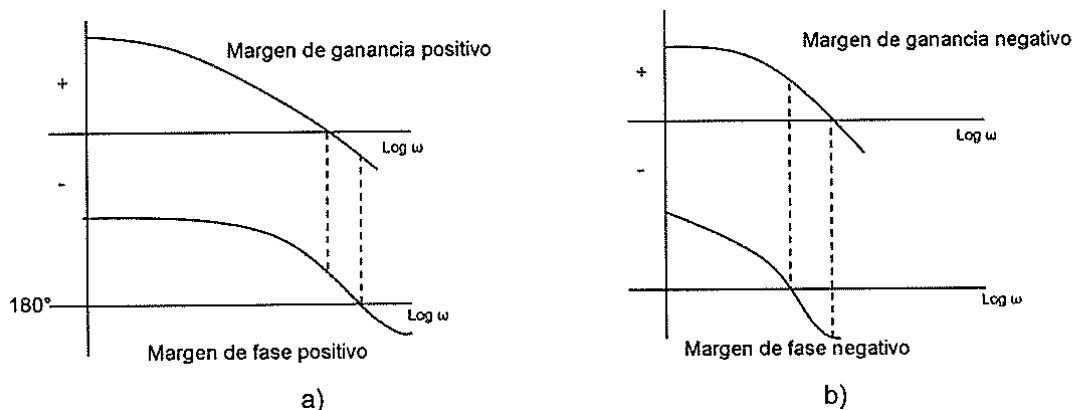


Figura 3.4 Diagramas de bode a) un sistema estable b) un sistema inestable.

3.4 Construcción de Sistemas Osciladores.

Como se ha visto, las condiciones de estabilidad para un sistema lineal son simples y bien conocidas; para una función de transferencia de la forma [15]:

$$H(s) = \frac{\prod_m (s + z_m)}{\prod_n (s + p_n)} \quad (3.4)$$

Una de estas consideraciones, es no tener polos en el lado derecho del plano complejo. Cuando tales polos existen, la respuesta transitoria a pequeñas variaciones crece exponencialmente. La teoría de circuitos lineales no puede predecir el grado de crecimiento de la inestabilidad; que son limitadas por las no linealidades del circuito. En el caso de un oscilador, se desea que una pequeña excitación construya un crecimiento en la señal de forma sinusoidal.

3.4.1 Criterios de Barkhausen.

La Figura 3.5 muestra el modelo de un oscilador que consiste de una etapa amplificadora y una red de retroalimentación positiva.

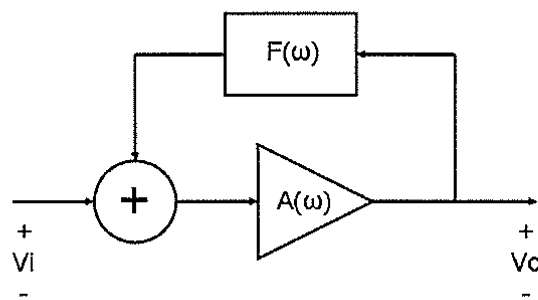


Figura 3.5 Modelo del oscilador

Si se define a $A(s)$ como la función de transferencia del amplificador, y a $f(s)$ como la función de transferencia de la red de retroalimentación, la función de transferencia de la red esta dada por:

$$H(s) = \frac{V_o(s)}{V_i(s)} = \frac{A(s)}{1 - A(s)f(s)} \quad (3.5)$$

Sobre el eje imaginario se tiene:

$$H(j\omega) = \frac{A(j\omega)}{1 - A(j\omega)f(j\omega)} \quad (3.6)$$

De las ecuaciones anteriores se puede establecer que las oscilaciones sinusoidales de estado estable ocurrirán cuando:

$$1 - A(j\omega)F(j\omega) = 0 \quad (3.7)$$

$$A(j\omega)F(j\omega) = 1 \quad (3.8)$$

Estas ecuaciones indican que la magnitud del lazo de ganancia debe ser unitaria cuando la fase sea cero. Intuitivamente se puede ver que esto sucede cuando se satisface la ecuación 3.6. Si una entrada incremental que tiene una componente de frecuencia que satisface a la ecuación 3.6 es amplificada por el bloque amplificador, la cual es retroalimentada a la entrada produciendo oscilaciones estables. Bajo estas condiciones, la salida crece con una característica dependiente del tiempo sobre el ancho de banda del sistema, hasta que la amplitud se satura lo cual resulta en oscilaciones estables a la salida. Los requisitos para cumplir con esta oscilación, es decir un cambio de fase de 0 a una ganancia unitaria, son llamados *criterios de*

Barkhausen [15]. Estos criterios son a menudo establecidos de la siguiente forma:

$$|A(j\omega)F(j\omega)| > 1 \quad (3.9)$$

$$\angle A(j\omega)F(j\omega) = 0 \quad (3.10)$$

Lo cual corresponde a polos en el lado derecho del plano complejo. Esto muestra que los criterios de Barkhausen son simplemente consecuencia de la existencia de polos en la función de transferencia de lazo cerrado que hacen inestable al sistema. Aplicar los criterios de Barkhausen a circuitos no representa una tarea muy compleja siempre y cuando las trayectorias de retroalimentación sean claramente identificadas.

3.4.2 El Factor de calidad.

El factor de calidad (Q) de un oscilador es una medida del comportamiento real del mismo comparado con un oscilador ideal [20]. De su definición física, el factor Q está dado como:

$$Q = \frac{2\pi \text{ Energía Almacenada}}{\text{Energía Disipada}} \quad (3.11)$$

Por otra parte, dado que los circuitos resonantes usualmente exhiben una función de transferencia pasa banda, Q puede ser definida como la selectividad de la magnitud de su respuesta en frecuencia como se ilustra en la Figura 3.6.

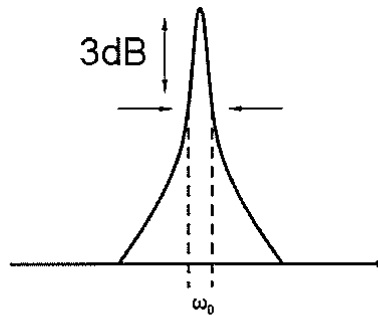


Figura 3.6 Factor Q

Donde Q se encuentra definida como la frecuencia de resonancia entre el ancho de banda de 3 decibeles; matemáticamente expresada como:

$$Q = \frac{\omega_0}{BW} \quad (3.12)$$

Una tercera definición de Q se presentará más adelante.

3.4.3 Clasificación.

Los osciladores controlados por voltaje pueden ser clasificados por el método de oscilación, en [21]:

- Osciladores basados en resonador.
- Osciladores basados en la forma de onda.

Un primer ejemplo de cada categoría son los osciladores LC y los osciladores de anillo, respectivamente. Cada tipo tiene diferentes formas de producir el entonado en frecuencia: basados en el manejo de corriente para osciladores de anillo o un capacitor variable o varactor para los osciladores LC. Esta clasificación se muestra en la Figura 3.7

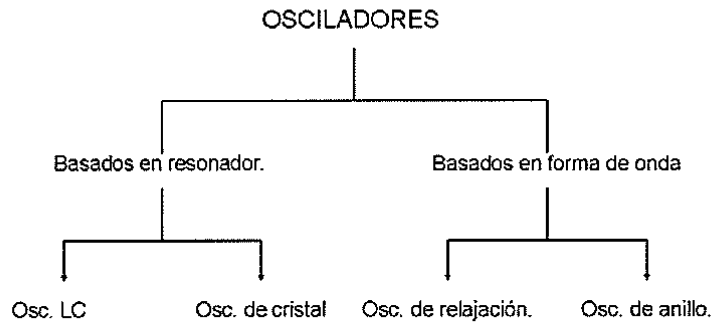


Figura 3.7 Clasificación de osciladores.

3.4.4 Osciladores controlados por voltaje.

En la mayoría de las aplicaciones es necesario que la frecuencia de salida de los osciladores pueda variarse en cierto rango por medio de una señal de control, la cual puede ser un voltaje o una corriente. Un oscilador controlado por voltaje ideal es un circuito cuya frecuencia de salida es una función lineal de su voltaje de control [22]. Su función de transferencia está dada por:

$$\omega_{osc} = K_{vco} \cdot V_{control} + \omega_0 \quad (3.13)$$

Donde ω_0 es la frecuencia del oscilador para un voltaje de control de 0 Volts y K_{vco} es la ganancia del VCO. La Figura 3.8 ilustra la curva de transferencia típica de los VCOs.

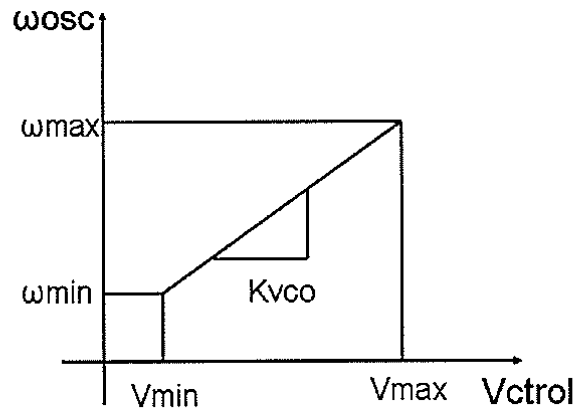


Figura 3.8 Curva de transferencia directa de un oscilador

De esta gráfica, la ganancia del VCO puede ser deducida como:

$$K_{vco} = \frac{\omega_{max} - \omega_{min}}{V_{max} - V_{min}} \quad (3.14)$$

3.4.5 Osciladores controlados por voltaje de anillo.

Los osciladores de anillo, al igual que todos los demás tipos de osciladores, deben satisfacer los criterios de Barkhausen para poder llevar a cabo la oscilación. Ahora bien, en los osciladores de anillo, el cambio de fase necesario es fácilmente alcanzado cascando etapas de retardo, como se muestra en la Figura 3.9.

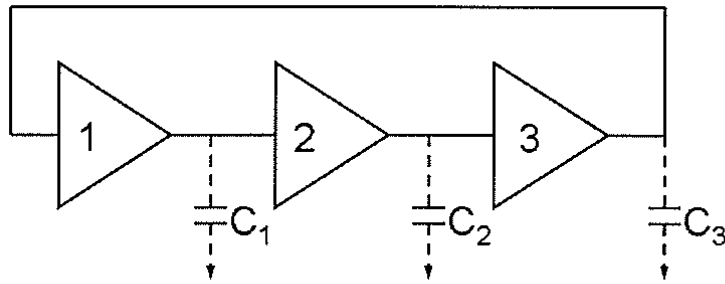


Figura 3.9 Oscilador de anillo simple.

Cuando el circuito se polariza correctamente, las capacitancias en los nodos de cada celda inversora son cargadas y descargadas; de esta forma, la frecuencia puede ser controlada mediante la variación de la corriente que carga y descarga a dichos capacitores. El oscilador puede operar a diferentes frecuencias dependiendo del tipo de celda de retardo utilizada. Sin embargo, la principal desventaja de este tipo de osciladores, es que el uso de este tipo de celdas tiene un pobre desempeño en ruido de fase comparados con su contraparte de osciladores LC. Sin embargo, este parámetro puede variar dependiendo del diseño y de la tecnología, hasta alcanzar niveles de pureza espectral que pueden ser competitivos con osciladores LC. Para determinar el número de celdas de retardo necesarias para que el circuito oscile, considérese el circuito mostrado en la Figura 3.10.

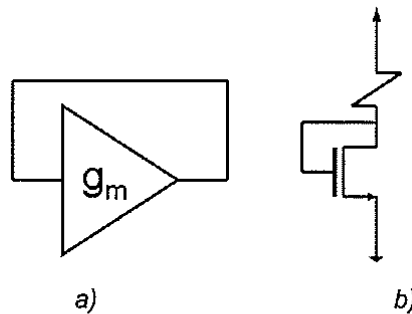


Figura 3.10 Diagrama de bloques de una etapa de ganancia a) Diagrama de bloques b) Diagrama esquemático.

A primera vista se podría pensar que este circuito oscilará en forma natural, ya que si la salida se carga y descarga continuamente; y de esta forma se tendría un oscilador perfecto. Sin embargo tales suposiciones no son correctas; la oscilación no se presenta debido a que no se cumplen con los criterios de Barkhausen, es decir no se tiene el cambio de fase requerido a la ganancia necesaria. De igual forma, se podría pensar que el circuito de la Figura 3.11a funciona como un oscilador, ya que se tiene el cambio en fase necesario; de nueva cuenta esto no es posible ya que el circuito se comportara como un latch.

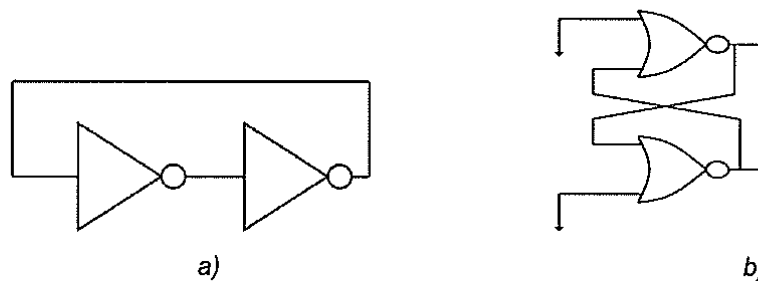


Figura 3.11 Inversores en anillo a) Diagrama de bloques común b) Diagrama equivalente como latch.

Ya que un circuito de entrada simple y salida simple se comporta como latch, no se hace uso de osciladores de entrada simple y salida simple para osciladores de anillo con un número par de celdas de retardo. Sin embargo, un oscilador de 2 etapas puede ser construido si una de la etapas es no inversora, por ejemplo utilizando un par diferencial, en estos circuitos, simplemente se debe cambiar la polaridad de conexión entre 2 etapas y tener 180° de cambio de fase para un número par de etapas, donde las celdas del circuito aportarían los 180° de cambio de fase. Como se muestra en la Figura 3.12, para un oscilador de 2 etapas, suponiendo que cada etapa es una etapa simple de primer orden,

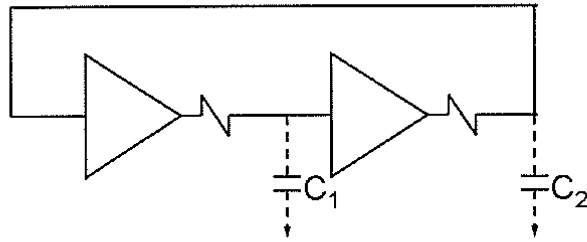


Figura 3.12 Diagrama lineal de un oscilador de anillo de 2 etapas.

Cada etapa necesita un cambio en fase de 90° para producir el cambio de fase necesario para la oscilación, y esto sólo sucederá a una frecuencia infinita; así, sin algún mecanismo que proporcione un cambio de fase adicional será imposible que dicho par de celdas oscile. Debido a que los osciladores de 2 etapas pueden operar a frecuencias muy elevadas y presentan un mejor comportamiento en ruido de fase; muchos esfuerzos se han llevado a cabo para encontrar técnicas que permitan construir la oscilación en tales circuitos; La propuesta de este trabajo es la realización de anillos de oscilación capaces de oscilar con 2 etapas aplicando redes de degeneración estructural en fase.

3.5 Estimación de ruido.

Cualquier oscilador práctico tiene fluctuaciones en amplitud y frecuencia, siendo estas últimas las que más afectan a un oscilador [23]. Estas inestabilidades son principalmente debidas a ruido y fuentes de interferencia. Los ruidos térmico, de disparo y flicker son las inestabilidades que afectan en un primer plano, mientras que el ruido de sustrato y alimentación, se considera que están en un segundo plano. Todas estas fuentes de ruido resultan en inestabilidades en frecuencia que pueden ser caracterizadas en

diferentes formas; dentro las mas importantes formas de caracterizar dichas fluctuaciones esta el ruido de fase y jitter.

3.5.1 Ruido de fase y jitter.

El jitter y el ruido de fase son representaciones del mismo fenómeno en el dominio del tiempo y el dominio de la frecuencia, respectivamente. Usualmente, el parámetro de ruido de fase es el más usado en el diseño de circuitos de radio frecuencia, mientras que jitter es el parámetro más usado en circuitos digitales. Fuera de esas consideraciones no hay otra diferencia entre estos parámetros [23].

Ruido de fase: Desde el punto de vista del dominio de la frecuencia, las inestabilidades de un oscilador son caracterizadas en términos de la densidad espectral de ruido. Estas inestabilidades son convencionalmente dadas en unidades de decibeles, respecto a la portadora por Hertz (dBc/Hz) y están definidas como:

$$\mathcal{L}_{total} = 10 \cdot \log \left[\frac{P_{sideband}(\omega_0 + \Delta\omega, 1Hz)}{P_{carrier}} \right] \quad (3.15)$$

Donde $P_{sideband}(\omega_0 + \Delta\omega, 1Hz)$ representa la potencia simple respecto a la portadora a la frecuencia de offset ($\Delta\omega$), de la portadora medida en un ancho de banda de 1 Hz como se muestra en la Figura 3.13, y $P_{carrier}$ es la potencia total bajo el espectro de potencia. Nótese en esta definición (ec. 3.15) incluye el efecto de las fluctuaciones de amplitud y fase, $A(t)$ y $\phi(t)$.

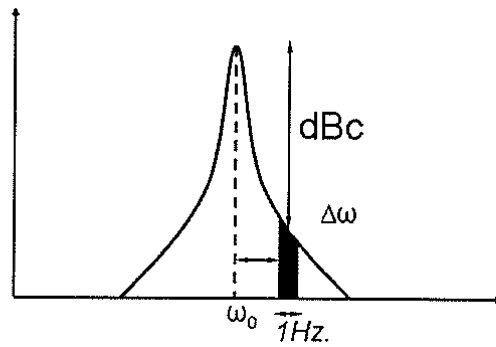


Figura 3.13 Ruido de fase por unidad de ancho de banda.

La ventaja de \mathcal{L}_{total} en la ecuación 3.15 es su fácil medición; mientras que su principal desventaja es que suma las inestabilidades en amplitud y fase. Es importante conocer las inestabilidades tanto en amplitud como en fase de forma separada, ya que estos se comportan de forma diferente en cada circuito. Por ejemplo, el efecto del ruido en la amplitud puede ser reducido mediante un circuito limitador de amplitud, mientras que el ruido de fase no puede ser reducido de una forma similar. Ahora bien, en la mayoría de los osciladores prácticos, \mathcal{L}_{total} es dominada por la aportación del ruido de fase. Una grafica de $\mathcal{L}_{total} \{ \Delta\omega \}$ para un oscilador como función de $\Delta\omega$ en una escala logarítmica muestra regiones con diferente pendiente como se muestra en la Figura 3.14.

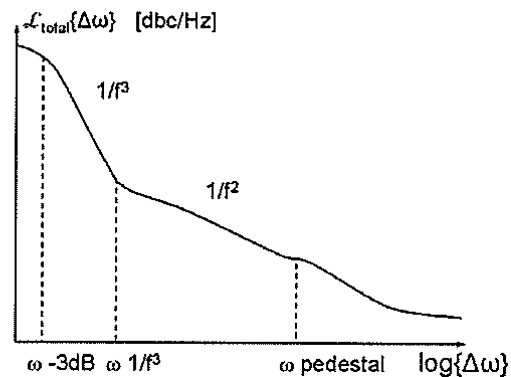


Figura 3.14 Grafica del ruido de fase típico para un oscilador libre.

A altas frecuencias de offset domina el ruido de piso, mientras que a bajas frecuencias de offset se pueden identificar regiones con pendientes de $1/f^2$ y $1/f^3$, donde el punto de inflexión entre $1/f^2$ y $1/f^3$ es llamado ω_{1/f^3} . Finalmente, el espectro vuelve nuevamente a ser plano a frecuencias de offset muy pequeñas.

Se han desarrollado diferentes métodos de medir ruido de fase y, dependiendo del método particular usado para medirlo, parte del espectro en la Figura 3.14 pueden o no puede ser incluido.

Jitter: Las inestabilidades en los instantes de transición de una forma de onda en el dominio del tiempo, son conocidos como jitter. Para osciladores estas inestabilidades se incrementan a medida que el tiempo se incrementa. (Figura 3.15)

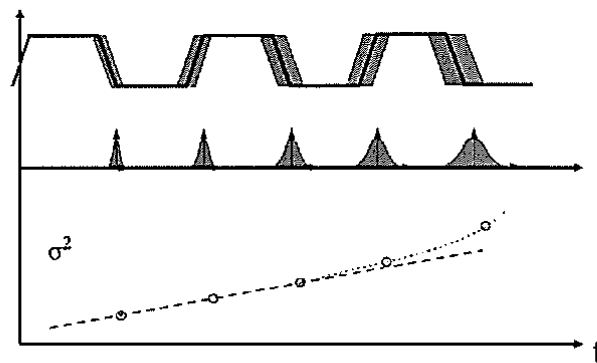


Figura 3.15 Incremento del Jitter con el tiempo.

El crecimiento en la variancia de tiempo o acumulación de jitter ocurre porque cualquier inestabilidad en una transición temprana afecta a todas las transiciones siguientes, y este efecto persiste indefinidamente. Por lo tanto, cuando τ segundos han transcurrido, las incertidumbres de tiempo incluyen el efecto acumulativo de las incertidumbres asociadas con las transiciones. Una gráfica logarítmica de jitter σ_τ contra la medida del retardo para un oscilador

libre exhibirá típicamente regiones con pendientes de 1/2 y 1 como se muestra en la Figura 3.16.

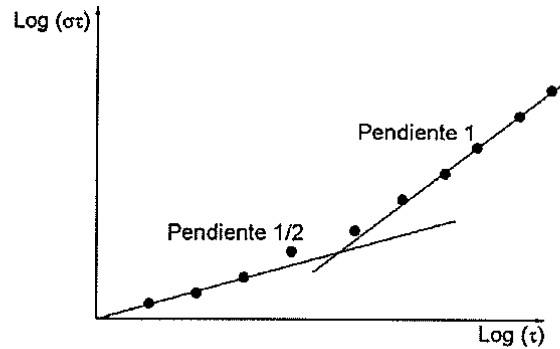


Figura 3.16 Jitter RMS vs. medición del tiempo en una grafica logarítmica.

En la región de pendiente 1/2 la desviación estándar de jitter después de τ segundos es:

$$\sigma_T = \kappa \sqrt{T} \quad (3.16)$$

donde κ es una constante de proporcionalidad determinada por los parámetros del circuito. De forma similar, la desviación estándar del jitter en la región con pendiente de 1 se puede expresar como.

$$\sigma_T = \zeta \cdot T \quad (3.17)$$

donde ζ es otra constante de proporcionalidad de igual forma determinada por los parámetros del circuito. En la mayoría de las aplicaciones digitales, es deseable que σ_T decrezca a medida que la frecuencia se incrementa para mantener constante la relación del valor rms del jitter al periodo. Por lo tanto una expresión analítica del jitter es:

$$\sigma_{\Delta\phi} = 2\pi \frac{\sigma_T}{T} = \omega_0 \sigma_T \quad (3.18)$$

Que es una de las expresiones mas usadas para la definición de jitter.

A continuación se lleva a cabo un estudio de los principales modelos que existen para la estimación analítica del ruido de fase.

3.5.2 Modelo de Razavi.

Este modelo establece un estudio del ruido de fase siguiendo un análisis de primer orden de un sistema oscilatorio, en el que se emplea un modelo linearizado de un oscilador de anillo, mediante el cual se obtiene un estimado del comportamiento en ruido [24]. Este estudio, de acuerdo a las comparaciones realizadas con mediciones reales, presenta un margen de error de aproximadamente 4 a 6 dB. El modelo de estimación de ruido de fase aquí presentado parte de una nueva definición del factor de calidad Q.

Por definición, el factor de calidad de lazo abierto es una medida de qué tanto el sistema en lazo cerrado se opone a variaciones en la frecuencia de oscilación.

Ahora bien, a pesar que un oscilador es un circuito fundamentalmente no lineal, la amplitud de las oscilaciones pueden ser definidas por un modelo lineal bajo ciertas restricciones. Cuando un circuito empieza a oscilar, la amplitud continúa creciendo hasta que es limitada por algún otro mecanismo. El método aquí presentado establece un modelo lineal, en el que se presupone que, la amplitud de oscilación no es demasiado grande, y es limitada por un mecanismo inherente al sistema. Sin embargo, a medida que la amplitud del oscilador analizado crece, el modelo pierde validez. Así, la elección de este modelo depende del error que este establece en predecir la respuesta del oscilador a varias fuentes de ruido. De esta forma, para analizar el ruido de fase el oscilador es tratado como un sistema

retroalimentado y se considera cada fuente de ruido como una entrada como se muestra en la Figura 3.17.

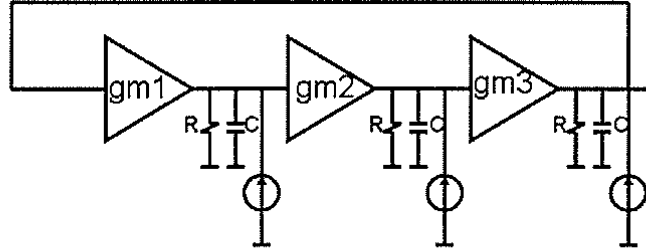


Figura 3.17 Modelo equivalente de pequeña señal.

Así, el ruido de fase observado a la salida es función de: 1) las fuentes de ruido del circuito y 2) cuanta retroalimentación el sistema rechaza o amplifica. El sistema oscila a $\omega = \omega_0$ en la función de transferencia:

$$\frac{X}{Y}(j\omega) = \frac{H(j\omega)}{1 + H(j\omega)} \quad (3.19)$$

Para frecuencias cercanas a la portadora $\omega = \omega_0 + \Delta\omega$, la función de transferencia de lazo abierto puede ser aproximada a:

$$H(j\omega) \approx H(j\omega_0) + \Delta\omega \frac{dH}{d\omega} \quad (3.20)$$

Y de aquí, la función de transferencia de ruido puede ser establecida como:

$$\frac{X}{Y}[j(\omega_0 + \Delta\omega)] = \frac{H(j\omega_0) + \Delta\omega \frac{dH}{d\omega}}{1 + H(j\omega_0) + \Delta\omega \frac{dH}{d\omega}} \quad (3.21)$$

Si $H(j\omega_0) = -1$ y para la mayoría de los casos prácticos $|\Delta\omega dH/d\omega| \ll 1$, la ecuación (3.21) se reduce a:

$$\frac{X}{Y}[j(\omega_0 + \Delta\omega)] = \frac{-1}{\Delta\omega \frac{dH}{d\omega}} \quad (3.22)$$

Esta ecuación indica que una componente de ruido a $\omega = (\omega_0 + \Delta\omega)$ es multiplicada por $-(\Delta\omega dH/d\omega)^{-1}$ cuando esta aparece a la salida del oscilador. En otras palabras, la densidad espectral de potencia puede ser descrita por:

$$\left| \frac{X}{Y}[j(\omega_0 + \Delta\omega)] \right|^2 = \frac{1}{(\Delta\omega)^2 \left| \frac{dH}{d\omega} \right|^2} \quad (3.23)$$

Ahora bien si definimos a $dH/d\omega$ como

$$\frac{dH}{d\omega} = \left(\frac{dA}{d\omega} + jA \frac{d\Phi}{d\omega} \right) \exp(j\Phi) \quad (3.24)$$

y debido a que $\omega \approx \omega_0$ y $A \approx 1$, la ecuación 3.24 se puede reescribir como:

$$\left| \frac{X}{Y}[j(\omega_0 + \Delta\omega)] \right|^2 = \frac{1}{(\Delta\omega)^2 \left[\left(\frac{dA}{d\omega} \right)^2 + \left(\frac{d\Phi}{d\omega} \right)^2 \right]} \quad (3.25)$$

De acuerdo a la tercera definición del factor de calidad Q, este puede ser reescrito como:

$$Q = \frac{\omega_0}{2} \sqrt{\left(\frac{dA}{d\omega} \right)^2 + \left(\frac{d\Phi}{d\omega} \right)^2} \quad (3.26)$$

De esta forma, combinando (3.25) con (3.26) tenemos

$$\left| \frac{X}{Y} [j(\omega_0 + \Delta\omega)] \right|^2 = \frac{1}{4Q^2} \left(\frac{\omega_0}{\Delta\omega} \right)^2 \quad (3.27)$$

Para estimar el ruido de fase, se modela la trayectoria de señal con un circuito linealizado como el de la Figura 3.18.

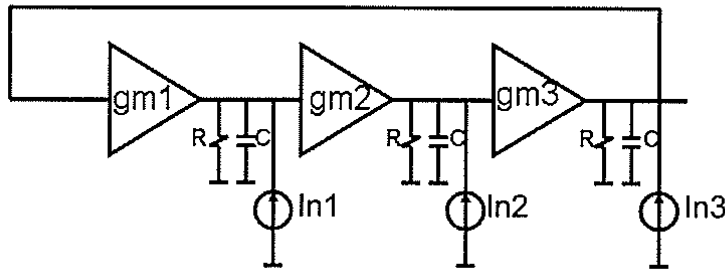


Figura 3.18 Modelo equivalente de pequeña señal.

En donde R , C y g_m representan la resistencia de salida, la capacitancia de carga y la ganancia de cada etapa. El ruido de cada etapa en los dispositivos de carga es modelado como fuentes de corriente inyectadas en los nodos. Si el circuito de la Figura 3.18 oscila a ω_0 , entonces cada etapa debe tener una ganancia de voltaje unitaria y 60° de cambio de fase. Se puede escribir la función de transferencia de lazo abierto tomando en cuenta que $\omega_0 = \sqrt{3}/(RC)$ y $g_m R = 2$, de modo que la función de transferencia de lazo abierto esta dada por:

$$H(j\omega) = \frac{-8}{\left(1 + j\sqrt{3} \frac{\omega}{\omega_0} \right)^3} \quad (3.28)$$

Entonces, $|dA/d\omega|=9/4\omega_0$ y $|d\Phi/d\omega|=3\sqrt{3}/(4\omega_0)$, por lo que la función de transferencia de una de las fuentes de corriente de la figura 3.18 a la salida de voltaje a la frecuencia $\omega_0 + \Delta\omega$ esta dada por:

$$\left| \frac{V_{out}}{I_n}(\omega_0 + \Delta\omega) \right|^2 = \frac{R^2}{27} \left(\frac{\omega_0}{\Delta\omega} \right)^2 \quad (3.29)$$

Haciendo uso de las expresiones estándar de canal largo para la corriente de ruido $i_n^2/\Delta f=8kT(g_{m1}+g_{m3})\approx 8kT/R$, se obtiene la densidad de potencia de salida como:

$$\overline{\frac{V_{out}^2}{\Delta f}}(\omega_0 + \Delta\omega) = \frac{8kTR}{9} \left(\frac{\omega_0}{\Delta\omega} \right)^2 \quad (3.30)$$

Debido a que de acuerdo al modelo lineal de la figura 3.18, hay 3 fuentes de ruido en el circuito (i_{n1} , i_{n2} , i_{n3}), y considerando que estas no están correlacionadas entre si, la densidad total de potencia a la salida será 3 veces la ecuación 3.30. Ahora, dividiendo la potencia de ruido entre la potencia de la portadora, $V_{swing}^2/2$ se obtiene una expresión para el ruido de fase:

$$\mathcal{L}\{\Delta\omega\} = 10 \cdot \log \left[\frac{16}{3} \frac{kTR}{V_{swing}^2} \left(\frac{\omega_0}{\Delta\omega} \right)^2 \right] = 10 \cdot \log \left[\frac{8}{3} \frac{kT}{P_{load}} \left(\frac{\omega_0}{\Delta\omega} \right)^2 \right] \quad (3.31)$$

Esta aproximación resulta en una expresión simple, que está limitada a osciladores de anillo diferenciales de pocas etapas debido a que la ecuación 3.31 asume linealidad entre la entrada de corriente y la salida de voltaje. Se considera también que el sistema es invariante en el tiempo, donde los transistores no sufren cambios drásticos en su transconductancia.

3.5.3 Modelo de Hajimiri.

El método propuesto por Hajimiri en [25-27] introduce un modelo de ruido de fase variante en el tiempo, mediante la definición de la función de respuesta al impulso. Debido a que las fuentes de ruido afectan tanto la amplitud y la fase, se pueden definir un par de sistemas equivalentes; cada sistema puede ser visto como un sistema de entrada simple salida simple, como se muestra en la Figura 3.19, en donde se observa que el cambio en amplitud y frecuencia debidos a una fuente de ruido son dependientes del tiempo [25].

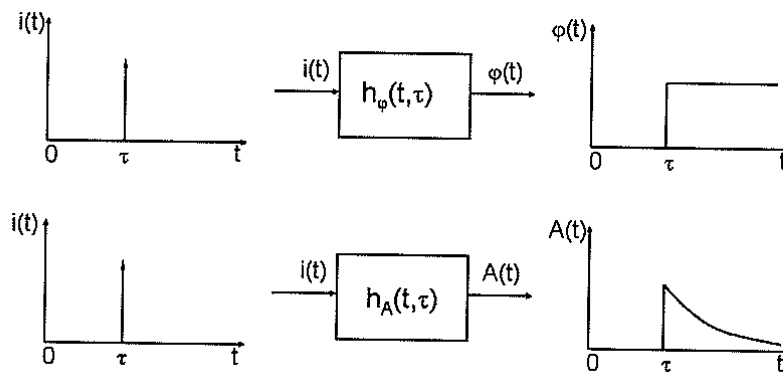


Figura 3.19 Sistemas equivalentes para amplitud y fase.

La entrada de cada sistema en la Figura 3.19 es una perturbación de corriente (o voltaje), y las salidas son los excesos de fase y amplitud respectivamente de un sistema variante en el tiempo. En esta Figura, se puede observar que el efecto en la fase es permanente, mientras que el efecto en la amplitud es temporal. Ahora bien, cuando la fuente de ruido es aplicada, la amplitud y la fase son afectadas en forma diferente, como se observa en la Figura 3.20.

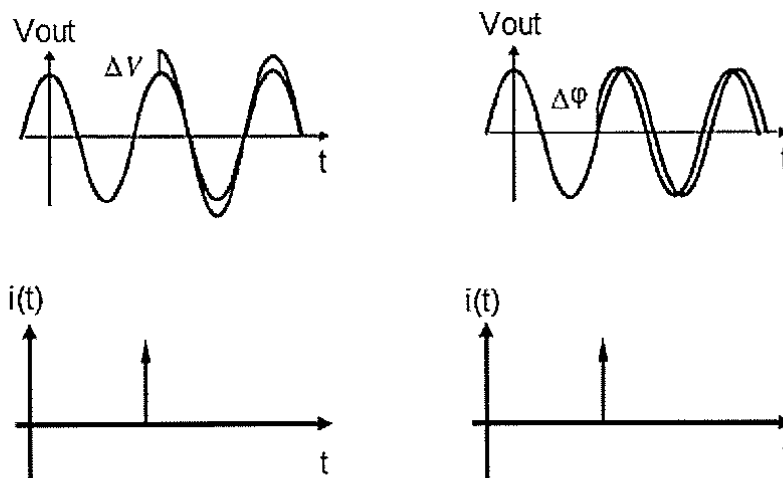


Figura 3.20 Respuesta al impulso de un oscilador ideal.

De esta forma, si el impulso de ruido es aplicado en el punto de máxima excursión de voltaje, no se producirá una variación significativa en la fase. Por otro lado, si este impulso es aplicado en el momento que la señal cruza por cero, tendrá un máximo efecto sobre la fase y un mínimo efecto en la amplitud.

Para describir el efecto que produce la inserción de un pulso variante en el tiempo sobre el sistema, en este modelo se introduce un factor de proporcionalidad llamado *función de sensibilidad al impulso* (ISF). Este factor, el cual determina la sensibilidad del oscilador a un impulso de entrada, es adimensional, independiente de la amplitud y frecuencia de la señal. Es decir, describe qué tanto cambia la fase al aplicar un impulso unitario en cualquier punto sobre el tiempo. Así, la salida de voltaje está relacionada con la fase mediante un proceso de modulación [26]. El proceso completo, mediante el cual una entrada de ruido se convierte en una perturbación en fase y voltaje, puede ser resumido en el diagrama de bloques de la Figura 3.21.

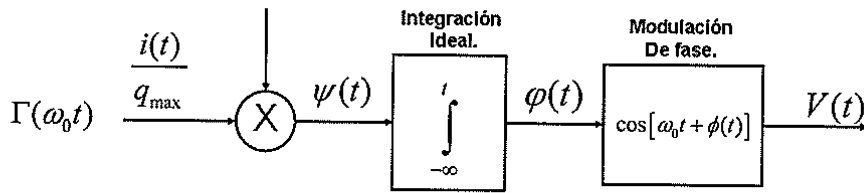


Figura 3.21 Diagrama de bloques del proceso de ruido.

Debido a que la ISF es periódica, puede ser expandida en series de Fourier.

$$\Gamma(\omega_0 \tau) = c_0 + \sum_{n=1}^{\infty} c_n \cos(n\omega_0 \tau + \theta_n) \quad (3.32)$$

donde los coeficientes c_n son reales, y θ_n es el cambio de fase de la n -ésima armónica. Gracias a la linealidad que existe del exceso de fase a la salida con respecto a pequeños pulsos de ruido a la entrada, se puede calcular este exceso de fase haciendo uso de la integral de superposición.

$$\phi(t) = \int_{-\infty}^{\infty} h_{\phi}(t, \tau) i(\tau) d\tau = \int_{-\infty}^t \frac{\Gamma(\omega_0 \tau)}{q_{\max}} i(\tau) d\tau \quad (3.33)$$

Usando la expansión en la ecuación 3.33 para $\Gamma(\omega_0 t)$ en la integral de superposición y cambiando el orden de la suma e integración, se tiene la ecuación 3.34

$$\phi(t) = \frac{1}{q_{\max}} \left[c_0 \int_{-\infty}^t i(\tau) d\tau + \sum_{n=1}^{\infty} c_n \int_{-\infty}^t i(\tau) \cos(n\omega_0 \tau) d\tau \right] \quad (3.34)$$

La ecuación 3.34 define las contribuciones individuales del cambio total en fase para una entrada de ruido arbitraria; para tener un mejor entendimiento de esta expresión se muestra el diagrama equivalente de bloques de la Figura 3.22.

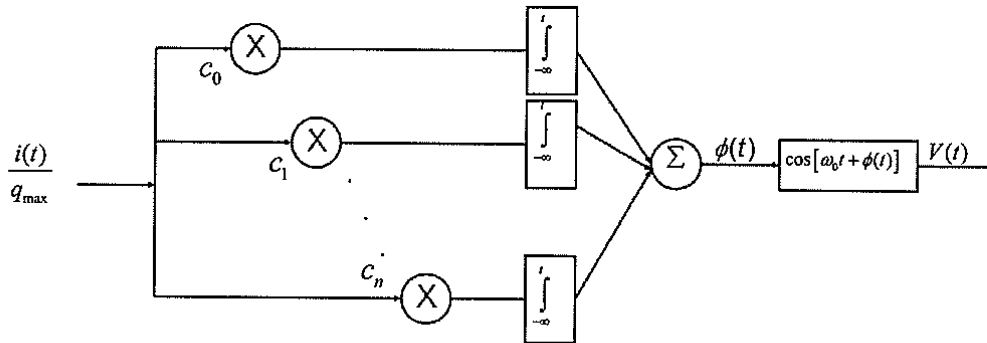


Figura 3.22 Diagrama de bloques del proceso de ruido.

Ahora considerando una fuente de ruido cuya densidad espectral de potencia tiene incluidas tanto la región plana como la región de $1/f$, como se muestra en la Figura 3.23, de la ecuación 3.34 se tiene que las componentes de ruido localizadas cerca de los múltiplos enteros de la frecuencia de oscilación son ponderados por los coeficientes de Fourier de la ISF e integrados a ruido de bandas laterales de baja frecuencia. Estas bandas, a su vez, son moduladas en fase como es ilustrado en la Figura 3.23.

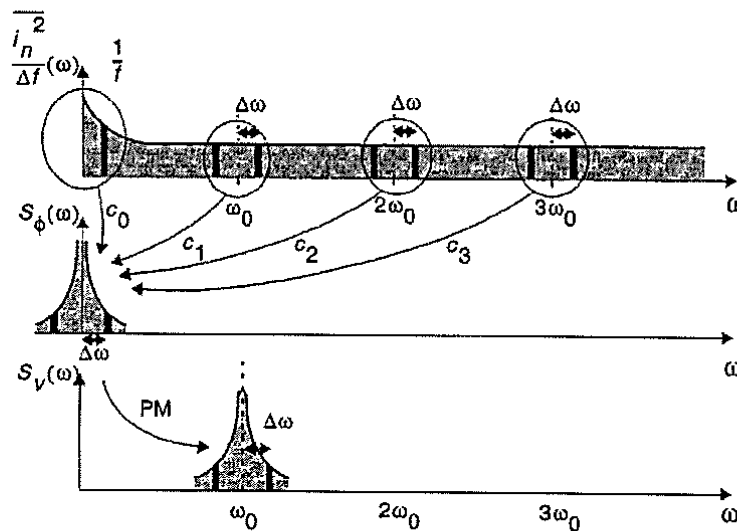


Figura 3.23 Conversión del ruido de fase.

De dicha Figura, se puede ver que la densidad de potencia total esta dada por la suma de las contribuciones de ruido de fase en la vecindad de múltiplos enteros de la frecuencia de la portadora. De esta forma se puede escribir.

$$\mathcal{L}\{\Delta\omega\} = 10 \log \left(\frac{\overline{i_n^2} \sum_{n=0}^{\infty} c_n^2}{4q_{\max}^2 \Delta\omega^2} \right) \quad (3.35)$$

De acuerdo con la relación de Parseval.

$$\sum_{n=0}^{\infty} c_n^2 = \frac{1}{\pi} \int_0^{2\pi} |\Gamma(x)|^2 dx = 2\Gamma_{rms}^2 \quad (3.36)$$

Resultando en una expresión para el ruido de fase.

$$\mathcal{L}\{\Delta\omega\} = 10 \log \left(\frac{\Gamma_{rms}^2}{q_{\max}^2} \cdot \frac{\overline{i_n^2} / \Delta f}{2 \cdot \Delta\omega^2} \right) \quad (3.37)$$

Esta expresión estima el ruido de fase para un oscilador arbitrario. Ahora bien, para calcular el ruido de fase haciendo uso de la ecuación 3.37, se necesita conocer los valores rms y DC de ISF. Para realizar esto, primero se debe establecer si el oscilador tiene iguales tiempos de subida y caída, o si estos son asimétricos. Una vez determinados los valores rms y DC, se determinan las expresiones finales para el ruido de fase. Para el caso en el que se tienen iguales tiempos de caída y subida, la expresión para el valor rms de la ISF, esta determinada como:

$$\Gamma_{rms} \approx \sqrt{\frac{2\pi}{3\eta^3}} \cdot \frac{1}{N^{1.5}} \quad (3.38)$$

Para el caso en que los tiempos de subida y caída son diferentes, el valor rms de la ISF esta dada por:

$$\Gamma_{rms}^2 = \frac{8\pi^2}{3\eta^3} \frac{1}{N^3} \left[\frac{1+A^3}{(1+A)^3} \right] \quad (3.39)$$

Con las expresiones del valor rms de la función sensibilidad al impulso, se puede determinar una expresión analítica para la estimación del ruido de fase [27].

$$\mathcal{L}\{\Delta\omega\} \approx \frac{8}{3\eta} \cdot N \cdot \frac{kT}{P} \cdot \left(\frac{V_{DD}}{V_{char}} + \frac{V_{DD}}{R_{L,tail}} \right) \cdot \frac{\omega_0^2}{\Delta\omega^2} \quad (3.40)$$

Estas ecuaciones son validas tanto para dispositivos de canal corto como para dispositivos de canal largo. También se puede notar que hay una dependencia al número de etapas; degradándose a medida que el número de etapas se incrementa.

n

Capítulo 4

DISEÑO Y ANÁLISIS DE VCO'S DE ANILLO APLICANDO REDES DE DEGENERACION ESTRUCTURAL.

4.1 Introducción.

Tomando como punto de partida las bases teóricas establecidas en capítulos anteriores, en el presente capítulo se lleva a cabo el diseño de osciladores controlados por voltaje de anillo con número reducido de etapas, usando como etapa de retardo la celda de cargas simétricas; esto, mediante la implementación de redes de retroalimentación a dicha celda, cuya función, es permitir que el sistema alcance las condiciones de oscilación haciendo uso de un número menor de etapas de retardo (2 y 3 etapas). Debido a que dichas redes cambian el margen de fase del sistema haciendo a este más inestable; a lo largo de este capítulo dichas redes de retroalimentación, serán llamadas redes de degeneración de fase y debido al cambio en fase que tienen las celdas de carga simétrica una vez que se les aplican las redes de degeneración de fase, a lo largo de este capítulo, estas celdas de retardo se

denominaran celdas de cargas simétricas degeneradas en fase. El diseño de estos osciladores fue llevado a cabo en un proceso CMOS AMIS de 0.35μ , y parte desde el análisis de la celda de cargas simétricas simple, en donde se presentan análisis cualitativos y cuantitativos a la celda, continuando con el análisis a un oscilador de anillo de 4 etapas construido con dicha celda. Posteriormente, se describe (cualitativa y analíticamente) el impacto que dichas redes tienen sobre el sistema. Seguido de la construcción de las celdas de carga simétricas degeneradas en fase, donde mediante simulaciones se muestra el comportamiento que dichas celdas tienen; lo que a su vez, permitirá llevar a cabo una comparación del comportamiento de estas celdas con la celda de cargas simétricas simple. Una vez obtenidas las condiciones necesarias de oscilación mediante la aplicación de las redes de degeneración, se lleva a cabo el diseño de un oscilador de 3 etapas y de un oscilador de 2 etapas, estos son caracterizados en términos del análisis transitorio, (para observar la respuesta de los mismos en el tiempo), curva de transferencia, (la cual muestra el rango de entonado y la linealidad del oscilador), desempeño a variaciones de temperatura (que muestra las características de linealidad y rango de entonado del oscilador a diferentes temperaturas típicas de trabajo), consumo de potencia y análisis de Montecarlo, (este último muestra el funcionamiento del circuito a variaciones del proceso). Finalmente, se lleva a cabo la construcción del patrón geométrico de los osciladores propuestos, y se lleva a cabo la simulación de la extracción de los patrones geométricos de los osciladores propuestos, caracterizando los resultados en términos del análisis transitorio, curva de transferencia, y consumo de potencia.

4.2 Celda de cargas simétricas.

La construcción de un oscilador de anillo, debe comenzar por el diseño de las celdas de retardo que integran al mismo. De acuerdo con las especificaciones del diseño, se puede elegir entre celdas simples o diferenciales. El número de etapas del oscilador también depende de dichas especificaciones. La celda utilizada en el presente trabajo es la celda de cargas simétricas. La celda de cargas simétricas es una celda completamente diferencial, lo cual permite tener alta inmunidad al ruido de alimentación, que a su vez, incrementa la inmunidad de esta al ruido de fase, y es capaz de operar a bajos voltajes de alimentación. El diagrama de dicha celda se muestra en la Figura 4.1.

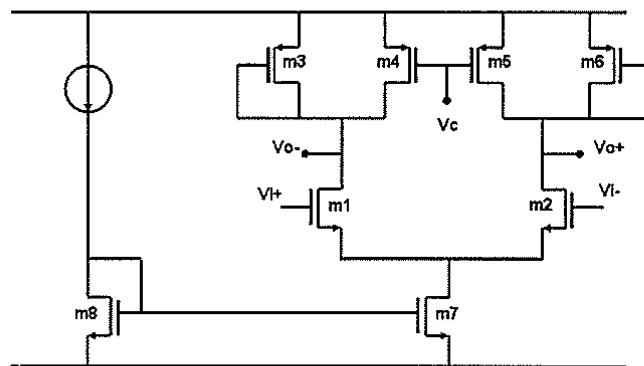


Figura 4.1 Celda básica con cargas simétricas.

La carga de esta celda está compuesta de un par de transistores PMOS en conexión de diodo en paralelo con transistores de iguales dimensiones los cuales funcionan como fuentes de corriente; en estos últimos, el voltaje V_C proporciona un control sobre el retardo de la celda, cambiando a su vez la transconductancia de los transistores en diodo M3 y M6.

Esta celda es llamada de cargas simétricas porque la relación corriente a voltaje de control es simétrica con respecto al centro de la excursión de voltaje. La Figura 4.2 muestra el comportamiento de la carga de esta celda a

voltajes de polarización medianos y bajos; donde las líneas punteadas muestran la resistencia efectiva de la carga.

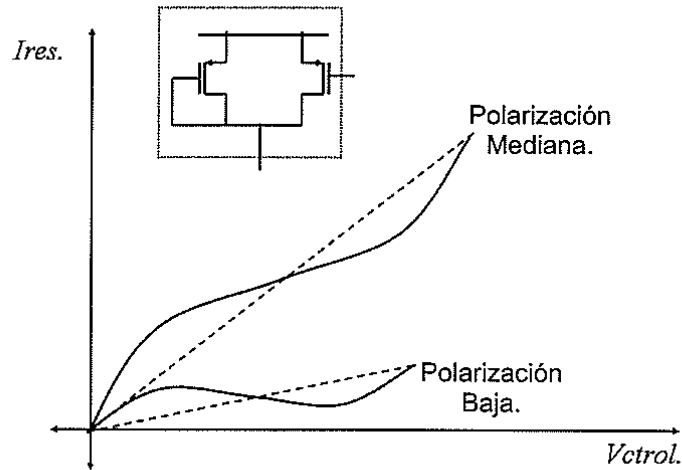


Figura 4.2 Curva I - V_c de la carga de Maneatis.

El retardo de esta celda varía con el voltaje de control debido a que la resistencia efectiva de la carga también cambia con el voltaje de control. La simetría de las cargas proporciona cierto grado de inmunidad al ruido de fase, debido a que estas cancelan los términos del ruido de primer orden, permitiendo tener solo los términos de ruido de orden alto. Adicionalmente se reduce el ruido de fase causado por el ruido en modo común. Otras características importantes de esta celda son la facilidad de autopolarización y su alta velocidad de operación.

4.2.1 Análisis en DC.

El análisis en DC permite encontrar las relaciones correspondientes para el dimensionamiento de la celda [28]. El punto de partida para este análisis está centrado en la carga, que es mostrada en la Figura 4.3.

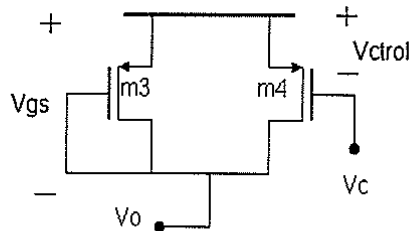


Figura 4.3 Carga de la celda de Maneatis.

De esta figura se observa que presenta un retardo definido como:

$$t = R_{eff} \cdot C_{eff} \quad (4.1)$$

Siendo R_{eff} el inverso a la transconductancia, la cual es obtenida tomando la derivada parcial del modelo de la ecuación cuadrática con respecto al voltaje de control:

$$I_D = \left(\frac{K_p}{2} \right) (V_{ctrl} - V_t)^2 \quad (4.2) \quad , \quad gm = \frac{\partial I}{\partial V_C} = \frac{K_p W}{L} (V_C - V_{th}) \quad (4.3)$$

De esta forma el retardo está definido por:

$$t = \frac{C_{eff}}{K_p \left(\frac{W}{L} \right) (V_C - V_{th})} \quad (4.4)$$

donde se pueden encontrar las dimensiones usando:

$$\frac{W}{L} = \frac{C_{eff}}{K_p (V_C - V_{th}) t} \quad (4.5)$$

Las dimensiones del par diferencial se obtienen de la relación:

$$A_o = g_m R_L \quad (4.6)$$

Conociendo el voltaje V_{gs} de la carga de Maneatis, se puede establecer la relación $R=V_{gs}/I_{out}$. De esta forma, tomando la expresión para la transconductancia g_m , se tiene:

$$\frac{W}{L} = \left(\frac{g_m^2}{2K_p P_n I_D} \right) \quad (4.7)$$

Con las expresiones anteriores, se pueden determinar los compromisos de construcción de la celda con fines de ser usada como celda de retardo de un oscilador.

4.2.2 Análisis en AC.

La ganancia de la celda esta determinada por:

$$A_v = \frac{g_{m_1}}{g_{m_3} + g_{ds_1} + g_{ds_3} + g_{ds_4}} \quad (4.8)$$

Haciendo la consideración que la etapa siguiente será una celda con las mismas características, el ancho de banda del circuito se encuentra dado por:

$$\omega_o = \frac{g_{m_3} + g_{ds_1} + g_{ds_3} + g_{ds_4}}{C_{gs_1} + C_{gs_3} + C_{db_1} + C_{db_3} + C_{db_4}} \quad (4.9)$$

Haciendo el producto ganancia ancho de banda de la celda se obtiene la frecuencia de ganancia unitaria dada por:

$$\omega_T = \frac{gm_1}{Cgs_1 + Cgs_3 + Cdb_1 + Cdb_3 + Cdb_4} \quad (4.10)$$

La grafica de Bode de la ecuación 4.8 se muestra en la Figura 4.4.

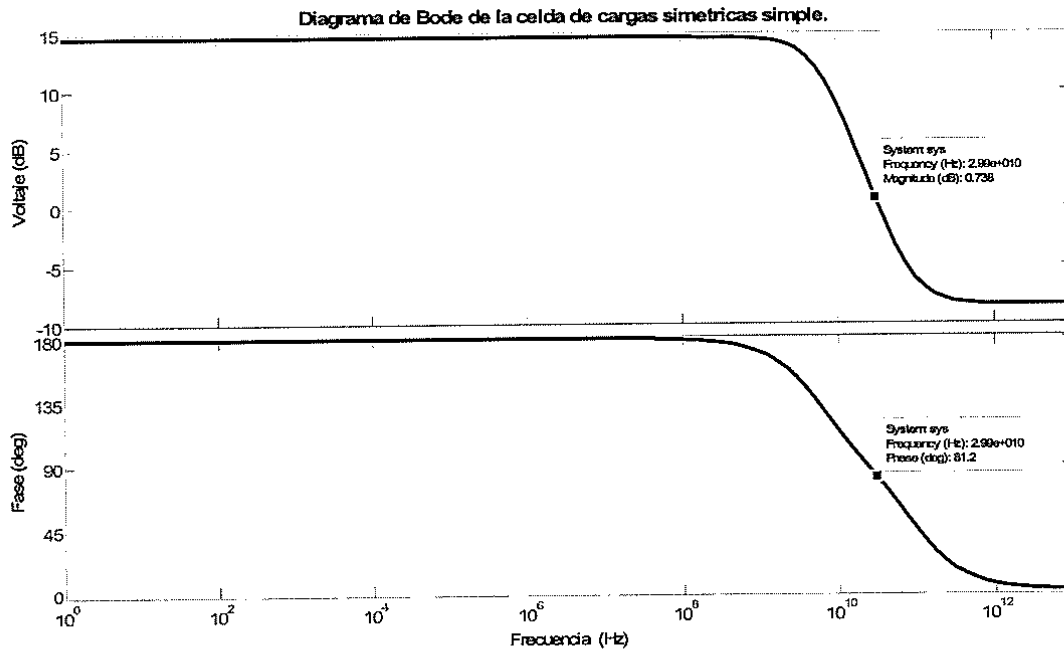


Figura 4.4 Diagrama de Bode de la función de transferencia de la celda de cargas simétricas.

Como se verá mas adelante, esta grafica, tiene un ancho de banda mayor al que muestran las simulaciones de HSPICE, este es un resultado esperado ya que no se toman en cuenta en la función de transferencia algunas de las capacitancias parásitas del sistema.

4.3 Construcción y simulación del oscilador de cargas simétricas.

Con el análisis cualitativo de la celda, finalmente se procedió a la construcción del oscilador de cargas simétricas simples, llevando a cabo como primer paso, la construcción de la celda de retardo; el diseño de dicha celda se muestra a en la Figura 4.5.

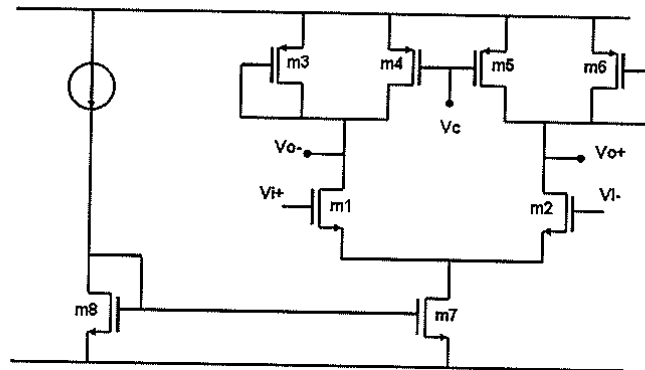


Figura 4.5 Diseño de la celda de Cargas simétricas.

Las características de diseño este circuito se muestran en la Tabla 1.

Voltaje de alimentación	3.3V
Corriente de Polarizacion	0.5mA
Voltaje de control	1.35V
M1,M2	W=22 μ L=0.4 μ
M3,M4,M5,M6	W=5.5 μ L=0.4 μ
M7,M8	W=58 μ L=0.9 μ

Tabla 4.1 Parámetros de diseño de la celda de cargas simétricas.

En la Figura 4.6 se muestra la simulación en HSPICE de la celda de cargas simétricas, donde se puede ver una ganancia máxima en banda plana de

14.3 dB y un polo dominante una frecuencia de 1.2 Ghz. También se puede observar que se tiene un cambio en fase de 96.42° a la frecuencia de ganancia unitaria.

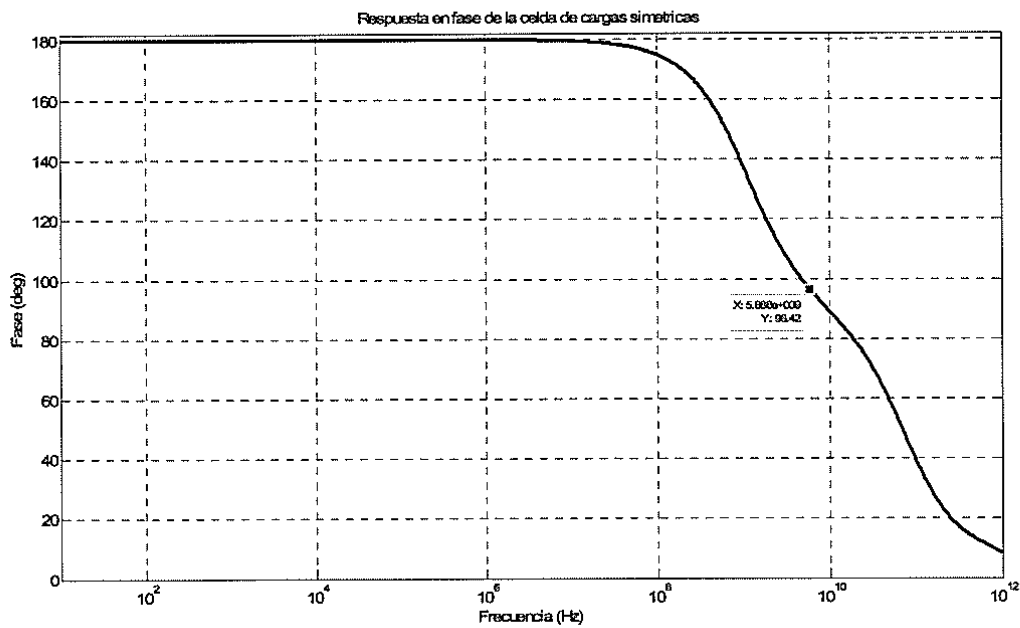
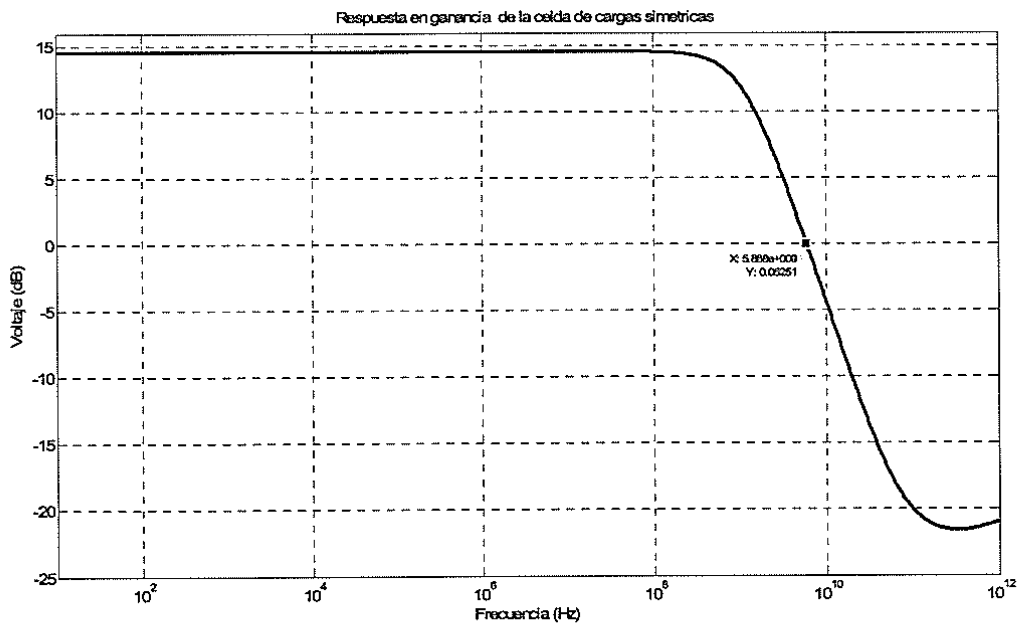


Figura 4.6 Márgenes de fase y de ganancia de la celda de cargas simétricas.

Cabe hacer mención que el margen de fase es medido con respecto a la frecuencia de ganancia unitaria, por lo que hay que considerar que a pesar de que los criterios de Barkhausen están definidos para dicha frecuencia, en la práctica, el cumplimiento estricto de estos criterios lleva a un problema conocido como deficiencia de ganancia [22].

La posición de los polos del sistema se muestra en la Figura 4.7. Esta gráfica fue obtenida de la función de transferencia de la celda de cargas simétricas y procesada en Matlab. Esta gráfica muestra un polo en el lado izquierdo del plano complejo y un cero en el plano derecho. La posición del polo del lado izquierdo es muy cercano al origen, lo cual, indica que el circuito, aunque presenta estabilidad, tiende a ser inestable. Resultado que es esperado, ya que una vez construido un oscilador de 4 etapas, el polo pasa al lado derecho del sistema produciendo oscilaciones crecientes.

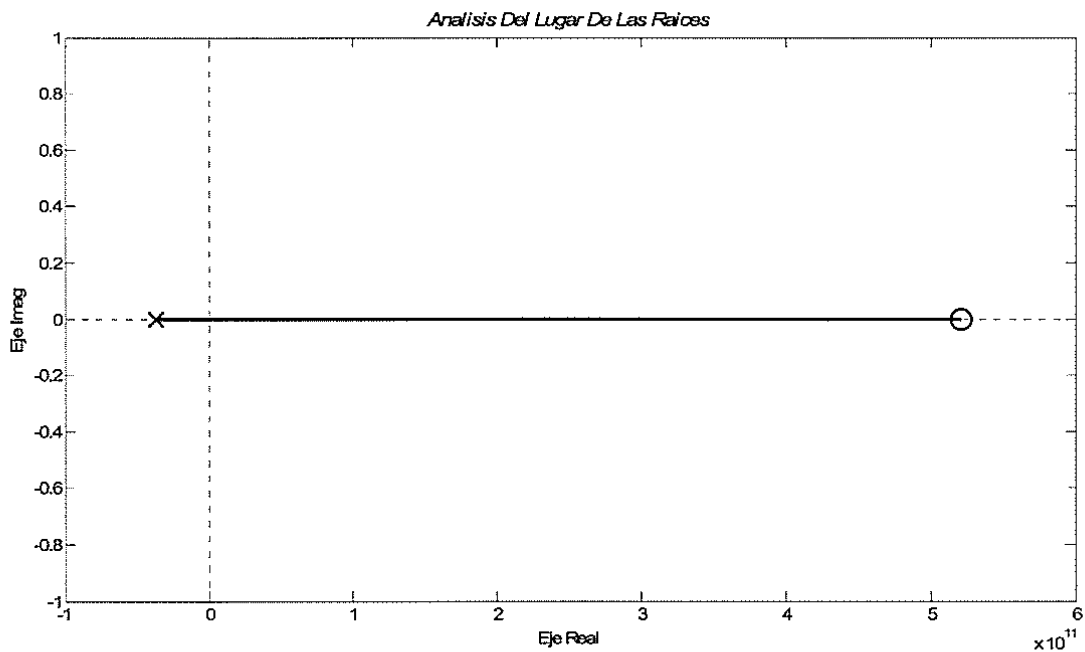


Figura 4.7 Análisis del lugar de las raíces de la celda de cargas simétricas.

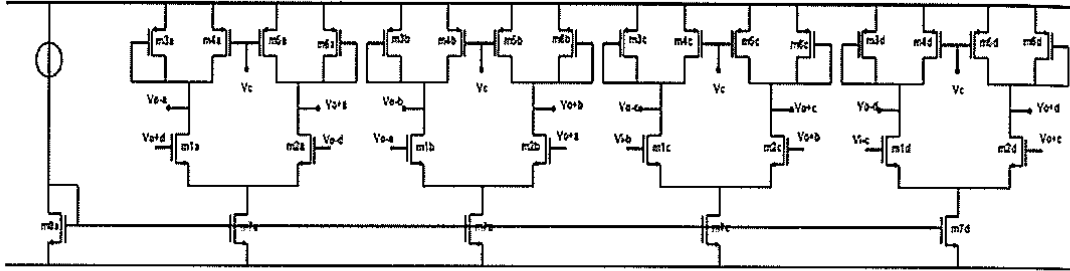


Figura 4.8 Diagrama a nivel transistor de la construcción del oscilador de cargas simétricas.

La construcción del anillo del oscilador de la Figura 4.8, invierte la conexión de la última etapa con la primera etapa para evitar que dicho oscilador se comporte como un latch.

4.3.1 Resultados.

Curva de transferencia:

La curva de transferencia es graficada para un rango de frecuencias que van de los 120MHz a los 900MHz, utilizando un voltaje de alimentación de 3.3V. La Figura 4.9 muestra la gráfica de la función de transferencia del oscilador (voltaje de control vs. frecuencia de oscilación).

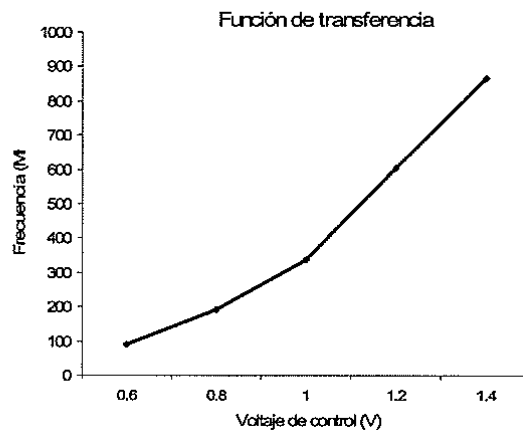


Figura 4.9 Función de transferencia del oscilador de 4 etapas.

Consumo de potencia:

La Figura 4.10 muestra el consumo de potencia, el cual tiene un incremento exponencial a medida que la frecuencia de oscilación incrementa.

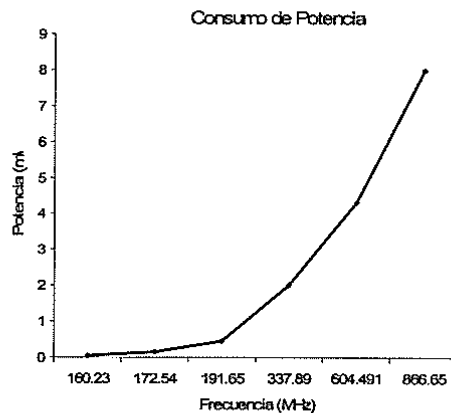


Figura 4.10 Potencia promedio del oscilador de 4 etapas con celdas de cargas simétricas.

Estimación del ruido de fase.

La estimación analítica del ruido de fase del oscilador de cargas simétricas simple de 4 etapas se llevó a cabo usando los modelos presentados en la sección 3.5.

Según, el modelo de Razavi, la función que describe el ruido es para un oscilador de anillo de 4 etapas esta dada por:

$$8kT \frac{R(1+\sqrt{2})}{12} \left(\frac{\omega_0}{\Delta\omega} \right)^2$$

Considerando 4 fuentes de ruido no correlacionadas se tiene según el modelo presentado en la Figura 3.17:

$$16kT \frac{R(1+\sqrt{2})}{3} \left(\frac{\omega_0}{\Delta\omega} \right)^2$$

Dividiendo sobre la potencia de la portadora:

$$\mathcal{L}\{\Delta\omega\} = 10 \cdot \log \left[32kT \frac{R(1+\sqrt{2})}{3V_{swing}^2} \left(\frac{\omega_0}{\Delta\omega} \right)^2 \right]$$

Sustituyendo los valores indicados se tiene una estimación de ruido de fase de 97.54dBc/Hz.

Aplicando el modelo de Hajimiri:

$$\mathcal{L}\{\Delta\omega\} = 10 \log \left(\frac{\Gamma_{rms}^2}{q_{max}^2} \cdot \frac{\overline{i_n^2}/\Delta f}{2 \cdot \Delta\omega^2} \right)$$

Considerando que el oscilador tiene iguales tiempos de subida y bajada se tiene que el valor RMS de la función sensibilidad al impulso esta dada por:

$$\Gamma_{rms} \approx \sqrt{\frac{2\pi}{3\eta^3}} \cdot \frac{1}{N^{1.5}}$$

Donde:

$\overline{i_n^2}/\Delta f$, es una fuente de ruido de valor aleatorio.

$\Delta\omega^2$, es la frecuencia de offset a la cual se medirá el ruido de fase.

η , es un factor de ajuste adimensional, que para tecnología CMOS es de 0.9.

N es el número de etapas del oscilador.

Sustituyendo los valores indicados, la cantidad de ruido de fase estimada es de 96.99dBc/Hz.

Lo cual resulta insuficiente para las especificaciones dadas por el estándar DVB-H, por lo cual, este oscilador no puede ser aplicado para dicho

estándar, haciendo necesario optimizar esta característica que resulta ser la más crítica. Es decir, aunque el oscilador de cargas simétricas presenta un comportamiento aceptable en cuanto a linealidad, consumo de potencia y rango de entonado; el desempeño en ruido de fase hace a que la aplicación de dicho oscilador no sea conveniente para el estándar DVB-H.

4.4 Construcción de celdas de cargas simétricas degeneradas en fase.

En esta sección se presenta la construcción de la celda de cargas simétricas degenerada en fase. El diseño de esta etapa, representa las bases de funcionamiento del oscilador, por lo que, a lo largo de esta sección, se analizará la respuesta en fase de la celda propuesta, con la finalidad, de ver la utilidad que dichas celdas tienen en la construcción de osciladores de pocas etapas. También, se describirá cualitativamente el funcionamiento que cada elemento de las redes de degeneración tiene sobre el sistema, así como también se lleva a cabo el análisis de pequeña señal de la celda degenerada en fase, que permite obtener una descripción de la misma en forma cuantitativa. Además, se justifica el uso de transistores de compuerta cuasi flotante describiendo las consideraciones tomadas en el diseño de las mismas, y el funcionamiento de estas.

4.4.1 Diseño de los transistores de compuerta cuasi flotante.

El uso de transistores de compuerta cuasi flotante QFGT [30] surge con la necesidad de diseñar circuitos de bajo voltaje; sin embargo, en el desarrollo de esta tesis, el uso de este tipo de transistores no fue enfocado al diseño en bajo voltaje; en lugar de esto, se aprovechó la capacidad de estos

transistores de trabajar con múltiples entradas, que a su vez, son ponderadas de acuerdo a las relaciones entre los capacitores.

El principio básico de operación de un transistor de compuerta cuasi flotante de múltiples entradas, es que la n-ésima entrada de control a la compuerta es capacitivamente acoplada. De esta forma, el voltaje a la compuerta es el promedio ponderado de los voltajes de entrada de AC determinada por las relaciones de las capacitancias.

Estos transistores son muy parecidos a los transistores de compuerta flotante, ahora bien, la elección de transistores de compuerta cuasi flotante fue debida a que los transistores de compuerta flotante, presentan problemas como: baja ganancia, debido a su estructura se pueden encerrar cargas en el momento de su fabricación, un diseño mas complicado, entre otros. Dentro de las principales diferencias se pueden mencionar que, mientras el punto de polarización de DC no es fijado para transistores de compuerta flotante, en el QFGT un resistor de un valor muy elevado es conectado a la compuerta del transistor, fijando el punto de operación. Aunque una desventaja se podría presentar al construir este resistor, se puede hacer uso de la corriente de fuga de la unión P-N de un transistor MOS en corte. Es decir, se puede hacer uso de un MOSFET en conexión en diodo polarizado en inversa en lugar del dicho resistor, como se muestra en la Figura 4.12 [31].

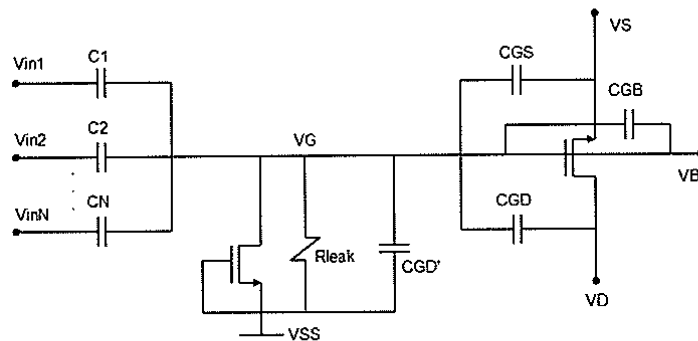


Figura 4.11 Esquemático de un transistor de compuerta cuasi flotante.

De acuerdo al circuito equivalente de la Figura 4.12, el voltaje en la compuerta está dada por:

$$V_G = V_{in} \frac{R_{leak} \cdot C_T}{1 + R_{leak} \cdot C_T} \quad (4.13)$$

donde:

$$C_T = \left(\sum_{j=1}^N C_i + C_{GD} + C_{GB} + C_{GS} + C_{GD} \right) \quad (4.14)$$

De aquí, C_T es la capacitancia total y C_i es la capacitancia de acoplamiento de la i -ésima entrada. Haciendo la sustitución correspondiente se tiene:

$$V_{IN} = \frac{1}{C_T} \left(\sum_{j=1}^N C_i V_{IN} + C_{GD} V_D + C_{GB} V_B + C_{GS} V_S \right) \quad (4.15)$$

El resultado anterior muestra que el QFGT se comporta como un ponderador de señales, el cual está determinado por la relación de capacitancias parásitas y de acoplamiento. En cuanto al diseño del transistor, este obedece a la ecuación de primer orden de la corriente de los MOS convencionales y el diseño es idéntico al de un transistor MOS convencional, siendo la única restricción de diseño el que los capacitores de entrada de dicho transistor deben ser al menos 5 veces mayores que las capacitancias parásitas del transistor.

4.4.2 Diseño del seguidor de voltaje.

El seguidor de voltaje usado para la construcción de la celda propuesta de retardo se muestra en la Figura 4.10 [29], donde los transistores M1 y M2 son implementados como un par diferencial con la función de seguidor de voltaje teniendo las mismas relaciones de aspecto. Los transistores M3 y M5 son fuentes de corriente, mientras M4 es el transistor de ganancia del lazo. El capacitor C_c es utilizado como elemento de compensación. Para reducir el

offset de corriente, se introdujo el transistor M7b, que junto con M7a son acoplados a M1 y M3 respectivamente, la función de M3 y M7a es incrementar la impedancia de salida del transistor M1, lo que a su vez incrementa la ganancia de dicho transistor, y debido a que la impedancia de salida del circuito en lazo abierto en el dren de M2 se encuentra definida como el cociente de la resistencia de salida de M2 en lazo abierto sobre la ganancia en lazo abierto, el incremento en la ganancia reduce la impedancia de salida del circuito.

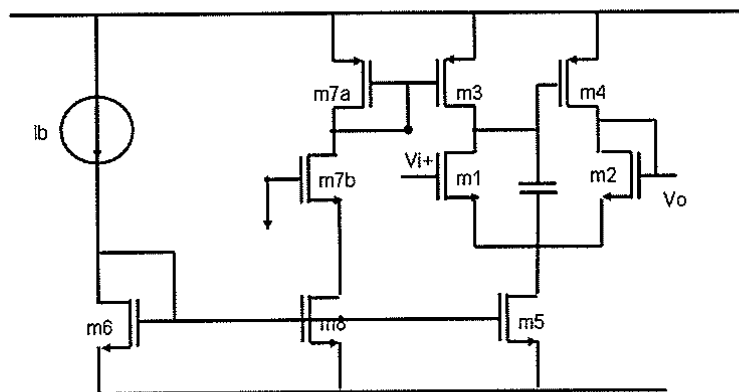


Figura 4.12 Seguidor de voltaje.

Las características del seguidor de voltaje se muestran en la Tabla 2.

Voltaje de alimentación	3.3V
Corriente de Polarización	60 μ A
M1,M2	W=10.5 μ L=0.35 μ
M3,M4, M7a	W=10.5 μ L=0.6 μ
M5	W=3.6 μ L=0.35 μ
M6, M8	W=1 μ L=0.35 μ
M7b	W=3 μ L=0.35 μ
Cc	5fF

Tabla 4.2 Características de diseño del seguidor de voltaje.

La función de transferencia del circuito esta dada por:

$$A(S) = \frac{A_o}{1 + \frac{C_c}{g_{m1,2}}s + \frac{C_c C_L}{g_{m1} g_{m4}}s^2} \quad (4.11)$$

Mientras que la resistencia de salida esta dada por:

$$r_o = \frac{g_{d1,2} + 2g_{d3}}{g_{m1,2} g_{m4}} \quad (4.12)$$

La respuesta de este circuito se muestra en la Figura 4.11. Este circuito presenta un ancho de banda de 1.1GHz y presenta una ganancia de 3.1 dB, lo cual es conveniente para el rango de frecuencias al que va a operar el oscilador.

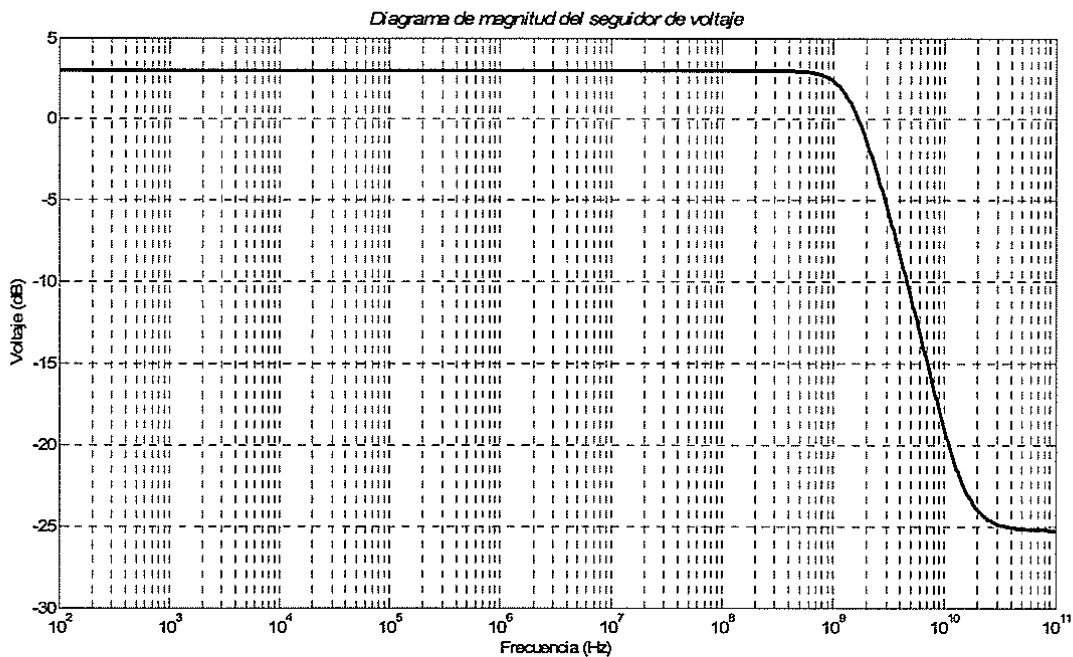


Figura 4.13 Respuesta en frecuencia del seguidor de voltaje.

4.4.3 Implementación de las redes de degeneración.

Las redes de degeneración son trayectorias de retroalimentación, que modifican la fase del sistema, y actúan en el circuito de la siguiente forma: En el circuito se trazan 2 trayectorias de retroalimentación a la carga las cuales son posibles mediante el uso de transistores de compuerta cuasi flotante, una de estas retroalimentaciones es positiva, y la otra negativa, debido a las características del transistor de compuerta cuasi flotante, las cantidades retroalimentadas se pueden ponderar, dando mayor peso a una u otra retroalimentación dependiendo de las necesidades de inestabilidad del sistema. De acuerdo con la ponderación de las señales, la posición de los polos en la función de transferencia puede cambiar de tal modo que la fase del sistema cambia, cambiando la estabilidad de la celda, esto debido al capacitor de acoplamiento que hay en cada trayectoria de retroalimentación; este movimiento en los polos de la celda es similar al comportamiento de que tienen los polos cuando se lleva a cabo compensación Miller, con la diferencia que en el caso de compensación Miller, el polo dominante se acerca al origen, separando la posición de los polos en el sistema para tener un sistema mas estable, sin embargo con las retroalimentaciones presentadas, lo que se busca obtener, es el acercamiento de los polos de tal forma que el sistema sea inestable, por lo que se podría decir que se induce una descompensación en el sistema. La celda de cargas simétricas degenerada en fase, se muestra en la Figura 4.12

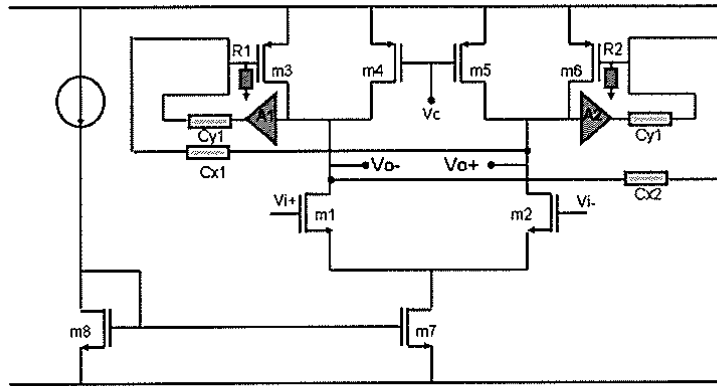


Figura 4.14 Celda de cargas simétricas degenerada en fase.

De la Figura 4.12, C_{x1} , C_{x2} , C_{y1} y C_{y2} , son los capacitores de acoplamiento del QFGT, los cuales, como se verá más adelante, tienen la función de ponderar las cantidades de retroalimentación, permitiendo modificar las condiciones de estabilidad de la celda. Las resistencias $R1$ y $R2$; deben ser de valor muy elevado (de aquí el nombre de transistores de compuerta cuasi flotante), ya que aunque la compuerta no se fija a ningún riel de alimentación, existe una conexión a un voltaje de DC mediante resistores externos de muy elevada resistencia, dichos resistores fijan el punto de operación de los transistores de compuerta cuasi flotante.

Como se puede ver, esta celda es una modificación de la celda de cargas simétricas, a la cual se le agrega en lugar del transistor conectado en diodo, un transistor de compuerta cuasi flotante el cual, retroalimenta las ramas de salida de la celda. El funcionamiento de los transistores de compuerta cuasi se explica con mayor profundidad en la sección 4.4.2. El dimensionamiento de la celda propuesta obedece a las reglas de dimensionamiento presentadas en la sección 4.2.1.1 para el caso de la celda de cargas simétricas simple.

Análisis en AC.

La función de transferencia de la celda propuesta fue obtenida mediante los análisis presentados en el capítulo anterior, y los resultados de ésta se muestran a continuación:

$$\frac{(gm_1 - SCgd_1)}{S^2(Cgd_1Cgd_3k_1 - Cgd_1Cgd_3k_2) + S(-Cgd_4 - gm_1Cgd_3k_1 + gm_1Cgd_3k_2 - Cgd_1gm_3k_1 + Cgd_1gm_3k_2) + (-go_1 - go_4 + gm_1gm_3k_1 - gm_1gm_3k_2)} \quad (4.16)$$

Donde los polos están dados por:

$$wp_1 = -\frac{1}{[(-Cgd_1gm_3 - Cgd_3gm_1)(k_1 - k_2) - Cgd_4]} \quad (4.17)$$

$$wp_2 = \frac{[(-Cgd_1gm_3 - Cgd_3gm_1)(k_1 - k_2) - Cgd_4]}{[(Cgd_1Cgd_3)(k_1 - k_2)]} \quad (4.18)$$

En estas ecuaciones, K_1 y K_2 representan las constantes dadas por la relación de las capacitancias de acoplamiento de los transistores de compuerta cuasi flotante de la ecuación (4.15). Como se puede ver, estas constantes se tienen efecto sobre la posición de los polos de tal forma que estos pueden moverse de su posición original dependiendo del valor de dichos capacitores.

El diagrama de Bode de la ecuación 4.16 fue procesado en Matlab y se muestra en la Figura 4.13, se puede observar que existe un cambio en la posición de los polos del sistema con respecto al mostrado en la Figura 4.4, lo cual muestra que la fase de dicha celda puede ser modificada mediante la aplicación de las redes de degeneración, Es decir, aunque los osciladores

presentados en este y trabajo no fueron diseñados bajo las condiciones mostradas en la Figura 4.13, esta figura muestra que, bajo la aplicación de las redes propuestas, se pueden manipular las condiciones de estabilidad del sistema.

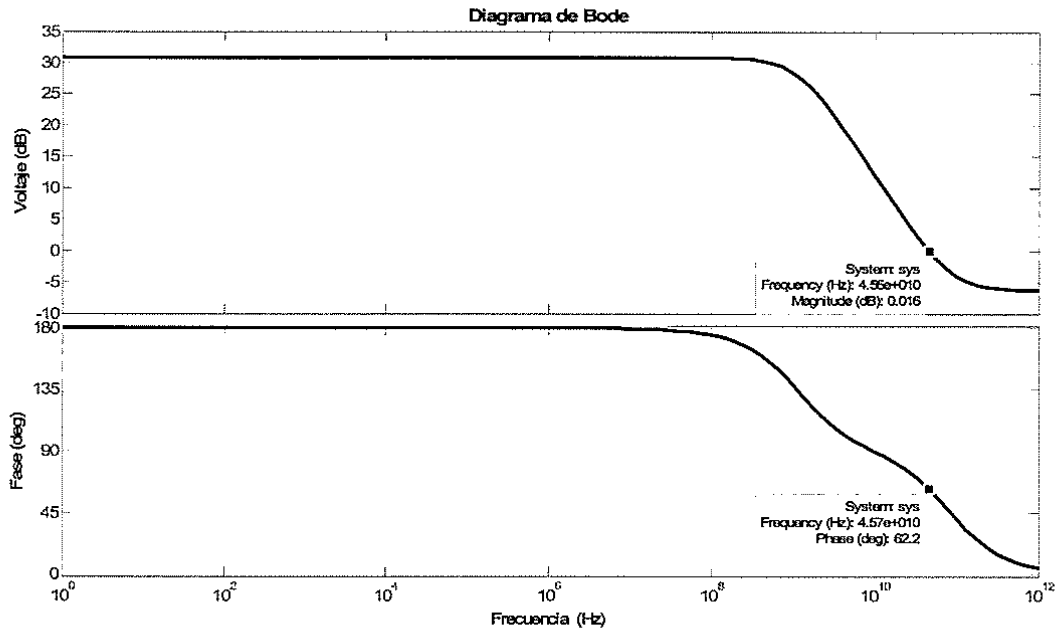


Figura 4.15 Diagrama de Bode de la función de transferencia de la celda de cargas simétricas degenerada en fase.

Los resultados mostrados en la Figura 4.13, mostraron analíticamente en una primera instancia la viabilidad de la aplicación de las redes propuestas, para modificar las condiciones de estabilidad del sistema.

En la Figura 4.14 se presenta la simulación en HSPICE de la celda propuesta, la cual muestra un comportamiento muy parecido al revelado en los análisis.

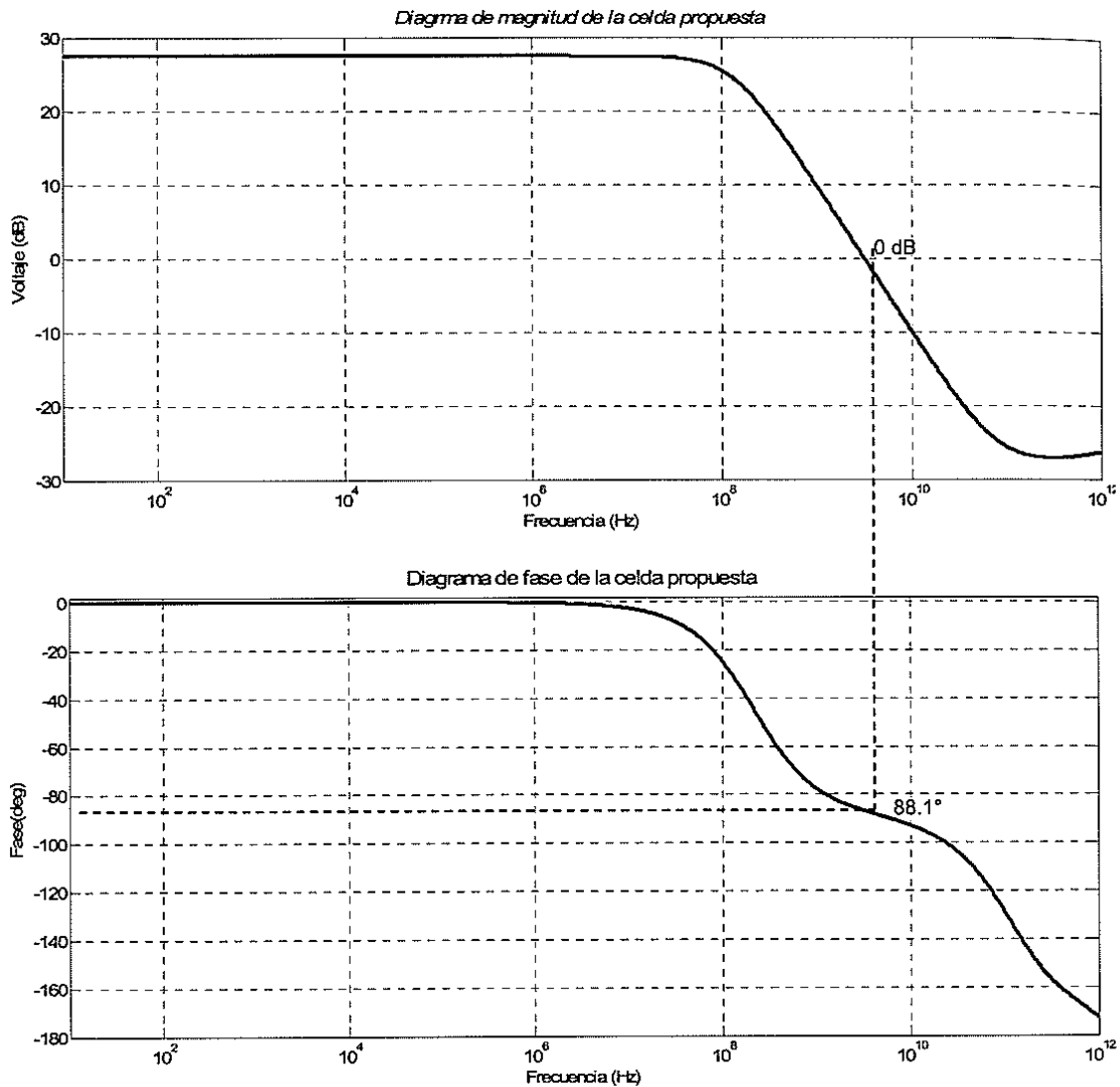


Figura 4.16 Simulación de la respuesta en frecuencia en HSPICE de la celda de cargas simétricas degenerada en fase.

La localización de los polos en el plano complejo de la celda propuesta, se muestra en la Figura 4.15, el cual muestra que la existencia de polos en el lado derecho de plano complejo así como también un polo y cero en el origen lo cual indica que el sistema es inestable.

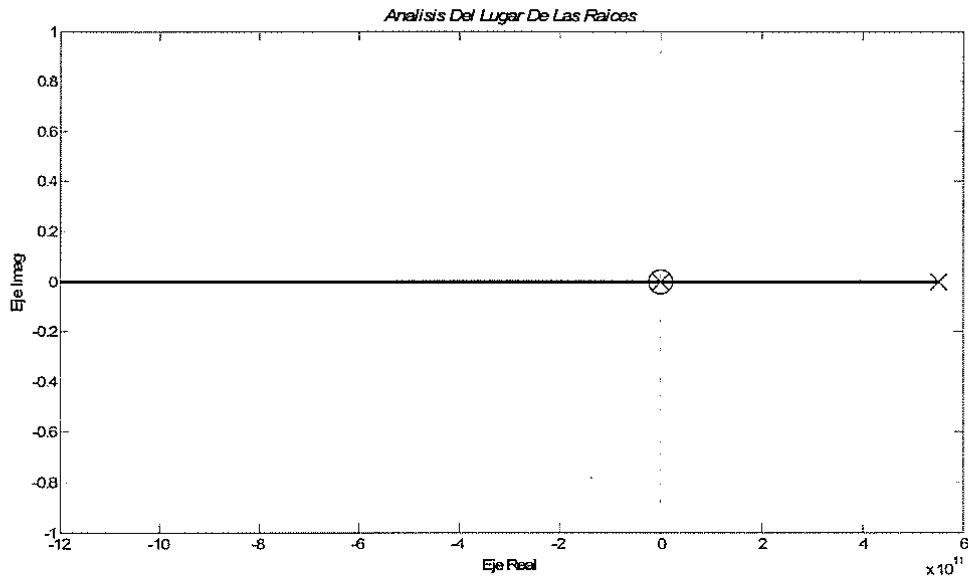


Figura 4.17 Análisis del lugar de las raíces de la celda de cargas simétricas degenerada en fase.

Finalmente en la Figura 4.16, se muestra una familia de curvas de las graficas de magnitud y fase, las cuales muestran el efecto que las redes de compensación tienen a variaciones de los capacitores de acoplamiento del transistor de compuerta cuasi flotante.

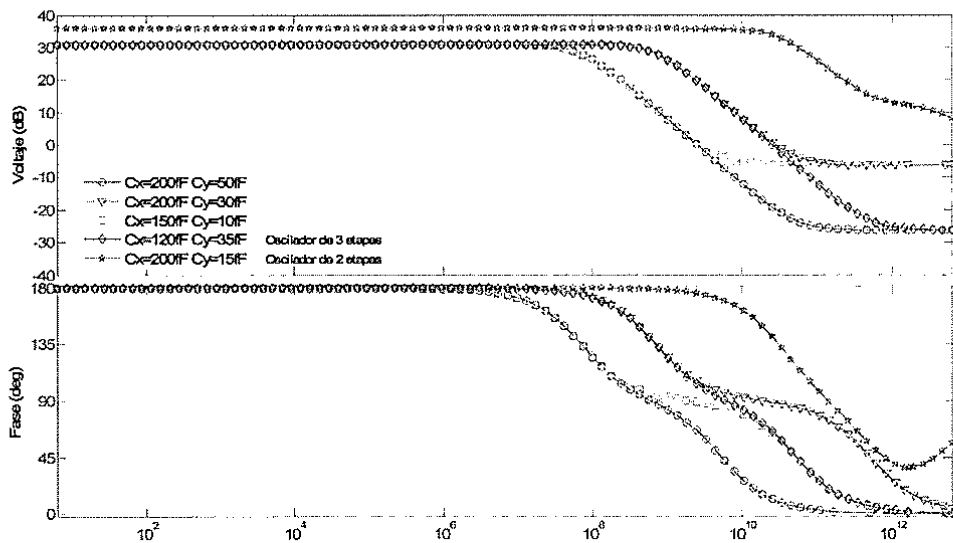


Figura 4.18 Familia de curvas de la celda de cargas simétricas degenerada en fase a variaciones de los capacitores de acoplamiento de los QFGT's.

En la Tabla 4.3 se muestra el margen de fase y ganancia para diferentes valores de los capacitores de acoplamiento.

Valor de los capacitores de acoplamiento	Margen de fase	Ganancia
Cx=200fF Cy=50fF	90°	12.81dB
Cx=200fF Cy=30fF	90°	5.03dB
Cx=150fF Cy=10fF	90°	3.22dB
Cx=120fF Cy=35fF	90°	12.55dB
Cx=200fF Cy=15fF	90°	19.14dB

Tabla 4.3 Cambio de fase del sistema a variaciones de capacitores de acoplamiento..

4.5 Construcción y simulación del VCO de 3 etapas.

Una vez demostrado que la aplicación de las redes de degeneración efectivamente inducen el cambio en fase suficiente para construir un oscilador de un número de etapas menor a 4, se llevo a cabo la construcción del oscilador de 3 etapas, el diagrama a bloques de este se muestra en la Figura 4.17.

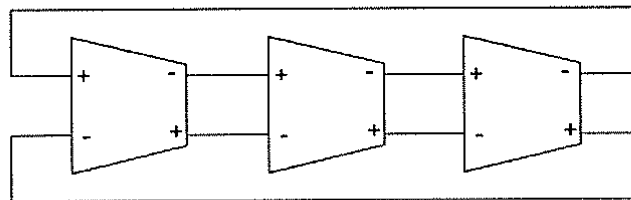


Figura 4.19 Diagrama esquemático del oscilador de 3 etapas usando la celda de cargas simétricas degenerada en fase.

El diagrama esquemático a nivel transistor del oscilador propuesto de 3 etapas se muestra en la Figura 4.21.

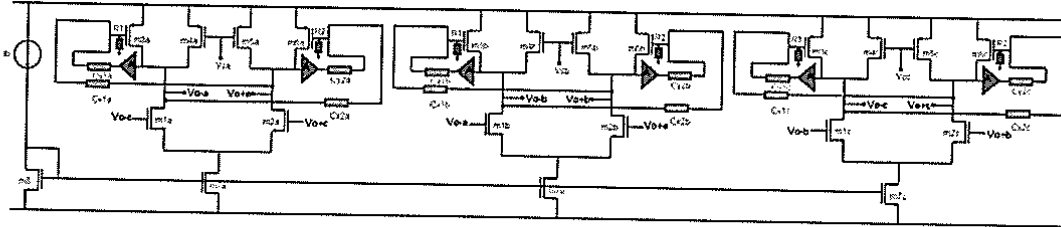


Figura 4.20 Diagrama a nivel transistor del oscilador de 3 etapas propuesto.

Las características de diseño de la celda de retardo del oscilador de 3 etapas se muestran en la Tabla 4.3.

Vdd	3.3V
Id	500 μ A
Vc	1.5V-3.5V
Cx	120fF
Cy	10fF
M3, M6	W=10 μ L=0.35 μ
M1, M2	W=45 μ L=0.4 μ
M4, M5	W=4 μ L=0.5 μ
M8, M7	W=41 μ L=0.9 μ

Tabla 4.4 Características de diseño de la celda de retardo del oscilador de 3 etapas.

4.5.1 Consideraciones de diseño del VCO.

La frecuencia de oscilación del oscilador de 3 etapas puede ser derivada de la frecuencia del polo dominante de la siguiente forma [32]:

$$\omega_{osc} = \tan\left(\frac{\pi}{N}\right) \cdot \omega_{3dB} \quad (4.19)$$

La condición de ganancia mínima, que implica que esta debe ser mayor a 1 a la frecuencia de oscilación, la cual esta dada por:

$$A_o = gmR_L \geq \sqrt{1 + \tan\left(\frac{\pi}{N}\right)^2} \quad (4.20)$$

De esta forma, se puede determinar la frecuencia al la cual, de acuerdo al diseño, el circuito oscilará. La respuesta en frecuencia de la celda de cargas simétricas degenerada en fase usada en el diseño del transistor de 3 etapas se muestra en la Figura 4.22.

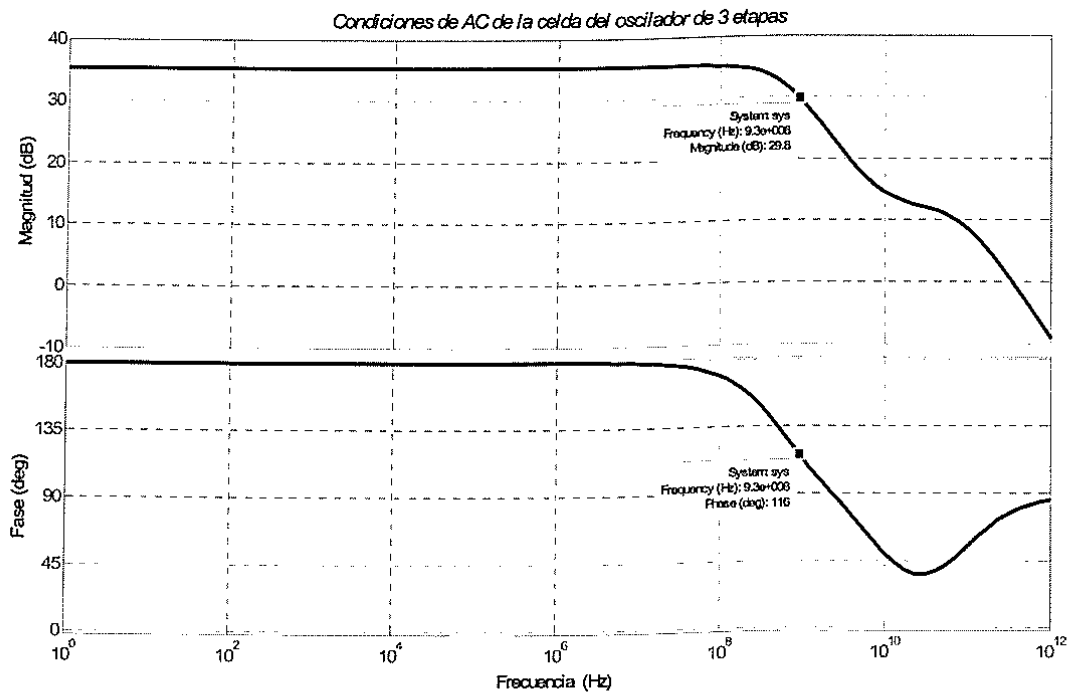


Figura 4.21 Margen de ganancia y fase de la celda de cargas del oscilador de 3 etapas.

En donde el cambio en fase de 60° necesario a una ganancia suficiente se obtiene a una frecuencia de 930 Mhz, es decir, a esta frecuencia se cumple con los criterios de Barkhausen siendo dicha frecuencia, la frecuencia de oscilación.

4.5.2 Resultados.

El desempeño del oscilador de 3 etapas propuesto en el presente trabajo, fue cuantificado en términos del análisis transitorio, curva de transferencia, la densidad espectral de potencia y el análisis de Montecarlo. Esto con la finalidad de conocer el desempeño en cuanto a frecuencia máxima de oscilación, linealidad, ruido de fase y variación de parámetros de proceso.

Análisis transitorio. La Figura 4.23 muestra la grafica del análisis transitorio en HSPICE del oscilador. La frecuencia de oscilación del circuito es de 645 MHz. A esta frecuencia el circuito presenta una excursión de salida de 300 mV.

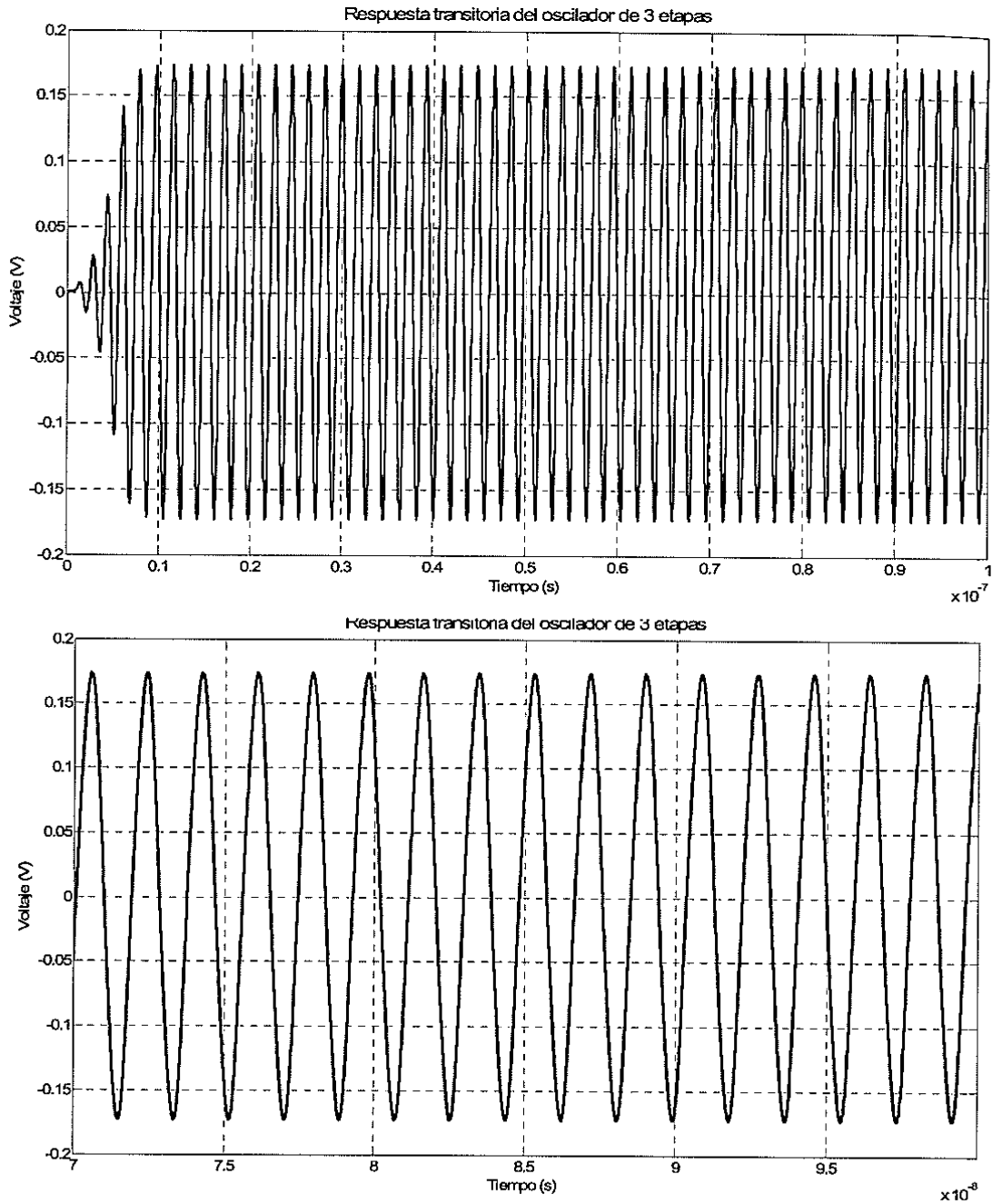


Figura 4.22 Análisis transitorio del oscilador de 3 etapas propuesto.

La Figura 4.24. Muestra la grafica de la función de transferencia del oscilador de 3 etapas. El rango de entonado va de los 450 MHz a 750MHz.

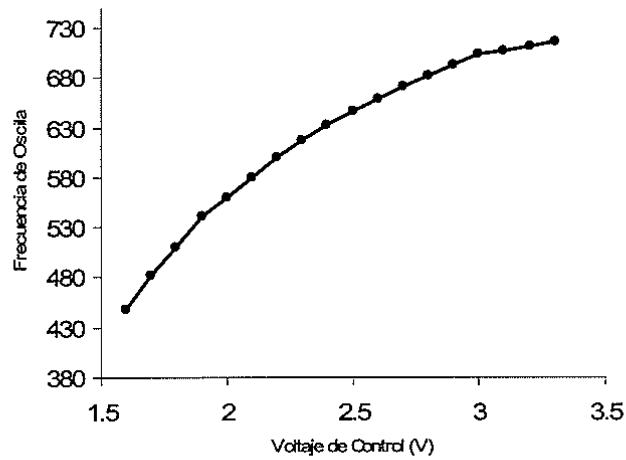


Figura 4.23 Gráfica de la función de transferencia del oscilador de 3 etapas propuesto.

Comportamiento Térmico: La grafica de la Figura 4.25 muestra el comportamiento térmico de la función de transferencia a temperaturas típicas de trabajo de 0° 25° y 50°.

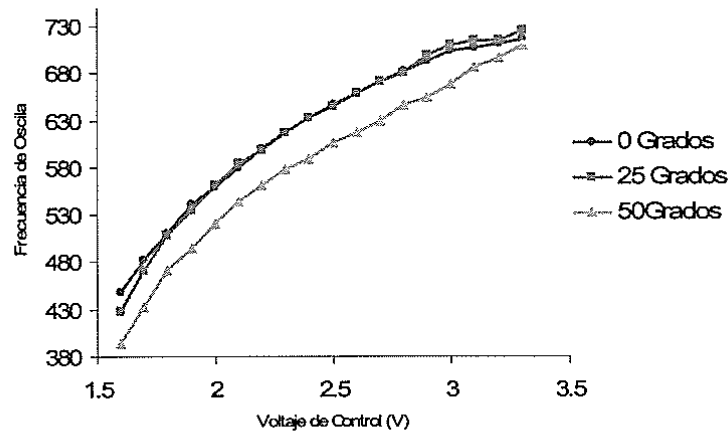


Figura 4.24 Comportamiento de la función de transferencia a variación de temperatura del oscilador de 3 etapas propuesto.

Consumo de potencia: El consumo de potencia promedio se muestra en la gráfica de la Figura 4.26.

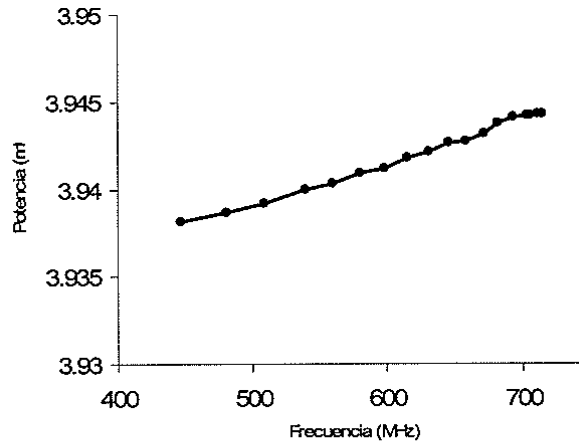


Figura 4.25 Consumo de potencia promedio del oscilador de 3 etapas propuesto.

Este análisis fue llevado en con el uso de las herramientas de HSPICE para todo el rango de entonado. Donde se puede ver que el consumo de potencia de este oscilador es menor debido al uso de un menor número de etapas.

El oscilador esta trabajando a una frecuencia de 651 Mhz, con la finalidad de que la descripción de la densidad espectral de potencia sea representativa del oscilador, para este análisis se tomaron 500000 muestras con un tiempo de paso de 0.01nS.

Finalmente se llevo a cabo la estimación analítica del ruido de fase del oscilador de 3 etapas.

Aplicando, el modelo de Razavi, se tiene que la función que describe el ruido es para un oscilador de anillo de 3 etapas esta dada por:

$$8kT \frac{R}{9} \left(\frac{\omega_0}{\Delta\omega} \right)^2$$

Considerando 3 fuentes de ruido no correlacionadas se tiene:

$$24kT \frac{R}{9V_{swing}^2} \left(\frac{\omega_0}{\Delta\omega} \right)^2$$

Dividiendo sobre la potencia de la portadora:

$$\mathcal{L}\{\Delta\omega\} = 10 \cdot \log \left[16kT \frac{R}{3V_{swing}^2} \left(\frac{\omega_0}{\Delta\omega} \right)^2 \right]$$

Sustituyendo los valores indicados se tiene una estimación de ruido de fase de $104.3dBc/Hz$.

Aplicando el modelo de Hajimiri:

$$\mathcal{L}\{\Delta\omega\} = 10 \log \left(\frac{\Gamma_{rms}^2}{q_{max}^2} \cdot \frac{\overline{i_n^2}/\Delta f}{2 \cdot \Delta\omega^2} \right)$$

Considerando que el oscilador tiene iguales tiempos de subida y bajada se tiene que el valor RMS de la función sensibilidad al impulso esta dada por:

$$\Gamma_{rms} \approx \sqrt{\frac{2\pi}{3\eta^3}} \cdot \frac{1}{N^{1.5}}$$

Sustituyendo los valores indicados, la cantidad de ruido de fase estimada es de $107.3dBc/Hz$.

El desempeño de ruido de este oscilador cumple con los requisitos del estándar DVB-H en la estimación de Hajimiri.

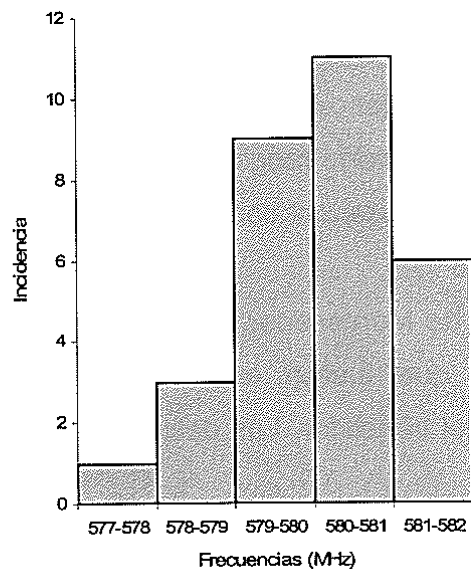
Análisis de Montecarlo. El análisis de Montecarlo se realizó en HSPICE. Los resultados de dicho análisis se llevaron a cabo en términos de la media, la desviación estándar y la variancia; así como un histograma que indica la incidencia de las señales en cierto rango. Dichos análisis, fueron procesados tanto para variaciones de frecuencia como de amplitud, y se muestran en la Tabla 4.4 y la Figura 4.28

Para realizar el análisis de Montecarlo, se usó del modelo de Pelgrom [33], donde las variaciones que fueron en el voltaje de umbral y en las dimensiones efectivas del transistor. Los datos obtenidos se muestran en la Tabla 4.1 [28].

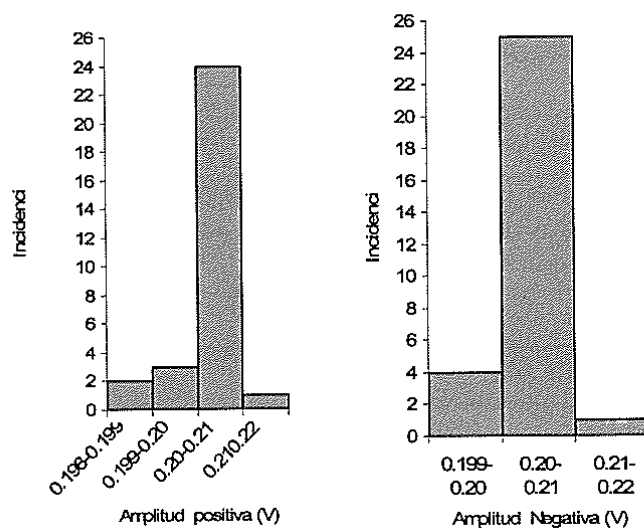
Parámetro	Resultado
Frecuencia central	581.39Mhz
Media (m)	580.046MHz
Desviación estándar (σ)	0.94769Mhz
Varianza (σ^2)	0.000973.4947Mhz
Amplitud Superior	0.2008 V
Media (m)	0.2035 V
Desviación estándar (σ)	0.0025 V
Varianza (σ^2)	0.0501 V
Amplitud Inferior	0.2002 V
Media (m)	0.2029 V
Desviación estándar (σ)	0.0024 V
Varianza (σ^2)	0.0487 V

Tabla 4.5 Parámetros del análisis de Montecarlo para el oscilador de 3 etapas.

La media es una medida de concentración, mientras que la varianza y la desviación estándar son medidas de dispersión, de tal manera que cuanto menores son estos parámetros mas agrupados se encuentran los valores en torno del valor central. El histograma de incidencia de variaciones se muestra en la Figura 4.28



a)



b)

c)

Figura 4.26 Histograma de incidencias para el oscilador de 3 etapas propuesto. a) Incidencia de frecuencias b) Incidencia de amplitud positiva c) Incidencia de amplitud negativa.

El resultado de la simulación en HSPICE se muestra en la Figura 4.29, en donde se puede observar que existen variaciones en la frecuencia, mientras que las variaciones en la amplitud fueron mínimas.

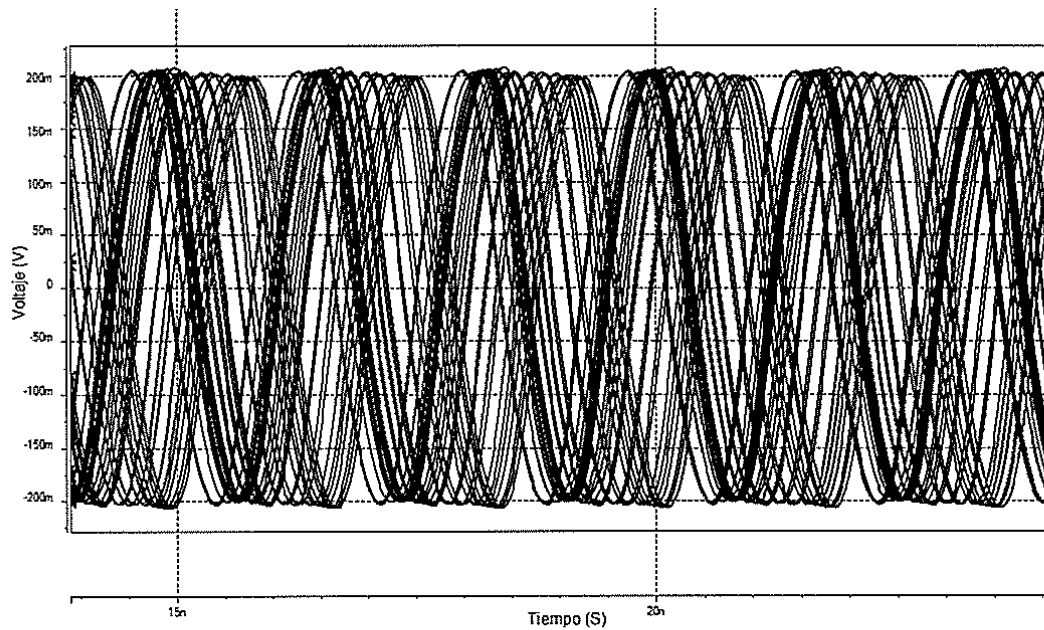


Figura 4.27 Gráfica del análisis de Montecarlo para el oscilador de 3 etapas propuesto.

4.6 Construcción y simulación del VCO de 2 etapas propuesto.

Con la finalidad de encontrar un VCO que presente un mejor comportamiento en ruido de fase, se construyó un oscilador de 2 etapas cuyo desempeño fue caracterizado en los mismos términos del oscilador de 3 etapas, el diagrama de bloques de este oscilador se muestra en la Figura 4.30.

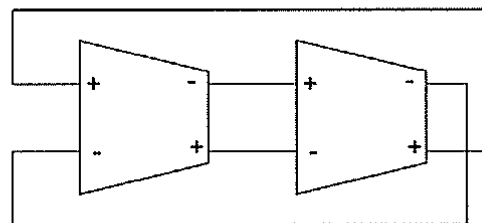


Figura 4.28 Diagrama de bloques del oscilador de 2 etapas propuesto.

El diagrama esquemático a nivel transistor del oscilador de 2 etapas, se muestra en la Figura 4.31.

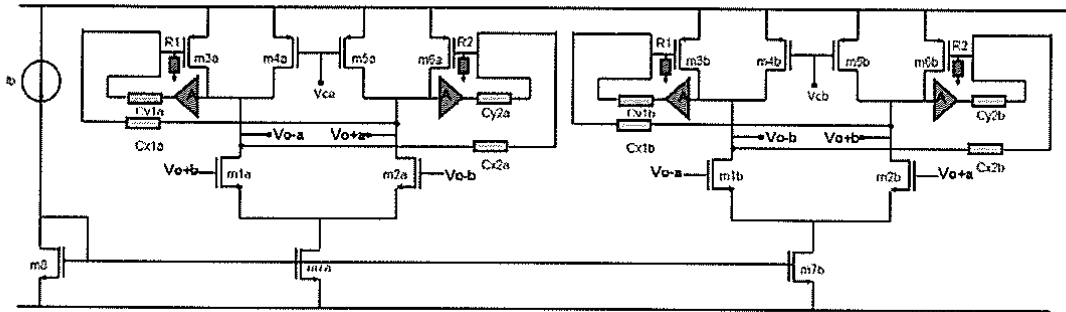


Figura 4.29 Diagrama de a nivel transistor del oscilador de 2 etapas propuesto.

Las características de diseño del oscilador de 2 etapas se muestran en la Tabla 4.5

Vdd	3.3V
Id	500 μ A
Vc	1.6V-2.9V
Cx	120fF
Cy	5fF
M3, M6	W=4 μ L=0.7 μ
M1, M2	W=55 μ L=0.8 μ
M4, M5	W=4 μ L=0.6 μ
M8, M7	W=18 μ L=0.4 μ

Tabla 4.6 Características de diseño del oscilador de 2 etapas.

La implementación de este oscilador fue posible gracias el uso de celdas diferenciales, donde las salidas de este, fueron invertidas para evitar el efecto de latch del oscilador.

4.6.1 Diseño del VCO

La aplicación del modelo lineal usado en el diseño del oscilador de 3 etapas, para encontrar la frecuencia de oscilación del circuito, no puede ser aplicado a un oscilador de 2 etapas, un análisis no lineal es más apropiado para determinar la frecuencia de oscilación. En el presente trabajo no se llevó a cabo este análisis, por lo que, en el diseño del oscilador de 2 etapas solo se aseguró cumplir con los criterios de Barkhausen y de esta forma, se construyó el oscilador. El margen de ganancia y fase del oscilador se muestra en la Figura 4.32, de esta figura se puede observar que para un cambio de fase de 94.2° se tiene una ganancia de 14.9dB.

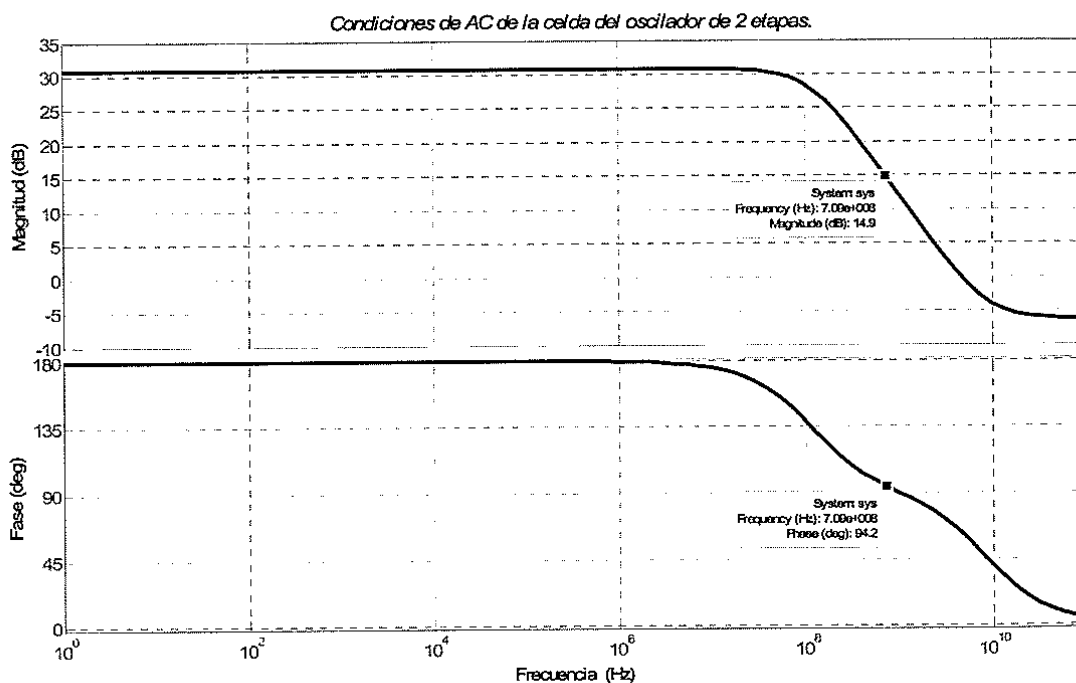
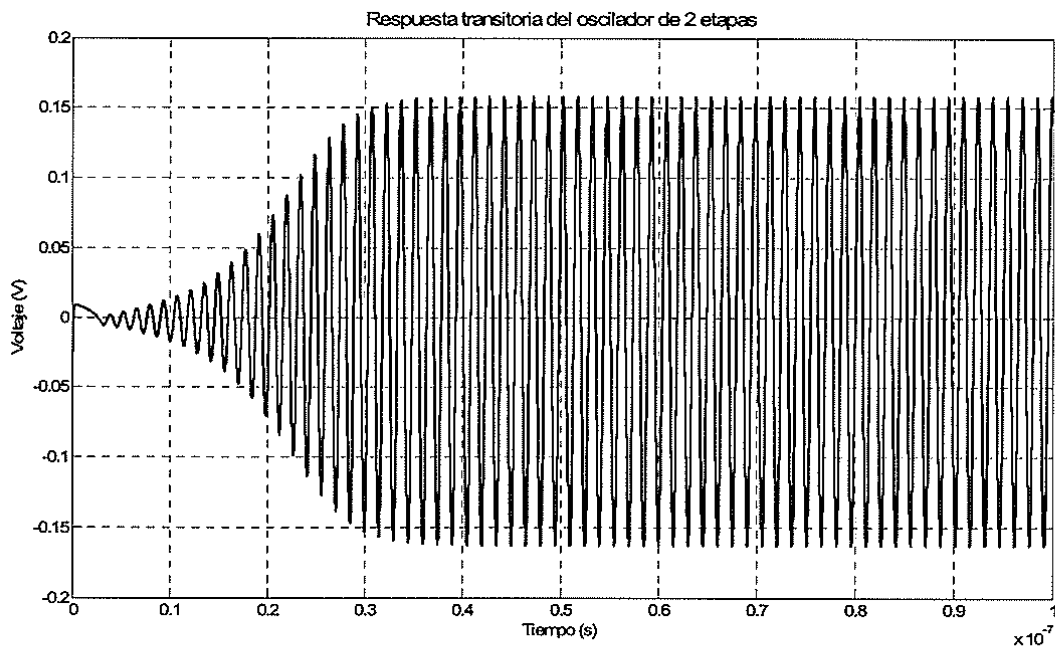


Figura 4.30 Diagrama de magnitud y fase del oscilador de 2 etapas propuesto.

4.6.2 Resultados.

De igual forma que en el caso del oscilador de 3 etapas, se llevó a cabo el análisis del desempeño del oscilador de 2 etapas en los mismos términos: análisis transitorio, curva de transferencia, la densidad espectral de potencia y el análisis de Montecarlo, de igual forma, con la finalidad de conocer el desempeño en cuanto a frecuencia máxima de oscilación, linealidad, ruido de fase y variación de parámetros de proceso.

Análisis transitorio. La Figura 4.33 muestra la gráfica del análisis transitorio en HSPICE del oscilador de 2 etapas, a una frecuencia de 649 MHz y una excursión de voltaje de 360mV pico pico.



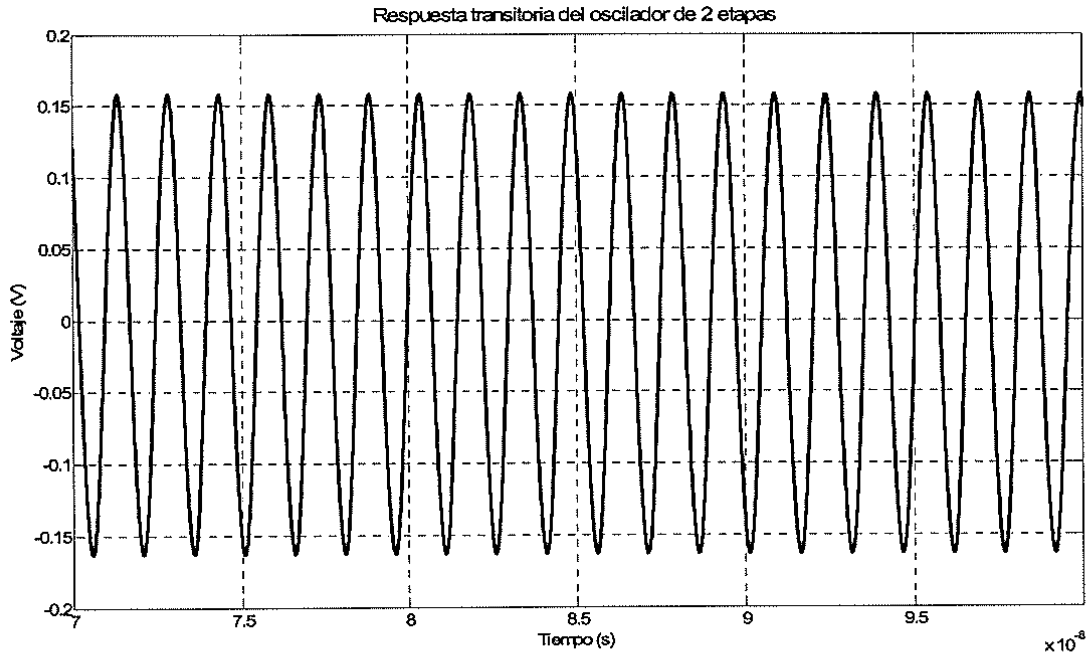


Figura 4.31 Análisis transitorio del oscilador de 2 etapas.

Función de transferencia. La gráfica de la función de transferencia del oscilador se muestra en la Figura 4.34 el rango de entonado de interés va desde 1.8 V hasta 2.8 V

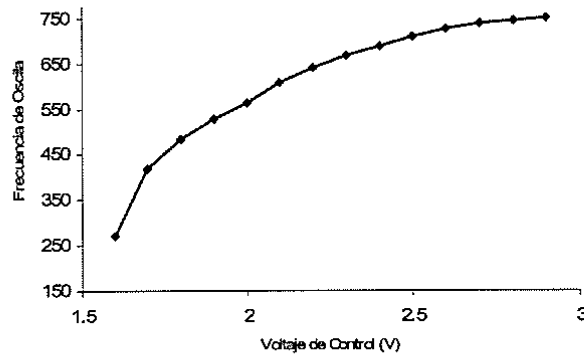


Figura 4.32 Gráfica de la función de transferencia del oscilador de 2 etapas.

Comportamiento Térmico: En la grafica de la Figura 4.35 se muestra el comportamiento térmico de la curva de transferencia, se comparó el funcionamiento de este oscilador a 0° 25° y 50°, el rango de frecuencias disminuye a media que la temperatura aumenta. Sin embargo esta reducción en el rango de frecuencias no es tan drástico como en el caso del oscilador de 3 etapas.

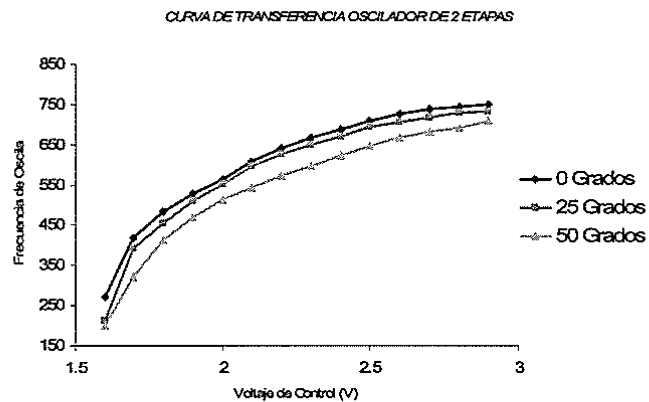


Figura 4.33 Comportamiento de la curva de transferencia a variación de temperatura.

Consumo de potencia: El consumo de potencia promedio se muestra en la grafica de la Figura 4.36, este análisis es llevado a cabo con las herramientas de HSPICE a lo largo de todo el rango de entontado. El consumo de potencia de este oscilador es ligeramente menor que el consumo que presenta el oscilador de 3 etapas, sin embargo la principal característica de este oscilador, es que el consumo promedio del mismo es mas uniforme que en el caso del oscilador de 3 etapas y mucho mas aún que en el caso del oscilador de cargas simétricas simples.

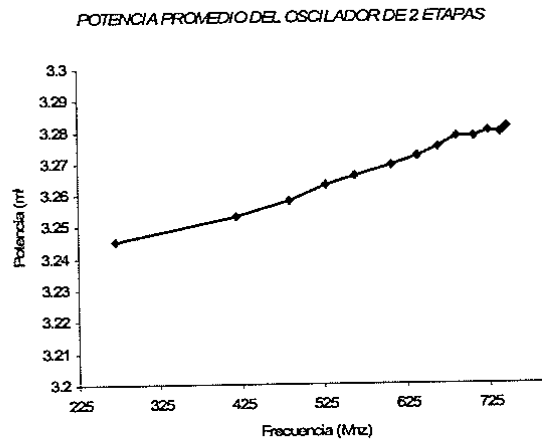


Figura 4.34 Consumo de potencia promedio del oscilador de 2 etapas.

Finalmente se presenta la estimación analítica del ruido de fase del oscilador de 2 etapas.

Aplicando, el modelo de Razavi, se tiene que la función que describe el ruido es para un oscilador de anillo de 4 etapas esta dada por:

$$8kT \frac{R}{4} \left(\frac{\omega_0}{\Delta\omega} \right)^2$$

Considerando 2 fuentes de ruido no correlacionadas se tiene:

$$16kT \frac{R}{4} \left(\frac{\omega_0}{\Delta\omega} \right)^2$$

Dividiendo sobre la potencia de la portadora:

$$\mathcal{L}\{\Delta\omega\} = 10 \cdot \log \left[8kT \frac{R(1+\sqrt{2})}{V_{swing}^2} \left(\frac{\omega_0}{\Delta\omega} \right)^2 \right]$$

Sustituyendo los valores indicados se tiene una estimación de ruido de fase de 107.47dBc/Hz .

Aplicando el modelo de Hajimiri:

$$\mathcal{L}\{\Delta\omega\} = 10 \log \left(\frac{\Gamma_{rms}^2}{q_{max}^2} \cdot \frac{\overline{i_n^2}/\Delta f}{2 \cdot \Delta\omega^2} \right)$$

Considerando que el oscilador tiene iguales tiempos de subida y bajada se tiene que el valor RMS de la función sensibilidad al impulso esta dada por:

$$\Gamma_{rms} \approx \sqrt{\frac{2\pi}{3\eta^3}} \cdot \frac{1}{N^{1.5}}$$

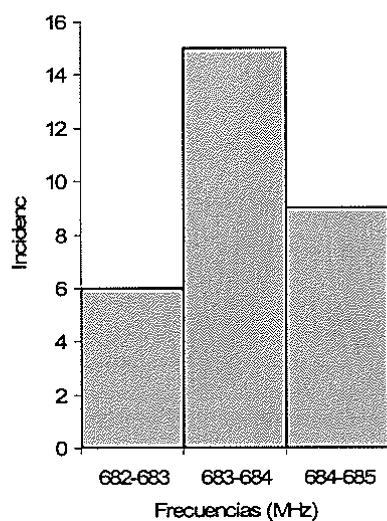
Sustituyendo los valores indicados, la cantidad de ruido de fase estimada es de 117.71dBc/Hz .

La estimación analítica del ruido de fase muestra que este oscilador ya cumple con las especificaciones dadas por el estándar DVB-H mostrando que la reducción del número de etapas del oscilador, efectivamente produce una disminución en la aportación de ruido del oscilador.

Análisis de Montecarlo. El análisis de Montecarlo se simuló en HSPICE la caracterización de dicho análisis se llevo a cabo en términos de la media, la desviación estándar y la variancia tanto para amplitud como para frecuencias. Los datos obtenidos se muestran en la Tabla 4.6; y el histograma de incidencias de frecuencia y amplitud se muestra en la Figura 4.38.

Parámetro	Resultado
Media (m)	683.526Mhz
Desviación estándar (σ)	0.83536Mhz
Varianza (σ^2)	0.009139783Mhz
Amplitud Superior	0.1260 V
Media (m)	0.1276 V
Desviación estándar (σ)	0.0029 V
Varianza (σ^2)	0.0534 V
Amplitud Inferior	0.1320 V
Media (m)	0.1325 V
Desviación estándar (σ)	0.0024 V
Varianza (σ^2)	0.0491 V

Tabla 4.7 *Parámetros del análisis de Montecarlo para el oscilador de 2 etapas.*



a)

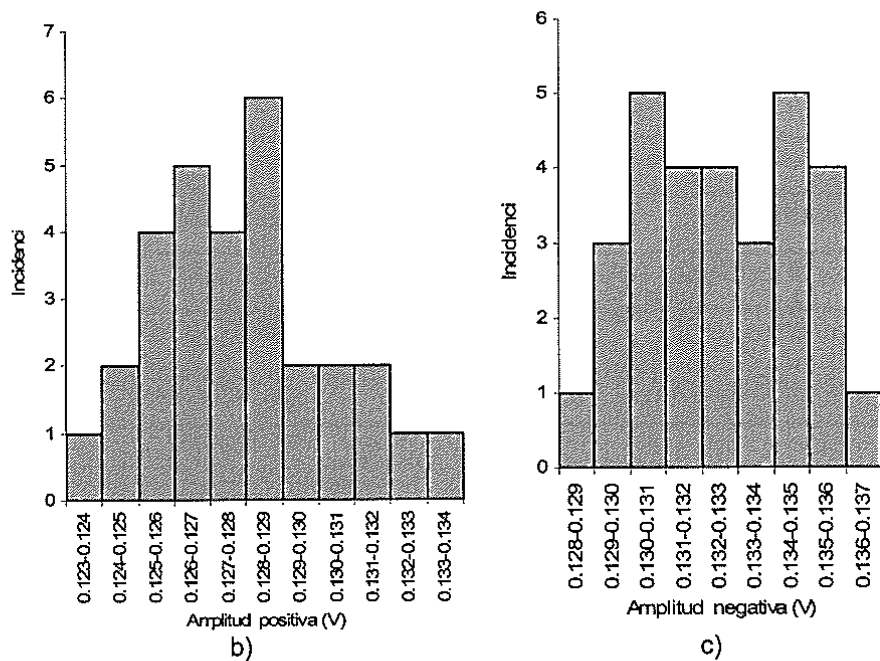


Figura 4.35 Histograma de incidencia para el oscilador de 2 etapas. a) Incidencia de frecuencias b) Incidencia de amplitud positiva c) Incidencia de amplitud negativa.

El resultado de la simulación, del análisis transitorio de Montecarlo en HSPICE se muestra en la Figura 4.39.

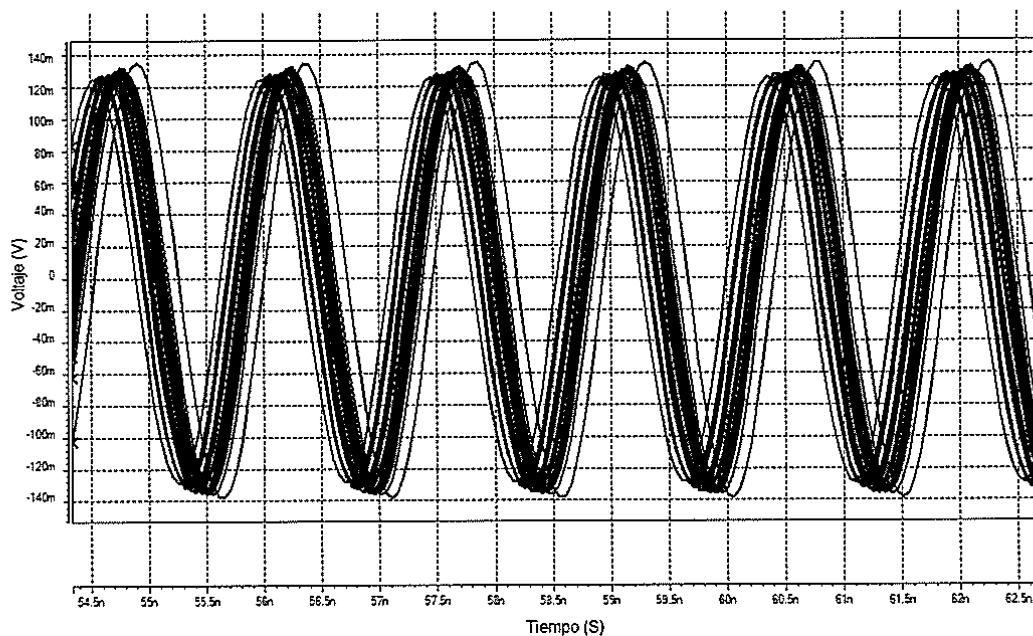


Figura 4.36 Graficas del análisis de Montecarlo para el oscilador de 2 etapas.

4.7 Construcción del patrón geométrico.

Finalmente se llevó a cabo la construcción del patrón geométrico para el oscilador de 2 y 3 etapas, llevado a cabo en tecnología AMIS de 0.35μ (proceso de doble pozo) haciendo uso del editor L-Edit. Esta tecnología, es un proceso de doble nivel de polisilicio, 5 niveles de metal, con capacidad para un voltaje de alimentación máximo de 3.3 V [34].

Las 2 principales características de este proceso, es que tiene capacitores de doble polisilicio de alta precisión así como resistores de polisilicio de un valor ohmico elevado de $1\text{ K}\Omega/\text{sq}$.

4.7.1 Consideraciones tomadas en la construcción de los patrones geométricos.

Dentro de las consideraciones generales tomadas en cuenta en la construcción del layout, se pueden mencionar:

1. El acoplamiento de los transistores.
2. Consideraciones para evitar el efecto de portadores calientes.
3. Protección de las etapas a inducción de parásitas y reducción del efecto de cuerpo.

Acoplamiento de los transistores: Para poder tener un mejor acoplamiento de los transistores, y evitar la aparición de efectos no deseados en el circuito; se tomaron las siguientes consideraciones:

- Diseño idéntico
- Orientación idéntica
- Dirección de corriente de fuente a dren idéntica

- Distancia entre transistores acoplados menor a 100 μ
- Idénticos alrededores.
- Evitar cruzar metales sobre transistores

Consideraciones para evitar el efecto de portadores calientes. Para evitar el efecto de portadores calientes, y con esto la degradación del sistema; en circuitos analógicos, se debe llevar a cabo el diseño considerando una longitud mínima del canal mayor a la mínima permitida por la tecnología, de esta forma el valor de la longitud mínima a diseñar, está dada por la Tabla 4.7.

vGS (V)	0.7 A	1.1	1.2	1.3	1.4 A	1.6 A	1.8 A	2.3A	2.5 A	2.7 A	3.5	3.63
vDS (v)	1				1.5	1.7	1.9	1.5	1.5	1.5		
2.5 a	0.35	0.35	0.35	0.35	0.35	0.35	0.35	0.35	0.35	0.35	0.35	0.35
2.8												
2.9	0.45	0.45	0.35	0.35	0.35	0.35	0.35	0.35	0.35	0.35	0.35	0.35
3.0	0.5	0.5	0.5	0.5	0.4	0.35	0.35	0.35	0.35	0.35	0.35	0.35
3.1	0.5	0.5	0.5	0.5	0.5	0.5	0.35	0.35	0.35	0.35	0.35	0.35
3.2	0.7	0.5	0.5	0.5	0.55	0.5	0.4	0.35	0.35	0.35	0.35	0.35
3.3	0.9	0.9	0.9	0.7	0.7	0.5	0.5	0.35	0.35	0.35	0.35	0.35
3.4	1.05	0.9	0.9	0.7	0.7	0.5	0.5	0.5	0.35	0.35	0.35	0.35
3.5	1.15	1.1	1.1	1.05	0.9	0.7	0.5	0.5	0.5	0.4	0.35	0.35
3.63	1.3	1.4	1.4	1.3	1.05	0.9	0.7	0.7	0.5	0.5	0.5	0.45

Tabla 4.8 Dimensiones mínimas de diseño para reducir efectos de portadores calientes.

La aplicación de las dimensiones dependientes de V_{gs} y V_{ds} , mostrados en la Tabla 4.7, garantiza un tiempo de vida del dispositivo mayor a 10 años según la guía de diseño de la tecnología [35].

Protección de las etapas a inducción de parasitas y reducción del efecto de cuerpo: La protección de etapas se llevó a cabo mediante la construcción de anillos de guarda que protegieran por separado las etapas de ganancia, así como las etapas de polarización y carga. Para reducir el efecto de cuerpo, cada transistor se construyó en su propio sustrato. La construcción del patrón geométrico de cada oscilador, se llevó a cabo tomando en cuenta las consideraciones anteriores.

4.7.2 Patrones geométricos del oscilador de 2 y 3 etapas.

La celda básica del oscilador de 3 etapas se muestra en la Figura 4.40.

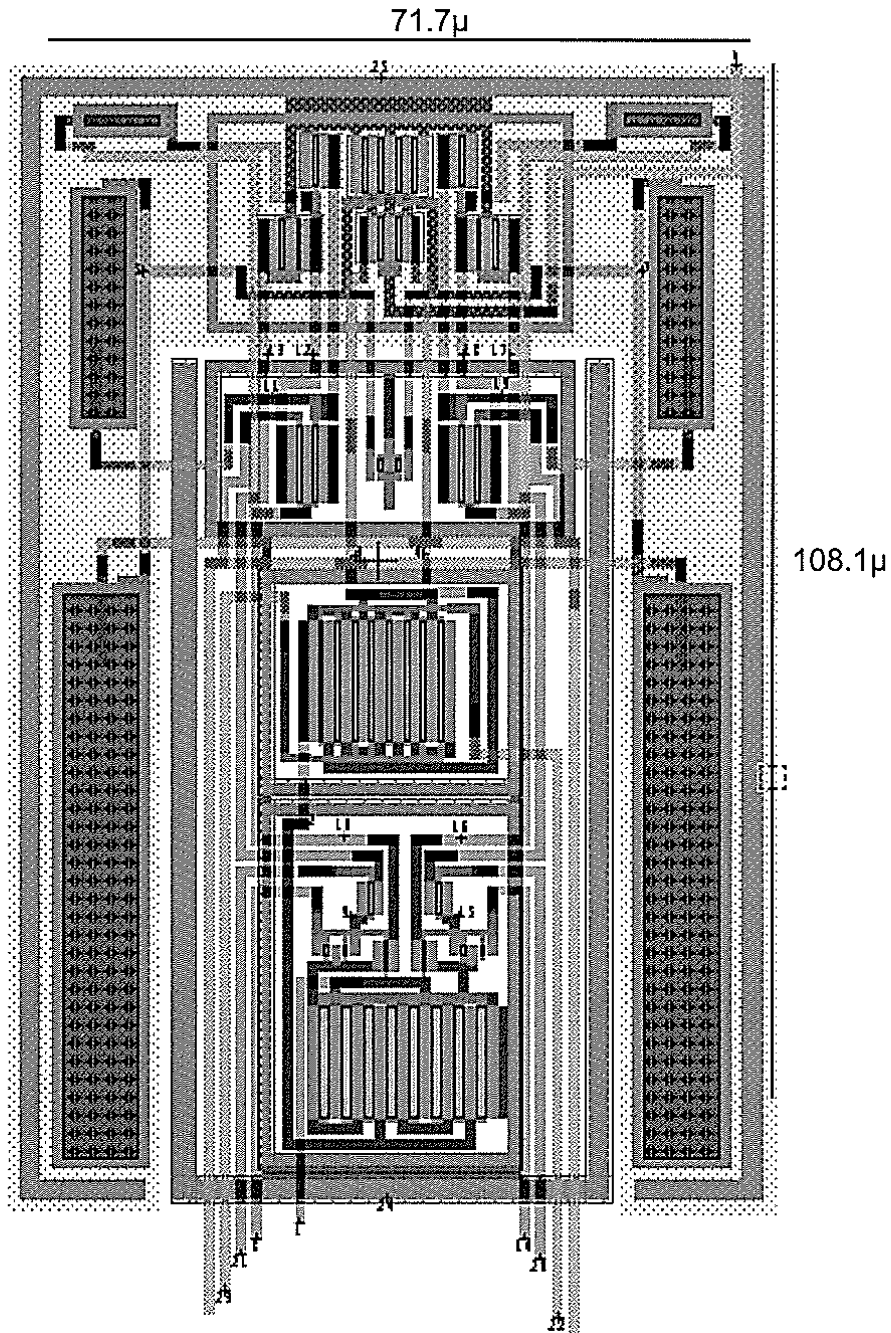


Figura 4.37 Layout de la celda de retardo propuesta del oscilador de 3 etapas.

La construcción del patrón geométrico del oscilador de 3 etapas se muestra en la Figura 4.41.

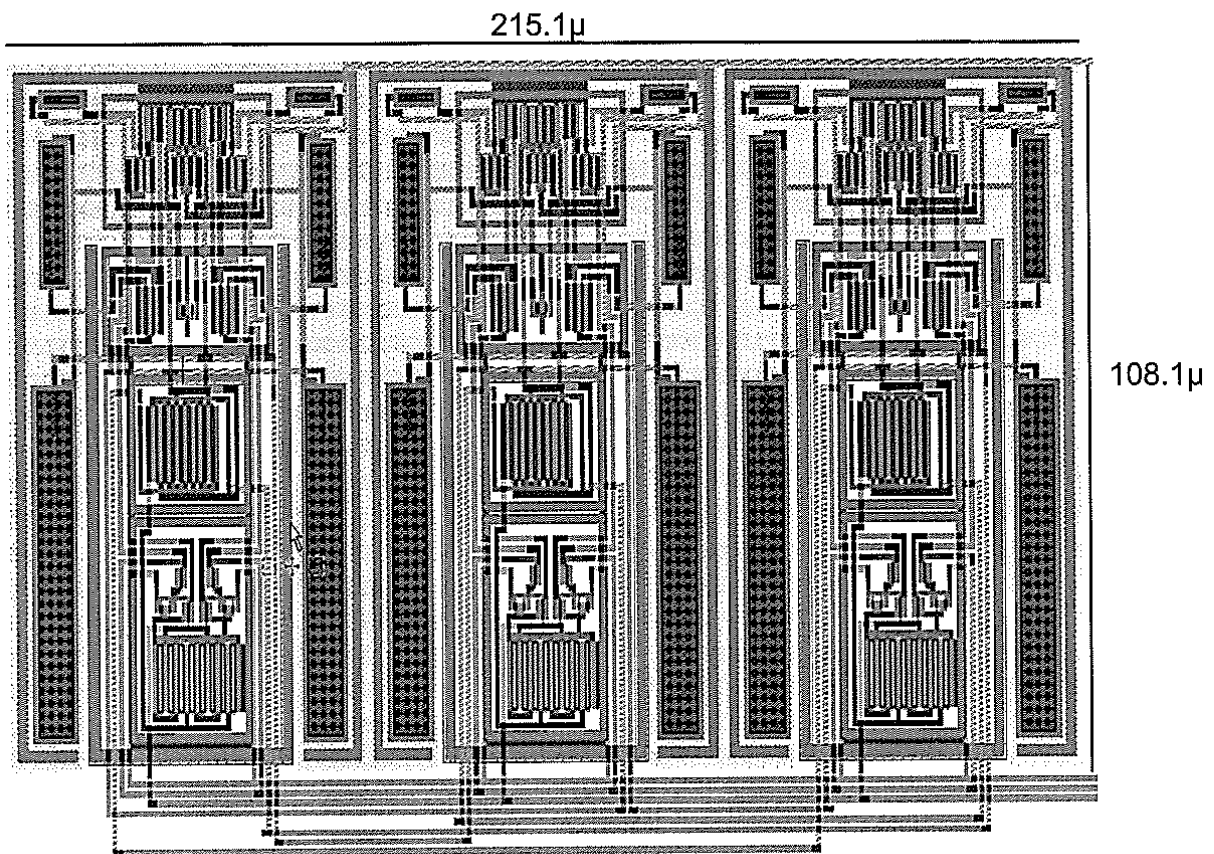


Figura 4.38 *Layout del oscilador de 3 etapas.*

EL patrón geométrico de la celda básica del oscilador de 2 etapas se muestra en la Figura 4.42.

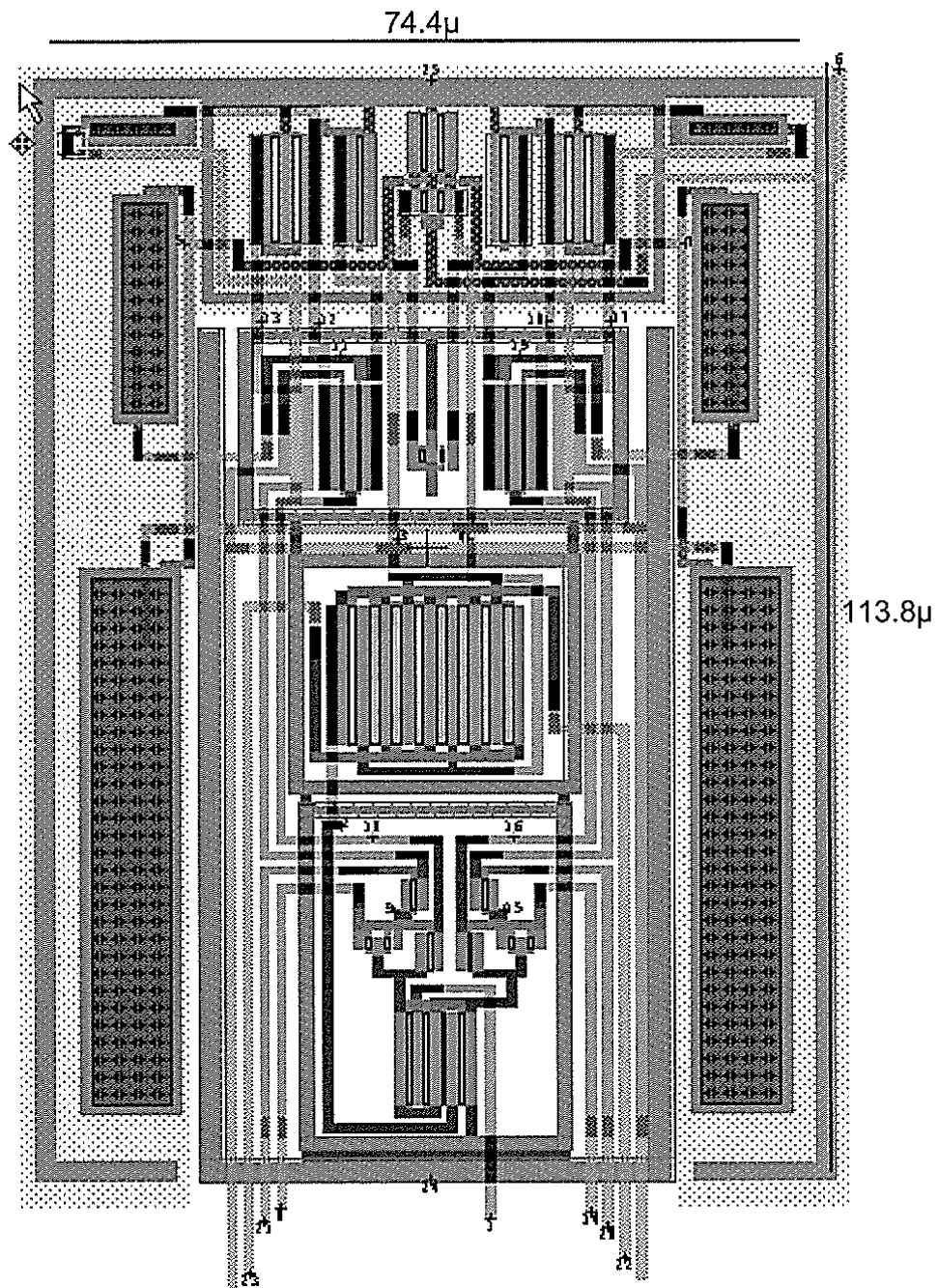


Figura 4.39 Layout de la celda de retardo del oscilador de 2 etapas.

La construcción del patrón geométrico del oscilador de 2 etapas se muestra en la Figura 4.43.

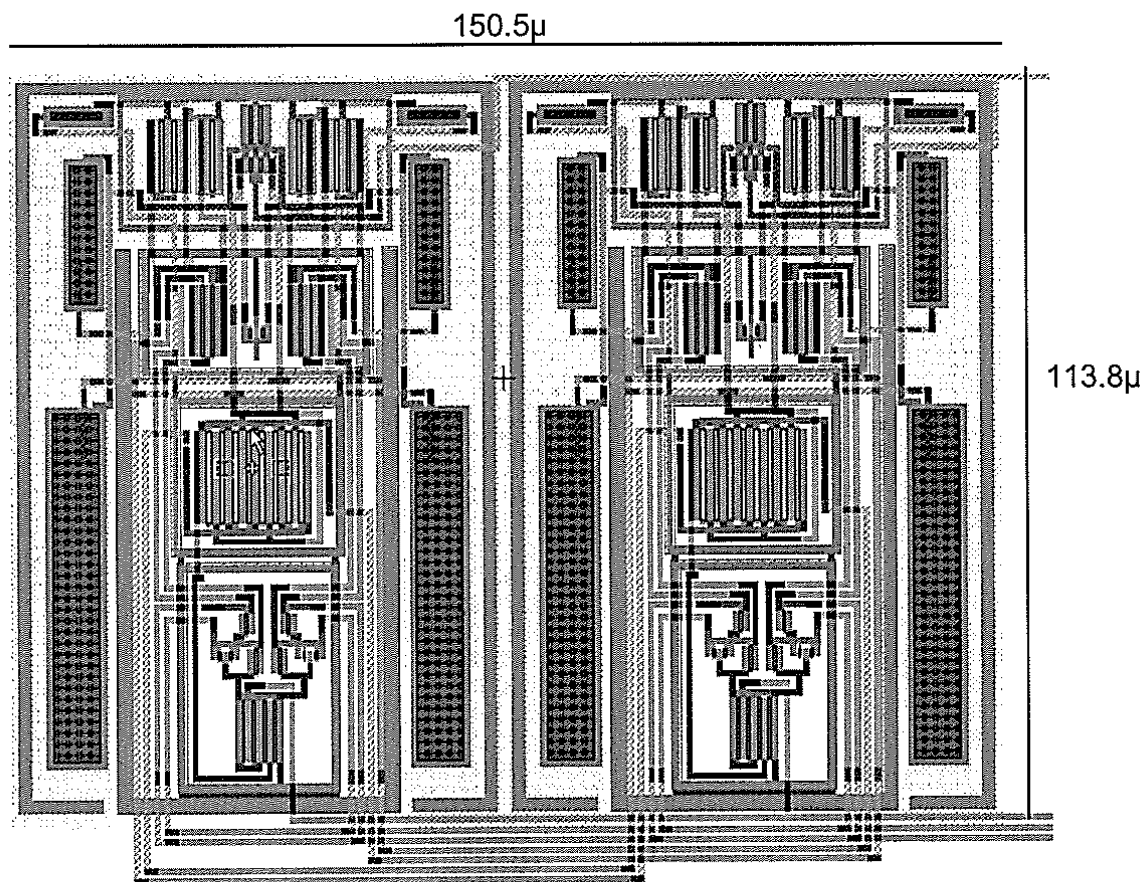


Figura 4.40 Layout del oscilador de 2 etapas.

4.8 Resimulación.

Finalmente, en esta sección se muestran los resultados del desempeño de los osciladores post-layout, en el que fueron consideradas las capacitancias parasitas implícitas en la construcción del mismo. El análisis transitorio fue llevado a cabo para una frecuencia de 650 Mhz para los 2 osciladores propuestos, y se lleva acabo la comparación de las gráficas de la curva de

transferencia, la respuesta a variación de la temperatura y el consumo de potencia para las simulaciones previas y posteriores a la construcción del patrón geométrico.

4.8.1 Oscilador de 3 etapas.

Análisis transitorio: Una vez construido el patrón geométrico, se llevo a cabo la simulación de la extracción de dicho patrón, para ver el efecto que las capacitancias parásitas tienen sobre el sistema, la simulación de la extracción del circuito se muestra en la Figura 4.44.

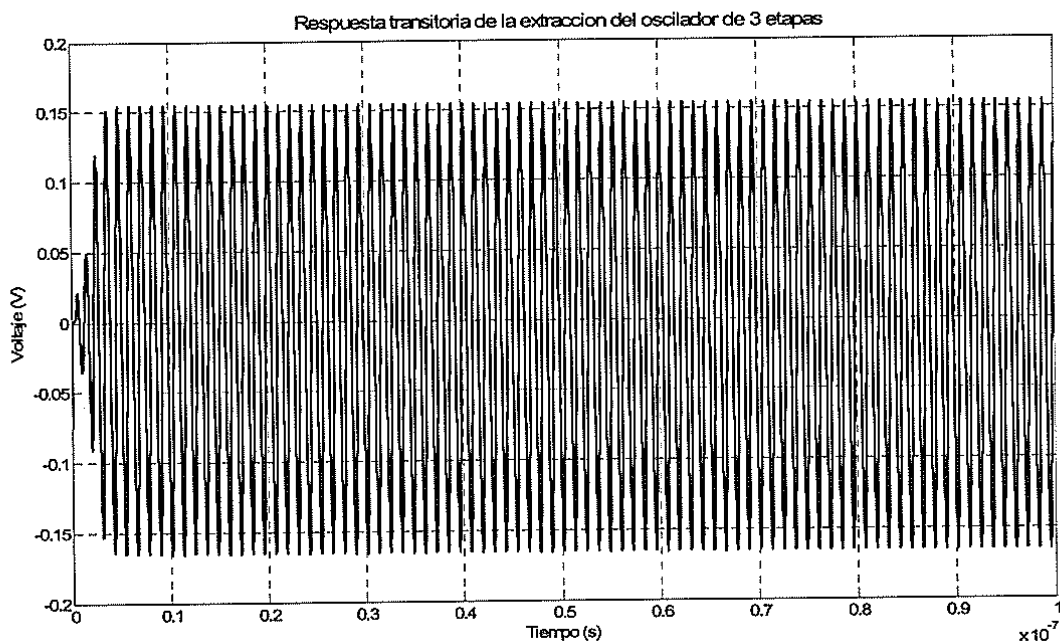


Figura 4.41 Respuesta transitoria del oscilador de 3 etapas.

Curva de transferencia: En la Figura 4.45 se muestra la gráfica de transferencia del oscilador de 3 etapas de los resultados que se obtienen de las simulaciones en HSpice y las simulaciones posteriores a la construcción

del patrón geométrico. Donde se puede ver que el rango de frecuencias alcanzado se reduce, eso debido al efecto que las capacitancias parásitas que la construcción del mismo patrón geométrico tienen sobre el sistema. Sin embargo las frecuencias alcanzadas siguen estando dentro de los márgenes esperados.

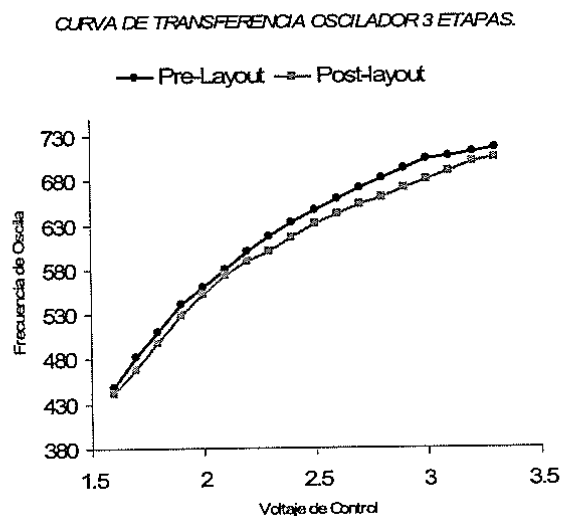


Figura 4.42 Curva de transferencia de la simulación post-layout

Consumo de potencia: En la Figura 4.46 se muestra la comparación del consumo de potencia promedio del oscilador de 3 etapas en simulaciones previas y posteriores a la construcción del patrón geométrico. Se puede ver que el consumo de potencia mantiene un comportamiento similar en ambos casos, sin embargo en las simulaciones de la extracción del patrón geométrico, el consumo de potencia es ligeramente menor. Este efecto se esperaba, debido a la reducción del rango de frecuencias provocado por las capacitancias parásitas del sistema.

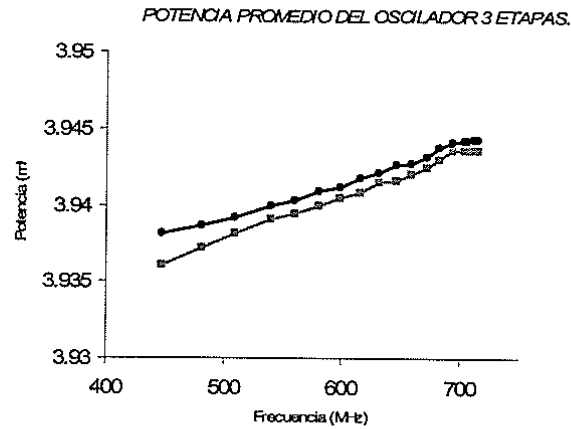


Figura 4.43 Potencia promedio de la simulación post-layout.

4.8.2 Oscilador de 2 etapas.

Análisis transitorio Se realizó la simulación transitoria del oscilador de 2 etapas posteriores a la construcción del patrón geométrico, con al finalidad de observar el efecto que las capacitancias parasitas tienen sobre el sistema. Esta simulación se muestra en la Figura 4.47.

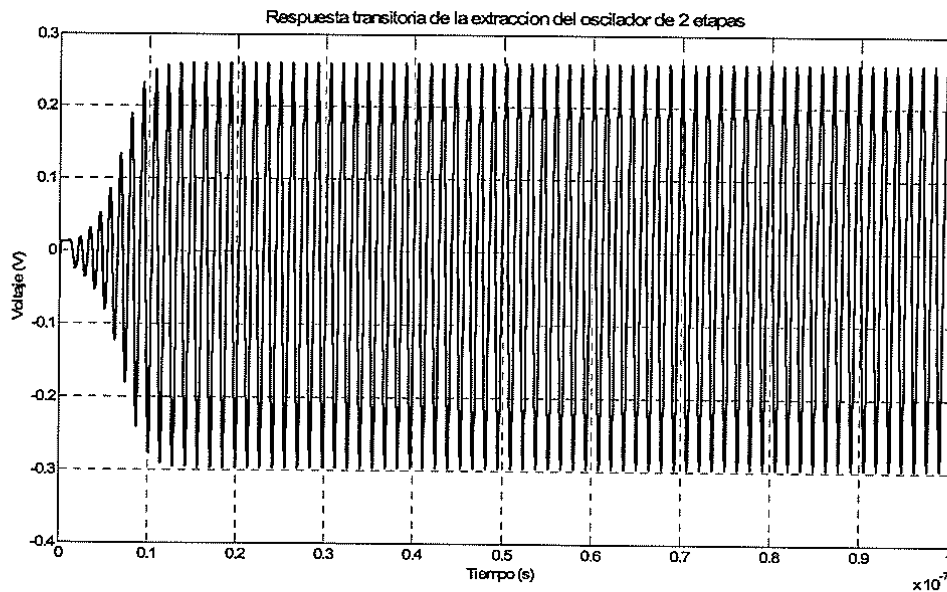


Figura 4.44 Respuesta transitoria de la extracción del oscilador de 2 etapas.

Función de transferencia: La comparación de las curvas de transferencia del oscilador de 2 etapas, en simulaciones previas y posteriores a la construcción del patrón geométrico, se muestra en la Figura 4.48. En esta figura se puede ver que el efecto de las capacitancias parásitas es menor que para el caso del oscilador de 3 etapas, esto debido al menor número de transistores en el oscilador.

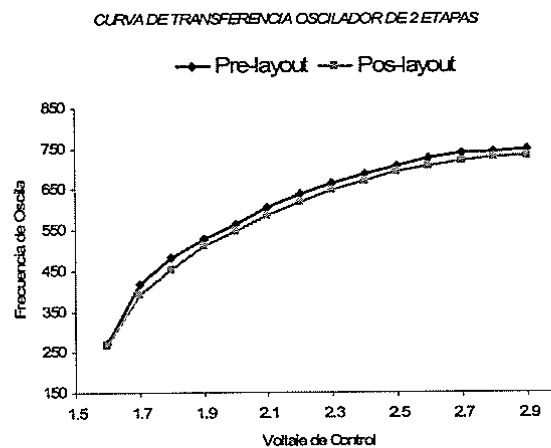


Figura 4.45 Curva de transferencia de la simulación post-layout

Consumo de potencia: La comparación del consumo de potencia en simulaciones previas y posteriores a la construcción de patrón geométrico, se muestra en la Figura 4.49.

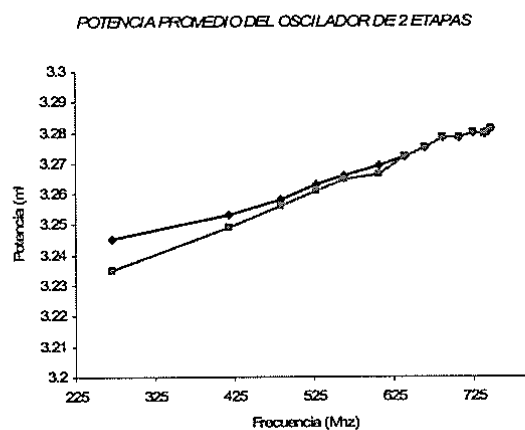


Figura 4.46 Potencia promedio de la simulación post-layout.

Capitulo 5

Conclusiones y perspectivas.

5.1 Conclusiones.

Los osciladores de anillo tienen prestaciones que los hacen sumamente atractivos, el diseñar mecanismos tales como la técnica de degeneración de fase propuesta en el presente trabajo, que permitan que dichos osciladores mejoren su desempeño es de gran importancia debido a la tendencia del mercado hacia la totalidad de integración de los circuitos en un SoC. El uso de mecanismos que permitan construir osciladores de anillo de pocas etapas, mediante el uso de retroalimentaciones locales, presenta una opción con un gran potencial para el diseño de osciladores de bajo ruido.

En cuanto al desarrollo de redes de retroalimentación que permitan modificar las condiciones de estabilidad para construir osciladores de pocas etapas, se debe procurar que dichas redes sean sencillas ya que se puede presentar un compromiso de área e impacto de la red de retroalimentación al circuito. El uso de transistores de compuerta cuasi flotante presenta una opción bastante viable en la aplicación de retroalimentaciones locales, y presenta características superiores a los transistores de compuerta flotante debido a su fácil aplicación y características de funcionamiento, y presenta una opción

de gran potencial en la degeneración de fase de un sistema, sin embargo, la degeneración de fase mediante la aplicación de redes locales, puede ser llevada a cabo de diversas formas, haciendo que el desarrollo de nuevas formas de retroalimentaciones que induzcan el cambio en fase de un sistema sea un nicho de investigación de gran futuro, que tengan aplicaciones no solo en degeneración de fase para la construcción de osciladores, sino también en el desarrollo de redes de compensación y sistemas robustos a variaciones de procesos.

En términos generales, se desarrolló una nueva técnica de degeneración de fase para la construcción de osciladores locales de un número reducido de etapas para su aplicación en sistemas de comunicación móvil bajo el estándar DVB-H

5.2 Perspectivas a futuro.

Como perspectivas a futuro podemos mencionar las siguientes:

- Simplificación de las redes de degeneración, con la finalidad de construir osciladores de bajo voltaje y bajos niveles de ruido que permitan alcanzar frecuencias de operación mayores así como un incremento en la linealidad del circuito.
- Desarrollo e implementación de nuevas redes de degeneración a diferentes celdas y caracterización de resultados.
- Implementación del circuito en un esquema de síntesis de frecuencia tales como un PLL, CRC, receptor wireless, etc. Y caracterización de funcionamiento.
- Aplicación de nuevas metodologías para la simulación del ruido de fase del sistema oscilatorio.

LISTA DE FIGURAS.

Figura1.1	<i>Áreas involucradas en el diseño de circuitos para radio frecuencia.</i>	2
Figura1.2	<i>Arquitectura de conversión directa para un sintonizador DVB-H.</i>	2
Figura2.1	<i>Arquitectura de conversión directa para un sintonizador DVB-H</i>	13
Figura3.1	<i>Sistema retroalimentado</i>	16
Figura3.2	<i>Tipos de retroalimentación</i>	18
Figura3.3	<i>Ubicación de los polos en el plano complejo de sistemas retroalimentados.</i>	20
Figura3.4	<i>Diagramas de bode a) un sistema estable b) un sistema inestable.</i>	21
Figura3.5	<i>Modelo del oscilador</i>	22
Figura3.6	<i>Factor Q</i>	25
Figura3.7	<i>Clasificación de osciladores</i>	26
Figura3.8	<i>Curva de transferencia directa de un oscilador</i>	27
Figura3.9	<i>Oscilador de anillo simple.</i>	28
Figura3.10	<i>Diagrama de bloques de una etapa de ganancia a) Diagrama de bloques b) Diagrama esquemático.</i>	28
Figura3.11	<i>Inversores en anillo a) Diagrama de bloques común b) Diagrama equivalente como latch.</i>	29
Figura3.12	<i>Diagrama lineal de un oscilador de anillo de 2 etapas.</i>	30
Figura3.13	<i>Ruido de fase por unidad de ancho de banda.</i>	32
Figura3.14	<i>Grafica del ruido de fase típico para un oscilador libre</i>	32
Figura3.15	<i>Incremento del Jitter con el tiempo.</i>	33
Figura3.16	<i>Jitter RMS vs. medición del tiempo en una grafica logaritmica.</i>	34
Figura3.17	<i>Modelo equivalente de pequeña señal.</i>	36
Figura3.18	<i>Modelo equivalente de pequeña señal.</i>	38
Figura3.19	<i>Sistemas equivalentes para amplitud y fase.</i>	40
Figura3.20	<i>Respuesta al impulso de un oscilador ideal.</i>	41
Figura3.21	<i>Diagrama de bloques del proceso de ruido.</i>	42
Figura3.22	<i>Diagrama de bloques del proceso de ruido.</i>	43
Figura3.23	<i>Conversión del ruido de fase.</i>	43
Figura4.1	<i>Celda básica con cargas simétricas.</i>	49
Figura4.2	<i>Curva I-Vc de la carga de Maneatis.</i>	50
Figura4.3	<i>Carga de la celda de Maneatis.</i>	51
Figura4.4	<i>Diagrama de Bode de la función de transferencia de la celda de cargas simétricas.</i>	53
Figura4.5	<i>Diseño de la celda de Cargas simétricas.</i>	54
Figura4.6	<i>Márgenes de fase y de ganancia de la celda de cargas simétricas.</i>	55

Figura4.7	<i>Análisis del lugar de las raíces de la celda de cargas simétricas.</i>	56
Figura4.8	<i>Diagrama a nivel transistor de la construcción del oscilador de cargas simétricas.</i>	57
Figura4.9	<i>Función de transferencia del oscilador de 4 etapas.</i>	57
Figura4.10	<i>Potencia promedio del oscilador de 4 etapas con celdas de cargas simétricas.</i>	58
Figura4.11	<i>Esquemático de un transistor de compuerta cuasi flotante.</i>	61
Figura4.12	<i>Seguidor de voltaje.</i>	63
Figura4.13	<i>Respuesta en frecuencia del seguidor de voltaje.</i>	64
Figura4.14	<i>Celda de cargas simétricas degenerada en fase.</i>	66
Figura4.15	<i>Diagrama de Bode de la función de transferencia de la celda de cargas simétricas degenerada en fase.</i>	68
Figura4.16	<i>Simulación de la respuesta en frecuencia en HSPICE de la celda de cargas simétricas degenerada en fase.</i>	69
Figura4.17	<i>Análisis del lugar de las raíces de la celda de cargas simétricas degenerada en fase.</i>	70
Figura4.18	<i>Familia de curvas de la celda de cargas simétricas degenerada en fase a variaciones de los capacitores de acoplamiento de los QFGT's.</i>	70
Figura4.19	<i>Diagrama esquemático del oscilador de 3 etapas usando la celda de cargas simétricas degenerada en fase.</i>	71
Figura4.20	<i>Diagrama a nivel transistor del oscilador de 3 etapas propuesto.</i>	72
Figura4.21	<i>Margen de ganancia y fase de la celda de cargas del oscilador de 3 etapas.</i>	73
Figura4.22	<i>Análisis transitorio del oscilador de 3 etapas propuesto.</i>	75
Figura4.23	<i>Gráfica de la función de transferencia del oscilador de 3 etapas propuesto.</i>	76
Figura4.24	<i>Comportamiento de la función de transferencia a variación de temperatura del oscilador de 3 etapas propuesto.</i>	76
Figura4.25	<i>Consumo de potencia promedio del oscilador de 3 etapas propuesto.</i>	77
Figura4.26	<i>Histograma de incidencias para el oscilador de 3 etapas propuesto. a) Incidencia de frecuencias b) Incidencia de amplitud positiva c) Incidencia de amplitud negativa.</i>	80
Figura4.27	<i>Grafica del análisis de Montecarlo para el oscilador de 3 etapas propuesto.</i>	81
Figura4.28	<i>Diagrama de bloques del oscilador de 2 etapas propuesto.</i>	81
Figura4.29	<i>Diagrama de a nivel transistor del oscilador de 2 etapas propuesto.</i>	82
Figura4.30	<i>Diagrama de magnitud y fase del oscilador de 2 etapas propuesto.</i>	83
Figura4.31	<i>Análisis transitorio del oscilador de 2 etapas.</i>	85
Figura4.32	<i>Gráfica de la función de transferencia del oscilador de 2 etapas.</i>	85
Figura4.33	<i>Comportamiento de la curva de transferencia a variación de temperatura.</i>	86
Figura4.34	<i>Consumo de potencia promedio del oscilador de 2 etapas.</i>	87
Figura4.35	<i>Histograma de incidencia para el oscilador de 2 etapas. a) Incidencia de frecuencias b) Incidencia de amplitud positiva c) Incidencia de amplitud negativa.</i>	90
Figura4.36	<i>Graficas del análisis de Montecarlo para el oscilador de 2 etapas.</i>	90
Figura4.37	<i>Layout de la celda de retardo propuesta del oscilador de 3 etapas.</i>	94
Figura4.38	<i>Layout del oscilador de 3 etapas.</i>	95
Figura4.39	<i>Layout de la celda de retardo del oscilador de 2 etapas.</i>	96
Figura4.40	<i>Layout del oscilador de 2 etapas.</i>	97
Figura4.41	<i>Respuesta transitoria del oscilador de 3 etapas.</i>	98
Figura4.42	<i>Curva de transferencia de la simulación post-layout</i>	99
Figura4.43	<i>Potencia promedio de la simulación post-layout.</i>	100
Figura4.44	<i>Respuesta transitoria de la extracción del oscilador de 2 etapas.</i>	100

Figura4.45 *Curva de transferencia de la simulación post-layout*
Figura4.46 *Potencia promedio de la simulación post-layout.*

101
101

LISTA DE TABLAS.

Tabla2.1 <i>Estándares disponibles para transmisión de TV digital en dispositivos móviles.</i>	10
Tabla2.2 <i>Sensitividad y C/N para NF=6dB.</i>	13
Tabla2.3 <i>Resumen de especificaciones del estándar DVB-H.</i>	14
Tabla4.1 <i>Parámetros de diseño de la celda de cargas simétricas.</i>	54
Tabla4.2 <i>Características de diseño del seguidor de voltaje.</i>	63
Tabla4.3 <i>Cambio de fase del sistema a variaciones de capacitores de acoplamiento.</i>	71
Tabla4.4 <i>Características de diseño de la celda de retardo del oscilador de 3 etapas.</i>	72
Tabla4.5 <i>Parámetros del análisis de Montecarlo para el oscilador de 3 etapas.</i>	79
Tabla4.6 <i>Características de diseño del oscilador de 2 etapas.</i>	82
Tabla4.7 <i>Parámetros del análisis de Montecarlo para el oscilador de 2 etapas.</i>	89
Tabla4.8 <i>Dimensiones mínimas de diseño para reducir efectos de portadores calientes.</i>	92

INDICE DE REFERENCIAS.

- [1] J.Rogers, C. Plett y F. Dai. "Integrated circuit design for high speed frequency synthesis. Artech House, 2006.

- [2] B. Razavi. "RF Microelectronics" Prentice Hall, 1998.

- [3] J. Craninckx, M.Steyaert. "Wireless CMOS frequency synthesizer design." Kluwer Academic publishers, 1998.

- [4] D. Gómez-Barquero, N. Cardona, A. Bria and J. Zander; "Affordable Mobile TV Services in Hybrid Cellular and DVB-H Systems," IEEE Network., vol. 21, Mar-Apr, 2007, pp. 34-40.

- [5] B. Bennett, P. Hemmings, C. Holt, and B. Hamilton "Digital Video Broadcast – Handheld (DVB-H) – a mobile last mile tactical broadcast solution", Military communications conference, Oct 17-20, 2005, Vol 1, pp. 141-147.

- [6] J. Maneatis and M. Horowitz, "Precise delay generation using coupled oscillators" IEEE International Symposium on Circuits and Systems; June 9-12. 1997, Vol. 1 pp 29-32.

- [7] G. Faria, J.A. Henriksson, E. Stare, and P. Talmola. "DVB-H: digital broadcast services to handheld devices". Proceedings of IEEE; Vol 94, Jan 2006, pp. 194-209.

- [8] P. Antoine, P. Bauser, H. Beaulaton, M. Buchholz, D. Carey, T. Cassagnes, T. K. Chan, S. Colomines, F. Hurley, D.T. Jobling, N. Kearney, A.C. Murphy, J. Rock, D. Salle, and C.-Thong Tu; "A Direct-Conversion Receiver for DVB-H"; IEEE Journal of solid state circuits, Vol. 40, No. 12, Dec 2005.

- [9] T. Wook Kim and Bonkee Kim; "A 13dB IIP3 improved low power CMOS RF programable gain amplifier using differential circuit transconductance linearization for various terrestrial mobile D-TV applications" IEEE Journal of Solid State Circuits, Vol. 41, No. 4, April 2006.

- [10] J. H. Stott, "The how and why of OFDM," *EBU Tech. Rev.*, Winter 1998.

- [11] P. Talmola, "Hand Held Devices and Preferred Spectrum," *Multiradio Multimedia Communications 2005: "Broadcast meets Mobile"*.

- [12] T. Pollet, M. Van Bladel, M. Moeneclaey, "BER Sensitivity of OFDM Systems to Carrier Frequency Offset and Wiener Phase Noise," *IEEE Transactions on Communications*, Vol. 43, No. 2/3/4, 1995.

- [13] J. C. Rudell, J. A. Weldon, Jia-Jiunn Ou, Li Lin, P. Gray, "An Integrated GSM/DECT Receiver: Design Specifications," *UCB Electronics Research Laboratory Memorandum*, M97/82.

- [14] European Telecommunications Standards Inst. (ETSI), ETR 290: Digital Video Broadcasting (DVB); Measurement Guidelines for DVB Systems, 1997.

- [15] S. A. Mass "Noise in linear and nonlinear circuits"; Artech House 2005.

- [16] T. H. Lee "The design of CMOS radio – frequency integrated circuits" 2nd. Edition Cambridge 2004.

- [17] A. S. Sedra and K.C. Smith "Microelectronics Circuits". 5th. Edition. Oxford, 2005.

- [18] V. Peluso, M. Steyaert and W. Sansen "Design of low voltage low power CMOS delta – sigma A/D converters". Kluwer Academia Publishers 1999.

- [19] K. Ogata "Ingeniería de control moderna" 4ª edición Prentice Hall.

- [20] E. Juárez Hernández "Diseño de un oscilador en cuadratura para un receptor armstrong a 1.35 Ghz" Tesis de maestría INAOE.

- [21] Design of VLSI circuits.

- [22] D. Pacheco Bautista "Diseño de osciladores controlados por voltaje de anillo de alto desempeño", Tesis de maestría INAOE.

- [23] A. Hajimiri and T.H. Lee "The design of low noise oscillators" Kluwer Academic Publishers, 1999.

- [24] B. Razavi "A study of phase noise in CMOS oscillators" IEEE Journal of solid state circuits, Vol 31 No. 3 pp 331-343 March 1996.

- [25] A. Hajimiri and T.H. Lee "A general theory of phase noise in electrical oscillators" IEEE journal of solid state circuits, Vol 33, No. 2; pp 179-194 Feb 1998.

- [26] T.H. Lee and A. Hajimiri "Oscillators phase noise: a tutorial" IEEE journal of solid state circuits, Vol 35 No. 3 pp 326-336 March 2002.

- [27] A. Hajimiri, Sotirios Limotyrakis and T. H. Lee "Jitter and phase noise in ring oscillators" IEEE journal of solid state circuits, Vol 34 No. 6 pp 790-804 June 1999.

- [28] D. Cruz González "Corrección de cuadratura para osciladores de anillo" Tesis de Maestría INAOE

- [29] G. Palmisano, G. Palumbo, and S. Pennisi "High-Performance and Simple CMOS Unity-Gain Amplifier" IEEE Transactions on circuits and systems I: Fundamental theory and applications, Vol 47 No. 3 pp 406-410 March 2000.

- [30] J. Ramírez-Angulo, C. A. Urquidí, R. González-Carvajal, A. Torralba, and A. López-Martín "A New Family of Very Low-Voltage Analog Circuits Based on Quasi-Floating-Gate Transistors" IEEE Transaction on circuits and systems II: analog and digital signal processing, Vol. 50, No. 5, MAY 2003

- [31] J. Ramírez-Angulo, Antonio J. López-Martín, R. González Carvajal, and F. Muñoz Chavero "Very Low-Voltage Analog Signal Processing Based on Quasi-Floating Gate Transistors" IEEE Journal of Solid-State Circuits, vol. 39, no. 3, march 2004.

- [32] J. G. Maneatis "precise Delay Generation Using Coupled Oscillators" PhD. Thesis.

- [33] M. J. Pelgrom, C. J. Duinmaijer and Anton Welbers "Matching properties of MOS transistor" IEEE Journal of Solid State Circuits, Vol 24 No 5 Oct 1989.

- [34] Marcel J. M. Pelgrom, Hans P. Tuinhout and Maarten Vertregt "Transistor matching in analog CMOS applications". Philips Research Laboratories; *Laboratory Memorandum*.

- [35] Guide of Design Rules for analog circuits in AMIS 0.35 μ