



INAOE

Caracterización del efecto de la inyección de portadores calientes en los parámetros de pequeña señal y en la frecuencia de corte de un MOSFET de RF

por

Héctor Cuchillo Sánchez

Tesis sometida como requisito parcial
para obtener el grado de

**MAESTRO EN CIENCIAS EN LA
ESPECIALIDAD DE ELECTRÓNICA**

en el

**Instituto Nacional de Astrofísica,
Óptica y Electrónica (INAOE)**

Diciembre de 2015

Santa María Tonantzintla, Puebla

Supervisada por:

Dr. Reydezel Torres Torres, INAOE

©INAOE 2015

Derechos reservados

El autor otorga al INAOE el permiso de reproducir y distribuir copias
de esta tesis en su totalidad o en partes.



Abstract

Nowadays, the reliability of electronic devices is a topic of great importance in the electronics industry; thus, it is very important to know the phenomena that negatively impact the performance as the devices suffer aging. For a MOSFET, due to the high electric fields present between its terminals originated mainly by the channel length reduction, the generation of hot-carriers that degrade the performance becomes apparent. These carriers degrade the thin gate oxide layer, causing leakage currents and eventually the critical damage of the device. In the literature, there exists much research about the degradation of DC MOSFETs characteristics under the influence of hot-carriers. However, the corresponding impact on RF operation has been barely analyzed.

In this work, this type of degradation is analyzed from the perspective of small-signal operation of a MOSFET, considering it as a two-port network. This allows to carry out an experimental analysis through injecting a signal at a given terminal and collecting the transmitted and reflected signals. Thus, the forward and reverse transmission, as well as the reflection responses can be obtained from measured S -parameters. Therefore, by using different methodologies and procedures, the extraction of the model elements that represent the MOSFET's small-signal behavior was carried out. With this purpose, RF analysis up to 50 GHz was performed based on S -parameters measurements. The determination of the small-signal elements allows for the analytical extraction of the cut-off frequency, which together with the small-signal model allows for the estimation of the degradation of the device under the influence of hot-carriers. In fact, in this work, a method based on the extrapolation of experimental data to low-frequencies to obtain the MOSFET's cut-off frequency is proposed. This method exhibits more accuracy than the conventional approach when applied to degraded devices. Moreover, since the data is extrapolated to low frequencies, the uncertainty associated with the selection of the frequency range for applying the conventional method is avoided.

Resumen

En la actualidad, la confiabilidad de los dispositivos electrónicos es un tema de gran relevancia en la industria de la electrónica; por ello, es muy importante conocer qué fenómenos afectan negativamente su desempeño al ir envejeciendo. Para el caso del MOSFET, debido a los altos campos eléctricos presentes entre sus terminales originados principalmente por la reducción de la longitud del canal, se acentúa la generación de portadores de carga calientes que degradan el desempeño del transistor. Estos portadores degradan la capa de óxido delgado de la compuerta, provocando corrientes de fuga y finalmente el deterioro total del dispositivo. En la literatura existe mucha investigación acerca de la degradación de las características de DC del MOSFET bajo la influencia de portadores calientes. Sin embargo, hay muy poco trabajo relacionado con la correspondiente degradación de su funcionamiento en RF.

En este trabajo, se analiza la degradación por portadores calientes desde la perspectiva del funcionamiento en pequeña señal del MOSFET, considerándolo como una red de dos puertos. Esto permite llevar a cabo un análisis experimental al inyectar una señal en una terminal dada y medir las señales transmitidas y reflejadas. De esta manera, se obtienen las respuestas de transmisión directa e inversa, así como de reflexión por medio de la medición de parámetros- S . Así, mediante el uso de diferentes metodologías y procedimientos, se llevó a cabo la extracción de los elementos del modelo que representan el funcionamiento de pequeña señal del MOSFET; con este propósito, se realiza un análisis hasta 50 GHz basado en mediciones de los parámetros- S del dispositivo. La determinación de los elementos de pequeña señal permite obtener de manera analítica la frecuencia de corte, que en conjunto con el modelo de pequeña señal permite estimar la degradación del dispositivo bajo los efectos de portadores calientes. De hecho, en este trabajo se propone un método de extrapolación de datos experimentales hacia bajas frecuencias para poder determinar la frecuencia de corte del MOSFET. Se demuestra que este método es más confiable que el método convencional para caracterizar dispositivos degradados. Adicionalmente, debido a que la extrapolación se realiza hacia bajas frecuencias se elimina la incertidumbre que se presenta al elegir el rango de datos experimentales requerido para realizar una extrapolación hacia altas frecuencias.

Agradecimientos

En las siguientes líneas quiero dar gracias a todas las personas que han contribuido directa o indirectamente en la elaboración y conclusión de este trabajo.

- A mi familia y amigos por su afecto y apoyo incondicional.
- Al Dr. Reydezel Torres Torres por su confianza al permitirme trabajar en su equipo de trabajo y por su tutela en la elaboración y desarrollo de esta tesis.
- A Fabián Zarate Rincón por toda su ayuda en largas jornadas durante las mediciones en el laboratorio de alta frecuencia y fuera de ellas.
- A los miembros del jurado, doctores: María de la Luz García Cruz, Joel Molina Reyes y Pedro Rosales Quintero por el tiempo dedicado en la revisión de este trabajo y por las sugerencias que permitieron mejorarlo.
- Al INAOE por permitirme hacer uso de sus instalaciones y de sus equipos de medición.
- A CONACyT por la beca otorgada para poder realizar mis estudios de maestría.
- A IMEC por proporcionar los dispositivos estudiados en este trabajo.

Contenido

Capítulo 1. Introducción	1
1.1. Aplicaciones del MOSFET en radiofrecuencia	2
1.1.1. Dimensiones	3
1.1.2. Importancia del modelado y caracterización	5
1.2. Modelado	5
1.2.1. Modelos compactos: BSIM, EKV	5
1.2.2. Modelos tabulares.....	7
1.2.3. Circuito equivalente.....	8
1.3. Degradación del MOSFET	9
1.3.1. Origen y consecuencias de la degradación	9
1.3.2. Efectos de portadores calientes en las características eléctricas.....	12
1.4. Propósito de este proyecto	13
1.4.1. Descripción del problema.....	13
1.4.2. Propuesta	14
Capítulo 2. Impacto de la degradación por portadores calientes en las características de pequeña señal	15
2.1. Modelos existentes.....	15
2.1.1. Análisis de un nMOSFET de 120 nm (2006).....	16
2.1.2. Análisis de un MOSFET de 40 nanómetros para predecir el envejecimiento ocasionado por degradación eléctrica.....	19
2.2. Efectos en el rango de microondas	20
2.2.1. Efecto “ <i>kink</i> ”	20
2.2.2. Resistencias parásitas	23
2.2.3. Efectos distribuidos	23
2.3. Figuras de mérito	24
2.4. Conclusiones del capítulo	28

Capítulo 3. Implementación experimental	30
3.1. Descripción del dispositivo y estructuras de prueba	31
3.2. Mediciones en DC	32
3.3. Mediciones de parámetros-S.....	34
3.4. Retos superados para medición de parámetros-S hasta 110 GHz.....	38
3.4.1. Calibración del equipo de medición	38
3.4.2. Uso de módulos de ondas milimétricas muy cerca del DUT.....	40
3.4.3. Deembedding utilizando modelos de las estructuras de deembedding.....	41
3.5. Conclusiones del capítulo.....	43
Capítulo 4. Resultados	44
4.1. Análisis experimental de la degradación por HCl.....	44
4.1.1. Transistor apagado.....	44
4.1.2. Fuerte inversión	49
4.1.3. Saturación	53
4.2. La frecuencia de corte como figura de mérito para análisis de degradación	57
4.2.1.1. Método convencional	59
4.2.2. Alternativa propuesta en este trabajo.....	60
4.3. Incorporación del efecto de la degradación en el modelo de pequeña señal	67
4.4. Conclusiones del capítulo.....	70
Capítulo 5. Conclusiones generales	71
Lista de figuras	73
Lista de tablas	78
Referencias	79

Capítulo 1

Introducción

El constante avance tecnológico, los nuevos sistemas de comunicaciones y la gran demanda del mercado por sistemas electrónicos que operan a velocidades cada vez más altas, con un bajo consumo de energía y un alto desempeño, ha originado un gran avance en la tecnología de semiconductores. Con ello, ha sido posible incrementar la velocidad de operación y la densidad de integración de los circuitos integrados, cubriendo así las demandas de la industria.

Desde la invención del transistor bipolar de unión (BJT, por sus siglas en inglés) en 1947, las frecuencias de operación de los transistores han aumentado paulatinamente [1]. Por otro lado, diferentes tecnologías han sido investigadas, buscando aumentar aún más las frecuencias de operación. Tecnologías como el transistor de alta movilidad electrónica (HEMT, por sus siglas en inglés) y el transistor de efecto de campo con estructura metal-semiconductor (MESFET, por sus siglas en inglés), entre otras, se han desarrollado intensamente gracias a su alto desempeño en aplicaciones de radiofrecuencia (RF, por sus siglas en inglés) y microondas [2].

Durante mucho tiempo, el transistor de efecto de campo con estructura metal-óxido semiconductor (MOSFET, por sus siglas en inglés) fue considerado lento, ruidoso y poco adecuado para aplicaciones de RF. Sin embargo, gracias al continuo desarrollo de la tecnología en base a silicio, su rendimiento ha mejorado considerablemente en los últimos años. Entre estos avances tenemos, la reducción de sus dimensiones, el empleo de nuevos materiales y modificaciones en su estructura [3]. Por tal razón, este dispositivo ha encontrado aceptación dentro de las aplicaciones de RF y microondas. Esto lo ha convertido en el dispositivo más importante para desarrollar circuitos integrados de alta densidad, como microprocesadores y memorias a bases de materiales semiconductores [4].

La principal tendencia para aumentar la velocidad de estos transistores es la reducción de la longitud de canal [5] [6] y de los elementos parásitos. Con ello se logra mejorar las figuras de mérito más relevantes en pequeña señal, como la frecuencia de corte (f_T) y la máxima frecuencia de oscilación (f_{max}), las cuales nos permiten comparar el rendimiento de dispositivos con características similares.

1.1. Aplicaciones del MOSFET en radiofrecuencia

Los transistores de efecto de campo (FETs, por sus siglas en inglés) ofrecen muchas características atractivas para aplicaciones de conmutación, amplificadores con alta impedancia de entrada y circuitos integrados digitales [4]. Los FETs tienen una impedancia de entrada considerablemente mayor que los transistores bipolares, lo cual permite que esta impedancia de entrada sea más fácilmente acoplada a los estándares de sistemas de microondas. Además, presenta una distribución más uniforme de temperatura sobre el área del dispositivo, previniendo fugas térmicas como pueden ocurrir en los transistores bipolares [4].

El dispositivo es extremadamente estable, incluso cuando el área activa es mayor o cuando muchos dispositivos son conectados en paralelo. Al no haber polarización directa en las uniones p-n de drenaje y fuente, los FETs no sufren de almacenamiento de portadores minoritarios. Consecuentemente, tienen mayores velocidades de conmutación bajo operación en gran señal. Además, este tipo de transistores son básicamente lineales o de ley cuadrática, por lo que los productos de intermodulación y modulación cruzada son más pequeños que en los transistores bipolares, cuando son empleados como mezcladores [4].

En términos generales, el MOSFET es el tipo de FET más común, consta de cuatro terminales denominadas fuente, compuerta, drenaje y sustrato. Este dispositivo es usado extensivamente en amplificadores, osciladores, conmutadores, corredores de fase, mezcladores y filtros activos dentro de circuitos integrados analógicos y digitales. También son usados dentro de la banda de frecuencia UHF (300 MHz – 3 GHz), y pueden proporcionar potencias de varios cientos de watts cuando son empaquetados en paralelo [7].

Otro tipo de transistor FET es el MOSFET con difusiones laterales (LDMOS, por sus siglas en inglés). Estos dispositivos son usados en una gran variedad de aplicaciones de potencia en la banda de radiofrecuencia. Su frecuencia de operación se ha expandido en las últimas décadas, ya que en la actualidad cubren un rango de 1 MHz hasta 4 GHz. Algunas de estas aplicaciones son: transmisores de alta potencia para estaciones base de telefonía celular a 900 y 1900 MHz [7], transmisión dentro de la bandas de FM (88-108 MHz), muy alta frecuencia VHF (54-88 MHz) y ultra alta frecuencia UHF (174-890 MHz). Además de las bandas industrial, científica y médica. También tienen aplicaciones en Wimax y en frecuencias de radar dentro de la banda S [8].

En CIs de alta densidad, comúnmente se usan MOSFETs complementarios (CMOS, por sus siglas en inglés); es decir, transistores de canal-n y transistores de canal-p son fabricados en el mismo sustrato. Esta tecnología es muy madura y representa la alternativa más interesante para la fabricación de CIs, ya que permite la implementación de soluciones en un solo chip con bajos requerimientos de potencia y bajo costo. En la Figura 0.1 se muestran de manera simplificada las aplicaciones de la tecnología CMOS de acuerdo a sus dimensiones considerando la velocidad de conmutación y el consumo potencia.

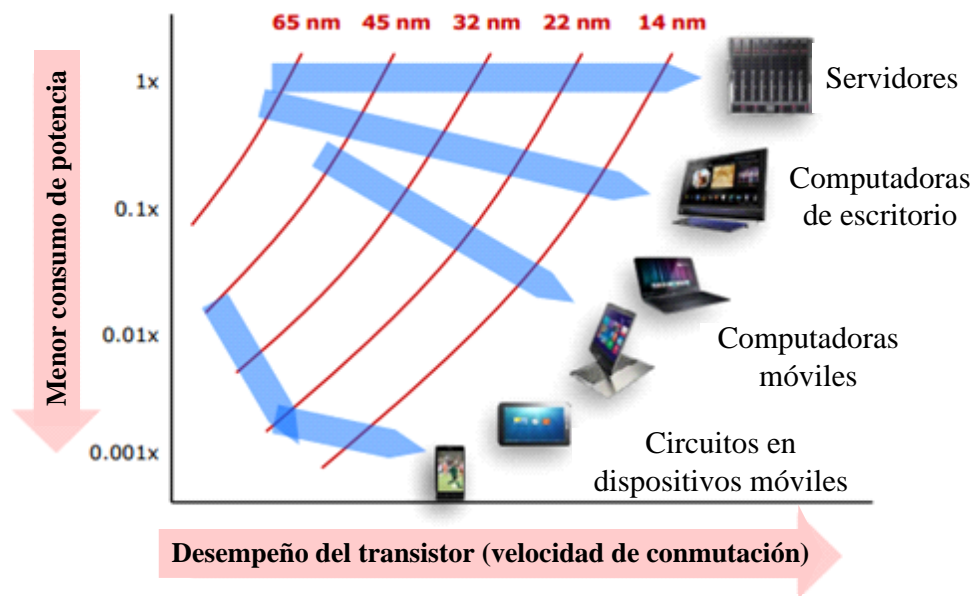


Figura 0.1: Aplicaciones de la tecnología CMOS en función de la velocidad de conmutación y de sus dimensiones [9].

1.1.1. Dimensiones

Las dimensiones de los transistores se definen de acuerdo a los avances en las tecnologías de los procesos de fabricación, los cuales son usados para crear circuitos integrados que están presentes en cada equipo eléctrico y electrónico. Estos procesos consisten de una secuencia de múltiples pasos de litografías y procesos químicos, mediante los cuales, los circuitos electrónicos son creados sobre una oblea hecha puramente de algún material semiconductor. En la industria electrónica, el silicio es el material más usado; sin embargo, varios semiconductores compuestos son empleados para aplicaciones especializadas.

El escalamiento del MOSFET clásico continuó hasta 2003 con la modificación de algunas características del dispositivo, por ejemplo, la reducción de la longitud del canal (L_{ch}), cambios asociados en algunos parámetros como el grosor del óxido (T_{ox}), los dopados en canal, fuente y drenaje, la profundidad de unión en fuente y drenaje, así como voltajes de polarización. Con estas modificaciones se logró reducir el tiempo de transporte de portadores de carga de fuente a drenaje, incrementando la velocidad de operación [10].

Sin embargo, a partir del nodo de tecnología de 90 nanómetros, muchas modificaciones en los procesos de fabricación han sido incorporadas. Algunas de ellas son: el uso de materiales dieléctricos con muy alta permitividad (k), el uso de polisilicio mejorado en la compuerta, dispositivos con múltiples compuertas, el uso de nano alambres de silicio o de materiales de los grupos III-V, nanotubos de carbono, materiales ferro-eléctricos como dieléctricos y ferro-imanen en fuente y drenaje [10,11,12]. Además, se están considerando estructuras de dispositivos que son completamente diferentes de los MOSFETs convencionales, como el túnel FET, dispositivos electro-mecánicos y el FET de ionización por impacto [10,13].

En la Figura 0.2 se muestra el avance en los nodos de tecnología para la fabricación de transistores por parte de Intel [10]. El nodo de tecnología que actualmente se está comercializando es de 14 nanómetros. Sin embargo, actualmente se está trabajando en el nodo de 10 nanómetros, y se prevé que se llegue a alcanzar los 7 o incluso los 5 nanómetros [10,14,15].

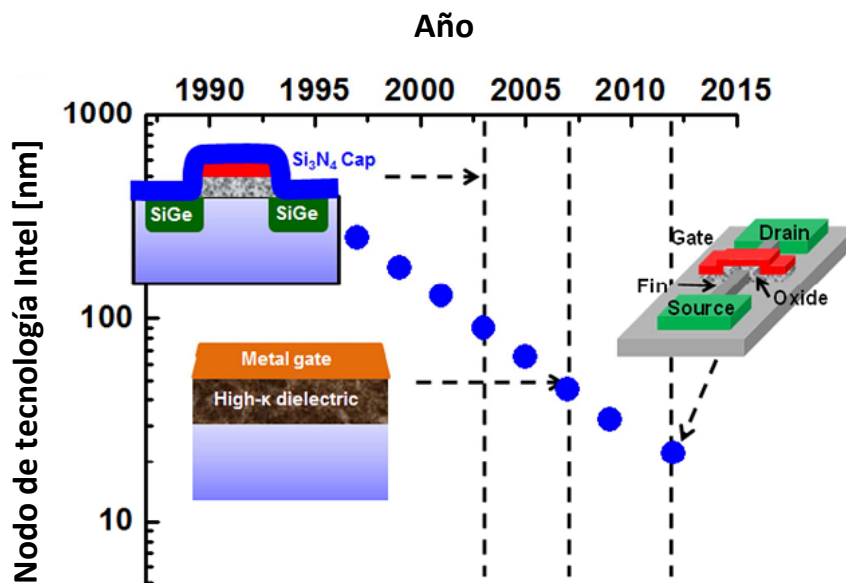


Figura 0.2: Nodos de tecnología de fabricación de Intel [10].

1.1.2. Importancia del modelado y caracterización

Conforme la tecnología en la fabricación avanza, el modelado de estos dispositivos es más complicado debido a los efectos introducidos por el escalamiento. Para alcanzar mayores velocidades de operación, las estructuras de los dispositivos han cambiado, introduciendo efectos físicos que anteriormente no eran considerados en modelos tradicionales [16]. Algunos de los cambios más importantes son la reducción del grosor del óxido, la longitud de canal y del espesor del poli-silicio, así como regiones de bajo dopado en la región de drenaje y fuente (LDD, por sus siglas en inglés). Esto sugiere que nuevos parámetros deben ser tomados en cuenta con la finalidad de desarrollar modelos apropiados que permitan describir adecuadamente efectos parásitos. De esta manera, poder representar su impacto en el desempeño de los dispositivos; así como una correcta caracterización para predecir su comportamiento conforme la frecuencia de operación aumenta [17].

1.2. Modelado

Conforme los dispositivos llegan a ser más pequeños, se requieren nuevos modelos para poder reproducir el funcionamiento del transistor de manera precisa. Un modelo ideal del MOSFET debería cumplir con las siguientes características: ser escalable y preciso para alguna condición de polarización dentro de un rango de frecuencias. Este objetivo es muy difícil de alcanzar; por ello, muchos enfoques han sido desarrollados a lo largo de los años para representar de la mejor manera la operación de cada una de las topologías de transistores.

En la actualidad, existen muchos modelos que involucran formulaciones muy complicadas, haciendo que su implementación sea muy difícil. Por otro lado, el uso de modelos simples puede arrojar resultados con un bajo grado de exactitud. Por esta razón, existe un compromiso entre complejidad y exactitud. Entonces, se requiere desarrollar modelos que sean de fácil implementación sin sacrificar en gran medida su precisión y exactitud.

1.2.1. Modelos compactos: BSIM, EKV

Modelos analíticos, conocidos como modelos compactos, han sido desarrollados para describir el comportamiento eléctrico del MOSFET bajo diferentes condiciones de

operación. Estos modelos pueden estar basados en el fundamento físico del dispositivo, en relaciones empíricas entre variables y parámetros previamente medidos o calculados, o en una combinación de éstos [18]. Este tipo de modelos consisten de un conjunto de ecuaciones, cada una asociada a un fenómeno específico dentro del transistor. De esta manera, permite el modelado dentro de un gran rango de condiciones de polarización y diferentes geometrías.

Una limitación importante de los modelos compactos es que no pueden representar con gran precisión las características $I-V$ and $C-V$ del dispositivo conforme la frecuencia de operación aumenta. Para solucionar este inconveniente, una de las alternativas es representar a las características intrínsecas por medio de modelos compactos, mientras que los efectos de altas frecuencias son representados por elementos concentrados, los cuales tienen que ser determinados para cada dispositivo en las condiciones de polarización deseadas. Este esquema de modelado se ilustra en la Figura 0.3.

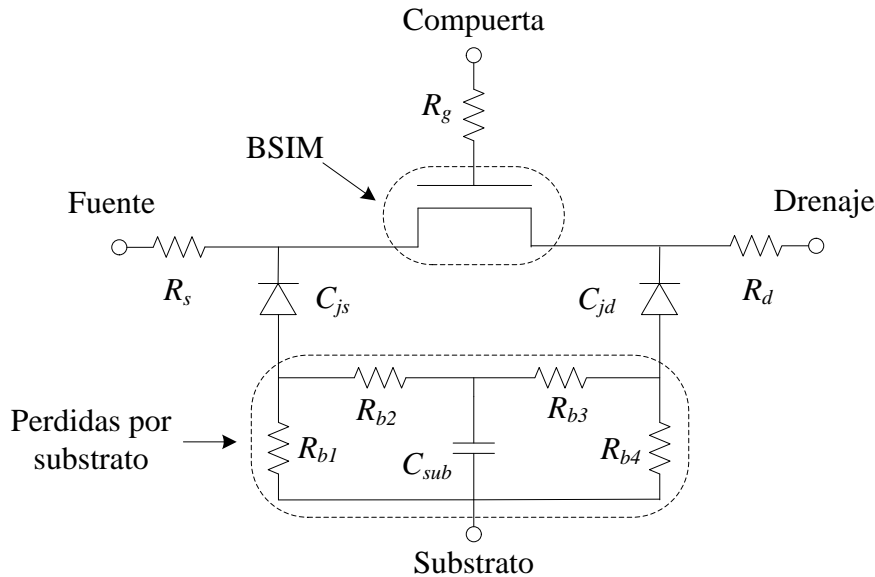


Figura 0.3: Circuito equivalente del MOSFET en alta frecuencia usando BSIM como núcleo del modelo [33].

El modelo BSIM (*Berkeley Short-channel Insultad Gate Field effect transistor Modelo*), es un modelo compatible con SPICE del MOSFET basado en la física del dispositivo. Además de ser robusto, escalable y preciso, es usado para la simulación de circuitos y desarrollo de tecnología CMOS considerando efectos físicos en tecnologías sub-micrométricas por debajo de los 100 nanómetros. Con el paso del

tiempo se ha ido mejorando, dando lugar a varias versiones como BSIM3 y BSIM4. Actualmente, BSIM6 es el nuevo modelo para el bulk-MOSFET, proporcionando excelente exactitud comparado a datos medidos en todas las regiones de operación. También permite el modelado de aplicaciones analógicas y de RF, manteniendo soporte y desempeño del modelo BSIM para todas sus aplicaciones desde 1996. Además de éste, existen otros modelos desarrollados por el mismo grupo BSIM; estos modelos permiten representar el comportamiento de las diferentes topologías de transistores actualmente existentes. Entre ellos podemos mencionar BSIMSOI, que es un modelo compacto de SPICE para diseño de circuitos SOI (*Silicon-On-Insulator*), BSIMCMG, el modelo compacto para FETs de multi-compuerta común y BSIMIMG, el modelo compacto para FETs de multi-compuerta independientes [19].

Otro modelo muy popular es el EKV, que es un modelo matemático del MOSFET también compatible con SPICE para simulación y diseño de circuitos analógicos; fue desarrollado por C. C. Enz, F. Krummennacher y E. A. Vittoz alrededor de 1995. Modela muchos de los efectos que deben considerarse en el diseño de circuitos integrados que emplean MOSFETs sub-micrométricos [20]. A diferencia de modelos simples como los modelos de ley cuadrática, el modelo EKV es exacto incluso cuando el MOSFET está operando en la región de sub-umbral.

1.2.2. Modelos tabulares

Otros tipos de modelos comúnmente usados son los tabulares, los cuales están basados en una tabla de búsqueda, que contiene un gran número de valores para los parámetros de dispositivos comunes, como corrientes de drenaje y elementos parásitos del dispositivo. Estos valores son enlazados a sus correspondientes combinaciones de voltajes de polarización. Por lo tanto, la exactitud del modelo incrementa al incluir puntos de datos adicionales dentro de la tabla.

La principal ventaja de este tipo de modelos es la disminución del tiempo de simulación. Sin embargo, tienen la limitante de no ser completamente confiables para dispositivos que no se encuentran dentro de la tabla; es decir, cuando tienen que realizar operaciones de extrapolación.

1.2.3. Circuito equivalente

Una alternativa para el modelado del MOSFET es el uso de circuitos equivalentes. Estos circuitos representan las características del dispositivo de acuerdo a su topología, a través de elementos concentrados como se muestra en la Figura 0.4. Dichos elementos son considerados dependientes de la polarización e independientes de la frecuencia y pueden ser extraídos directa o indirectamente de mediciones experimentales $I-V$, $C-V$ o de parámetros- S a partir de un procedimiento de extracción y de un conjunto de ecuaciones asociadas al mismo. Este circuito equivalente, así como el método de extracción, deben tener la capacidad de reproducir datos experimentales de manera sistemática. La principal ventaja de este tipo de modelos es su fácil implementación y su grado de precisión, esto último depende del número de elementos que son considerados en el circuito equivalente.

Además, en la mayoría de estos modelos, los elementos están asociados con un efecto físico dentro del transistor. Por lo que esto representa una gran ventaja, ya que el modelo puede ser escalable. Sin embargo, cada región de operación necesita ser representada por un circuito equivalente, ya que los valores de estos elementos dependen de los valores de polarización y consecuentemente de la región de operación en la cual se encuentre el transistor.

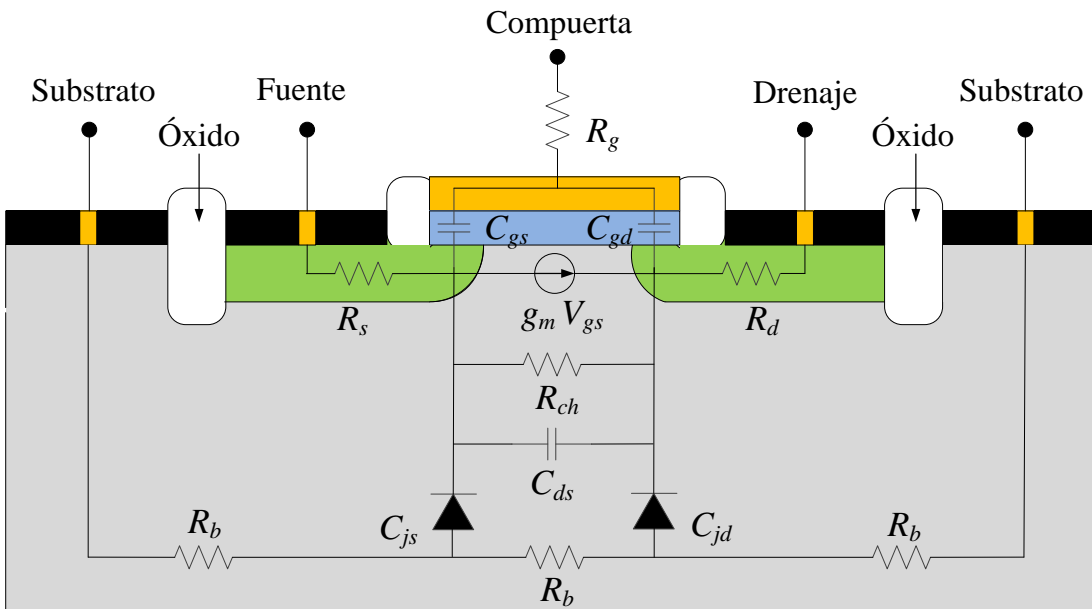


Figura 0.4: Esquema de un circuito equivalente para un MOSFET [21].

1.3. Degradación del MOSFET

La continua reducción de las dimensiones del MOSFET ha permitido mayores velocidades de operación y una mayor escala de integración. Sin embargo, esta reducción tiene como consecuencia la aparición de efectos no deseados que llegan a ser aparentes debido a la falta de proporcionalidad entre el escalamiento y el voltaje aplicado. Como se discute a continuación, esto es lo que da origen a los portadores calientes.

1.3.1. Origen y consecuencias de la degradación

La generación de los portadores calientes se debe a los fuertes campos eléctricos presentes entre las terminales del transistor. Una gran parte los electrones que van de la fuente al drenaje adquieren una gran energía cinética, suficiente para ser inyectados dentro del óxido y quedar atrapados, lo que da como consecuencia una disminución en su desempeño. Otra fracción de electrones pueden incluso atravesar la capa del óxido y escapar hacia la compuerta donde eventualmente pueden causar la ruptura del óxido, fenómeno conocido como *oxide breakdown* (OBD, por sus siglas en inglés) [18] (Figura 0.5).

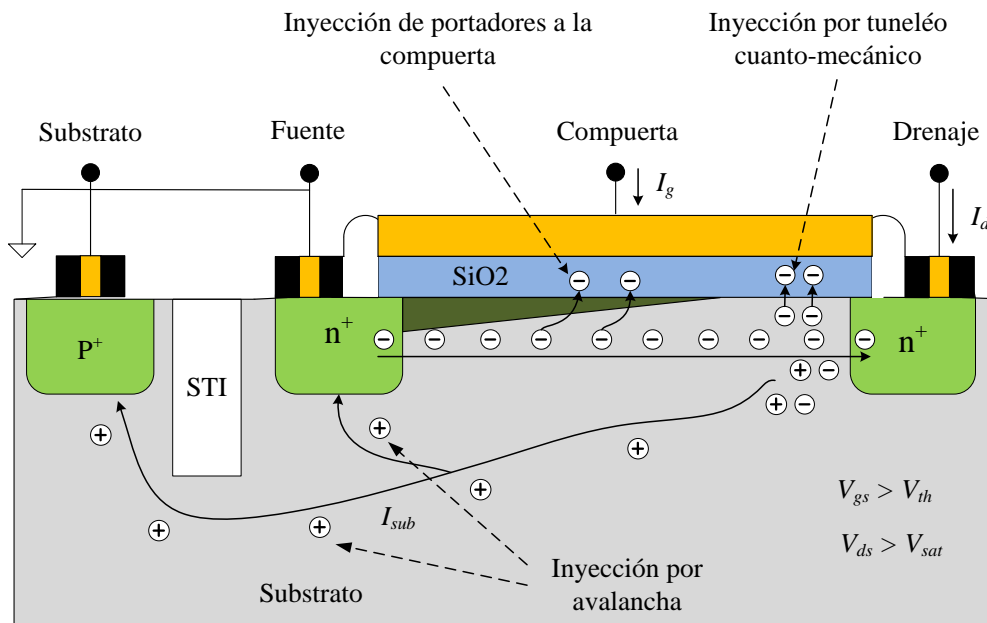


Figura 0.5: Principales mecanismos de inyección de portadores calientes en un MOSFET [22].

Otro fenómeno asociado a los portadores calientes es la ionización por impacto (Figura 0.5) originada también en la región de alto campo eléctrico. Tiene su origen a causa de los electrones que impactan la región de drenaje generando pares hueco-electrón. Que después son barridos a través del sustrato cargado negativamente (suponiendo un transistor de canal n), causando una corriente de fuga en el sustrato [18]. Desde el punto de vista de caracterización, la corriente de sustrato es de gran utilidad para cuantificar la degradación eléctrica, ya que es un indicador de portadores calientes en el dispositivo.

La comprensión de estos mecanismos de degradación en el desempeño del MOSFET pueden ser explicados considerando las condiciones de polarización del dispositivo. Cuando se aplica un voltaje entre las terminales de compuerta y fuente (V_{gs}) mayor al voltaje de umbral (V_{th}) se forma una capa de inversión o canal por debajo del óxido de compuerta como se muestra en la Figura 0.6a. En esta condición, un número significativo de electrones (portadores minoritarios) son generados adyacentes a la superficie de silicio bajo la compuerta.

Después de que el canal de inversión es formado, para un V_{ds} pequeño aplicado entre las terminales de drenaje y fuente, el canal de inversión se comporta como un simple resistor y la corriente de drenaje (I_d) es directamente proporcional a V_{ds} . Bajo estas condiciones de polarización el transistor opera en la región lineal y la distribución de carga en el canal aún puede considerarse uniforme como se muestra en la Figura 0.6b.

Conforme V_{ds} se incrementa, la región de agotamiento se ensancha a lo largo del canal de fuente a drenaje, y el número de electrones en el canal decrece correspondientemente. Por lo tanto, la conductancia (dI/dV) del canal decrece al incrementar V_{ds} , lo cual se refleja en una disminución de la pendiente en las características I - V . De hecho, cuando el valor de V_{ds} alcanza al voltaje de saturación V_{Dsat} , el canal sufre un estrangulamiento; esta región es conocida como de “*pinch-off*” (Figura 0.6c).

El mayor incremento en el ancho de la capa de agotamiento ocurre cerca de la unión de drenaje. Eventualmente, para un voltaje de drenaje suficientemente mayor al voltaje de saturación ($V_{ds} > V_{Dsat}$), la capa de inversión desaparece completamente cerca del drenaje (Figura 0.6d). Esto ocasiona que la conducción normal del canal desaparezca junto al drenaje. En esta condición, se presenta la corriente de saturación, es decir, la pendiente de las características I - V llega a ser aproximadamente cero. Sin embargo, aunque la conductividad del canal disminuye, existe un flujo de electrones debido al alto campo eléctrico entre drenaje y fuente. En esta condición de operación, es cuando los portadores de carga adquieren una gran cantidad de energía del alto

campo eléctrico aplicado, generando así, el fenómeno de portadores calientes previamente explicado.

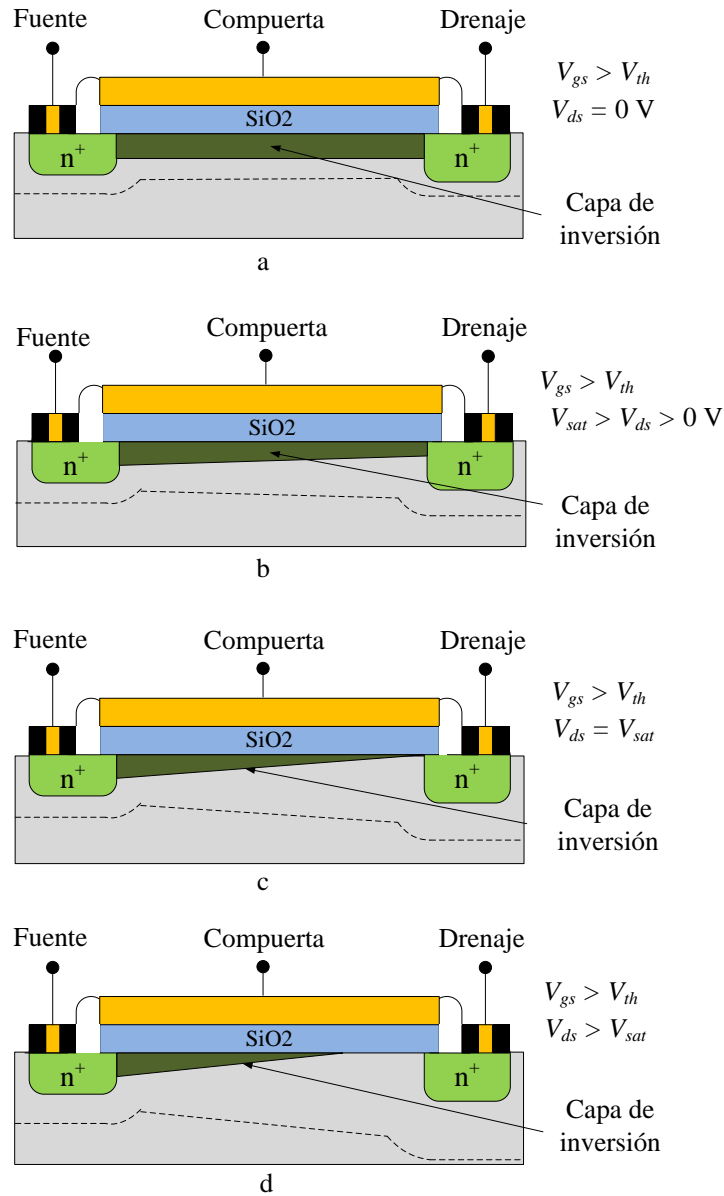


Figura 0.6: Diagrama esquemático de un MOSFET de canal-n mostrando el canal de conducción a diferentes valores de V_{ds} [22].

Para disminuir el efecto de portadores calientes dentro del MOSFET se han desarrollado nuevas estructuras resistentes a este efecto. Una opción que se ha empleado es utilizar óxidos más resistentes ante la presencia de portadores calientes.

Sin embargo, como la principal causa de este efecto es el alto campo eléctrico longitudinal, se ha optado por buscar nuevas formas de disminuir este campo eléctrico modificando la estructura tanto de drenaje como de fuente.

Unas de estas alternativas es el uso de regiones LDD (drenaje ligeramente dopado, por sus siglas en inglés) en las regiones de drenaje y fuente (Figura 0.7). El empleo de esta alternativa genera una dependencia en las resistencias de fuente (R_s) y drenaje (R_d) con el voltaje de compuerta. Esto se debe a que estas regiones se encuentran por debajo de la compuerta y pueden ser moduladas por el voltaje aplicado en esta terminal. Por lo tanto, este fenómeno deber ser considerado en los modelos de los dispositivos.

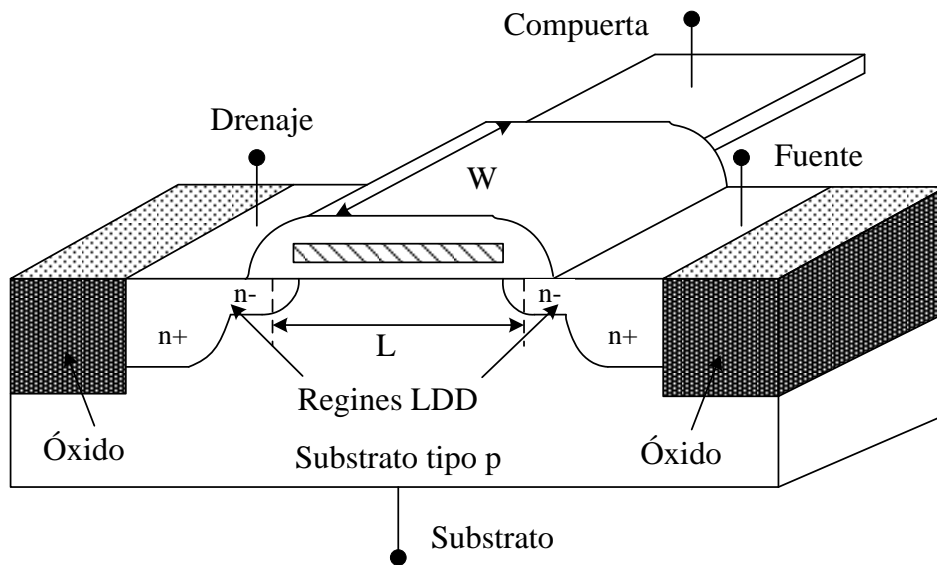


Figura 0.7: Esquema básico del MOSFET, resaltando las regiones LDD [23].

1.3.2. Efectos de portadores calientes en las características eléctricas

Los portadores calientes degradan el funcionamiento del MOSFET, ya que al ser inyectados dentro del óxido de compuerta pueden quedar atrapados en él o incluso generar estados en la interface Si-SiO₂. Esto produce variaciones en algunos parámetros importantes como V_{th} , la corriente de saturación (I_{sat}), g_m y en las relaciones de corriente-voltaje en general. La degradación de estas características influye en el comportamiento de pequeña señal y por consiguiente en las principales figuras de mérito como la frecuencia de corte (f_T) y la máxima frecuencia de oscilación (f_{max}) [24] [25]. De esta manera, también se induce una degradación en el

desempeño de RF, que se ve reflejado en figuras de mérito referentes al ruido y la linealidad. En consecuencia, la vida útil del dispositivo también se ve afectada, ya que la acumulación de portadores en el óxido puede producir el rompimiento del dieléctrico [26], ocasionando que el dispositivo deje de funcionar totalmente.

Otro efecto notable debido a la degradación por portadores calientes se presenta cuando el MOSFET es usado en aplicaciones de conmutación [27], ya que se reduce la corriente en estado de encendido para el nMOSFET y aumenta la corriente en estado de apagado en el pMOSFET. Sin embargo, debido a que el coeficiente de ionización por impacto es mucho mayor para los electrones que para los huecos [4], los nMOSFET son los más susceptibles a presentar este problema. Otra causa por lo que los nMOSFET son impactados en mayor forma por portadores calientes, es debido al flujo libre de electrones y el hecho de tener una barrera de energía más pequeña que el pMOSFET [25]. A causa de esto, los circuitos digitales que emplean ambos tipos de transistores, como los basados en lógica complementaria, sobrellevan mejor el problema que aquellos que únicamente utilizan nMOSFETs.

1.4. Propósito de este proyecto

1.4.1. Descripción del problema

A causa de que el MOSFET es usado ampliamente en aplicaciones de sistemas electrónicos de alta velocidad, es necesario garantizar su confiabilidad. Por ello, la caracterización y modelado de estos transistores son de vital importancia, ya que nos permiten representar su desempeño en función de alguna condición de polarización y de su geometría. Aunque el uso de modelos de pequeña señal es muy usado para representar y modelar las características más importantes del MOSFET, también es necesario el uso de figuras de mérito en pequeña señal, como f_T y f_{max} , ya que nos permiten comparar dispositivos.

Por otro lado, debido al escalamiento, las dimensiones del MOSFET han sido reducidas, lo que ha tenido como consecuencia la generación de portadores calientes. Como es bien conocido, estos portadores generan una degradación en las características de DC. Sin embargo, las características de alta frecuencia también son afectadas. A causa de ello, es necesario entender de qué manera son afectadas las características de pequeña señal, así como las principales figuras de mérito debido al efecto de portadores calientes.

1.4.2. Propuesta

En este trabajo, se plantea el desarrollo de un proceso controlado de desgaste para un nMOSFET de RF con dimensiones nanométricas. Lo anterior nos permitirá determinar el impacto de la inyección de portadores calientes (HCI, por sus siglas en inglés) en las características de DC y RF. De esta manera se presenta un análisis detallado para cada parámetro del modelo de pequeña señal. De esta manera, podemos predecir el desempeño y las posibles fallas que pueden ocurrir cuando el transistor es expuesto a HCI.

En este trabajo, se realizaron mediciones de RF hasta 110 GHz a dispositivos sujetos a diferentes tiempos de degradación por HCI. Esto permite la cuantificación del efecto de portadores calientes en las características de pequeña señal que presenta el dispositivo. Además, se presenta un nuevo método para extraer la frecuencia de corte por medio de una regresión hacia bajas frecuencias de la parte imaginaria del parámetro h_{21} . Este método, en comparación con el método convencional, permite reducir la incertidumbre que se presenta al elegir el rango de datos experimentales requerido para realizar una extrapolación hacia altas frecuencias.

Capítulo 2

Impacto de la degradación por portadores calientes en las características de pequeña señal

El MOSFET es un amplificador de transconductancia, es decir, una fuente de corriente controlada por voltaje. Cuenta con una impedancia muy alta en la entrada y una ganancia de corriente considerable [28]. Sin embargo, contiene muchos elementos parásitos que influyen en su comportamiento.

El modo de operación en pequeña señal es muy importante, tanto para el MOSFET como para otros dispositivos activos. Por lo general, la amplitud de las señales de AC es más pequeña que los valores de DC en el punto de operación deseado. De esta manera, se puede suponer una relación lineal entre las señales de salida y entrada. El comportamiento eléctrico de pequeña señal puede entonces ser representado a través de un circuito equivalente, el cual está formado por elementos capacitivos, resistivos e inductivos.

Para realizar modelos en altas frecuencias, se requieren mediciones de parámetros- S , que a través de una conversión a parámetros de admitancias e impedancias nos permitan determinar los elementos del circuito equivalente.

2.1. Modelos existentes

La generación de portadores calientes y sus efectos en las características eléctricas del MOSFET ha sido estudiada por largo tiempo. En estos estudios, la degradación del transistor es representada por cambios en las características de los parámetros de pequeña señal, agregando más elementos al circuito equivalente. Incluso de manera analítica, al modificar las expresiones para determinar las principales figuras de mérito en pequeña señal. A continuación se presentan algunos enfoques que se han realizado para representar el impacto de portadores calientes.

Como se mencionó anteriormente, la presencia de portadores calientes puede generar dos fenómenos importantes. El primero es el impacto por ionización que se manifiesta a través de una corriente a través del sustrato. El segundo es la inyección de electrones dentro de la capa de óxido, generando una corriente de compuerta y eventualmente la ruptura del mismo.

2.1.1. Análisis de un nMOSFET de 120 nm (2006)

Un estudio del impacto de portadores calientes y de la ruptura de la capa del óxido en las principales figuras de mérito, como la frecuencia de corte y la máxima frecuencia de oscilación de RF MOSFETs es presentado en [29,30]. Los autores se enfocan en g_m , las capacitancias de unión, la resistencia de canal, entre otras, ya que las figuras de mérito como f_T y f_{max} dependen directamente de estos parámetros.

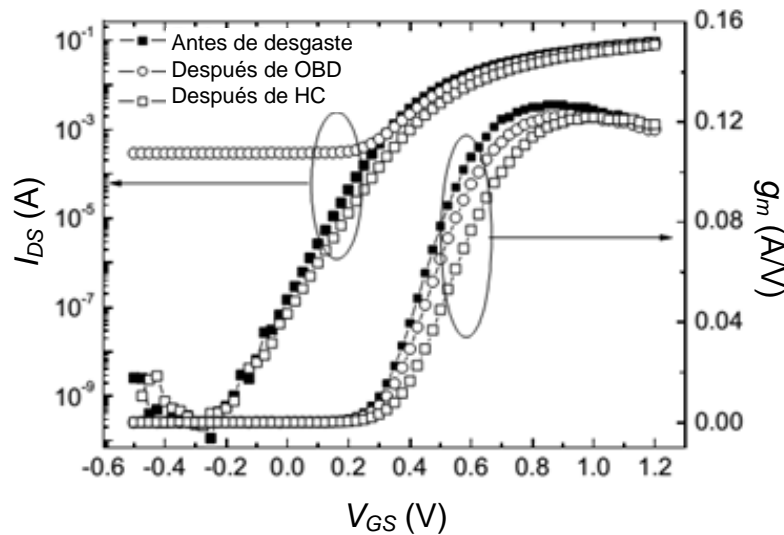


Figura 0.1: Características de DC de un MOSFET antes y después de inyección de portadores calientes y de desgaste del óxido (*breakdown*) según [26,27].

Los dispositivos bajo prueba fueron fabricados usando una tecnología RF CMOS de $0.13 \mu\text{m}$, con una longitud de canal $L = 0.12 \mu\text{m}$ y un ancho total $W_t = 158.4 \mu\text{m}$, presentado un espesor de óxido en la compuerta de 2 nm . Para generar estrés por portadores calientes, la compuerta y drenaje fueron polarizados con 1.2 volts y 2.4 volts , respectivamente. Finalmente el tiempo total de desgaste fue de $15,000 \text{ segundos}$. Por otro lado, para analizar el impacto de OBD, se aplicó un voltaje en la compuerta

($V_g = 3.9$ volts), en tanto que las demás terminales fueron conectadas a tierra. En la Figura 0.1 se muestran las curvas correspondientes de la corriente de drenaje y de la transconductancia, mostrando los cambios que se presentan después de la degradación inducida en el dispositivo para ambos casos.

Los resultados muestran que el factor que más afecta el desempeño de transistor es “oxide breakdown” en comparación a cuando se induce la inyección de portadores calientes. Esto es debido a que la señal inyectada en la terminal de compuerta es muy grande, y por lo tanto, deteriora en mayor proporción los enlaces del óxido generando interfaces de estado y cargas atrapadas. Para corroborar esto, los autores propusieron un modelo de pequeña señal que representa el impacto en las características de RF. En donde la corriente de fuga inducida por la ruptura del óxido es representada por las resistencias de compuerta a fuente R_{gs} y de compuerta a drenaje R_{gd} como se muestra en la Figura 2.2. Esta degradación se manifiesta a través de una disminución en g_m y de la corriente de drenaje, así como un corrimiento del voltaje de umbral a valores mayores. Por lo tanto, la degradación de las características de DC también repercutirá en el desempeño de RF. En este modelo, la mayoría de los parámetros del circuito equivalente pueden ser extraídos por medio del uso de parámetros-Y.

Los valores de los elementos de pequeña señal después del tiempo final de degradación se ilustran en la tabla 1. En donde se muestra el impacto en las características de pequeña señal después de inyección de portadores calientes y *oxide breakdown*. En esta tabla, se puede observar que la mayoría de los parámetros extrínsecos no sufren algún cambio. Sin embargo, los parámetros que se ven afectados son los elementos que conforman la parte intrínseca del transistor en especial R_{ds} y C_{gs} .

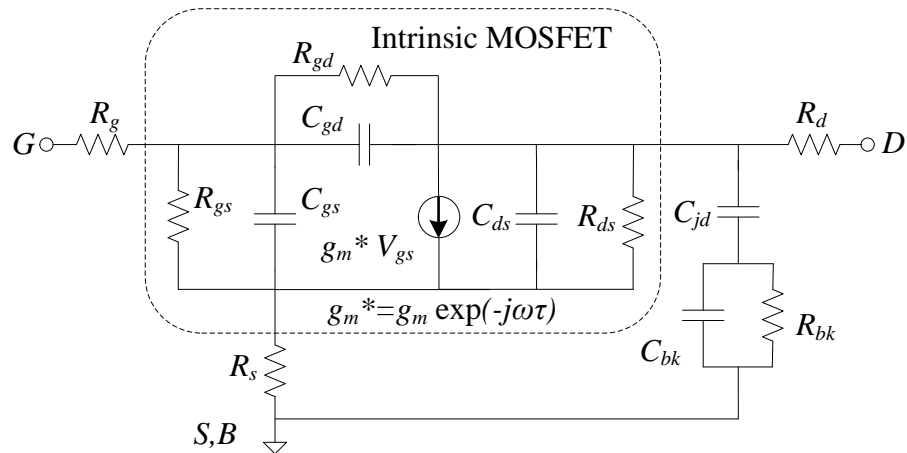


Figura 0.2: Modelo de pequeña señal para representar los efectos de portadores calientes y oxide breakdown en un RF MOSFET [29].

Tabla 1. Valores de los parámetros de pequeña señal para el transistor después de la degradación por HCl y OBD [29].

	R_s (Ω)	R_d (Ω)	R_s (Ω)	R_{ds} (Ω)	R_{bk} ($k\Omega$)	C_{gd} (fF)	C_{gs} (fF)	C_{ds} (fF)	C_{jd} (fF)	C_{bk} (fF)	g_{m0} (mS)	R_{gs} ($k\Omega$)	R_{gd} ($k\Omega$)
Fresco	1.7	7.71	3.51	75	1.4	57.4	215	380	358	3	270	--	--
Después de HCl	1.7	7.89	3.52	76.2	1.4	57.8	239	380	358	3	209	--	--
Después de OBD	1.84	7.76	3.51	68.7	1.4	57.8	221	380	358	3	240	6.54	33

Basado en el modelo modificado de la Figura 0.2, la frecuencia de corte puede ser aproximada como:

$$f_T \approx \frac{g_m - \frac{2}{R_{gd}} - \frac{1}{R_{gs}}}{2\pi(C_{gd} + C_{gs})} \quad (0.1)$$

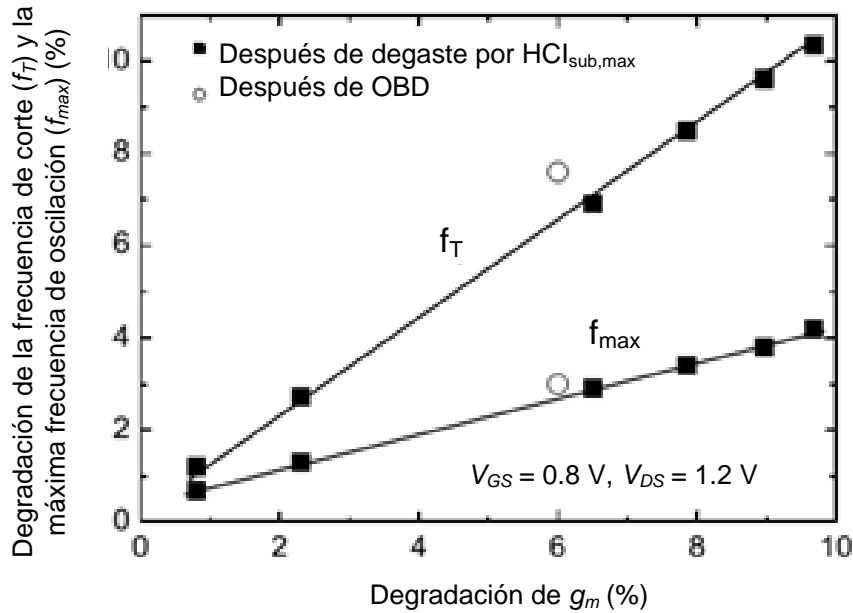


Figura 0.3: Relación de la degradación de f_T y f_{max} con respecto a la degradación de g_m después de HCl y OBD [24,29].

Además, como la máxima frecuencia de oscilación es directamente proporcional a la ganancia de potencia del transistor, los nuevos caminos de fuga en la capa de óxido de compuerta dan como resultado una pérdida de energía. Por lo tanto, la degradación de f_{max} . Para el caso de este estudio, se encontró que después que el dispositivo fue sometido a una degradación inducida por corrientes de DC, estas figuras de mérito se ven más afectadas por el efecto de OBD, como se puede observar en la Figura 0.3.

2.1.2. Análisis de un MOSFET de 40 nanómetros para predecir el envejecimiento ocasionado por degradación eléctrica

En este estudio propuesto en [31] se describe de manera detallada los principales fenómenos físicos que pueden ocasionar degradación en un transistor. Entre los más relevantes se mencionan portadores calientes, inestabilidad en la temperatura por polarización y la ruptura del dieléctrico dependiente del tiempo. Sin embargo, con la continua reducción de la longitud de canal del MOSFET los portadores calientes han llegado a ser la primera causa de desgaste para aplicaciones de RF y señal mixta analógica (AMS, por sus siglas en inglés).

Un modelo físico para representar la cantidad de degradación a la que está sujeto el dispositivo, bajo condiciones de desgaste por portadores calientes fue establecido y sigue una regla de potencia. Dicha regla depende del tiempo de estrés y ha sido verificada empíricamente en [32] prediciendo de manera certera la degradación que sufre el dispositivo. Este modelo es representado por la ecuación (0.2).

$$\Delta P = A * t_{HCI}^n \quad (0.2)$$

donde ΔP representa la degradación de un parámetro, por ejemplo, corriente lineal o de saturación, voltaje de umbral o máxima transconductancia. Por otro lado, el parámetro A depende de muchos factores como la arquitectura del dispositivo, su geometría y las condiciones de polarización [5]. Finalmente, t es el tiempo de degradación a la cual fue sometido el dispositivo.

Para realizar la extracción de los elementos del modelo equivalente de pequeña señal, los parámetros- S fueron convertidos a parámetros- Y . Es importante mencionar que este análisis fue llevado a cabo bajo un enfoque cuasi estático en el funcionamiento del transistor, lo cual es viable para dispositivos con longitudes de canal pequeñas.

2.2. Efectos en el rango de microondas

Uno de los efectos más importantes que llega a ser evidente cuando la frecuencia de operación aumenta es la corriente que fluye a través del sustrato, esto se debe a que la impedancia asociada al sustrato disminuye conforme la frecuencia aumenta. Esta corriente es considerada una pérdida y juega un papel muy importante en el modelado en alta frecuencia. Se ve reflejada como un incremento en la corriente de salida del dispositivo, generalmente a frecuencias superiores a 10 GHz. Además, se hacen presentes los efectos distribuidos en la compuerta, sustrato y canal del transistor [33].

2.2.1. Efecto “kink”

Durante los últimos años, se ha investigado el fenómeno de degeneración “kink”, el cual tiene un efecto directo en el coeficiente de reflexión del puerto de salida, es decir en el parámetro S_{22} de los transistores de RF y microondas. La aparición de este fenómeno se debe a un cambio abrupto en el comportamiento del parámetro S_{22} a una determinada frecuencia. Se puede describir como el resultado de efectos combinados de elementos del circuito equivalente. Además, es dependiente de la temperatura y de las condiciones de polarización. Para una cierta condición de polarización, este fenómeno tiene una fuerte dependencia de g_m , en especial cuando esta última es muy alta. Este fenómeno también se puede manifestar en el parámetro h_{21} , a través de un pico en su magnitud conforme la frecuencia de operación aumenta como se muestra en la Figura 0.4 [34].

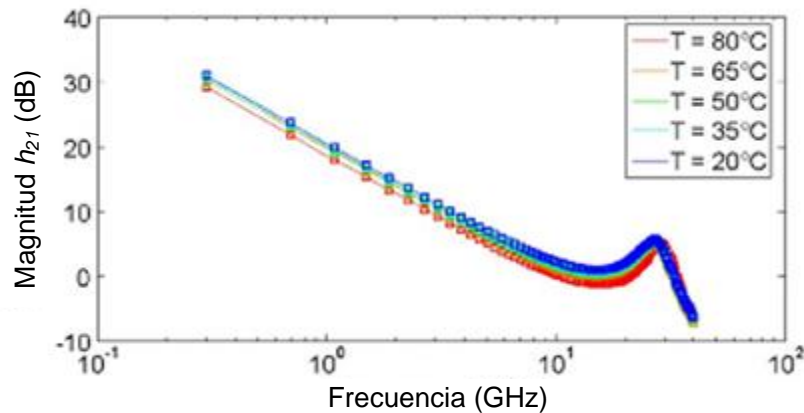


Figura 0.4: Magnitud de h_{21} medido (símbolos) y simulado (líneas) de 0.3 a 40 GHz para un HEMT GaN a $V_{gs} = -2$ V y $V_{ds} = 19$ V sobre cinco diferentes valores de temperatura [34].

En otros estudios reportados en [35,36], la aparición de este efecto es atribuida a la transición de la impedancia de salida, de un circuito serie RC en bajas frecuencias a un circuito paralelo RC en altas frecuencias. Regularmente, este fenómeno se manifiesta a frecuencias significativamente mayores de la frecuencia de corte.

Por otro lado, diferentes teorías han sido propuestas para explicar este fenómeno en términos de elementos de circuito equivalente. Además se ha tratado de identificar cuáles de estos elementos juegan un rol dominante. Su origen ha sido adscrito a g_m , la resistencia de realimentación y a la resistencia del sustrato [35]. Se ha encontrado que un incremento en g_m del transistor hace más evidente este efecto, mientras que un incremento en la capacitancia de drenaje a fuente (C_{ds}) ocasiona que este efecto sea menos evidente como se muestra en la Figura 0.5.

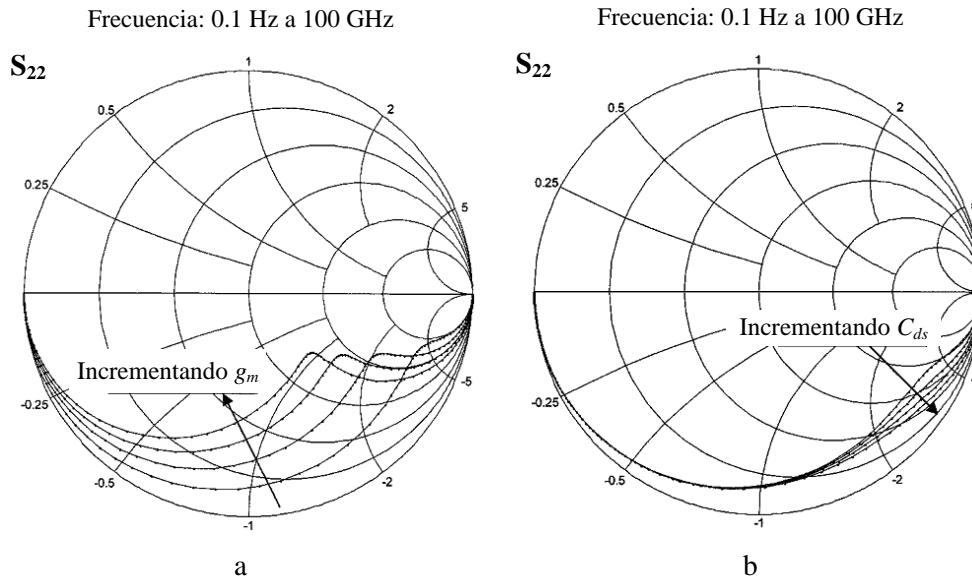


Figura 0.5: Efectos de g_m y C_{ds} en el fenómeno *kink* [36].

Esto explica porque el efecto *kink* es más evidente en transistores bipolares de unión que en los transistores de efecto de campo. Especialmente en los transistores bipolares de heterounión, ya que tienen un valor mayor de g_m y la capacitancia de colector a emisor C_{ce} que es análoga a C_{ds} es más pequeña [36].

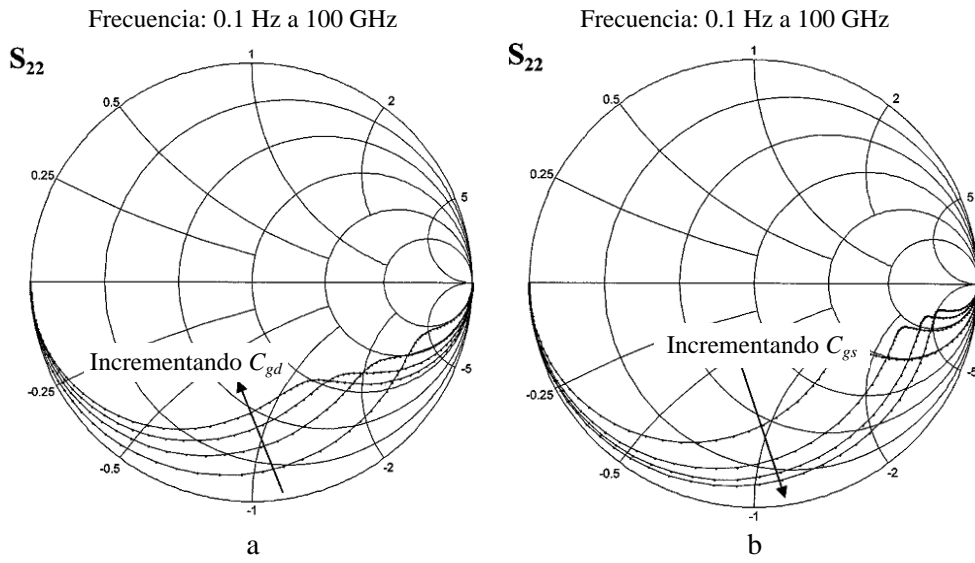


Figura 0.6: Efectos de C_{gd} y C_{gs} en el fenómeno *kink* [36].

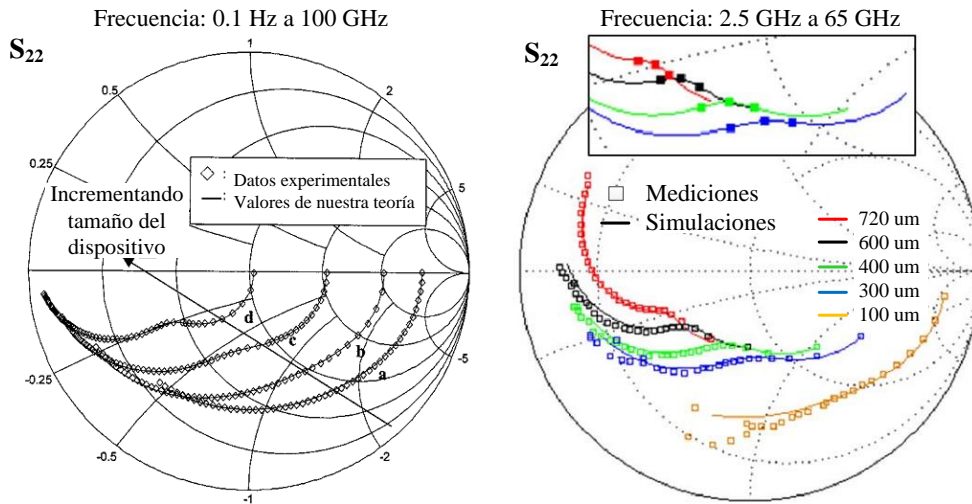


Figura 0.7: Efecto del tamaño del transistor en el efecto *kink* [35,36].

Además cuando la capacitancia de compuerta a drenaje (C_{gd}) aumenta, el comportamiento del efecto *kink* es similar a cuando g_m aumenta, como se muestra en la Figura 0.6a. Por otro lado, cuando la capacitancia de compuerta a fuente (C_{gs}) aumenta, el punto *kink* o punto de inmersión (frecuencia en donde el parámetro S_{22} empieza a deformarse) se mueve a un punto más cercano al circuito abierto dentro de la carta Smith, como se muestra en la Figura 0.6b.

Sin embargo, el factor más importante para que este efecto llega a ser gradualmente visible, es cuando el tamaño del transistor aumenta [35,36], como se muestra en la Figura 0.7.

2.2.2. Resistencias parásitas

Dentro del MOSFET existen elementos indeseados que afectan su desempeño, algunos muy importantes son las resistencias parásitas que se pueden presentar en la región de drenaje, región de fuente y en el sustrato.

Una de las desventajas que presenta el MOSFET con regiones LDD, es que estas regiones con menor densidad de dopado incrementan considerablemente el valor de las resistencias de drenaje y fuente. Dichas resistencias disminuyen en la capacidad de manejo de corriente con respecto a un MOSFET convencional, reduciendo el valor de g_m y afectando el voltaje de umbral (V_{th}) [37,38]. Además, los valores de estas resistencias no son despreciables, ya que son comparables a la resistencia del canal (R_{ch}), cuando el MOSFET opera en la región de fuerte inversión. Por ello, es necesario considerarlas para obtener resultados más certeros. Por otro lado, los valores de estas resistencias no son constantes ante las variaciones del voltaje de compuerta, esto se debe a que la región con menor densidad de dopado (Regiones LDD) se encuentra debajo de la compuerta y son moduladas por el voltaje aplicado [39].

2.2.3. Efectos distribuidos

Como se ha mencionado anteriormente, la reducción de las dimensiones del MOSFET ha permitido alcanzar mayores frecuencias de corte, por lo que la operación del dispositivo se ha desplazado al rango de los GHz. En estas condiciones de operación, los portadores de carga en el canal no reaccionan instantáneamente a los cambios de los voltajes aplicados. Este régimen de operación es conocido como régimen no-cuasi-estático (NQS, por sus siglas en inglés). Esto es debido al tiempo de tránsito finito de los portadores de carga en la capa de inversión y también al retardo de los voltajes intrínsecos aplicados, el cual es introducido por los elementos parásitos. Estos efectos son asociados con la naturaleza distribuida del MOSFET, y llegan a ser evidentes conforme la frecuencia de operación aumenta. Los tres efectos distribuidos más importantes y que limitan el funcionamiento del dispositivo son la

resistencia distribuida del canal, la resistencia distribuida de compuerta y la resistencia distribuida del sustrato [33].

Estos efectos distribuidos son ilustrados en la Figura 0.8, en donde se observa que el dispositivo puede ser analizado como un sistema con varias líneas de transmisión cuando la frecuencia de operación incrementa. Esto sugiere que los efectos distribuidos son fuertemente dependientes de las dimensiones y geometría del dispositivo. Por lo tanto, los componentes resistivos, capacitivos e incluso inductivos asociados con cada línea de transmisión son determinados en función del ancho y largo del MOSFET [33].

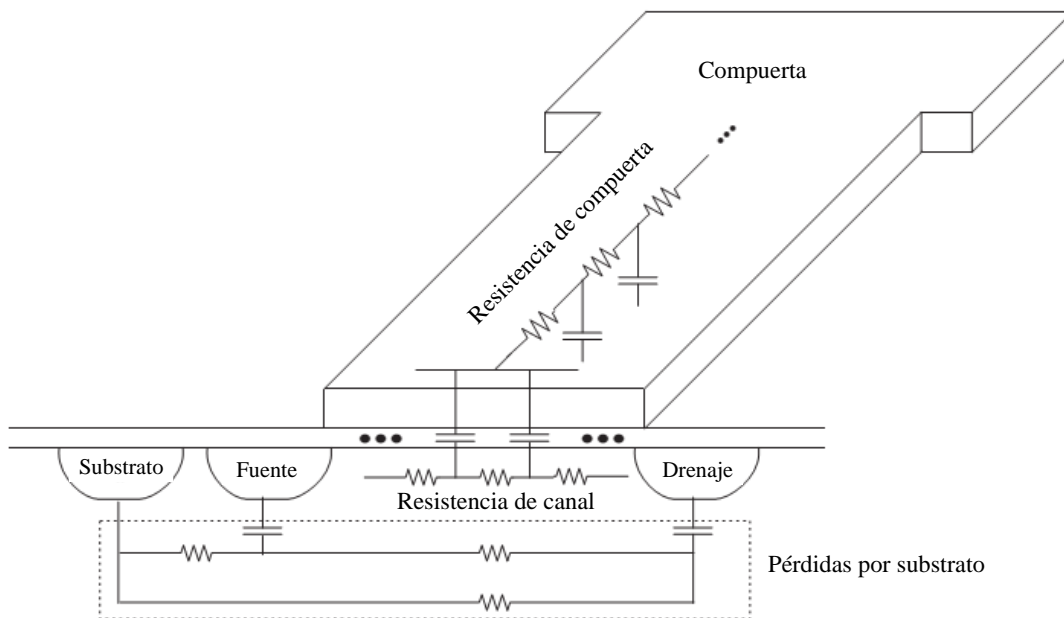


Figura 0.8. Diagrama simplificado de un MOSFET mostrando los principales efectos distribuidos en altas frecuencias [33].

2.3. Figuras de mérito

Las figuras de mérito son cantidades o parámetros que son usados para estimar y comparar el desempeño y rendimiento de un dispositivo o sistema. Estos parámetros pueden ser determinados a partir de datos experimentales y/o parámetros conocidos. Para dispositivos de RF y microondas dos de las figuras de mérito más importantes son f_T y f_{max} .

La frecuencia de corte permite la evaluación de la velocidad intrínseca y transporte de carga en el canal [18]. Este parámetro es una de las figuras de mérito más usadas para comparar el desempeño de MOSFETs presentando diferentes geometrías, estructuras o fabricación en diferentes tecnologías. Además, también es usada para evaluar la degradación de las propiedades eléctricas en un dispositivo debido al envejecimiento causado por la inyección de portadores calientes (HCI) [26]. La f_T es definida como la frecuencia a la cual la ganancia de corriente en pequeña señal de un transistor es igual a la unidad.

Para determinar esta figura de mérito, puede graficarse la ganancia de corriente contra frecuencia y observar la frecuencia en donde la curva sea igual a la unidad. Lo que es equivalente a 0 dB si la ganancia de corriente es graficada en decibles, como se observa en la Figura 0.9. Idealmente esta curva debe presentar una pendiente de -20 dB/dec.

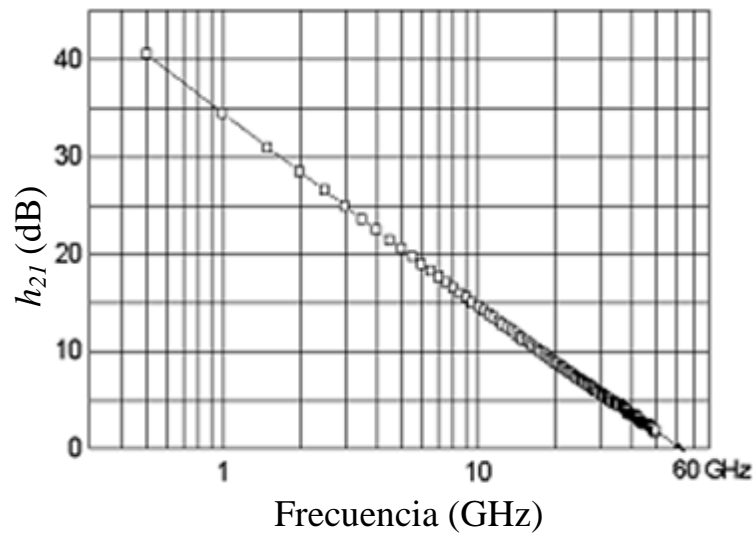


Figura 0.9: Regresión lineal para extraer f_T de un nMOSFET [40].

Por años, este parámetro ha sido relacionado a los elementos intrínsecos del MOSFET. Por lo tanto, puede obtenerse a través de los parámetros de pequeña señal del circuito equivalente mediante la siguiente expresión [4,26].

$$f_T = \frac{g_m}{2\pi (C_{gd} + C_{gs})} \quad (0.3)$$

en donde g_m es la magnitud de la transconductancia, C_{gd} y C_{gs} son las capacitancias de compuerta a drenaje y compuerta a fuente respectivamente.

Por otro lado, f_{max} también permite estimar el rendimiento de un dispositivo. A diferencia de f_T , esta figura de mérito toma en consideración los parámetros extrínsecos asociados al dispositivo. Es definida como la frecuencia en la cual la amplificación de la señal de entrada es igual a la unidad en el puerto de salida, es decir, cuando el transistor deja de amplificar. Para determinar esta figura de mérito se puede hacer uso de algunas definiciones de ganancia de potencia [41], las cuales están en función de parámetros-S.

Cuando el dispositivo es considerado unilateral, es decir, el coeficiente de transmisión inverso es igual a cero ($S_{12} = 0$) puede emplearse la ganancia de *Mason*, y es representada por la ecuación (0.4). Esta condición se cumple regularmente para transistores con un ancho de canal considerable [42,43].

$$U = \frac{\left| \frac{S_{21}}{S_{12}} - 1 \right|^2}{2K \left| \frac{S_{21}}{S_{12}} \right| - 2 \operatorname{Re} \left(\frac{S_{21}}{S_{12}} \right)} \quad (0.4)$$

Sin embargo, en la mayoría de los casos los dispositivos activos empleados para amplificar señales no pueden ser considerados unilaterales, es decir, el parámetro $S_{12} \neq 0$. Por lo tanto, para medir la máxima ganancia de potencia es necesario emplear una red de acoplamiento, como la que se ilustra en la Figura 0.10.

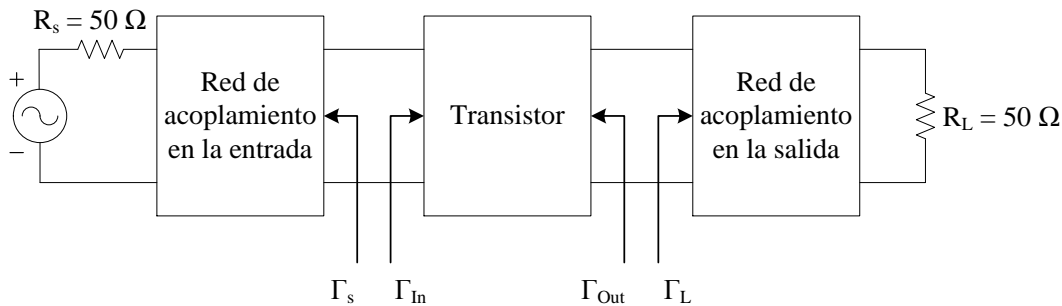


Figura 0.10: Esquema para lograr las condiciones de acoplamiento conjugado [41].

Del análisis descrito en [41] se obtienen dos definiciones de ganancia bajo la condición de acoplamiento conjugado simultáneo, con las cuales se puede determinar

f_{max} . Estas definiciones pueden ser calculadas a partir de los parámetros-S del transistor. La primera es la ganancia máxima del transductor ($G_{T,max}$), que puede ser usada para cuando el factor de estabilidad $K > 1$ y $\Delta < 1$. Bajo esta condición de acoplamiento $G_{T,max}$ es igual a la ganancia disponible máxima (MAG, por sus siglas en inglés) y está definida como:

$$G_{T,max} = MAG = \frac{|S_{21}|}{|S_{12}|} \left(K - \sqrt{K^2 - 1} \right) \quad (0.5)$$

Donde el factor de estabilidad K y Δ son definidos de la siguiente manera:

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta|^2}{2 |S_{12}| |S_{21}|} \quad (0.6)$$

$$\Delta = S_{11}S_{22} - S_{12}S_{21} \quad (0.7)$$

La segunda definición es la ganancia estable máxima (MSG, por sus siglas en inglés), es definida como el valor de $G_{T,max}$ cuando $K = 1$. Esta definición de ganancia puede ser empleada para cuando $K \leq 1$. Además, para un transistor que es potencialmente inestable, MSG es considerada una figura de mérito [41].

$$MSG = \frac{|S_{21}|}{|S_{12}|} \quad (0.8)$$

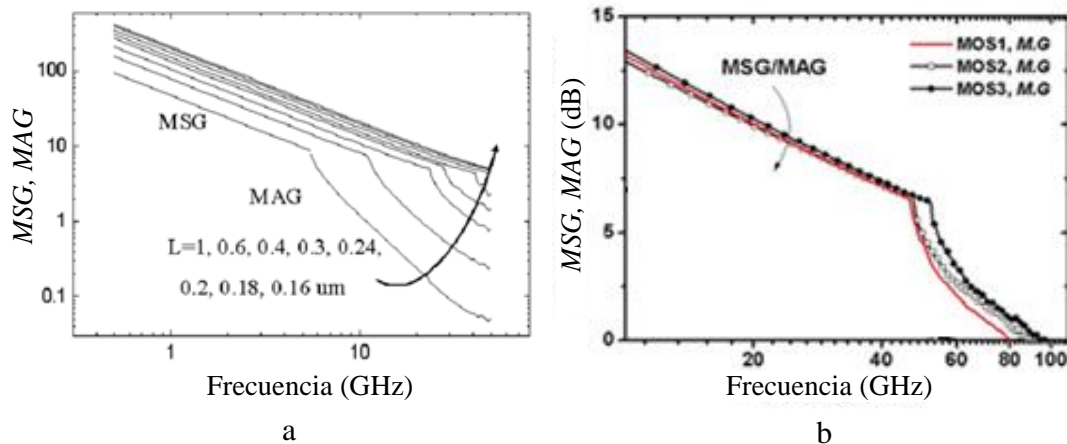


Figura 0.11: Obtención de f_{max} por medio de datos experimentales y definiciones de ganancia de potencia [40,44].

En la Figura 0.11 [40,44] se ilustra la forma en la que se puede determinar f_{max} , para ello las ganancias MAG y MSG se obtienen directamente de datos experimentales del dispositivo bajo estudio. Posteriormente se grafican en decibeles y la frecuencia en la cual la ganancia de potencia es cero, se determina f_{max} . En la Figura 2.8.a podemos observar que f_{max} aumenta conforme la longitud de canal disminuye.

Al igual que f_T , f_{max} también puede ser obtenida por medio de parámetros del circuito equivalente del transistor. Existen varias formulaciones para obtener esta figura de mérito, para el caso del MOSFET, dos son las más empleadas. La primera es considerada por muchas referencias como la de mayor exactitud, debido a que contempla más parámetros y es representada por la ecuación (0.9). La segunda es una simplificación de la primera y se muestra en la ecuación(0.10) [4,45].

$$f_{max} = \frac{f_T}{2\sqrt{g_{ds}(R_g + R_s) + 2\pi f_T R_g C_{gd}}} \quad (0.9)$$

$$f_{max} = \sqrt{\frac{f_T}{8\pi R_g C_{gd}}} \quad (0.10)$$

donde g_{ds} es la conductancia de drenaje a fuente, R_g es la resistencia de compuerta, R_s es la resistencia de fuente, C_{gd} es la capacitancia de compuerta a drenaje.

2.4. Conclusiones del capítulo

En este capítulo, se realizó una recopilación de investigaciones relacionadas con la degradación del MOSFET inducida por portadores calientes. Se hace énfasis en el impacto que tienen los portadores calientes en los parámetros del circuito equivalente, así como, en las principales figuras de mérito de pequeña señal. Además, se hizo una breve explicación acerca del origen de portadores calientes en el transistor, considerando las condiciones de polarización en las terminales del dispositivo. Es decir, los voltajes V_{gs} y V_{ds} , así como las dimensiones del mismo.

El efecto de portadores calientes en un transistor después de un cierto periodo de tiempo, se ve reflejado principalmente en la parte intrínseca del transistor. Por lo tanto, tiene un efecto directo en la reducción de f_T y f_{max} . Por ello, muchos esfuerzos

han sido realizados para poder modelar sus efectos. Algunos enfoques están dirigidos en el modelo de pequeña señal, observando el cambio en sus parámetros correspondientes con respecto al periodo de degradación. Incluso agregando elementos al circuito equivalente para poder reproducir mediciones experimentales. Por otro lado, se ha propuesto representar la degradación de cada parámetro del circuito equivalente por medio de una ley de potencia, considerando el tiempo de desgaste y las condiciones de polarización. Finalmente, la comprensión de todos estos efectos es muy importante, ya que se puede predecir el desempeño del transistor bajo estos efectos y así estimar su vital útil.

Capítulo 3

Implementación experimental

El objetivo de este capítulo es presentar un planteamiento sistemático que nos permita cuantificar el impacto de la degradación por HCI en los parámetros del modelo de pequeña señal y en f_T de un MOSFET de RF. Esto a través de la extracción de los parámetros del circuito equivalente. Se explican los experimentos que fueron desarrollados para analizar el impacto de la degradación eléctrica en el MOSFET.

Para poder llevar a cabo la caracterización, se usaron algunos equipos de medición disponibles en el laboratorio de altas frecuencias de INAOE, de los cuales podemos mencionar:

- ✓ Analizador de redes vectorial Anritsu MS4647A (VNA, por sus siglas en ingles)
- ✓ Módulo Broadband/mmW Anritsu 3739B
- ✓ Módulo de ondas milimétricas Anritsu 3743A (70 KHz – 110 GHz)
- ✓ Analizador de dispositivos semiconductores Agilent B1500A (SDA, por sus siglas en ingles)
- ✓ Estación de trabajo para mediciones de dispositivos en oblea Karl Suss PA200
- ✓ Cables y puntas de DC y RF

En orden para obtener los parámetros de pequeña señal del circuito equivalente y la frecuencia de corte, fue necesario establecer un procedimiento de caracterización. Como primer paso se debe determinar el punto de máxima transconductancia del dispositivo en estudio. Por ello, surge la necesidad de realizar mediciones de DC para establecer las condiciones de polarización en las terminales de compuerta y drenaje. De esta manera, lograr una máxima ganancia de corriente sin dañar al dispositivo.

En segundo lugar se deben definir los intervalos de tiempo en los cuales el dispositivo será degradado, así como, los valores de voltaje para lograr una degradación paulatina. Para ello, el enfoque que se emplea en este proyecto está basado en [46], en donde el voltaje de drenaje-fuente V_{ds} fue establecido a 2.6 V, con lo cual se logra que la corriente del substrato sea el 1% de la corriente de drenaje. Además, los primeros intervalos de tiempo en los cuales el transistor se encuentra bajo el efecto de portadores calientes son pequeños, ya que la degradación es mayor en los primeros

segundos de degradación. Posteriormente se toman intervalos más largos hasta alcanzar el tiempo de degradación total. Por lo tanto, la degradación del MOSFET puede ser representada en función del tiempo al que fue sometido bajo al efecto de portadores calientes.

Finalmente, como la extracción de cada uno de los elementos del circuito equivalente se hace con determinados valores de polarización, de tal forma que se acentúe el parámetro que se desee extraer. Se realizaron mediciones de parámetros-S en tres regiones de operación, es decir, con el transistor apagado, fuerte inversión y saturación en cada tiempo de desgaste.

3.1. Descripción del dispositivo y estructuras de prueba

El arreglo de dispositivos y estructuras de prueba empleados en este proyecto fue diseñado y fabricado en IMEC, Leuven, Bélgica. En dicho arreglo se encuentra el dispositivo RF nMOSFET, además de las estructuras *open*, *short* y *thru-pad* para realizar el deembedding de los datos experimentales. Cada uno de los transistores dentro de la oblea cuenta con un blindaje ubicado debajo de las interconexiones y de la plataforma. Con esta configuración se elimina el acoplamiento entre las terminales a través del sustrato cuando se realizan mediciones de RF. Este esquema es ilustrado en la Figura 0.1b, en donde se observa que el campo eléctrico se confina de mejor manera de la terminal de señal hacia la terminal de tierra, en comparación a estructuras convencionales no blindadas.

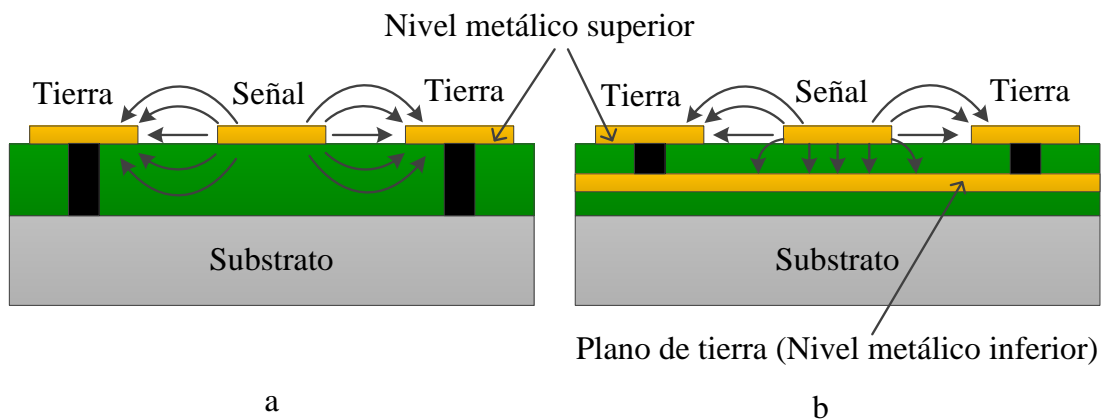


Figura 0.1: Esquema de una estructura para prueba con adaptador coplanar: a) convencional, y b) blindada.

El dispositivo empleado para llevar a cabo la caracterización es un MOSFET de canal-n en configuración fuente/substrato común, con una longitud de canal de 80 nm, 64 *fingers* en la compuerta cada uno de 3 μm de ancho distribuidos en 8 celdas y cuenta con un sistema de aislamiento STI (*Shallow Trench Isolation*, por sus siglas en inglés). Este dispositivo se encuentra dentro de una estructura de prueba con una configuración *ground-signal-ground* en las terminales. Permitiendo la polarización y medición de parámetros S a través de un VNA mediante el uso de puntas de RF coplanares. En la Figura 0.2 se muestran las dimensiones de la estructura de prueba que contiene al transistor a caracterizar.

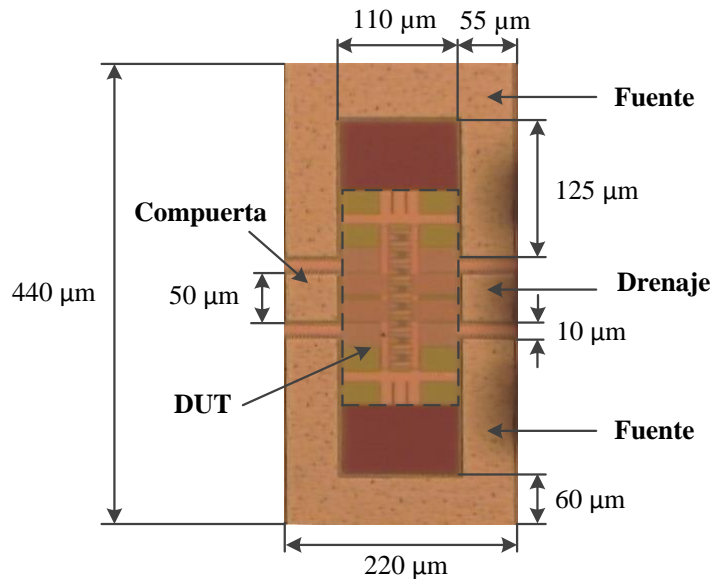


Figura 0.2: Dimensiones de la estructura de prueba, conteniendo al dispositivo bajo estudio.

3.2. Mediciones en DC

Como se mencionó anteriormente en la metodología de extracción, es necesario realizar mediciones de DC para encontrar el voltaje de compuerta a fuente (V_{gs}) en donde se tiene el punto de máxima transconductancia. Para ello debemos obtener las curvas I_{ds} vs V_{gs} , contemplando varios voltajes de drenaje a fuente (V_{ds}), variando el valor de V_{gs} , para este caso de 0 V a 1.2 V. Se debe tener en mente que el voltaje nominal drenaje-fuente para este tipo de transistores es $V_{ds} = 1.2$ V.

La Figura 0.3 ilustra la configuración para realizar las mediciones de DC. Para ello, cuatro unidades fuente monitor (SMU, por sus siglas en inglés) del SDA son conectadas a las puntas de DC para poder aplicar una diferencia de potencial en las

terminales del transistor. Los cables empleados están diseñados bajo el principio Kelvin que en conjunto con el software del equipo SDA permite eliminar los efectos parásitos que se pueden presentar en los cables y conectores usados para polarizar. En la Figura 0.4a se observa el montaje experimental para realizar estas mediciones, mientras que en la Figura 0.4.b se observa como las puntas de prueba de DC son colocadas físicamente en las terminales del transistor.

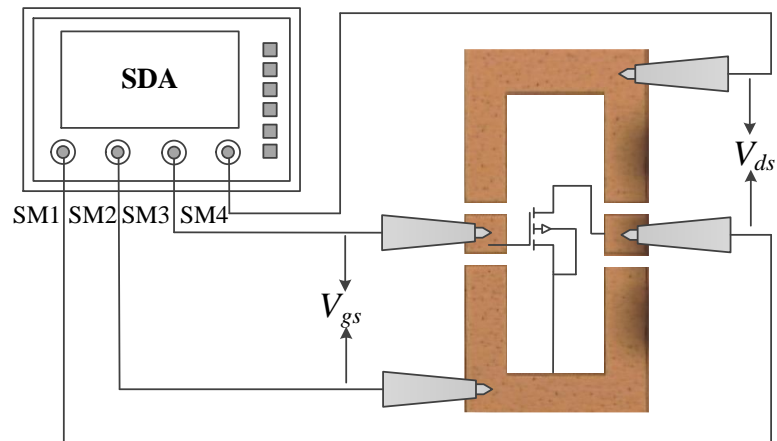


Figura 0.3: Configuración para realizar mediciones de DC en el transistor.

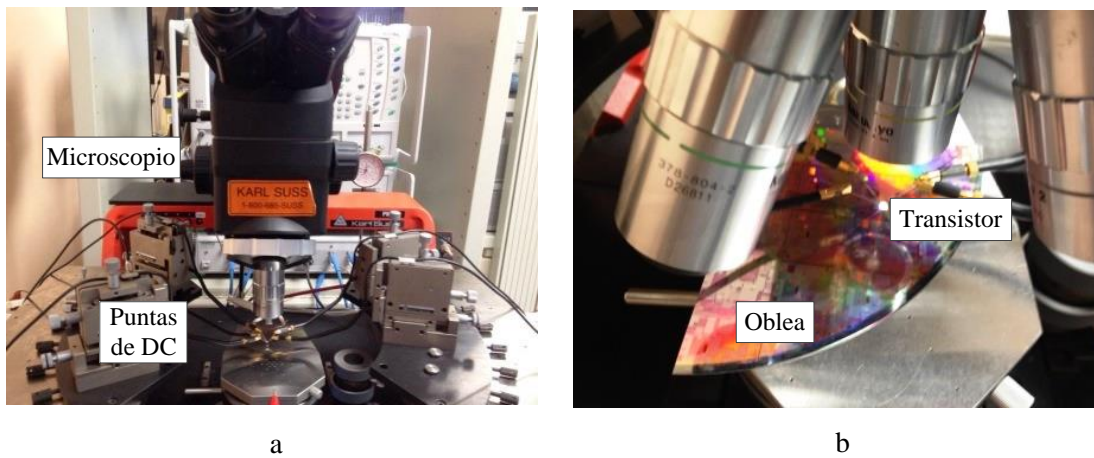


Figura 0.4: a) arreglo experimental para realizar mediciones de DC en el transistor. b) posicionamiento de las puntas de prueba en el dispositivo bajo estudio.

Una vez que se tienen las curvas I_{ds} vs V_{gs} , se procede a obtener las curvas de g_m para diferentes valores de V_{ds} , en función de V_{gs} . Por definición, g_m es la variación de la corriente de drenaje a fuente (I_{ds}) con respecto a V_{gs} .

En la Figura 0.5 se muestran las curvas I_{ds} vs V_{gs} y g_m del dispositivo bajo estudio. Como se puede observar la curva de mayor g_m corresponde a un $V_{ds} = 1.2$ V y su valor máximo se encuentra en $V_{gs} = 0.72$ V. Con ello podemos concluir que con estos dos voltajes se tiene el punto de máxima transconductancia.

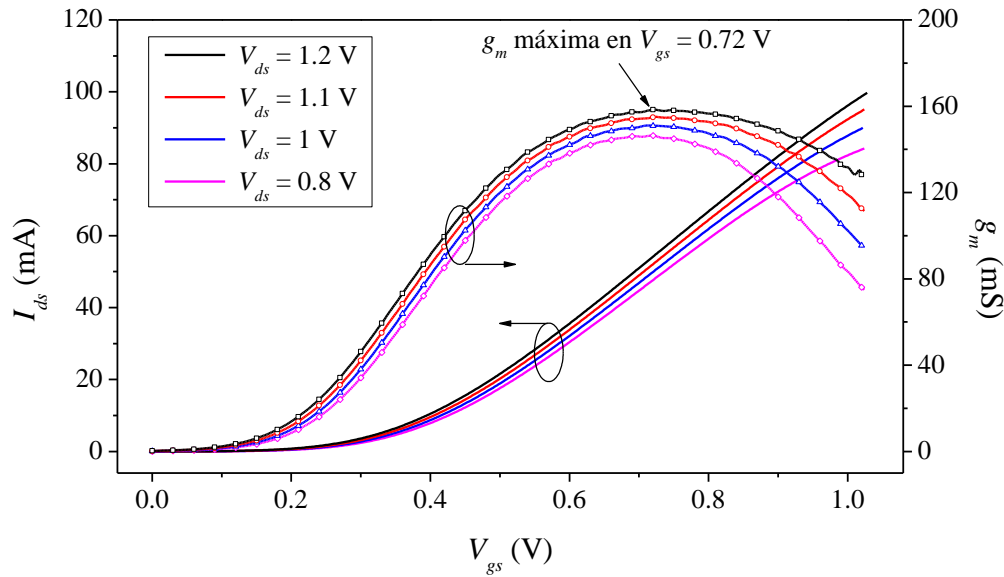


Figura 0.5: Curvas de I_{ds} , g_m vs V_{gs} y, indicando el punto de máxima transconductancia.

Estos voltajes son los que se aplicarán al transistor cuando se realicen mediciones de parámetros S. Es decir, $V_{gs} = 0.72$ V para la región de fuerte inversión, mientras que en saturación se aplicará $V_{gs} = 0.72$ V y $V_{ds} = 1.2$ V. Lo anterior con el objetivo de encontrar la variación de la frecuencia de corte en función del tiempo de desgaste.

3.3. Mediciones de parámetros-S

Para realizar la extracción de los elementos asociados al circuito equivalente es necesario hacer mediciones de parámetros-S, para ello, el transistor es considerando como una red de dos puertos. De esta manera, se puede obtener la frecuencia de corte a través de los parámetros de pequeña señal y de la curva experimental de h_{21} . En la

medición de parámetros- S se hace uso de una fuente de AC de alta frecuencia sobrepuesta a la polarización de DC en la terminal de compuerta, cuyos valores de voltaje dependen de la región de operación en la cual se desea caracterizar al dispositivo, este esquema se muestra en la Figura 0.6.

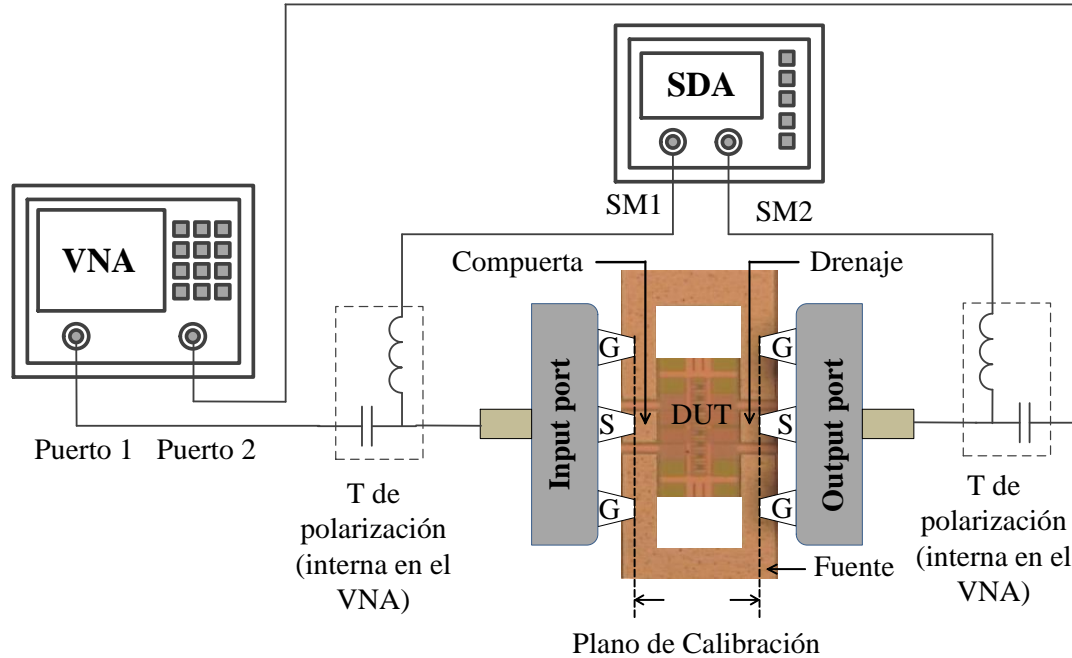


Figura 0.6: Arreglo experimental para realizar mediciones de parámetros S en el transistor.

Además de las mediciones del dispositivo bajo prueba, es necesario realizar mediciones de algunas estructuras como circuito abierto (en inglés *open*), circuito corto (en inglés *short*) y pads, esto con la finalidad de eliminar los efectos parásitos de la estructura de prueba que contiene al transistor. Este procedimiento será abordado con mayor detalle en la siguiente sección.

Para desarrollar las correspondientes mediciones de parámetros- S se montó un arreglo experimental como el que se muestra en el esquema de la Figura 0.7. Esta configuración nos permite inyectar los estímulos de RF, así como los correspondientes voltajes de polarización en las terminales de la estructura a través de unas puntas coplanares G-S-G y con la ayuda de T de polarización (*Bias Tee*). Esto es debido a que el VNA no proporciona voltaje de polarización de manera autónoma, el cual es necesario para ubicar al transistor en las regiones de operación requeridas para su caracterización. Los estímulos de DC son aplicados por el uso de módulos SMU del SDA (Figura 0.8), que además, nos permiten censar los voltajes y corrientes presentes en las terminales del transistor a través de las puntas de RF conectadas al

VNA. Esto resulta realmente conveniente, ya que una vez que se ha llevado a cabo la calibración del equipo y se han colocado las puntas de RF en las terminales de la estructura a medir, estas no se vuelven a levantar hasta terminar de realizar todas las mediciones necesarias. Otro punto a favor de esta configuración es que no se necesitan puntas de pruebas adicionales para la polarización.

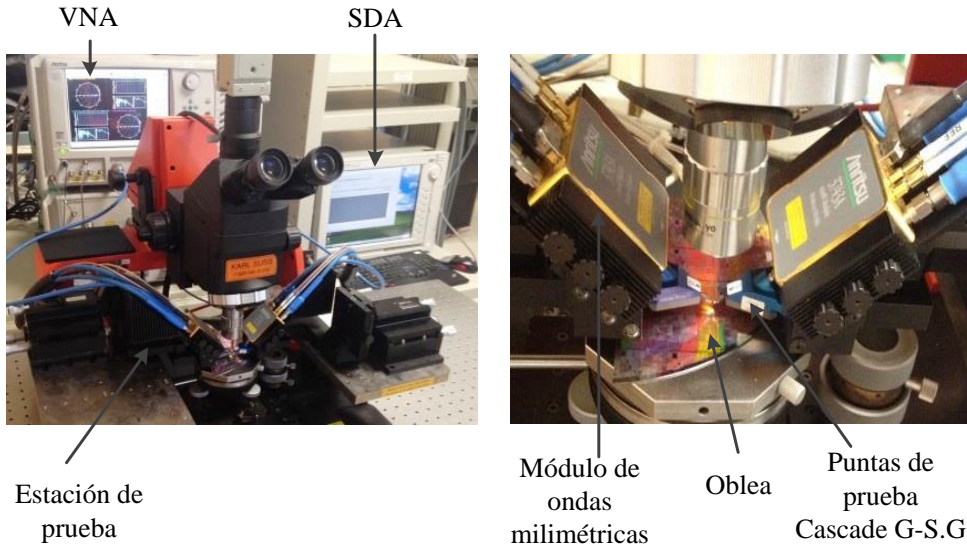


Figura 0.7: Arreglo experimental para realizar mediciones de parámetros S en el transistor.

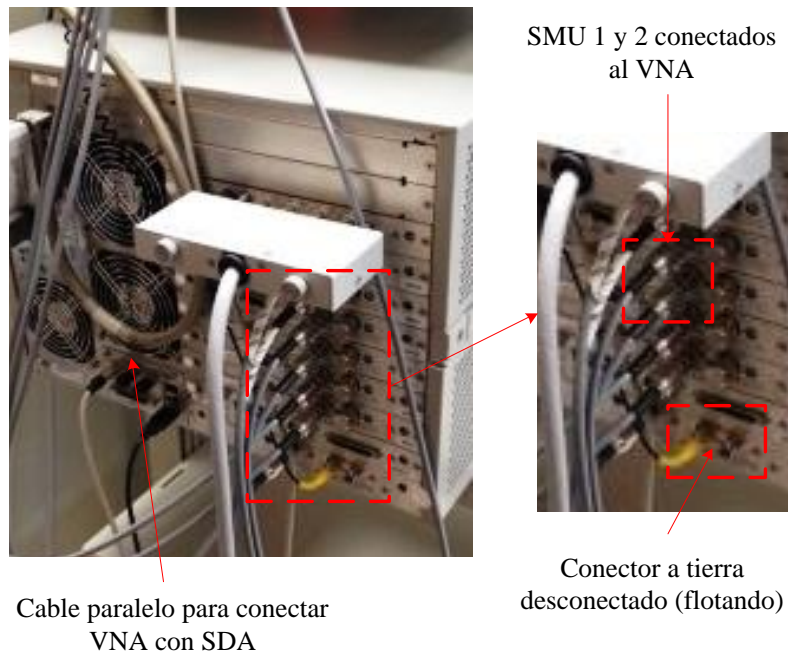


Figura 0.8: Panel trasero del SDA detallando las diferentes conexiones hacia el VNA.

Por otro lado, para llevar a cabo la comunicación entre el VNA y SDA se empleó un cable GPIB, que en conjunto con un software de computo IC-CAP nos permite controlar estos dos equipos de medición simultáneamente mediante la conexión física a través de un cable paralelo como se ilustra en la Figura 0.9.

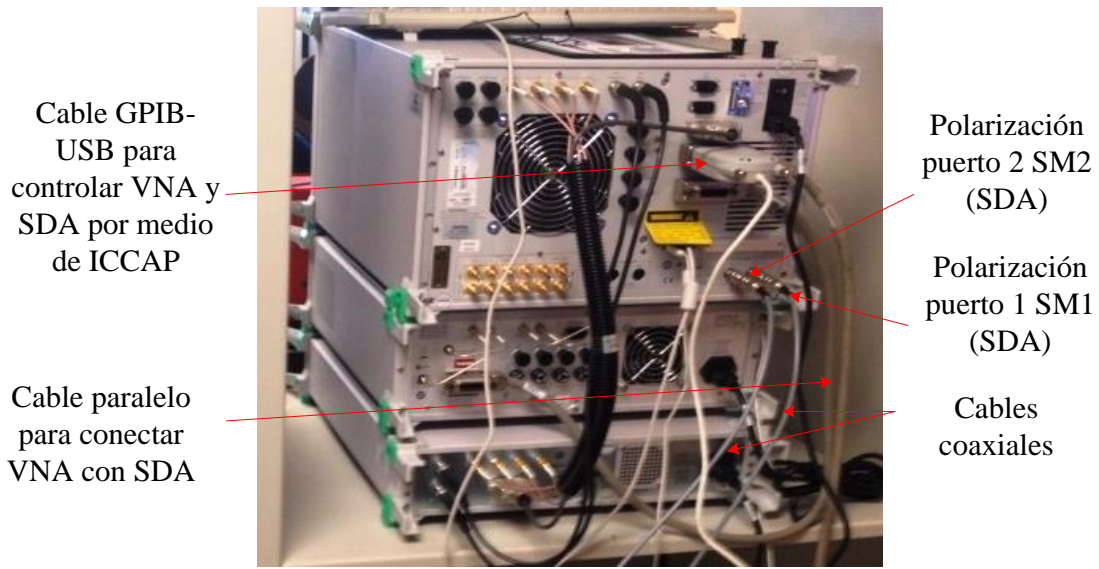


Figura 0.9: Panel trasero del VNA, indicando las conexiones necesarias para poder realizar mediciones de parámetros-S aplicando polarización en las terminales del MOSFET.

Después de desarrollar el procedimiento de calibración y los correspondientes arreglos experimentales descritos en este capítulo se puede proceder a realizar las mediciones de parámetros-S para el transistor fresco, después se procede a degradar al MOSFET bajo las condiciones de polarización previamente establecida y durante un intervalo de tiempo definido. Nuevamente se procede a realizar mediciones de parámetros-S y posteriormente a degradarlo. Este procedimiento se repite hasta alcanzar el tiempo de degradación total.

Estas mediciones de parámetros-S fueron realizadas en un rango de 10 MHz a 110 GHz aplicando una señal de RF con una potencia de -20 dB, el cual garantiza que el MOSFET opere en pequeña señal. Los parámetros-S fueron medidos en tres diferentes condiciones de polarización: con el transistor apagado ($V_{gs} = V_{ds} = 0$ V), fuerte inversión ($V_{gs} = 0.72$ V, $V_{ds} = 0$ V) y en la región de saturación ($V_{gs} = 0.72$ V, $V_{ds} = 1.2$ V)

Es importante mencionar que además de las mediciones de RF, también se realizan mediciones de DC para cada tiempo de desgaste al que está sujeto el transistor, ya que posteriormente nos permitirá observar los cambios en I_{ds} y V_{th} .

3.4. Retos superados para medición de parámetros-S hasta 110 GHz

Durante la medición y procesamiento de las mediciones de parámetros-S del MOSFET se encontraron una serie de inconvenientes, lo cual implica una serie de retos para obtener resultados. La forma en la que se abordó y dio solución a dichos inconvenientes se presenta a continuación.

3.4.1. Calibración del equipo de medición

Probablemente, el concepto central para poder realizar unas buenas mediciones de parámetros-S por medio del uso del VNA, es la calibración. Dicha calibración nos permite eliminar los errores sistemáticos los cables de medición, conectores y puntas de prueba. Para ello, se emplea un procedimiento estándar que hace uso de estructuras de calibración que son fabricadas en substratos especiales y que en la mayoría de los casos son proporcionadas por el fabricante de los equipos de medición. Sin embargo, un paso importante antes de realizar la calibración es la planarización de las puntas de RF. Este proceso consiste en garantizar que las tres terminales de las puntas hagan un contacto homogéneo cuando sean colocadas en el dispositivo, esto con la finalidad de que la señal inyectada por las puntas de prueba sea transmitida íntegramente hacia las terminales del MOSFET. Para lograr este objetivo se hace uso de un substrato de planarización y en repetidas ocasiones se bajan las puntas hasta que se logra un contacto y presión homogénea en las tres terminales de las puntas, al ajustar el ángulo de dichas puntas con respecto al substrato de planarización. Durante la ejecución de este proceso, es de vital importancia tener especial cuidado al bajar las puntas de RF, ya que si se realiza un exceso de presión se puede provocar un daño permanente en las puntas o incluso la ruptura de las mismas.

Actualmente, los VNAs modernos de hoy en día proporcionan un gran rango de opciones de calibración. Las diferentes opciones se derivan del tipo de dispositivo a medir y del rango de frecuencia. Esto representa un incremento en los retos para proporcionar estándares de calibración exactos. Por ejemplo, terminaciones de alta

calidad y estructuras *open* bien definidas son difíciles de producir en altas frecuencias.

Entre estos métodos podemos mencionar TRL (*Thru-Reflect_line*), SOLT (*Short-Open_Load_Thru*), LRM (*Line-Reflect-Match*) y LRRM (*Line-Reflect-Reflect-Match*). Estos métodos se basan en algoritmos que dan solución a un conjunto de ecuaciones establecidas a partir de las mediciones de las estructuras de prueba. De esta manera, se calculan y eliminan los términos de error asociados a la desviación de las mediciones de parámetros-*S* de las propias estructuras. Es importante tener en mente que la calibración tiene alcance solamente hasta el plano de calibración, que es el lugar en donde se han colocado las puntas de RF sobre las terminales del transistor, como se observa en la Figura 3.6. En nuestro caso se hizo uso del método de calibración LRM, para ello se empleó el Substrato Estándar de Impedancias (ISS, por sus siglas en inglés) 104-873A de la empresa Cascade Microtech, que contiene las estructuras de alta calidad: línea de transmisión (*line*) con retardo de fase conocido a una frecuencia dada, un corto circuito (*short*) estándar para cada punta de prueba y una impedancia (*load or match standard*) de 50Ω como terminación en cada punta de prueba.

En la Figura 0.10 se ilustra la forma física de las tres estructuras de calibración que se encuentran dentro del substrato estándar de impedancias, y que nos permiten desarrollar la técnica de calibración LRM.

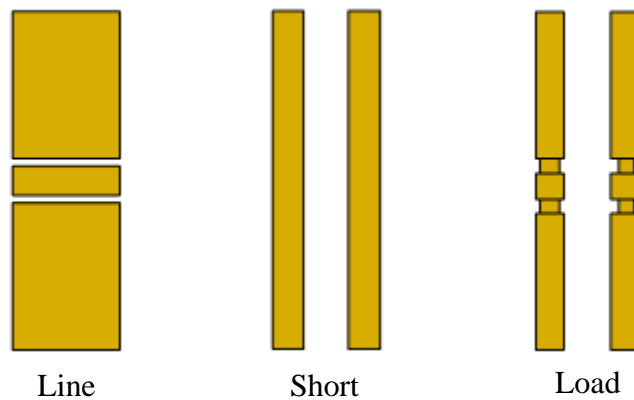


Figura 0.10: Estructuras de calibración LRM.

3.4.2. Uso de módulos de ondas milimétricas muy cerca del DUT

Para poder llevar a cabo mediciones de parámetros- S hasta una frecuencia de 110 GHz es necesario el uso de módulos externos de ondas milimétricas. Los cuales son necesarios para cuando se desea inyectar estímulos de RF para frecuencias mayores a 70 GHz. Los módulos 3739B y 3743A de Anritsu, han sido diseñados para cubrir las necesidades de mediciones en el rango de frecuencias de ondas milimétricas [47].

Por una parte, el módulo 3739B nos permite extender el rango de frecuencia en las mediciones hasta 110 GHz, ya que el VNA MS4647A permite mediciones en el rango de 10 MHz a 70 GHz. Sin embargo, el uso en conjunto de estos dos equipos tiene una limitante, ya que solo permite realizar mediciones de dos puertos. EL módulo 3739B opera en modo modular, es decir, no son necesarios sintetizadores externos. Ya que el VNA MS4647A en conjunto con el módulo 3739B habilitan los requerimientos de RF y LO para generar señales de alta frecuencia. Este modo de operación aplica para el módulo de ondas milimétricas Anritsu mm-Wave 3743X como se detalla en [47].

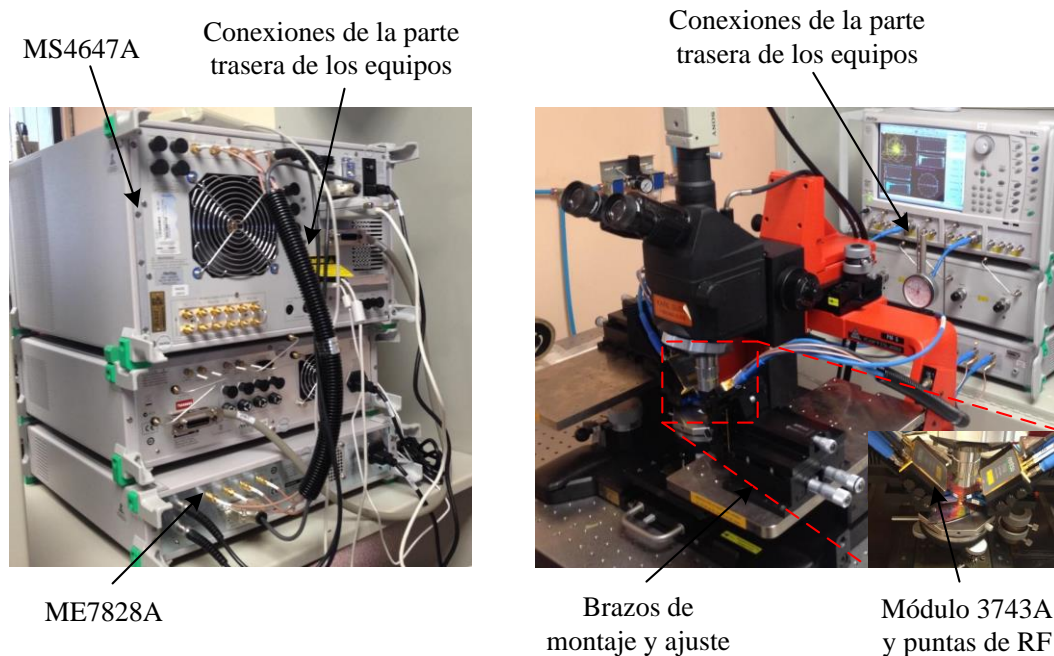


Figura 0.11. Equipos y conexiones para desarrollar mediciones de parámetros- S en el rango de ondas milimétricas.

Para inyectar dichos estímulos de alta frecuencia al dispositivo bajo estudio, es necesario el uso de equipo adicional. Para ello, se hace uso del módulo mmW Anritsu 3743A, en cada uno de los puertos. Estos módulos son fácilmente configurables para realizar mediciones en oblea, cables coaxiales o en guías de onda (En sistemas coaxiales el módulo opera de 54 a 110 GHz) [47]. Otra característica adicional es que nos permite polarizar al dispositivo cuando se realizan mediciones sobre oblea.

El uso en conjunto de estos tres equipos, requiere ciertas conexiones entre ellos como se ilustra en la Figura 0.11. También se muestra el montaje del módulo 3743A y de las puntas de RF sobre la oblea donde se encuentra el dispositivo a caracteriza. Para información más detallada referirse a la guía de medición descrita en [47].

3.4.3. Deembedding utilizando modelos de las estructuras de deembedding

Como se mencionó anteriormente, el procedimiento de calibración remueve los efectos no deseados hasta el plano de calibración, es decir, solo remueve los errores sistemáticos asociados al equipo de medición. Sin embargo, los efectos de las terminales e interconexiones asociadas al dispositivo y que sirven como interfaz con las puntas de prueba están presentes en las mediciones. Por ello, es necesario eliminar estos efectos que son debidos a la estructura de prueba y así realizar una correcta caracterización del MOSFET.

Los correspondientes efectos parásitos de estas estructuras pueden ser removidos de los datos experimentales a través de un algoritmo como el reportado en [48]. Este procedimiento es conocido como deembedding, y para poderlo llevar a cabo se necesitan mediciones por separado de estructuras de deembedding como *open*, *short* y *pads* que son fabricadas en la misma oblea que el dispositivo. Dichas estructuras deben tener las mismas características y dimensiones.

Es de vital importancia mencionar que la eficiencia del método depende en gran medida de la calidad y estado de las estructuras usadas. Ya que si estas estructuras cuentan con algún defecto o daño se puede presentar ruido en las mediciones, incrementando la incertidumbre de las mismas. Por lo tanto, un correcto modelado de estas estructuras de prueba es crucial para considerar efectos en altas frecuencias, como lo es el efecto piel que ha sido incorporado en el modelo de estas estructuras. Consecuentemente realizar un procedimiento de deembedding de la mejor manera

posible como se muestra en [49]. En esta referencia, podemos encontrar los modelos asociados con las estructura de deembedding *OSD* (*open-short-pads*).

Para desarrollar el deembedding de los datos experimentales, se considera que el transistor en conjunto con la estructura de prueba puede ser representado por el circuito equivalente mostrado en la Figura 0.12 [48,49]. Este circuito considera los correspondientes elementos parásitos por medio de bloques de impedancias serie y admitancias en paralelo. Además permite dar una idea clara de los efectos físicos relacionados a estos elementos y determinar un modelo apropiado para representar el comportamiento de cada una de las estructuras de deembedding mencionadas anteriormente. Los bloques Z_i y Z_o concentran elementos parásitos serie asociados con las terminales y líneas de interconexión de la estructura de prueba con el DUT, Y_i y Y_o representan el acoplamiento eléctrico de las terminales de señal a las terminales de tierra y al plano de blindaje. Por otro lado, Y_1 y Y_2 son usados para representar los elementos parásitos entre la interfaz de la estructura de prueba y el DUT. Finalmente, Z_s está asociada con las interconexiones entre el DUT y las terminales de tierra [48].

El procedimiento para obtener cada bloque del circuito de la Figura 0.12 es el siguiente: los elementos serie (Z_i , Z_o y Z_s) son obtenidos de las mediciones de la estructura *short* y una vez que son obtenidos pueden ser removidos. Los elementos (Y_i , Y_o , Y_1 y Y_2) son obtenidos de las mediciones de la estructura *open* y una vez que son removidos los efectos de la estructura de prueba son eliminados de las mediciones de parámetros-S.

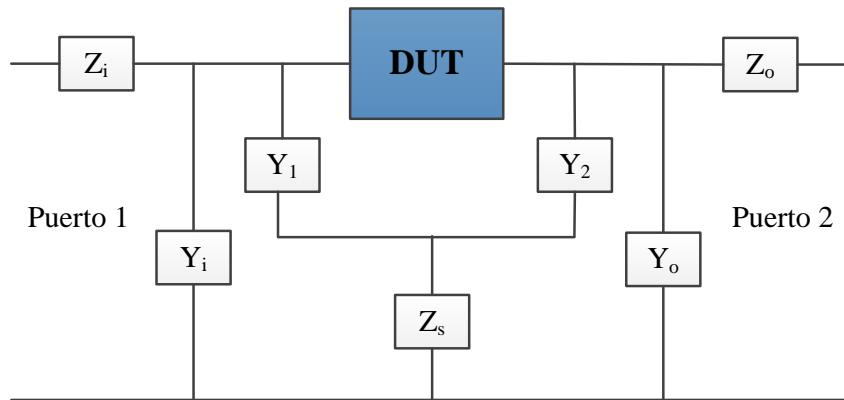


Figura 0.12: Esquema del circuito equivalente para la des-incrustación del dispositivo bajo estudio.

Cabe mencionar que en el procedimiento de deembedding aplicado a nuestros datos experimentales, se emplearon las mediciones asociadas a las estructuras *short* y *pads* ya que presentan un buen comportamiento. Sin embargo, para el caso de la estructura open, fue necesario usar su modelo equivalente, ya que las mediciones obtenidas para esta estructura presentaron un nivel de ruido muy alto.

3.5. Conclusiones del capítulo

En este capítulo, se presentó la metodología que nos permitió desarrollar las mediciones correspondientes para poder cuantificar los efectos de portadores calientes dentro de un RF nMOSFET con dimensiones nanométricas. También se presenta el procedimiento para determinar las condiciones más adecuadas de polarización para poder determinar f_T del dispositivo bajo estudio.

Finalmente, se presenta el montaje experimental, en donde se muestra los equipos empleados para realizar las mediciones descritas. Es muy importante tener en mente que estos equipos y el software empleado son muy sofisticados y es necesario tener especial cuidado en su manejo, ya que cualquier movimiento puede afectar la calibración de las puntas de prueba y consecuentemente las mediciones.

Capítulo 4

Resultados

Este capítulo está dedicado a presentar, analizar y discutir los resultados obtenidos después de realizar los experimentos descritos en el capítulo anterior. En primer lugar se obtendrán los elementos que forman parte de los circuitos equivalentes de pequeña señal, de esta manera se podrán analizar las características de alta frecuencia del transistor, así como la frecuencia de corte después de someterlo a desgaste eléctrico por medio de la inyección de portadores calientes. Al observar los cambios de los valores extraídos para cada intervalo de desgaste, se puede establecer como esta degradación afecta el desempeño del transistor en función del tiempo. Para realizar las extracciones de los parámetros de pequeña señal se tomaron como base métodos reportados en la literatura, los cuales hacen uso de parámetro- S experimentales como se detalla más adelante.

4.1. Análisis experimental de la degradación por HCI

Los efectos de HCI en el MOSFET se manifiestan por medio de una degradación en los parámetros de pequeña señal del circuito equivalente. A continuación se describe el procedimiento que se siguió para realizar dicha extracción de parámetros. Para ello, se realizan mediciones del dispositivo bajo tres condiciones de polarización, es decir, transistor apagado, fuerte inversión y saturación. En cada una de estas condiciones de operación, el efecto de algunos parámetros se acentúa de mayor forma, de esta manera, en cada región de operación se extrae un grupo de parámetros, que en conjunto forman el modelo completo del MOSFET.

4.1.1. Transistor apagado

Bajo las condiciones de polarización $V_{gs} = 0V$, $V_{ds} = 0V$, los efectos de la red parasita asociada al sustrato es preponderante, esto se debe a que no hay formación de canal y por lo tanto su resistencia asociada es muy alta, de esta manera, la impedancia equivalente entre las terminales de fuente y drenaje a través de la región del canal es comparable a aquella que está presente a través del sustrato.

Para esta condición de operación, el circuito equivalente empleado para representar al MOSFET es el reportado en [50,51] y se muestra en la Figura 0.1. En este, C_{js} y C_{jd} corresponden a las capacitancias de unión de fuente y drenaje, a su vez, C_{gs} , C_{gd} y C_{gb} representan las capacitancias de compuerta a fuente, compuerta a drenaje y compuerta a sustrato respectivamente, R_g es la resistencia en la terminal de compuerta y R_b es la resistencia equivalente que representa la red del sustrato [52].

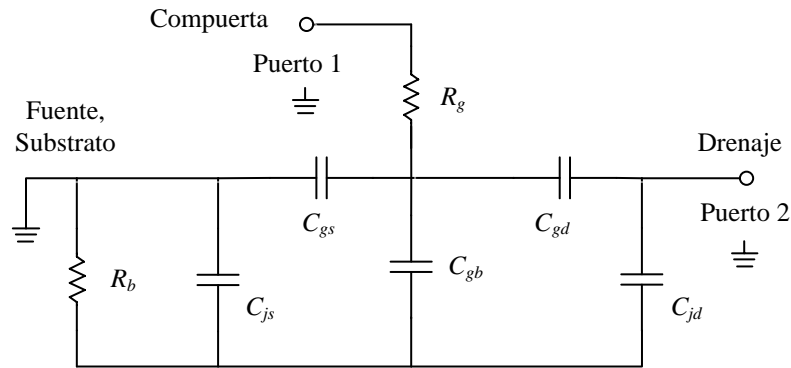


Figura 0.1: Circuito equivalente de pequeña señal para la condición de transistor apagado, $V_{gs} = 0 \text{ V}$, $V_{ds} = 0 \text{ V}$.

Realizando el análisis del circuito equivalente del transistor apagado y considerando que a frecuencias relativamente bajas los términos que involucran potencias de ω mayores a 2 no influyen de manera considerable, se obtienen las siguientes ecuaciones que nos permiten la extracción de los elementos asociados al circuito [51]:

$$-Im(Y_{12}) \approx \omega C_{gd} \quad (0.1)$$

$$Im(Y_{22}) \approx \omega (C_{gd} + C_{jd}) \quad (0.2)$$

$$-\frac{1}{Im(Z_{22})} \approx \omega \left(C_{jd} + \frac{C_{gs} C_{gd}}{C_{gs} + C_{gd}} \right) \quad (0.3)$$

$$Im(Y_{11}) \approx \omega (C_{gs} + C_{gd} + C_{gb}) \quad (0.4)$$

$$Re(Y_{11}) \approx \omega^2 R_g (C_{gs} + C_{gd} + C_{gb})^2 \quad (0.5)$$

$$Re(Y_{22}) \approx \omega^2 R_b C_{jd}^2 \quad (0.6)$$

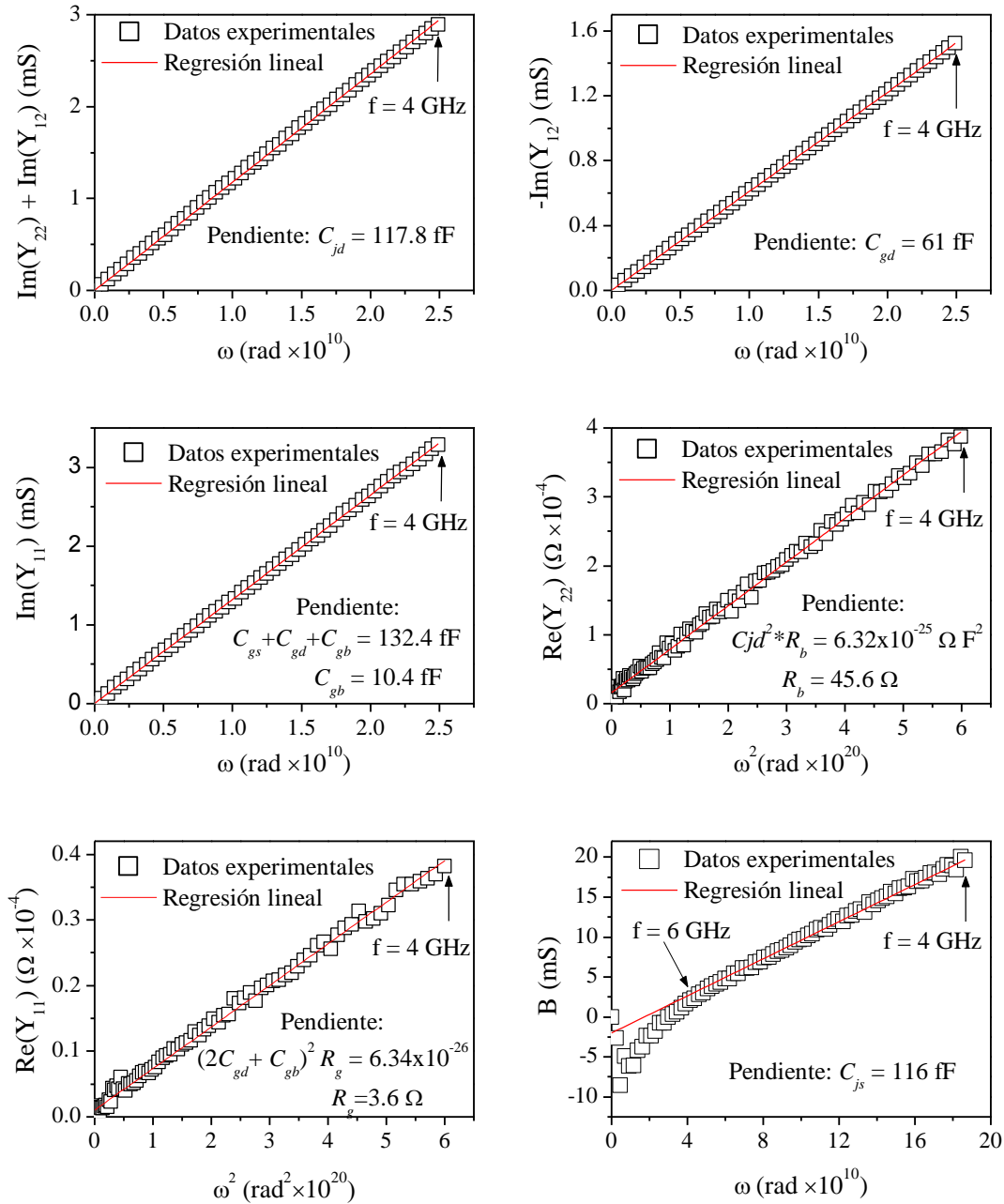


Figura 0.2: Extracción de parámetros de pequeña señal mediante regresiones lineales para la condición de transistor apagado.

A continuación se procede con el ajuste de las curvas de datos experimentales del MOSFET dentro de un rango apropiado de frecuencia, de esta manera, se pueden determinar los elementos del circuito equivalente. Las capacitancias C_{gd} , C_{jd} , C_{gs} y C_{gb} son encontradas a partir de las ecuaciones (0.1) a (0.4) respectivamente. Después las resistencias R_g y R_b pueden ser determinadas al emplear las ecuaciones (0.5) y (0.6). Los ajustes de datos experimentales a través de regresiones lineales se presentan en la Figura 0.2.

En la condición de polarización, los elementos C_{js} y R_b se encuentran en paralelo dentro del circuito equivalente del RF-MOSFET. Por esta razón, el efecto de la capacitancia de unión de fuente a sustrato (C_{js}) no es apreciable en frecuencias relativamente bajas. Con base en esto, C_{js} es encontrado en frecuencia mayores a 6 GHz mediante la ecuación (0.7) que es detallada y justificada en [51].

$$B = \omega C_{js} = \text{Im}(1/(1/(1/(1/Y_{22} + Z_2) - 1/(Z_1 + Z_4)) - Z_3)) \quad (0.7)$$

Como el transistor se encuentra apagado, no se forma canal de inversión, por lo que no existe ganancia alguna entre las terminales de compuerta y drenaje, por lo tanto, puede considerarse como una red lineal pasiva. Además, los parámetros S_{21} y S_{12} resultaron ser iguales en las mediciones experimentales, por lo tanto, se puede suponer que el dispositivo puede ser considerado simétrico y recíproco. Por esta razón, se supone que las capacitancias C_{gs} y C_{gd} bajo esta condición de polarización pueden ser consideradas de la misma magnitud [51]. En la Figura 0.3 se muestra el circuito equivalente del transistor apagado con los valores de los elementos que lo conforman.

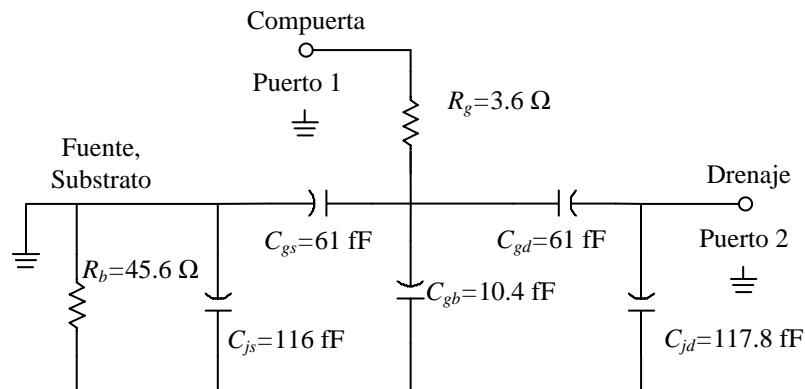


Figura 0.3: Circuito equivalente de pequeña para el transistor apagado, mostrando los valores para cada parámetro.

Una vez que se tienen los valores de los elementos del modelo de pequeña señal que representa al transistor para esta condición de polarización, se procede a comparar los datos experimentales con los obtenidos al emplear el circuito equivalente. En la Figura 0.4 se muestra una carta Smith con las curvas de los correspondientes parámetros-S. En ella podemos observar que el parámetro S_{12} y S_{21} ofrecen una buena correlación. Sin embargo los parámetros S_{11} y S_{22} comienzan a tener un error mayor conforme la frecuencia de operación aumenta. Lo cual sugiere que se necesita hacer una mejora en el modelo empleado para esta condición de operación.

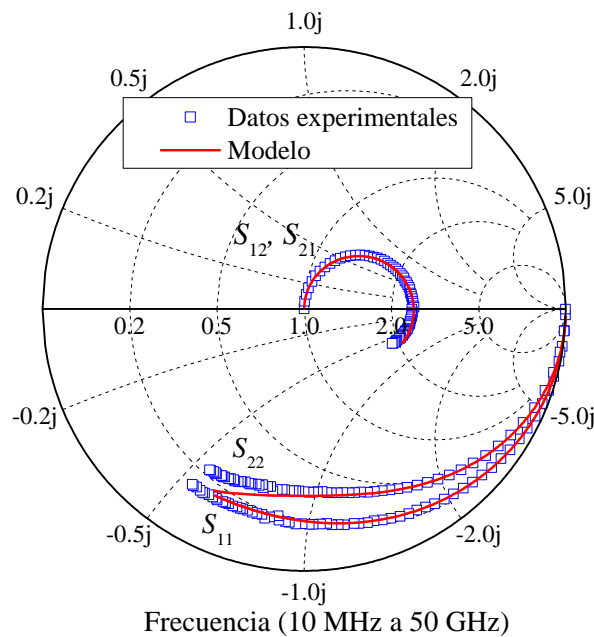


Figura 0.4: Parámetros-S medidos y simulados para el MOSFET fresco con $V_{gs} = 0$ V y $V_{ds} = 0$ V.

Después de observar y analizar las extracciones realizadas para obtener los parámetros del modelo de pequeña señal para diferentes etapas de desgaste, se observa que no existe una variación considerable en esta condición de polarización. Con base a ello, se puede suponer que el impacto por portadores calientes no afecta a R_g ni a los elementos extrínsecos, en este caso, los elementos asociados a la red del substrato. Por este motivo, los correspondientes parámetros-S para diferentes intervalos de degradación no sufren ningún cambio substancial, incluso antes de realizar algún tipo de procedimiento de deembedding, como se observa en la Figura 0.5.

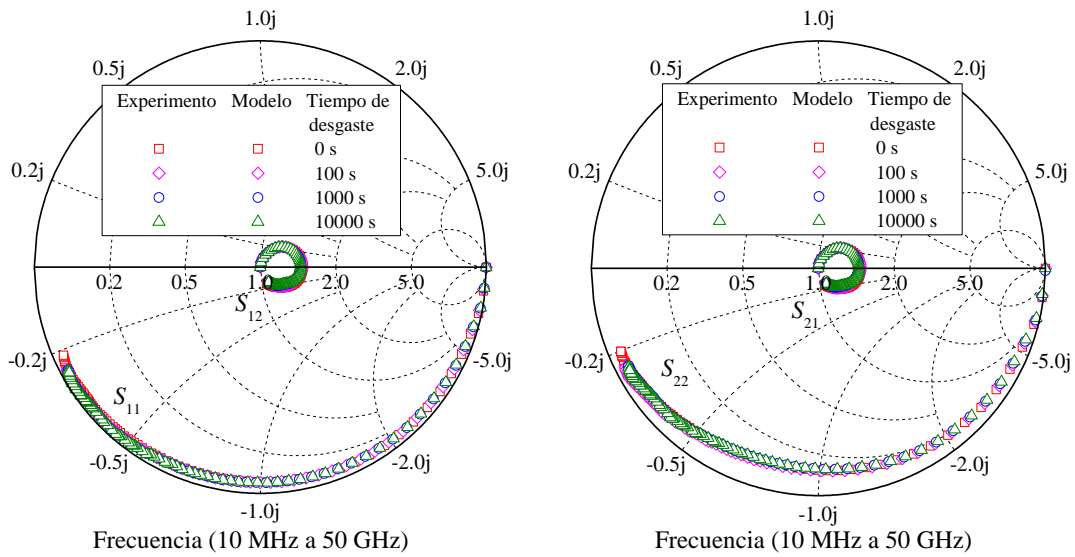


Figura 0.5: Parámetros-S medidos para diferentes intervalos de degradación con $V_{gs} = 0$ V y $V_{ds} = 0$ V, sin realizar ningún procedimiento de deembedding.

4.1.2. Fuerte inversión

La segunda condición de polarización que nos permite encontrar otros parámetros del transistor es fuerte inversión. Para ello, se aplica un voltaje de compuerta a fuente ($V_{gs} = 0.72$ V), mientras que en la terminal de drenaje se tiene un $V_{ds} = 0$ V. El voltaje en la compuerta es mayor al voltaje de umbral (V_{th}), lo que permite la creación de una capa de inversión, mejor conocida como canal. A causa de la ausencia de voltaje en las terminales de drenaje a fuente el dispositivo se mantiene simétrico y pasivo, es decir, $g_m = 0$ mS, sobre esta condición de polarización el circuito equivalente que representa al MOSFET es el ilustrado en la Figura 0.6.

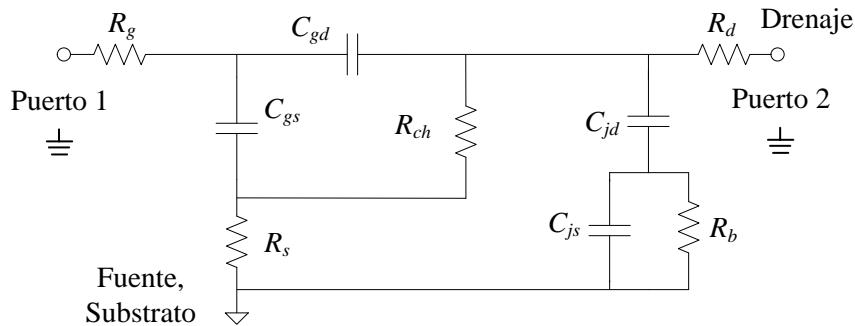


Figura 0.6: Circuito equivalente de pequeña señal para la condición de polarización de fuerte inversión, $V_{gs} = 0.72$ V y $V_{ds} = 0$ V.

En este circuito el acoplamiento por medio del sustrato entre las terminales de drenaje y fuente/sustrato es representado por medio de la conexión serie de la resistencia de sustrato (R_b) y la capacitancia de unión en el drenaje (C_{jd}) [53].

Esta condición de polarización nos permitirá obtener las resistencias parasitas del transistor, es decir, la resistencia de fuente y drenaje (R_s y R_d) que son debidas a las regiones LDD y a los contactos metálicos en dichas terminales. También nos permite determinar la resistencia del canal (R_{ch}) que modela la formación del canal y que para esta condición de polarización es muy pequeña, ya que la conductividad en el canal es muy alta.

Para ello, es necesario remover de los datos experimentales, los efectos de los parámetros del sustrato previamente obtenidos, los cuales son débilmente dependientes de V_{gs} [54,55]. Para llevar a cabo este paso, es necesario transformar los parámetros- S asociados al transistor a parámetros- Y (representados en forma matricial por Y), posteriormente al hacer uso de la ecuación matricial (0.8) se eliminan los efectos asociados al sustrato [53], para así obtener los parámetros corregidos (representados por Y^*).

$$Y^* = Y - \begin{bmatrix} 0 & 0 \\ 0 & \frac{\omega^2 C_{jd}^2 Z_b + j \omega C_{jd}}{1 + \omega^2 C_{jd}^2 Z_b^2} \end{bmatrix} \quad (0.8)$$

Dónde

$$Z_b = \frac{1}{\frac{1}{R_b} + j\omega C_{js}} \quad (0.9)$$

Los parámetros- Y^* pueden ser transformados a parámetros- Z (denotados por Z^*), de donde se puede obtener la siguiente ecuación [53]:

$$-\frac{\omega}{(Im(Z_{22}^*))} = C_x \omega^2 + \frac{1}{R_{ch}^2 C_x} \quad (0.10)$$

Dónde:

$$C_x = \frac{C_{ds} + C_{gs} C_{gd}}{C_{gs} + C_{gd}} \quad (0.11)$$

La ecuación (0.10) se puede ajustar a la de una línea recta, por lo que es posible extraer R_{ch} y C_x de la pendiente y la intercepción con la ordenada de una regresión lineal, como se muestra en la Figura 0.7.

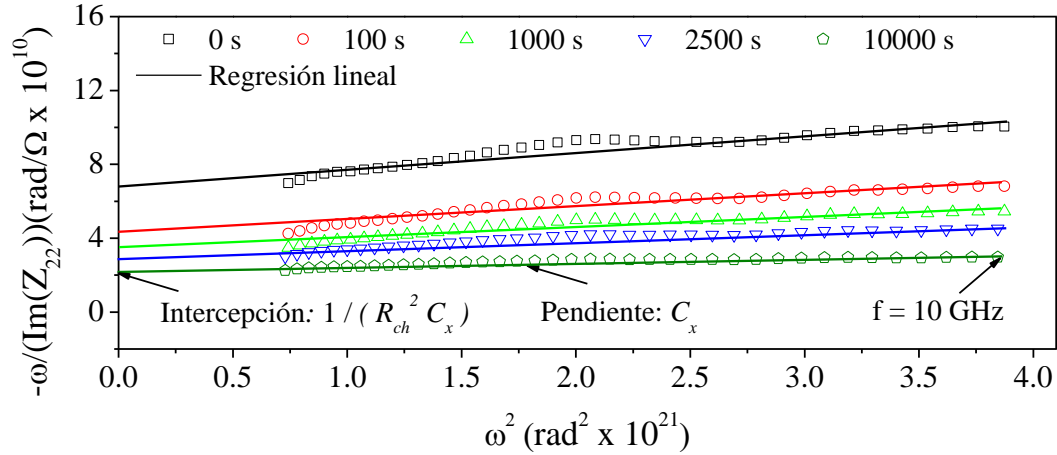


Figura 0.7: Regresiones lineales de datos experimentales para obtener R_{ch} y C_x para diferentes intervalos de degradación a $V_{gs} = 0.72$ V, $V_{ds} = 0$ V.

Una vez que se han determinado los dos parámetros anteriores, las resistencias serie R_d y R_s así como la resistencia R_g pueden ser obtenidas. La extracción de estos parámetros se puede llevar a cabo mediante el uso de las siguientes ecuaciones detalladas en [53]:

$$R_s = Re(Z_{12}^*) - \frac{1}{2} * \frac{R_{ch}}{1 + (\omega R_{ch} C_x)^2} \quad (0.12)$$

$$R_d = Re(Z_{22}^*) - R_s - \frac{R_{ch}}{1 + (\omega R_{ch} C_x)^2} \quad (0.13)$$

$$R_g = Re(Z_{11}^*) - R_s - \frac{1}{4} * \frac{R_{ch}}{1 + (\omega R_{ch} C_x)^2} \quad (0.14)$$

Cuando las ecuaciones (0.12) y (0.13) fueron aplicadas, se observó que aparentemente las resistencias series R_d y R_s son impactadas de mayor manera, ya que el cambio en porcentaje para estas resistencias incluso supera al cambio en R_{ch}

durante los mismos intervalos de desgaste. Esto se debe al hecho que parte del daño de R_{ch} es considerado como parte de estas resistencias serie [46]. Por lo tanto, las resistencias series se mantendrán constantes con los valores obtenidos con el transistor fresco y el incremento en la resistencia será asociado a R_{ch} . Esto permite una mejor correlación de los datos simulados con los correspondientes datos experimentales. Lo anterior está físicamente fundamentado, desde que el impacto por portadores calientes afecta principalmente los parámetros intrínsecos del transistor. Por otro lado, la resistencia de compuerta (R_g) no sufre algún cambio considerable con respecto al tiempo de degradación al cual fue sometido el MOSFET.

Para esta condición de polarización, el impacto debido a de portadores calientes con respecto al tiempo de degradación, se centra principalmente en la resistencia del canal, como se muestra en la Figura 0.8a. Este cambio en R_{ch} tiene una influencia directa en el voltaje de umbral, de tal manera que V_{th} también sufrirá un cambio con respecto al tiempo de degradación como se ilustra en la Figura 0.8b. En esta figura podemos observar que es necesario un V_{gs} mayor para poder formar el canal conforme el tiempo de degradación aumenta.

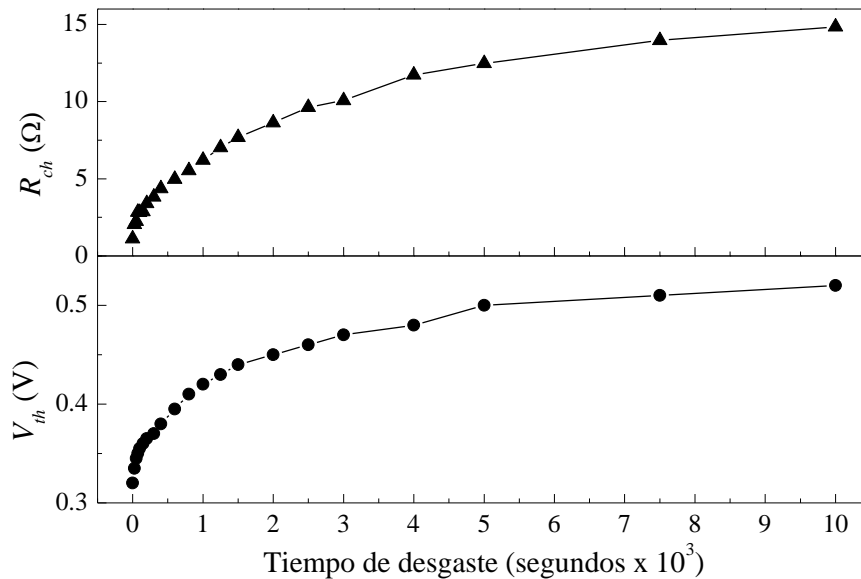


Figura 0.8: Valores para R_{ch} (superior) con $V_{gs} = 0.72$ V, $V_{ds} = 0$ V y valores obtenidos de V_{th} (inferior) para diferentes intervalos de desgaste.

4.1.3. Saturación

Finalmente para obtener los parámetros intrínsecos del transistor, es necesario realizar las extracciones correspondientes bajo la región de saturación. Esto implica que existe un voltaje entre las terminales de compuerta a fuente y de drenaje a fuente, para este caso, $V_{gs} = 0.72 \text{ V}$ y $V_{ds} = 1.2 \text{ V}$. Bajo esta condición de polarización g_m es diferente de cero, por lo tanto, el dispositivo se comporta como un dispositivo activo.

En la Figura 0.9 se muestra el modelo de pequeña señal empleado para representar el comportamiento del MOSFET en esta condición de polarización [53]. A diferencia del circuito empleado en fuerte inversión, en el circuito para saturación se agregan dos elementos, el primero es la transconductancia (g_m^*), la cual representa la ganancia de corriente en el puerto de salida con respecto al voltaje aplicado en el puerto de entrada. El segundo elemento es la capacitancia de drenaje a fuente C_{ds} , correspondiente al canal de inversión. Este modelo ha sido empleado para MOSFETs de canal corto, cuyo funcionamiento intrínseco es apropiadamente modelado por medio de un enfoque cuasi-estático [53].

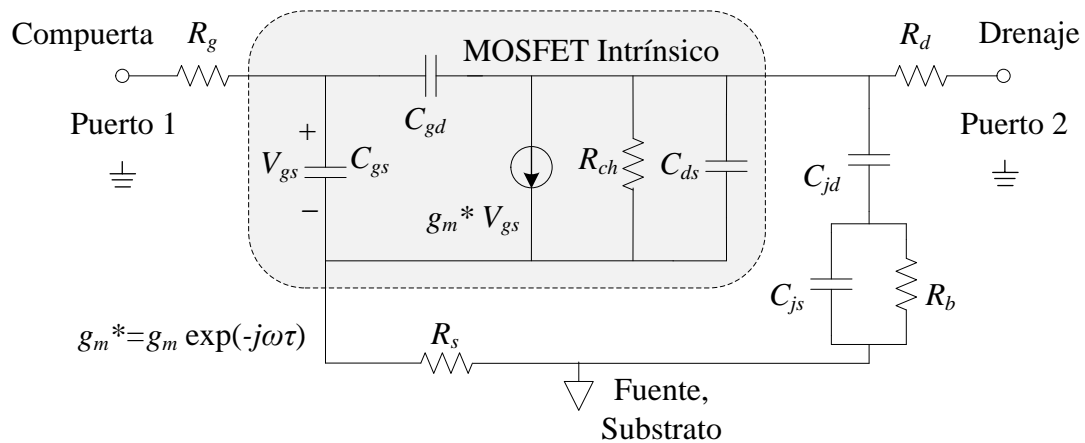


Figura 0.9: Circuito equivalente de pequeña señal para la región de saturación, $V_{gs} = 0.72 \text{ V}$ y $V_{ds} = 1.2 \text{ V}$

El procedimiento de extracción para los correspondientes elementos del circuito equivalente es el reportado en [53], con ello podemos encontrar los elementos intrínsecos del transistor que se encuentran dentro de la línea punteada de la Figura 0.9. De acuerdo con este circuito, la referencia para los datos experimentales puede ser movida hacia la parte intrínseca del MOSFET, esto con la finalidad de facilitar la

extracción. Para ello, es necesario que los elementos de compuerta, fuente, drenaje y substrato previamente obtenidos, sean removidos de las mediciones experimentales. Por lo tanto, los elementos intrínsecos pueden ser fácilmente obtenidos de los parámetros- Y' (intrínsecos), por medio de las siguientes ecuaciones que fueron obtenidas directamente de la parte intrínseca del circuito equivalente empleado en esta región de operación.

$$Y_{11}' = j \omega (C_{gs} + C_{gd}) \quad 0.15)$$

$$Y_{12}' = -j \omega C_{gd} \quad 0.16)$$

$$Y_{21}' = g_m e^{-j\omega\tau} - j \omega C_{gd} \quad 0.17)$$

$$Y_{22}' = \frac{1}{R_{ch}} + j \omega (C_{gs} + C_{gd}) \quad 0.18)$$

$$Re(Y_{21}') = g_m \quad 0.19)$$

$$\tau = -\frac{1}{\omega} * \sin^{-1} \left(\frac{Im(Y_{21}' - Y_{12}')}{g_m} \right) \quad 0.20)$$

En la Figura 0.10 se muestra la extracción de los parámetros intrínsecos del transistor, mediante el uso de regresiones lineales de datos experimentales.

Una vez que se tiene el modelo de pequeña señal mostrado en Figura 0.9 que representa al transistor bajo esta condición de polarización, se procede a comparar los datos experimentales con los obtenidos empleando el circuito equivalente. En la Figura 0.11 se muestra una carta Smith con las curvas de los correspondientes parámetros- S para el transistor fresco.

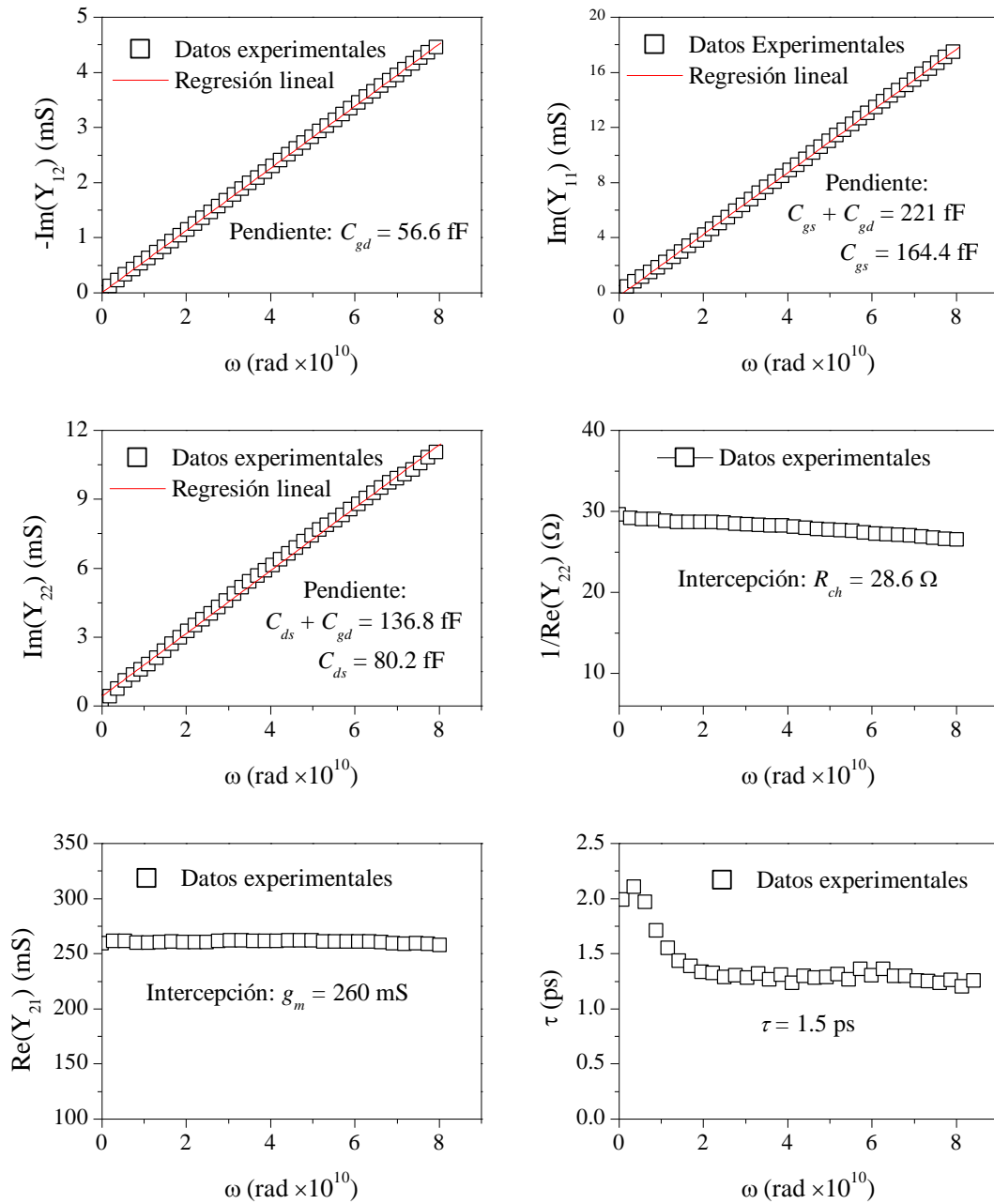


Figura 0.10: Extracción de parámetros del circuito equivalente de pequeña señal mediante regresiones lineales para el transistor operando en la región de saturación.

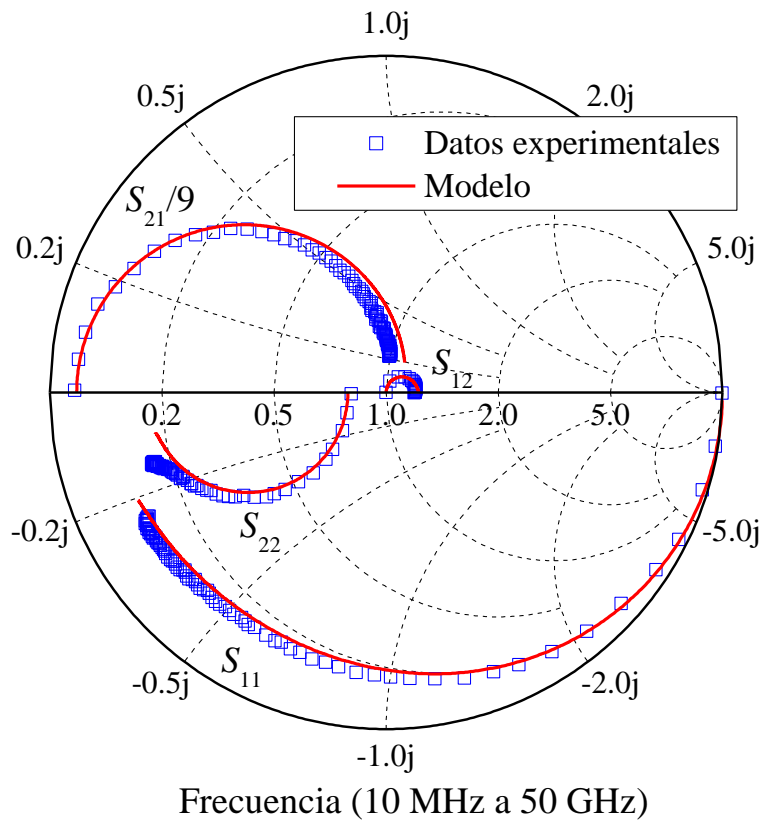


Figura 0.11: Parámetros- S medidos y simulados para el MOSFET fresco con $V_{gs} = 0.72$ V y $V_{ds} = 1.2$ V.

El procedimiento de extracción detallado anteriormente para cada región de operación, se realizó para cada una de las etapas de desgaste a las cuales fue sometido el MOSFET. De esta manera se tiene un circuito equivalente de pequeña señal (Figura 0.9) que representa el comportamiento del MOSFET contemplando tanto su parte intrínseca, así como los elementos extrínsecos como son las resistencias en las terminales y la red del sustrato. Con este circuito equivalente podemos reproducir el comportamiento del dispositivo para cada una de las etapas de desgaste. En la Figura 0.12 se muestra una carta *Smith* en donde se muestran las curvas obtenidas de mediciones experimentales, así como las correspondientes al emplear el circuito equivalente, esto para el transistor fresco y para dos etapas de desgaste. En esta figura se puede observar una buena correlación de datos experimentales con los circuitos equivalentes de pequeña señal obtenidos a través de las extracciones detalladas a lo largo de este capítulo.

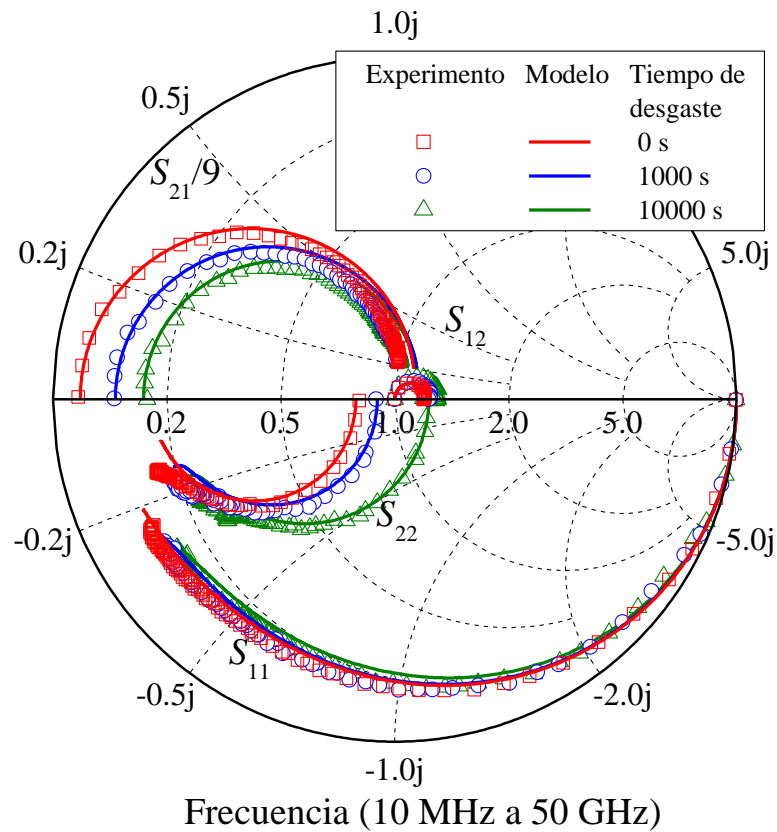


Figura 0.12. Correlación de datos experimentales y simulaciones con $V_{gs} = 0.72$ V, $V_{ds} = 1.2$ V.

4.2. La frecuencia de corte como figura de mérito para análisis de degradación

Por definición, la frecuencia de corte es la frecuencia en la cual la ganancia de corriente en corto circuito es igual a la unidad [42]. Para poder determinar esta figura de mérito de manera analítica es necesario considerar al MOSFET como una red de dos puertos, como se muestra en la Figura 0.13. Para ello, se hace uso de la ecuación usada comúnmente (0.3). Para lo cual, es necesario que los parámetros del circuito equivalente de pequeña señal sean determinados para cada uno de los intervalos de degradación a la cuales fue sometido el MOSFET.

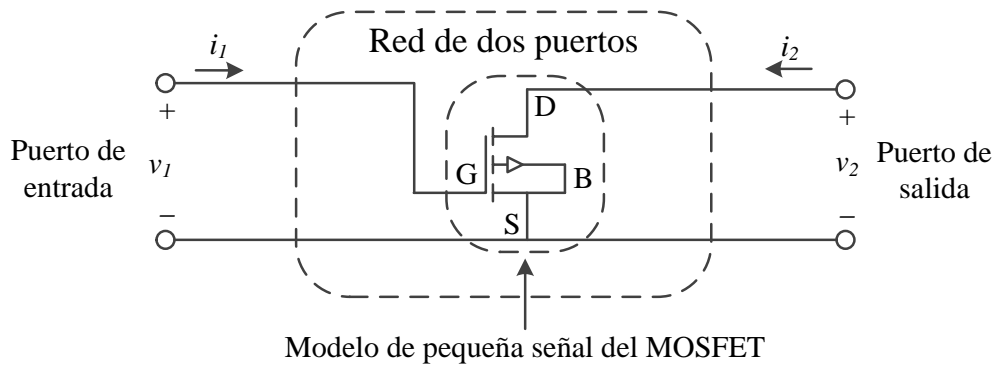


Figura 0.13: Red de dos puerto para un MOSFET en parámetros híbridos.

En este circuito las corrientes y voltajes se pueden relacionar por medio de la matriz de parámetros híbridos (ecuación 4.21), la cual puede ser obtenida a partir de parámetros- S mediante una conversión.

$$\begin{bmatrix} v_1 \\ -i_2 \end{bmatrix} = \begin{bmatrix} h_{11} & h_{12} \\ h_{21} & h_{22} \end{bmatrix} \begin{bmatrix} i_1 \\ v_2 \end{bmatrix} \quad (0.21)$$

En esta ecuación matricial cada elemento de la matriz de parámetros híbridos está asociada a:

- h_{11} : Impedancia de entrada en corto circuito.
- h_{12} : Ganancia inversa de voltaje en circuito abierto.
- h_{21} : Ganancia directa de corriente en corto circuito
- h_{22} : Admitancia de salida en circuito abierto.

De la ecuación matricial (0.21) se pueden obtener las siguientes ecuaciones:

$$v_1 = h_{11}i_1 + h_{12}v_2 \quad (0.22)$$

$$-i_2 = h_{21}i_1 + h_{22}v_2 \quad (0.23)$$

De las ecuaciones (0.22) y (0.23) se puede encontrar la definición para cada parámetro híbrido, los cuales están definidos de la siguiente manera.

$$h_{11} = \left. \frac{v_1}{i_1} \right|_{v_2=0} \quad (0.24)$$

$$h_{12} = \left. \frac{v_1}{v_2} \right|_{i_1=0} \quad (0.25)$$

$$h_{21} = \left. \frac{-i_2}{i_1} \right|_{v_2=0} \quad (0.26)$$

$$h_{22} = \left. \frac{-i_2}{v_2} \right|_{i_1=0} \quad (0.27)$$

El parámetro que es de utilidad para encontrar a f_T , tanto de manera analítica como experimental es h_{21} . Dicho parámetro relaciona la corriente en el puerto de salida con la corriente en el puerto de entrada. Es decir, el parámetro h_{21} representa una ganancia de corriente. A continuación se hará uso de este parámetro obtenido directamente de mediciones para obtener f_T usando el método de extrapolación convencional. Posteriormente se planteará una alternativa para obtener dicha figura de mérito.

4.2.1.1. Método convencional

Como ya se ha mencionado, los efectos de HCI degradan principalmente las propiedades intrínsecas del MOSFET, por lo tanto, f_T sufrirá un cambio conforme el dispositivo es expuesto a ellos, ya que depende directamente de la parte intrínseca del dispositivo. Para ilustrar esto, después de medir los parámetros- S del dispositivo fresco, este es expuesto a HCI para diferentes intervalos como se mencionó anteriormente. Por lo tanto, al final de cada periodo de degradación, los parámetros- S son medidos para poder determinar f_T en función del tiempo de degradación.

De esta manera, f_T se puede obtener a través del método de extrapolación convencional, es decir, graficar la curva experimental de $|h_{21}|$ contra frecuencia y extrapolar hacia frecuencias más altas para cuando esta cae a uno [42]. La Figura 0.14 muestra los resultados para el transistor fresco y para dos intervalos de degradación, en donde se observa la reducción esperada en f_T .

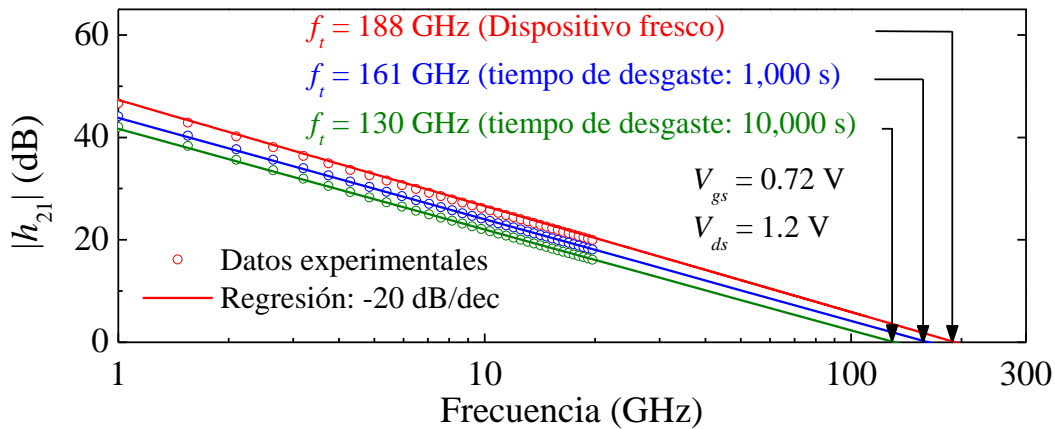


Figura 0.14: Determinación de f_T directamente de la extrapolación convencional de datos experimentales.

4.2.2. Alternativa propuesta en este trabajo

Como se mencionó anteriormente, para determinar f_T la magnitud del parámetro h_{21} ($|h_{21}|$) puede ser graficada contra frecuencia y después hacer una extrapolación hasta una frecuencia considerablemente alta en la cual la ganancia de corriente del dispositivo caiga a uno (0 dB). Sin embargo, cuando obtenemos los parámetros de la red de dos puertos del MOSFET, la configuración de las mediciones aplica y colecta estímulos en las terminales extrínsecas. Por lo tanto, las mediciones pueden ser asociadas al circuito de la Figura 0.15, donde la corriente de drenaje (I_d) difiere de la corriente intrínseca (I_d') debido al efecto del sustrato. Por lo tanto antes de aplicar una extrapolación de datos en la condición de polarización deseada, los efectos del acoplamiento parásito de drenaje a fuente a través de la red de sustrato tienen que ser removidos de mediciones experimentales, tal como se hizo anteriormente para realizar la extracción de parámetros intrínsecos cuando el transistor opera en la región de saturación.

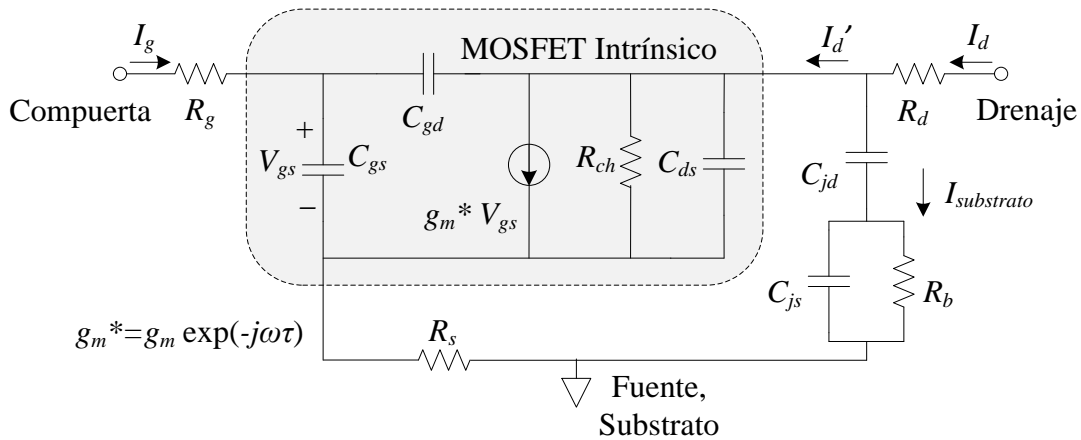


Figura 0.15: Modelo de pequeña señal para el MOSFET.

Aunque omitir este paso es una práctica común al llevar a cabo la extrapolación de $|h_{21}|$ hacia altas frecuencias considerando sólo datos de mediciones a bajas frecuencias [42]. Esto puede generar resultados erróneos ya que no existe un criterio generalizado para determinar un rango apropiado en donde los efectos del substrato sean despreciables en el rango de GHz. Por lo tanto, el modelo intrínseco del MOSFET de pequeña señal encerrado por la línea punteada en la Figura 0.15 es el que debe ser considerado en la Figura 0.13.

Una vez que los elementos del substrato y las resistencias serie son removidos de las mediciones experimentales, se obtiene el circuito de la Figura 0.16 que contiene solo los elementos intrínsecos del transistor. Como se puede observar, para fines de modelado solo la corriente que fluye a través de la parte intrínseca es considerada, lo cual es correcto, ya que esta corriente es la que realmente se debe asociar al transistor.

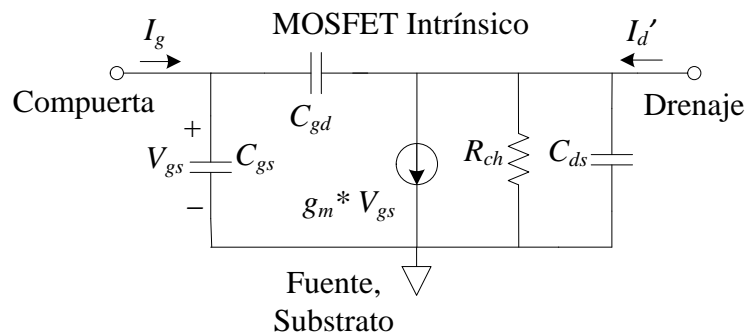


Figura 0.16: Parte intrínseca del modelo de pequeña señal del MOSFET.

De la definición del parámetro h_{21} y de la ecuación (0.26), es necesario hacer el voltaje en la terminal de drenaje igual a cero, con ello se obtiene el circuito mostrado en la Figura 0.17. En donde R_{ch} y C_{ds} al quedar conectadas a tierra en sus dos terminales, no tienen algún efecto en la obtención de la ganancia de corriente. En este circuito equivalente, se observa que los elementos que influyen en la frecuencia de corte son C_{gs} , C_{gd} y g_m^* .

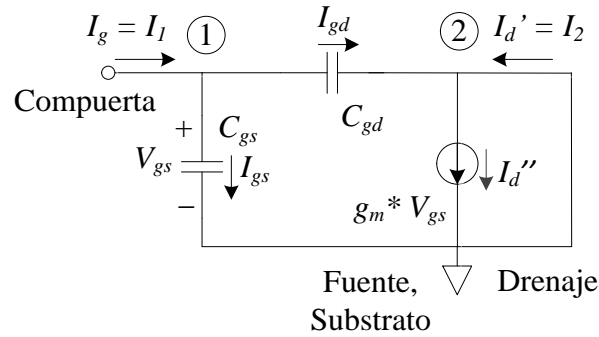


Figura 0.17: Circuito equivalente para obtener f_T .

Para obtener la relación de la corriente de salida con respecto a la corriente de entrada (ganancia de corriente) se realizará un análisis nodal, de esta manera, al aplicar la ley de corrientes de Kirchhoff en los nodos 1 y 2, se obtienen las siguientes expresiones:

$$I_1 = I_{gs} + I_{gd} \quad (0.28)$$

$$I_2 = g_m * V_{gs} - I_{gd} \quad (0.29)$$

En donde I_{gs} e I_{gd} son las corrientes de compuerta a fuente y compuerta a drenaje respectivamente, y son definidas como:

$$I_{gs} = \frac{V_{gs}}{Z_{gs}} \quad (0.30)$$

$$I_{gd} = \frac{I_{gs} Z_{gs}}{Z_{gd}} = \frac{V_{gs}}{Z_{gd}} \quad (0.31)$$

Además, las impedancias asociadas con las capacitancias de compuerta a fuente y compuerta a drenaje están dadas por:

$$Z_{gs} = \frac{1}{i 2\pi f C_{gs}} \quad (0.32)$$

$$Z_{gd} = \frac{1}{i 2\pi f C_{gd}} \quad (0.33)$$

Tomando en cuenta la definición de ganancia de corriente y reemplazando las ecuaciones (0.30) a (0.33) en (0.28) y (0.29), la siguiente expresión es obtenida:

$$h_{21} = \frac{I_2}{I_1} = -\frac{C_{gd}}{C_{gs} + C_{gd}} - i \frac{g_m^*}{2\pi f (C_{gs} + C_{gd})} \quad (0.34)$$

Como sabemos g_m^* representa a la transconductancia compleja, que al emplear la identidad de Euler se puede escribir como:

$$g_m^* = g_m e^{-j\omega\tau} = g_m (\cos \omega\tau - j \sin \omega\tau) \quad (0.35)$$

Sustituyendo la ecuación (0.35) en la ecuación (0.34), reacomodando términos y considerando $\omega = 2\pi f$ se obtiene:

$$h_{21} = -\frac{g_m \sin 2\pi f \tau}{2\pi f (C_{gd} + C_{gs})} - \frac{C_{gd}}{C_{gs} + C_{gd}} - j \frac{g_m \cos 2\pi f \tau}{2\pi f (C_{gd} + C_{gs})} \quad (0.36)$$

En donde f es la frecuencia y $C_{gd} / (C_{gd} + C_{gs}) = I_{gd} / I_d$. Por lo tanto, podemos notar que en el circuito de Figura 0.17, I_d' es considerada como la corriente de salida que incluye el efecto de la fuente intrínseca de corriente controlada (I_d'') y la corriente de compuerta a drenaje (I_{gd}) fluyendo a través de C_{gd} , desde que esta última no es controlada por la transconductancia del dispositivo, los correspondientes efectos introducen una sobreestimación de f_T cuando usamos la extrapolación clásica de $|h_{21}|$. Esta sobreestimación está asociada con el término I_{gd} / I_d , el cual puede ser obtenido de los parámetros de pequeña señal, de esta manera remover su efecto del parámetro h_{21} y obtener adecuadamente f_T usando la extrapolación tradicional.

Una alternativa más simple puede ser usada, la cual está basada en el hecho de que la parte imaginaria de h_{21} no es afectada por la corriente que fluye a través de C_{gd} . Tomando la parte imaginaria de la ecuación (0.36) y considerando la ecuación (0.3) se llega a la siguiente expresión.

$$-f \operatorname{Im}(h_{21}) = f_t \cos 2\pi f\tau \quad (0.37)$$

Finalmente, la frecuencia de corte puede ser obtenida por medio del método propuesto que involucra a la ecuación (0.37), y que básicamente es una extrapolación hacia $f = 0$ del producto de la frecuencia por la parte imaginaria de h_{21} experimental ($-f \operatorname{Im}(h_{21})$). En la Figura 0.18 se muestra la aplicación de este enfoque para las mismas etapas consideradas en el método de extrapolación convencional. Podemos notar que al usar este enfoque se obtienen valores de f_T más pequeños en comparación a los obtenidos usando el método de extrapolación convencional.

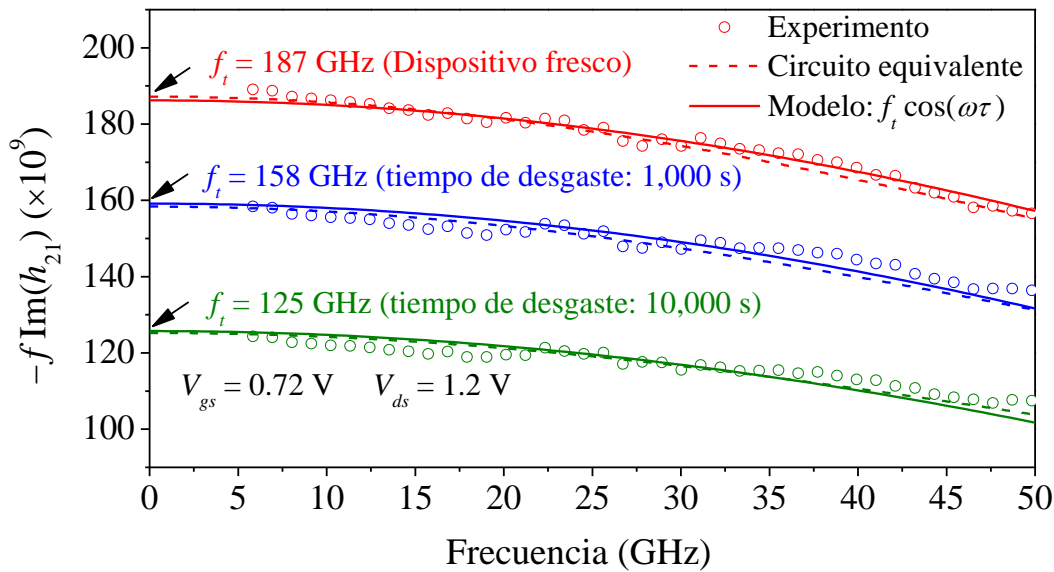


Figura 0.18. Determinación de f_T directamente de datos experimentales extrapolados hacia $f = 0$.

La razón de esta diferencia en los resultados obtenidos entre la Figura 0.14 y la Figura 0.18 recae en el hecho de que el método de extrapolación convencional considera que el impacto de I_{gd} sobre I_d' es despreciable, lo cual ocurre cuando la capacitancia C_{gd} es pequeña y g_m es alta. Esta consideración es razonable para dispositivos frescos, y por lo tanto, el método convencional proporciona resultados aceptables en este caso.

En la Figura 0.19 se verifica este hecho por ilustrar la pequeña diferencia para un tiempo de degradación pequeño entre f_T obtenido usando (2.3), el método convencional y también el propuesto. Sin embargo, conforme el tiempo de degradación aumenta, los valores de f_T obtenidos usando el método convencional son

mayores que los obtenidos usando la ecuación comúnmente usada, esto sugiere una sobreestimación del desempeño del dispositivo debido a que el método convencional ignora el efecto de la corriente que fluye a través de C_{gd} . En contraste, el método de regresión propuesto concuerda con los valores obtenidos al involucrar los parámetros de pequeña señal extraídos en cada etapa de degradación lo cual permite aplicar la ecuación (2.3).

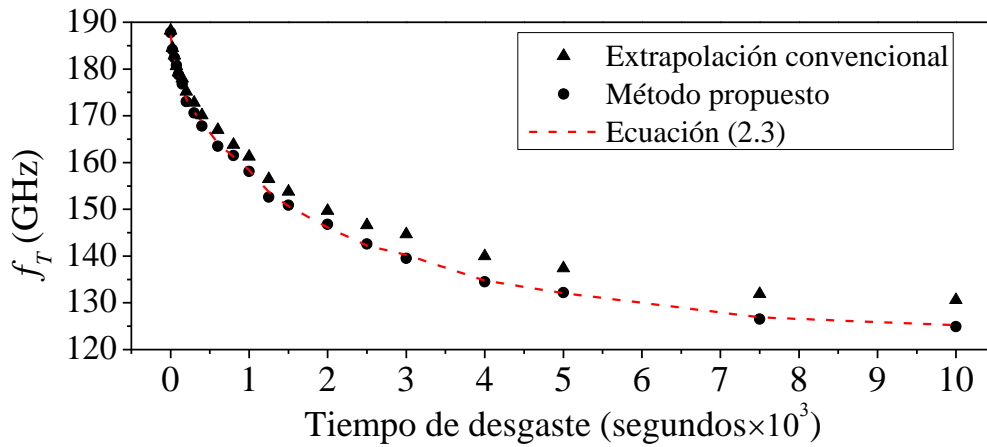


Figura 0.19. f_T contra tiempo de degradación con $V_{gs} = 0.72$ V y $C_{ds} = 1.2$ V.

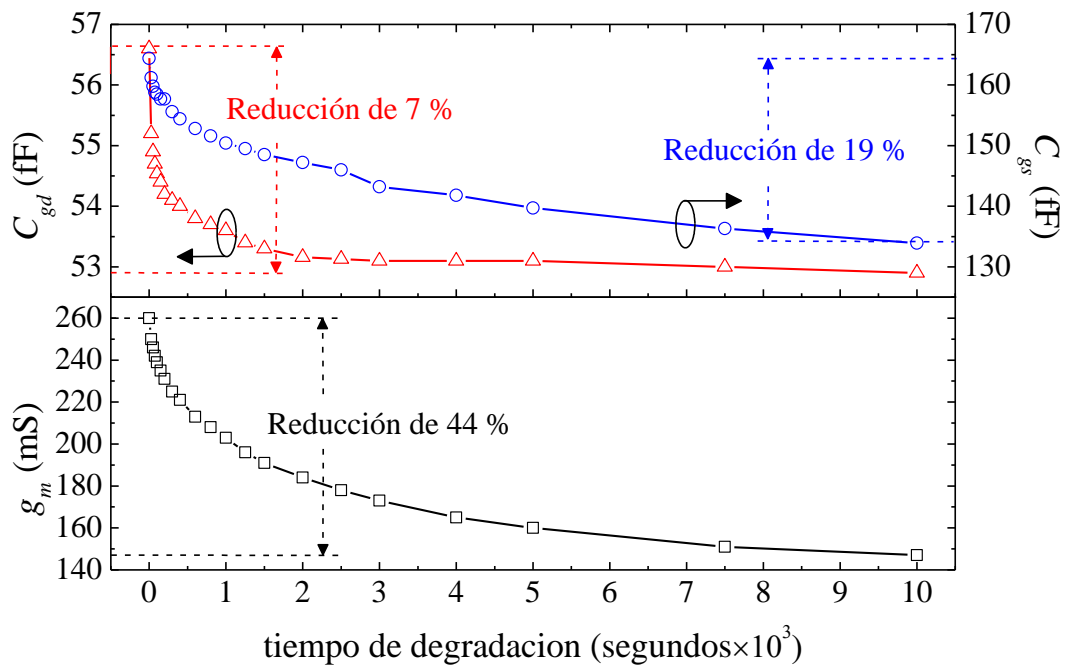


Figura 0.20: Capacitancias intrínsecas (superior) y transconductancia (inferior) en función del tiempo de degradación a $V_{gs} = 0.72$ V y $V_{ds} = 1.2$ V.

Tabla 2: Valores obtenidos para f_T con $V_{gs} = 0$ V y $V_{ds} = 1.2$ V.

Tiempo de degradación [s]	Ecuación Clásica [GHz]	Extrapolación convencional [GHz]	Método propuesto [GHz]
0	187.24	188.2	188.2
25	183.87	183.4	183
50	182.36	182.4	182
75	180.4	180.6	180.3
100	178.55	179.3	178.8
150	176.34	178	175.6
200	173.5	175.2	174.2
300	170.77	172.8	170.6
400	168.78	170.1	167.7
600	164.1	167	165.4
800	161.25	163.8	162.1
1000	158.37	161.3	157.8
1250	153.74	156.5	152.6
1500	150.64	153.8	150.1
2000	146.16	149.7	146
2500	142.27	146.6	142.4
3000	140.26	144.7	140.7
4000	134.74	140	134.7
5000	132.08	137.4	132.4
7500	126.89	132.2	126.5
10000	125.25	130.6	124.4

En orden para verificar que I_{gd} llega a tener una contribución significativa en I_d' cuando el MOSFET es degradado, las curvas para los valores extraídos de C_{gd} , C_{gs} y g_m después de diferentes periodos de degradación son mostrados en Figura 0.20. Se puede observar que C_{gd} disminuye alrededor de un 7%, mientras que C_{gs} disminuye 19% después de exponer al dispositivo 10,000 segundos al efecto de HCl. Sin embargo, g_m sufre la reducción más importante, con una reducción de 44 %, la cual reducirá I_d' y también f_T . Por lo tanto, cuando calculamos la figura de mérito intrínseca, la corriente I_d'' en Figura 0.17 debe ser considerada como la corriente de salida controlada por el dispositivo y no I_d' .

Una vez que se lleva a cabo el análisis para cada una de las etapas de degradación, se procede a comparar los valores de f_T por medio de los diferentes procedimientos, es decir, al usar el método de extrapolación convencional, el método de extrapolación propuesto y al usar la ecuación (0.3) como se muestra en la Tabla 2.

4.3. Incorporación del efecto de la degradación en el modelo de pequeña señal

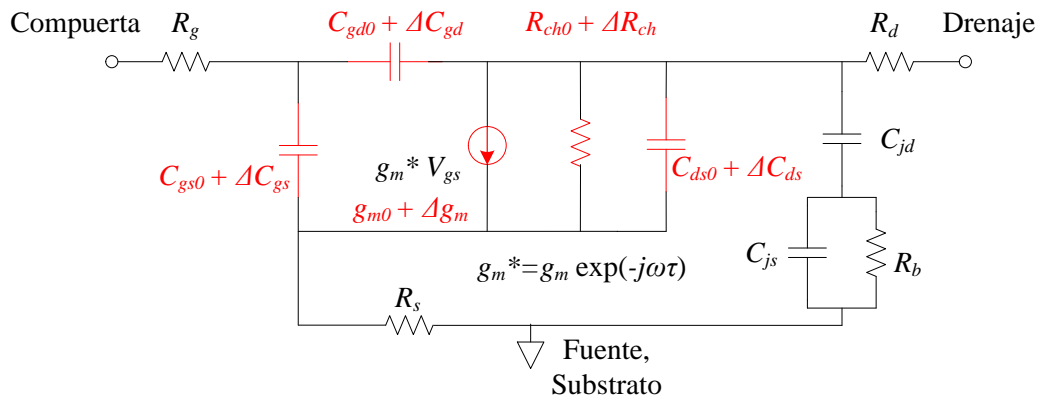


Figura 0.21. Circuito equivalente de pequeña señal in la región se saturación, incorporando la degradación de los parámetros intrínsecos del MOSFET.

Como se ha mencionado anteriormente, el efecto de portadores calientes tiene como consecuencia la degradación del MOSFET. Esta degradación puede ser representada mediante el cambio (aumento o disminución) en algunos parámetros del circuito equivalente en función del tiempo de degradación como se observa en la Figura 0.21. Este circuito representa al MOSFET operando bajo la región de saturación. Por otro lado, como se observó en la sección anterior los parámetros de pequeña señal más afectados por este fenómeno son g_m , C_{gd} , C_{gs} , C_{ds} y R_{ch} , es decir, la parte intrínseca del transistor.

Para poder establecer las expresiones que describen la degradación de estos elementos se partirá de la ecuación (0.2) descrita en [32] y que se presenta como:

$$\Delta P = A * t_{HCI}^n$$

Si a la expresión anterior se le aplican algunas propiedades de logaritmos, se llega a la siguiente ecuación, la cual tiene la forma de una línea recta.

$$\log(\Delta P) = \log(A) + n \log(t_{HCl}) \quad (0.38)$$

De los resultados obtenidos en las secciones anteriores de este capítulo, se conoce la degradación que ha sufrido cada elemento en cada intervalo de degradación. Por lo tanto, n se puede determinar de la pendiente de la regresión lineal de $\log(\Delta P)$ contra $\log(t_{HCl})$. Mientras que la constante A se puede calcular al aplicar un antilogaritmo de la intercepción con el eje de las ordenadas.

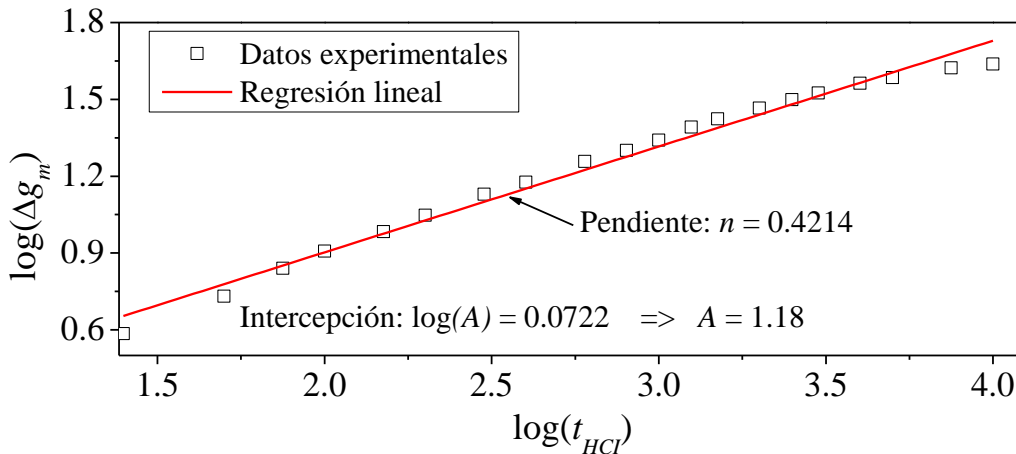


Figura 0.22. Extracción de los parámetros asociados a la ley de potencia para g_m por medio de una regresión lineal.

Una vez que se ha determinado la constante A y el factor n , se procede a implementar la regla de potencia para g_m y posteriormente a comparar con el porcentaje de degradación obtenido directamente de los datos experimentales como se muestra en la Figura 0.23. En esta figura se observa una buena correlación entre los dos casos anteriores hasta un tiempo de degradación de 4,000 segundos.

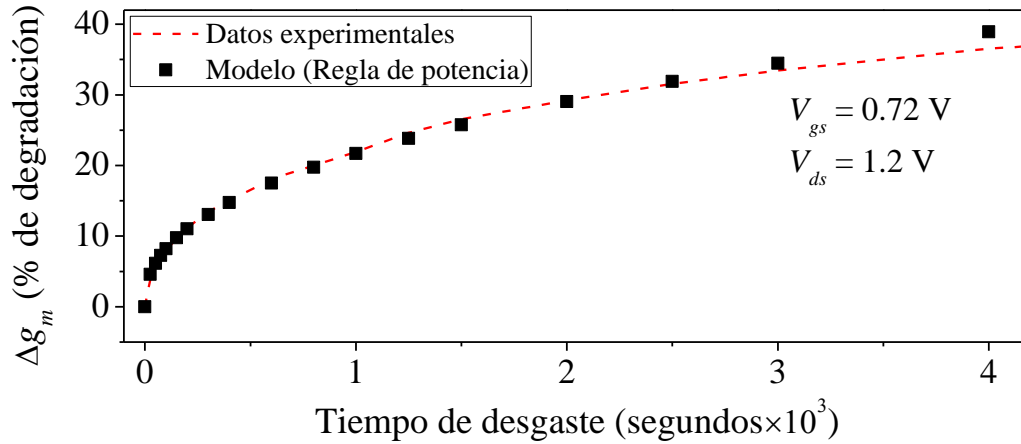


Figura 0.23. Porcentaje de degradación para g_m obtenido por medio de la regla de potencia y por medio de datos experimentales.

El procedimiento aplicado para g_m , se puede reproducir para los otros parámetros intrínsecos del MOSFET con la finalidad de obtener las reglas de potencia asociada a cada elemento de la Figura 0.21. Además, aplicando el mismo criterio también se puede predecir la degradación que sufrirá f_T . De esta manera, se puede predecir la degradación que sufrirá el transistor bajo las condiciones de polarización y degradación empleada en este trabajo. En la Tabla 3 se muestran las reglas obtenidas para cada parámetro intrínseco del transistor, así como para f_T .

Tabla 3. Expresiones para representar la degradación de los parámetros intrínsecos del MOSFET.

Parámetro intrínseco	Ecuación
$g_{m0} + \Delta g_m$ (mS)	$260 - 1.18 \times t_{HCl}^{0.4214}$
$C_{gd0} + \Delta C_{gd}$ (fF)	$56.6 - 1.765 \times t_{HCl}^{0.16}$
$C_{gs0} + \Delta C_{gs}$ (fF)	$164.4 - 0.66 \times t_{HCl}^{0.367}$
$C_{ds0} + \Delta C_{ds}$ (fF)	$90.8 - 3.16 \times t_{HCl}^{0.4}$
$R_{ch0} + \Delta R_{ch}$ (Ω)	$28.6 + 0.272 \times t_{HCl}^{0.5}$
$f_{T0} + \Delta f_T$ (mS)	$188.2 - 0.47 \times t_{HCl}^{0.5045}$

4.4. Conclusiones del capítulo

En este capítulo se presentaron los resultados experimentales correspondientes a la extracción de parámetros para las diferentes condiciones de polarización, esto con la finalidad de obtener el circuito equivalente de pequeña señal. Como se mencionó anteriormente en cada condición de polarización se empleó un circuito equivalente único para todos los intervalos de degradación, esto con la finalidad de acentuar el impacto de portadores calientes en el transistor, que se manifiesta en un aumento o disminución en los parámetros de pequeña señal. Para obtener el modelo completo del MOSFET en la región de saturación, fue necesario añadir a los elementos extraídos en esta condición de polarización, aquellos que fueron extraídos en las otras dos regiones de operación tratadas en este trabajo, es decir, transistor apagado y fuerte inversión.

Al analizar los cambios en los parámetros de pequeña señal y en f_T , se observa que el MOSFET es afectado en mayor forma para intervalos pequeños de degradación y después de este periodo, la degradación del dispositivo sigue un comportamiento paulatino. Además, se corrobora que la parte intrínseca del dispositivo es la que sufre un mayor impacto como se menciona en la literatura, dicho impacto se manifiesta en el cambio de R_{ch} , g_m , C_{gd} , C_{gs} y C_{ds} .

Por otro lado, la extracción de los elementos del circuito equivalente de pequeña señal, nos permitió determinar f_T analíticamente, de esta manera, se procedió a realizar una comparación con los valores obtenidos por medio del método convencional de extrapolación, así como, con los valores derivados al emplear el método propuesto en este trabajo.

Finalmente se corroboró la veracidad y exactitud del método propuesto para determinar f_T frente al método convencional reportado en la literatura. Se observa que conforme el tiempo de degradación del MOSFET aumenta, el método propuesto ofrece un mayor grado de exactitud en comparación con el método convencional. Esto se debe a que en el enfoque propuesto, al usar la parte imaginaria de h_{21} la corriente (I_{gd}) que fluye por la capacitancia C_{gd} no influye en la corriente de la fuente controlada del transistor ($g_m * V_{gs}$), y por lo tanto, no sobreestima el desempeño del transistor. Además, el empleo del método de extrapolación propuesto, elimina la necesidad de realizar la extracción de los parámetros de pequeña señal para poder aplicar la ecuación (0.3). De esta manera, se elimina la necesidad de una gran cantidad de procesamiento de mediciones.

Capítulo 5

Conclusiones generales

En el desarrollo de esta tesis se presenta un procedimiento para realizar la extracción de parámetros de pequeña señal del circuito equivalente para un MOSFET en específico. La obtención de parámetros se pudo llevar a cabo gracias a la implementación de varias metodologías de extracción con base en circuitos equivalentes propuestos. Los parámetros extraídos para cada etapa de degradación nos permitieron comprender la degradación del dispositivo bajo estudio, en función del tiempo de degradación al que fue sometido. Contar con dichos parámetros permitió obtener una de las figuras de mérito más relevantes en pequeña señal y ver su comportamiento con respecto a la degradación del transistor.

Al observar los parámetros extraídos para cada región de operación y cuantificar sus variaciones se demostró que cuando el transistor se encuentra en estado apagado no existe cambio en los parámetros S durante el intervalo completo de degradación aplicado (10,000 segundos). Por lo tanto, no existe impacto de la degradación por HCI en los elementos de la red del sustrato. En contraste, para el caso de fuente inversión, se observa que la degradación se acentúa en la resistencia del canal, la cual puede ser observada directamente del parámetro S_{22} . Finalmente, en saturación se observa que todos los elementos intrínsecos del MOSFET sufren un cambio ante el efecto de portadores calientes. Siendo la transconductancia, el parámetro más afectado, dicho cambio puede observarse directamente en el parámetro S_{21} , esta reducción en g_m se traduce directamente en una disminución proporcional en f_T .

Los modelos que se utilizaron en este trabajo considerando al MOSFET como una red de dos puertos, ofrecen buena correlación con los datos experimentales hasta una frecuencia relativamente alta (50 GHz). Incluso algunos parámetros de la red de dos puertos iguala el comportamiento del modelo en todo el rango de frecuencia, tal es el caso del parámetro S_{21} . Este parámetro es de gran importancia en este trabajo, ya que una vez que se ha realizado la conversión a parámetros híbridos, se relaciona directamente con la frecuencia de corte. En un principio se planteó la posibilidad de obtener la frecuencia de corte directamente de datos experimentales mediante una metodología ya existente en la literatura. En este caso se supone que la curva experimental $|h_{21}|$ podría caer a 0 dB en el rango de las mediciones. Por ello, se realizaron mediciones dentro de un gran rango de frecuencia (10 MHz – 110 GHz). Sin embargo, al procesar los datos se observó que esta figura de mérito era mucho

mayor a lo esperado, lo que llevó al planteamiento de una de las mayores contribuciones de este trabajo. Esta contribución consiste en el desarrollo de un nuevo método para determinar f_T a través de una extrapolación hacia $f = 0$ del producto de la parte imaginaria de h_{21} con la frecuencia. Con este método se obtiene de manera confiable la frecuencia de corte de los dispositivos aún después de la degradación.

Por otro lado, para realizar mediciones de parámetros- S , es necesario el uso de equipo de medición muy sofisticado y de estructuras de calibración. Esto conlleva a un alto grado de dificultad para lograr la calibración del equipo y por lo tanto, obtener mediciones adecuadas del dispositivo bajo estudio. Por ello, es necesario tener especial cuidado en el manejo del equipo al momento de manipularlo.

Finalmente, como trabajo futuro, existe un gran campo de investigación en el modelado de transistores nanométricos, ya que se requiere de modelos con alto grado de exactitud que nos permitan representar el comportamiento de transistores en altas frecuencias, además que sean de fácil implementación y que los elementos que los integren puedan ser asociados a un fenómeno o efecto físico dentro del transistor.

Lista de figuras

Figura 0.1: Aplicaciones de la tecnología CMOS en función de la velocidad de conmutación y de sus dimensiones [9].	3
Figura 0.2: Nodos de tecnología de fabricación de Intel [10].	4
Figura 0.3: Circuito equivalente del MOSFET en alta frecuencia usando BSIM como núcleo del modelo [33].	6
Figura 0.4: Esquema de un circuito equivalente para un MOSFET [21].	8
Figura 0.5: Principales mecanismos de inyección de portadores calientes en un MOSFET [22].	9
Figura 0.6: Diagrama esquemático de un MOSFET de canal-n mostrando el canal de conducción a diferentes valores de V_{ds} [22].	11
Figura 0.7: Esquema básico del MOSFET, resaltando las regiones LDD [23].	12
Figura 0.1: Características de DC de un MOSFET antes y después de inyección de portadores calientes y de desgaste del óxido (<i>breakdown</i>) según [26,27].	16
Figura 0.2: Modelo de pequeña señal para representar los efectos de portadores calientes y oxide breakdown en un RF MOSFET [29].	17
Figura 0.3: Relación de la degradación de f_T y f_{max} con respecto a la degradación de g_m después de HCI y OBD [24,29].	18
Figura 0.4: Magnitud de h_{21} medido (símbolos) y simulado (líneas) de 0.3 a 40 GHz para un HEMT GaN a $V_{gs} = -2$ V y $V_{ds} = 19$ V sobre cinco diferentes valores de temperatura [34].	20

Figura 0.5: Efectos de g_m y C_{ds} en el fenómeno <i>kink</i> [36].	21
Figura 0.6: Efectos de C_{gd} y C_{gs} en el fenómeno <i>kink</i> [36].	22
Figura 0.7: Efecto del tamaño del transistor en el efecto <i>kink</i> [35,36].	22
Figura 0.8. Diagrama simplificado de un MOSFET mostrando los principales efectos distribuidos en altas frecuencias [33].	24
Figura 0.9: Regresión lineal para extraer f_T de un nMOSFET [40].	25
Figura 0.10: Esquema para lograr las condiciones de acoplamiento conjugado [41].	26
Figura 0.11: Obtención de f_{max} por medio de datos experimentales y definiciones de ganancia de potencia [40,44].	27
Figura 0.1: Esquema de una estructura para prueba con adaptador coplanar: a) convencional, y b) blindada.	31
Figura 0.2: Dimensiones de la estructura de prueba, conteniendo al dispositivo bajo estudio.	32
Figura 0.3: Configuración para realizar mediciones de DC en el transistor.	33
Figura 0.4: a) arreglo experimental para realizar mediciones de DC en el transistor. b) posicionamiento de las puntas de prueba en el dispositivo bajo estudio.	33
Figura 0.5: Curvas de I_{ds} , g_m vs V_{gs} y, indicando el punto de máxima transconductancia.	34
Figura 0.6: Arreglo experimental para realizar mediciones de parámetros S en el transistor.	35
Figura 0.7: Arreglo experimental para realizar mediciones de parámetros S en el transistor.	36

Figura 0.8: Panel trasero del SDA detallando las diferentes conexiones hacia el VNA.	36
Figura 0.9: Panel trasero del VNA, indicando las conexiones necesarias para poder realizar mediciones de parámetros-S aplicando polarización en las terminales del MOSFET.	37
Figura 0.10: Estructuras de calibración LRM.	39
Figura 0.11. Equipos y conexiones para desarrollar mediciones de parámetros-S en el rango de ondas milimétricas.	40
Figura 0.12: Esquema del circuito equivalente para la des-incrustación del dispositivo bajo estudio.	42
Figura 0.1: Circuito equivalente de pequeña señal para la condición de transistor apagado, $V_{gs} = 0 \text{ V}$, $V_{ds} = 0 \text{ V}$	45
Figura 0.2: Extracción de parámetros de pequeña señal mediante regresiones lineales para la condición de transistor apagado.	46
Figura 0.3: Circuito equivalente de pequeña para el transistor apagado, mostrando los valores para cada parámetro.	47
Figura 0.4: Parámetros-S medidos y simulados para el MOSFET fresco con $V_{gs} = 0 \text{ V}$ y $V_{ds} = 0 \text{ V}$	48
Figura 0.5: Parámetros-S medidos para diferentes intervalos de degradación con $V_{gs} = 0 \text{ V}$ y $V_{ds} = 0 \text{ V}$, sin realizar ningún procedimiento de deembedding.	49
Figura 0.6: Circuito equivalente de pequeña señal para la condición de polarización de fuerte inversión, $V_{gs} = 0.72 \text{ V}$ y $V_{ds} = 0 \text{ V}$	49
Figura 0.7: Regresiones lineales de datos experimentales para obtener R_{ch} y C_x para diferentes intervalos de degradación a $V_{gs} = 0.72 \text{ V}$, $V_{ds} = 0 \text{ V}$	51

Figura 0.8: Valores para R_{ch} (superior) con $V_{gs} = 0.72$ V, $V_{ds} = 0$ V y valores obtenidos de V_{th} (inferior) para diferentes intervalos de desgaste.....52

Figura 0.9: Circuito equivalente de pequeña señal para la región de saturación, $V_{gs} = 0.72$ V y $V_{ds} = 1.2$ V53

Figura 0.10: Extracción de parámetros del circuito equivalente de pequeña señal mediante regresiones lineales para el transistor operando en la región de saturación.55

Figura 0.11: Parámetros-S medidos y simulados para el MOSFET fresco con $V_{gs} = 0.72$ V y $V_{ds} = 1.2$ V.56

Figura 0.12. Correlación de datos experimentales y simulaciones con $V_{gs} = 0.72$ V, $V_{ds} = 1.2$ V.57

Figura 0.13: Red de dos puerto para un MOSFET en parámetros híbridos.58

Figura 0.14: Determinación de f_T directamente de la extrapolación convencional de datos experimentales.....60

Figura 0.15: Modelo de pequeña señal para el MOSFET.61

Figura 0.16: Parte intrínseca del modelo de pequeña señal del MOSFET.61

Figura 0.17: Circuito equivalente para obtener f_T62

Figura 0.18. Determinación de f_T directamente de datos experimentales extrapolados hacia $f = 0$64

Figura 0.19. f_T contra tiempo de degradación con $V_{gs} = 0.72$ V y $V_{ds} = 1.2$ V.....65

Figura 0.20: Capacitancias intrínsecas (superior) y transconductancia (inferior) en función del tiempo de degradación a $V_{gs} = 0.72$ V y $V_{ds} = 1.2$ V.....65

Figura 0.21. Circuito equivalente de pequeña señal in la región se saturación, incorporando la degradación de los parámetros intrínsecos del MOSFET..... 67

Figura 0.22. Extracción de los parámetros asociados a la ley de potencia para g_m por medio de una regresión lineal. 68

Figura 0.23. Porcentaje de degradación para g_m obtenido por medio de la regla de potencia y por medio de datos experimentales. 69

Lista de tablas

Tabla 1. Valores de los parámetros de pequeña señal para el transistor después de la degradación por HCI y OBD [29].	18
Tabla 2: Valores obtenidos para f_T con $V_{gs} = 0$ V y $V_{ds} = 1.2$ V.....	66
Tabla 3. Expresiones para representar la degradación de los parámetros intrínsecos del MOSFET.	69

Referencias

- [1] Tak H. Ning, "History and Future Perspective of the Modern Silicon Bipolar Transistor," *IEEE Transactions on Electron Devices*, vol. 48, no. 11, p. 2485, November 2011.
- [2] Katsuhiko Higuchi, Hidetoshi Matsumoto, Tomoyoshi Mishima, and Tohru Nakamura, "Optimum Design and Fabrication of INALAs/INGaAs HEMT's on GaAs with Both High Breakdown Voltage and High Maximum Frequency of Oscillation," *IEEE Transactions on Electron Devices*, vol. 46, no. 7, p. 1312, July 1999.
- [3] J., Liou Juin and Frank Schwierz, "RF MOSFET: Recent advances and future trends," *IEEE*, pp. 185-192, 2003.
- [4] S., M.: Sze and K., Ng Kwor, "*Physis of semiconductor Devices*". Hobokem, New Jersey: John Wiley & Sons, 2007.
- [5] Laurent Negre et al., ""Reliability Characterization and Modeling Solution to Predict Aging of 40-nm MOSFETDC and RF Performances Induced by RF Stresses"," *IEEE Journal of Solid-State Circuits*, vol. 47, no. 5, p. 1075, May 2012.
- [6] S. Lee, ""Accuarate extraction and analysis of intrinsic cutoff frequency of sub-0.1 um MOSFETs"," *Electronics Letters*, vol. 42, no. 16, August 2006.
- [7] Davis, M. Pozar, *Microwave Engineering*, cuarta ed.: Jonh Wiley & Soons, 2002.
- [8] S., J., C., H. Theeuwen and J., H. Qureshi, "LDMOS Technology for RF Power Amplifiers," *IEEE Transactions on Microwave Theory ans Techniques*, vol. 60, no. 6, p. 1755, June 2012.
- [9] Mark Bohr. (2015, August) Intel. [Online]. www.intel.com/idfsessionsSF
- [10] Ahmad Ehteshamul-Islam, "Current Status of Reliability in Extended and Beyond CMOS Devices," *IEEE Transactions on Device and Materials*

Reliability, pp. 1-20, 2014.

- [11] W. Lu, P. Xie, and C., M. Lieber, "Nanowire Transistor Performance Limits and Applications," *IEEE Transactions Electron Devices*, vol. 55, pp. 2859-2876, 2008.
- [12] A. Javey et al., "High-kappa dielectrics for advanced carbon-nanotube transistors and logic gates," *Nature Materials*, vol. 1, pp. 241-246, 2002.
- [13] "International Technology Roadmap for Semiconductor," 2011.
- [14] Intel. Intel® 14 nm Technology. [Online]. <http://www.intel.com/content/www/us/en/silicon-innovations/intel-22nm-technology.html>
- [15] Intel. Advancing Moore's Law —The Road to 14 nm. [Online]. <http://www.intel.com/content/www/us/en/silicon-innovations/advancing-moores-law-in-2014-presentation.html>
- [16] Jia Jiunn Ou, Xiaodong Jin, Ingrid Ma, Chenming Hu, and Paul R. Gray, "CMOS RF Modeling for GHz Communications IC's," *Symposium on VLSI Technology Digest of Technical Papers*, p. 94, 1998.
- [17] Yuhua Cheng, "On the High-Frequency Characteristics of Substrate Resistance in RF MOSFETs," *IEEE Electron Device Letters*, vol. 21, no. 12, pp. 604-606, December 2000.
- [18] Yannis Tsvividis and Colin McAndrew, "*Operation and Modeling of the MOS Transistor*". New York: Oxford University Press, 2001.
- [19] UC Berkeley Device Group. (2012) BSIM GROUP. [Online]. <http://www-device.eecs.berkeley.edu/bsim/>
- [20] C. C. Enz, F. Krummennacher, and E. A. Vittoz, "An Analytical MOS Transistor Model Valid in All Regions of Operation and Dedicated to Low-Voltage and Low-Current Applications," *Analog Integrated Circuits and Signal Processing Journal on Low-Voltage and Low-Power Design*, vol. 8, no. 1, pp. 83-114, 1995.
- [21] S. H. Jen, C. C. Enz, D. R. Pehlke, M. Schroter, and B. J. Sheu, "Accurate Modeling and Parameter Extraction for MOS Transistors Valid up to 10 GHz,"

- IEEE Transactions on Electron Devices*, vol. 46, pp. 2217-2227, Nov. 1999.
- [22] Eiji Takeda, Yang Cary Y., and Akemi Miura-Hamada, *Hot-Carrier Effects in MOS Devices*. United Kingdom: Academic Press, 1995.
- [23] Yuhua Cheng and Chenming Hu, *Mosfet Modeling & BSIM3 User's Guide*.: Kluwer Academic Publishers, 1999.
- [24] Huang Sheng-Yi et al., "Impact of hot carrier stress on RF power characteristics of MOSFETs," in *Proc. IEEE Int. Microw. Symp. Dig.*, pp. 161-165, 2005.
- [25] Liu Chien-Hsuan, Wang Ruey-Lue, Su Yan-Kuin, Tu Chih-Ho, and Juang Ying-Zong, "DC and RF Degradation Induced by High RF Power Stresses in 0.18-um nMOSFETs," *IEEE Transactions on Devices and Materials Reliability*, vol. 10, no. 3, pp. 317-323, September 2010.
- [26] Park Jong-Tae, Lee Byung-Jin, Kim Dong-Wook, Yu Chong-Gun, and Yu Hyun-Hyu, "RF Performance Degradation in nMOS Transistors due to Hot Carrier Effects," *IEEE Transaction on Electron Devices*, vol. 47, no. 5, pp. 1068-1072, 2000.
- [27] Mistry Kaizad and Doyle Brian, "How do Hot Carriers Degrade N-Channel?," *IEEE Circuits and Devices Magazine*, p. 28, 1995.
- [28] A. S. Sedra and K. C. Smith, *Circuitos Microelectrónicos*.: Oxford University Press, 1999.
- [29] Huang Sheng-Yi, Chen Kun-Ming, Huang Guo-Wei, Yang Dao-Yen, and Chang Chun-Yen, "Characterization and modeling of RF MOSFETs under hot carriers stress and oxide breakdown," *Silicon Monolithic Integrated Circuits in RF Systems, IEEE Conference*, pp. 81-84, 2006.
- [30] Kung-Ming Chen, "Effects of Hot Carrier Stress and Oxide Breakdown on RF Characteristics of MOSFETs".
- [31] Laurent Negre et al., "Reliability Characterization and Modeling Solution to Predict Aging of 40-nm MOSFET DC and RF Performances Induced by RD Stress," *IEEE Journal of Solid-State Circuits*, vol. 47, no. 5, pp. 1075-1083, 2012.

- [32] E. Takeda, N. Suzuki, and T. Hagiwara, "Device performance degradation to hot-carrier injection at energies below the Si-SiO₂ energy barrier," in *Proc. IEEE Int. Electron Devices Meeting*, vol. 29, pp. 396-399, 1983.
- [33] Reydezel Torres-Torres, "Small-Signal Modeling for Bulk MOSFET for High Frequency Applications," *Thesis, INAOE*, 2003.
- [34] Giovanni Crupi et al., "An Extensive Experimental Analysis of the Kink Effects in S22 and h21 for a GaN HEMT," *IEEE Transactions on Microwave Theory and Techniques*, vol. 62, no. 1, pp. 513-520, 214.
- [35] Giovanni Crupi, Antonio Raffo, Caddemi Alina, and Giorgio Vannini, "The Kink Phenomenom in the Transistor S22: A Systematic and Numerical Approacch," *IEEE Microwave and wireless components letters*, vol. 22, no. 8, pp. 406-408, 2012.
- [36] Lu Shey-Shi, Meng Chinchun, Cheni To-We, and Chen Hsiao-Chin, "The origin of the Kink Phenomenon of Transistor Scattering Parameter S22," *IEEE Transactions on Microwave Theory and Tecniques*, vol. 49, no. 3, pp. 333-340, 2001.
- [37] R. S. Murphy, "Prospects for the MOS Transistor as a High Frequency Device," *PhD thesis, INAOE*, 1997.
- [38] F. C. Hsu and K. Y. Chiu, "Evaluation of LDD MOSFE's Bases on Hot-Electron-Induced Degradation," *IEEE Electron Devices Letters*, vol. EDL-5, no. 5, pp. 162-165, 1984.
- [39] G. J. Hu, C. Chang, and Y. Chia, "Gate-Voltage-Dependent Effective Channel Legth and Series Resistance of LDD MOSFETs," *IEEE Transactions on Electron Devices*, vol. ED-34, no. 12, pp. 2469-2475, 1987.
- [40] Kwangsepk. Han, Han Jeong-hu, Je Minkyu, and Shin Hyungcheol, "RF Characteristics of 0.18-um CMOS Transistors," *Journal of the Korean Physical Society*, vol. 40, no. 1, pp. 45-48, January 2002.
- [41] G. Gonzales, *Microwave transistor amplifiers. Analysis and design.*: Prentice-Hall Int., 1997.
- [42] E. Vandamme et al., "Reliable extraction of RF figures-of-merit for MOSFETs,"

- ESSDERc*, pp. 660-3, 1998.
- [43] H. Beneking, *High speed semiconductors devices. Circuits aspects and fundamental behaviour.*: Chapman & Hall, 1994.
- [44] Jhon Hee-Sauk et al., "fmax Improvement by Controlling Extrinsic Parasitics in Circuit-Level MOS Transistor," *IEEE Electron Device Letters*, vol. 30, no. 12, pp. 1323-1325, December 2009.
- [45] Park Jong-Tae, Lee Byung-Jin, Kim Dong-Wook, Yu Chong-Gun, and Yu Hyun-Kyu, "RF Performance Degradation in nMOS Transistors due to Hot Carrier Effects," *IEEE Transactions on Electron Devices*, vol. 47, no. 5, pp. 1068-1072, May 2000.
- [46] Daniel García-García, "Analysis of Hot Carrier Degradation Impact on Small Signal Model Parameters on Nanometric n-MOSFET," *Tesis de Maestría, INAOE*, Ene. 2015.
- [47] Anritsu Company. (2012) VectorStar MS4640A Series Microwave Vector Network Analyzers Measurement Guide.
- [48] Reydezel Torres-Torres, Roberto Murphy-Arteaga, and Apolinar Reynoso-Hernández, "Analytical Model and Parameters Extraction to Account for the Pad Parasitics in RF-CMOS," *IEEE Transactions on Electron Devices*, vol. 52, no. 7, pp. 1335-1342, July 2005.
- [49] Germán Álvarez-Botero, Reydezel Torres-Torres, and Roberto S Murphy-Arteaga, "Modeling and Parameter Extraction of Test Fixtures for MOSFET On-Wafer Measurements up to 60 GHz," *International Journal of RF and Microwave Computer-Aided Engineering*, vol. 23, no. 6, pp. 656-661, November 2013.
- [50] Fabián Zárate-Rincón, "Caracterización de MOSFETs de Microondas Considerando Variaciones en el Voltaje de Substrato," *Ms.D. Thesis, Instituto Nacional de Astrofísica Óptica y Electrónica (INAOE)*, Julio 2012.
- [51] Fabián Zárate-Rincón, German A. Álvarez-Botero, Reydezel Torres-Torres, Roberto S. Murphy-Arteaga, and Stefaan Decoutere, "Characterization of RF-MOSFETs in Common Source Configuration at Different Source-to-Bulk Voltages from S-Parameters," *IEEE Transactions on Electron and Devices*, vol.

60, no. 8, pp. 2450-2456, August 2013.

- [52] I. M. Kang, J. Duk Lee, and H. Shin, "Extraction of pi-type substrate resistance based on three-port measurement and model verification up to 110 GHz," *IEEE Electron Devices Letters*, vol. 28, no. 5, pp. 425-427, 2007.
- [53] Reydezel Torres-Torres and Roberto Murphy-Arteaga, "Straightforward Determination of Small-Signal Model Parameters for Bulk RF-MOSFETs," *Proceedings of 5th IEEE International Caracas Conference on Devices, Circuits and Systems*, pp. 14-18, Noviembre 2004.
- [54] J. H Jung and J. H Lee, "Extraction of substrate resistance in muntifinger bulk FinFETs using shorted source/drain configuration," *IEEE Transactions Electron Devices*, vol. 54, no. 9, pp. 1335-1342, September 2007.
- [55] Y. Cheng and M. Matloubian, "On the high-frequency characteristics of substrate resistance in RF MOSFETs," *IEEE Electron Device Letter*, vol. 21, no. 12, pp. 606-606, Diciembre 2000.