



**INAOE**

# **Diseño y Análisis de Celdas de Memoria en Presencia de Radiación.**

por

**Jesús Moreno Moreno**

Tesis sometida como requisito parcial para obtener el grado de

**MAESTRO EN CIENCIAS EN LA ESPECIALIDAD DE ELECTRONICA**

en el

**Instituto Nacional de Astrofísica, Óptica y Electrónica**

Noviembre 2007

Tonantzintla, Puebla

Supervisada por:

**Dr. Víctor Champac Vilela**

© INAOE 2007

El autor otorga al INAOE el permiso de reproducir y distribuir copias en su totalidad o en partes de esta tesis



# Índice general

<b>1. INTRODUCCIÓN</b>	<b>3</b>
1.1. Daño producido por medios no ionizantes en semiconductores, metales y dieléctricos . . . . .	4
1.1.1. Semiconductor . . . . .	4
1.1.2. Metales . . . . .	5
1.1.3. Dieléctricos . . . . .	5
1.2. Daño producido por medios ionizantes en semiconductores y metales . . . .	6
1.3. Daño producido por medios ionizantes en dieléctricos . . . . .	8
1.4. Influencia de la radiación en materiales de encapsulado . . . . .	10
1.5. Daño producido por ionización en materiales por sucesos aislados . . . . .	10
1.5.1. Errores Leves . . . . .	13
1.5.2. Errores Graves: . . . . .	14
1.6. Efectos de la radiación ionizante en transistores MOS. Variación del voltaje umbral . . . . .	17
1.7. Efectos de la radiación ionizante en transistores MOS. Variación de la movilidad superficial y variación de la transconductancia. . . . .	21
<b>2. DISEÑO DE CELDAS DE ANÁLISIS</b>	<b>23</b>
2.1. Estrategia de diseño . . . . .	23
2.2. Celda Convencional . . . . .	24
2.2.1. Esquemático . . . . .	24
2.2.2. Layout . . . . .	26
2.2.3. Simulación . . . . .	26
2.3. Celda HIT2 . . . . .	28
2.3.1. Esquemático . . . . .	28
2.3.2. Layout . . . . .	31
2.3.3. Simulación . . . . .	31
2.4. Celda NUEVA . . . . .	34
2.4.1. Esquemático . . . . .	34

2.4.2.	Layout . . . . .	36
2.4.3.	Simulación . . . . .	36
<b>3.</b>	<b>SIMULACIONES DE LAS CELDAS CON SET A NIVEL ESQUEMÁTICO</b>	<b>39</b>
3.1.	Modelado de un SET . . . . .	39
3.2.	Single Event Transient (SET) . . . . .	41
3.3.	Simulación de un SET en la celda convencional . . . . .	43
3.3.1.	Simulación del SET . . . . .	44
3.4.	Simulación de un SET en la celda HIT2 . . . . .	46
3.4.1.	Simulación del SET . . . . .	49
3.5.	Simulación de un SET en la celda NUEVA . . . . .	53
3.5.1.	Simulación del SET . . . . .	56
<b>4.</b>	<b>SIMULACION POST-LAYOUT DE LAS CELDAS</b>	<b>61</b>
4.1.	Simulación Post-layout de la celda Convencional . . . . .	61
4.1.1.	Simulación de la operación Escritura . . . . .	61
4.1.2.	Simulación con SET's . . . . .	63
4.2.	Simulación Post-layout de la celda HIT2 . . . . .	65
4.2.1.	Simulación de la operación Escritura . . . . .	66
4.2.2.	Simulación con SET's . . . . .	66
4.2.3.	Múltiples SET's . . . . .	70
4.3.	Simulación Post-layout de la celda NUEVA . . . . .	75
4.3.1.	Simulación de la operación Escritura . . . . .	75
4.3.2.	Simulación con SET's . . . . .	78
4.3.3.	Múltiples SET's . . . . .	83
<b>5.</b>	<b>COMPARACIÓN ENTRE LAS CELDAS</b>	<b>87</b>
5.1.	Número de nodos sensibles . . . . .	87
5.2.	Magnitud del tiempo de recuperación . . . . .	88
5.3.	Número de posibles eventos simultáneos . . . . .	91
5.4.	Área . . . . .	93
5.5.	Resumen . . . . .	93
<b>6.</b>	<b>CONCLUSIONES</b>	<b>94</b>

# Capítulo 1

## INTRODUCCIÓN

La interacción de un sistema espacial con su ambiente es una consideración importante en el diseño de cualquier sistema espacial, ya que existen una gran variedad de peligros que se asocian a la operación de un sistema en el ambiente hostil del espacio. El ambiente espacial tiene una estructura compleja y dinámica. Existe una gran cantidad de procesos físicos como: partículas cargadas, plasmas, campos eléctricos y magnéticos, radiación solar, meteoros, etc. cada uno pueden causar daños profundos a un sistema espacial, deteriorando su funcionamiento y reduciendo su tiempo de vida. Las interacciones entre un sistema espacial y su ambiente pueden causar modificaciones al ambiente natural, dando lugar a los ambientes locales que alternadamente afectan el comportamiento del sistema [1].

Las numerosas anomalías operacionales y las fallas en sistemas espaciales se han reportado desde los principios de la *edad espacial*, un número significativo de las cuales fueron atribuidos a los efectos de la radiación en sistemas electrónicos. Las teorías del daño de la radiación en materiales semiconductores se presentaron en los años de los 50's, pues era una necesidad urgente entender por que los dispositivos semiconductores usados en el espacio y el equipo militar presentaban un mal funcionamiento después de la exposición al ambiente del espacio o a las explosiones nucleares. Un caso particular de la radiación fue postulada por primera vez por Wallmark y Marcus en 1962 [2]. Ésta era la posibilidad de "*susesos aislados*" o "*single events effects*" (SEE), donde una sola partícula cargada de energía causa una alteración en el estado lógico en un nodo sensible del dispositivo. Las primeras anomalías en los satélites reales fueron divulgadas por Binder et al. en 1975 [3].

Existen dos tipos de mecanismos físicos producidos por la radiación que pueden afectar a los materiales de los dispositivos electrónicos: *ionizantes*, el daño se debe principalmente a la liberación de carga, y *no ionizantes* o por *desplazamiento*, el daño se produce al ser arrancados átomos de la red cristalina. Ambos mecanismos no son excluyentes y pueden

sucedir de forma simultánea. Por ejemplo, un protón puede chocar con los átomos de un material creando defectos cristalinos y, al mismo tiempo, crear un exceso de carga libre al arrancar electrones a lo largo de su trayectoria. Un caso totalmente distinto es el de un neutrón de baja energía, que apenas puede producir ionización, siendo muy importante el daño por desplazamiento. Por otra parte, la radiación gamma produce daño principalmente por mecanismos de ionización. Hay que remarcar que el daño puede producirse de forma homogénea en todo el material (rayos gamma) o bien en zonas muy específicas de éste (iones pesados, rayos cósmicos). En este último caso, pueden aparecer los llamados *sucesos aislados*. Antes de hacer la descripción en como afecta la radiación en el transistor MOS, es necesario realizar una breve descripción del modo en que ésta afecta a los materiales que lo forman. Estos se clasifican en semiconductores, metales, dieléctricos y materiales de encapsulado.

## 1.1. Daño producido por medios no ionizantes en semiconductores, metales y dieléctricos

### 1.1.1. Semiconductor

La llegada de una partícula pesada al interior de un semiconductor tiene como consecuencia inmediata que algunos átomos sean arrojados fuera de su posición de equilibrio, de este modo, se generan defectos puntuales.

El daño por desplazamiento cambia apreciablemente las características de los semiconductores. En primer lugar, hay que mencionar la disminución del tiempo de vida media de los portadores minoritarios. Este parámetro es importante en la descripción del funcionamiento de dispositivos como diodos, transistores bipolares, etc., en los que los portadores se mueven mediante difusión. La disminución del valor de este parámetro provoca el aumento de la corriente de fuga en uniones PN inversamente polarizadas y la disminución de la ganancia en corriente de los transistores bipolares. Por otra parte, los defectos de la red cristalina (vacantes, intersticios, centros, etc.) constituyen un obstáculo para la propagación de los portadores con lo que la movilidad de los portadores de la red se reduce. Este efecto tiene como consecuencia que la resistividad del material aumenta considerablemente. El último efecto importante es la modificación de las propiedades ópticas del material. En semiconductores la recombinación de un electrón y un hueco se produce por mecanismos directos. El mínimo de la banda de conducción y el máximo de la banda de valencia tienen el mismo momento lineal por lo que se puede hacer un salto de una banda a otra con la simple emisión o captura de un fotón cuya energía es la anchura de la banda prohibida. La aparición de niveles intermedios en la banda de valencia

permite transiciones indirectas en las que intervienen fonones en lugar de fotones de luz. En resumen, la eficiencia emisiva de un semiconductor disminuye apreciablemente [4].

### 1.1.2. Metales

A diferencia de los semiconductores, el daño por desplazamiento apenas afecta a los metales debido a las siguientes razones:

a) No existen impurezas que puedan combinarse con los defectos puntuales generados por la radiación. Prácticamente todos los defectos se recombinan al cabo del tiempo.

b) En un metal estándar, la concentración de electrones es del orden de  $6 \times 10^{22}$  e/cm<sup>3</sup>. En un semiconductor cualquiera la máxima concentración de electrones es del orden de  $10^{16}$ - $10^{18}$  e/cm<sup>3</sup>. Por estos motivos, la fracción de portadores capturados en un metal sería infinitesimal con flujos de radiación que destruirían un semiconductor.

c) El daño por desplazamiento afecta sobre todo a los portadores minoritarios cuya existencia no tiene ningún sentido en un metal.

d) La movilidad de los electrones en un metal es muy elevada. Aún en el caso de que se formaran defectos estables por combinación de vacantes, su influencia en la movilidad sería despreciable.

### 1.1.3. Dieléctricos

Un aislante es un material que se caracteriza por una concentración de portadores extraordinariamente baja. Debido a que el daño por desplazamiento elimina portadores y aumenta la resistividad, no se puede esperar una modificación significativa de las propiedades del material aislante. Por tanto, los materiales aislantes utilizados en electrónica son inmunes al daño por desplazamiento desde el punto de vista de las propiedades eléctricas. Sólo existe un punto que puede ser problemático. Un átomo (p. e. oxígeno en SiO<sub>2</sub> o materiales plásticos) puede perder su posición en la red cristalina para ser reemplazado por un electrón. Estos defectos, que se conocen como “centros de color” o “centros F” oscurecen el dieléctrico. Esto carece de importancia en dieléctricos aislantes que forman condensadores o transistores MOS, óxidos epitaxiales de protección, etc. Sin embargo, en el caso de materiales fotoeléctricos como fibras ópticas o capas de aislamiento de LED's y fotodiodos, el problema adquiere una importancia mucho mayor.

## 1.2. Daño producido por medios ionizantes en semiconductores y metales

A diferencia del daño por desplazamiento, los mecanismos ionizantes no dañan el material por la creación directa de defectos en la red cristalina sino por la generación de cargas eléctricas. En general, toda partícula cargada (protón, electrón, iones pesados, etc.) así como los fotones de alta energía (rayos X o  $\gamma$ ) pueden ionizar un material de forma directa. Las partículas neutras como los neutrones no pueden realizar ionización de los materiales por mecanismos directos. En este caso, los mecanismos utilizados son los siguientes.

a) Las colisiones de neutrones con átomos despiden núcleos atómicos con capacidad ionizante.

b) Si la energía del neutrón es suficientemente alta, pueden excitar los núcleos atómicos y éstos pierden energía emitiendo un rayo gamma de alta capacidad ionizante. En otros casos, el neutrón es absorbido y el núcleo emite una partícula cargada.

La unidad de medida de la radiación ionizante es el *Gray* (Gy). Se define como la cantidad de radiación ionizante necesaria para transferir una energía de 1 J a 1 Kg. del material estudiado. En la definición de esta unidad no es necesario considerar ni la naturaleza de la radiación ni la energía de las partículas o fotones. En cambio, sí es necesario conocer el tipo de material que está siendo irradiado.

En la definición de esta unidad no es necesario considerar ni la naturaleza de la radiación ni la energía de las partículas o fotones. En cambio, sí es necesario conocer el tipo de material que está siendo irradiado. Por esta causa, se debe hablar de 1 Gy (Si), 1 Gy (SiO<sub>2</sub>), etc. Aún se sigue utilizando el *rad* (*radiation absorbed dose*), que es la centésima parte de 1 Gy (100 rad = 1 Gy). Por otra parte, esta unidad está relacionada con una degradación supuesta en todo el material. En el caso de una irradiación con iones pesados, la creación de carga no es homogénea en todo el material sino que se puede concentrar en el camino del ión. Esto provoca *sucesos aislado* cuyos efectos (*Single event effects* ó *SEE*) se describen por una magnitud denominada *Linear Energy Transference* ó *LET* [5].

En un semiconductor, el principal daño que produce la radiación por mecanismos ionizantes es la creación de pares electrón-hueco en situación de no-equilibrio. La cantidad de pares formados depende del material. El número de pares g creados por la radiación ionizante en los semiconductores más utilizados son los siguientes:

*Si*:  $4.05 \times 10^{15} \text{ p/cm}^{-3} \text{ Gy}$ .

*Ge*:  $1.2 \times 10^{16} \text{ p/cm}^{-3} \text{ Gy}$ .

*GaAs*:  $6.9 \times 10^{15} \text{ p/cm}^{-3} \text{ Gy}$ .

Estos pares tardan en recombinarse un intervalo de tiempo del orden del valor de la vida media de los portadores minoritarios  $t_p$ . La aparición de estos portadores tiene consecuencias importantes: Por un lado, se produce una disminución de la resistividad del semiconductor [6], [7]. En un semiconductor, la ecuación que rige el comportamiento de los portadores minoritarios es:

$$\frac{\delta \Delta n}{\delta t} = -\frac{\Delta n}{\tau} + G(t) = -\frac{\Delta n}{\tau} + g \cdot \frac{\delta \gamma}{\delta t} \dots (1.1)$$

Donde  $G(t)$  es el número de pares creados por unidad de tiempo y volumen,  $g$  la cantidad de pares creados por unidad de volumen y de radiación ionizante y  $\gamma$  el valor de la *TID* (*total ionizing dose*). Se ha utilizado la concentración de electrones que es, lógicamente, igual en número a la concentración de huecos. En el caso de que la radiación se produzca a un ritmo constante y que se alcance el equilibrio ( $\Delta n = \text{cte}$ ,  $\gamma = \text{cte}$ ), el exceso de portadores es:

$$\Delta n = \Delta p = \tau_n \cdot g \cdot \frac{\delta \gamma}{\delta t} \dots (1.2)$$

La consecuencia más evidente derivada de este resultado es que la conductividad de un material debe incrementarse. Es fácilmente demostrable que el incremento de la conductividad sería:

$$\Delta \sigma = e \cdot (\Delta n \cdot \mu_n + \Delta p \cdot \mu_p) = e \cdot \tau_n \cdot g \cdot \frac{\delta \gamma}{\delta t} \cdot (\mu_n + \mu_p) \dots (1.3)$$

Siendo  $e$  la carga del electrón,  $\gamma$  el valor de TID y  $\tau_n = 5 \times 10^{-7} s$  es una estimación del tiempo de vida media de los portadores minoritarios en el silicio. Sin embargo, aún en el caso de una irradiación de  $1 Gy s^{-1}$  en silicio, que es bastante rápida, se crearían solamente unos  $2 \times 10^9$  pares electrón-hueco. Esta magnitud es mucho menor que la concentración usual en semiconductores dopados (más de  $1 \times 10^{14}$  portadores/cm<sup>3</sup>) por lo que sólo tendrían importancia en el caso de semiconductores muy resistivos.

El daño más importante en el semiconductor es la creación de fotocorrientes en uniones PN inversamente polarizadas, pues se traduce en un incremento significativo de las corrientes de fuga. Se puede demostrar que ésta aumenta en un factor:

$$\Delta I = e \cdot A \cdot W_T \cdot g \cdot \frac{\delta \gamma}{\delta t} \dots (1.4)$$



donde  $A$  es la superficie de la unión y  $W_T$  es la región de agotamiento de la unión PN. Por último, hay que destacar que la radiación ionizante apenas afecta a los metales, debido a que la cantidad de portadores adicionales que se podrían crear es totalmente despreciable frente a los que existen por defecto en un metal.

### 1.3. Daño producido por medios ionizantes en dieléctricos

Los dieléctricos son fuertemente afectados por este tipo de radiación. En general, la movilidad de los electrones creados por efecto fotoeléctrico en un dieléctrico es mucho más alta que la del hueco complementario. Los electrones pueden abandonar rápidamente el dieléctrico quedando los huecos atrapados y sin posibilidad de recombinarse con los electrones. Los dispositivos más afectados por la TID son los transistores MOS a causa de la acumulación de carga en el dieléctrico de compuerta.

Cuando un aislante (por ejemplo  $\text{SiO}_2$ ) es afectado por la radiación ionizante, se generan pares electrón-hueco (Fig. 1.1a). La movilidad de un electrón en el dióxido de silicio a temperatura ambiente es  $20 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$  en tanto que la del hueco depende fuertemente de la temperatura y del campo aplicado y puede variar entre  $10^{-4}$  y  $10^{-11} \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ .

Por tanto, en el caso de que un par electrón hueco no se recombine inmediatamente, el hueco necesitaría un tiempo entre  $10^5$  y  $10^{12}$  veces superior al requerido por el electrón para abandonar el óxido (Fig. 1.1b). Esto explica que exista un predominio de carga positiva atrapada en el óxido frente a la carga negativa. Las cargas positivas que no se han recombinado comienzan a desplazarse hacia zonas de menor tensión (Fig. 1.1c). En el caso de un NMOS, esta zona es el canal y en el PMOS es la terminal de compuerta [8].

El movimiento de los huecos es muy lento pero, tarde o temprano, alcanzarán la interfaz  $\text{SiO}_2\text{-Si}$  o  $\text{Si-Metal}$  (Fig. 1.1d). En estas zonas, la concentración de defectos es mucho mayor que en otras zonas del óxido. Se sabe que la inmensa mayoría de los huecos quedan confinados en un espesor de pocos nanómetros por encima de la interfaz.

El número de huecos atrapados es proporcional al número de defectos y depende de la tecnología de fabricación. Las tecnologías tolerantes a la radiación deben disminuir al máximo este número para aumentar la tolerancia del óxido. Por ejemplo, se sabe que algunas tecnologías atrapan sólo el 1% de los huecos generados en tanto que otras atrapan prácticamente el 100%.

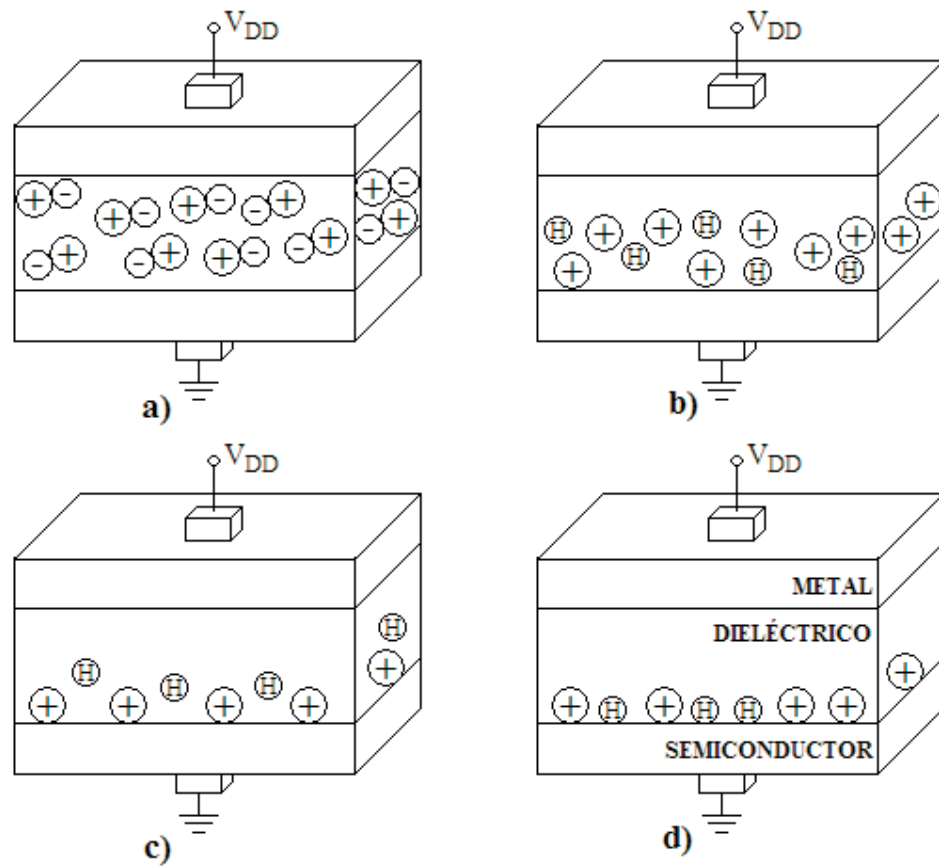


Figura 1.1: *Acción de la dosis total de radiación ionizante en un aislante.*

## 1.4. Influencia de la radiación en materiales de encapsulado

En general, todo dispositivo electrónico está protegido del exterior por un encapsulado, que puede ser plástico o cerámico. A diferencia de los materiales cerámicos, se sospecha que el plástico puede atrapar cargas positivas por un mecanismo similar al observado en el dióxido de silicio. Por otra parte, el plástico es un compuesto con una gran cantidad de hidrógeno, que podría contaminar el SiO<sub>2</sub> por lo que la degradación de éste podría ser mucho más intensa.

Durante un tiempo, se sugirió que la carga acumulada en materiales plásticos podía afectar al comportamiento de los componentes que estuvieran recubiertos por ellos. En algunos casos, parecía que se demostraba esta hipótesis aunque en los resultados posteriores no se encontró diferencia en el comportamiento en función del encapsulado o, incluso, se apuntaba en la dirección contraria. Por otra parte, cada tipo de encapsulado exige la realización de procesos diferentes. Esta diferencia en los pasos seguidos durante la fabricación podría ser también otra de las causas en el distinto comportamiento de los componentes si ésta fuese finalmente confirmada.

## 1.5. Daño producido por ionización en materiales por sucesos aislados

Se han tratado los efectos de la radiación ionizante desde un punto de vista global y estadístico. Se aceptó que los daños se producían de forma uniforme en todo el material y a lo largo del tiempo. La radiación gamma es un claro ejemplo de este tipo de ionización (Fig. 1.2a). Sin embargo, en ciertos casos la ionización no se produce de esta manera. Imaginemos una partícula fuertemente ionizada que se desplaza a través de un material, tanto aislante como semiconductor. Las cargas se liberarán a lo largo del camino seguido por la partícula y no en todo el material (Fig. 1.2b). Es cierto que no existen radiaciones con una única partícula sino con una gran cantidad por lo que, estadísticamente, la ionización es homogénea y los efectos serían similares a los originados por la radiación gamma [5].

A pesar de todo, la ionización producida por estas partículas está sujeta a una cierta aleatoriedad. Imaginemos que una partícula incide en un dieléctrico polarizado y crea de forma espúrea un rastro de cargas libres. Si se dan las condiciones adecuadas, este rastro podría tener la adecuada inclinación y longitud para comunicar los dos extremos del dieléctrico y provocar un cortocircuito que destruiría el dispositivo.

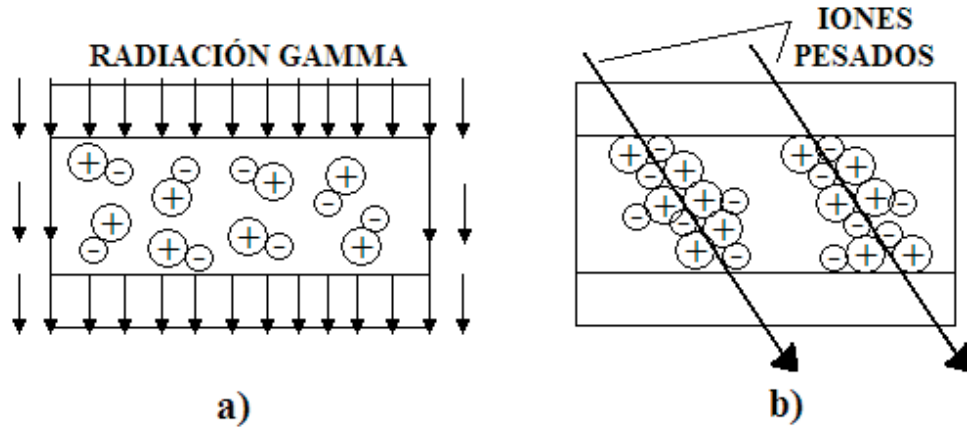


Figura 1.2: *Distintos tipos de ionización: Homogénea (a) y heterogénea (b).*

Debido a la incertidumbre de este mecanismo, es necesario estudiarlo desde un punto de vista puramente estadístico. A diferencia de otros daños por ionización, se prefiere utilizar una magnitud llamada "Transferencia Lineal de Energía" (*Linear Energy Transfer* ó *LET*). Esta magnitud mide la energía que deposita una partícula por unidad de masa y volumen del material y por longitud recorrida. El valor de esta magnitud depende de la partícula incidente, de su energía y del tipo de blanco y se suele medir en  $\text{MeV}\cdot\text{cm}^2/\text{mg}$ . Asimismo, existe una dependencia con la inclinación del haz de partículas incidentes. Se cumple que el número de sucesos aislados que pueden producirse en un dispositivo es igual a:

$$N = S \cdot \Phi \cdot \cos(\alpha) \dots (1.5)$$

Siendo  $\Phi$  el flujo total de partículas,  $\alpha$  el ángulo que forma el haz con la dirección que produce el máximo número de sucesos aislados (Fig. 1.3) y  $S$  la sección eficaz del suceso aislado que es, a su vez, función de  $LET$ . Fig. 1.4 muestra un ejemplo del valor de  $S$  en función de  $LET$ . Como puede observarse, existe un valor mínimo para producir un suceso aislado llamado *LET umbral* y que, a partir de cierto valor de  $LET$ , la sección eficaz se satura en su máximo valor. Los sucesos aislados son más frecuentes en tecnologías altamente integradas puesto que, en este caso, es más sencillo conectar los puntos sensibles del circuito integrado [5].

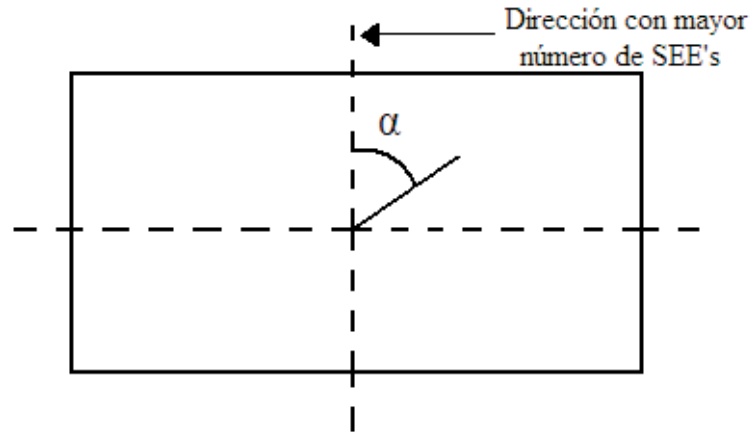


Figura 1.3: Definición de ángulo  $\alpha$  del haz con la dirección de mayor número de sucesos aislados.

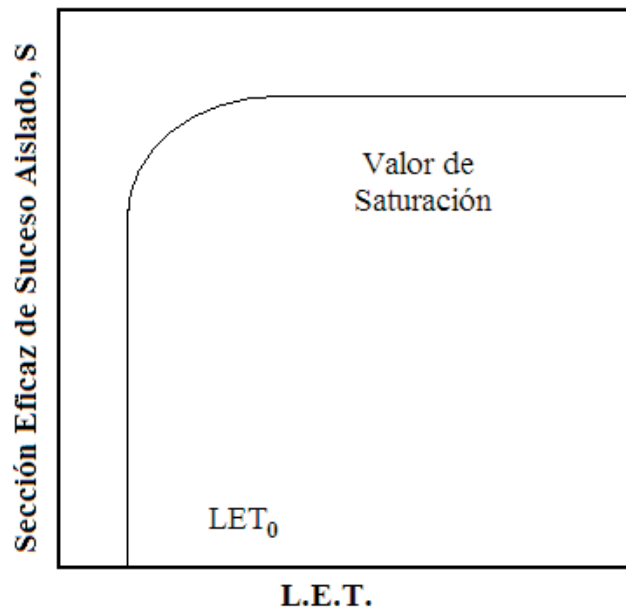


Figura 1.4: Se observa que es necesario un mínimo valor de  $LET$  y que la sección eficaz tiende asintóticamente a un valor.

Los sucesos aislados se clasifican en las categorías de leves o graves en función de la magnitud del daño que provocan. Los errores leves pueden ser corregidos mediante el reiniciado del sistema o por técnicas de redundancia o voto en circuitos digitales. También se consideran errores leves los pulsos espúreos que se producen en circuitos analógicos. Los errores graves conducen a la destrucción del dispositivo [5], [9], [10].

### 1.5.1. Errores Leves

#### **Single Event Upset (SEU), Multiple Bit Upset (MBU) y Single Event Functional Interrupt (SEFI)**

Se produce el fenómeno de SEU cuando una partícula atraviesa una celda de memoria de un circuito digital (p. e., una SRAM) y el rastro de portadores creados produce un cambio en el valor almacenado de ella. Es el suceso aislado mejor estudiado puesto que fue predicho en 1962 y observado experimentalmente en 1975 y las estrategias para evitar sus efectos (reiniciado periódico, votado y redundancia) son bastante conocidas.

Los otros fenómenos (MBU y SEFI) son casos especiales del SEU. En el primero de ellos, una partícula fuertemente ionizante produce un cambio en varias celdas de memoria de forma simultánea. En este caso, las estrategias de redundancia y votado pueden no ser válidas. El fenómeno de SEFI ocurre cuando el componente tiene, por ejemplo, una lógica para corrección del error. En caso de que la partícula afecte a este subcircuito, mucho más sensible, el error no podrá ser corregido de ninguna forma [5], [9], [10].

#### **Single Event Transient (SET)**

En algunos textos, este fenómeno se conoce también como single event pulse (SEP). Se produce cuando una partícula cargada atraviesa un nodo sensible de un circuito integrado, como uniones PN invertidas, condensadores, etc. La creación súbita de cargas origina un pulso transitorio de corriente que se propaga hasta la salida del dispositivo. Normalmente, el transitorio no destruye el componente pues es de corta duración y el dispositivo puede dirigir este exceso de corriente a la alimentación negativa [11].

## 1.5.2. Errores Graves:

### Single Event Latch-up (SEL)

Este fenómeno aparece en dispositivos CMOS en especiales condiciones de polarización. Fig. 1.5 muestra una situación típica en tecnología CMOS, donde un transistor NMOS es adyacente a otro PMOS. En estas circunstancias, se observa que existen dos transistores bipolares parásitos que forman una estructura de diodo de cuatro capas o SCR [12].

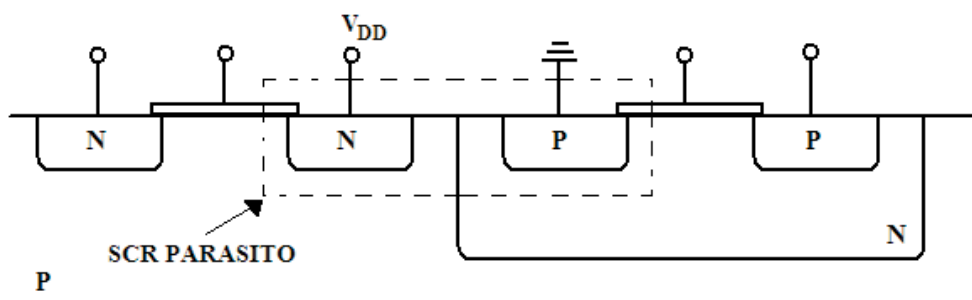


Figura 1.5: *Dos transistores adyacentes en un circuito CMOS forman un diodo de cuatro capas o SCR parásito.*

Esta estructura pertenece a la familia de los tiristores, muy utilizados en electrónica de potencia, y se caracterizan por la presencia de dos estados estables: Abierto y cerrado. Normalmente, estos dispositivos permanecen abiertos de forma indefinida hasta que un mínimo pulso de corriente cruza la puerta del SCR. A causa de la realimentación positiva, el diodo comienza a conducir. La corriente es muy elevada pues sólo puede ser controlada por resistencias externas y únicamente se interrumpe con un pulso negativo de corriente a través de la puerta del SCR.

El latch-up asociado a la radiación se produce cuando una partícula cargada atraviesa la estructura anterior y crea cargas en la frontera del pozo n. Estas cargas se mueven a causa del campo eléctrico produciendo una corriente espúrea que puede disparar el SCR parásito. La corriente que atraviesa el dispositivo es tan alta que destruye el dispositivo CMOS ya que es imposible frenarla. Por otro lado es necesario que se cumplan las siguientes condiciones para que el SEL se produzca:

- a) Los dos transistores parásitos deben estar polarizados en directa.
- b) El producto de la ganancia  $\beta$  de los transistores debe ser superior a 1.

c) La fuente de tensión debe ser capaz de proporcionar corrientes suficientemente altas para destruir el componente.

El fenómeno de latch-up depende fuertemente de la temperatura. Cuanto mayor sea ésta, mayor probabilidad hay de que se produzca el latch-up. Este fenómeno sólo puede ser evitado añadiendo limitadores de corriente e interruptores que apaguen el circuito cuando se advierta la presencia de un fenómeno de este tipo. Por otro lado, hay que destacar que se ha descrito un caso especial de fenómeno de latch-up. Súbitos incrementos de temperatura, pulsos espúreos de tensión, etc., pueden crear pares de portadores de forma súbita y activar el tiristor parásito que provocaría la destrucción del componente por latch-up.

### **Single Hard Error (SHE)**

Este fenómeno sucede cuando una partícula altamente ionizante atraviesa la compuerta de un transistor y crea tantas cargas que produce un cambio instantáneo en el voltaje umbral. Esto puede impedir la conmutación del transistor o bien el incremento de la corriente de fuga de éste [13].

### **Single Event Rupture (SER) y Soft Gate Breakdown (SGB)**

Este fenómeno acontece en capacitores integrados sometidos a una gran diferencia de voltaje cuando son irradiados con partículas altamente ionizantes. El fenómeno de este tipo más conocido es la ruptura de compuerta (Single Event Gate Rupture, SEGR), que tiene lugar en transistores MOS cuyas compuertas son muy finas (alta escala de integración) [5] [13].

El campo eléctrico en el interior del dieléctrico es muy elevado. Una partícula altamente ionizante atraviesa el dieléctrico creando un plasma de portadores que convierte al óxido en muy conductor (Fig. 1.6). La descarga que se produce a continuación destruye el óxido del semiconductor con lo que el transistor es destruido.

A pesar de que este efecto se describió inicialmente en transistores MOS, el fenómeno puede ser extrapolado a los capacitores internos de los circuitos integrados. Fig. 1.7 muestra el aspecto de un capacitor que se encontraba en el interior de un amplificador operacional OP-27 tras ser irradiado con protones de alta energía. Como se ve, el paso de una partícula cargada produjo la perforación del capacitor.



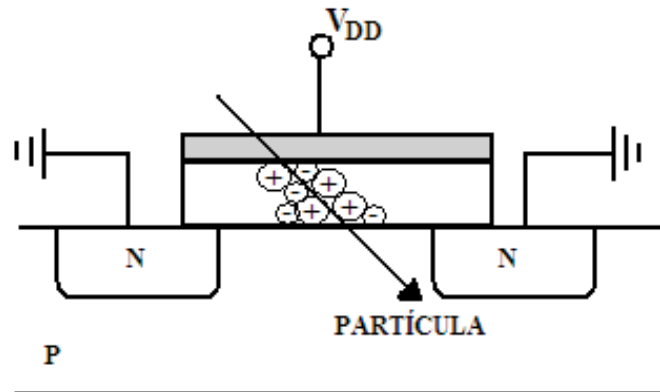


Figura 1.6: Al atravesar una partícula ionizante la compuerta de un transistor MOS, crea una nube de partículas libres que cortocircuitan la compuerta y el canal. Esta corriente destruye al transistor.

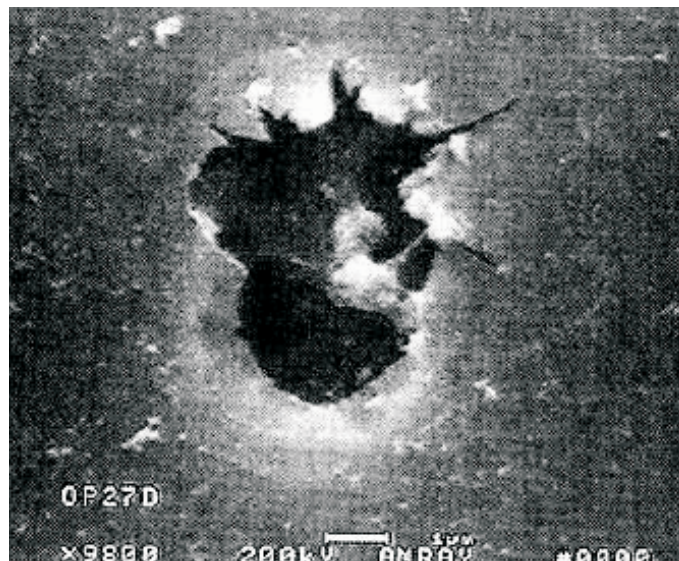


Figura 1.7: Microfotografía de un capacitor interno en un amplificador operacional OP27 después del paso de una partícula altamente ionizante.

Por otra parte, éste no es el único fenómeno que puede provocar la destrucción de un capacitor. Otro mecanismo que la produce se denomina ruptura lenta de la compuerta (Soft Gate Breakdown, SGB) y está relacionado con el envejecimiento acelerado de los componentes irradiados. En el interior del dieléctrico de un transistor existe una gran cantidad de defectos puntuales. Por agitación térmica, estos defectos se mueven y puede darse el caso de que los defectos puntuales se alineen uniendo puerta y canal del transistor.

Este defecto lineal es conductor e impide que el dióxido de puerta sea un aislante perfecto y que el transistor funcione correctamente. Este fenómeno es muy importante en circuitos integrados con una gran cantidad de componentes sencillos y que vaya a trabajar largo tiempo y su efecto es mayor en componentes irradiados a causa de los defectos producidos por la radiación. A diferencia de la SGR, no es necesario el paso de una partícula ionizante para que se produzca la ruptura de la puerta aunque, como aquélla, la SGB tiene un comportamiento aleatorio. Ambos fenómenos producen la destrucción de la puerta de los transistores MOS [5], [9], [13].

### **Single Event Burn-Out (SEBO)**

Este fenómeno aparece en transistores de potencia que estén interrumpiendo el paso de corriente. Esto implica que existe una gran diferencia de voltaje entre el drenador y fuente (o entre el colector y el emisor en el caso de un transistor bipolar) y que el semiconductor que los separa está libre de cargas. Si una partícula atraviesa el espacio entre las dos terminales, podría crear una zona rica en portadores que permitiría el paso de corriente entre ambos. Esta súbita descarga destruye el transistor. Este suceso aislado fue descrito inicialmente en transistores de efecto campo de potencia. Sin embargo, se descubrió que no es un fenómeno exclusivo de esta tecnología pues se encontró también en transistores bipolares de potencia. En general, podrá aparecer en todo dispositivo semiconductor de potencia que bloquee el paso de corriente entre dos puntos cuya diferencia de voltaje sea muy elevada [9].

## **1.6. Efectos de la radiación ionizante en transistores MOS. Variación del voltaje umbral**

La radiación ionizante es muy dañina para los transistores MOS. La causa es la acumulación de cargas positivas en la compuerta del transistor. Ya se describió en el apartado

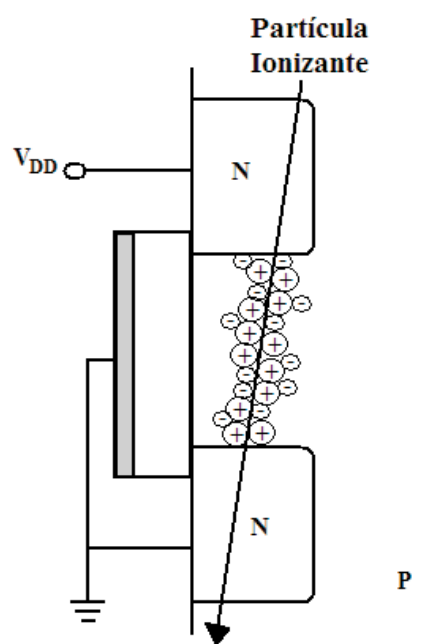


Figura 1.8: *Mecanismo que produce un SEB. La partícula ionizante cortocircuita el drenador y la fuente destruyendo el transistor.*

anterior lo que ocurría a un óxido que es sometido a radiación ionizante. En primer lugar, se genera una gran cantidad de pares electrón-hueco y los electrones son eliminados rápidamente.

Los huecos tienden a desplazarse hacia zonas con potencial electrostático menor y algunos de ellos quedan atrapados en los defectos del óxido cristalino. Al mismo tiempo, algunos huecos arrebatan un electrón a los átomos de hidrógeno atrapado en la red cristalina y el protón resultante inicia una migración mucho más lenta hacia las mismas zonas que los huecos [14].

Si llegan a la superficie óxido-semiconductor, se genera una gran cantidad de estados superficiales que pueden atrapar electrones. En el caso de que un transistor NMOS, las cargas positivas atrapadas en el óxido crean un campo eléctrico desde la compuerta hacia el canal que se superpone al que produce la tensión de puerta. Observemos que además la definición de tensión umbral (1.6) existe una dependencia de la carga atrapada en el óxido.

$$V_{TH} = (|Q'_{SD}(\text{máx})| - Q'_{SS}) \cdot \left[ \frac{H}{\epsilon_{OX}} \right] + \phi_{MS} + 2 \cdot V_T \cdot \ln \left( \frac{N_A}{n_i} \right) \dots (1.6)$$

siendo  $Q'_{SD}$  la máxima densidad superficial de carga en la zona de agotamiento de la unión semiconductor-óxido,  $Q'_{SS}$  la densidad superficial de carga equivalente en la superficie del óxido a causa de las cargas atrapadas en él,  $H$  la anchura del óxido,  $\epsilon_{OX}$  la permitividad dieléctrica de éste,  $\phi_{MS}$  la función trabajo metal-semiconductor y  $N_A$  el dopado del canal.

En cualquier caso, el efecto inmediato es que el voltaje umbral de un transistor NMOS disminuye puesto que existe un campo eléctrico no nulo que facilita la formación del canal. Este campo puede ser tan intenso que puede hacer incluso que la tensión umbral sea menor que 0 V.

Por tanto, a medida que progresa la irradiación la tensión umbral disminuye tanto por la continua creación de cargas positivas como por la aproximación de las cargas al canal del transistor. Sin embargo, si la irradiación no es muy rápida, es muy importante la generación de iones de hidrógeno que emprenden su camino hacia la interfaz óxido-semiconductor. A medida que llegan, crean estados de superficie que atrapan electrones por lo que se acumula carga negativa en una zona muy próxima a la interfaz. Estas cargas pueden compensar la acción de las cargas positivas e incluso superarla. En este momento, la tensión umbral comienza a crecer y puede llegar a ser superior incluso a la inicial.

En el caso de que el transistor sea de tipo PMOS, las cargas son atraídas hacia la compuerta y no hacia el semiconductor. Por tanto, no se pueden crear estados en la

interfaz óxido-semiconductor y sólo tienen importancia las cargas acumuladas en el óxido. En un transistor PMOS, el campo eléctrico que crea el canal va en sentido inverso al que existe en un transistor de canal n. La carga positiva se opone al campo que crea el canal y el resultado es que la tensión umbral decrece. En definitiva, el valor absoluto de la tensión umbral de un transistor PMOS se incrementa con la radiación ionizante sea cual sea su ritmo de irradiación.

Por otro lado, la polarización de un transistor afecta a la evolución de un transistor MOS. La causa está en que la presencia de campo favorece el desplazamiento de cargas en el óxido. En el caso de un transistor NMOS, las cargas positivas y los átomos de hidrógeno son lanzados hacia la interfaz aislante-semiconductor. Por tanto, un transistor NMOS que se encuentra en conducción cuando es irradiado se degrada más que otro en corte cuando son irradiados, como se muestra en la figura 1.9 [9].

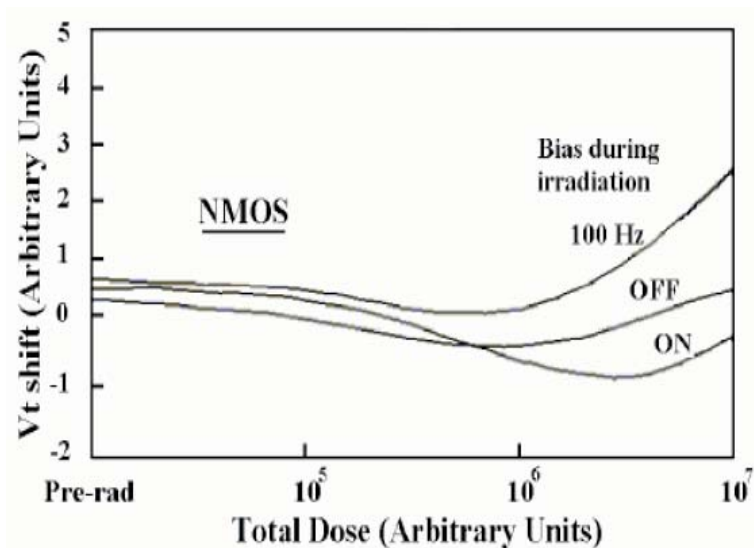


Figura 1.9: *Influencia de la polarización en un transistor NMOS sometido a radiación ionizante*

En cambio, en un transistor PMOS, las cargas positivas son atraídas hacia la puerta y se alejan del canal. Por tanto, un transistor de este tipo se degrada menos cuando está en conducción que cuando no lo está (fig. 1.10).

Otra de las diferencias entre los transistores PMOS y NMOS es que una oscilación en el voltaje en la compuerta aumenta la tolerancia de un PMOS pero disminuye la de un NMOS. Una de las consecuencias más importantes del desplazamiento del voltaje

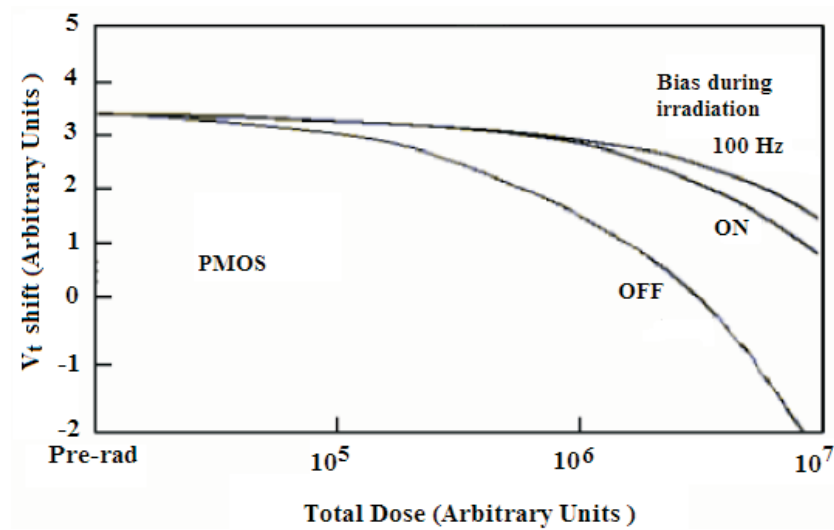


Figura 1.10: Evolución del voltaje umbral de un transistor PMOS sometido a dosis ionizante.

umbral es que se modifican los niveles de conmutación de los circuitos digitales pudiendo desaparecer incluso la capacidad de hacerlo.

Por otro lado, hay que tener en cuenta la influencia de la temperatura durante la irradiación. La temperatura disminuye la movilidad de las cargas por lo que en un transistor PMOS evita que las cargas se acerquen al electrodo de la compuerta. Recordemos que cuanto más lejos esté una carga del canal, menor será su influencia por lo que se deduce que un transistor PMOS tolera menos la radiación cuando está a baja temperatura. En cambio, un transistor NMOS será más resistente cuanto menor sea la temperatura puesto que las cargas atrapadas tardan mucho más en acercarse al canal.

## 1.7. Efectos de la radiación ionizante en transistores MOS. Variación de la movilidad superficial y variación de la transconductancia.

El último efecto que se produce en transistores MOS sometidos a radiación ionizante es la disminución de la movilidad superficial, ya que los estados de superficie dificultan el movimiento de los portadores. La movilidad de éstos depende del número de trampas

creadas por los estados de superficie y puede calcularse con la expresión. Esta disminución de la movilidad tiene una serie de consecuencias importantes. En primer lugar, la transconductancia  $\beta$  de los transistores disminuye proporcionalmente a la movilidad, observándose también una disminución en los valores de la ganancia en pequeña señal del transistor, la resistencia equivalente en la zona óhmica, etc [15].

## Capítulo 2

# DISEÑO DE CELDAS DE ANÁLISIS

### 2.1. Estrategia de diseño

La tecnología usada para el desarrollo de las celdas convencional, HIT2 y NUEVA es de  $0.18 \mu\text{m}$  por el fabricante TSMC. La estrategia de diseño para la celda convencional fue usar dimensiones mínimas como se propone en la literatura para minimizar el área de la memoria [16].

Para las celdas endurecidas HIT2 y NUEVA, en primer lugar se toma como referencia un single event transient de las siguientes características: un valor de corriente de  $3 \text{ mA}$  de amplitud, un tiempo de subida,  $T_R$ , de  $3 \text{ ps}$  y con  $1 \text{ ns}$  de tiempo total de caída,  $T_F$ , como se muestra en la figura 2. 1. Estas características del SET dan la carga generada, como se mostrara en el capítulo 3.

Para estas celdas, los transistores del bloque de memoria para las dos configuraciones (HIT2 y NUEVA), son diseñados con aquellas dimensiones mínimas que permitan evitar un error con la carga generada de la señal de SET utilizada. Los transistores de paso de ambas celdas se diseñaron con las dimensiones mínimas que permitan la escritura y lectura [17].



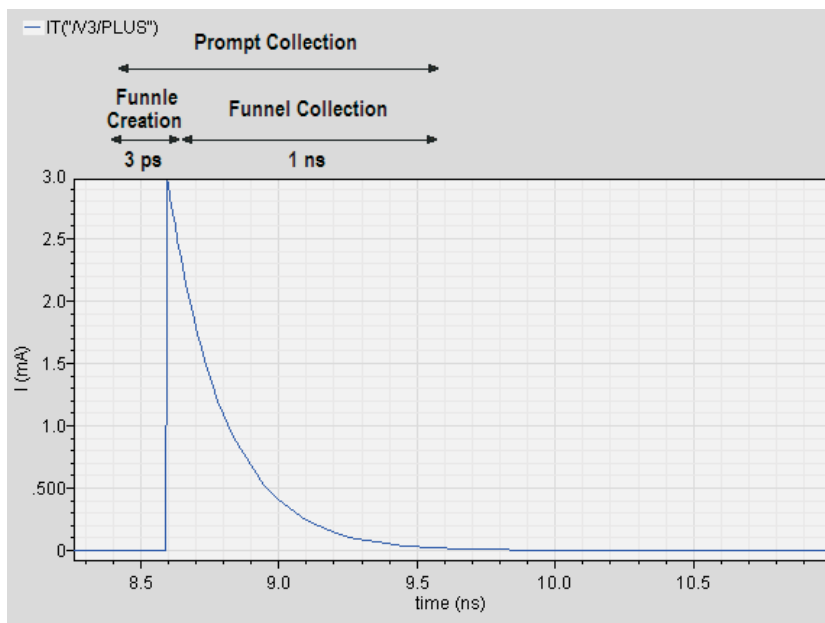


Figura 2.1: *Single event transient producido por una cierta radiación.*

## 2.2. Celda Convencional

### 2.2.1. Esquemático

La celda convencional SRAM se muestra en la figura 2.2, requiere 6 transistores por bit, cuatro de ellos (MN1-MP1 y MN2-MP2) forman dos pares de inversores cmos, la salida de uno es la entrada del otro. Las salidas de la celda de memoria son Q y QN.

El acceso a la celda de memoria es habilitada por los dos transistores de paso (MN3 y MN4), compartiendo las operaciones de escritura y lectura (CLK). El voltaje de alimentación propuesto para la celda fue de 3V. La celda debe ser dimensionada lo más pequeña posible para una mayor densidad, tabla 2.1 [16], [18], [19].

Transistor	W( $\mu\text{m}$ )	L( $\mu\text{m}$ )
MP1, MP2	0.22	0.18
MN3, MN4	0.5	0.18
MN1, MN2	0.3	0.18

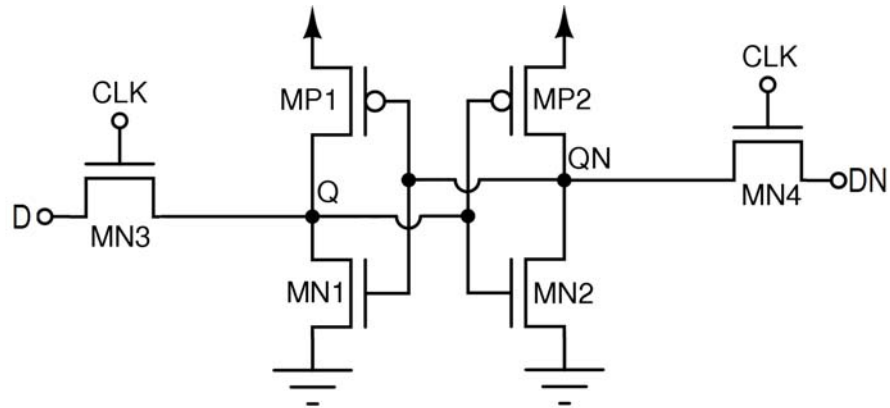


Figura 2.2: Diagrama esquemático de la celda convencional.

Tabla 2.1: Dimensiones de los transistores de la celda convencional.

### Operación de Lectura

Asumiendo que existe un “1” lógico almacenado en Q y ambas líneas del bit (D y DN) son precargadas a  $V_{DD}$ . El ciclo de lectura es empezado por la inicialización de los transistores de paso MN3 y MN4, mediante la señal de reloj. Durante la operación de lectura, los valores almacenados en Q y QN son transferidos a las líneas del bit, de acuerdo con las condiciones iniciales D mantiene su valor por medio de MP1 y MN3, para DN es descargado por medio de MN2 y MN4 como se muestra en la figura 2.3 [16].

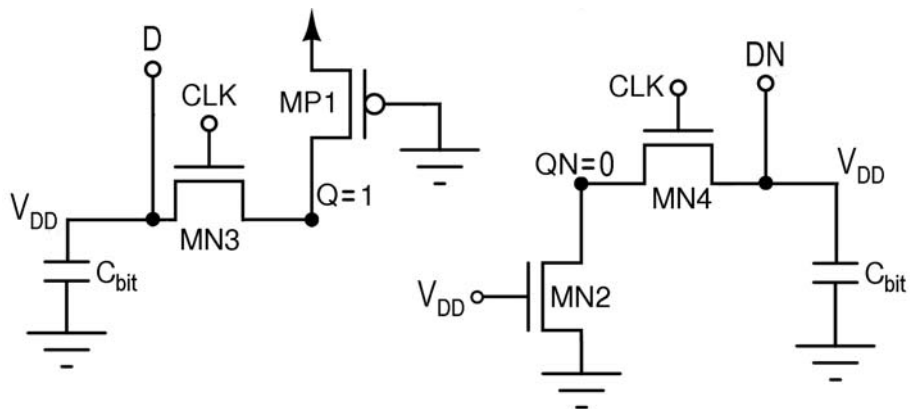


Figura 2.3: Modelo simplificado de la operación lectura de la celda convencional.

## Operación de Escritura

En este caso la celda almacena “1” lógico ( $Q = 1$ ), si se desea escribir un “0” lógico, El ciclo de escritura es empezado por la inicialización de las líneas del bit de D y DN con un “0” y “1” respectivamente. Para transferir los valores se deben habilitar los transistores de paso MN3 y MN4, mediante la señal de reloj. La celda convencional puede ser simplificada con el modelo de la figura 2.4.

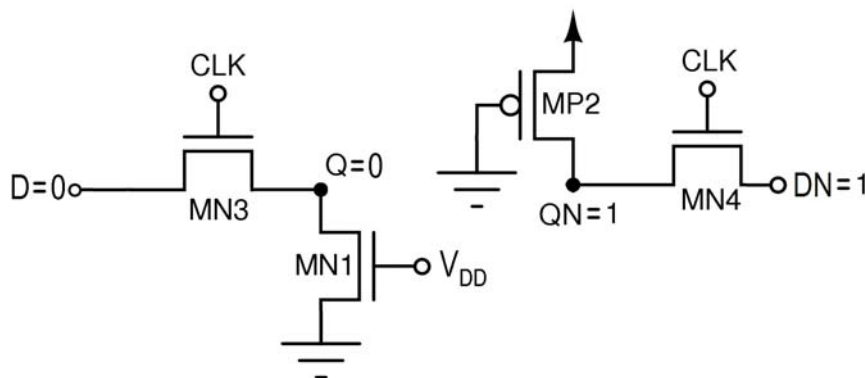


Figura 2.4: Modelo simplificado de la operación escritura de la celda convencional.

### 2.2.2. Layout

La celda SRAM de seis transistores es simple y confiable pero consume un área considerable. Además del dispositivo, requiere un ruteado y conexiones a las dos líneas del bit, a la línea de palabra y ambos rieles de alimentación. Los dos transistores PMOS en un pozo N, contribuyen significativamente al área. En la figura 2.5 se muestra el layout para la celda convencional. El área consumida es de  $30.8 \mu\text{m}^2$ .

### 2.2.3. Simulación

#### Simulación de Escritura

En la figura 2.6 se muestra la simulación de la operación escritura de la celda convencional por medio de la herramienta mentor, en la primera fila es la señal del dato, en la

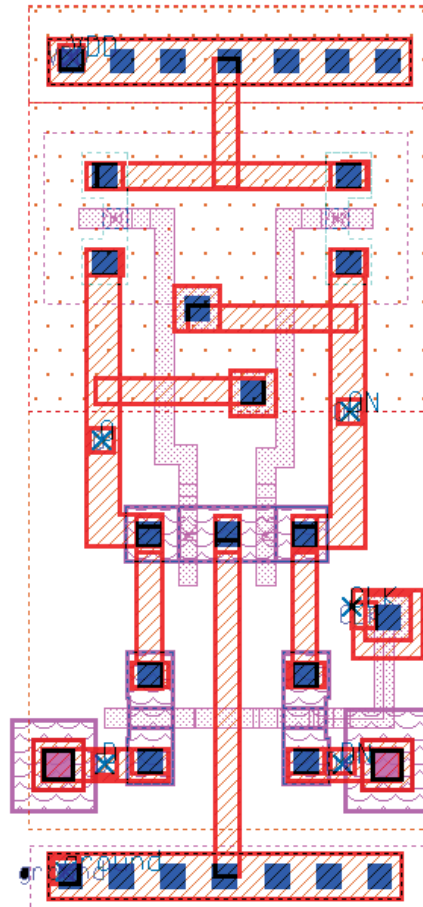


Figura 2.5: *Layout de la celda convencional.*

segunda fila es la señal de reloj (CLK), la tercera y cuarta fila es Q y QN respectivamente. Cuando la señal de CLK es un “0” lógico la celda se encuentra en estado de memoria, en cambio cuando la señal CLK es un “1” lógico la celda se encuentra en estado de escritura y almacena el valor presente en D.

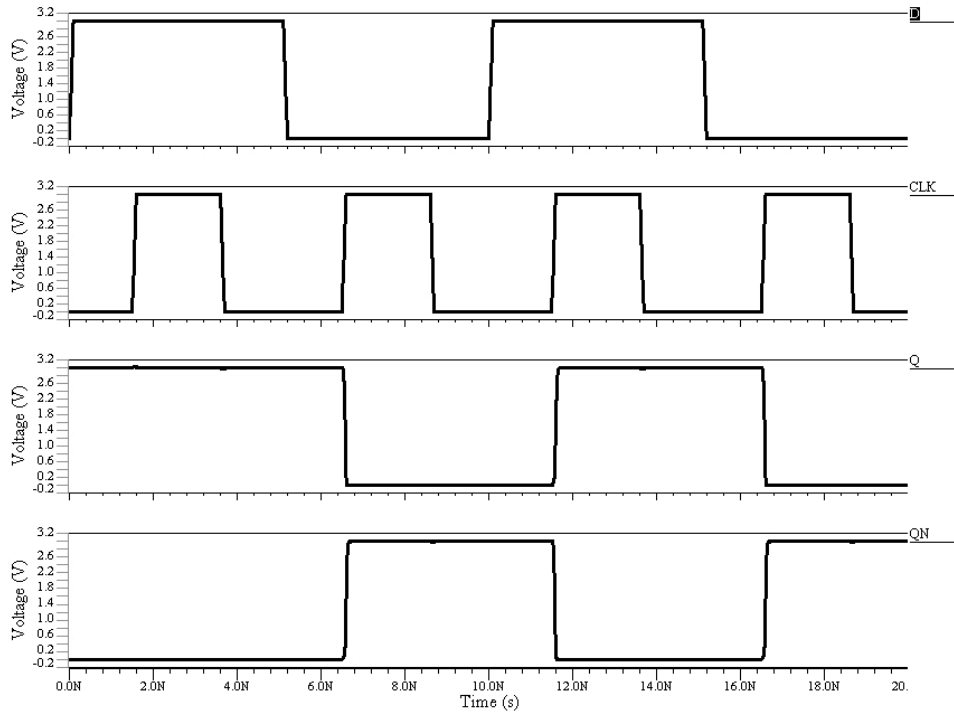


Figura 2.6: Simulación de la de la operación escritura en la celda convencional.

## 2.3. Celda HIT2

### 2.3.1. Esquemático

El diagrama esquemático del circuito de la celda HIT2 se muestra en el figura 2.7 [20], [21]. Se compone de doce transistores, organizado en dos bloques de memoria interconectados por las trayectorias de retroalimentación. La operación de lectura/escritura necesita

una señal de reloj, CLK, y dos entradas diferenciales complementarias, D y DN. La salida se toma del nodo Q y QN. El voltaje de alimentación propuesto para la celda fue de 3V. Las dimensiones de los transistores se muestran en la tabla 2.2.

Si la señal CLK es un “0” lógico los transistores MP1, MP4, MN2, MN5 y MN7 están encendidos, los demás transistores están apagados, por lo tanto es fácil demostrar que los estados de los nodos Q y QN son conservados. Además como no existe una trayectoria directa de  $V_{DD}$  a  $V_{SS}$ , la estabilidad de la función de memoria es garantizada, la corriente estática solo se compone de las corrientes de fuga.

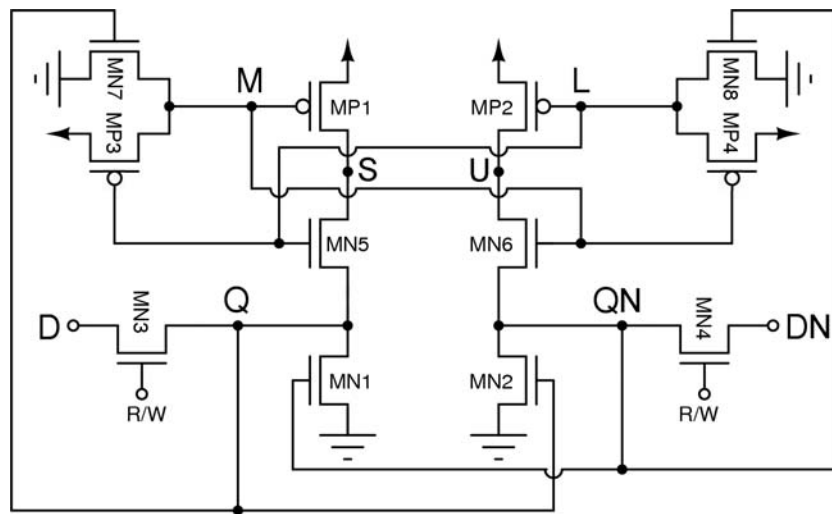


Figura 2.7: Diagrama esquemático de la celda HIT2.

Transistor	W( $\mu\text{m}$ )	L( $\mu\text{m}$ )
MP1, MP2	0.8	0.18
MP3, MP4	0.22	0.18
MN1, MN2	0.35	0.18
MN3, MN4	0.7	0.18
MN5, MN6	0.3	0.18
MN7, MN8	0.54	0.18

Tabla 2.2: Dimensiones de los transistores de la celda HIT2.



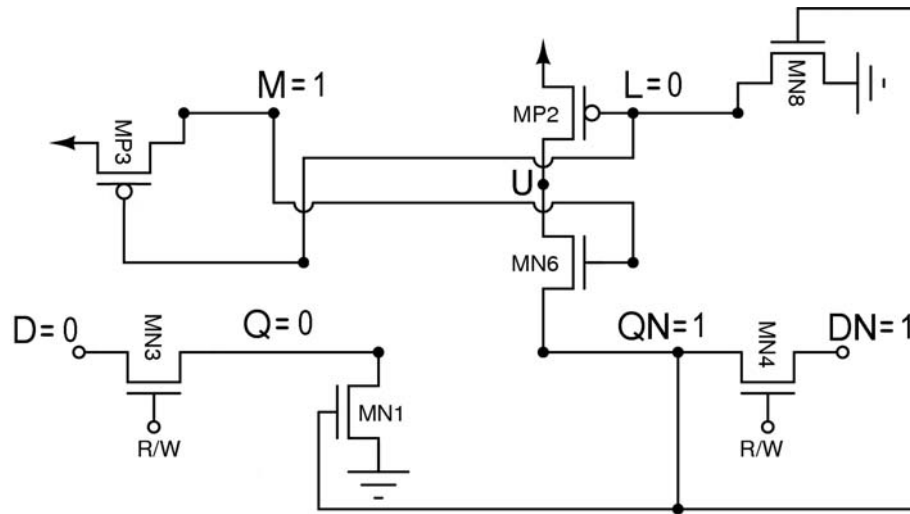


Figura 2.9: Modelo simplificado de la operación de escritura de la celda HIT2.

### 2.3.2. Layout

La celda endurecida HIT2 contiene doce transistores, la complejidad de la celda aumenta con respecto a la celda convencional, por esto el área se incrementa considerablemente. Al igual que la celda convencional, requiere un ruteado y conexiones a las dos líneas del bit, una línea de palabra y ambos rieles de alimentación. Los cuatro transistores PMOS en un pozo N. En la figura 2.10 se muestra el layout para la celda HIT2. El área consumida es de  $59.4 \mu\text{m}^2$ .

### 2.3.3. Simulación

#### Simulación de Escritura

En la figura 2.11 se muestra la simulación de la celda HIT2 por medio de la herramienta de mentor, en la primera fila es la señal del bit, (D), en la segunda fila es la señal de reloj, CLK, la tercera y cuarta fila es Q y QN respectivamente. Cuando la señal CLK es un "0" lógico la celda se encuentra en estado de memoria, en cambio cuando la señal CLK es un "1" lógico la celda se encuentra en estado de escritura. La memoria almacena el valor del bit en Q.



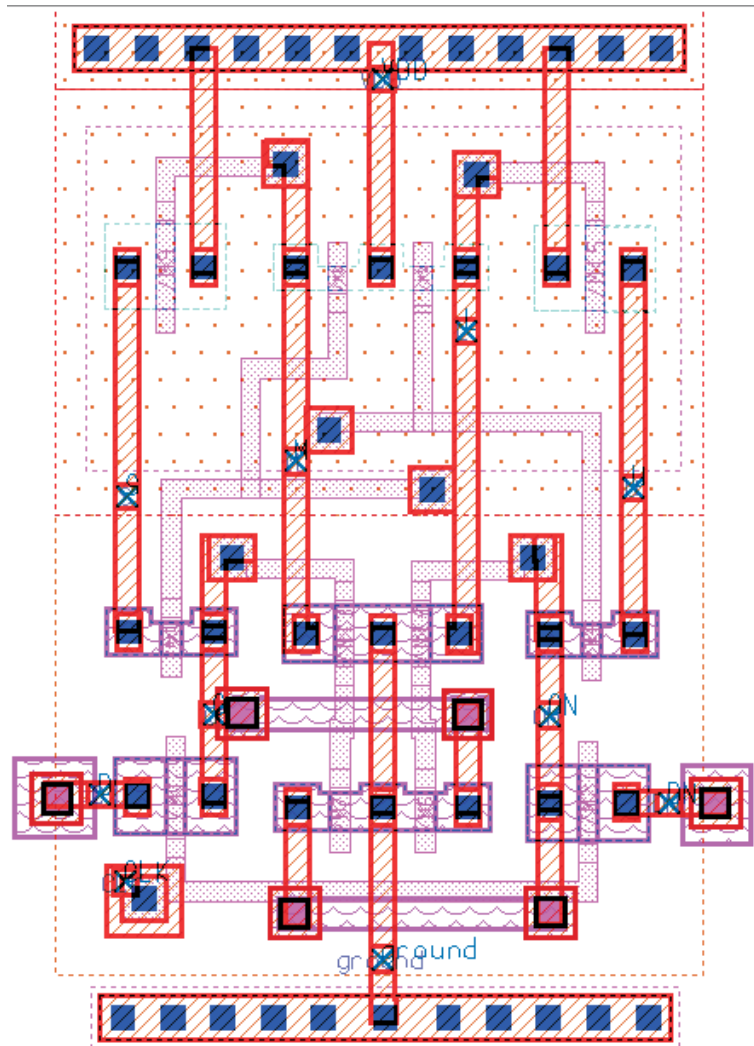


Figura 2.10: *Layout de la celda HIT2.*

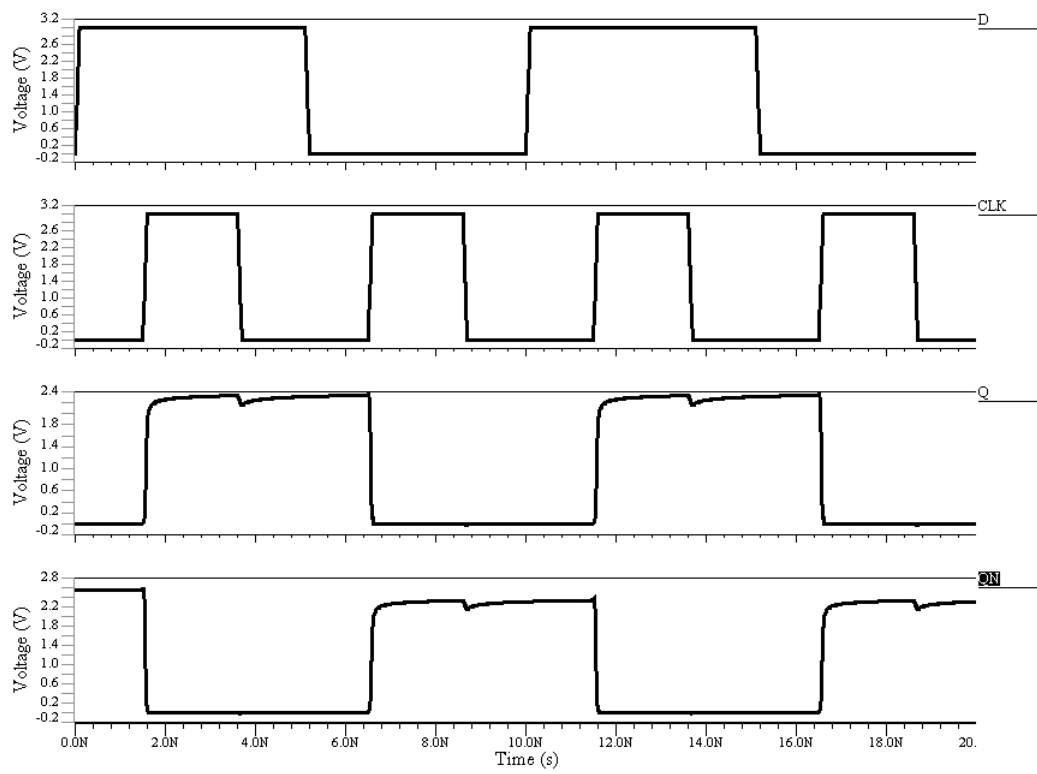


Figura 2.11: Simulación de la de la operación lectura en la celda HIT2.

## 2.4. Celda NUEVA

### 2.4.1. Esquemático

El circuito esquemático de la NUEVA celda endurecida se muestra en la figura 2.12, solo con 10 transistores. La diferencia entre la celda convencional y la NUEVA celda es que solo requiere una línea del bit D, pero necesita dos señales de reloj complementarias, CLK y CLK' y el camino de retroalimentación del par de inversores CMOS. En vez de una conexión directa de la salida a la entrada de cada uno, hay un nuevo par de transistores, MN3 y MP3. El propósito de incluir estos nuevos transistores, es introducir un obstáculo a la señal transitoria y, así, evitando la presencia de un SEU. Las dimensiones de los transistores se muestran en la tabla 2.3. Con respecto a los valores de las fuentes de alimentación, VDD es 3 V y las señales B y BN tienen un valor de 0.4 V y de 2.6 V respectivamente, tabla 2.4. Estos valores se escogieron donde los transistores trabajan en zona lineal, funcionando como pseudo-resistencias y con esto cerrando el lazo de retroalimentación [22].

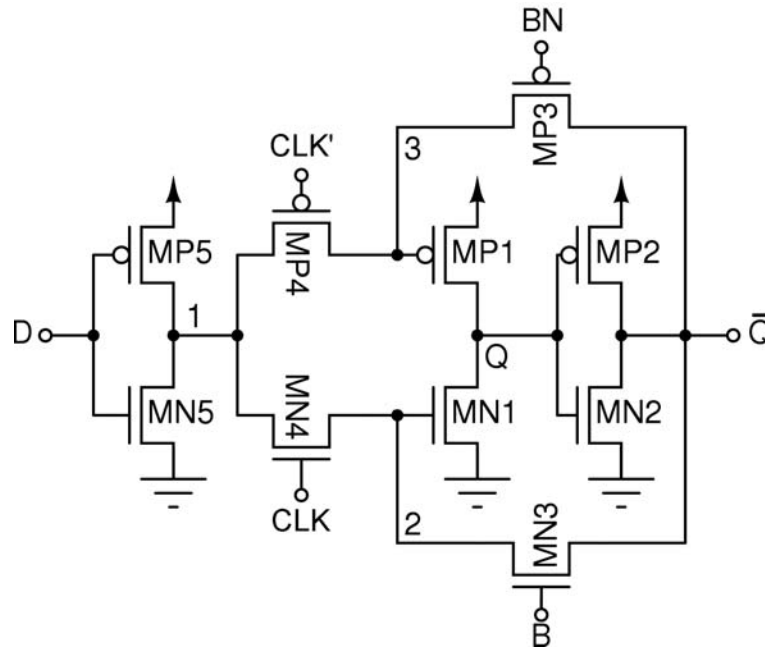


Figura 2.12: Diagrama esquemático de la celda NUEVA.

Transistor	W( $\mu\text{m}$ )	L( $\mu\text{m}$ )
MP1, MP2, MP5	1	0.18
MP4	0.4	0.18
MN1, MN2, MN5	0.6	0.18
MN3, MN4, MP3	0.22	0.18

Tabla 2.3: Dimensiones de los transistores de la celda NUEVA.

Fuente	Voltaje
$V_{DD}$	3 V
B	0.4 V
BN	2.6 V

Tabla 2.4: Valor de las fuentes.

### Operación de Lectura

Para leer el dato almacenado no es necesario usar la señal de reloj, ya que siempre esta presente en la salida (Q y QN).

### Operación de Escritura

Suponiendo que hay un “1” lógico almacenado en la memoria. Para modificar el valor de la celda, se necesita que el dato por escribir este presente en la línea del bit D, cuando la señal de reloj esta en alto, el dato es transmitido por los transistores de paso MN4 y MP3. El dato es almacenado por los dos pares de inversores (MP1-MN1 y MP-MN2), como se muestra en la figura 13.



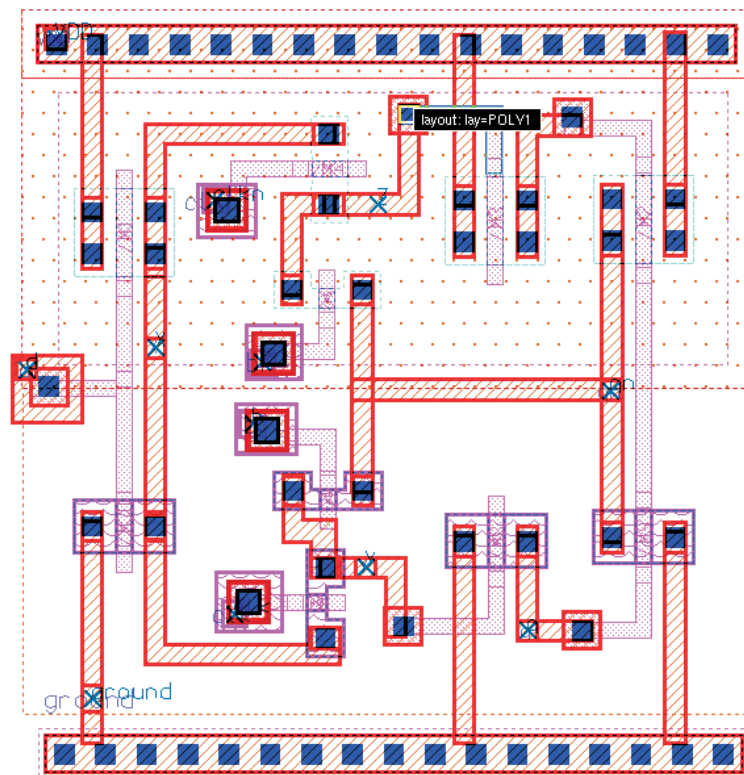


Figura 2.14: *Layout de la celda NUEVA.*

lógico la celda se encuentra en estado de escritura. La memoria almacena el valor del bit en  $Q$ .

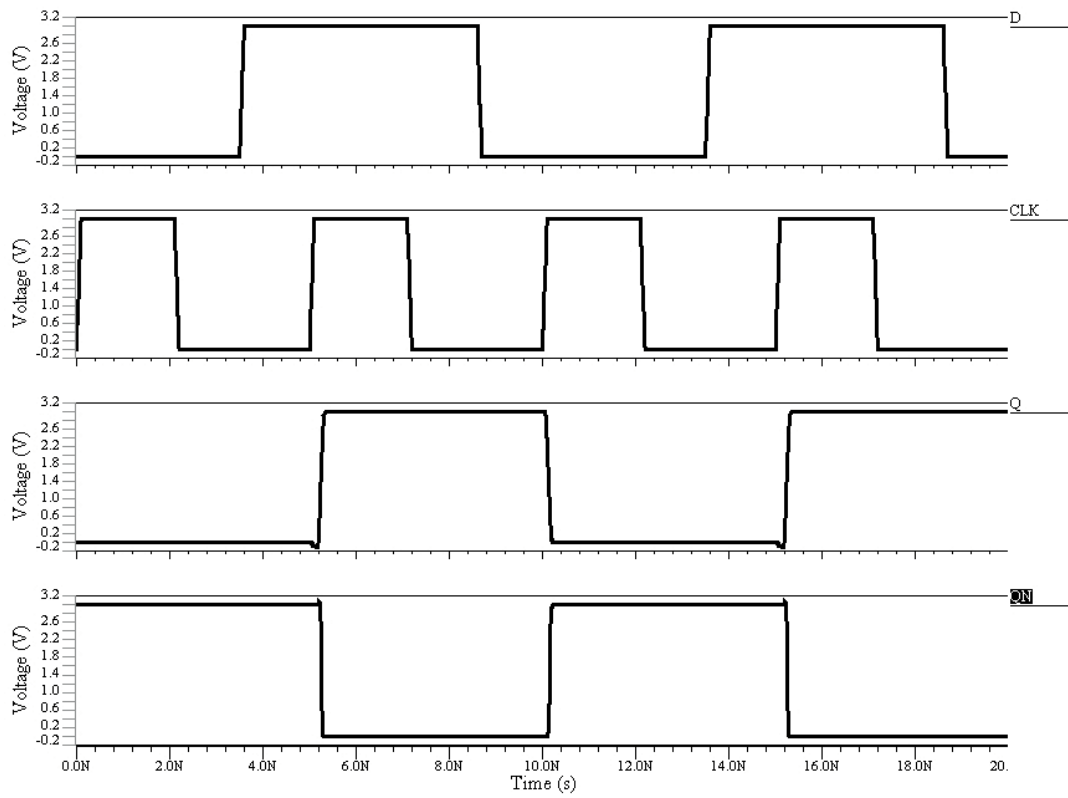


Figura 2.15: *Simulación de la operación de Escritura de la celda NUEVA.*

## Capítulo 3

# SIMULACIONES DE LAS CELDAS CON SET A NIVEL ESQUEMÁTICO

### 3.1. Modelado de un SET

La formación de un SET involucra tres pasos, llamados generación de carga, colección de carga y respuesta del circuito. La generación de carga depende de las propiedades de la partícula incidente así como también de las propiedades del material semiconductor que es impactado. Los parámetros eléctricos como el voltaje de polarización y el nivel de dopado en el semiconductor afectaran a la colección de carga. La topología del circuito afecta la respuesta del circuito [22], [23].

Cuando una partícula impacta el material semiconductor, pierde energía a través de interacciones coulombicas con los electrones de frontera en el material. La subsecuente ionización del material causa una densa línea de pares electrón-hueco, como se muestra en la figura 3.1.

La energía promedio requerida para producir un par electrón-hueco en el silicio es de 3.6 eV. Para las partículas energéticas, uno puede calcular la carga que se generada en el material semiconductor por medio de la unidad Linear Energy Transfer (LET).

La colección de la carga es el siguiente paso para la formación del SET. El campo eléctrico asociado con la unión en un transistor, produce la separación de la carga. La



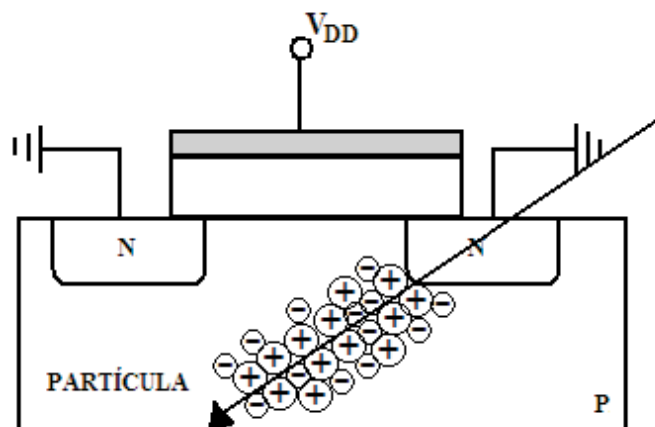


Figura 3.1: *Creación de pares electrón-hueco.*

colección de la carga ocurre cuando la línea de carga atraviesan la región de agotamiento o está dentro de la longitud de difusión. La carga colectada es mayor en uniones polarizadas en inversa porque aumenta el ancho de la región de agotamiento. Éstos incluirían las uniones drain/pozo y drain/sustrato en transistores CMOS.

La carga inicial colectada de la región de agotamiento es llamada como *prompt charge*. En algunos casos la capa de agotamiento puede extenderse ligeramente hasta la región dopada en dirección a la línea del ion. Esta extensión de la región de agotamiento se llama como *funneling* y da lugar a la colección de carga adicional, así aumentando la sensibilidad del dispositivo a SETs. La colección de la primera carga da lugar a un pulso de corriente.

Este pulso de corriente puede cambiar momentáneamente el estado del nodo de salida, así causando un *glitch* o un transitorio. Si este glitch inducido por la radiación se propaga a la entrada de un latch o de un flip-flop durante la señal de reloj, la entrada errónea se almacena. Dependiendo de la magnitud de la carga recolectada, varía la anchura de este pulso de voltaje transitorio y es esta anchura del pulso (junto con la frecuencia del reloj) que determina la vulnerabilidad del circuito de un SETs.

Un circuito de simulación de un SET solo requiere que la carga sea movida entre dos nodos para modelar el evento de la colección de carga. Una fuente de corriente dependiente del tiempo es usada para modelar un single event transient. Para simular el golpe de la partícula, la fuente de corriente debe de colocarse en el nodo sensible. La definición de un nodo sensible es que debe de tener una unión P-N polarizada en inversa. Para simular un impacto en un transistor NMOS (n-hit), la fuente de corriente debe ser colocada entre

el nodo sensible y tierra, en el caso de un p-hit, la fuente de corriente debe ser colocada entre  $V_{DD}$  y el nodo sensible del transistor PMOS (figura 3.2) [24].

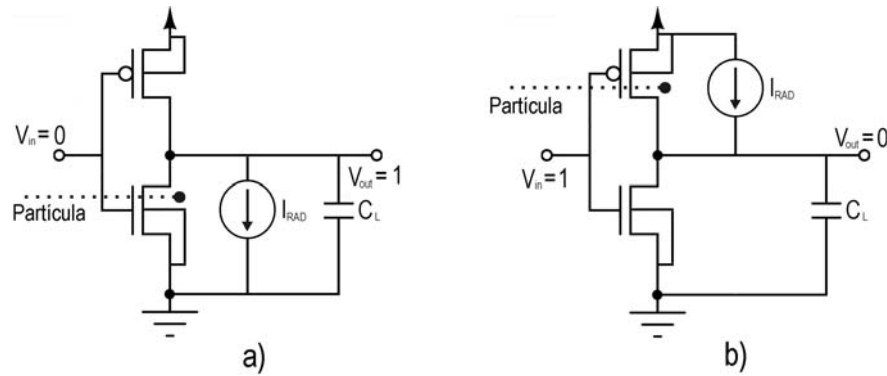


Figura 3.2: Modelo de un single event transient usando fuentes de corriente. a) n-hit y b) p-hit.

El elemento usado en el simulador para modelar el single event transient es una fuente de corriente de forma de onda como una doble exponencial, como se muestra en la ecuación 3.1.

$$I(t) = I_0 [\exp^{-\alpha t} - \exp^{-\beta t}] \dots (3.1)$$

Donde  $\alpha$  es la constante de tiempo de la colección de carga de la región funnel y  $\beta$  es la constante de tiempo para la formación inicial de la región funnel. El tipo del pulso de corriente del single event se muestra en la figura 3.3 [25].

### 3.2. Single Event Transient (SET)

El single event transient de referencia tiene las siguientes características: un valor de corriente de 3 mA de amplitud, un tiempo de subida, TR, de 3ps y con 1ns de tiempo total de caída, TF, como se muestra en la figura 3.4. Estas características del SET dan la carga generada [26], [27].

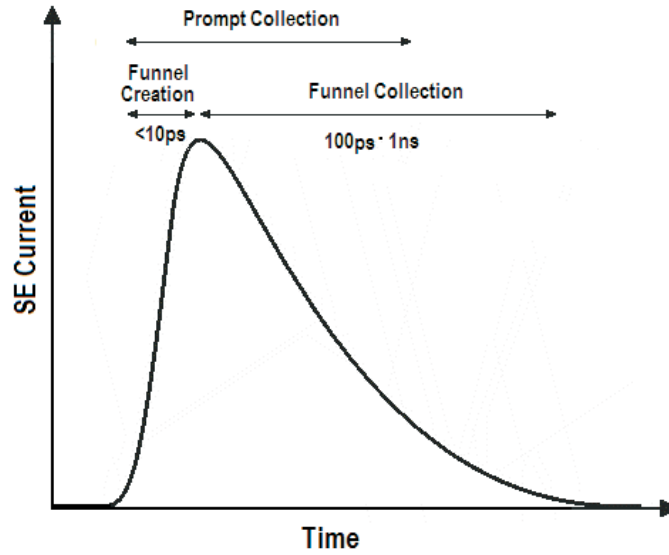


Figura 3.3: Forma típica de la colección de carga en una unión PN polarizada en inversa.

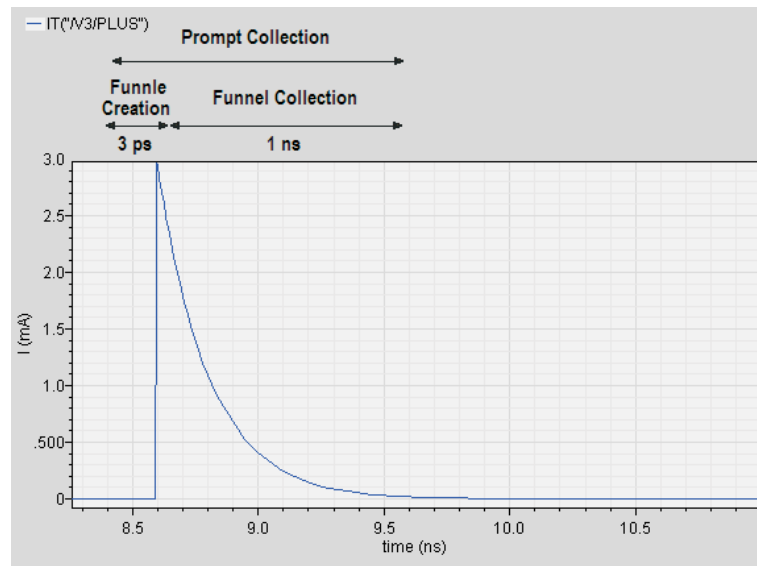


Figura 3.4: Características del SET.

Estas características del SET dan la carga colectada, para calcular la carga se debe integrar la ecuación 3.1, como se muestra en la ecuación 3.2.

$$\int I_0((\exp(-t * \alpha)) - (\exp(-t * \beta)))dt = I_0 \left[ \frac{e^{-t\beta}}{\beta} - \frac{e^{-t\alpha}}{\alpha} \right]$$

$$I_0 \left[ \frac{e^{-t\beta}}{\beta} - \frac{e^{-t\alpha}}{\alpha} \right] \Big|_{0ns}^{1ns} = 0,82925 \times 10^{-12} C \dots 3.2$$

### 3.3. Simulación de un SET en la celda convencional

El primer paso en el estudio del comportamiento de un circuito contra SET's es la identificación de nodos sensibles. En la celda convencional independientemente del valor almacenado, Q y QN son nodos sensibles contra SEU, en la figura 3.5 se indica los nodos sensibles con líneas de zig-zag. De acuerdo con las condiciones iniciales, si la memoria almacena un "0" lógico, el transistor MP1 esta apagado y el drain esta a 0, este es un nodo sensible contra SEU. Si el nodo Q es impactado por una partícula su estado lógico cambiara de "0" a "1", el transistor MN2 será encendido llevando a QN a  $V_{SS}$ . El contenido de la memoria convencional ha sido modificado [28], [29], [30]. El mismo razonamiento se puede aplicar para QN, en este caso el nodo sensible esta compuesto por el drain del transistor MN2.

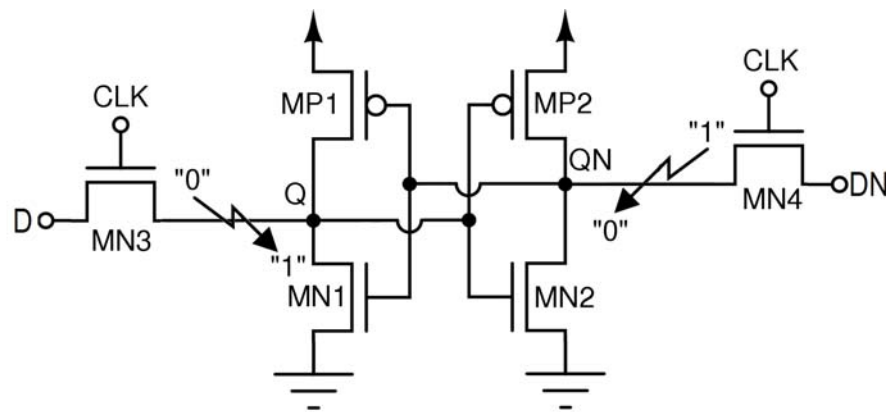


Figura 3.5: Nodos sensibles en la celda convencional.

### 3.3.1. Simulación del SET

La simulación se debe hacer cuando la celda esta en estado de memoria y dependiendo del valor almacenado se coloca la fuente de corriente ya sea para un transistor NMOS o PMOS.

#### Valor en Q = 0 y QN = 1

En la figura 3.6 se muestra la simulación de la celda convencional con un single event transient en el nodo QN cuando almacena un “0” lógico, en este caso el transistor que produce el nodo sensible es MP2, lo cual se usara el modelo de la figura 3.2, b). En la primera fila se muestra la señal del bit que se escribe (D), en la segunda fila se muestra la señal de reloj (CLK), en la tercera fila se muestra el single event transient, en la cuarta fila se muestra la señal de salida (Q) y en la ultima fila se muestra la señal complementaria de la salida (QN).

El single event transient se produce cuando la señal de reloj este en bajo, el cual ocasiona un single event upset en el nodo sensible Q y este modifica el nodo QN. En este caso existe un dato erróneo en la memoria producido por el SET.

#### Valor en Q = 1 y QN = 0

En la figura 3.7 se muestra la simulación de la celda convencional con un single event transient en el nodo Q cuando almacena un “1” lógico, en este caso el transistor que produce el nodo sensible es MN1, lo cual se usara el modelo de la figura 3.2, a). En la primera fila se muestra la señal del bit que se escribe (D), en la segunda fila se muestra la señal de reloj (CLK), en la tercera fila se muestra el single event transient, en la cuarta fila se muestra la señal de salida (Q) y en la ultima fila se muestra la señal complementaria de la salida (QN).

El single event transient se produce cuando la señal de reloj este en bajo, el cual ocasiona un single event upset en el nodo sensible Q y este modifica el nodo QN. En este caso existe un dato erróneo en la memoria producido por el SET.

En la tabla 3.1 y 3.2 se muestran los datos obtenidos para las simulaciones cuando la celda almacena un “0” y “1” lógico respectivamente, en la primera columna se muestra el nodo sensible analizado, en la segunda columna es el transistor que produce el nodo sensible, en la tercera columna es el voltaje inicial antes del SET, la cuarta columna el

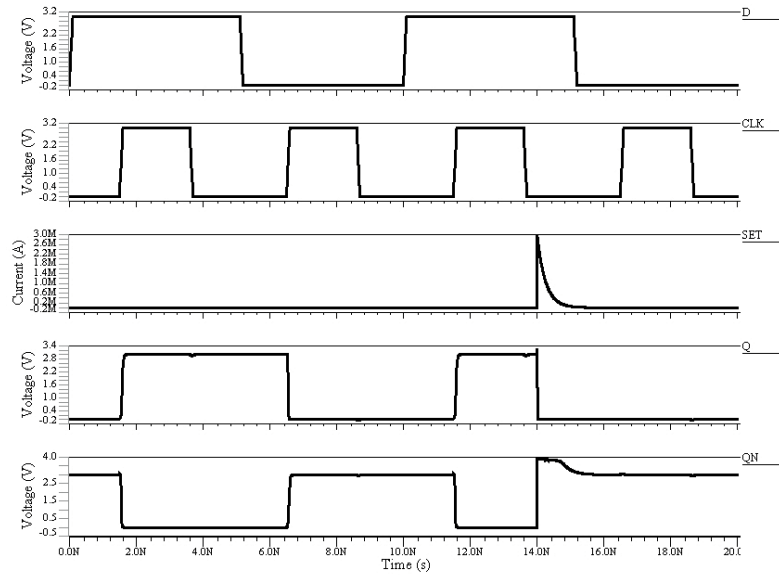


Figura 3.6: Simulación de la celda convencional en el nodo  $QN = 0$ .

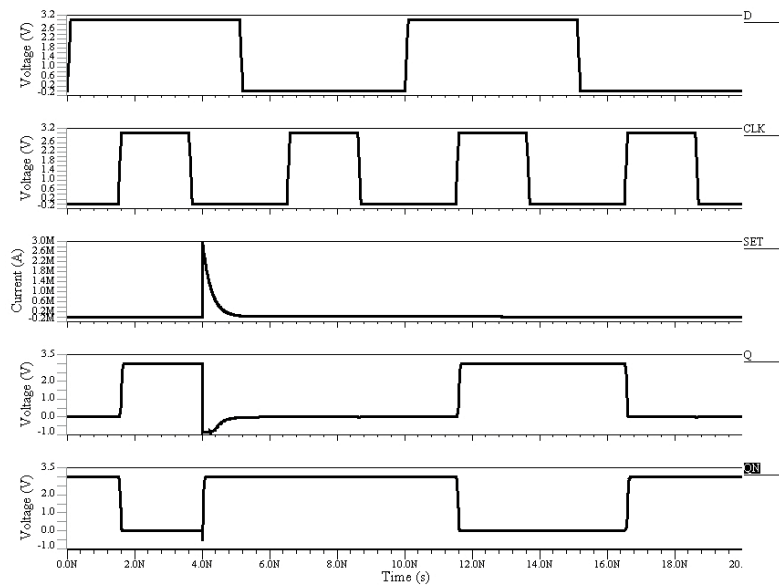


Figura 3.7: Simulación de la celda convencional en el nodo  $Q = 1$ .

voltaje máximo de ruido que introduce el SET y la última columna muestra el tiempo de recuperación, para la celda convencional no existe una recuperación después del SET, lo que hace que sea vulnerable a la existencia de SET.

Q=0 y QN = 1, SET: I = 3mA, TR = 3 ps. TF = 1ns.				
Nodo sensible	Transistor	V <sub>I</sub> (V)	V <sub>R</sub> (V)	Tiempo de recuperación
Q	MP1	0	4	No hay recuperación
QN	MN2 o MN4	3	-1	No hay recuperación

Tabla 3.1: Resultados con las condiciones iniciales  $Q = 0$ .

Q=1 y QN = 0, SET: I = 3mA, TR = 3 ps. TF = 1ns.				
Nodo sensible	Transistor	V <sub>I</sub> (V)	V <sub>R</sub> (V)	Tiempo de recuperación
Q	MN1 o MN3	3	-1	No hay recuperación
QN	MP2	0.0	4	No hay recuperación

Tabla 3.2: Resultados con las condiciones iniciales  $Q = 1$ .

### 3.4. Simulación de un SET en la celda HIT2

El primer paso en el estudio del comportamiento de un circuito contra SET's es la identificación de nodos sensibles. En la celda HIT2 a diferencia de la celda convencional, los nodos sensibles dependen del valor almacenado. En la figura 3.8 se muestran los nodos sensibles con líneas zig-zag cuando la celda HIT2 almacena un "0" lógico (Q=0 y QN=1).

En la figura 3.9 se muestran los nodos sensibles con líneas zig-zag cuando la celda almacena un "1" lógico (Q=1 y QN=0). Para este estado inicial los nodos sensibles son M, L, S, U y Q.

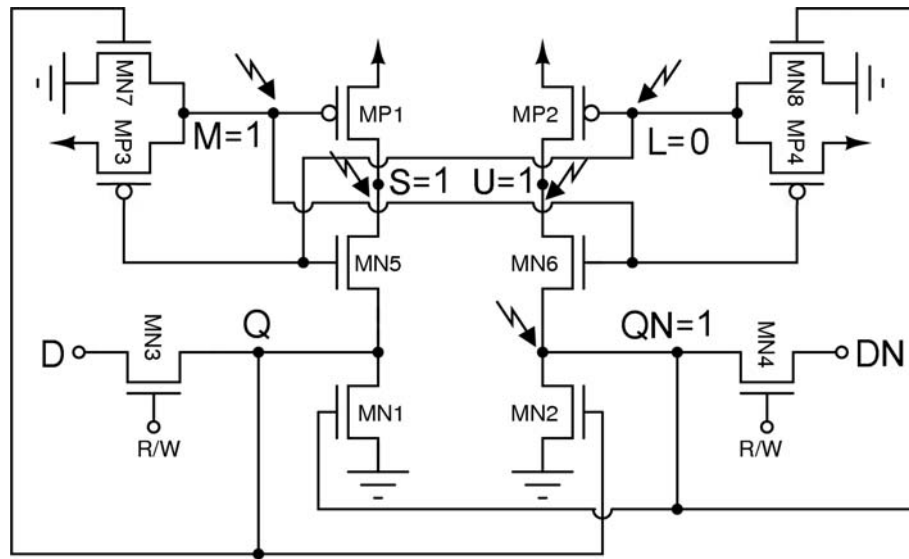


Figura 3.8: *Nodos sensibles en la celda HIT2 cuando  $Q=0$*

### SEU en el nodo L

Para estas condiciones el valor lógico de L es “1”, si una partícula choca en este nodo, el transistor que provoca el nodo sensible es el drain de MN8, un transiente “0” aparece en las compuertas de los transistores MP2, MP3 y MN5, los transistores MP2 y MP3 son encendidos, el transistor MN5 es apagado, el nodo Q ya no está polarizado a  $V_{DD}$  pero conserva su valor por efecto capacitivo. Los transistores MP3 y MN7 están encendidos, cada uno intenta llevar al nodo M a un diferente valor, pero por diseño el transistor MN7 es más conductivo que MP3, por lo tanto el nodo M mantendrá su valor ( $M=0$ ). El transistor MN6 está apagado, el estado encendido del transistor MP2 no afecta al nodo QN. El transistor MP4 traerá a su estado original al nodo  $L=1$ .

### SEU en el nodo M

Si una partícula impactara al nodo  $M=0$ , el transistor que forma el nodo sensible es MP3, un “1” lógico aparece en las compuertas MP1, MP4 y MN6. Los transistores MP1 y MP4 son apagados, el transistor MN6 está encendido. Los nodos L y Q están flotados y mantienen un “1” lógico por efecto capacitivo. Como MP2 está apagado, el hecho de que MN6 esté encendido no modifica el estado del nodo QN. El nodo M regresará a su estado inicial “0” a través de MN7.



### SEU en el nodo Q

De acuerdo con las condiciones iniciales el nodo Q es un “1” lógico, los transistores que hacen que Q sea un nodo sensible son MN1 y MN3, si una partícula impactara este nodo habrá un “0” lógico en las compuertas de los transistores MN2 y MN7, que hará apagarlos dejando flotando los nodos QN y M. Como sea el caso los nodos mantendrán sus valores mediante efecto capacitivo. El nodo Q es entonces regresado a su valor original “0”.

### SEU en los nodos S y U

En los nodos S y U siempre están a un “1” lógico por la estructura de la celda, ya que nunca existe la posibilidad de un camino directo a  $V_{SS}$ . Para el nodo S regresará a su valor por medio del transistor MP1, para el nodo U no será el caso ya que MP2 está apagado, en este caso los nodos no modificarán el estado de algún transistor de la celda.

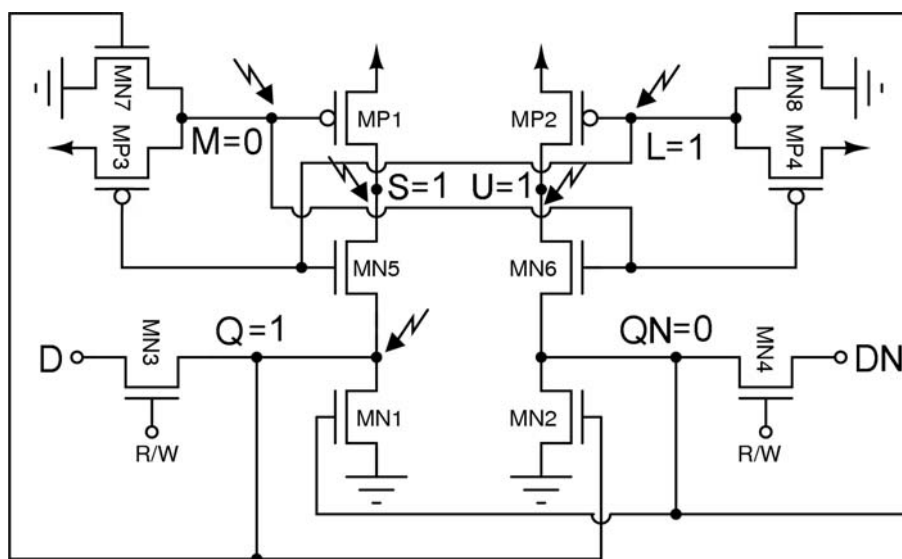


Figura 3.9: *Nodos sensibles en la celda HIT2 cuando Q=1*

Para la figura 3.9 muestra los nodos sensibles cuando se almacena un “0” lógico, para la recuperación de los nodos se puede aplicar los razonamientos anteriores.

La celda HIT2 no tolera múltiples single events transients simultáneos, en parejas de nodos. Estos múltiples single event transient pueden ser provocados por el impacto

simultáneo de dos partículas o por medio de una partícula con un apropiado ángulo incidente que cruzara dos regiones sensibles.

### 3.4.1. Simulación del SET

La simulación se debe hacer cuando la celda esta en estado de memoria y dependiendo del valor almacenado se coloca la fuente de corriente ya sea para un transistor NMOS o PMOS.

#### Valor en $Q = 0$ y $QN = 1$ .

En la figura 3.10 se muestra la simulación de la celda HIT2 con un single event transient en el nodo QN. Cuando almacena un "0" lógico la celda, el valor en QN es un "1" lógico en este caso el transistor que produce el nodo sensible es MN2 y MN4, lo cual se usara el modelo de la figura 3.2, b). En la primera fila se muestra la señal del bit que se escribe (D), en la segunda fila se muestra la señal de reloj (CLK), en la tercera fila se muestra el single event transient en el nodo QN, en la cuarta fila se muestra la señal de salida (Q) y en la ultima fila se muestra la señal complementaria de la salida (QN).

El single event transient se produce cuando la señal de reloj este en bajo, el cual ocasiona un single event upset en el nodo sensible QN y este modifica el valor del nodo QN pero después de un tiempo regresa a su valor original. En este caso existe que el dato valido sea recuperado después del SEU.

#### Valor en $Q = 1$ y $QN = 0$

En la figura 3.11 se muestra la simulación de la celda HIT2 con un single event transient en el nodo M. Cuando almacena un "1" lógico la celda, el valor en M es un "0" lógico en este caso el transistor que produce el nodo sensible es MP3, lo cual se usara el modelo de la figura 3.2, b). En la primera fila se muestra la señal del bit que se escribe (D), en la segunda fila se muestra la señal de reloj (CLK), en la tercera fila se muestra el single event transient en el nodo M, en la cuarta fila se muestra la seal en el nodo M, en la quinta y sexta se muestran las señales de salida (Q) y (QN) respectivamente.

El single event transient se produce cuando la señal de reloj este en bajo, el cual ocasiona un single event upset en el nodo sensible M y este modifica el valor del nodo pero después de un tiempo regresa a su valor original, sin modificar el valor en la salida

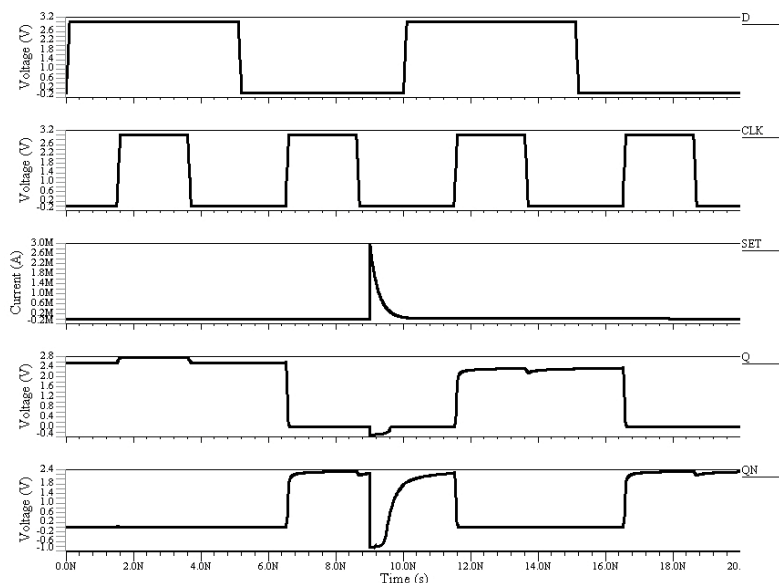


Figura 3.10: Simualción de la celda *HIT2* en el nodo  $QN = 1$ .

de la memoria. En este caso no existe un cambio del valor en la salida aunque se produzca un SET en el nodo M.

### Múltiples SET

En la figura 3.12 se muestra la simulación de dos SET simultáneos en el nodo L y M, cuando la celda almacena un “0” lógico. En la primera fila se muestra la señal del bit que se escribe (D), en la segunda fila se muestra la señal de reloj (CLK), en la tercera fila se muestra el single event transient en los nodos L y M, en la cuarta y quinta fila se muestran las señales de salida (Q) y (QN) respectivamente. Los single event transient se producen cuando la señal de reloj este en bajo, los cuales ocasionan un single event upset en los nodos sensibles L y M, estos nodos cambian de valor, modificando el valor en la salida, almacenando un dato erróneo, el cual no puede reparar la celda.

En la tabla 3.3 y 3.4 se muestran los datos obtenidos para las simulaciones cuando la celda almacena un “0” y “1” lógico respectivamente, en la primera columna se muestra el nodo sensible analizado, en la segunda columna es el transistor que produce el nodo

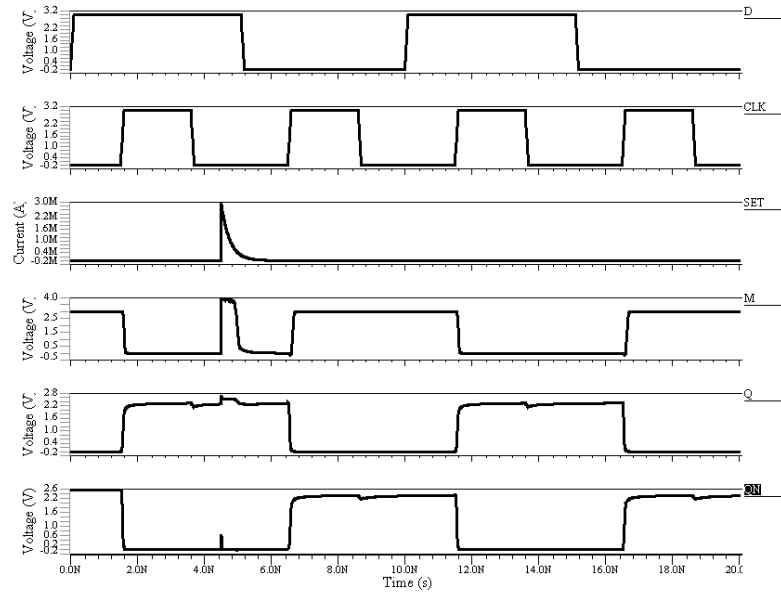


Figura 3.11: Simualción de la celda HIT2 en el nodo  $M = 0$ .

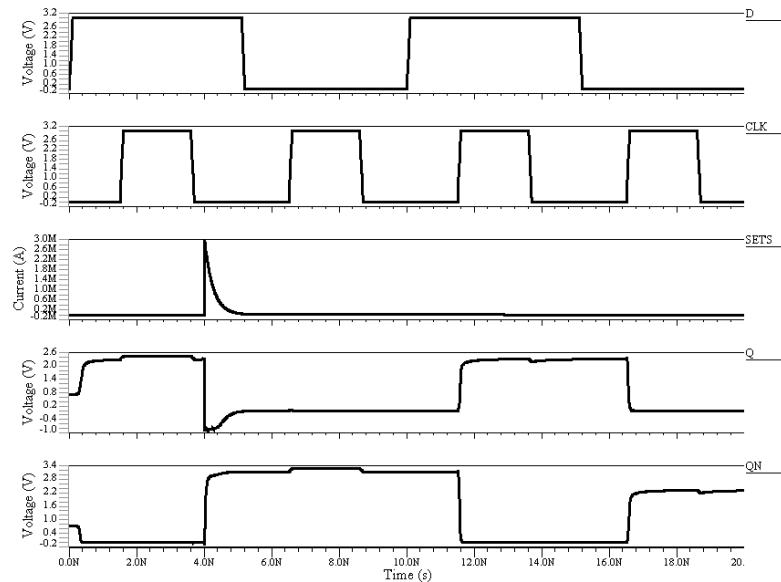


Figura 3.12: Múltiples singles events transients en  $L$  y  $QN$ .

sensible, en la tercera columna es el voltaje inicial antes del SET, la cuarta columna el voltaje máximo de ruido que introduce el SET y la última columna muestra el tiempo de recuperación. Para los nodos  $S^*$  y  $U^*$  son los únicos nodos sensibles que reflejan el single event upset en los nodos sensibles.

Q=0., SET: I = 3mA, TR = 3 ps. TF = 1ns.				
Nodo sensible	Transistor	$V_I$ (V)	$V_R$ (V)	Tiempo de recuperación
L	MP4	0.0	4	621ps
M	MN7	3	-1	1054ps
S	MN5	3	-1	No hay recuperación.
$U^*$	MN6	3	-1	1027ps
QN	MN2 y MN4	2.28	-1	1405ps

Tabla 3.3: Resultados con las condiciones iniciales  $Q = 0$ .

Q=1., SET: I = 3mA, TR = 3 ps. TF = 1ns.				
Nodo sensible	Transistor	$V_I$ (V)	$V_R$ (V)	Tiempo de recuperación
L	MN8	3	-1	1054ps
M	MP3	0.0	4	621ps
$S^*$	MN5	1.5	-1	837ps
U	MN6	1.5	-1	No hay recuperación.
Q	MN1 y MN3	2.28	-1	1610ps

Tabla 3.4: Resultados con las condiciones iniciales  $Q = 1$ .

En la tabla 3.5 se muestran los tiempos de recuperación en los nodos Q y QN, cuando existe un single event transient en los nodos S y U, dependiendo del valor almacenado.

SET: I = 3mA, TR = 3 ps. TF = 1ns.		
Nodo sensible	Tiempo para Q.	Tiempo para QN.
$S^*$	702ps	No SEU
$U^*$	No SEU	675ps

Tabla 3.5: Tiempos de recuperación en los nodos Q y QN cuando existen SET en S y U.

En las tablas 3.6 y 3.7 se muestran las parejas de nodos sensibles que pueden producir errores en la celda cuando existen múltiples SET's.

Q=0.
Múltiples SET
U y L
L y M

*Tabla 3.6: Múltiples SET cuando Q=0.*

Q=1.
Múltiples SET
S y M
L y M

*Tabla 3.7: Múltiples SET cuando Q=1.*

### 3.5. Simulación de un SET en la celda NUEVA

El primer paso en el estudio del comportamiento de un circuito contra SET's es la identificación de nodos sensibles. En la celda NUEVA a diferencia de la celda convencional, los nodos sensibles dependen del valor almacenado. En la figura 3.13 se muestran los nodos sensibles con líneas zig-zag cuando la celda almacena un "0" lógico (Q=0 y QN=1).

En la figura 3.14 se muestran los nodos sensibles con líneas zig-zag cuando la celda almacena un "1" lógico (Q=1 y QN=0). Para este estado inicial los nodos sensibles son 1, 3, Q y QN.

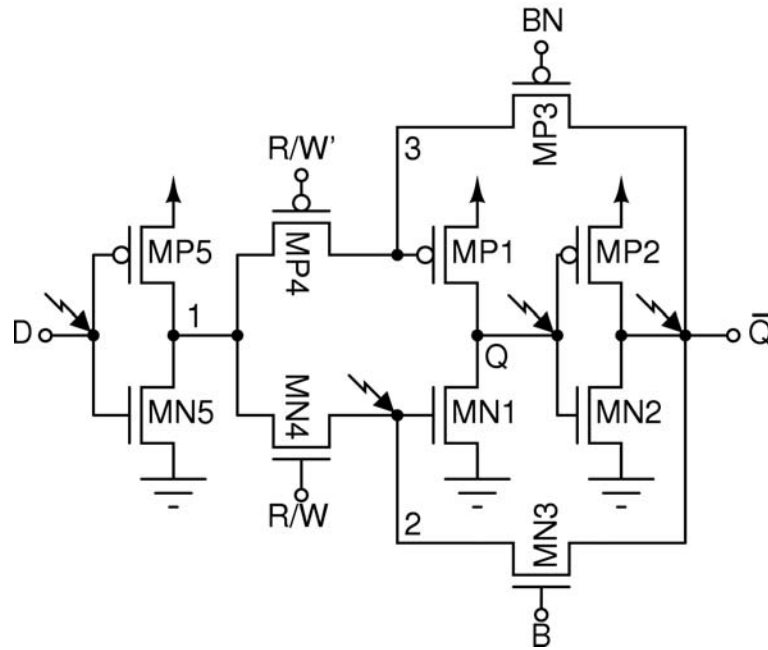


Figura 3.13: *Nodos sensibles en la celda NUEVA cuando  $Q = 0$ .*

### SEU en el nodo 1.

El nodo 1 está fuera del bloque de memoria de la celda, para estas condiciones el valor lógico del nodo 1 es un “0”. Si una partícula choca en este nodo, el transistor que provoca el nodo sensible es el drain de MP5, la partícula provocaría un SEU en este nodo, pero no modificaría los nodos de salida, después de un tiempo regresaría a su valor original.

### SEU en el nodo 3.

El nodo 3 se encuentra dentro del bloque de memoria, para las condiciones iniciales el valor lógico en el nodo 3 es un “0”, si una partícula impactara el nodo, el transistor que provoca el nodo sensible es el transistor MP4, un transiente “1” aparece en la compuerta del transistor MP1 apagándolo, el valor de Q se mantendrá por efecto capacitivo, el transistor MP3 se opone a la señal transitoria para que no afecte el nodo QN, ya que el transistor está trabajando en la zona lineal, después de un gran tiempo el nodo 3 recupera su valor por medio del transistor MP3.

**SEU en el nodo Q.**

El valor del nodo Q para las condiciones iniciales es un “1” lógico, si una partícula impactara el nodo, el transistor que provoca el nodo sensible es el transistor MN1, un transiente aparece en las compuertas de los transistores MP2 y MN2, apagándolo el transistor MN2, y encendiendo el transistor MP2, provocando un cambio en el nodo QN, el transiente no se transmitirá a los nodos 2 y 3, por medio de los transistores MN3 y MP3. El valor de Q se recuperara por medio del transistor MP1 y esto hará que el nodo QN recupere su valor.

**SEU en el nodo QN.**

El valor del nodo QN para las condiciones iniciales es un “0” lógico, si una partícula impactara el nodo, el transistor que provoca el nodo sensible es el transistor MP2, un “1” transiente aparece en el nodo QN, el cual no es propagado por los transistores MP3 y MN3. El valor de QN se recuperara por medio del transistor MN2 sin modificar otro nodo de la celda.

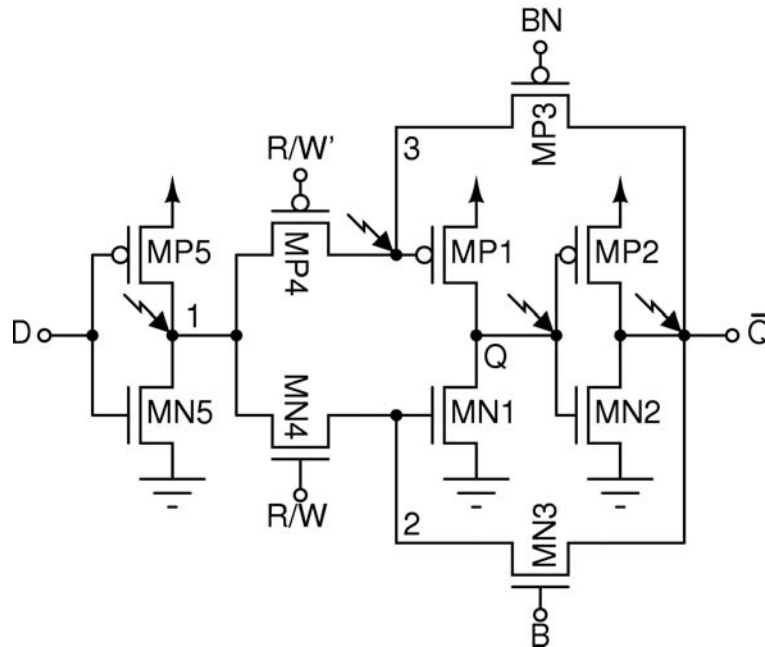


Figura 3.14: *Nodos sensibles en la NUEVA celda cuando  $Q = 1$ .*



La celda NUEVA no tolera múltiples single events transients simultáneos, en parejas de nodos. Estos múltiples single event transient pueden ser provocados por el impacto simultáneo de dos partículas o por medio de una partícula con un apropiado ángulo incidente que cruzara dos regiones sensibles.

### 3.5.1. Simulación del SET

La simulación se debe hacer cuando la celda esta en estado de memoria y dependiendo del valor almacenado se coloca la fuente de corriente ya sea para un transistor NMOS o PMOS.

#### Valor en Q = 0 y QN = 1.

En la figura 3.15 se muestra la simulación de la celda NUEVA con un single event transient en el nodo Q. Cuando almacena un “0” lógico la celda, el valor en QN es un “1” lógico en este caso el transistor que produce el nodo sensible es MP1, lo cual se usara el modelo de la figura 3.2, b). En la primera fila se muestra la señal del bit que se escribe (D), en la segunda fila se muestra la señal de reloj (CLK), en la tercera fila se muestra el single event transient en el nodo Q, en la cuarta fila se muestra la señal de salida (Q) y en la ultima fila se muestra la señal complementaria de la salida (QN).

El single event transient se produce cuando la señal de reloj este en bajo, el cual ocasiona un single event upset en el nodo sensible Q y este modifica el valor del nodo QN pero después de un tiempo regresa a su valor original. En este caso existe que el dato valido sea recuperado después del SEU.

#### Valor en Q = 1 y QN = 0.

En la figura 3.16 se muestra la simulación de la celda NUEVA con un single event transient en el nodo QN. Cuando almacena un “1” lógico la celda, el valor en QN es un “0” lógico en este caso el transistor que produce el nodo sensible es MP2, lo cual se usara el modelo de la figura 3.2, b). En la primera fila se muestra la señal del bit que se escribe (D), en la segunda fila se muestra la señal de reloj (CLK), en la tercera fila se muestra el single event transient en el nodo QN, en la cuarta fila se muestra la señal de salida (Q) y en la ultima fila se muestra la señal complementaria de la salida (QN).

El single event transient se produce cuando la señal de reloj este en bajo, el cual ocasiona un single event upset en el nodo sensible QN y este modifica el valor del nodo pero después de un tiempo regresa a su valor original, sin modificar el valor de otro nodo.

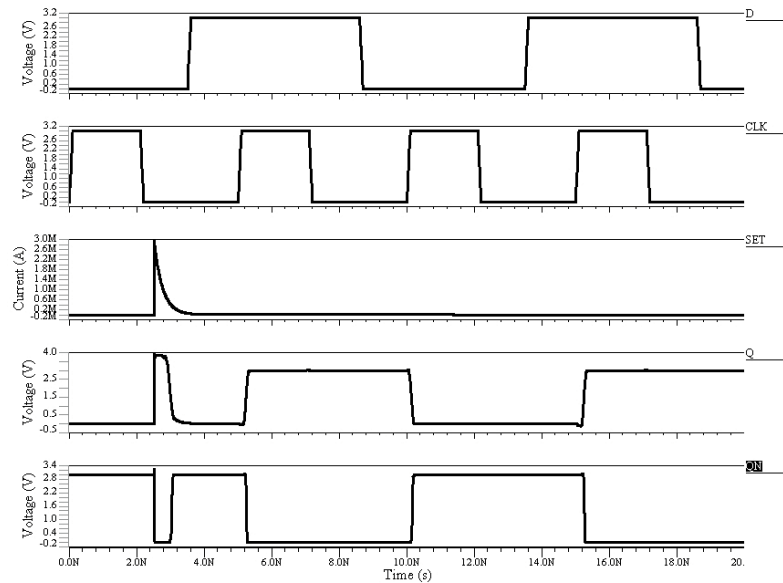


Figura 3.15: Simulación de la celda NUEVA en el nodo  $Q = 0$ .

### Múltiples SET

En la figura 3.17 se muestra la simulación de dos SET simultáneos en el nodo Q y QN, cuando la celda almacena un “1” lógico. En la primera fila se muestra la señal del dato (D), en la segunda fila se muestra la señal de reloj (CLK), en la tercera fila se muestra el SET en los nodos Q y QN, en la cuarta y quinta se muestran las señales de salida Q y QN, donde se puede observar que existe un cambio en el valor lógico almacenado, produciendo un error.

Los single event transient se producen cuando la señal de reloj está en bajo, los cuales ocasionan un single event upset en los nodos sensibles Q y QN, estos nodos cambian de valor, modificando el valor en la salida, almacenando un dato erróneo lo cual no puede reparar la celda.

En la tabla 3.8 y 3.9 se muestran los datos obtenidos para las simulaciones cuando la celda almacena un “0” y “1” lógico respectivamente, en la primera columna se muestra el nodo sensible analizado, en la segunda columna es el transistor que produce el nodo sensible, en la tercera columna es el voltaje inicial antes del SET, la cuarta columna el voltaje máximo de ruido que introduce el SET y la última columna muestra el tiempo de recuperación.

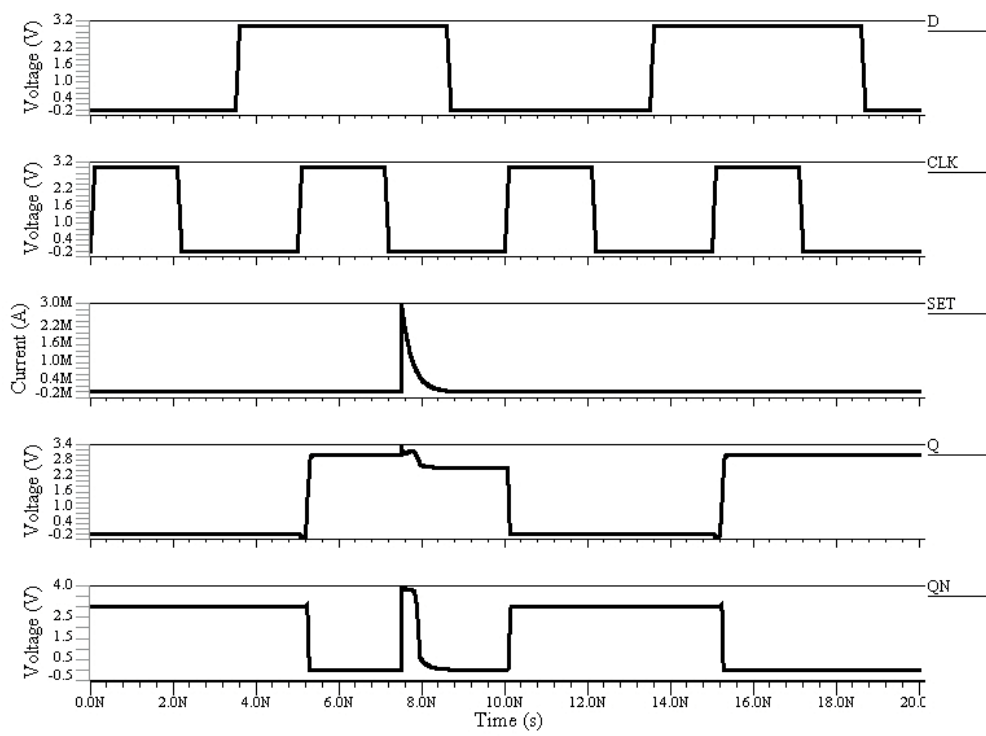


Figura 3.16: Simulación de la celda NUEVA en el nodo  $QN = 0$ .

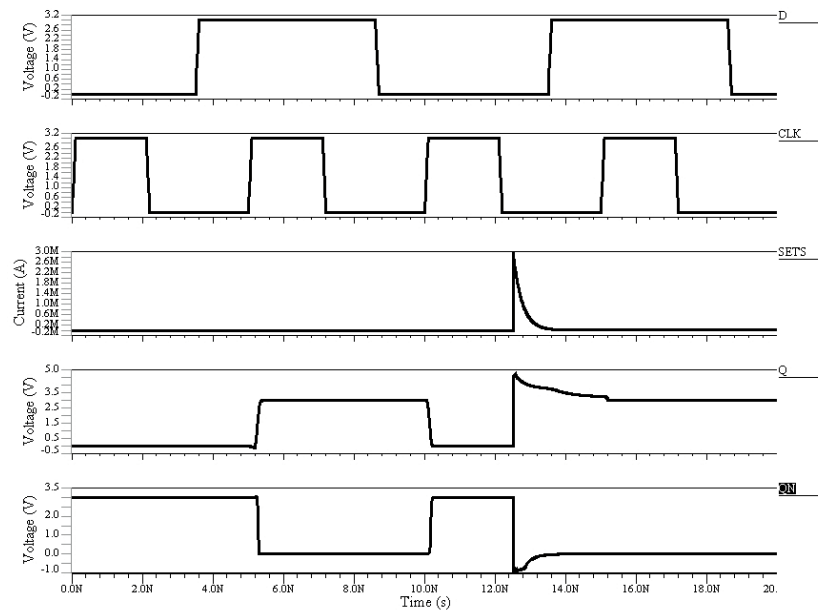


Figura 3.17: Múltiples single event transient en  $Q$  y  $QN$ .

Q=0., SET: I = 3mA, TR = 3 ps. TF = 1ns.				
Nodo sensible	Transistor	$V_I$ (V)	$V_R$ (V)	Tiempo de recuperación
1	MN4 y MN5	3	-1	781ps
2	MN3 y MN4	2.26	-1	Lenta recuperación
Q	MP1	0	4	621ps
QN	MN2 y MN3	3	-1	810ps

Tabla 3.8: Resultados con las condiciones iniciales  $Q = 0$ .

Q=1., SET: I = 3mA, TR = 3 ps. TF = 1ns.				
Nodo sensible	Transistor	$V_I$ (V)	$V_R$ (V)	Tiempo de recuperación
1	MP4 y MP5	0.0	4	594ps
3	MP3 y MP4	0.7	3.8	Lenta recuperación
Q	MN1	3	-1	945ps
QN	MP2 y MP3	0.0	4	567ps

Tabla 3.9: Resultados con las condiciones iniciales  $Q = 1$ .

En la tabla 3.10 se muestra el tiempo de recuperación en el nodo QN, cuando existe un SET en el nodo Q, dependiendo del valor almacenado.

SET: $I = 3\text{mA}$ , $TR = 3\text{ ps}$ . $TF = 1\text{ns}$ .				
Nodo sensible	Transistor	$V_I$ (V)	$V_R$ (V)	Tiempo de recuperación en QN
Q=0	MP1	3	-1	586ps
Q=1	MN1	0	4	729ps

Tabla 3.10: Tiempo de recuperación en QN cuando existe un SET en Q.

En las tablas 3.11 y 3.12 se muestran las parejas de nodos sensibles que pueden producir errores en la celda cuando existen múltiples SET.

Q=0.
Múltiples SET
2 y Q
Q y QN

Tabla 3.11: Múltiples SET cuando  $Q=0$ .

Q=1.
Múltiples SET
3 y Q
Q y QN

Tabla 3.12: Múltiples SET cuando  $Q=1$ .

## Capítulo 4

# SIMULACION POST-LAYOUT DE LAS CELDAS

### 4.1. Simulación Post-layout de la celda Convencional

Para la simulación post-layout de la celda convencional, se obtuvo el archivo de extracción mediante la herramienta mentor. Del archivo se generó el símbolo que se muestra en la figura 4.1. En el cual se observa las entradas CLK, D, DN, VDD y GROUND, para las salidas Q y QN se declararon como puertos bidireccionales para aplicar los posibles SET's que llegaran a ocurrir.

#### 4.1.1. Simulación de la operación Escritura

La simulación de la operación de escritura se muestra en la figura 4.2. En la primera fila se muestra la señal del dato (D), en la segunda fila se muestra la señal de reloj (CLK), en la tercera y cuarta fila se muestran las señales de salida Q y QN respectivamente. Se observa que cuando la señal de reloj está en alto, el dato presente se almacena, modificando el estado de la memoria.

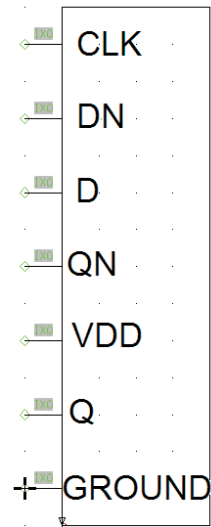


Figura 4.1: Simbolo del archivo de extracción.

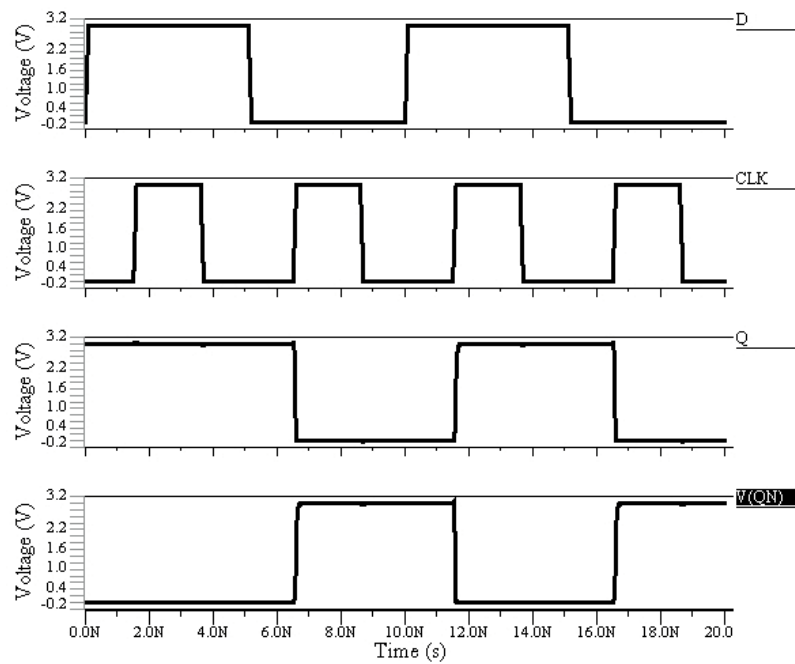


Figura 4.2: Simulación de la operación Escritura.

### 4.1.2. Simulación con SET's

Las simulaciones con la presencia de un SET se realizaron para el nodo QN dependiendo del valor almacenado, los resultados obtenidos son los mismos para el nodo Q.

#### SET en QN = 1

La simulación de la presencia de un SET en el nodo QN, cuando la celda convencional almacena un "0" lógico se muestra en la figura 4.3. El valor lógico del nodo QN es un "1", los transistores que pueden producir el SEU son MN2 o MN4, lo cual nos lleva ocupar el modelo de la figura 3.2 a). En la primera fila se muestra la señal del dato (D), en la segunda fila se muestra la señal de reloj (CLK), en la tercera fila se muestra el SET en el nodo QN, en la cuarta y quinta fila se muestran las señales de salida Q y QN. Se puede apreciar que cuando aparece el SET, el nodo QN cambia automáticamente de valor lógico de un "1" a un "0" lógico, haciendo que el nodo Q cambie de estado, y así almacenando un dato erróneo.

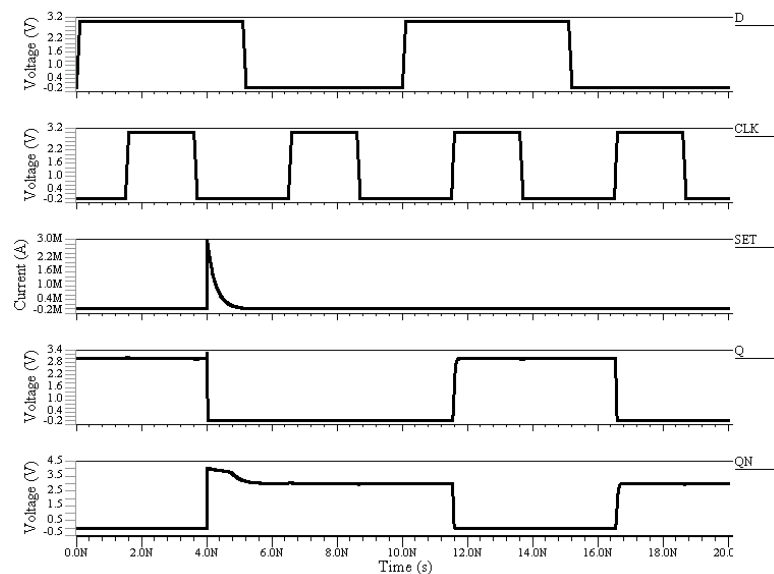


Figura 4.3: Simulación de un SET en QN = 1.



### SET en QN = 0

La simulación de la presencia de un SET en el nodo QN, cuando la celda convencional almacena un “1” lógico se muestra en la figura 4.4. El valor lógico del nodo QN es un “0”, el transistor que puede producir el SEU es MP2, lo cual nos lleva ocupar el modelo de la figura 3.2 b). En la primera fila se muestra la señal del dato (D), en la segunda fila se muestra la señal de reloj (CLK), en la tercera fila se muestra el SET en el nodo QN, en la cuarta y quinta fila se muestran las señales de salida Q y QN. Se puede apreciar que cuando aparece el SET, el nodo QN cambia automáticamente de valor lógico, de un “0” a un “1” lógico, haciendo que el nodo Q cambie de estado, y así almacenando un dato erróneo.

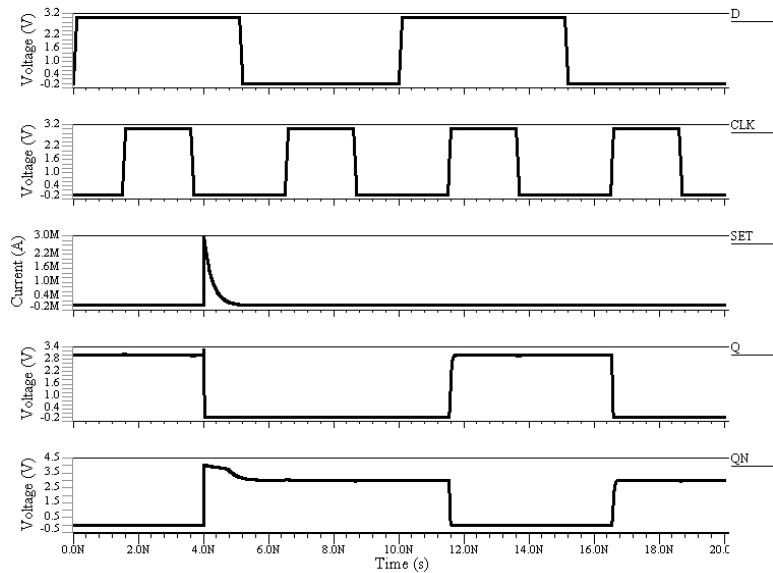


Figura 4.4: *Simulación de un SET en QN = 0.*

En la tabla 4.1 y 4.2 se muestra los datos obtenidos de la simulaciones para la celda convencional, dependiendo del valor almacenado.

Q=0 y QN = 1, SET: I = 3mA, TR = 3 ps. TF = 1ns.				
Nodo sensible	Transistor	V <sub>I</sub> (V)	V <sub>R</sub> (V)	Tiempo de recuperación
Q	MP1	0	4	No hay recuperación
QN	MN2 o MN4	3	-1	No hay recuperación

Tabla 4.1: Resultados con las condiciones iniciales  $Q = 0$ .

Q=1 y QN = 0, SET: I = 3mA, TR = 3 ps. TF = 1ns.				
Nodo sensible	Transistor	$V_I$ (V)	$V_R$ (V)	Tiempo de recuperación
Q	MN1 o MN3	3	-1	No hay recuperación
QN	MP2	0.0	4	No hay recuperación

Tabla 4.2: Resultados con las condiciones iniciales  $Q = 1$ .

## 4.2. Simulación Post-layout de la celda HIT2

Para la simulación post-layout de la celda HIT2, se obtuvo el archivo de extracción mediante la herramienta mentor. Del archivo se generó el símbolo que se muestra en la figura 4.5. En el cual se observa las entradas CLK, D, DN, VDD y GROUND, para los nodos sensibles L, M, S, U, Q y QN se declararon como puertos bidireccionales para aplicar los posibles SET's que llegarán a ocurrir.

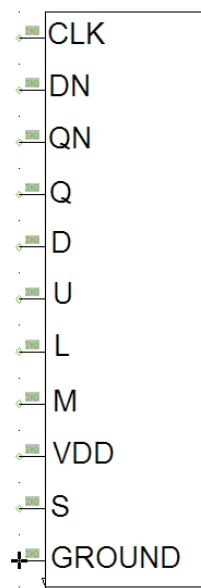


Figura 4.5: Símbolo del archivo de extracción.

### 4.2.1. Simulación de la operación Escritura

La simulación de la operación de escritura se muestra en la figura 4.6. En la primera fila se muestra la señal del dato (D), en la segunda fila se muestra la señal de reloj (CLK), en la tercera y cuarta fila se muestran las señales de salida Q y QN respectivamente. Se observa que cuando la señal de reloj esta en alto, el dato presente se almacena, modificando el estado de la memoria.

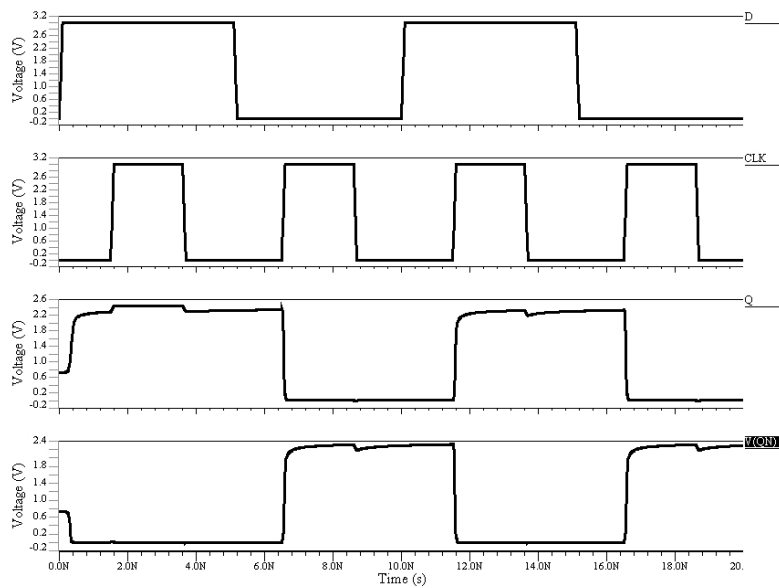


Figura 4.6: *Simulación de la operación Escritura.*

### 4.2.2. Simulación con SET's

Las simulaciones con la presencia de un SET se realizaron cuando la celda almacena un "0" lógico.

#### SET en QN

La simulación de la presencia de un SET en el nodo QN, cuando la celda HIT2 almacena un "0" lógico se muestra en la figura 4.7. El valor lógico del nodo QN es un "1",

los transistores que pueden producir el SEU son MN2 o MN4, lo cual nos lleva ocupar el modelo de la figura 3.2 a). En la primera fila se muestra la señal del dato (D), en la segunda fila se muestra la señal de reloj (CLK), en la tercera fila se muestra el SET, en el nodo QN, en la cuarta y quinta fila se muestran las señales de salida Q y QN. Se puede apreciar que cuando aparece el SET el nodo QN cambia automáticamente de valor lógico de un “1” a un “0” lógico, pero después de un tiempo regresa a su valor original, así evitando un dato erróneo almacenando.

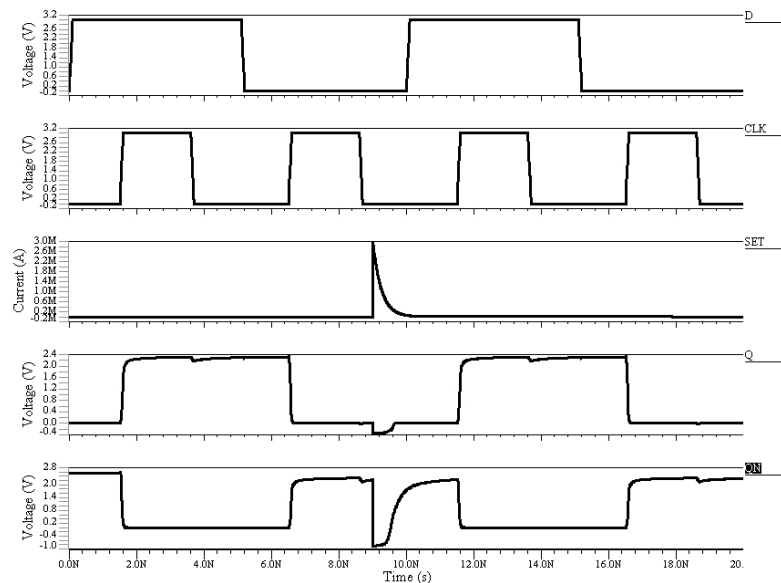


Figura 4.7: Simulación de un SET en QN.

## SET en U

La simulación de la presencia de un SET en el nodo U, cuando la celda HIT2 almacena un “0” lógico se muestra en la figura 4.8. El valor lógico del nodo U es un “1”, el transistor que puede producir el SEU es MN6, lo cual nos lleva ocupar el modelo de la figura 3.2 a). En la primera fila se muestra la señal del dato (D), en la segunda fila se muestra la señal de reloj (CLK), en la tercera fila se muestra el SET en el nodo U, en la cuarta fila se muestra la señal del nodo U, en la quinta y sexta fila se muestran las señales de salida Q y QN. Se puede apreciar que cuando aparece el SET, el nodo U cambia automáticamente

de valor lógico, de un “0” a un “1” lógico y además afectando al nodo QN produciendo un SEU, pero después de un tiempo regresan a su valor original, así evitando un dato erróneo almacenando.

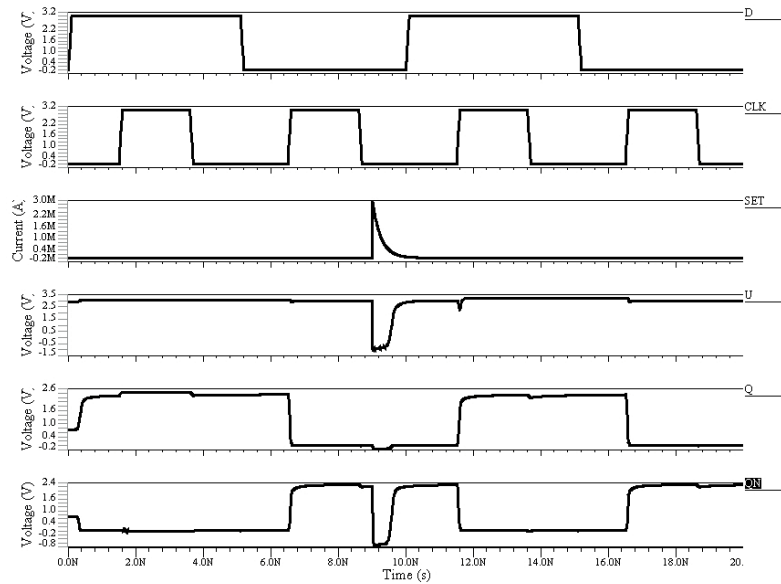


Figura 4.8: *Simulación de un SET en U.*

## SET en S

La simulación de la presencia de un SET en el nodo S, cuando la celda HIT2 almacena un “0” lógico se muestra en la figura 4.9. El valor lógico del nodo S es un “1”, el transistor que pueden producir el SEU es MN5, lo cual nos lleva ocupar el modelo de la figura 3.2 a). En la primer fila se muestra la señal del dato (D), en la segunda fila se muestra la señal de reloj (CLK), en la tercera fila se muestra el SET en el nodo S, en la cuarta y quinta fila se muestran las señales de salida Q y QN. Se puede apreciar que cuando aparece el SET, el nodo S cambia automáticamente de valor lógico de un “1” a un “0” lógico, sin restablecer su valor original ya que el transistor MP2 esta apagado, la característica de este nodo es que no afecta el estado de ningún transistor, y por lo tanto sin modificar el estado almacenado.

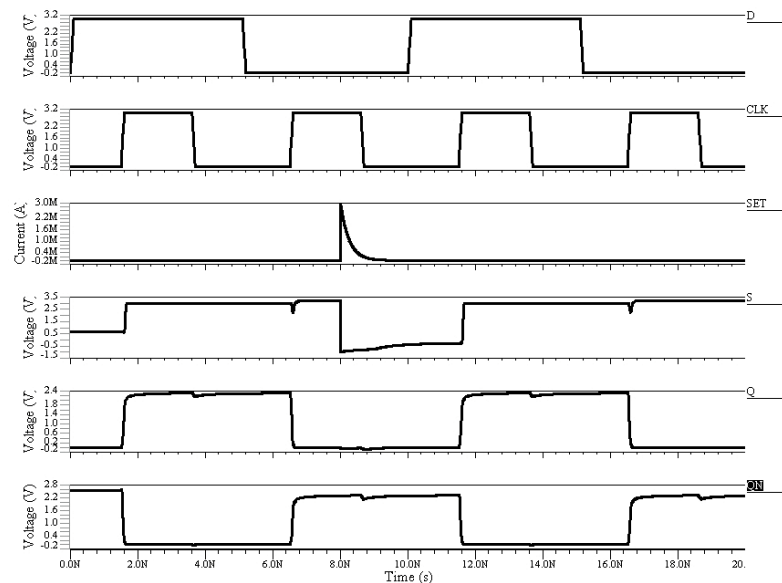


Figura 4.9: *Simulación de un SET en S.*

### SET en M

La simulación de la presencia de un SET en el nodo M, cuando la celda HIT2 almacena un “0” lógico se muestra en la figura 4.10. El valor lógico del nodo M es un “1”, el transistor que puede producir el SEU es el transistor MN7, lo cual nos lleva ocupar el modelo de la figura 3.2 a). En la primer fila se muestra la señal del dato (D), en la segunda fila se muestra la señal de reloj (CLK), en la tercera fila se muestra el SET en el nodo M, en la cuarta fila se muestra la señal del nodo M, en la quinta y sexta fila se muestran las señales de salida Q y QN. Se puede apreciar que cuando aparece el SET, el nodo M cambia automáticamente de valor lógico, de un “1” a un “0” lógico, pero después de un tiempo regresa a su valor original, así evitando un dato erróneo almacenando.

### SET en L

La simulación de la presencia de un SET en el nodo L, cuando la celda HIT2 almacena un “0” lógico se muestra en la figura 4.11. El valor lógico del nodo L es un “0”, el transistor que puede producir el SEU es el transistor MP4, lo cual nos lleva ocupar el modelo de

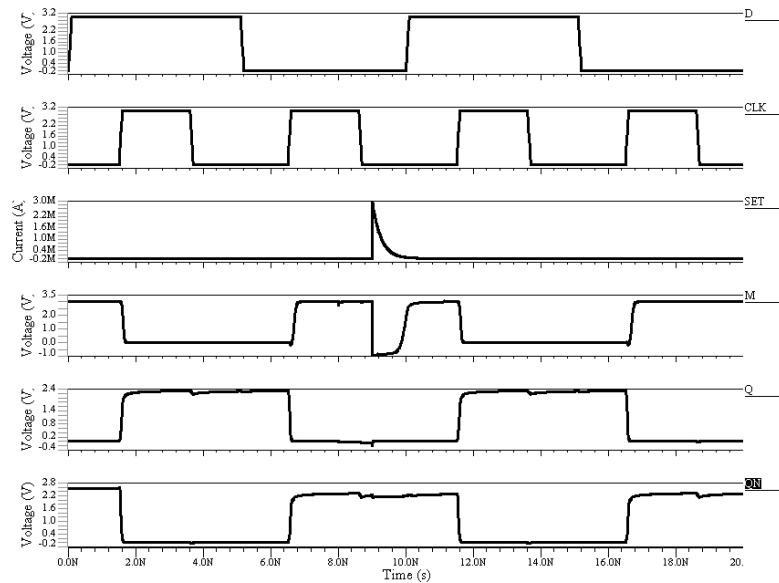


Figura 4.10: *Simulación de un SET en M.*

la figura 3.2 b). En la primera fila se muestra la señal del dato (D), en la segunda fila se muestra la señal de reloj (CLK), en la tercera fila se muestra el SET en el nodo L, en la cuarta fila se muestra la señal del nodo L, en la quinta y sexta fila se muestran las señales de salida Q y QN. Se puede apreciar que cuando aparece el SET, el nodo L cambia automáticamente de valor lógico, de un “0” a un “1” lógico, pero después de un tiempo regresa a su valor original, así evitando un dato erróneo almacenando.

### 4.2.3. Múltiples SET's

De todas las posibilidades de tener un error en la memoria cuando almacena un “0” lógico, al existir múltiples SET's son U-L y M-L. En la figura 4.12 se muestra la simulación de dos posibles SET's en M y L. En la primera fila se muestra la señal del dato (D), en la segunda fila se muestra la señal de reloj (CLK), en la tercera fila se muestra el SET en los nodos M y L, en la cuarta y quinta se muestran las señales de salida Q y QN, donde se puede observar que existe un cambio en el valor lógico almacenado, produciendo un error.

Para las mediciones del tiempo de recuperación para cada nodo, se hicieron del momento que sucede el SET al 90% o 10% del valor del voltaje almacenado. Por ejemplo

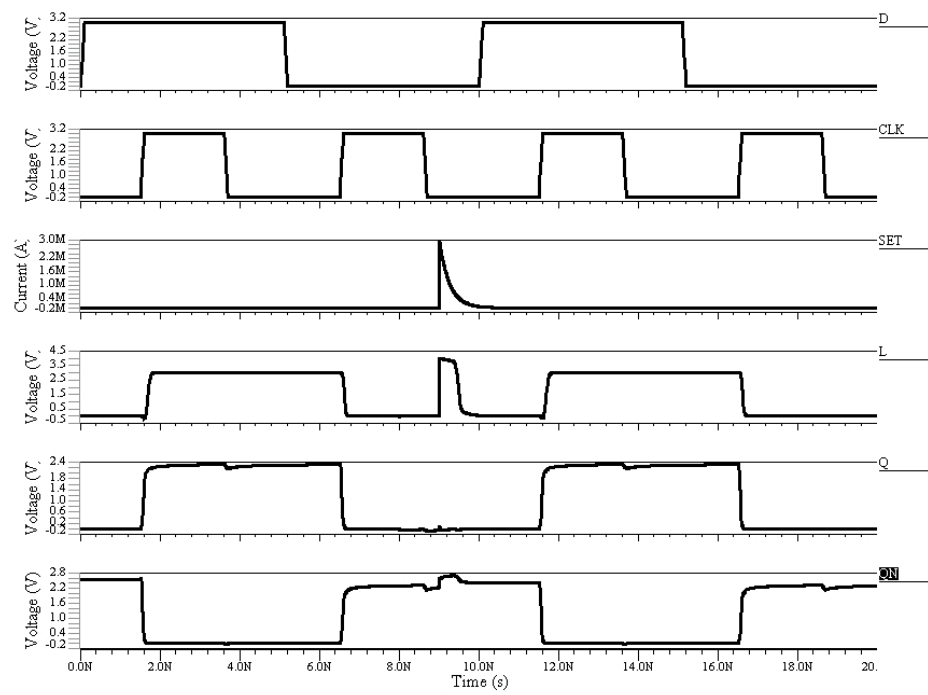


Figura 4.11: Simulación de un SET en L.



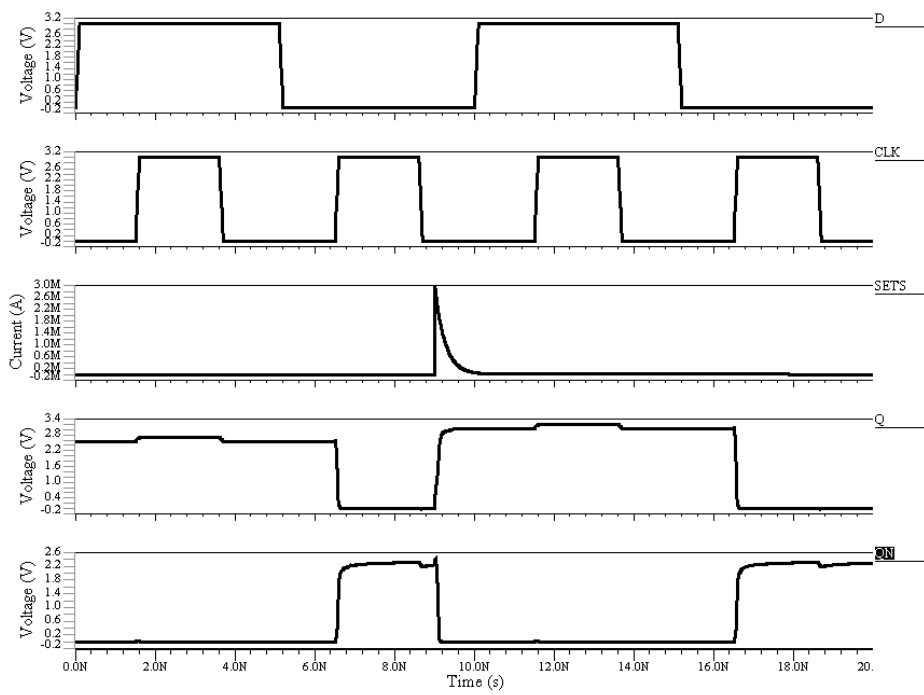


Figura 4.12: Simulación de múltiples SET's en M-L.

para la figura 4.13 se muestra la medición del nodo QN cuando tiene un valor lógico de un “1”, el voltaje en el nodo es de 2.22 V, el 90 % de este voltaje es 2 V, el tiempo de recuperación es de 1322 ps.

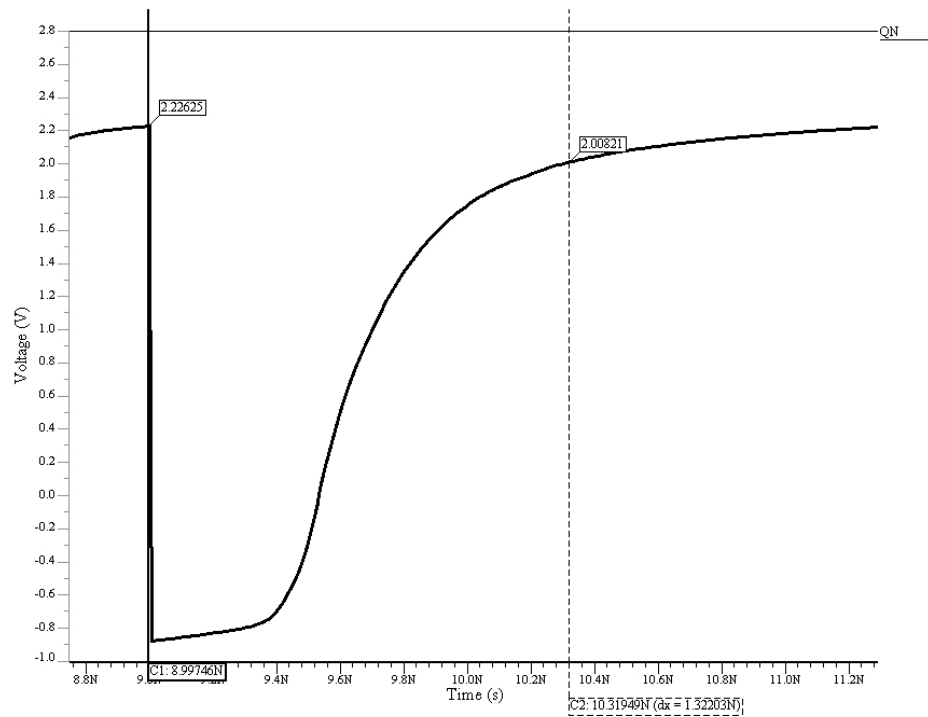


Figura 4.13: *Tiempo de recuperación para el nodo QN.*

En la tabla 4.2 y 4.3 se muestran los datos obtenidos para las simulaciones cuando la celda almacena un “0” y “1” lógico respectivamente, en la primera columna se muestra el nodo sensible analizado, en la segunda columna es el transistor que produce el nodo sensible, en la tercera columna es el voltaje inicial antes del SET, la cuarta columna el voltaje máximo de ruido que introduce el SET y la última columna muestra el tiempo de recuperación. Para los nodos S\* y U\* son los únicos nodos sensibles que reflejan el single event upset a los nodos de salida.

Q=0., SET: I = 3mA, TR = 3 ps. TF = 1ns.				
Nodo sensible	Transistor	$V_I$ (V)	$V_R$ (V)	Tiempo de recuperación
L	MP4	0.0	4	603ps
M	MN7	3	-1	1120ps
S	MN5	3	-1	No hay recuperación.
U*	MN6	3	-1	880ps
QN	MN2 y MN4	2.28	-1	1322ps

Tabla 4.2: Resultados con las condiciones iniciales  $Q = 0$ .

Q=1., SET: I = 3mA, TR = 3 ps. TF = 1ns.				
Nodo sensible	Transistor	$V_I$ (V)	$V_R$ (V)	Tiempo de recuperación
L	MN8	3	-1	1120ps
M	MP3	0.0	4	613ps
S*	MN5	1.5	-1	826ps
U	MN6	1.5	-1	No hay recuperación.
Q	MN1 y MN3	2.28	-1	1360ps

Tabla 4.3: Resultados con las condiciones iniciales  $Q = 1$ .

En la tabla 4.4 se muestran los tiempos de recuperación en los nodos Q y QN, cuando existe un single event transient en los nodos S y U, dependiendo del valor almacenado.

SET: I = 3mA, TR = 3 ps. TF = 1ns.		
Nodo sensible	Tiempo para Q.	Tiempo para QN.
S*	720ps	No SEU
U*	No SEU	746ps

Tabla 4.4: Tiempos de recuperación en los nodos Q y QN cuando existen SET en S y U.

En las tablas 4.5 y 4.6 se muestran las parejas de nodos sensibles que pueden producir errores en la celda cuando existen múltiples SET's.

Q=0.
Múltiples SET
U y L
L y M

Tabla 4.5: Múltiples SET cuando  $Q=0$ .

Q=1.
Múltiples SET
S y M
L y M

Tabla 4.6: Múltiples SET cuando  $Q=1$ .

### 4.3. Simulación Post-layout de la celda NUEVA

Para la simulación post-layout de la NUEVA celda, se obtuvo el archivo de extracción mediante la herramienta mentor. Del archivo se generó el símbolo que se muestra en la figura 4.14. En el cual se observa las entradas CLK, D, DN, VDD y GROUND, para los nodos sensibles 1, 2, 3, Q y QN se declararon como puertos bidireccionales para aplicar los posibles SET's que llegaran a ocurrir.

#### 4.3.1. Simulación de la operación Escritura

La simulación de la operación de escritura se muestra en la figura 4.15. En la primera fila se muestra la señal del dato (D), en la segunda fila se muestra la señal de reloj (CLK), en la tercera y cuarta fila se muestran las señales de salida Q y QN respectivamente. Se observa que cuando la señal de reloj está en alto el dato presente se almacena, modificando el estado de la memoria.

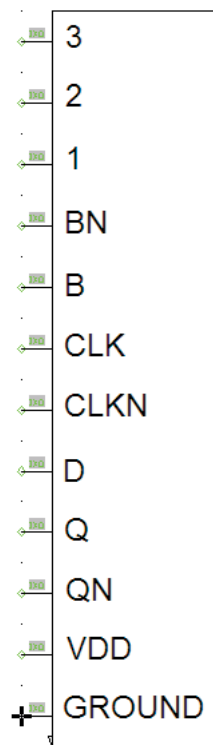


Figura 4.14: *Símbolo de la celda NUEVA.*

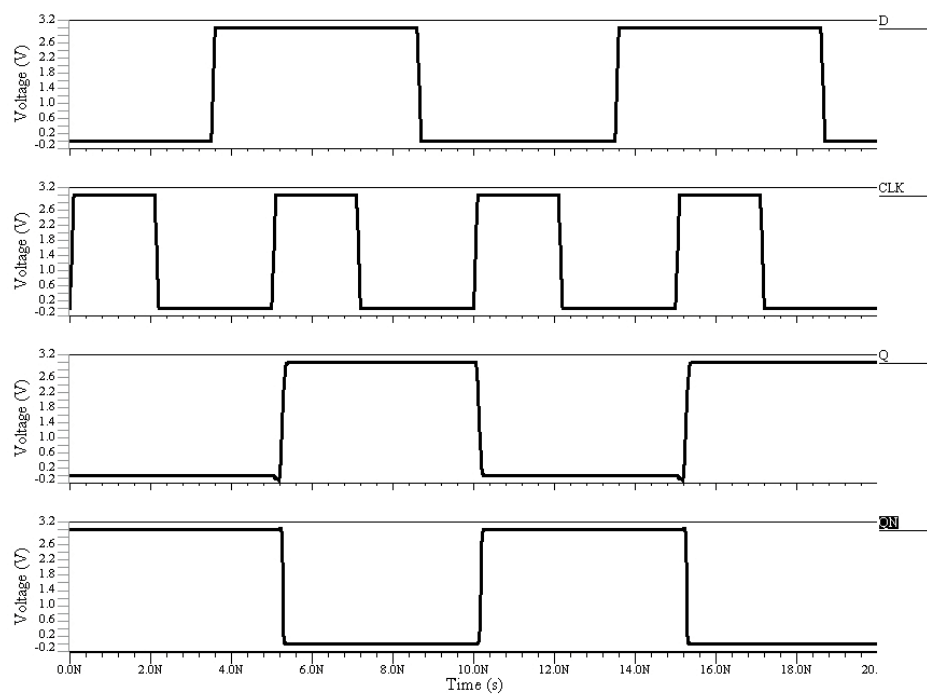


Figura 4.15: Simulación de la operación *Escritura*.

### 4.3.2. Simulación con SET's

Las simulaciones con la presencia de un SET se realizaron cuando la NUEVA celda almacena un "0" lógico.

#### SET en 1

La simulación de la presencia de un SET en el nodo 1, cuando la celda NUEVA almacena un "0" lógico se muestra en la figura 4.16. El valor lógico del nodo 1 es un "1", los transistores que pueden producir el SEU son MN4 y MN5, lo cual nos lleva ocupar el modelo de la figura 3.2 a). En la primer fila se muestra la señal del dato (D), en la segunda fila se muestra la señal de reloj (CLK), en la tercera fila se muestra el SET en el nodo 1, en la cuarta y quinta fila se muestran las señales de salida Q y QN. Se puede apreciar que cuando aparece el SET, el nodo 1 cambia automáticamente de valor lógico de un "1" a un "0" lógico, pero después de un tiempo regresa a su valor original, así evitando un dato erróneo almacenando.

#### SET en 2

La simulación de la presencia de un SET en el nodo 2, cuando la celda NUEVA almacena un "0" lógico se muestra en la figura 4.17. El valor lógico del nodo 2 es un "1", el transistor que puede producir el SEU es MN4, lo cual nos lleva ocupar el modelo de la figura 3.2 a). En la primer fila se muestra la señal del dato (D), en la segunda fila se muestra la señal de reloj (CLK), en la tercera fila se muestra el SET en el nodo 2, en la cuarta fila se muestra la señal del nodo 2, en la quinta y sexta fila se muestran las señales de salida Q y QN. Se puede apreciar que cuando aparece el SET el nodo 2 cambia automáticamente de valor lógico, de un "0" a un "1" lógico, en este caso el tiempo de recuperación es muy grande ya que el transistor MN3 se encuentra en región lineal pero después de un tiempo regresan a su valor original.

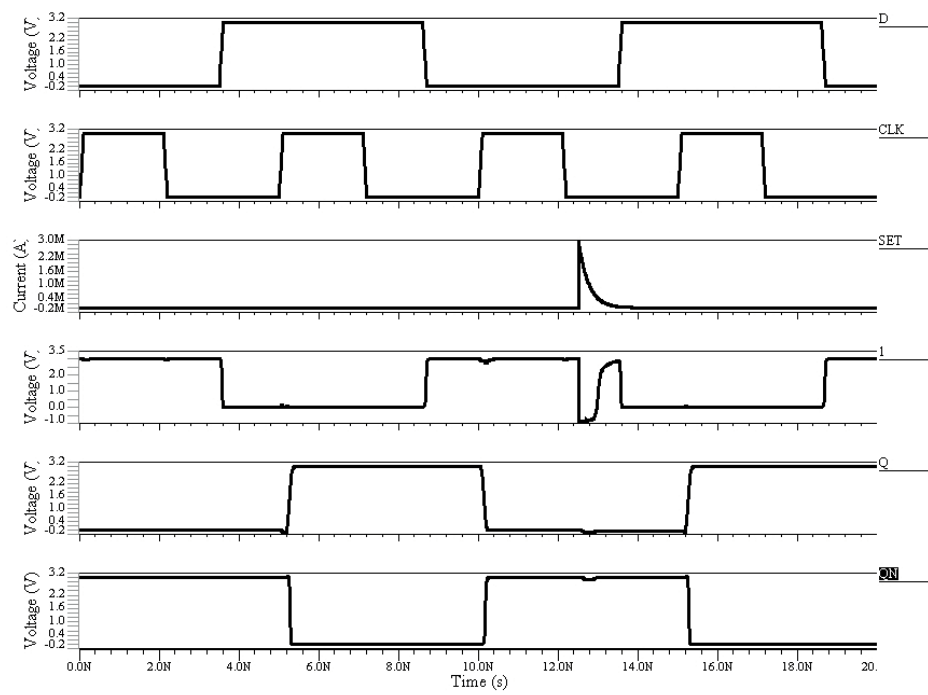


Figura 4.16: Simulación de un SET en 1.



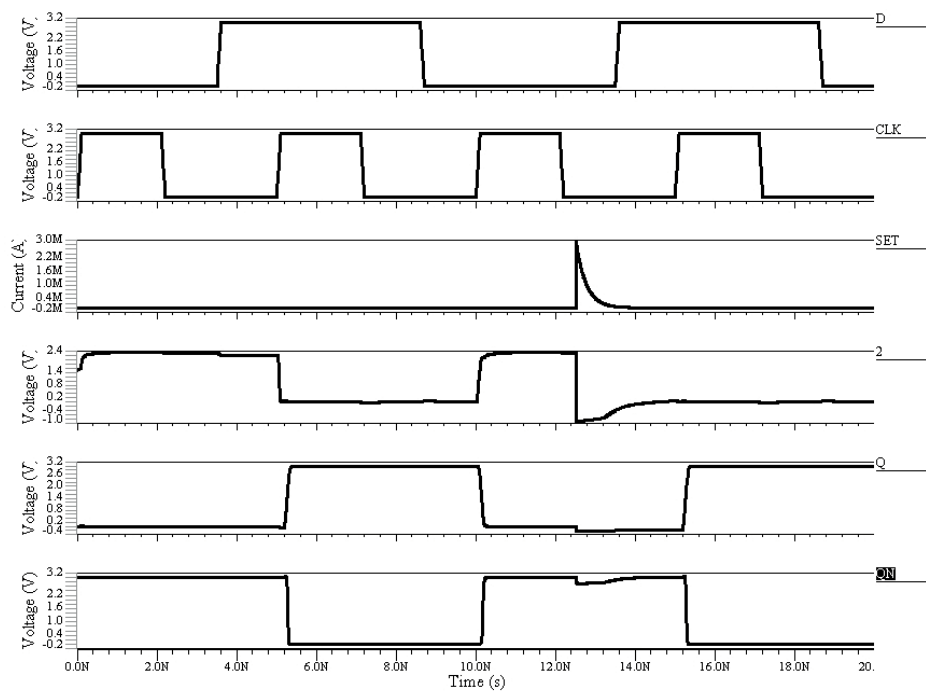


Figura 4.17: Simulación de un SET en 2.

## SET en Q

La simulación de la presencia de un SET en el nodo Q, cuando la celda NUEVA almacena un “0” lógico se muestra en la figura 4.18. El valor lógico del nodo Q es un “0”, el transistor que pueden producir el SEU es MP1, lo cual nos lleva ocupar el modelo de la figura 3.2 b). En la primera fila se muestra la señal del dato (D), en la segunda fila se muestra la señal de reloj (CLK), en la tercera fila se muestra el SET en el nodo Q, en la cuarta y quinta fila se muestran las señales de salida Q y QN. Se puede apreciar que cuando aparece el SET el nodo Q cambia automáticamente de valor lógico de un “0” a un “0” lógico, modificando el valor del nodo QN, pero después de un tiempo regresan a su valor original, así evitando un dato erróneo almacenando.

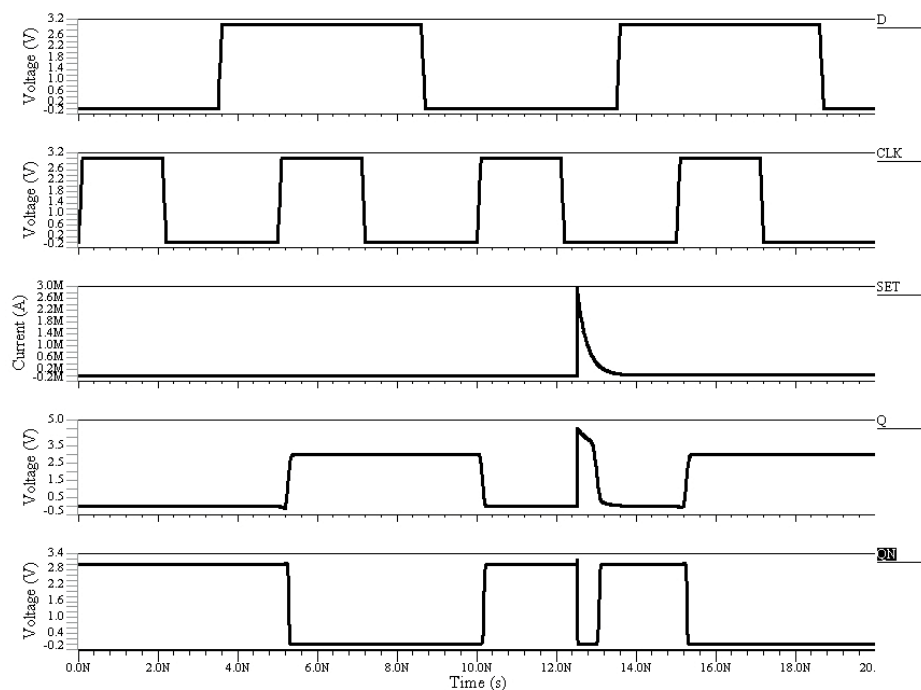


Figura 4.18: Simulación de un SET en Q.

## SET en QN

La simulación de la presencia de un SET en el nodo QN, cuando la celda NUEVA almacena un “0” lógico se muestra en la figura 4.19. El valor lógico del nodo QN es un “1”, los transistores que pueden producir el SEU son MN2 y MN3, lo cual nos lleva ocupar el modelo de la figura 3.2 a). En la primera fila se muestra la señal del dato (D), en la segunda fila se muestra la señal de reloj (CLK), en la tercera fila se muestra el SET en el nodo QN, en la cuarta y quinta se muestran las señales de salida Q y QN. Se puede apreciar que cuando aparece el SET el nodo QN cambia automáticamente de valor lógico, de un “1” a un “0” lógico, pero después de un tiempo regresa a su valor original, así evitando un dato erróneo almacenando.

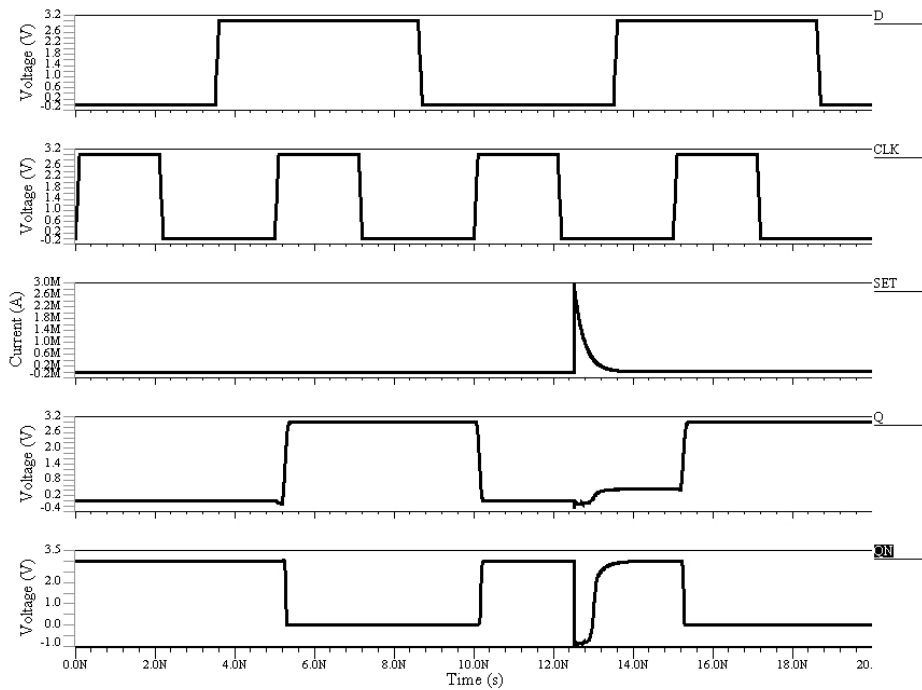


Figura 4.19: Simulación de un SET en QN.

### 4.3.3. Múltiples SET's

De todas las posibilidades de tener un error en la memoria cuando almacena un "0" lógico, al existir múltiples SET's son 2 -Q y Q-QN. En la figura 4.20 se muestra la simulación de dos posibles SET's en Q y QN. En la primera fila se muestra la señal del dato (D), en la segunda fila se muestra la señal de reloj (CLK), en la tercera fila se muestra el SET en los nodo Q y QN, en la cuarta y quinta se muestran las señales de salida Q y QN, donde se puede observar que existe un cambio en el valor lógico almacenado, produciendo un error.

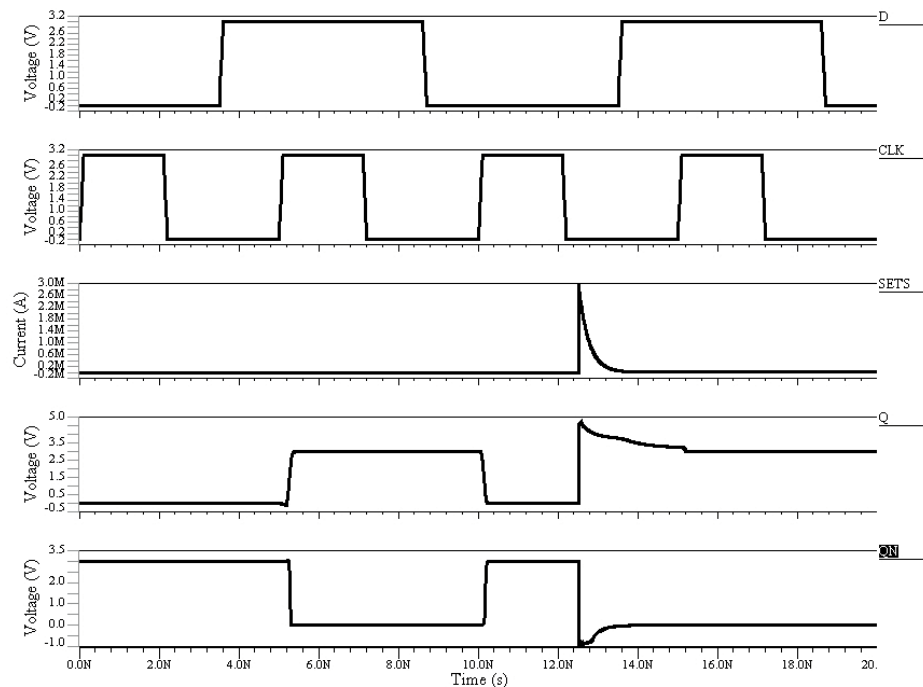


Figura 4.20: Múltiples SET's en Q y QN.

Para las mediciones del tiempo de recuperación para cada nodo, se hicieron del momento que sucede el SET al 90 % o 10 % del valor del voltaje almacenado. Por ejemplo para la figura 4.21 se muestra la medición del nodo Q cuando tiene un valor lógico de un "0", el voltaje en el nodo es de 0 V, el 10 % de este voltaje es 0.3 V, el tiempo de recuperación es de 616 ps.

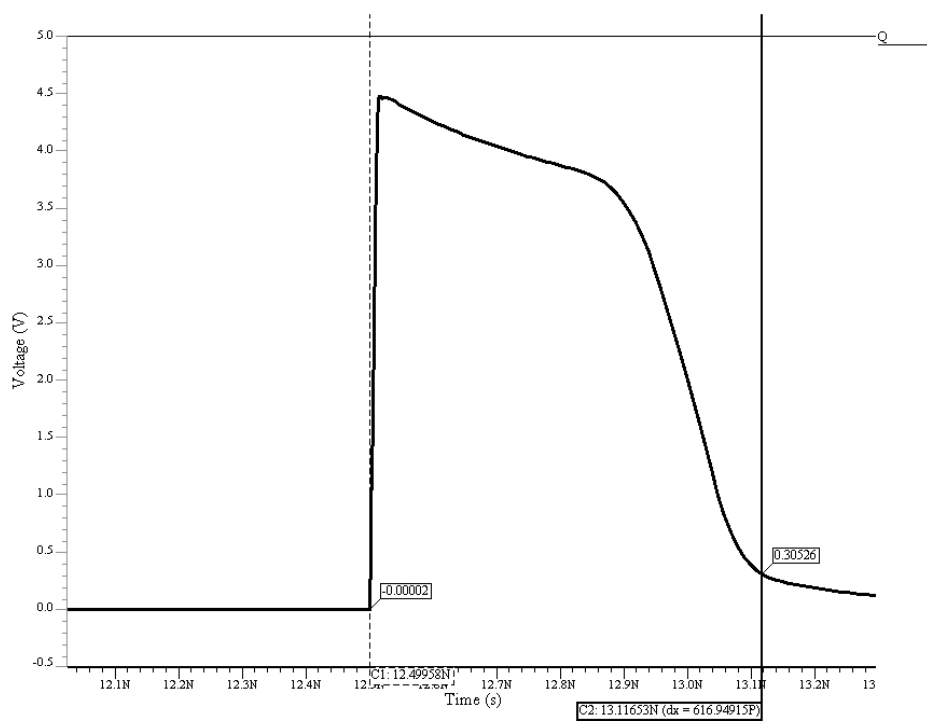


Figura 4.21: *Tiempo de recuperación para el nodo Q.*

En la tabla 4.7 y 4.8 se muestran los datos obtenidos para las simulaciones cuando la celda almacena un “0” y “1” lógico respectivamente, en la primera columna se muestra el nodo sensible analizado, en la segunda columna es el transistor que produce el nodo sensible, en la tercera columna es el voltaje inicial antes del SET, la cuarta columna el voltaje máximo de ruido que introduce el SET y la ultima columna muestra el tiempo de recuperación.

Q=0., SET: I = 3mA, TR = 3 ps. TF = 1ns.				
Nodo sensible	Transistor	$V_I$ (V)	$V_R$ (V)	Tiempo de recuperación
1	MN4 y MN5	3	-1	778ps
2	MN3 y MN4	2.27	-1	Lenta recuperación
Q	MP1	0	4	616ps
QN	MN2 y MN3	3	-1	797ps

Tabla 4.7: Resultados con las condiciones iniciales  $Q = 0$ .

Q=1., SET: I = 3mA, TR = 3 ps. TF = 1ns.				
Nodo sensible	Transistor	$V_I$ (V)	$V_R$ (V)	Tiempo de recuperación
1	MP4 y MP5	0.0	4	557ps
3	MP3 y MP4	0.8	3.8	Lenta recuperación
Q	MN1	3	-1	878ps
QN	MP2 y MP3	0.0	4	570ps

Tabla 4.8: Resultados con las condiciones iniciales  $Q = 1$ .

En la tabla 4.9 se muestra el tiempo de recuperación en el nodo QN, cuando existe un SET en el nodo Q, dependiendo del valor almacenado.

SET: I = 3mA, TR = 3 ps. TF = 1ns.				
Nodo sensible	Transistor	$V_I$ (V)	$V_R$ (V)	Tiempo de recuperación en QN
Q=0	MP1	3	-1	609ps
Q=1	MN1	0	4	720ps

*Tabla 4.9: Tiempo de recuperación en  $QN$  cuando existe un SET en  $Q$ .*

En la tablas 4.10 y 4.11 se muestran las parejas de nodos sensibles que pueden producir errores en la celda cuando existen múltiples SET.

$Q=0.$
Múltiples SET
2 y $Q$
$Q$ y $QN$

*Tabla 4.10: Múltiples SET cuando  $Q=0$ .*

$Q=1.$
Múltiples SET
3 y $Q$
$Q$ y $QN$

*Tabla 4.11: Múltiples SET cuando  $Q=1$ .*

## Capítulo 5

# COMPARACIÓN ENTRE LAS CELDAS

### 5.1. Número de nodos sensibles

Para la celda convencional tenemos dos nodos sensibles Q y QN, independientemente del dato almacenado, como se muestra en la figura 5.1.

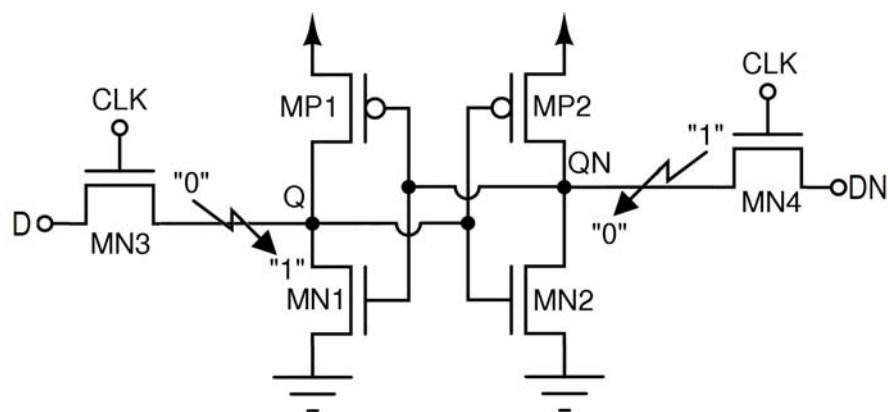


Figura 5.1: *Nodos sensibles en la celda convencional.*

Para la celda HIT2 tenemos cinco nodos sensibles dependiendo del dato almacenado. Cuando la celda almacena un "0" lógico los nodos sensibles son L, M, S, U y QN, para el



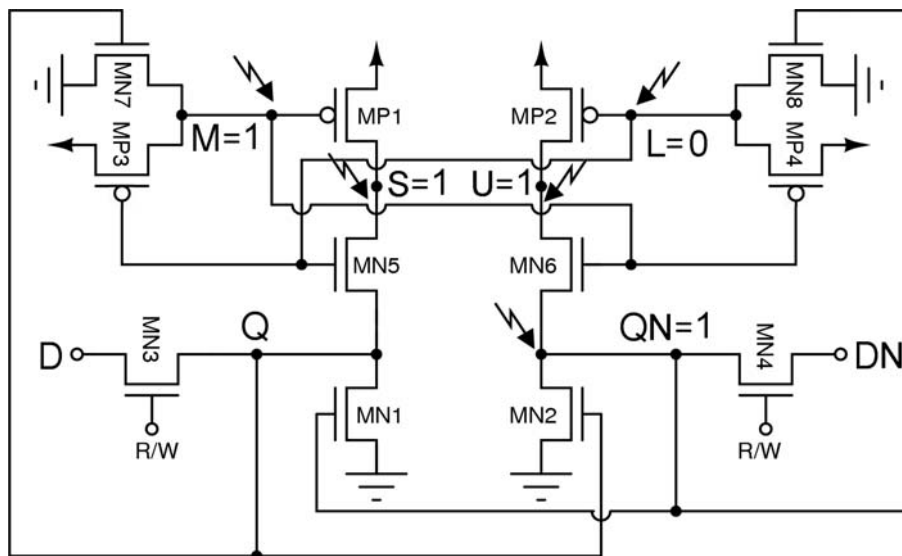


Figura 5.2: *Nodos sensibles en la celda HIT2 cuando  $Q=0$*

caso en que la celda almacena un “1” lógico los nodos sensibles son L, M, S, U y Q. En la figura 5.2 se muestran los nodos sensibles cuando la celda almacena un “0” lógico.

Para la celda NUEVA tenemos 4 nodos sensibles dependiendo del dato almacenado. Cuando existe un “0” lógico en la memoria, los nodos sensibles son 1, 2, Q y QN, en el caso opuesto cuando la celda almacena un “1” lógico, los nodos sensibles son 1, 3, Q y QN. En la figura 5.3 se muestran los nodos sensibles, cuando la celda almacena un “1” lógico.

## 5.2. Magnitud del tiempo de recuperación

Para la celda convencional no existe recuperación en los nodos sensibles, tablas 5.1 y 5.2

Q=0 y QN = 1, SET: I = 3mA, TR = 3 ps. TF = 1ns.				
Nodo sensible	Transistor	$V_I$ (V)	$V_R$ (V)	Tiempo de recuperación
Q	MP1	0	4	No hay recuperación
QN	MN2 o MN4	3	-1	No hay recuperación

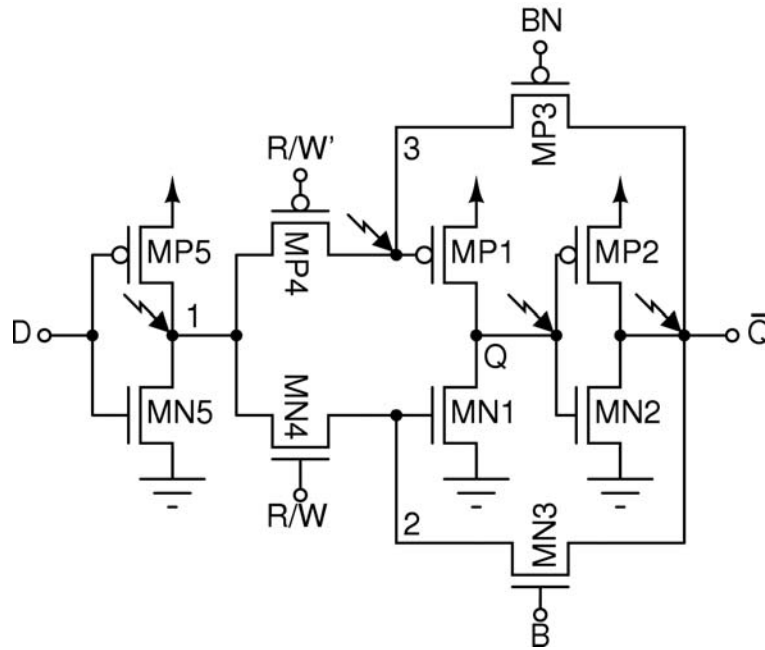


Figura 5.3: *Nodos sensibles en la NUEVA celda cuando  $Q = 1$ .*

Tabla 5.1: *Resultados con las condiciones iniciales  $Q = 0$ .*

Q=1 y QN = 0, SET: I = 3mA, TR = 3 ps. TF = 1ns.				
Nodo sensible	Transistor	$V_I$ (V)	$V_R$ (V)	Tiempo de recuperación
Q	MN1 o MN3	3	-1	No hay recuperación
QN	MP2	0.0	4	No hay recuperación

Tabla 5.2: *Resultados con las condiciones iniciales  $Q = 1$ .*

Para la celda HIT2, los tiempos de recuperación se muestran en la tabla 5.3 y 5.4.

Q=0., SET: I = 3mA, TR = 3 ps. TF = 1ns.				
Nodo sensible	Transistor	$V_I$ (V)	$V_R$ (V)	Tiempo de recuperación
L	MP4	0.0	4	603ps
M	MN7	3	-1	1120ps
S	MN5	3	-1	No hay recuperación.
U*	MN6	3	-1	880ps
QN	MN2 y MN4	2.28	-1	1322ps

Tabla 5.3: Resultados con las condiciones iniciales  $Q = 0$ .

Q=1., SET: I = 3mA, TR = 3 ps. TF = 1ns.				
Nodo sensible	Transistor	$V_I$ (V)	$V_R$ (V)	Tiempo de recuperación
L	MN8	3	-1	1120ps
M	MP3	0.0	4	613ps
S*	MN5	1.5	-1	826ps
U	MN6	1.5	-1	No hay recuperación.
Q	MN1 y MN3	2.28	-1	1360ps

Tabla 5.4: Resultados con las condiciones iniciales  $Q = 1$ .

En la tabla 5.5 se muestran los tiempos de recuperación en los nodos Q y QN, cuando existe un single event transient en los nodos S y U, dependiendo del valor almacenado.

SET: I = 3mA, TR = 3 ps. TF = 1ns.		
Nodo sensible	Tiempo para Q.	Tiempo para QN.
S*	720ps	No SEU
U*	No SEU	746ps

Tabla 5.5: Tiempos de recuperación en los nodos Q y QN cuando existen SET en S y U.

Para la celda NUEVA los tiempos de recuperación se muestran en la tabla 5.6 y 5.7.

Q=0., SET: I = 3mA, TR = 3 ps. TF = 1ns.				
Nodo sensible	Transistor	$V_I$ (V)	$V_R$ (V)	Tiempo de recuperación
1	MN4 y MN5	3	-1	778ps
2	MN3 y MN4	2.27	-1	Lenta recuperación
Q	MP1	0	4	616ps
QN	MN2 y MN3	3	-1	797ps

Tabla 5.6: Resultados con las condiciones iniciales  $Q = 0$ .

Q=1., SET: I = 3mA, TR = 3 ps. TF = 1ns.				
Nodo sensible	Transistor	V <sub>I</sub> (V)	V <sub>R</sub> (V)	Tiempo de recuperación
1	MP4 y MP5	0.0	4	557ps
3	MP3 y MP4	0.8	3.8	Lenta recuperación
Q	MN1	3	-1	878ps
QN	MP2 y MP3	0.0	4	570ps

Tabla 5.7: Resultados con las condiciones iniciales  $Q = 1$ .

En la tabla 5.8 se muestra el tiempo de recuperación en el nodo QN, cuando existe un SET en el nodo Q, dependiendo del valor almacenado.

SET: I = 3mA, TR = 3 ps. TF = 1ns.				
Nodo sensible	Transistor	V <sub>I</sub> (V)	V <sub>R</sub> (V)	Tiempo de recuperación en QN
Q=0	MP1	3	-1	609ps
Q=1	MN1	0	4	720ps

Tabla 5.8: Tiempo de recuperación en QN cuando existe un SET en Q.

### 5.3. Número de posibles eventos simultáneos

Para la celda convencional, tiene una combinación para producir un error en la memoria Q-QN, independientemente del estado almacenado.

En la celda HIT2 tiene dos combinaciones por estado almacenado, que pueden producir un error en la memoria (tablas 5.9 y 5.10).

Q=0.
Múltiples SET
U y L
L y M

*Tabla 5.9: Múltiples SET cuando  $Q=0$ .*

Q=1.
Múltiples SET
S y M
L y M

*Tabla 5.10: Múltiples SET cuando  $Q=1$ .*

En la celda NUEVA también tiene dos combinaciones por estado almacenado, que pueden producir un error en la memoria (tablas 5.11 y 5.12). En la tablas 4.10 y 4.11 se muestran las parejas de nodos sensibles que pueden producir errores en la celda cuando existen múltiples SET.

Q=0.
Múltiples SET
2 y Q
Q y QN

*Tabla 5.11: Múltiples SET cuando  $Q=0$ .*

Q=1.
Múltiples SET
3 y Q
Q y QN

*Tabla 5.12: Múltiples SET cuando  $Q=1$ .*

## 5.4. Área

Para la celda convencional esta formada por seis transistores, de los cuales cuatro son nmos y dos pmos. El área del layout para esta celda es de  $30.8 \mu\text{m}^2$ .

Para la celda HIT2 esta conformada por 12 transistores, de los cuales cuatro son pmos y ocho nmos. El area del layout es de  $59.4 \mu\text{m}^2$ .

Para la celda NUEVA contiene 10 transistores, cinco pmos y cinco nmos. El area consumida por el layout es de  $73.3 \mu\text{m}^2$ .

## 5.5. Resumen

En la tabla 5.13 se muestran los puntos de comparación, en la primera columna la celda analizada, en la segunda columna el tiempo de recuperación promedio, en la tercera columna el número de nodos sensibles por estado ( $N_{CO}$ ), en la cuarta columna el número de pares posibles que pueden producir un error ( $N_{CP}$ ) y la ultima columna el área consumida por la celda.

SET: I = 3mA, TR = 3 ps. TF = 1ns.				
Celda	$t_r$	( $N_{CO}$ )	( $N_{CP}$ )	Área
Convencional	Error Lógico	2	1	$30.8 \mu\text{m}^2$
HIT2	927ps	5	2	$59.4 \mu\text{m}^2$
NUEVA	690ps	4	2	$73.3 \mu\text{m}^2$

Tabla 5.13: Comparación de las tres celdas.

## Capítulo 6

# CONCLUSIONES

Los eventos aislados (SET's) inducidos por la radiación, son un modo de fallo dominante en circuitos electrónicos avanzados para aplicaciones del espacio. Las celdas de memoria endurecidas dan una mejor confiabilidad a la presencia de estos efectos, el precio que se debe pagar es el aumento en área. El endurecimiento de la celda es conseguida por el diseño de la celda, sin modificar los pasos de fabricación, ni condicionando las características de layout.

La idea básica de las celdas endurecidas es proveer transistores con una apropiada retroalimentación, para devolver el dato almacenado cuando es corrompido por el choque de una partícula. El principal problema es la manera de organizar los transistores extras usados para la retroalimentación, que formaran nuevos nodos sensibles sin afectar la sensibilidad de la celda.

La celda NUEVA que se presenta tiene una estructura fácil de implementar ya que solo contiene bloques básicos de diseño digital, los cuales son tres inversores y cuatro transistores de paso. La interconexión de los bloques es simple y resulta en un layout más fácil de implementar.

Las dimensiones de los transistores dependen de las características del SET, que dan la carga generada en un nodo sensible. La carga que se propuso fue  $0.82\text{pC}$ , si una partícula al chocar pudiera generar más carga, las celdas HIT2 y NUEVA pueden presentar errores a la presencia del SET.

La celda NUEVA presenta un menor número de nodos sensibles comparada con la celda HIT2. El número de nodos sensibles por estado es de cuatro para la celda NUEVA. De estos cuatro nodos solo dos afectan directamente al valor almacenado de la celda (Q y QN). El número de nodos sensibles para la celda HIT2 por estado es de cinco. De los

cinco nodos, tres afectan directamente al valor almacenado en la celda (Q, QN y sea el caso S o U).

El tiempo de recuperación promedio es menor para la celda NUEVA de 690ps y para la celda HIT2 es de 927ps. En la celda NUEVA el nodo con el mayor tiempo de recuperación (878ps) es el nodo Q, cuando su valor lógico es un "1", y en la celda HIT2 el nodo con el mayor tiempo de recuperación (1360ps) es el nodo Q, cuando su valor lógico es un "1". Para las dos celdas el nodo Q es el nodo más lento en recuperarse después de un SET.

Las celdas HIT2 y NUEVA tienen el mismo número de parejas cuando existen múltiples SET's. En la celda NUEVA las parejas 2-Q y Q-QN, cuando almacena un "0" lógico, y en la celda HIT2 son U-L y M-L cuando almacena un "0" lógico.

El área de la celda HIT2 es relativamente menor a la celda NUEVA. El área para la celda HIT2 es de  $59.4\mu\text{m}^2$  y para la celda Nueva es de  $73.3\mu\text{m}^2$ .

Los niveles de ruido que se observan en las simulaciones, son causadas principalmente por las características que definen al SET propuesto, y por el voltaje de polarización.

Por lo anteriores podemos concluir que la celda Nueva presenta un mejor funcionamiento que la celda HIT2, cuando existe la posibilidad de la presencia de SET's.



# Bibliografía

- [1] C. K Purvis. Overview from a systems perspective, in the behaviour of systems in the space environment. *Academic Publishers pp 23-44*, 1993.
- [2] S.M. Marcus J.T. Wallmark. Minimum size and maximum packaging density of non-redundant semiconductor devices. *Proc. IRE, vol. 50, pp. 286-298*, 1962.
- [3] A.B. Holman D. Binder, E.C. Smith. Satellite anomalies from galactic cosmic rays. 1975.
- [4] Patrick Villard. A mosfet model including total dose effects. *IEEE Trans. on Nuclear Science, vol. 43, no. 3, pp. 810-816*, 1996.
- [5] NSREC. *Nuclear and space Radiation Effects Conference Short Course Notebook*. 2005.
- [6] Richard S. Muller. Device electronics for integrated circuits.
- [7] Donald A. Neamen. *Semiconductor Physics and Devices*. Irwin, pp. 196-199.
- [8] L.J. Palkuti. Correlation between channel hot-electron degradation and radiation-induced interface trapping in mos devices. *IEEE Trans. on Nuclear Science, vol. 36, no. 6, pp. 2140-2146*, 1989.
- [9] European Organization for Nuclear Research. Radiation effects on electronic components and circuits. 2000.
- [10] L.J. Palkuti. Nuclear reaction induced single event effects (see) in microelectronics. 2005.
- [11] Ronald L. PEASE. Radiation testing of semiconductor devices for space electronics. 1988.
- [12] Ronald L. PEASE. Radiation testing of semiconductor devices for space electronics. 1988.

- [13] R. G. Useinov. Analytical model of radiation induced or single event latchup in cmos integrated circuits. *IEEE Trans. on Nuclear Science*, vol. 53, no. 4, pp. 1834-1838, 2006.
- [14] R.D Schrimpf. Dose-rate effects on the total-dose threshold-voltage of power mosfets. *IEEE Trans. on Nuclear Science*, vol. 35, no. 35, pp. 1536-1540, 1988.
- [15] B. R. Blaes. A cmos matrix for extracting mosfet parameters before and after irradiation. *IEEE Trans. on Nuclear Science*, vol. 35, no. 6, pp. 1529-1535, 1988.
- [16] Jan M. Rabaey. *Digital Integrated Circuits*. Prentice Hall. pp. 656-671.
- [17] Quming Zhou. Transistor sizing for radiation hardening.
- [18] Jan M. Rabaey. *CMOS Logic Circuit Design*. Kluwer Academics Publishers pp. 234-243.
- [19] Kamran Eshraghian Neil H. E. Weste. *Principles of CMOS VLSI Design*. pp. 348-354, 398.
- [20] R. Velazco. Conception cellules memories cmos durcies contre l'effect seu: La cellule memoire hit.
- [21] R. Velazco. An s.e.u. hardened cmos memory cell. 1994.
- [22] Paul E. Dodd. Basic mechanisms and modeling of single-event upset in digital microelectronics. 2003.
- [23] Balaji Narasimham. On-chip characterization of single-event transient pulsewidths. 2006.
- [24] Balaji Narasimham. On chip characterization of single event transient pulse widths.
- [25] Daisuke Kobayashi. Fast and physically-accurate estimation of single event transient pulses from radiation-induced transient currents measured in a single mosfet: A simulation-based case study in bulk cmos logic circuits.
- [26] Kevin Klein Osowski. A spice engine for adding soft-errors on netlist.
- [27] N. Kaul. Simulation of seu transient in cmos ics. *IEEE Trans. on Electron Devices*, vol. 38, no. 6, pp. 1514-1520, 1991.
- [28] J.R Schwank. Effects of total dose irradiation on single-event upset hrdness. *IEEE Trans. on Nuclear Science*, vol. 53, no. 4, pp. 1772-1778, 2006.

- [29] Sammy Kayali. Space radiation effects on microelectronics.
- [30] H. Hatano. *Radiation hardened High performance CMOS VLSI circuit designs*.

# Índice de figuras

1.1.	<i>Acción de la dosis total de radiación ionizante en un aislante.</i>	9
1.2.	<i>Distintos tipos de ionización: Homogénea (a) y heterogénea (b).</i>	11
1.3.	<i>Definición de ángulo <math>\alpha</math> del haz con la dirección de mayor número de sucesos aislados.</i>	12
1.4.	<i>Se observa que es necesario un mínimo valor de LET y que la sección eficaz tiende asintóticamente a un valor.</i>	12
1.5.	<i>Dos transistores adyacentes en un circuito CMOS forman un diodo de cuatro capas o SCR parásito.</i>	14
1.6.	<i>Al atravesar una partícula ionizante la compuerta de un transistor MOS, crea una nube de partículas libres que cortocircuitan la compuerta y el canal. Esta corriente destruye al transistor.</i>	16
1.7.	<i>Microfotografía de un capacitor interno en un amplificador operacional OP27 después del paso de una partícula altamente ionizante.</i>	16
1.8.	<i>Mecanismo que produce un SEB. La partícula ionizante cortocircuita el drenador y la fuente destruyendo el transistor.</i>	18
1.9.	<i>Influencia de la polarización en un transistor NMOS sometido a radiación ionizante</i>	20
1.10.	<i>Evolución del voltaje umbral de un transistor PMOS sometido a dosis ionizante.</i>	21
2.1.	<i>Single event transient producido por una cierta radiación.</i>	24
2.2.	<i>Diagrama esquemático de la celda convencional.</i>	25
2.3.	<i>Modelo simplificado de la operación lectura de la celda convencional.</i>	25
2.4.	<i>Modelo simplificado de la operación escritura de la celda convencional.</i>	26
2.5.	<i>Layout de la celda convencional.</i>	27
2.6.	<i>Simulación de la de la operación escritura en la celda convencional.</i>	28
2.7.	<i>Diagrama esquemático de la celda HIT2.</i>	29
2.8.	<i>Modelo simplificado de la operación de lectura de la celda HIT2.</i>	30
2.9.	<i>Modelo simplificado de la operación de escritura de la celda HIT2.</i>	31
2.10.	<i>Layout de la celda HIT2.</i>	32

2.11. Simulación de la de la operación lectura en la celda HIT2. . . . .	33
2.12. Diagrama esquemático de la celda NUEVA. . . . .	34
2.13. Modelo simplificado de la operación de Escritura de la NUEVA celda. . . . .	36
2.14. Layout de la celda NUEVA. . . . .	37
2.15. Simulación de la operación de Escritura de la celda NUEVA. . . . .	38
3.1. Creación de pares electrón-hueco. . . . .	40
3.2. Modelo de un single event transient usando fuentes de corriente. a) n-hit y b) p-hit. . . . .	41
3.3. Forma típica de la colección de carga en una unión PN polarizada en in- versa. . . . .	42
3.4. Características del SET. . . . .	42
3.5. Nodos sensibles en la celda convencional. . . . .	43
3.6. Simualción de la celda convencional en el nodo $QN = 0$ . . . . .	45
3.7. Simualción de la celda convencional en el nodo $Q = 1$ . . . . .	45
3.8. Nodos sensibles en la celda HIT2 cuando $Q=0$ . . . . .	47
3.9. Nodos sensibles en la celda HIT2 cuando $Q=1$ . . . . .	48
3.10. Simualción de la celda HIT2 en el nodo $QN = 1$ . . . . .	50
3.11. Simualción de la celda HIT2 en el nodo $M = 0$ . . . . .	51
3.12. Multiples singles events transients en L y QN. . . . .	51
3.13. Nodos sensibles en la celda NUEVA cuando $Q = 0$ . . . . .	54
3.14. Nodos sensibles en la NUEVA celda cuando $Q = 1$ . . . . .	55
3.15. Simulación de la celda NUEVA en el nodo $Q = 0$ . . . . .	57
3.16. Simulación de la celda NUEVA en el nodo $QN = 0$ . . . . .	58
3.17. Multiples single event transient en Q y QN. . . . .	59
4.1. Símbolo del archivo de extracción. . . . .	62
4.2. Simulación de la operación Escritura. . . . .	62
4.3. Simulación de un SET en $QN = 1$ . . . . .	63
4.4. Simulación de un SET en $QN = 0$ . . . . .	64
4.5. Símbolo del archivo de extracción. . . . .	65
4.6. Simulación de la operación Escritura. . . . .	66
4.7. Simulación de un SET en QN. . . . .	67
4.8. Simulación de un SET en U. . . . .	68
4.9. Simulación de un SET en S. . . . .	69
4.10. Simulación de un SET en M. . . . .	70
4.11. Simulación de un SET en L. . . . .	71
4.12. Simulación de múltiples SET's en M-L. . . . .	72
4.13. Tiempo de recuperación para el nodo QN. . . . .	73
4.14. Símbolo de la celda NUEVA. . . . .	76

4.15. Simulación de la operación <i>Escritura</i> . . . . .	77
4.16. Simulación de un <i>SET</i> en 1. . . . .	79
4.17. Simulación de un <i>SET</i> en 2. . . . .	80
4.18. Simulación de un <i>SET</i> en $Q$ . . . . .	81
4.19. Simulación de un <i>SET</i> en $QN$ . . . . .	82
4.20. Múltiples <i>SET</i> 's en $Q$ y $QN$ . . . . .	83
4.21. Tiempo de recuperación para el nodo $Q$ . . . . .	84
5.1. Nodos sensibles en la celda convencional. . . . .	87
5.2. Nodos sensibles en la celda <i>HIT2</i> cuando $Q=0$ . . . . .	88
5.3. Nodos sensibles en la <i>NUEVA</i> celda cuando $Q = 1$ . . . . .	89