



**INAOE**

**ANÁLISIS E IMPLEMENTACIÓN  
DE UNA CELDA BÁSICA  
CNN/PWL**

**Por**

**Williams Ortiz Martínez.**

**Tesis sometida como requisito parcial  
para obtener el grado de**

**MAESTRO EN CIENCIAS EN LA  
ESPECIALIDAD DE ELECTRONICA**

**en el**

**Instituto Nacional de Astrofísica,  
Óptica y Electrónica**

**Agosto 2007**

**Tonantzintla, Puebla**

**Supervisada por:**

**Dr. Luis Hernández Martínez.  
INAOE**

**©INAOE 2007**

**Derechos Reservados**

**El autor otorga al INAOE el permiso de reproducir  
y distribuir copias de esta tesis en su totalidad o en  
partes.**



*ANÁLISIS E IMPLEMENTACIÓN  
DE UNA CELDA BÁSICA  
CNN/PWL*

*por*

*Williams Ortiz Martínez.*

Supervisada por:

Dr. Luis Hernández Martínez.

Agosto 2007



*A mi madre:  
Jovita Martínez Chavez.*

*A:  
Miriam Roque Delgado.*



# *Agradecimientos*

## *A DIOS*

*Por ser mi señor y creador, por que todo lo que he logrado es gracias a Él; pues sin Él nada es posible. Por que siempre ha estado a mi lado para cuidarme e inspirarme.*

## *A mi madre: Jovita Martínez Chavez.*

Por que es mi guía en este mundo, y la persona que más ha influido en toda mi vida, motivándome siempre a seguir adelante, por todo el amor, apoyo y comprensión que siempre me ha brindado.

## *A mi hermano: Hugo Misael Alvarez Martínez.*

Por ser alguien muy importante en mi vida. Por su ejemplo de constancia, amor y respeto. Gracias por creer en mi y dejarme ser parte de tu vida.

## *A mi Familia.*

Quienes siempre han estado a mi lado, apoyándome y motivándome con palabras de aliento para seguir adelante luchando por ser mejor hoy y siempre, y por todos los momentos que hemos compartido.

## *A mis amigos y compañeros del INAOE.*

Por su valiosa amistad y compañía, por haber compartido juntos grandes momentos de alegrías, satisfacciones y desvelos durante la maestría, pero sobre todo por el gran apoyo que siempre me brindaron.

---

***A mi Asesor: Dr. Luis Hernández Martínez.***

Por que no pude haber encontrado mejor asesor, quien me ha brindado un gran apoyo durante el desarrollo de este trabajo. Por darme la oportunidad de trabajar con él en este tema de investigación. Por su orientación, confianza y paciencia, pero sobre todo gracias por brindarme su amistad y permitirme ser su amigo.

***Al Dr. Alejandro Díaz Sanchez.***

Por todas sus enseñanzas y por ser pieza fundamental en mi aprendizaje en este amplio mundo del diseño de circuitos integrados. Por todo el apoyo que me brindó para el desarrollo de este trabajo de investigación.

***Al Dr. Arturo Sarmiento Reyes.***

Por su valioso tiempo, por sus enseñanzas y por todo su apoyo moral y económico a través de la coordinación de Electrónica.

***A mis profesores del INAOE.***

Por haber estado ahí para enseñarme cosas nuevas e interesantes, por sus conocimientos transmitidos, y por ser parte fundamental de mi aprendizaje. Gracias por la amistad que me han brindado y por ser parte de mi formación.

***Al Instituto Nacional de Astrofísica, Óptica y Electrónica (INAOE).***

Por se la institución que me brindó la oportunidad de estudiar mi maestría, mostrando siempre un ambiente de tranquilidad y armonía, donde la investigación es un arte y motivo de orgullo.

***Al Consejo Nacional de Ciencia y Tecnología (CONACyT).***

Por su apoyo y manutención a través de la beca de estudios de maestría **203814**

# *Resumen*

El presente trabajo trata del diseño e implementación de una celda básica para una Red Celular No lineal/Neuronal conocida como CNN por sus siglas en ingles (*Cellular Neural Nonlinear/Network*), identificando su respuesta no lineal mediante la técnica PWL (Piecewise- linear).

Una CNN es un arreglo N-Dimensional de varios sistemas dinámicos idénticos llamados celdas, las cuales se encuentran interconectadas entre ellas, cuyas variables de estado son señales de valor continuo y están localizadas dentro de un radio finito. Desde su aparición en 1988 por Leon O. Chua y L. Yang, se han desarrollado una gran cantidad de estudios sobre este modelo y sus aplicaciones, pero su principal aplicación ha sido en el procesamiento digital de imágenes.

Se presenta el diseño de una celda básica con elementos reales cuyo funcionamiento es similar al obtenido en las herramientas de computo. Se describen las tres etapas que conforman la celda, comenzando por su descripción, principio de funcionamiento y caracterización. Diseñándola de manera ideal y con elementos reales, comparando los resultados obtenidos e identificando sus ventajas.

Se propone el circuito eléctrico para el diseño de la celda básica, que exhibe un buen funcionamiento, usando corrientes de polarización bajos, con transistores pequeños y con una baja impedancia. Se presenta el diseño de una celda básica de manera ideal y de manera real, haciendo uso de amplificadores de transconductancia (OTA 's) y de espejos de corriente, utilizando la tecnología CMOS de 0.5 micras.

Finalmente, el objetivo principal de este trabajo se centra en demostrar que la CNN se puede diseñar e implementar de manera real y no solo de manera simulada, con buenos resultados y con amplias posibilidades de obtener nuevos diseños y nuevas aplicaciones.





# Índice general

<b>1. Introducción.</b>	<b>2</b>
1.1. Motivaciones. . . . .	4
1.2. Conceptos Básicos. . . . .	5
1.2.1. Sistemas no lineales en ingeniería. . . . .	5
1.2.2. Funciones PWL. . . . .	7
1.2.3. Importancia de la CNN. . . . .	8
1.2.4. Definiciones de Chua-Yang . . . . .	9
1.3. Descripción de una celda. . . . .	10
1.3.1. Circuito típico de una celda. . . . .	13
1.4. Objetivo de la tesis . . . . .	16
1.5. Contribución . . . . .	16
1.6. Organización de la tesis . . . . .	17
1.7. Conclusiones . . . . .	17
<b>2. Características de las CNN's</b>	<b>18</b>
2.1. Interconexiones . . . . .	19
2.2. Rango dinámico . . . . .	20
2.3. Aplicaciones básicas . . . . .	21
2.4. Descripción de la CNN . . . . .	22
2.4.1. Funciones de Salida. . . . .	24
2.4.2. Arreglos de entradas. . . . .	25
2.5. Arquitecturas . . . . .	25
2.5.1. Multinested CNN . . . . .	26
2.5.2. Simplicial CNN . . . . .	28

2.6. Conclusiones . . . . .	30
<b>3. Comportamiento de una CNN</b>	<b>32</b>
3.1. Etapa de entrada . . . . .	33
3.1.1. Operadores máximo y mínimo para la etapa de entrada . . . . .	34
3.1.2. Circuito en modo voltaje WTA para la etapa de entrada . . . . .	36
3.2. Etapa de estado . . . . .	38
3.3. Etapa de salida . . . . .	39
3.4. Diseño ideal de la celda básica . . . . .	40
3.5. Modelo ideal . . . . .	42
3.6. Simulación de la celda . . . . .	44
3.6.1. Simulación con Matlab . . . . .	44
3.6.2. Simulación en H-Spice. . . . .	45
3.7. Simulación de dos celdas . . . . .	46
3.7.1. Simulación de dos celdas con Matlab . . . . .	46
3.7.2. Simulación de dos celdas con H-Spice . . . . .	47
3.8. Resultados obtenidos . . . . .	48
3.8.1. Celda unica ideal en Matlab . . . . .	48
3.8.2. Celda unica ideal en H-Spice . . . . .	49
3.8.3. Comparación entre Matlab y H-Spice . . . . .	51
3.8.4. Arreglo de dos celdas en Matlab . . . . .	52
3.8.5. Arreglo de dos celdas en H-Spice . . . . .	53
3.9. Conclusiones . . . . .	55
<b>4. Diseño de la celda básica</b>	<b>56</b>
4.1. Estructura del diseño . . . . .	57
4.2. Diseño de la etapa de entrada . . . . .	58
4.2.1. Gráficas de la etapa de entrada . . . . .	60
4.3. Diseño de la etapa de estado . . . . .	63
4.3.1. Relaciones de diseño . . . . .	65
4.3.2. Gráfica resultante de la etapa de estado . . . . .	66
4.4. Diseño de la etapa de salida . . . . .	67

4.4.1.	Características de los espejos de corriente . . . . .	67
4.4.2.	Diseño del espejo PWL en la parte negativa . . . . .	70
4.4.3.	Diseño del espejo PWL en la parte positiva . . . . .	71
4.4.4.	Circuito completo y gráfica final de la etapa de salida . . . . .	72
4.5.	Diseño de la celda completa . . . . .	74
4.5.1.	Gráfica final en D.C. de la celda básica . . . . .	75
4.6.	Análisis transitorio . . . . .	77
4.6.1.	Respuesta de la celda con una señal de entrada a 10 Kkhz . . . . .	78
4.6.2.	Respuesta de la celda con una señal de entrada a 100 kHz . . . . .	79
4.6.3.	Respuesta de la celda con una señal de entrada a 1 MHz . . . . .	80
4.7.	Ventajas de la celda diseñada . . . . .	81
4.8.	Conclusiones . . . . .	82
<b>5.</b>	<b>Conclusiones</b>	<b>84</b>
5.1.	Conclusiones . . . . .	84
5.2.	Trabajo a futuro . . . . .	85
<b>A.</b>	<b>Netlist para el diseño de la celda básica ideal</b>	<b>90</b>
<b>B.</b>	<b>Netlist para el diseño de una celda básica real.</b>	<b>92</b>

# Índice de figuras

1.1. Métodos de aproximación para funciones no lineales . . . . .	3
1.2. Circuito típico de una celda y la función PWL para la etapa no lineal . . . . .	5
1.3. Función PWL en tres segmentos . . . . .	7
1.4. Esquema básico de la estructura de una CNN en dos y tres dimensiones . . . . .	8
1.5. Circuito de la celda básica de una CNN . . . . .	10
1.6. Arreglo simple cuadrado de celdas idénticas . . . . .	10
1.7. Estructura de una CNN . . . . .	11
1.8. Diversos vecindarios en dos dimensiones de una CNN. . . . .	12
1.9. Circuito Típico de una Celda . . . . .	13
1.10. Respuesta ideal de la fuente no lineal . . . . .	14
2.1. Diagrama a bloques de una celda en tiempo continuo . . . . .	20
2.2. Funciones de salida no lineales de la CNN . . . . .	24
2.3. Vecindario de Von Neumann . . . . .	26
2.4. Arreglo cuadrado de 3x3 . . . . .	28
2.5. Arreglo cuadrado de 3x3 . . . . .	29
2.6. Función simplicial PWL . . . . .	29
3.1. Diagrama a bloques de una celda básica CNN . . . . .	32
3.2. Etapa de entrada de la celda básica . . . . .	33
3.3. Estructuras del WTA: a)Complejidad cuadrática. b)Complejidad lineal. . . . .	35
3.4. Circuitos seguidores de voltaje para el WTA . . . . .	36
3.5. Etapa de estado de la celda básica . . . . .	38
3.6. Etapa de salida de la celda básica . . . . .	39
3.7. Estructura de la simulación y análisis de resultados de la celda básica ideal . . . . .	41

3.8. Circuito típico de la celda básica . . . . .	42
3.9. Celda ideal simplificada . . . . .	43
3.10. Arreglo de dos celdas . . . . .	47
3.11. Señal de salida en MATLAB . . . . .	48
3.12. Señal de entrada para la celda ideal . . . . .	49
3.13. Señal en la etapa de estado de la celda ideal . . . . .	50
3.14. Señal de salida de la celda ideal . . . . .	51
3.15. Señal de salida del arreglo de dos celdas . . . . .	52
3.16. Señal en la etapa de estado de la segunda celda . . . . .	53
3.17. Señal de salida de la segunda celda . . . . .	54
4.1. Estructura del diseño y verificación de resultados para la celda básica . . . . .	57
4.2. Modelo del diseño del WTA para la etapa de entrada . . . . .	58
4.3. Circuito a nivel transistor para dos entradas a un nodo común . . . . .	59
4.4. Primera señal de entrada al nodo común . . . . .	60
4.5. Segunda entrada al nodo común . . . . .	61
4.6. Señal de salida del WTA . . . . .	61
4.7. Señales del WTA . . . . .	62
4.8. Símbolo del OTA en la etapa de estado y su circuito equivalente . . . . .	63
4.9. Esquemático de un OTA simétrico . . . . .	64
4.10. Curva característica del OTA (Función tangente hiperbólica) . . . . .	66
4.11. Circuito Equivalente ideal de un espejo de corriente . . . . .	67
4.12. Implementación simple a nivel transistor del espejo de corriente . . . . .	68
4.13. Circuito del espejo de corriente PWL, para la parte negativa . . . . .	70
4.14. Respuesta del espejo de corriente PWL, para la parte negativa . . . . .	70
4.15. Circuito del espejo de corriente PWL, para la parte positiva . . . . .	71
4.16. Respuesta del espejo de corriente PWL, para la parte positiva . . . . .	71
4.17. Circuito completo del espejo de corriente PWL . . . . .	72
4.18. Señal de salida del espejo de corriente PWL . . . . .	73
4.19. Circuito completo de la celda básica de la CNN/PWL . . . . .	74
4.20. Señal de salida de la celda básica de la CNN/PWL . . . . .	75
4.21. Señal de salida de la celda básica de la CNN/PWL . . . . .	76

---

4.22. Salida de la celda básica para una frecuencia de 10 kHz. . . . .	78
4.23. Salida de la celda básica para una frecuencia de 100 kHz . . . . .	79
4.24. Salida de la celda básica para una frecuencia de 1 MHz . . . . .	80

# Capítulo 1

## Introducción.

Los sistemas no lineales juegan un papel importante en nuestra vida, ya que todo lo que nos rodea tiene algún tipo de alinealidad (su comportamiento no es continuo y es variante con el tiempo). Por tanto es importante entender que son y cual es la mejor manera de estudiarlos. Generalmente se busca la forma de linealizarlos, para de esta manera saber cual es su comportamiento, y poder así desarrollar modelos matemáticos sencillos que representen a estos sistemas no lineales.

Ejemplos comunes de sistemas no lineales los vemos todo el tiempo, por citar algunos tenemos: el crecimiento de una población, la forma que puede tomar una mancha de aceite en el agua, el comportamiento del humo de un cigarro, etc.

En este trabajo de investigación nos enfocaremos en el estudio e identificación de los **circuitos no lineales**, los cuales tienen entre sus principales características el uso de modelos matemáticos complejos que pueden generar diferentes comportamientos que son conocidos como bifurcación y caos. También, pueden tener múltiples puntos de equilibrio aislados que pueden ser estables o inestables, por lo que se considera que son más complejos en su estudio y en su modelado, y a diferencia de los circuitos lineales su comportamiento no es fácil de predecir. En la actualidad son cada vez más estudiados, y esto se debe a su gran variedad de aplicaciones en diversas áreas. Por ejemplo, estos circuitos son utilizados para procesamiento digital de imágenes ó encriptación de señales, cuyo funcionamiento puede ser descrito mediante ecuaciones diferenciales no lineales.



Por tanto, para estudiar a los sistemas y circuitos no lineales de una manera sencilla, es necesario utilizar las llamadas **técnicas de linealización**, entre las cuales destacan los métodos de aproximación polinomial, la función arcotangente, y funciones piecewise linear (PWL) ó aproximación por trozos, como se observa en la figura 1.1.

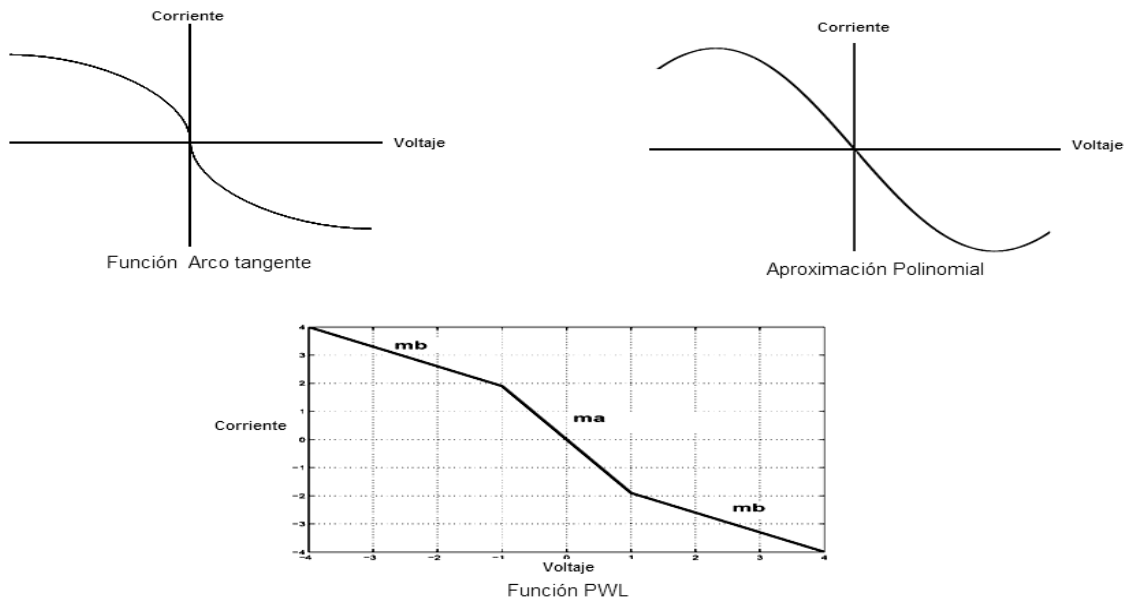


Figura 1.1: Métodos de aproximación para funciones no lineales

Esta última es una técnica usada para aproximar el comportamiento de una función no lineal, consiste en transformarla en funciones lineales por segmentos, donde cada segmento puede ser identificado por una ecuación de recta. Estas ecuaciones tienen más sentido para nosotros y disponemos de herramientas de álgebra lineal que nos permiten resolver estos problemas.

El presente trabajo trata del diseño e implementación de una Red Celular No lineal/Neuronal conocida como CNN por sus siglas en inglés (*Cellular Neural Nonlinear/Network*). Así mismo, se presenta el diseño de una celda básica de manera ideal y de manera real, haciendo uso de amplificadores de transconductancia (OTAS) y de espejos de corriente, y utilizando la tecnología CMOS de 0.5 micras. Se identificará su respuesta **no lineal** mediante la técnica PWL (Piecewise-linear). Y se analizarán las ecuaciones que modelan su comportamiento para así poder tener un completo control del funcionamiento de la celda. Los modelos usados son parte de la investigación realizada por Chua y Yang en su artículo sobre la teoría de las redes celulares no lineales [1],[22].

## 1.1. Motivaciones.

Los circuitos no lineales han demostrado ser de gran utilidad en diversas aplicaciones y en diferentes áreas como la de teoría de circuitos. Debido a su complejidad para ser estudiados, generalmente recurrimos a las funciones PWL para linealizarlos en pequeños segmentos.

El uso de las funciones PWL se debe principalmente a la simplicidad de su estructura, la cual es lineal en cada región del dominio, por tanto con esta técnica podemos linealizar cualquier función no lineal en tantos segmentos como nosotros queramos, donde cada segmento puede ser visto como una ecuación de recta. De este modo podemos transformar una ecuación no lineal a un sistema de ecuaciones lineales.

Además, las funciones PWL han probado ser de gran utilidad en el modelado y análisis de sistemas no lineales. Sus aplicaciones en el área de teoría de circuitos con elementos de características altamente no lineales incluyen la solución de redes y ecuaciones, la caracterización y modelado de dispositivos electrónicos, el análisis y síntesis de circuitos, así como el desarrollo de herramientas asistidas por computadora, entre otras [5],[26].

Un factor importante que motiva al estudio, diseño y uso de las CNN's es principalmente su diversidad de aplicaciones: Procesamiento de imágenes, reconocimiento de caracteres escritos, identificación de falsificaciones, robots automatizados y sistemas de control (visión artificial y sensores de presión, temperatura, gas, etc.), clasificación de las señales de radar, encriptación de señales, diseño de osciladores, sistemas de voz y video, en sistemas de comunicaciones.

En este capítulo se describirán los conceptos básicos de las redes celulares no lineales, su comportamiento, los circuitos y las funciones que la representan. Así también se identificarán las ecuaciones básicas que modelan a la CNN y los diseños propuestos para su análisis.

## 1.2. Conceptos Básicos.

Para entender que son las redes neuronales y su comportamiento, es necesario entender como están formadas y cuales son sus características principales. También debemos identificar que son las funciones PWL, y su uso en los sistemas no lineales. En la figura 1.2 se muestra la estructura de una red neuronal completa y el circuito eléctrico de cada celda.

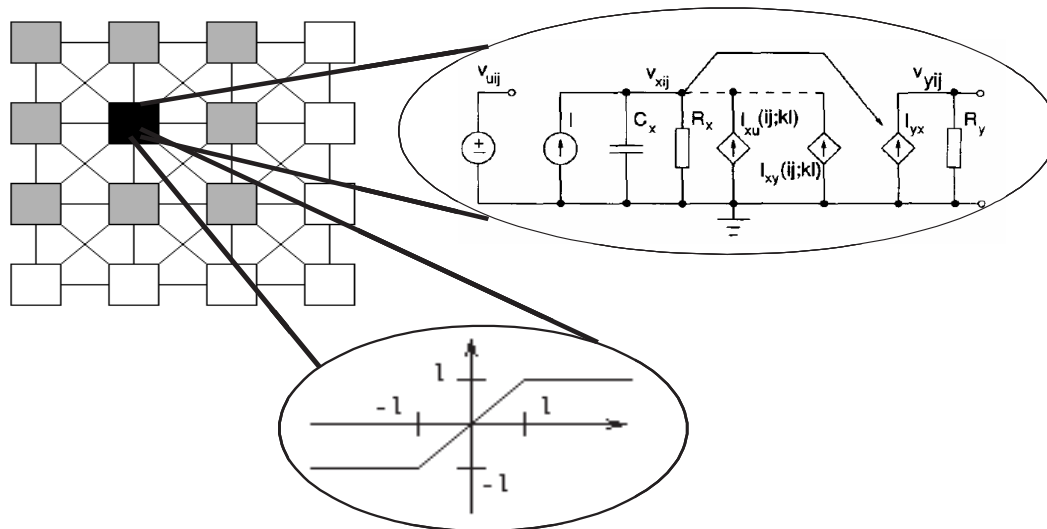


Figura 1.2: Circuito típico de una celda y la función PWL para la etapa no lineal

### 1.2.1. Sistemas no lineales en ingeniería.

La teoría de los sistemas lineales se ha utilizado extensivamente en ingeniería para modelar y controlar el comportamiento de sistemas dinámicos. Por lo tanto, ¿cuál sería la razón de estudiar sistemas no lineales en lugar de los sistemas lineales?. Una razón importante es que la dinámica de los sistemas lineales no es lo suficientemente apropiada para describir muchos fenómenos observados comúnmente, entre los cuales destacan, aquellos que presentan cualquiera de las siguientes características:

- Múltiples puntos de equilibrio o puntos de operación.
- Comportamiento periódico de las variables de estado o ciclo limite.
- Bifurcación.
- Caos.

El estudio del comportamiento de los sistemas no lineales, se ha convertido en un campo interdisciplinario de la ciencia incluyendo la física, las matemáticas y otras.

Desde un punto de vista de la ingeniería, su objetivo principal consiste en intentar descubrir nuevas aplicaciones para estos sistemas, más allá del hecho de la simple curiosidad sobre estos fenómenos.

En muchas disciplinas de la ingeniería, en el pasado las no linealidades fueron vistas como algo que tenía que ser evitado; por mencionar algunos ejemplos: en sistemas de control y diseño de circuitos eléctricos, la validez de las teorías lineales podían ser destruidas completamente por las no linealidades, o de otra manera, se encontraba restringido a las regiones locales en el espacio de estado o a los puntos de operación específicos.

Pero, en los últimos años, se han reconocido los aspectos positivos de los sistemas no lineales, que permiten desarrollar nueva información para el procesamiento de sistemas, por tanto, desde un punto de vista matemático, es necesario el estudio de las no linealidades para asegurar obtener diseños confiables de los sistemas basados en fenómenos no lineales.

Por mencionar una aplicación importante de los sistemas no lineales, podemos considerar la red de Hopfield, la cual se utiliza para las memorias asociativas, las redes neuronales transitorias caóticas, comunicación en sistemas caóticos, entre muchas otras. Estas aplicaciones utilizan múltiples puntos de equilibrios, fenómenos de bifurcación, sincronización y comportamiento dinámico complejo [4].

Para las memorias asociativas, los puntos de equilibrio de la red de Hopfield corresponden a varios patrones que se deben almacenar y memorizar. Las redes neuronales transitorias caóticas utilizan fenómenos de bifurcación, de tal manera que la red puede buscar el grado óptimo global para la optimización de un problema dado. En las comunicaciones de sistemas caóticos, una señal caótica se utiliza como portador para la transmisión de información y la sincronización de los métodos que se utilizan para recuperar la información del portador. Por tanto los fenómenos antes mencionados se consideran como métodos para solucionar problemas de ingeniería, y existe una necesidad de utilizar a estos sistemas no lineales y sus ecuaciones que los describen para poderlos tratar adecuadamente.

### 1.2.2. Funciones PWL.

Debido a la naturaleza no lineal de los componentes en un circuito eléctrico, los sistemas electrónicos son no lineales. Así, para poder analizar estas redes con un simulador de circuitos, primero se debe modelar el comportamiento no lineal de los componentes.

Una técnica usada para aproximar el comportamiento de una función no lineal consiste en transformarla en funciones lineales por segmentos, donde cada segmento puede ser visto como una ecuación de recta. Estas ecuaciones son más fáciles de manipular y disponemos de herramientas de álgebra lineal que nos permiten resolver estos problemas. A este tipo de aproximación se le conoce como piecewise-linear (PWL) o aproximación por trozos.

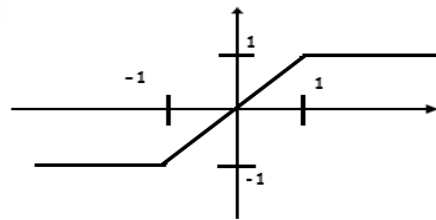


Figura 1.3: Función PWL en tres segmentos

Una función PWL es una colección de funciones lineales afines, por tanto, en muchos casos, las herramientas de sistemas lineales pueden ser adaptadas para ser usadas con sistemas PWL [2].

Las funciones PWL han sido ampliamente usadas en el campo de los circuitos y sistemas, particularmente en la resolución de ecuaciones generales de redes no lineales, en la caracterización y modelado de dispositivos electrónicos, también, en el análisis y síntesis de circuitos y sistemas con dinámica compleja incluyendo fenómenos como: oscilaciones, bifurcaciones y caos. En suma, durante los últimos 20 años, las técnicas PWL han sido extendidas a las áreas de: estabilidad, identificación y control de sistemas no lineales.

Las funciones PWL pueden ser usadas para representar modelos no lineales y son convenientes para metodologías sistemáticas con diversas características.

### 1.2.3. Importancia de la CNN.

El término CNN fue introducido por primera vez en 1988 por Leon O. Chua, en su artículo Cellular Neural Networks: Theory. [1]

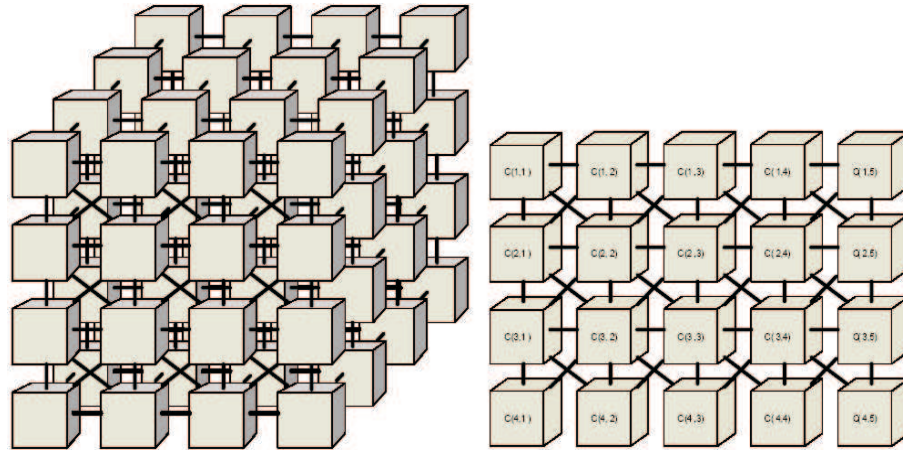


Figura 1.4: Esquema básico de la estructura de una CNN en dos y tres dimensiones

De acuerdo a la literatura se determina que una CNN es un arreglo N-Dimensional principalmente de muchos sistemas dinámicos idénticos, llamados celdas, las cuales satisfacen dos propiedades, que podemos expresar de la siguiente manera:

1. La mayoría de las interacciones son localizados dentro de un radio finito  $r$ .
2. Todas las variables de estado son señales de valor continuo.

Por tanto podemos definir que una CNN es un circuito análogo no lineal que procesa señales en tiempo real y está hecho de un agregado masivo de circuitos reproducidos a espacios regulares, llamadas celdas, las cuales se pueden comunicar directamente sólo con sus vecinos más cercanos, y mediante propagación dinámica con las demas celdas que no la rodean directamente [1].

Como se observa en la figura 1.4, las Redes Celulares Neuronales(CNN) son un grupo masivo paralelo de celdas idénticas interconectadas, definido en espacios discretos N dimensionales.

Desde su aparición en 1988, las Redes Celulares Neuronales (CNN's) [1][2], han mostrado dos propiedades fundamentales que hacen de este modelo, el apropiado para aplicaciones de Procesamiento Digital de Imágenes (PDI): el carácter local de las conexiones entre neuronas vecinas, y la programabilidad de los parámetros que definen la red.

Las CNN's pueden considerarse como un modelo especial de las redes discretas de Hopfield [4], en el cual el número de conexiones se ve drásticamente reducido a las neuronas más cercanas. Esto ha posibilitado el desarrollo de algunas implementaciones en circuito VLSI de CNN. La característica programable de sus parámetros incide en la fácil adaptación y reutilización de la estructura para tareas completamente independientes. Además, cabe reseñar la evidencia biológica hallada para este tipo de redes: una CNN puede simular varias partes del sistema nervioso de la retina humana, principalmente las estructuras del córtex primario [6].

Todo lo anterior justifica el gran interés de la comunidad científica por estas redes, con vistas a su aplicación en sistemas de Visión Artificial o similares.

#### 1.2.4. Definiciones de Chua-Yang

Chua y Yang definieron a las CNN's de la siguiente manera[1]:

- Una CNN es un arreglo regular N dimensional de elementos llamados celdas.
- La rejilla de la celda puede ser un arreglo plano con geometría rectangular, triangular o hexagonal, a 2 o 3 dimensiones.
- Las celdas son procesadores de múltiples entradas con una única salida, descritas todas por unos cuantos parámetros funcionales.
- Una celda es caracterizada por una variable de estado interna, y que algunas veces no es directamente observable fuera de la celda por si misma.
- Más de una conexión en red puede estar presente, con diversos tamaños de la vecindad.
- Un sistema dinámico del CNN puede funcionar en ambas maneras: En el tiempo continuo (CT-CNN) o discreto (DT-CNN); Los datos y los parámetros del CNN son valores típicamente continuos; la CNN funciona típicamente con más de una iteración, es decir, son redes recurrentes.

### 1.3. Descripción de una celda.

La unidad básica del circuito de CNNs se llama celda y contiene elementos lineales y no lineales, que son típicamente: Capacitores lineales, resistores lineales, fuentes controladas lineales y no lineales, y las fuentes independientes. Además, todas las celdas de una CNN contienen los mismos elementos y la misma estructura de circuito (vea la fig 1.5).

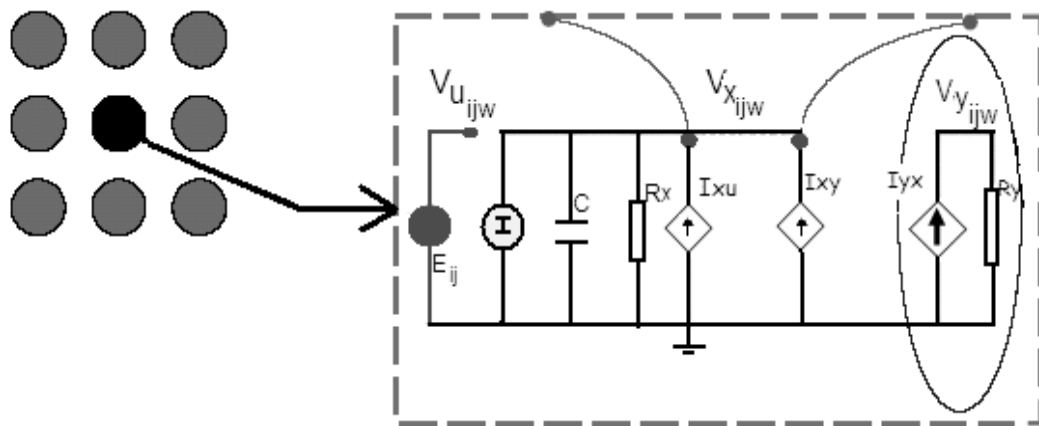


Figura 1.5: Circuito de la celda básica de una CNN

La idea de una CNN es emplear un arreglo simple, de celdas no lineales idénticas, conectadas localmente, para formar un sistema de procesamiento de señales a gran escala (fig 1.6).

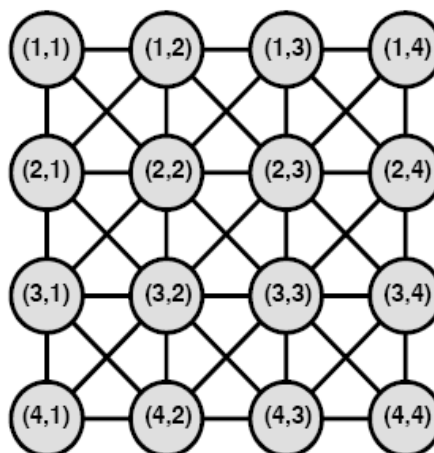


Figura 1.6: Arreglo simple cuadrado de celdas idénticas



La CNN está conectada solamente con sus celdas vecinas, de este forma, las celdas adyacentes pueden interactuar directamente con las otras. Las celdas que no están conectadas directamente pueden ser afectadas indirectamente debido a los efectos de la propagación dinámica de las CNNs.

Las conexiones entre celdas pueden ser de dos maneras: DIRECTA O INDIRECTA, es decir:

Conexión directa: **CELDA - CELDA**

Conexión indirecta: **CELDA - PROPAGACIÓN DINÁMICA - CELDA**

Cada celda es influenciada por un número limitado de celdas en su ambiente. La forma de las conexiones entre las unidades es la diferencia principal entre CNNs y otras redes neuronales.

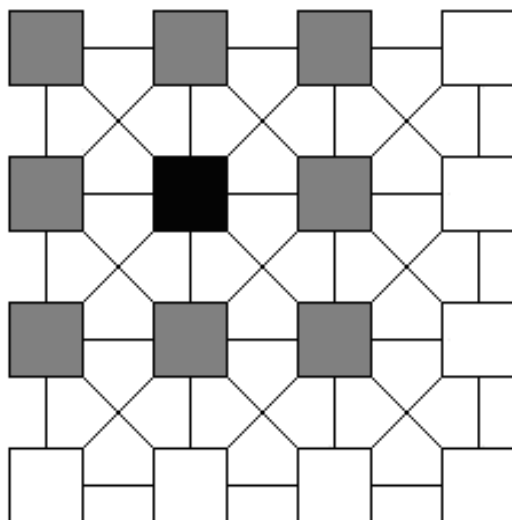


Figura 1.7: Estructura de una CNN

La figura 1.7 muestra la celda acentuada (negro) conectada con los vecinos más cercanos (grises).

Las celdas marcadas en gris representan la vecindad de la celda negra. La vecindad incluye a la propia celda negra. Esto se llama una vecindad de 3 x 3. De la misma manera podemos definir vecindades de celdas de 5x5, de 7x7, etc. En la figura 1.8 se muestran

vecindades cuadradas de celdas de diferentes dimensiones, las cuales sirven para desarrollar las conocidas redes celulares neuronales (CNN's)

Se identifica el tamaño de la vecindad por  $r$ . Así, cuando  $r=1$ , estamos tratando con una vecindad de  $3 \times 3$ ; si  $r=2$ , la vecindad es de  $5 \times 5$ .

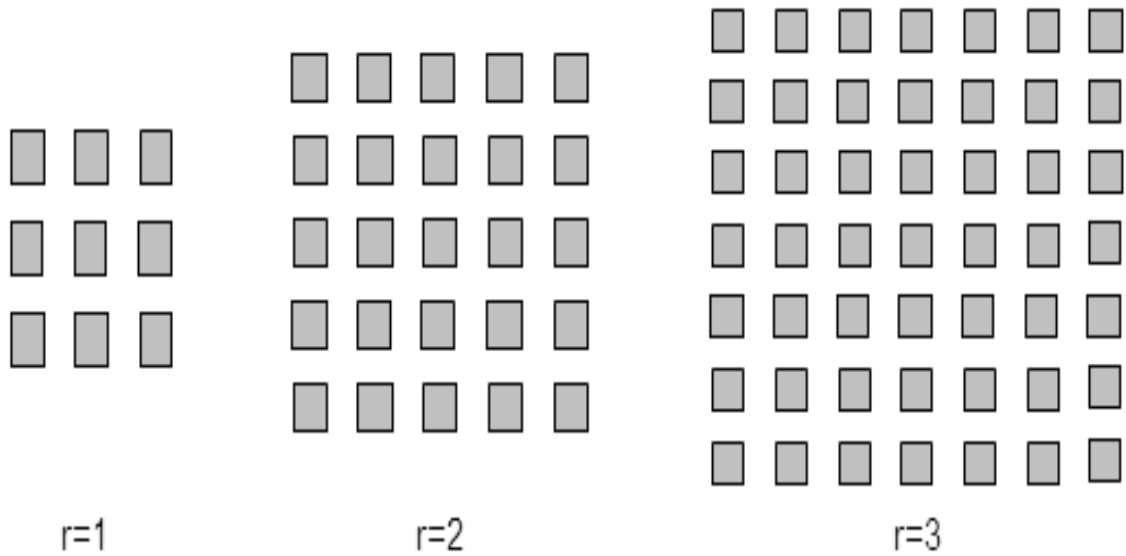


Figura 1.8: Diversos vecindarios en dos dimensiones de una CNN.

Por tanto la relación matemática, que define al número de celdas de la vecindad, en términos de  $r$  es:

$$\text{Num. de celdas} = (2r + 1)^2 \quad (1.1)$$

El vecindario  $r$  de una celda  $C(i,j)$  está definido por:

$$\mathbf{N}_r(\mathbf{i}, \mathbf{j}) = [C(k, l) \mid \max(|k - i|, |l - j|) \leq r \quad 1 \leq k \leq M; 1 \leq l \leq N] \quad (1.2)$$

### 1.3.1. Circuito típico de una celda.

El circuito típico de una celda en una CNN, se muestra en la figura 1.9.

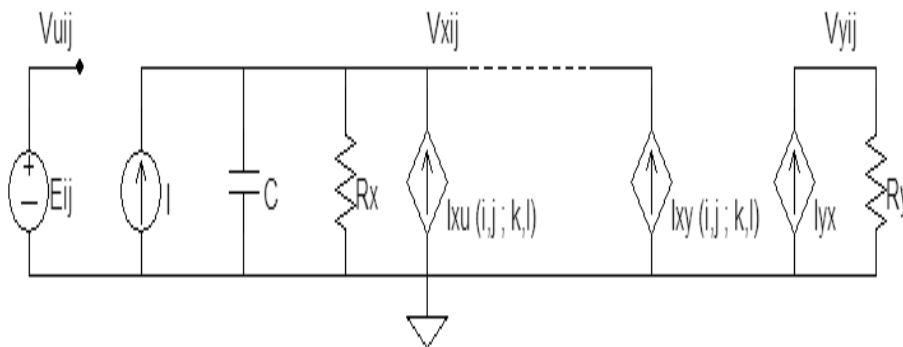


Figura 1.9: Circuito Típico de una Celda

Este circuito muestra una celda desde el punto de vista ideal, considerando los siguientes elementos:

- Una fuente de voltaje independiente ( $E_{ij}$ ) como entrada.
- Una fuente de corriente independiente ( $I$ ).
- A lo mas 2m fuentes de corriente controladas por voltaje lineales,  $I_{xy}(i,j;k,l)$  e  $I_{xu}(i,j;k,l)$ .
- Una fuente de corriente controlada por voltaje (Salida).
- Un capacitor ( $C$ ).
- Dos resistores lineales ( $R_x$  y  $R_y$ ).

El único elemento no lineal que existe en cada celda es una fuente de corriente controlada por voltaje, la cual es lineal a trozos con la siguiente ecuación característica:

$$I_{YX} = (1/R_Y)(V_{xi,j}) \quad (1.3)$$

Y la función que se obtiene para este elemento no lineal empleando PWL, es la que se muestra en la figura 1.10.

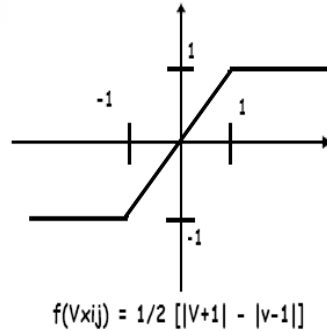


Figura 1.10: Respuesta ideal de la fuente no lineal

Las ecuaciones que describen a la celda básica aplicando KCL y KVL, son la que se muestran a continuación:

ECUACIÓN DE ESTADO:

$$\mathbf{C} \frac{d\mathbf{v}_{xij}(t)}{dt} = -\frac{1}{R_x} v_{xij}(t) + \sum A(i, j; k, l) v_{ykl}(t) + \sum B(i, j; k, l) v_{ukl}(t) + I \quad (1.4)$$

ECUACIÓN DE SALIDA:

$$\mathbf{v}_{yij}(t) = \frac{1}{2} (|v_{xij}(t) + 1| - |v_{xij}(t) - 1|) \quad (1.5)$$

ECUACIÓN DE ENTRADA:

$$\mathbf{v}_{uij} = E_{ij} \quad (1.6)$$

CONDICIONES DE LA SEÑALES:

$$|\mathbf{v}_{xij}(0)| \leq 1 \quad |\mathbf{v}_{uij}| \leq 1 \quad (1.7)$$

Para  $1 \leq i \leq M ; 1 \leq j \leq N$

- Donde  $\mathbf{C}$  es un condensador de entrada, que tiene el mismo valor en cada una de las celdas.
- $\mathbf{R}_x$  es la resistencia de entrada al circuito.
- $\mathbf{I}$  es la corriente de polarización de entrada, también igual para todas las celdas, que actúa como un umbral para la actividad neuronal.
- $\mathbf{V}_{xij}(\mathbf{t})$  describe la actividad celular.
- $\mathbf{V}_{yij}(\mathbf{t})$  es la salida de la red.
- $\mathbf{u}$  es la entrada constante externa a la red.
- $\mathbf{B}$  y  $\mathbf{A}$  son matrices de conectividad que describen respectivamente el tipo de actividad a realizar con **la señal de entrada  $\mathbf{u}$**  (filtrado de control) y **la señal de salida  $\mathbf{y}$**  (filtrado de realimentación).

**La ecuación (1.4)** describe la actividad de la celda, siendo  $\mathbf{A}$  y  $\mathbf{B}$  a menudo simétricas. En muchos casos  $B_{ij} = 0$ , por lo que la matriz de condiciones iniciales de la ecuación diferencial (1.4) se toma como una entrada a la red.

**La ecuación (1.5)** representa la salida de la red que es una función lineal a tramos, aunque se puede considerar también una función sigmoide o de base radial [3].

Todas las celdas tienen el mismo esquema sináptico con valores fijos: la llamada plantilla de clonación, la cual tiene un campo de acción determinado por la ecuación (1.2), que define el entorno de cada elemento de la red,  $N_r$ , al cual se extiende la conectividad sináptica.

La diferencia principal con otros modelos de Redes Neuronales es que los pesos sinápticos de la CNN no almacenan ningún modelo aprendido, representando tan sólo un esquema de conexiones adecuado para realizar una tarea específica. Esta forma del conexionado, simple y repetitivo, hace del modelo una estructura muy atractiva para realizar tareas típicas de Procesamiento Digital de Imágenes.

## 1.4. Objetivo de la tesis

Realizar el diseño de una celda básica para una CNN/PWL, proponiendo un circuito eléctrico con elementos reales, cuya respuesta sea similar a la de una celda ideal, utilizando la representación PWL, comparando la respuesta de nuestro diseño con la respuesta ideal de la celda, identificando todas las características físicas, eléctricas y de diseño del modelo propuesto.

## 1.5. Contribución

La contribución más importante desarrollada en este trabajo es el diseño y caracterización de una celda básica CNN/PWL, usando elementos reales como son el uso de amplificadores de transconductancia (OTA's), espejos de corriente y seguidores de voltaje. Se presenta una estructura cuya respuesta es muy similar a la ideal, usando la tecnología CMOS DE 0.5 micras.

Se dan a conocer las limitaciones y ventajas del uso de este tipo de celdas, además de sus características y aplicaciones. El diseño es propuesto mediante el uso de circuitos analógicos cuya respuesta es de tipo digital como su señal de salida.

Con este trabajo se busca presentar un circuito cuyo diseño sea de fácil construcción y que sirva para modelar el comportamiento completo de la celda básica de una CNN, demostrando que estos circuitos hasta ahora solo simulados en diversos programas de computación, se pueden construir de una manera real y se pueden usar en una gran cantidad de aplicaciones.

## 1.6. Organización de la tesis

Se encuentra organizada por cinco capítulos, donde se describe el desarrollo y diseño de la celda básica propuesta para la CNN.

El primer capítulo, presenta los conceptos básicos de las CNN's y de los sistemas PWL. El objetivo y su principal contribución.

El segundo capítulo, muestra las características de las CNN's, identificando su rango dinámico, sus aplicaciones y las principales arquitecturas hasta ahora estudiadas.

El tercer capítulo, describe el comportamiento completo de la celda básica para una CNN, identificando las etapas que la conforman. Se presenta el diseño ideal de la celda, simulado con dos diferentes herramientas, MATLAB y H-SPICE, y los resultados ideales.

El cuarto capítulo, es donde se muestra el diseño de cada etapa de la celda con elementos reales, identificando su respuesta y sus principales características, y su respuesta final de la celda básica ideal usando el análisis en D.C. y el análisis transitorio.

El quinto y último capítulo presenta las conclusiones obtenidas de los resultados, y la comparación obtenida de los resultados del diseño ideal y del diseño real.

## 1.7. Conclusiones

En este capítulo se explicó el concepto de las CNN's, así como algunos conceptos básicos. Se puso de manifiesto la importancia de las funciones PWL, y su gran diversidad de aplicaciones, principalmente para aproximar funciones no lineales. Se presentó el modelo ideal de una celda con sus características físicas, eléctricas y de interconexión. Se determinaron las ecuaciones que la representan y el rango dinámico que garantiza un buen funcionamiento, también, se presentó la contribución de esta investigación al campo de las redes celulares neuronales.

# Capítulo 2

## Características de las CNN's

Para poder diseñar y utilizar las CNN's de una manera adecuada, es importante identificar sus principales características, tanto físicas como de funcionamiento, entre las cuales destacan las siguientes: [1,3]

1. Todas las celdas internas de una red celular neuronal (CNN) tienen la misma estructura de circuito y los mismos valores de elementos. La celda interna es la celda que tiene  $(2r + 1)^2$  celdas de vecindad. Todas las otras celdas son llamadas celdas límite o de borde, donde  $r$  está definida en la ecuación 1.2. Además, la CNN, está caracterizada por ecuaciones diferenciales no lineales asociadas con las celdas en el circuito.
2. Cada celda de una CNN tiene a lo más tres nodos, pero en algunos casos se puede elegir  $E_{i,j}=0$  si  $B(i,j ; k,l) = 0$  y entonces solo se obtienen dos nodos en una celda y dado que todas las celdas del circuito tienen el mismo nodo dato, y como todos los elementos del circuito están controlados por tensión, la red celular neuronal está especialmente adecuada para el análisis por nodos. Más aún, como las interconexiones son locales, la matriz ecuación de nodos asociada es extremadamente esparcida para circuitos grandes.



3. El comportamiento dinámico de una red celular neuronal posee mecanismos tanto de retroalimentación de salida como de control de entrada. Los efectos de la salida retroalimentada dependen de los parámetros interactivos  $A(i,j ; k,l)$  y los efectos de la entrada de control dependen de  $B(i,j;k,l)$ . Por lo tanto podemos considerar  **$A(i,j ; k,l)$  como un operador de retroalimentación, y a  $B(i,j ; k,l)$  como un operador de control.**
4. Los valores de los elementos del circuito se pueden elegir convenientemente en la práctica. Las resistencias  $R_x$  y  $R_y$  determinan la potencia disipada en el circuito, y son elegidos con valores entre 1k y 1M.  $C_{Rx}$  es la constante de tiempo del dinamismo del circuito y usualmente está entre:  $10^{-8}$  y  $10^{-5}$  s.[1]

## 2.1. Interconexiones

La característica más identificada de las CNN es la conexión entre las unidades, llevada a cabo localmente. En si la diferencia principal entre una CNN y otros paradigmas de redes neuronales es el hecho de que las informaciones son intercambiadas directamente entre las unidades vecinas; y esta característica permite también obtener un proceso global. Las comunicaciones entre celdas no conectadas directamente son obtenidas al pasar a través de otras unidades.

Existen dos maneras en las que se pueden interconectar las celdas  $C(i,j)$  con celdas vecinas  $C(k,l)$ , las cuales son mediante las fuentes de corriente controladas por voltaje  $I_{xy}(i,j;k,l)$  e  $I_{xu}(i,j;k,l)$ :

1. Se conectan las fuentes de corriente controladas por voltaje a las celdas vecinas por la vía de control del voltaje de entrada  $V_{ukl}$  de  $C(k,l)$
2. Se conectan por la vía de retroalimentación del voltaje de salida  $V_{ykl}$  de  $C(k,l)$ .

Por tanto, la celda  $C(i,j)$  tiene conexiones directas a sus vecinos mediante: la señal retroalimentación  $A(k,l; i,j)$  y mediante la señal de control  $B(i,j; k,l)$

Donde el par del índice  $(i,j; k,l)$  representa la dirección de la señal de  $C(i,j)$  hasta  $C(k,l)$ .

El comportamiento global de una CNN es caracterizado por un sistema que contiene la señal A (de retroalimentación), la señal B (de control) y la corriente de polarización (I). Donde las señales A y B se supone que son iguales para todas las celdas en la red.

A continuación se muestra el diagrama a bloques de una celda en tiempo continuo, donde se pueden observar las diferentes señales que actúan en la celda:

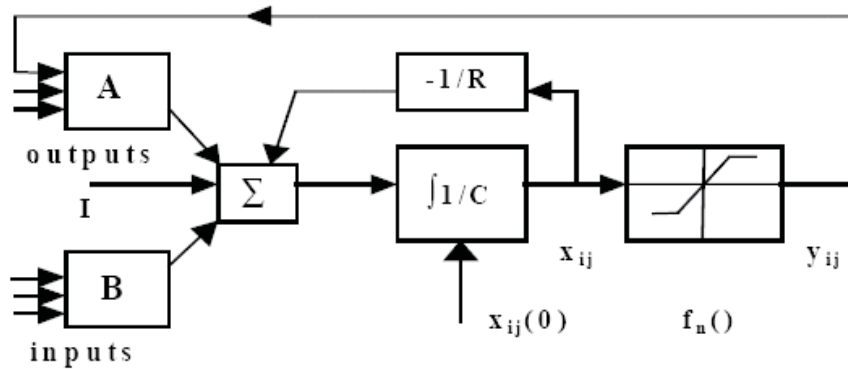


Figura 2.1: Diagrama a bloques de una celda en tiempo continuo

## 2.2. Rango dinámico

Antes de diseñar una CNN, es necesario conocer el rango dinámico que garantice la satisfacción de las ecuaciones estipuladas. Por tanto todos los estados  $V_{xij}$  en una CNN son limitados para todo tiempo  $t=0$ , y el límite  $V_{max}$  puede ser calculado mediante la siguiente fórmula para un CNN.

$$V_{\max} = 1 + Rx|I| + Rx \max_{1 \leq i \leq M, 1 \leq j \leq M} \sum_{C(k,l) \in N_r(i,j)} (|A(i, j; k, l)| + |B(i, j; k, l)|) \quad (2.1)$$

Y considerando las ecuaciones de estado, obtenemos que:

$$V_{\max} = \max_{i,j} [1 + Rx|I| + Rx \sum_{C(k,l) \in N_r(i,j)} (|A(i, j; k, l)| + |B(i, j; k, l)|)] \quad (2.2)$$

Entonces, puesto que  $V_{max}$  es independiente del tiempo  $t$  y de la celda  $C(i, j)$ , para todo  $i$  y  $j$  tenemos:

$$\max_t |V_{xij}| \leq V_{\max} \quad \text{para todo } C(k, l) \in N_r(i, j) \quad (2.3)$$

Y como para cualquier CNN, los parámetros  $R_X$ ,  $C$ ,  $I$ ,  $A(i,j;k,l)$  y  $B(i,j;k,l)$  son constantes finitas, implica que el límite de los estados de las celdas es finito y se puede calcular mediante la ecuación 2.1.

Por tanto se observa que cualquier red neuronal, parte de un modelo básico denominado celda, la cual es caracterizada y modelada para que su funcionamiento sea el adecuado a nuestras necesidades y requerimientos.

Generalmente, la mayoría de la funcionalidad de la CNN está basada en el diseño de la ecuación diferencial no lineal que gobierna el comportamiento de la celda.

## 2.3. Aplicaciones básicas

Una aplicación de las CNN es en **el procesamiento digital de imágenes (PDI)** (en escala de grises). La función básica de la CNN para el procesamiento de imágenes es la transformación de una imagen de entrada a otra imagen de salida. Aquí restringimos nuestra imagen de salida a imágenes binarias con -1 y con 1 como los valores de píxel. Sin embargo, las imágenes de entrada pueden tener niveles de grises múltiples, a condición de que sus voltajes correspondientes satisfagan las condiciones de restricción de la ecuación 1.7, esto significa que la CNN para el proceso de imágenes, converge a un estado estacionario constante siguiendo un régimen transitorio el cual ha sido inicializado y conducido por una imagen dada a la entrada.

Las redes celulares neuronales usadas para el procesando digital de imagenes definen procesos que explotan la conectividad en realimentación del modelo original de CNN [1], caracterizando la red como un procesador de imágenes binarias capaz de realizar procesamiento lineales y no lineales, como el rellenado automático de huecos [11], la codificación de caracteres [12][13] y la detección de elementos simples como líneas y bordes [2][22][23].

Generalmente, una imagen en escala de grises se codifica mediante un byte para cada píxel, dando un total de 256 niveles de gris, es decir, los valores de todos los píxeles se encuentran en el intervalo (0,255). Este intervalo puede normalizarse a [0,1], correspondiendo el 0 al color más oscuro (negro) y el 1 al color más claro (blanco) [14][23].

La carencia fundamental de estos primeros modelos es la dedicación casi exclusiva a filtrados de imágenes binarias codificadas en unos valores poco comunes:

- +1 para píxeles negros.
- -1 para píxeles blancos.

Con el fin de ampliar la funcionalidad del modelo original, se han definido otros modelos modificados para el tratamiento de imágenes en color [15] y en escala de grises [16].

En este sentido, la principal ventaja de las CNN es la posibilidad de realizar filtros complejos en una sola capa, aprovechando las plantillas de control y realimentación de la red, además de definir un control del brillo y el contraste para cada píxel. Así mismo, a partir de la definición de nuevas conexiones sinápticas para CNN [15], se ha logrado implementar operaciones que implican productos de orden superior. Una de las aplicaciones de estos nuevos operadores es la extracción de información estadística de la imagen, como los valores de media y desviación estándar. **Se usan también en el análisis y síntesis de circuitos y sistemas con dinámica compleja incluyendo fenómenos como: Oscilaciones, bifurcaciones y caos.**

La funcionalidad de la CNN se basa en el diseño de la ecuación diferencial no lineal que gobierna el comportamiento de la celda.

## 2.4. Descripción de la CNN

La red celular neuronal (CNN) es un arreglo dinámico análogo que refleja como principal característica que los elementos de la misma interactúan directamente dentro de una vecindad local finita [1],[2].

En esta red tenemos procesadores análogos e interacciones, y debido a la propagación dinámica, no solamente los vecinos cercanos están en la interacción. Y a diferencia de las redes neuronales generales, las CNN (algunas de ellas sin relación a los muchos modelos ideales de la neurona) capturan las características geométricas no lineales en la interacción de datos.

Desde 1988 muchos investigadores ha hecho contribuciones significativas al estudio de la CNN, conservando dos ideas originales: las células son procesadores análogos con valores de señal continuos (no binaria) y las interacciones son locales dentro de un radio finito.

Las CNN's pueden ser realizadas como chips VLSI y pueden operar a muy alta velocidad.

Debido a que la gama de la dinámica y la complejidad de la conexión (conexiones por la celda) son independientes del número de elementos procesados (celdas), la implementación es confiable y robusta.

En [1],[2], se demostró que la CNN es también una aproximación espacial de una ecuación diferencial parcial, además, agregando elementos de circuito simples a las celdas, algunas ecuaciones pueden ser implementadas, y en ellas se pueden encontrar las siguientes características [3]:

- Cada celda es identificada por 2, 3 o n números enteros (i, j, k... n), es decir, la variable de espacio están siempre discretizadas.
- El tiempo t puede ser continuo o discreto.
- El efecto de interconexión representado por la plantilla de la reproducción puede ser una función no lineal del estado X, de la salida Y, y de la entrada U de cada celda, dentro de la vecindad Nr del radio r, así como el del tiempo t.
- El sistema dinámico es gobernado únicamente por una ley de la evolución (por ejemplo: mapas discretos, ecuaciones diferenciales, ecuaciones funcionales, etc.) tal que, dado  $X(t_0)$  y  $U(t)$  para toda  $t \leq t_0$  y dadas las señales almacenadas en las líneas de retador como  $t = t_0$ ,  $x(t)$  se determina únicamente para todo el  $t \leq t_0$ . Esto incluye las condiciones de frontera.
- De vez en cuando, el sistema dinámico y/o las interconexiones pueden ser perturbadas por algunas fuentes de ruido estatico conocidas.

### 2.4.1. Funciones de Salida.

La salida de una CNN puede tener diferentes formas, y es dependiente de las etapas de entrada y de estado. Algunas funciones de salida no lineales útiles, se muestran en la fig. 2.2.

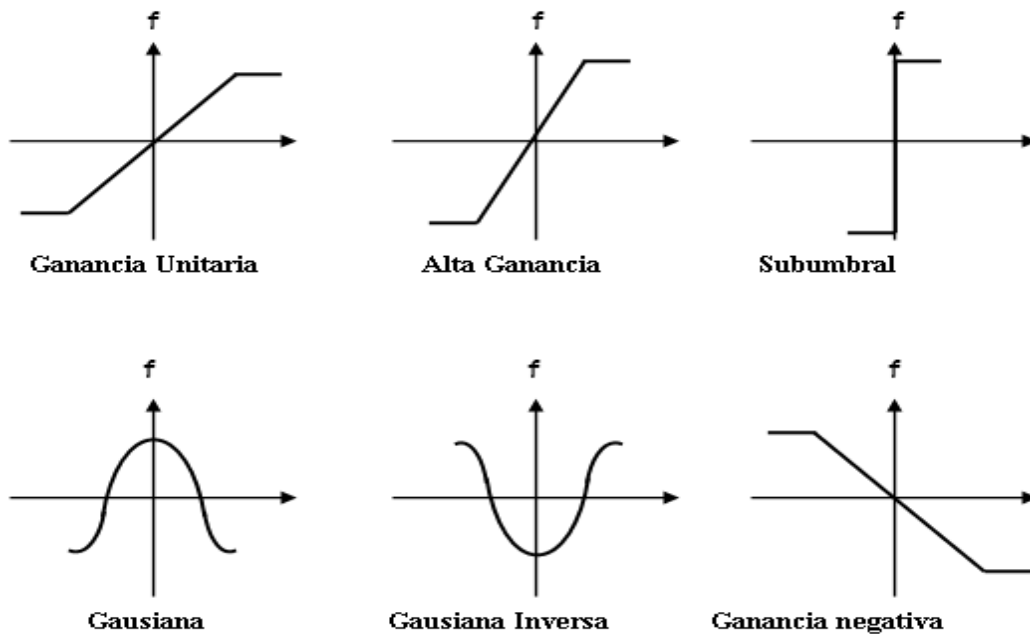


Figura 2.2: Funciones de salida no lineales de la CNN

La salida más conveniente es la de ganancia unitaria ya que si se emplea para el procesamiento digital de imágenes en escala de grises se pueden analizar todos los píxeles de la imagen procesada (256 píxeles).

Como un caso muy especial, si la entrada y la función son **piecewise-linear (PWL)**, entonces toda la dinámica del arreglo de la CNN es lineal.

Para la CNN, consideramos valores de señal continuos para la entrada o salida, y estos son presentados en el rango de  $[-1, +1]$ , y como se mencionó, este rango se puede emplear en el procesamiento de imágenes en escala de grises, donde  $+1$  es negro y  $-1$  es blanco.

### 2.4.2. Arreglos de entradas.

Para utilizar la capacidad completa del CNN, la posibilidad de la aplicación de 2 o 3 entradas independientes debe ser considerada. Así, en arreglos para aplicaciones de procesamiento dos señales de entrada independientes  $S_1(ij)$  y  $S_2(ij)$ , pueden ser mostradas sobre la CNN como:

$$\mathbf{S}_1(ij) = \mathbf{V}_{u_{ij}}(t) \quad \text{y} \quad \mathbf{S}_2(ij) = \mathbf{V}_{x_{ij}}(\mathbf{0}) \quad (2.4)$$

Mientras que el arreglo de la señal de salida  $S_o(ij)$  is asociado con  $V_{y_{ij}}$ .

En muchas aplicaciones importantes, estos arreglos de señales son imágenes reales o mapas geométricos de otras señales (Por ejemplo: las imágenes termográficas) y el CNN asociado se pueden utilizar para solucionar tareas de proceso complejas.

La entrada genérica puede ser variante en el tiempo (tiempo discreto o continuo), pero el estado inicial usualmente cambia solo en el modo muestreado, después de que el transitorio haya finalizado.

Por otra parte, si la corriente constante  $I$  (de polarización) es variante en el espacio  $(I_i, j)$  entonces nosotros tenemos una entrada adicional en el arreglo de señales de entrada. Este arreglo, puede ser también variante en el tiempo y puede desempeñar el papel de un programa geométrico espacial, puesto que la dinámica del CNN es muy sensible al término de la polarización.

## 2.5. Arquitecturas

Una CNN es un arreglo de sistemas dinámicos no lineales conectados localmente llamados celdas. En una configuración espacial de dos dimensiones, cada celda tiene especificaciones dinámicas mediante una ecuación diferencial no lineal.

$$\dot{\mathbf{X}}_{i,j} = \mathbf{F}(\mathbf{x}_{k,l}, \mathbf{u}_{k,l}), \quad (\mathbf{k}, \mathbf{l}) \in \mathbf{S}_{i,j} \quad (2.5)$$

**Donde:**  $S(i,j)$  es la esfera de la vecindad de la celda  $(i,j)$  las cuales son el sistema de celdas conectadas localmente.

Las arquitecturas más comunes de las CNN's se pueden identificar de dos maneras: por el número de celdas que contienen (5 celdas en forma de cruz ó arreglos cuadrados de celdas) y de la forma en como se comportan de acuerdo a sus ecuaciones.

Las dos arquitecturas que se presentan son:

1. **MULTINESTED CNN.**
2. **SIMPLICIAL CNN.**

A continuación mostraremos las características de cada una, identificando las diferencias que existen de una con la otra.

### 2.5.1. Multinested CNN

En el caso del MULTINESTED CNN se presentan resultados experimentales en la arquitectura conocida como de VON NEUMMAN, la cual está formada por 5 celdas en forma de cruz y desacopladas entre ellas, como se observa en la figura 2.3.

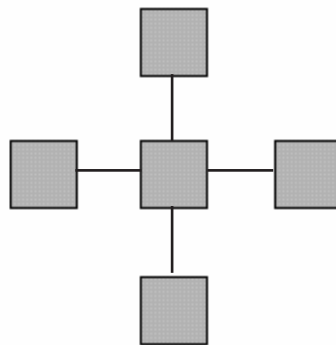


Figura 2.3: Vecindario de Von Neumann

El multinested fue originalmente introducido en [7], donde se considera a la estructura completamente general, hasta el caso donde  $n=5$ , como es el caso de la vecindad de Von Neumann.

Las CNN desacopladas están caracterizadas por la siguiente ecuación:

$$\dot{\mathbf{X}}_{i,j} = -\mathbf{X}_{i,j} + \mathbf{F}_{\mathbf{B}}(\mathbf{u}_{\mathbf{k},l}), \quad (\mathbf{k}, l) \in \mathbf{S}_{i,j} \quad (2.6)$$



El CNN de este tipo se ha propuesto para muchas aplicaciones, como la detección de bordes, erosión, dilatación [5]. y por lo tanto, es necesario entender que clase de algoritmos se pueden poner en ejecución con esta estructura y cuál es la relación con la función FB de la ecuación 2.5. y para esto tenemos que considerar la ultima ecuación propuesta en estado estacionario, la cual es:

$$\mathbf{X}_{i,j}(\infty) = \mathbf{F}_B(\mathbf{u}_{k,l}) \quad (2.7)$$

Podemos considerar cada entrada  $u_{i,j}$ , de la CNN, como el sistema  $[-1, +1]$ , y entonces el dominio de la función  $F_B$  está dado por:

$$\mathbf{W} = \mathbf{w} \in \mathbf{R}^n : \mathbf{w}_i \in [-1, +1], \quad \mathbf{i} = 1, \dots, \mathbf{n} \quad (2.8)$$

Donde:

$\mathbf{n}$  es la cardinalidad de  $\mathbf{S}_{i,j}$  y  $\mathbf{w}$  es un vector con todos los elementos de  $\mathbf{S}_{i,j}$ .

El sistema  $\mathbf{W}$  es un hiper cubo con  $2\mathbf{n}$  vértices.

Siguiendo la notación comúnmente usada en la literatura de las CNN's, podemos determinar que:

- $+1$  Es un valor lógico alto.
- $-1$  Es un valor lógico bajo.

Usando estos valores, podemos medir la generalidad de la CNN, mediante el conteo de las funciones Boleanas que son implementadas. Por tanto para un arreglo de  $\mathbf{n}$  celdas, el número máximo de funciones puestas en ejecución esta dada por:

$$2^{2\mathbf{n}} \text{ funciones.} \quad (2.9)$$

Finalmente, una CNN desacoplada estándar está dada por la ecuación:

$$\dot{X}_{i,j} = -x_{i,j} + z_{i,j} + a_{i,j}f(x_{i,j}) + \sum_{(k,l) \in S_{i,j}} b_{k,l}u_{k,l} \quad (2.10)$$

Donde:

$$f(x_{k,l}) = (|x_{k,l} + 1| - |x_{k,l} - 1|) / 2$$

Es solo para implementar funciones lineales separables.

Para el vecindario de cinco celdas, conocido como de Von Neuman, se han reportado los parámetros para el 99.1 por ciento de todas las funciones que se pueden representar con este arreglo de celdas, las cuales pueden ser hasta:

$$2^{2^5} = 4.295 \times 10^9 \text{ funciones.}$$

Y este porcentaje permite evaluar una extensa cantidad de funciones booleanas para la representación de 5 celdas que pueden ser realizadas por el Multinested CNN.

**Por tanto, el multinested se puede considerar como una forma extremadamente compacta para el diseño de CNN's, que puede realizar una gran cantidad de funciones, y que presenta su salida en funciones binarias.**

### 2.5.2. Simplicial CNN

Esta es otra arquitectura de las CNN's, y es la más común ya que está formada por arreglos cuadrados de celdas los cuales pueden ser de 3x3, 5x5, 7x7, etc. Hasta ahora el más estudiado es el arreglo de 3x3, el cual se muestra en la figura 2.4.

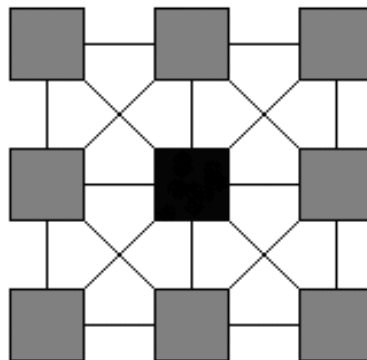


Figura 2.4: Arreglo cuadrado de 3x3

En el simplicial CNN o S-CNN, la función FB de la ecuación 2.5 es implementada por una función simplicial PWL en el dominio de dos dimensiones, como se observa en la figura 2.5.

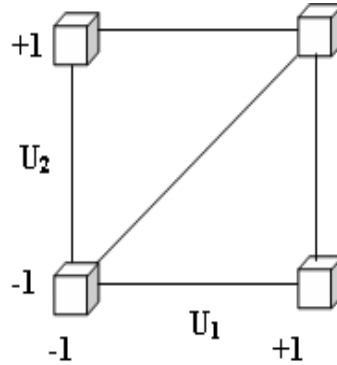


Figura 2.5: Arreglo cuadrado de 3x3

De donde se muestra que un **SIMPLEX**, es un triángulo que puede ser generalizado para un objeto en el dominio  $n$  dimensional, teniendo  $n+1$  vértices. En el caso de las funciones no lineales, el dominio es primero dividido en hipercubos, y entonces cada hipercubo es subdividido en simplices. [8]

En el caso de la CNN, FB es representado usando una función simplicial con solo un hipercubo, y como resultado:

$$n = \text{Número de simplices} \quad \text{y} \quad 2^n = \text{Número de vértices.}$$

La figura 2.6 muestra una función PWL simplicial definida sobre el dominio bidimensional. Los parámetros de la función son los valores de la función en los vértices y son representados por triángulos.

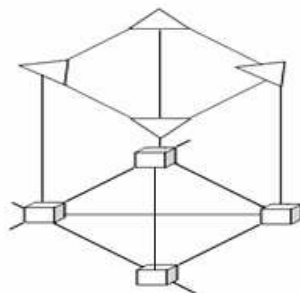


Figura 2.6: Función simplicial PWL

Para calcular el valor de la función como un punto dado sobre el dominio, son necesarios tres pasos:

1. Identificar el simplex donde está el punto, y esto implica identificar los vértices asociados  $n+1$  (Para realizar esta tarea se puede emplear el metodo propuesto en [9]).
2. Recuperar los valores de la función en los vértices
3. Se debe realizar interpolación lineal en los vértices, para obtener la salida de la función

Los pasos anteriores justifican el algoritmo empleado para encontrar la función de salida, pero esta representación es indiferente a la dimensión de entrada, y la información necesaria para representar a la función Boleana. Por tanto los parámetros para una función particular no necesitan ser calculados ya que ellos pueden ser extraídos de la tabla de verdad de las funciones Boleanas. En este caso, los parámetros pueden ser valores digitales en el sistema  $(-1, +1)$  ó valores analógicos en el sistema  $[-1, +1]$ .

En general, en el caso donde los parámetros son digitales, la salida del CNN puede ser analógica; esto es debido a la característica particular de la función simplicial FB que interpola los valores en los vértices para producir la salida. La función simplicial no tiene ninguna restricción en la naturaleza de las entradas, y ellas pueden ser binarias ó analógicas.

## 2.6. Conclusiones

En este capítulo se explicaron las características de las CNN's identificando los tipos de entrada y salida que pueden tener, ya sean variantes o invariantes en el tiempo, así también se mostró el diagrama a bloques de una celda básica en tiempo continuo, identificando todos los elementos que la componen. Se presentaron dos arquitecturas recientemente estudiadas para el desarrollo de CNN's y de las funciones Boleanas que pueden presentar, conocidas como: MULTINESTED Y SIMPLICIAL.



# Capítulo 3

## Comportamiento de una CNN

De acuerdo con lo estudiado en los capítulos anteriores, podemos identificar que una celda CNN está compuesta de tres partes principales: la etapa de entrada, la etapa de estado y la etapa de salida. (figura 3.1)

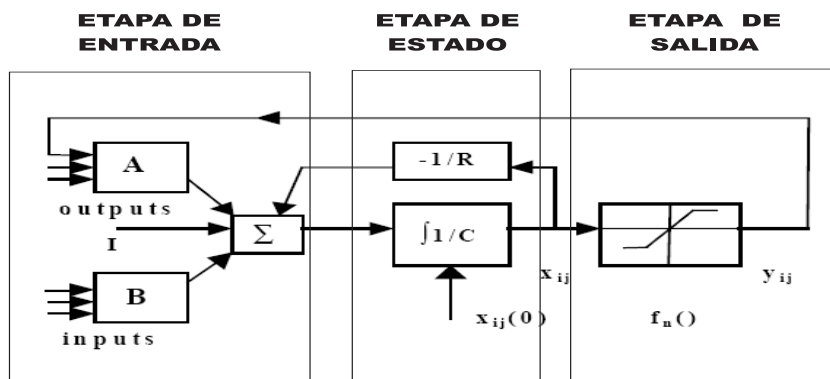


Figura 3.1: Diagrama a bloques de una celda básica CNN

Cuando consideramos una única celda de la CNN, solo es necesario tomar en cuenta la señal de entrada y, en algunos casos, la de realimentación de la salida; sin embargo, cuando consideramos un arreglo de celdas para darle alguna aplicación, es necesario considerar la entrada como un nodo de suma de señales (donde llegan las señales de todas las celdas vecinas, además de la propia señal de realimentación) y entonces, la etapa de estado para cada celda debe considerar las fuentes controladas por las celdas vecinas incrementando, así, el número de fuentes controladas; haciendo más complejo su funcionamiento y análisis; y por tanto cada salida, se convierte en una entrada para otras celdas.

Para una celda completa (figura 3.1), obtenemos tres etapas básicas representadas por cada nodo.

1. Etapa de entrada
2. Etapa de estado
3. Etapa de salida

En donde el comportamiento completo de la celda CNN está determinado por cada una de las etapas. A continuación se explicará cada una de ellas así como su funcionamiento y sus características.

### 3.1. Etapa de entrada

El comportamiento de la entrada lo podemos ver como la suma de varias señales, las cuales provienen de las celdas vecinas y de la salida de la propia celda. Por tanto, en un arreglo de 3x3 celdas, la celda central debe considerar en la entrada la suma de las 8 celdas que la rodean y de su propia señal, lo que implica que se deben considerar 9 entradas en un solo nodo. Y de acuerdo con la figura 3.1 podemos identificar entonces que la etapa de entrada es la etapa de suma de señales, como se observa en la figura 3.2.

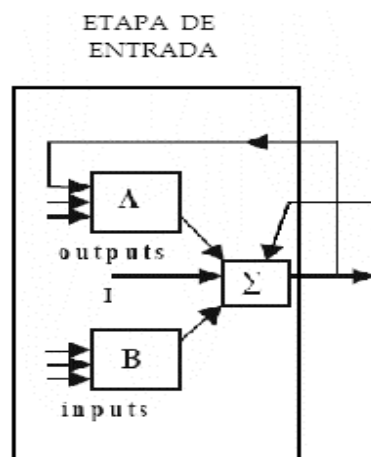


Figura 3.2: Etapa de entrada de la celda básica

Por tanto, para identificar esta etapa es necesario comprender que la CNN tiene una estructura de diseño analógico, pero su funcionamiento es básicamente digital, es decir, sólo tenemos valores que son  $-1$  y  $+1$ .

Al considerar la entrada de la celda, debemos considerar un sistema de varias entradas, donde si tenemos una sola señal de valor alto, la entrada se considera aceptable. Es decir, de todas las señales que llegan al nodo de entrada, se utiliza solo el nivel más alto, y para lograr esto debemos hacer uso del operador máximo de voltaje, el cual se puede desarrollar empleando circuitos seguidores de voltaje.

### 3.1.1. Operadores máximo y mínimo para la etapa de entrada

El máximo y el mínimo (MAX/MIN) son operadores inherentes de los sistemas no lineales, tales como filtros no lineales, sistemas difusos y sistemas neuronales artificiales. Por lo tanto, los operadores MAX y MIN son ampliamente usados una gran variedad de procesamiento de señales no lineales, incluyendo el reconocimiento de patrones y la comprensión de datos.

Los circuitos CMOS MAX y MIN, se encuentran disponibles, tanto de manera digital como de manera analógica. Los procesamientos analógicos presentan algunas ventajas sobre los digitales, ya que las celdas analógicas pueden considerar y procesar un mayor número de funciones.

Los procesadores analógicos MAX son usualmente conocidos como Winner Takes All (WTA), es decir, que se considera únicamente la señal más grande de todas las que llegan a ese nodo. Entonces, el WTA identifica el valor más grande de la entrada entre todas las entradas externas a la celda, por tanto utilizaremos el operador WTA de voltaje analógico y dependiendo de su complejidad, se pueden reconocer dos grupos de los circuitos WTA, que pueden ser reconocidos como:

1. Circuito de complejidad cuadrática.
2. Circuito de complejidad lineal.

En la figura 3.3 se muestran las dos estructuras de acuerdo a su complejidad. En el



de complejidad cuadrática, el tamaño incrementa de manera exponencial cuadrática de acuerdo con el número de sus entradas. En tanto en el circuito de complejidad lineal, el tamaño aumenta linealmente.

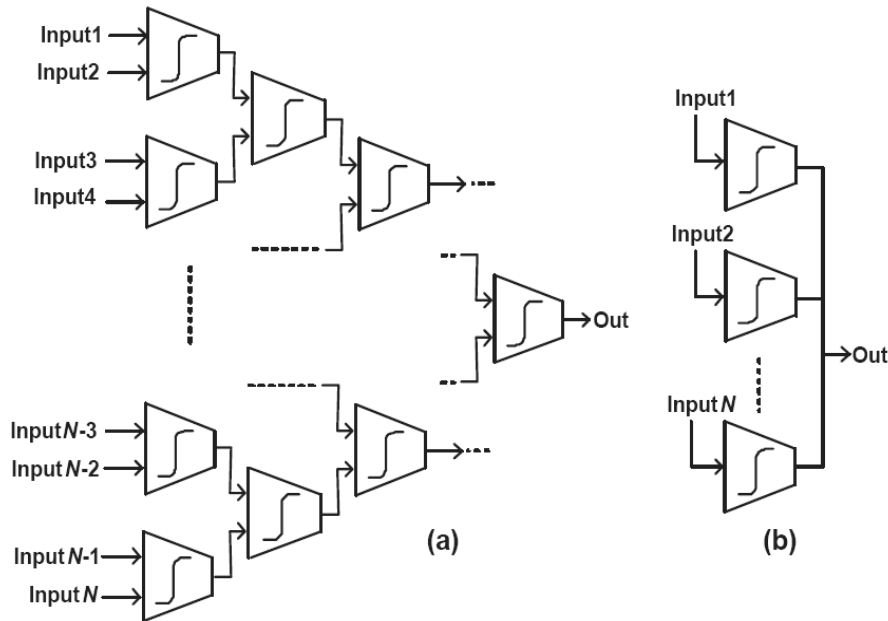


Figura 3.3: Estructuras del WTA: a) Complejidad cuadrática. b) Complejidad lineal.

#### ■ Diferencias entre ambas estructuras.

La diferencia principal entre ambas estructuras es la forma de comparar las señales de entrada, la de complejidad cuadrática las compara por pares, en tanto, el circuito de complejidad lineal compara todas las entradas y toma solo la mayor o la menor según sea el caso.

Para el diseño de la celda básica, el WTA que nosotros usaremos es el de complejidad lineal ya que este utiliza menos elementos en su diseño y es tiene mayor velocidad de respuesta, pues compara todas las entradas de tipo voltaje, y finalmente considerar solo la más grande.

### 3.1.2. Circuito en modo voltaje WTA para la etapa de entrada

De acuerdo con lo estudiado en la sección anterior sobre los operadores máximos y mínimos, la arquitectura más popular para poder implementarlos, es el seguidor de voltaje, por que con este circuito podemos obtener un buen WTA. Y la característica principal de un buen circuito del seguidor de voltaje es que debe exhibir una baja impedancia de salida para poder manejar cargas resistivas bajas. De esta manera, el mejor seguidor es aquel que tiene la impedancia de salida más baja.

Los circuitos seguidores de voltaje más utilizados para construir esta etapa son los que se muestran en la figura 3.4, en donde se observan tres diferentes implementaciones puestas en práctica para los seguidores de la fuente.[18]

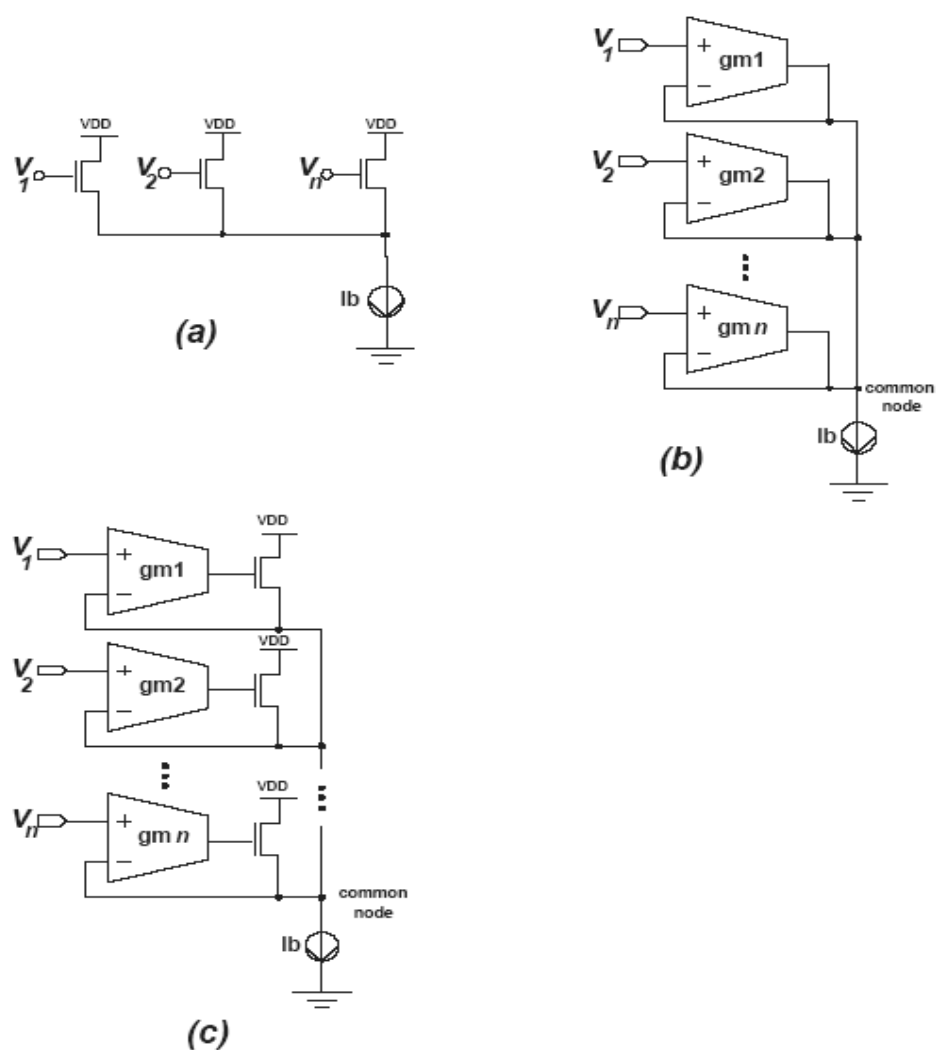


Figura 3.4: Circuitos seguidores de voltaje para el WTA

El circuito de la fuente común de la figura 3.4 a) es el seguidor de voltaje más simple. El cual presenta un resistencia de salida esta cercana a  $(1/g_m)$ ; donde  $g_m$  es la transconductancia de la celda ganadora. El problema fundamental con esta implementación es el error de esquina cuando dos o más entradas están cerca del valor máximo [16]. En este caso, la corriente de polarización se divide en múltiples ramas, y el voltaje de salida depende del número máximo de entradas.

Una técnica típica empleada para reducir la resistencia de salida es el uso de retroalimentación. Justo como el seguidor de voltaje convencional basando en los amplificadores retroalimentados, como se observa en la figura 3.4 b).

La resistencia de salida de esta estructura está dada por la ecuación 3.1.

$$\frac{1}{A_v g_m} \quad (3.1)$$

Donde:

$A_v$  es la ganancia de voltaje del amplificador mayor.

$g_m$  es la transconductancia correspondiente.

Una manera de reducir la resistencia de salida del seguidor de fuente simple se logra aplicando la retroalimentación local, como se muestra en la figura 3.4 c), por lo tanto, en esta configuración de retroalimentación, los errores de esquina desaparecen. En este nuevo seguidor de fuente, la etapa de ganancia amplifica la diferencia entre la entrada y la salida del seguidor de fuente, reduciendo la resistencia de salida por el factor de amplificación de la etapa de ganancia en si misma, justo como en el caso previo.

Finalmente, se utiliza el modelo presentado en la figura 3.4 c) pues es el que nos ofrece la resistencia de salida más baja de los tres seguidores que se han mostrado. Se observa que tiene un transistor a la salida, el cual reduce la impedancia aun más. Este modelo es parte de la investigación realizada en la referencia [18], y será el modelo presentado como la etapa de salida para el modelo propuesto como celda básica de la CNN.

## 3.2. Etapa de estado

La etapa de estado es la etapa intermedia de la celda, y es la que tiene como función definir el comportamiento de la celda. Esta etapa de acuerdo a como se observa en la figura 3.1, es la que está directamente conectada con la salida y es la que se retroalimenta a la entrada, por tanto relaciona la entrada con la salida.

En la figura 3.5 se muestra el diagrama a bloques de esta etapa que cuenta con un capacitor y una resistencia de acoplamiento. Estos elementos se muestran en el circuito eléctrico de la celda. Se observa en la figura 3.5, que el capacitor es el elemento integrador de la entrada y de la salida, en tanto que el resistor es el elemento de retroalimentación para obtener el funcionamiento final de la celda.

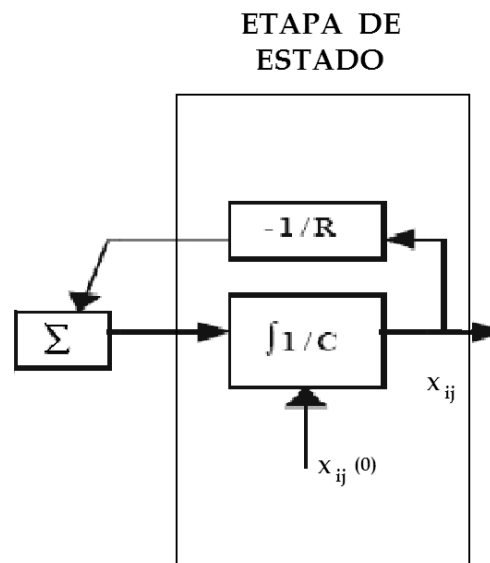


Figura 3.5: Etapa de estado de la celda básica

Esta etapa se diseña empleando un amplificador de transconductancia (OTA), y utilizaremos la corriente controlada como la corriente enviada a la salida PWL.

### 3.3. Etapa de salida

Esta etapa es la que utiliza la técnica piecewise linear (PWL) para toda la celda, ya que la salida es lineal a trozos, con dos niveles que van de  $-1v$  a  $+1v$ , además es simétrica, cuya ganancia es unitaria, es decir, en esta etapa se demuestra que la CNN no se utiliza como un amplificador, sino más bien como un detector de los niveles de una señal, cuyo funcionamiento se puede considerar digital. En la figura 3.6 se muestra la etapa de salida de la celda básica donde se observa que está retroalimentando a la etapa de entrada y que depende directamente de la etapa de estado.

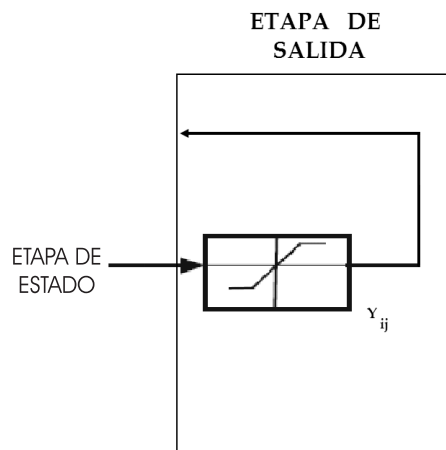


Figura 3.6: Etapa de salida de la celda básica

En el capítulo anterior se mostraron las diversas funciones o formas de salida que se pueden obtener, y se describió que a partir de la forma en como se comporta se le dan diversas aplicaciones, pero la más común es en el procesamiento de imágenes.

La etapa PWL será empleada mediante un espejo de corriente, el cual estará directamente conectado con la etapa de estado, y la salida se convertirá a voltaje mediante una resistencia; de esta manera, obtendremos la entrada y la salida en modo voltaje, que es la manera en como funciona la celda básica para la red celular neuronal (CNN). Se buscará siempre obtener la salida lo más similar al comportamiento ideal.

### 3.4. Diseño ideal de la celda básica

Las redes celulares neuronales (CNN's) parten de una unidad mínima conocida como CELDA BÁSICA, la cual es la parte fundamental para el desarrollo y formación de toda la red celular neuronal (CNN). Dependiendo de la cantidad y la forma en como se conecten las celdas básicas en el arreglo de la red Neuronal, tendremos diversas aplicaciones, pero el principio básico de funcionamiento siempre deberá ser el mismo. Y esta celda es la parte principal, ya que para cualquier arreglo que se emplee se utilizan celdas idénticas interconectadas.

Para poder realizar el diseño completo de la celda y obtener un buen funcionamiento con un comportamiento piecewise-linear, es necesario realizar la simulación de las ecuaciones que gobiernan a la celda básica para de esta forma conocer la respuesta ideal y más exacta de la celda, y para esta simulación se usará la herramienta conocida como Matlab. La elección por esta herramienta es por el hecho de ser muy sencilla de emplear que aprovecha la capacidad gráfica del entorno de programación con características de respuesta muy aceptables, aunque también se puede haber empleado otra herramienta de simulación como lo es Maple o Mathematica.

Simulando las ecuaciones de la celda básica con **Matlab** se puede observar la gráfica de su comportamiento de manera ideal, sin pérdidas, y a partir del resultado obtenido, podemos iniciar el diseño la celda básica, tanto de manera ideal como de manera real.

Se realizará también la simulación del modelo esquemático ideal o del circuito ideal de la celda básica utilizando la herramienta de simulación denominada H-Spice. A partir de los resultados obtenidos por H-Spice del modelo del circuito ideal, podremos realizar el diseño de la celda básica de manera real, empleando transistores MOS en tecnología de 0.5 Micras.

De las dos simulaciones del modelo ideal, tanto matemáticamente como eléctricamente, mostraremos los resultados comparándolos entre ellos, e identificando la salida en forma PWL, que es la que se espera de acuerdo a lo estudiado en el capítulo 1.

El modelo ideal sobre el cual se llevará a cabo el análisis y diseño es el que se muestra en la sección siguiente, junto con los resultados obtenidos en cada simulación.

En el diagrama de la figura 3.7, se muestran los pasos necesarios y el orden en como se deben realizar para desarrollar la simulación y el análisis de la celda básica ideal, obteniendo sus resultados y comparandolos entre ellos como un análisis propio del diseño de la celda.

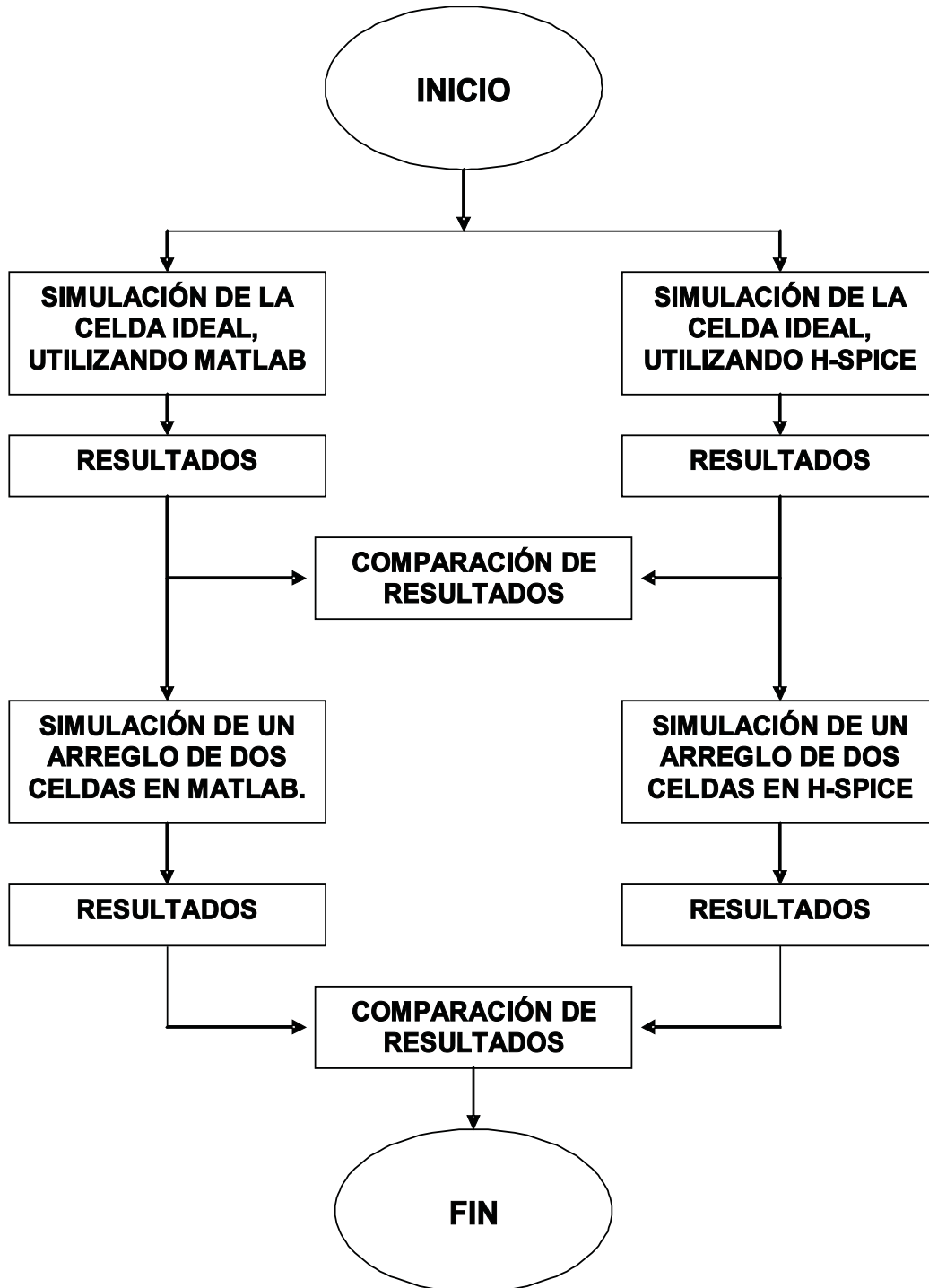


Figura 3.7: Estructura de la simulación y análisis de resultados de la celda básica ideal

### 3.5. Modelo ideal

El modelo ideal de la celda básica es el que se presenta en el capítulo 1 en las figuras 1.5 y 1.8 a las cuales hacemos nuevamente referencia como figura 3.8.

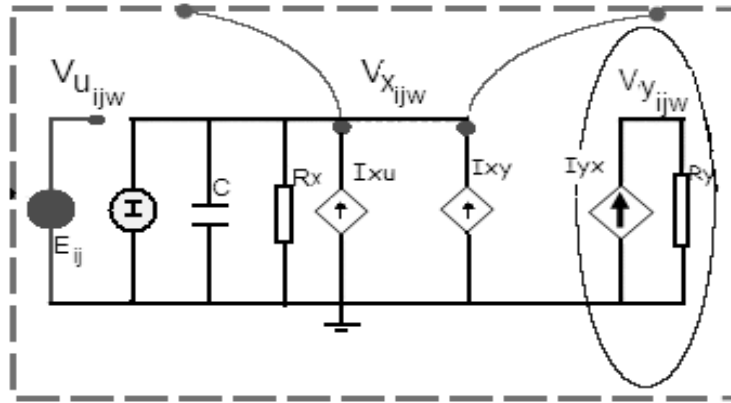


Figura 3.8: Circuito típico de la celda básica

Este modelo (fig. 3.8) se encuentra caracterizado por diversas ecuaciones, las cuales están propuestas en el capítulo 1 y se identifican como ecuaciones 1.4, 1.5 y 1.6.

Empleamos la ecuación 1.5 que es la que representa la salida del circuito para simularla e identificar su salida de manera ideal, para una sola celda. En este caso no se consideran las ecuaciones de estado, pues solo consideramos una entrada y una salida. Y a partir de estas ecuaciones es como podemos identificar su comportamiento de la celda, el cual es lineal a trozos.

De acuerdo con las características de la CNN, cada celda tiene más de tres nodos, pero se puede elegir la fuente de voltaje independiente de entrada  $E_{ij} = 0$ , si la señal de control  $B(i,j ; k,l) = 0$  y entonces solo se obtienen dos nodos en una celda. Por tanto, el circuito ideal quedaría de tal manera que solo se consideran los siguientes elementos:

- Un Capacitor lineal  $C$
- Un Resistor lineal  $R_x$
- Una fuente de corriente controlada por voltaje  $I_{xy}(i,j ; k,l) = A(i,j ; k,l)V_{yk}$
- Un subcircuito con la función piecewise-linear  $V_{yij} = 0.5(|V_{xij} + 1| - |V_{xij} - 1|)$



Y este circuito, se considera como una celda simplificada de la CNN, y cuyo modelo eléctrico es el que se presenta en la figura 3.9.

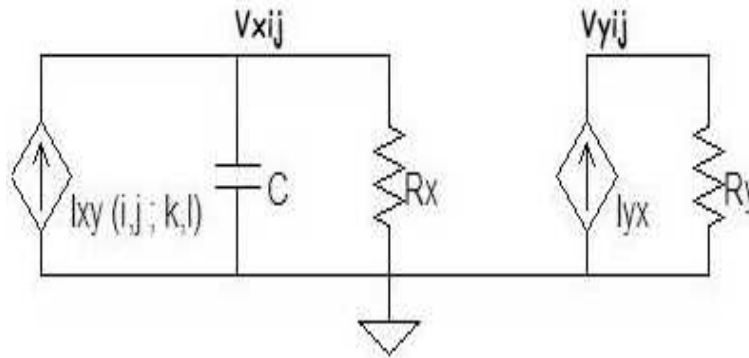


Figura 3.9: Celda ideal simplificada

A partir de este modelo ideal, se llevará a cabo el diseño en H-Spice de la celda. También se realizará el diseño de la celda ideal completa, considerando los tres nodos, mostrado en la figura 1.8, y con este modelo, se propondrá la conexión con más celdas.

La respuesta que esperada es una señal piecewise-linear de tres segmentos, por tanto para conocer el comportamiento de la CNN de manera ideal, se llevará a cabo la simulación de sus ecuaciones y de su circuito, de la siguiente manera:

1. **Simulación de las Ecuaciones de la celda básica en Matlab.**
2. **Simulación del circuito ideal empleando H-Spice.**

De estas dos forma encontraremos el comportamiento de la celda básica, desarrollando una parte importante para el diseño de la parte real de la celda básica.

## 3.6. Simulación de la celda

En general toda simulación se realiza para conocer cual es el comportamiento de cualquier modelo o sistema; en este caso el de la celda básica de una CNN, y saber que se espera obtener al realizar el diseño real de la celda. Primero consideramos solo elementos ideales en la simulación, para de esta forma identificar el comportamiento que se espera obtener cuando se consideren elementos reales en el diseño de la celda.

La simulación ideal se realizará de dos maneras: mediante las ecuaciones que determinan su comportamiento y mediante su circuito eléctrico ideal, y para esto, emplearemos dos métodos.

1. **Simulación en Matlab.**
2. **Simulación en H-Spice.**

### 3.6.1. Simulación con Matlab

Aquí se establece la definición del modelo básico de CNN, prestando especial atención a las variables del sistema, y sobre todo a la convergencia del mismo y al cálculo de estados transitorios y con el fin de comprobar el funcionamiento de la red bajo distintos tipos de condiciones, se ha programado el modelo propuesto en [1],[2]. El entorno elegido para trabajar ha sido el programa Matlab [8]. Debido a que se aprovecha la capacidad gráfica del entorno de programación.

El funcionamiento es muy sencillo: el usuario define las plantillas de clonación, tanto para el filtrado directo (B) como para la realimentación (A), así como la polarización (I), presentando a continuación una entrada a la red ( $u$ ). Para nuestro caso, elegimos las señales A y B con valor de 1. haciendo que la etapa de estado no afecte a la salida, y de esta manera la ecuación que nos interesa, es unicamente la ecuación de salida. El programa esta diseñado para que la función de salida sea lineal a trozos [26].

Por tanto, definiendo los valores y las ecuaciones de la celda, se podrá obtener la función de salida. En este caso en particular, solo obtenemos el resultado de una unica celda.

Si consideramos dos o más celdas, debemos considerar como una suma de funciones a todas las señales de filtrado y de retroalimentación permitiendo con esto conocer cual será la salida de un arreglo de celdas básicas.

### 3.6.2. Simulación en H-Spice.

Consideramos primero el diseño de una celda básica con solo dos nodos, como la mostrada, en la figura 3.9. pues al ser una sola celda podemos evitar el uso de la señales de entrada de la celdas vecinas, es decir,  $B(i,j ; k,l) = 0$ , utilizando entonces la entrada  $E_{ij} = 0$ .

También se llevará a cabo el diseño de un arreglo de varias celdas básicas, y para esto se empleará la celda completa con los tres nodos (fig 1.8), considerando la señal de entrada y las señales de retroalimentación.

En estas simulaciones, se deben considerar dos fuentes de corriente controladas por voltaje, como la etapa de estado de la celda. Al aumentar el número de celdas, también se debe aumentar el número de fuentes controladas, puesto que todas las celdas están interconectadas entre ellas, y por tanto, todas las celdas deben estar relacionadas mediante estas fuentes, donde el voltaje de control depende de la entrada y salida de las otras celdas. De esta manera, se logra realizar todo el arreglo de celdas idénticas conectadas entre si por los mecanismos de control y de retroalimentación. Por tanto podemos considerar que cada celda tiene una estrecha relación con las demás que pertenecen a su vecindario, ya que cada celda tiene  $2m$  fuentes de corriente lineales controladas por voltaje por cada celda vecina (En  $m=1$  tenemos 2 fuentes) y una fuente PWL.

Dentro de la celda, en el nodo de la etapa de estado ( $V_{xij}$ ) se utilizan dos fuentes controladas, una de las fuentes está controlada por el voltaje de entrada y la otra esta controlada por el voltaje de salida.

Si se tiene un arreglo de 2 celdas, podemos considerar el uso de 4 fuentes controladas, de las cuales dos pertenecen a la celda básica y las otras dos a la celda vecina.

A cada celda se le deben considerar todas las fuentes de las celdas vecinas.

Con los resultados obtenidos de estas simulaciones, comprobaremos que realmente la celda tiene un comportamiento PWL, debido a que la etapa de salida depende de las etapa de entrada y de estado.

Se debe identificar el comportamiento de más de una celda conectada, y para esto empleamos la simulación de dos celdas, el cual no es considerado como un arreglo para un CNN, ya que no es cuadrado ni pertenece al vecindario de Von Neumman; pero si es adecuado únicamente con fines de conocer su comportamiento.

### 3.7. Simulación de dos celdas

El modelo de dos nodos es presentado solo para una celda básica ideal, ya que en caso de que se estuviera diseñando un arreglo de varias celdas es necesario emplear el modelo donde se considera la señal de entrada proveniente de cada celda vecina, y las señales de retroalimentación de la misma celda, lo que hace más complejo su análisis.

Para el caso de dos celdas, también se lleva a cabo la simulación en Matlab y en H-Spice, y se observan los resultados obtenidos considerando las dos celdas conectadas.

#### 3.7.1. Simulación de dos celdas con Matlab

Se consideran las ecuaciones que describen el comportamiento de la celda y las funciones de salida se suman de tal manera que se considere como una celda con dos funciones, donde las señales de entrada y de retroalimentación siguen valiendo 1.

Y podemos decir que las ecuaciones que describen a la celda se repiten, y solo la ecuación de salida cambia, quedando de la forma que se muestra a continuación.

ECUACIÓN DE ESTADO:

$$C \frac{dv_{xij}(t)}{dt} = -\frac{1}{R_x} v_{xij}(t) + \sum A(i, j; k, l) v_{ykl}(t) + \sum B(i, j; k, l) v_{ukl}(t) + I \quad (3.2)$$

ECUACIÓN DE SALIDA:

$$v_{yij}(t) = \frac{1}{2} (|v_{xij}(t) + 1| - |v_{xij}(t) - 1|) + \frac{1}{2} (|v_{xij}(t) + 1| - |v_{xij}(t) - 1|) \quad (3.3)$$

ECUACIÓN DE ENTRADA:

$$v_{uij} = E_{ij} \quad (3.4)$$

CONDICIONES DE LA SEÑALES:

$$|v_{xij}(0)| \leq 1 \quad |v_{uij}| \leq 1 \quad (3.5)$$

Para  $1 \leq i \leq M ; 1 \leq j \leq N$

Donde como se observa, la salida se considera como la suma de las dos señales.

### 3.7.2. Simulación de dos celdas con H-Spice

Aquí se establece el arreglo planteado para más de una celda, donde se observan las señales que interactúan en el mismo, y la manera como son consideradas. El modelo eléctrico que representa a este arreglo de dos celdas interconectadas, es el que se muestra en la figura 3.10. Se observa un arreglo sencillo de dos celdas, el cual no es útil para aplicaciones reales, pues como sabemos deben ser arreglos de celdas vecinas cuadrados ó un arreglo de 5 celdas como el denominado Multinested, explicado en el capítulo anterior. La simulación se lleva a cabo con el único fin de conocer el comportamiento que tendrán las celdas cuando ya esten interconectadas con otras.

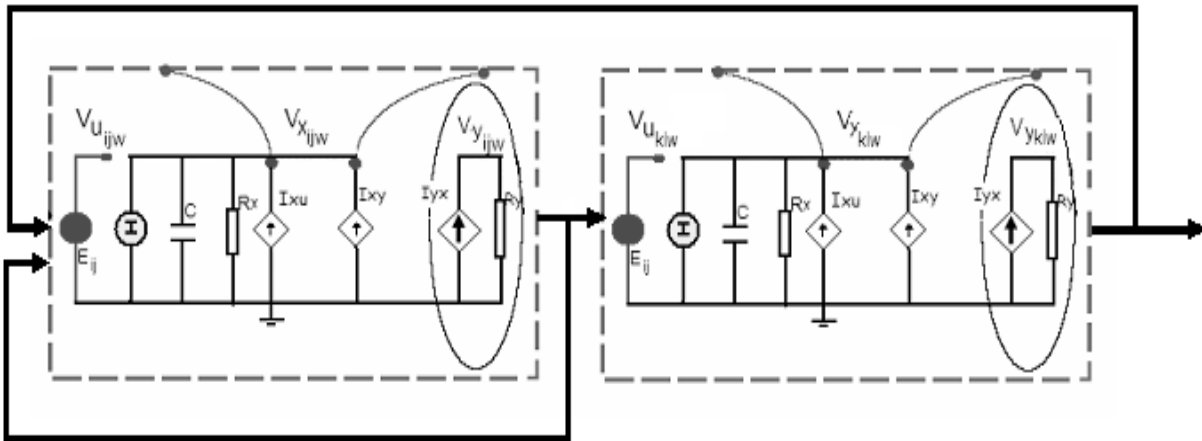


Figura 3.10: Arreglo de dos celdas

En este circuito se consideran las señales de retroalimentación de las celdas y la de salida, además de la señal de entrada.

De acuerdo con el modelo eléctrico presentado en la figura 3.10, debemos considerar la señal  $V_{yij} = V_{ukl}$ , esto debido a que la señal de salida de la celda 1, es considerada la señal de entrada de la celda 2.

Este modelo sólo se emplea con el fin de observar el comportamiento de dos celdas interconectadas, para de esta forma, obtener una idea de lo esperado en un arreglo completo de celdas.

A continuación se presentan los resultados obtenidos para el modelo ideal, cuando se emplearon las ecuaciones y se sustituyeron en Matlab, y cuando se empleó el circuito en H-Spice.

## 3.8. Resultados obtenidos

Para cada tipo de análisis de la celda tanto en Matlab, como en H-Spice, se obtuvieron resultados muy similares. A continuación se presentan los resultados obtenidos de la simulación de las ecuaciones de la celda ideal en Matlab, y del circuito básico ideal en H-Spice, al igual que los resultados obtenidos de las dos celdas.

### 3.8.1. Celda unica ideal en Matlab

En la figura 3.11 se muestra la gráfica del resultado obtenido en Matlab para la celda ideal, con las señales de entrada y de realimentación con valor de 1.

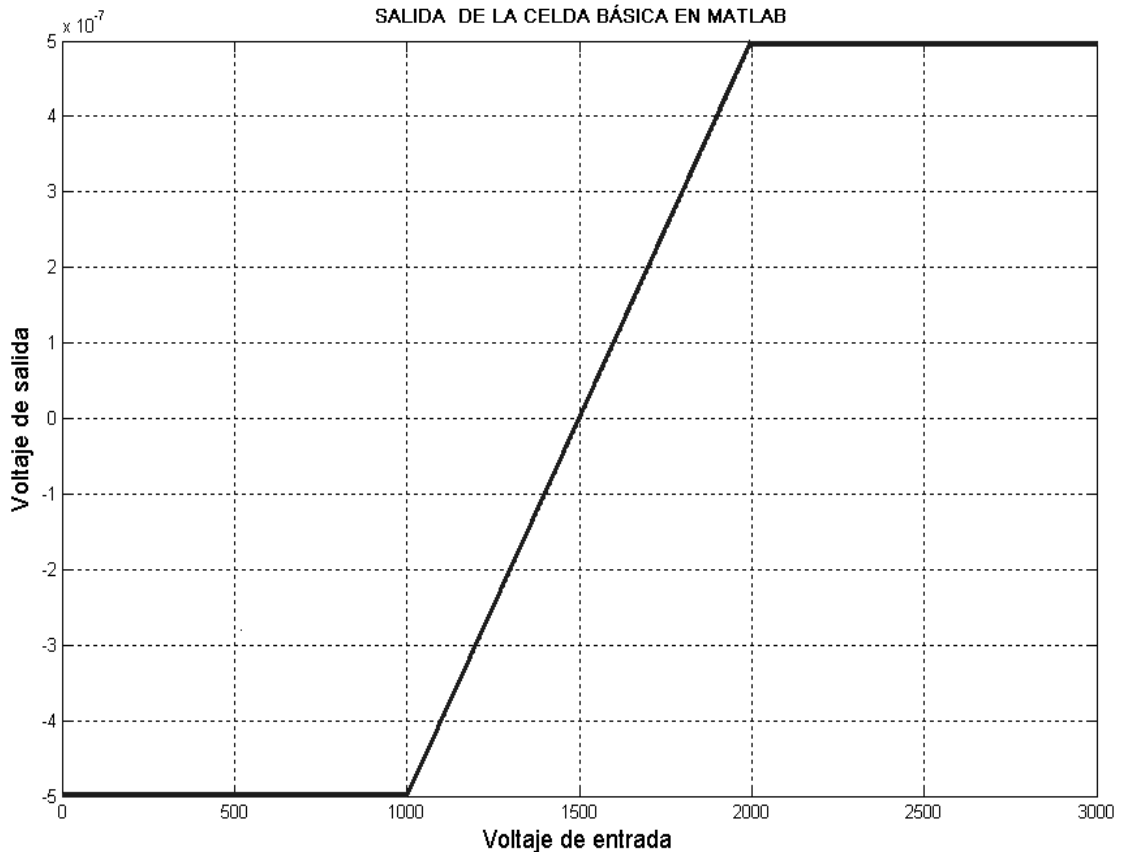


Figura 3.11: Señal de salida en MATLAB

El resultado observado en la gráfica, es obtenido del uso de las ecuaciones que modelan el comportamiento de la celda. Se puede observar que es una respuesta simétrica, cuyas unidades no dependen del voltaje de entrada sino más bien de un análisis de las ecuaciones realizado en el tiempo.

### 3.8.2. Celda unica ideal en H-Spice

En estas simulaciones se muestra la respuesta en voltaje para cada nodo del circuito de la celda, considerando el nodo de entrada, el de estado y el de salida.

La respuesta obtenida para cada nodo se observa en las figuras presentadas a continuación.

- Señal de entrada.

La señal de entrada en el nodo  $V_{iij}$ , se muestra en la figura 3.12, ésta es una señal en D.C. tipo rampa, que es la que necesita la celda, para tener un funcionamiento PWL.

Y se muestra el voltaje en la salida de la señal con respecto al voltaje de entrada.

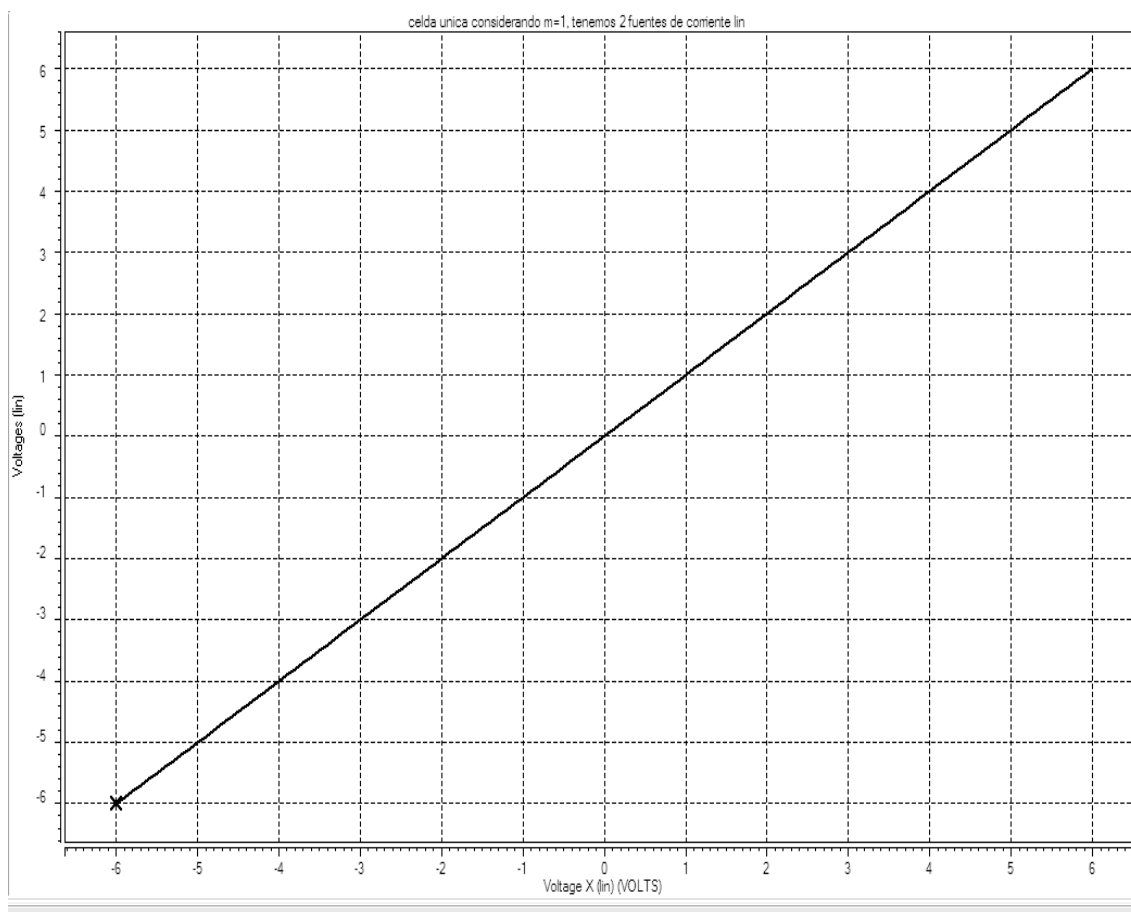


Figura 3.12: Señal de entrada para la celda ideal

- Señal de la etapa de estado.

La etapa de estado está representada en el nodo  $V_{xij}$ , y como se muestra en la figura 3.13, observamos que a partir de esta etapa, el comportamiento de la entrada presenta una variación en dos niveles de voltaje, en +1 y en -1.

Esta etapa considera los puntos de cambio de pendiente, debido a los voltajes de control para las fuentes de corriente de esta etapa.

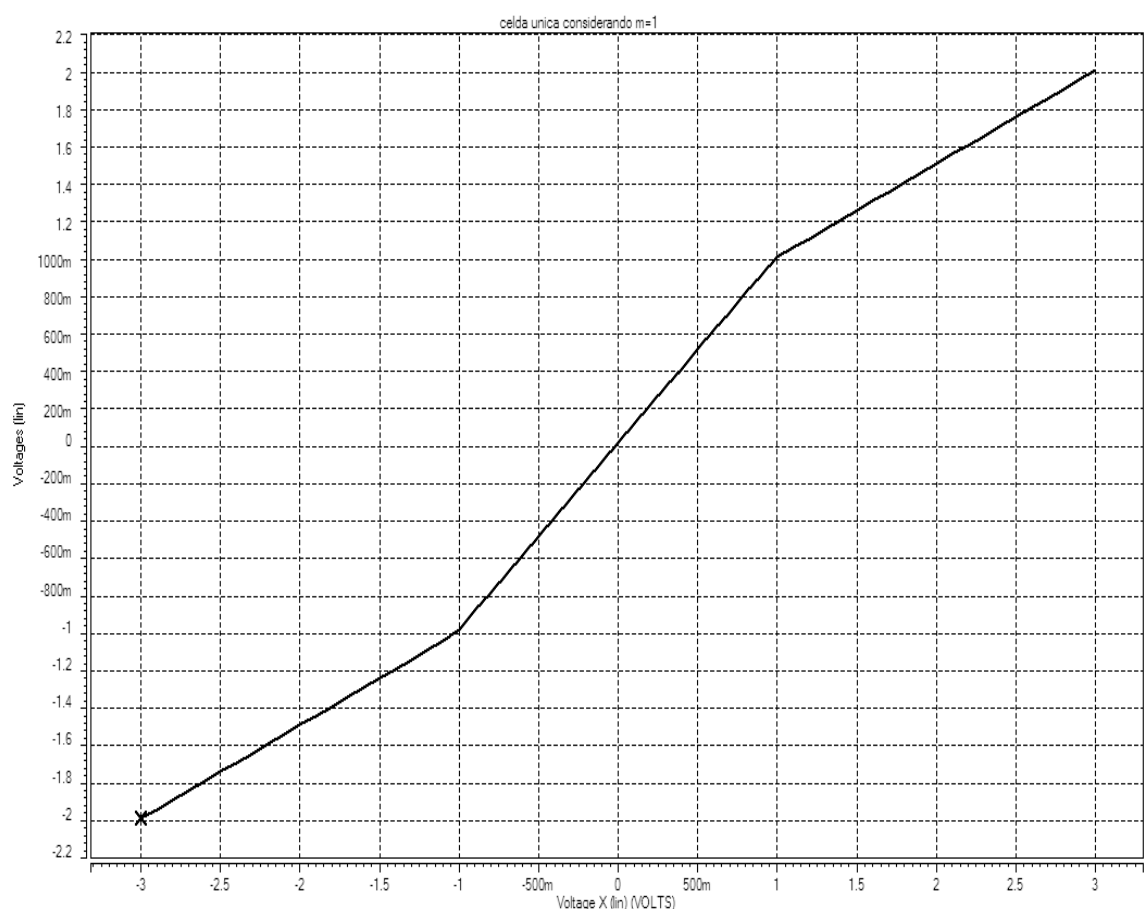


Figura 3.13: Señal en la etapa de estado de la celda ideal

Podemos entonces determinar que en el estado, se lleva a cabo la combinación de la entrada con la salida que se espera, de ahí el uso de dos fuentes controladas, para obtener la señal de salida mostrada en la figura 3.14.



- **Señal de salida.**

Esta última gráfica muestra la salida final del circuito ideal. Donde se observa que se presenta un señal PWL de voltaje con respecto a un voltaje de entrada.

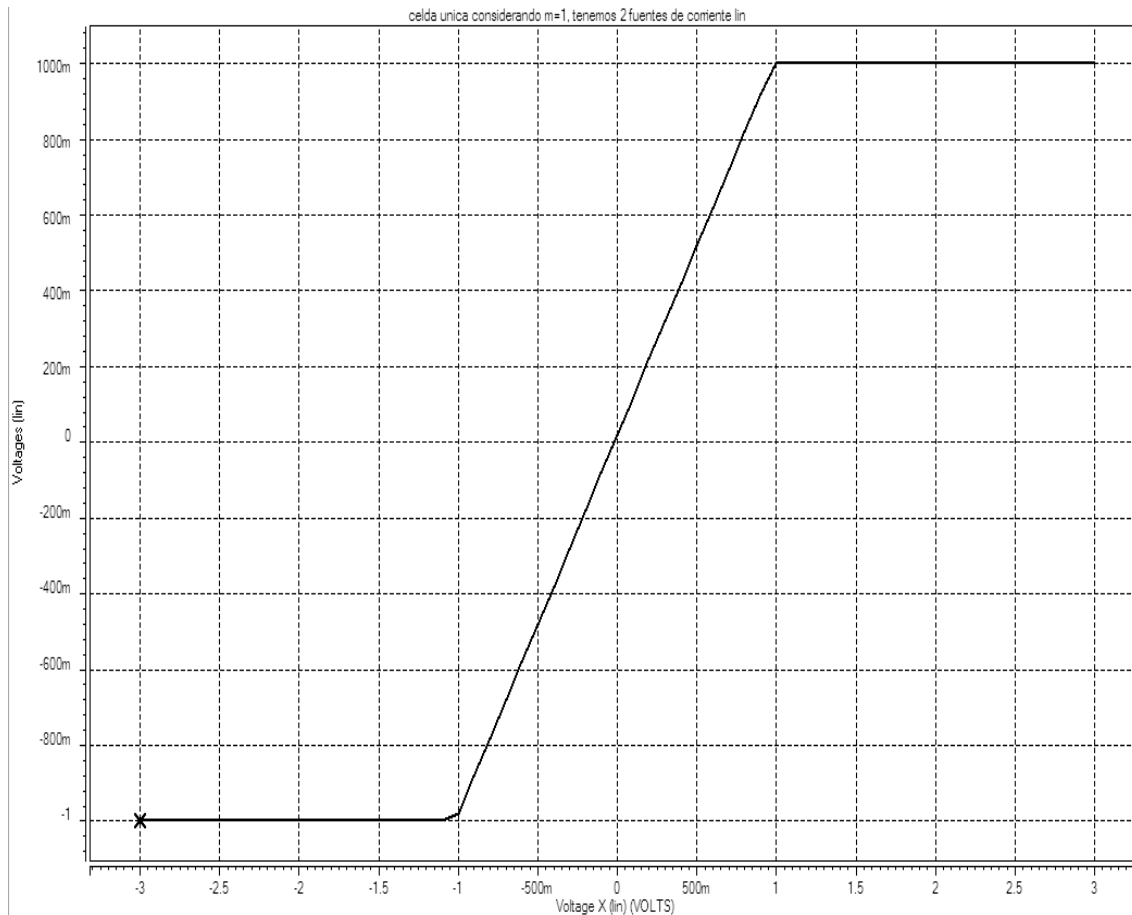


Figura 3.14: Señal de salida de la celda ideal

### 3.8.3. Comparación entre Matlab y H-Spice

Los resultados mostrados para una celda básica ideal, analizada en los dos simuladores, presentan variaciones mínimas o casi nulas, lo que nos muestra que los dos instrumentos de diseño son confiables, además, se verifica que el desarrollo de la simulación estuvo correctamente realizada.

Con ésta gráfica de la respuesta en Matlab solo se busca modelar el comportamiento ideal de manera PWL, para compararlo con la respuesta que se obtendrá en H-Spice el cual si considera el voltaje de salida con respecto al voltaje de entrada en un análisis en DC.

### 3.8.4. Arreglo de dos celdas en Matlab

Los resultados que se obtienen en el simulador de Matlab, al considerar las ecuaciones de dos celdas interconectadas, es decir, la suma de las señales, se muestran en la figura 3.15.

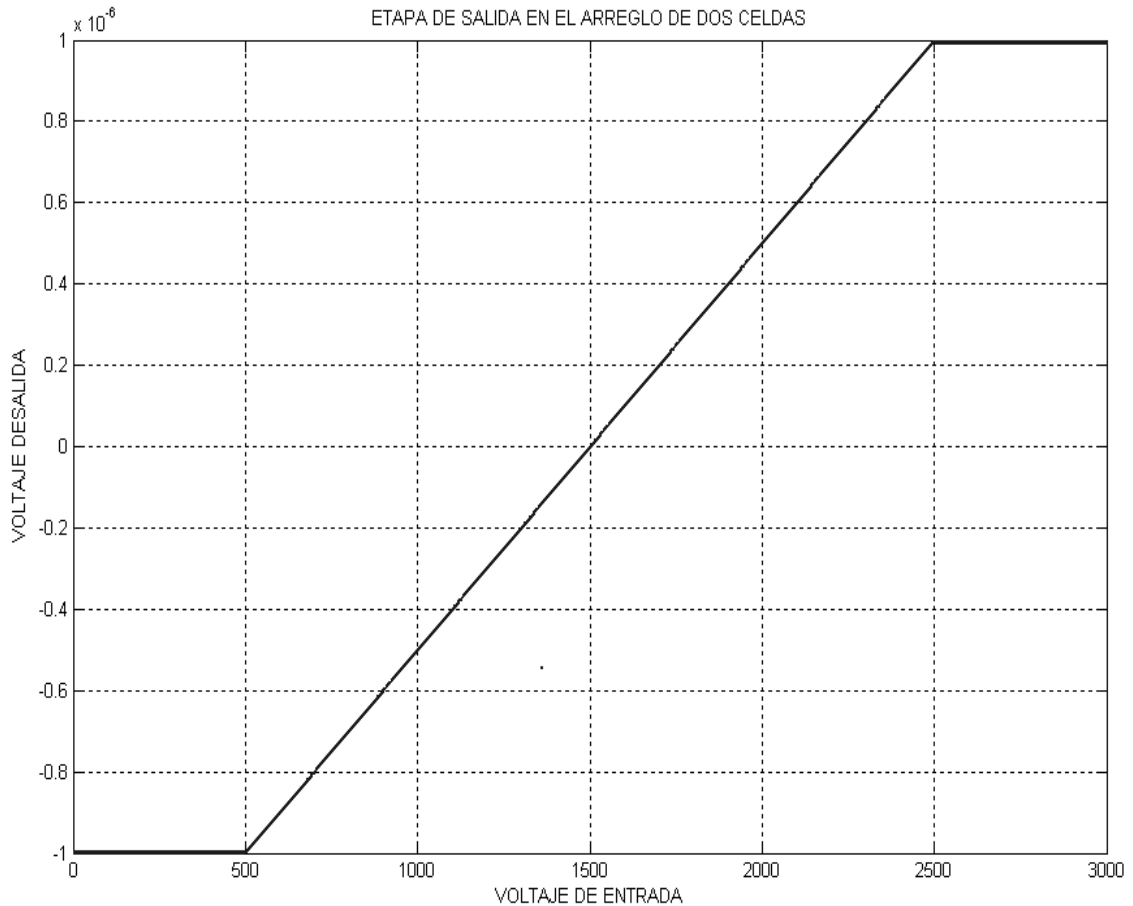


Figura 3.15: Señal de salida del arreglo de dos celdas

Como se observa, el resultado es similar al modelo de una celda única, pero al considerar la suma de las señales de entrada, la gráfica aumentó al doble. Esto justifica el uso de la etapa de entrada con el operador WTA, el cual solo considera a la señal mayor de todas como la única entrada.

En el caso particular donde todas las señales valgan lo mismo, con el WTA se logrará que utilice una sola como señal de entrada.

### 3.8.5. Arreglo de dos celdas en H-Spice

El arreglo de dos celdas se lleva a cabo para verificar el comportamiento de varias celdas interconectadas y empleamos el que se mostró en la figura 3.10. Para este arreglo de dos celdas se consideran ahora cuatro fuentes de corriente controladas por voltaje, dos de la celda básica principal y dos de la celda vecina. La entrada sigue siendo una señal rampa y las figuras 3.16 y 3.17. muestran las señales en el nodo de estado y de salida.

- Señal de la etapa de estado de la segunda celda (Nodo Vxkl).

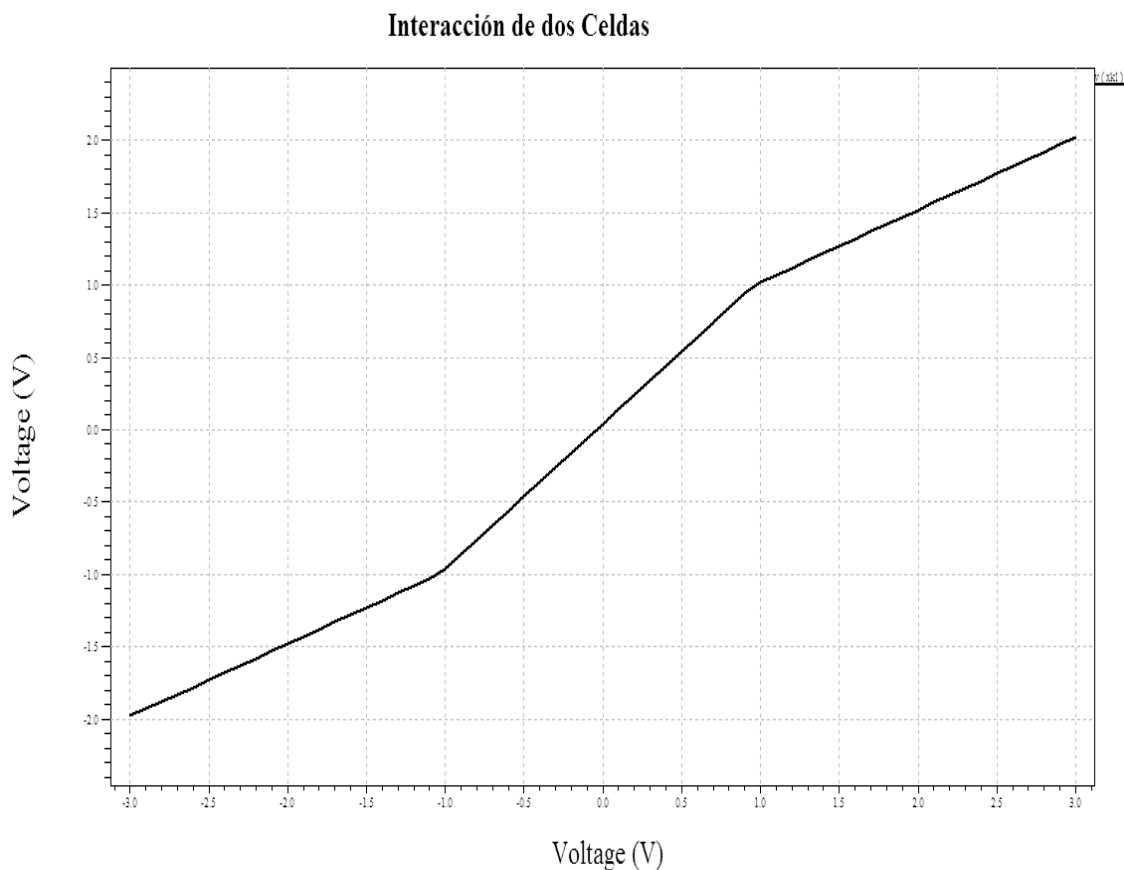


Figura 3.16: Señal en la etapa de estado de la segunda celda

De la figura 3.16 se observa que la etapa de estado de la segunda celda, no muestra variaciones con respecto a la simulación de una celda única mostrada en la figura 3.13.

- Señal de salida de la segunda celda (Nodo Vykl).

La señal de salida se muestra en el nodo Vykl y la etapa de estado en el nodo Vxkl, es decir, la salida se ve en la segunda celda; pues la primera sólo proporciona la señal de estado para la segunda.

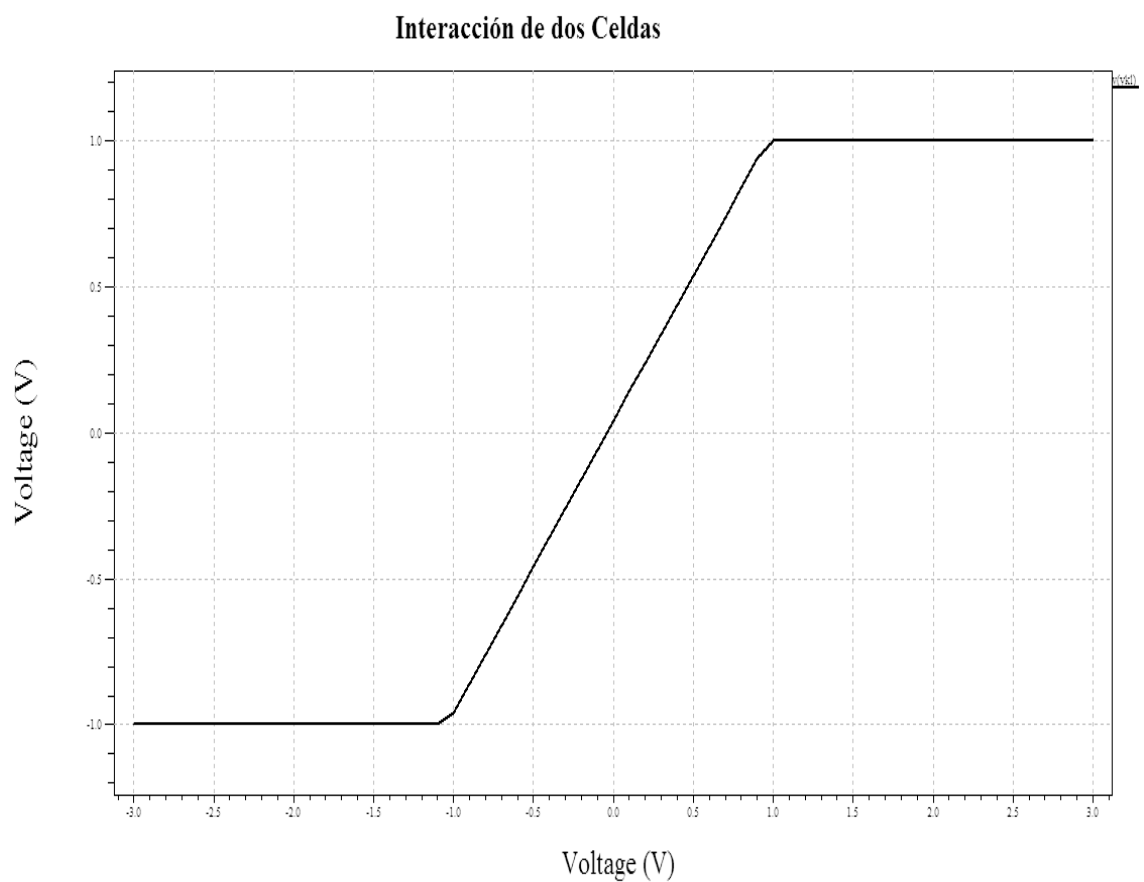


Figura 3.17: Señal de salida de la segunda celda

Comparando las figuras 3.17 con la 3.14 observamos que las etapas de salida no muestra variaciones. Y que tanto para una celda como para dos, la respuesta es la misma.

### 3.9. Conclusiones

En este capítulo se describió el comportamiento de la celda básica y de cada una de sus etapas. Se mostró el método para considerar todas las entradas que llegan a la celda, y saber cual es la que se utilizará como la única entrada. También se mostro el comportamiento de la celda desde el punto de vista ideal utilizando las ecuaciones y el circuito, mediante dos herramientas de simulación: el matlab y el h-spice, identificando que la variación es mínima de una a otra herramienta. Finalmente se realizó un diseño empleando dos celdas, para conocer el comportamiento que se esperaría en un arreglo de varias celdas, identificando que el resultado obtenido es el mismo para una que para más de una celda interconectada, todo esto utilizando modelos ideales.

# Capítulo 4

## Diseño de la celda básica

En este capítulo se presentará el diseño completo de la celda básica con elementos reales, identificando las tres etapas que la componen:

- La etapa de entrada.
- La etapa de estados.
- La etapa de salida.

Los modelos utilizados y el modelo final, son parte de toda la investigación y pruebas realizadas durante la preparación de este trabajo, En este capítulo se muestran los principales modelos empleados y se justifica el uso del modelo propuesto, en donde la etapa de salida es una función PWL que depende de la etapa de estado y de las señales que llegan al nodo de entrada. El diseño completo de la celda básica para la CNN es realizado en H-Spice con la tecnología de 0.5 micras, y se presentan los resultados obtenidos.

El modelo propuesto para diseñar la celda básica fue realizado de manera estructurada, parte por parte, considerando finalmente todo como una sola celda, donde se identificaran todas las posibles entradas a un nodo, la etapa de estado para esas entradas y la etapa de salida PWL.

## 4.1. Estructura del diseño

De acuerdo con la teoría desarrollada en los capítulos 1 y 2, la celda tiene que ser diseñada para obtener una respuesta PWL simétrica y que sea similar a la obtenida en el diseño de la celda básica ideal simulada en el capítulo 3. Los pasos para su diseño se observan en la figura 4.1.

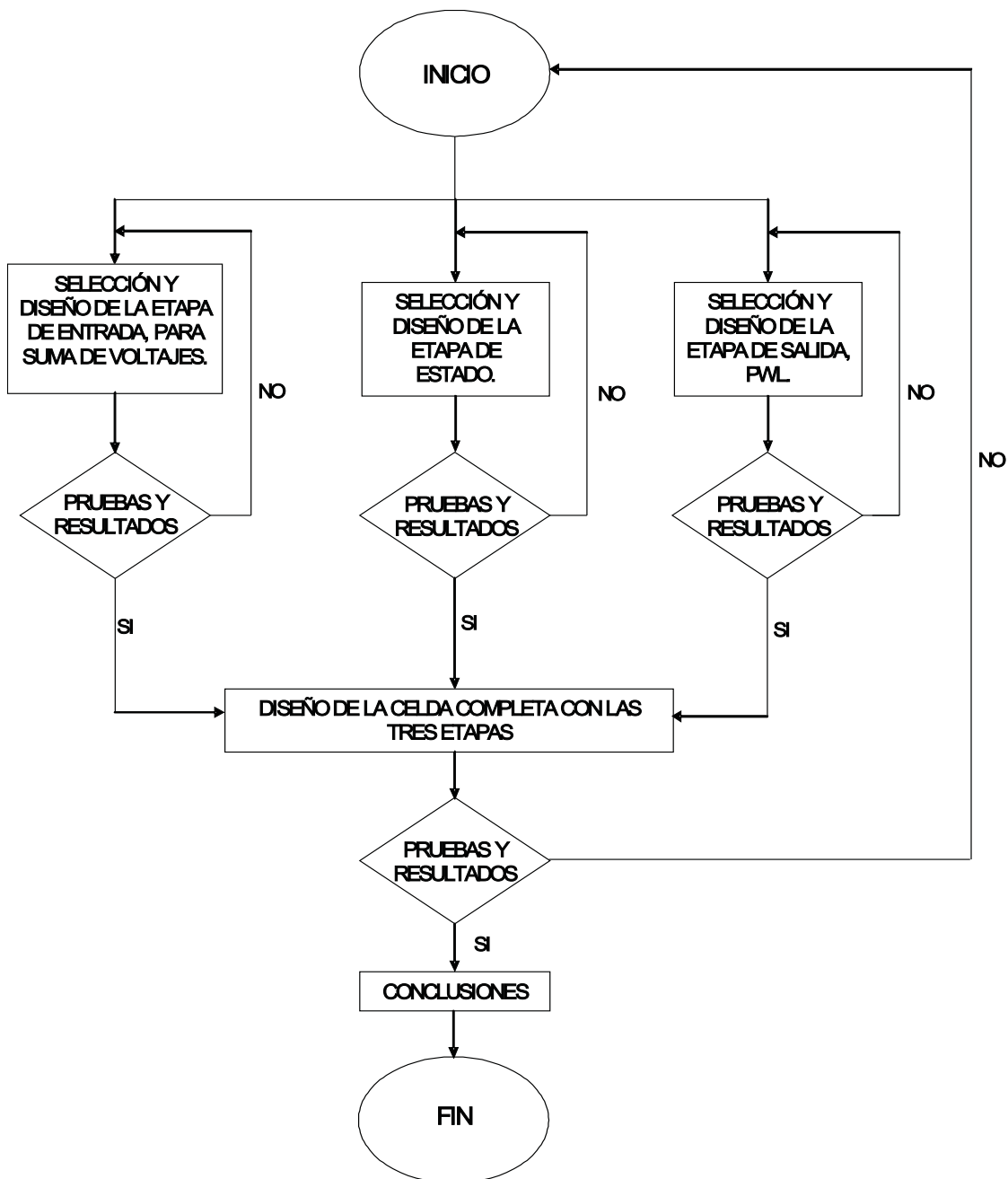


Figura 4.1: Estructura del diseño y verificación de resultados para la celda básica

El diagrama de la figura 4.1, ayudará en la identificación de las etapas y los circuitos eléctricos necesarios para obtener la respuesta deseada. El diseño está basado en el resultado más óptimo de varias pruebas realizadas, y de varios modelos propuestos y se presenta el diseño real de la celda básica que tuvo la respuesta más cercana a la ideal dando una explicación detallada de cada una de las partes. Para cada etapa se muestra el diseño final del circuito empleado y los resultados obtenidos en las simulaciones realizadas en H-Spice.

## 4.2. Diseño de la etapa de entrada

Para el diseño de esta etapa con elementos reales, se utilizó el modelo de la suma de entradas presentado en la figura 3.4 c). El cual se presenta nuevamente en la figura 4.2.

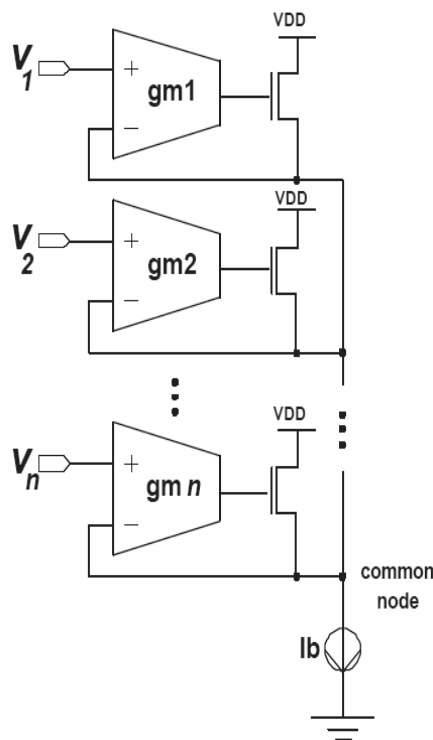


Figura 4.2: Modelo del diseño del WTA para la etapa de entrada

Como se observa, esta estructura utiliza amplificadores de transconductancia (OTA) como seguidores de voltaje con retroalimentación y con un transistor a la salida para reducir su impedancia.



Y para realizar el diseño del WTA, consideramos unicamente dos entradas, usando dos OTA's, conectados a un nodo común, con un transistor a la salida para reducir la impedancia y como se explicó en el capítulo anterior, este circuito es el que proporciona los mejores resultados, al tener una impedancia de salida muy baja y reducir el efecto de esquina.

El circuito a nivel transistor diseñado para dos entradas es el que se muestra en la figura 4.3. Este circuito cuenta con dos OTAS en lazo cerrado, con una etapa seguidora de voltaje, conectada a un nodo común con una fuente de polarización en dicho nodo. La función de la fuente de corriente en el nodo común es proporcionar el nivel más alto de todas las señales que llegan a dicho nodo.

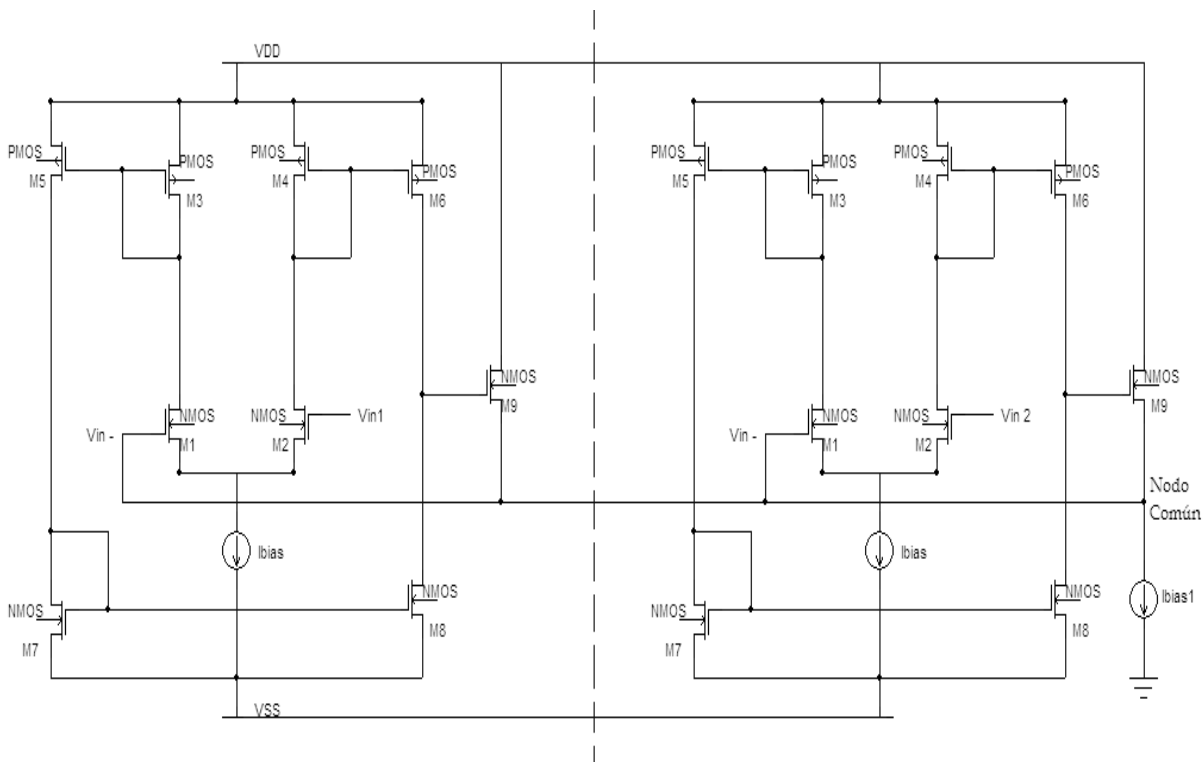


Figura 4.3: Circuito a nivel transistor para dos entradas a un nodo común

Es importante que el WTA como seguidor de voltaje, presente una resistencia de salida lo más pequeña posible, para de esta manera mejorar la respuesta del sistema y evitar el error de esquina. Una técnica típica empleada para reducir la resistencia de salida es el uso de retroalimentación local y el uso de un transistor a la salida del seguidor. La etapa de ganancia amplifica la diferencia entre la entrada y la salida del seguidor de fuente, reduciendo la resistencia de salida por el factor de amplificación de la etapa de ganancia en si misma.

### 4.2.1. Gráficas de la etapa de entrada

Para el circuito presentado en la figura 4.3, diseñado en tecnología de 0.5 micras y simulado en H-Spice, se muestran dos entradas en DC, a partir de las cuales se obtiene la señal en el nodo común del WTA (figs. 4.4 - 4.6).

Se utilizan dos señales para probar el funcionamiento de esta etapa y verificar que el WTA esta trabajando correctamente. Estas señales son: una señal rampa de voltaje en D.C. que se conecta a al primer nodo de entrada y una señal de voltaje se mantiene a 0 volts, y se conecta al segundo nodo de entrada.

#### ■ Primera señal de entrada al WTA

Esta es una señal rampa en DC que pasa por el origen con una pendiente de valor 1. Esta es la primera señal de entrada utilizada y es la que se muestra en la figura 4.4.

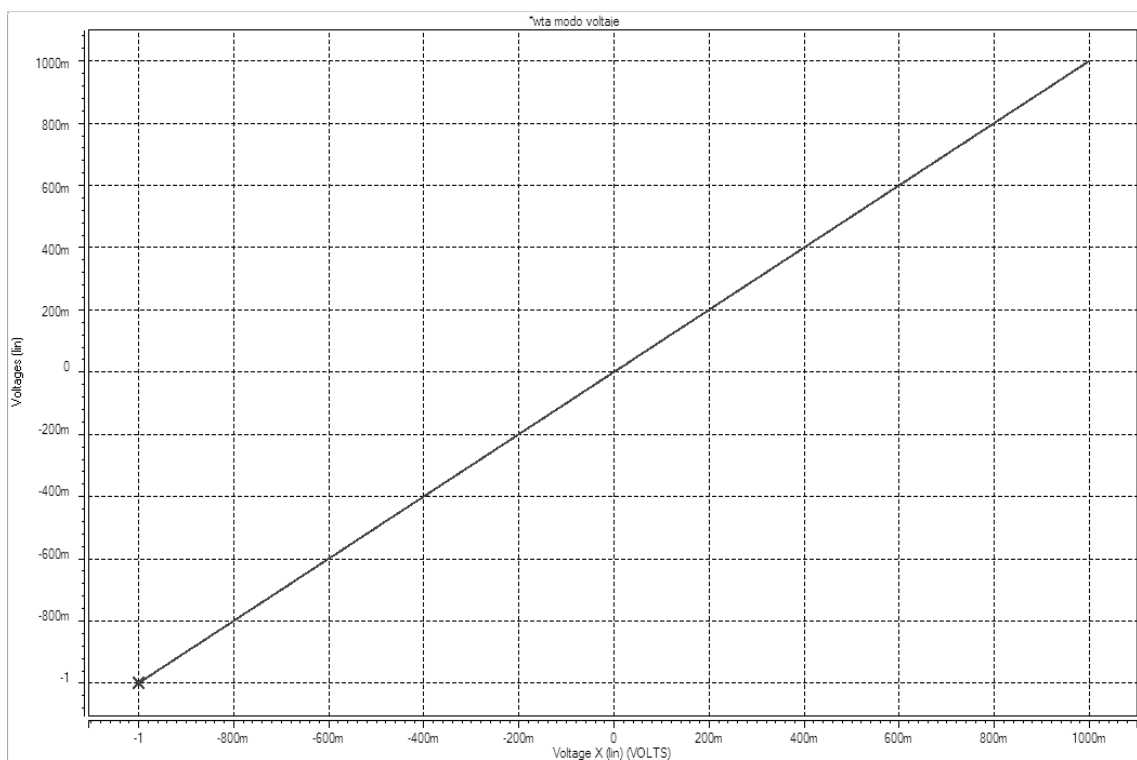


Figura 4.4: Primera señal de entrada al nodo común

#### ■ Segunda señal de entrada al WTA

Esta señal se encuentra también en DC pero es una señal a 0 volts, que no presenta pendiente alguna (figura 4.5).

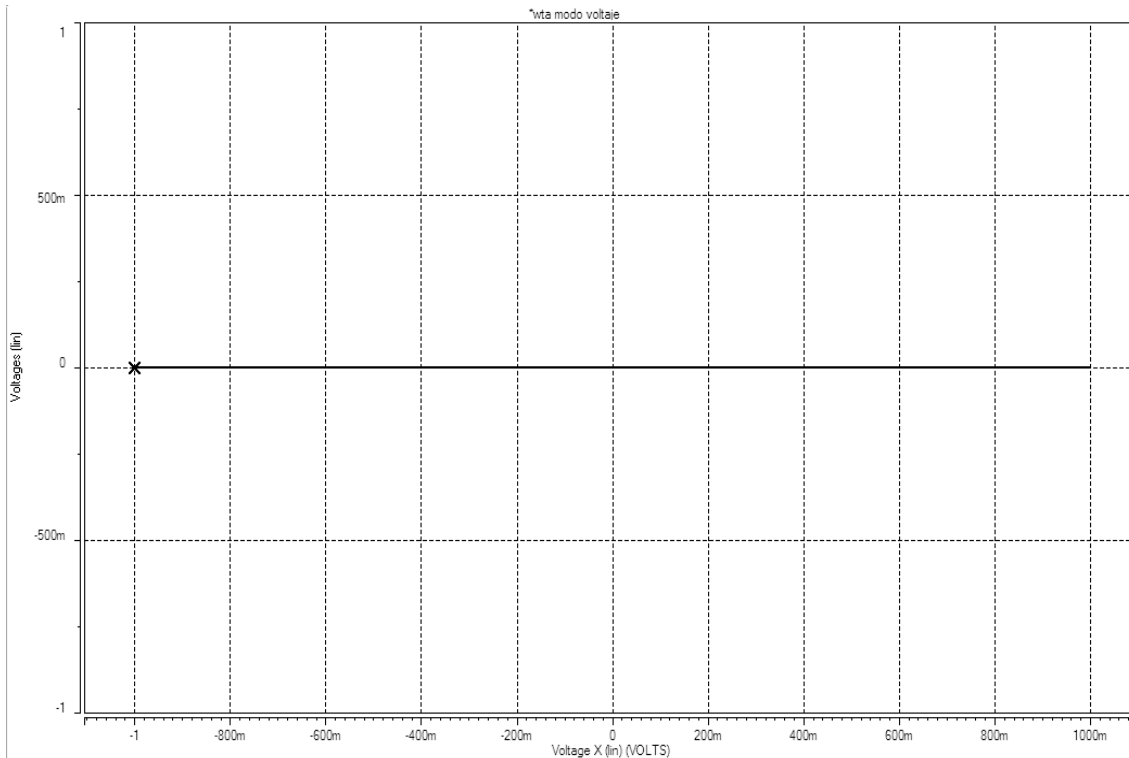


Figura 4.5: Segunda entrada al nodo común

■ Señal obtenida en el nodo común del WTA

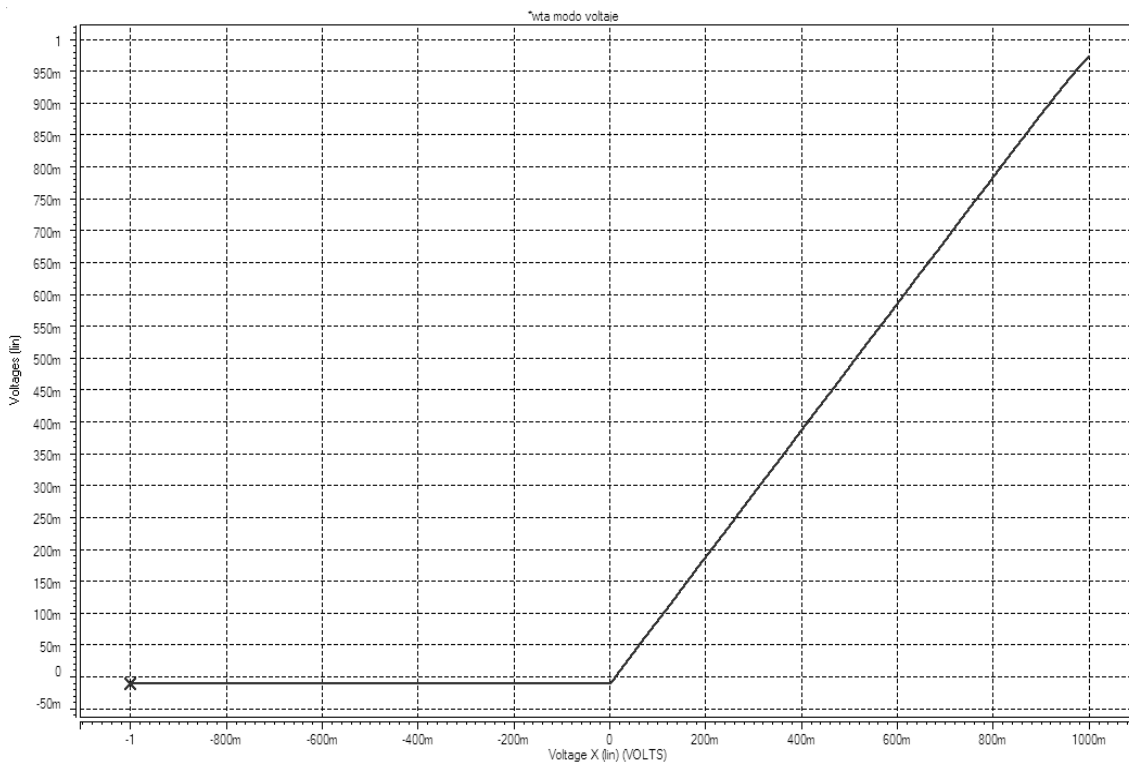


Figura 4.6: Señal de salida del WTA

La señal que resulta como salida del WTA, es el nivel más alto de las dos señales de entrada como se muestra en la figura 4.6.

Se hace un barrido y se consideran los niveles más altos de ambas señales para obtener una señal de salida única en el nodo común. Esta señal es la que se considera como la entrada para la celda básica. La figura muestra la parte más grande de las dos señales, sin sumarlas.

- **Gráfica de las 2 señales de entrada al WTA y la señal resultante**

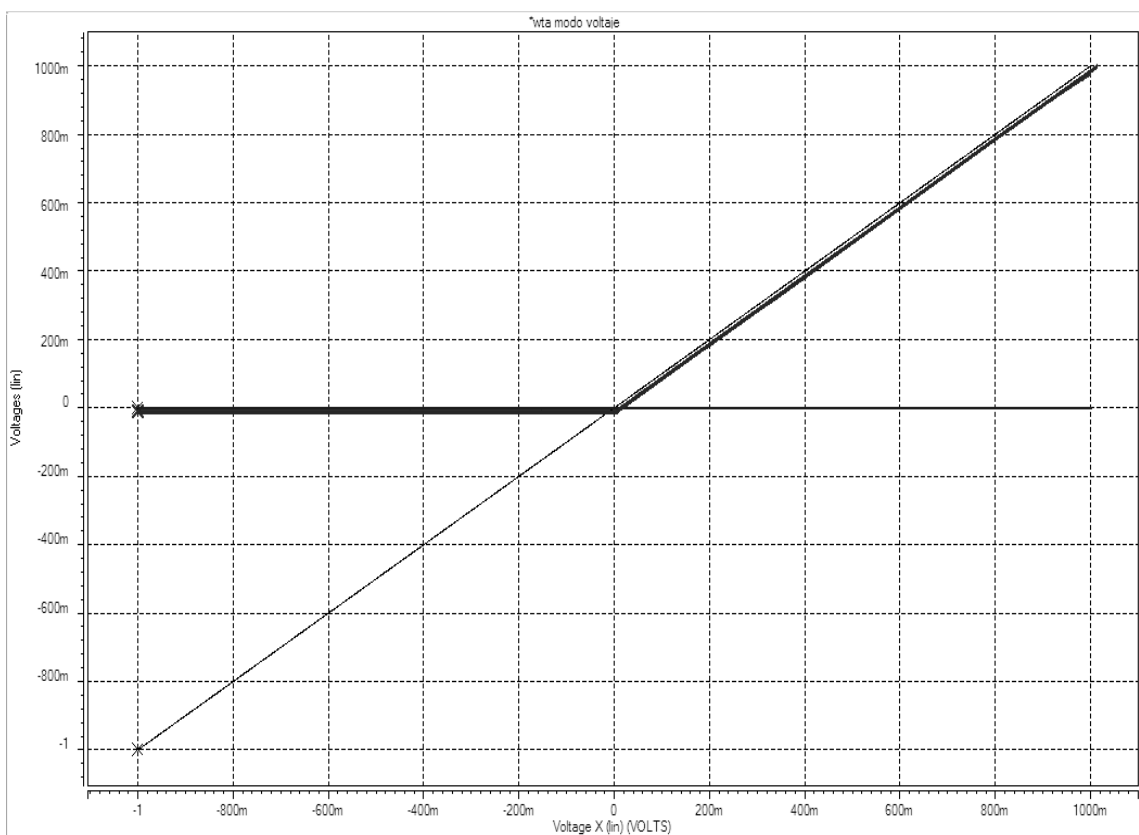


Figura 4.7: Señales del WTA

Esta gráfica (4.7) presenta las señales empleadas a la entrada y la señal en el nodo común, la cual será considerada como la señal de entrada para la celda básica. Se verifica que el diseño presentado es correcto y que la respuesta obtenida es la deseada para un WTA.

### 4.3. Diseño de la etapa de estado

La etapa de estado es la parte principal de la celda, depende de la entrada y es la que proporciona la corriente necesaria para que la etapa de salida funciones de manera adecuada como un modelo PWL. Ésta etapa se desarrolla empleando un Amplificador de transconductancia (OTA), ya que el voltaje de entrada controla una corriente de salida. En la figura 4.8a y 4.8b se muestra el símbolo del OTA y su circuito equivalente ideal respectivamente.

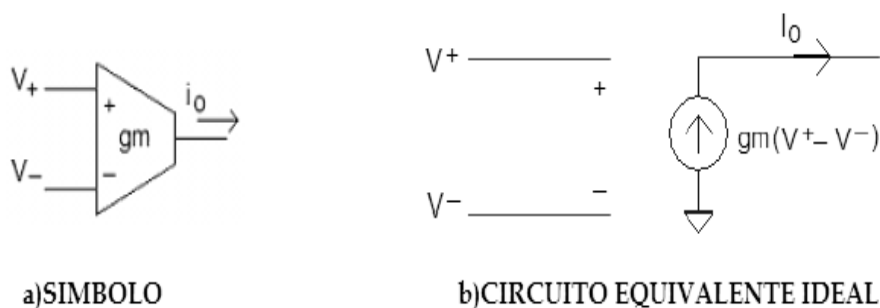


Figura 4.8: Símbolo del OTA en la etapa de estado y su circuito equivalente

El OTA está diseñado de modo simétrico con dimensiones pequeñas y se emplea este modelo ya que tiene características deseables para reducir dimensiones y evitar el uso de capacitores de compensación (figura 4.9). Otras características del OTA simétrico son:

- Su ganancia es mucho más baja que el CMOS OPAM de dos etapas.
- Tiene un sólo polo dominante, determinado por la capacitancia de carga  $C_L$ .
- No necesita compensación.
- Diseño relativamente fácil.

Para esta etapa se emplea un OTA simétrico similar al usado para diseñar el WTA. Se decidió por usar este OTA ya que no necesita compensación y presenta una buena respuesta, además de las características previamente mencionadas.

En la figura 4.9 se presenta el circuito eléctrico para diseñar a este amplificador de transconductancia (OTA) simétrico y se describe su funcionamiento.

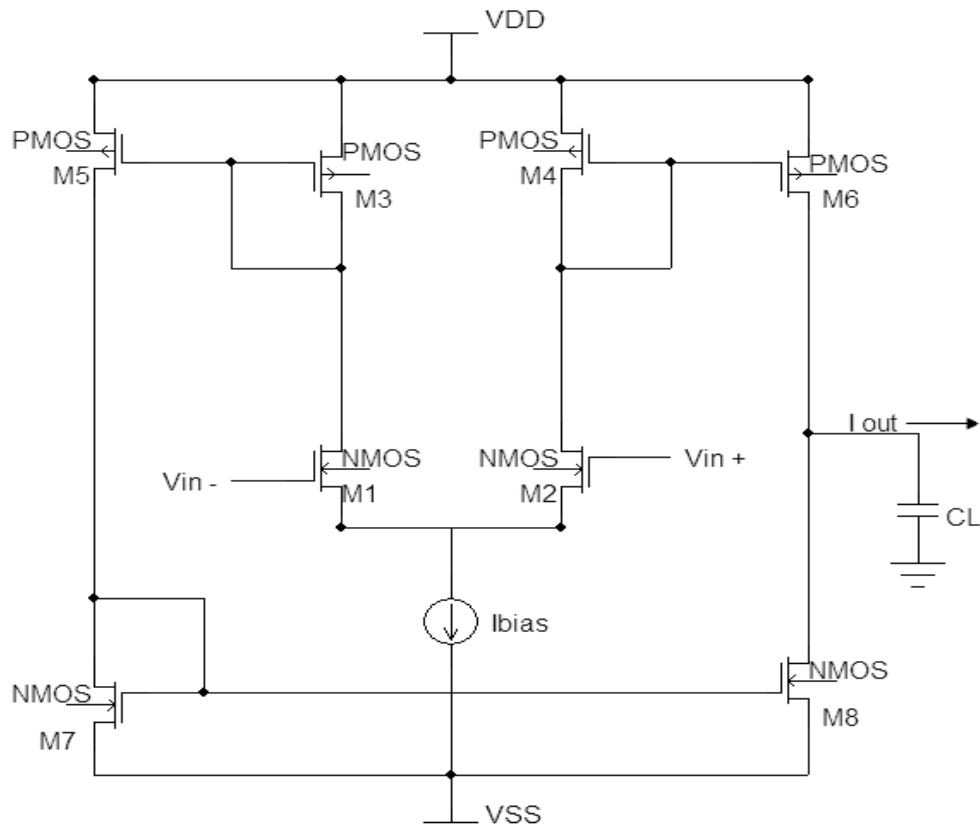


Figura 4.9: Esquemático de un OTA simétrico

#### ■ Características del OTA simétrico.

Este circuito eléctrico del OTA puede describirse de acuerdo a la forma como se conectan los transistores, y consta de lo siguiente:

Un amplificador diferencial, formado por M1 y M2. Una carga activa, dada por M3 y M4. Los transistores M5 y M6, es donde se refleja la corriente que M3 y M4 copian del diferencial de entrada. M7 y M8 es un espejo de corriente. El punto de más alta impedancia se encuentra ubicado a la salida, en la unión de los drenadores M6 y M8. CL es la capacitancia de carga y B es el factor de reflejo del espejo de corriente M3-M5. Ibias es la corriente de polarización del par diferencial y de todo el circuito.

### 4.3.1. Relaciones de diseño

Haciendo un análisis relativamente simple al circuito de la figura 4.9, encontramos las siguientes relaciones de diseño para conocer la ganancia, ancho de banda y el slew-rate que se puede obtener:

- Ganancia de la primera etapa.

$$A_{v1} = \frac{gm_1}{gm_3} \quad (4.1)$$

- Ganancia de la salida.

$$A_{v0} = B \frac{gm_1}{g_{O6} + g_{O8}} \quad (4.2)$$

$$B = \frac{gm_3}{gm_5} \quad (4.3)$$

- Ancho de banda a ganancia unitaria

$$GWB = f_0 = B \frac{gm_1}{2\pi C_L} \quad (4.4)$$

- Slew Rate

$$S_r = B \frac{I_{bias}}{C_L} \quad (4.5)$$

de  $I_{D5}=I_{D7}$  en saturación, tenemos las siguientes relaciones:

$$\left(\frac{W}{L}\right)_7 = \left(\frac{W}{L}\right)_8 = \left(\frac{\mu_p}{\mu_n}\right) \left(\frac{W}{L}\right)_5 \quad (4.6)$$

Donde  $\mu_p$  y  $\mu_n$  son las movilidades de los huecos y electrones respectivamente. Y recordando que:

$$\frac{W}{L} = \frac{gm^2}{2I_D K} \quad (4.7)$$

Con estas relaciones de diseño se procedió a diseñar un OTA simétrico.

### 4.3.2. Gráfica resultante de la etapa de estado

Al ser un OTA, el que se está diseñando, obtenemos una señal de salida en corriente que depende de dos fuentes de voltaje para obtener una corriente que va desde valores negativos hasta positivos de voltaje.

Los valores de interés son de -1v a 1v como entrada para tener la corriente de salida.

La señal de salida en corriente es la que se muestra a continuación en la figura 4.10.

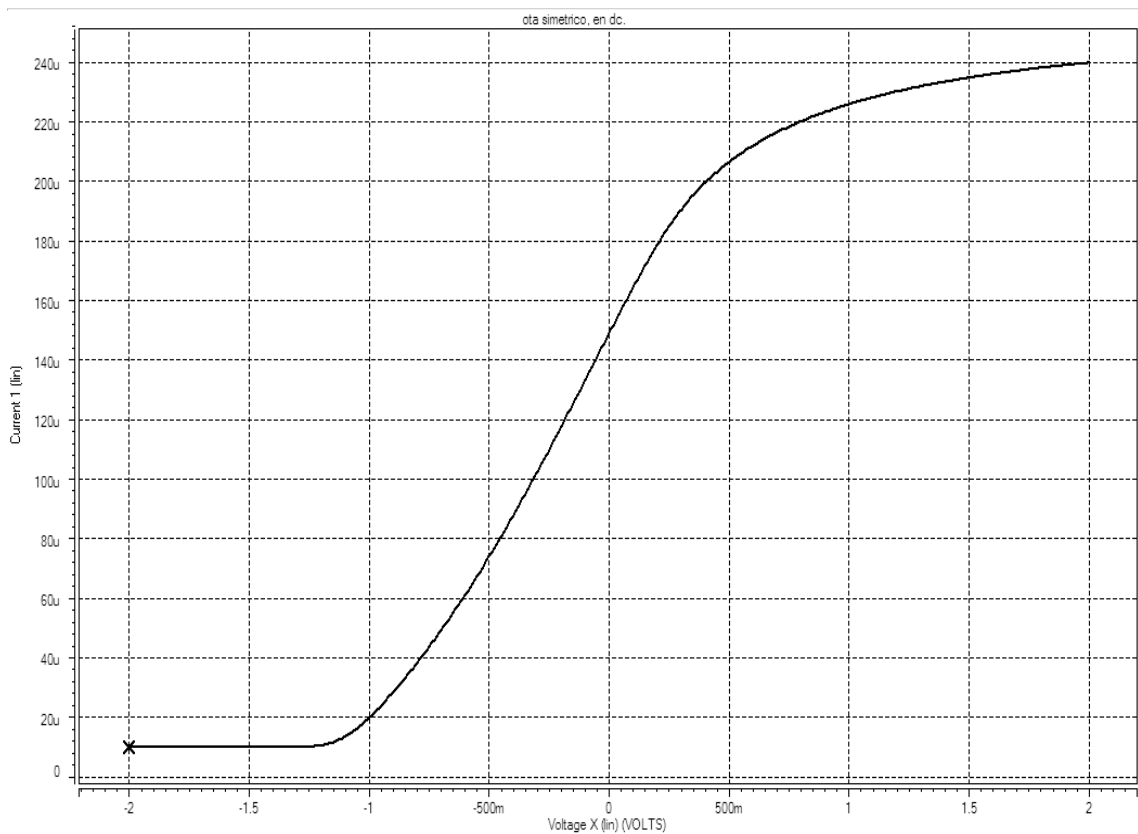


Figura 4.10: Curva característica del OTA (Función tangente hiperbólica)

Esta salida nos permite observar que obtenemos una señal de entrada en voltaje que va desde valores negativos hasta valores positivos, manteniendo una salida en corriente, para valores de entrada de -1 a +1 volts.



## 4.4. Diseño de la etapa de salida

La etapa de salida PWL, parte del uso circuitos en modo corriente para aproximación de funciones piecewise-linear, estos circuitos son bloques básicos de espejos de corriente. El uso de espejos de corriente como el circuito encargado de realizar las funciones PWL, se debe a que son muy compactos, programables y pueden operar a muy altas frecuencias.

### 4.4.1. Características de los espejos de corriente

El espejo de corriente se comporta como rectificador ideal, esta es una ventaja sobre los circuitos basados en OTA's, donde un OTA linealizado y un diodo son requeridos para realizar un rectificador ideal.

Como su nombre lo dice, un espejo de corriente tiene la función de generar una réplica de corriente a partir de la atenuación o amplificación por un factor  $A_o$  de una corriente de referencia[21]. Desde un punto de vista eléctrico, el espejo de corriente se comporta como una fuente de corriente controlada por corriente. Idealmente, el puerto de entrada consiste de una impedancia de valor cero ó un corto circuito por el cual se inyecta una corriente de referencia, mientras que el puerto de salida consiste de una impedancia infinita donde es llevada a cabo la réplica, tal y como se muestra en la figura 4.11.

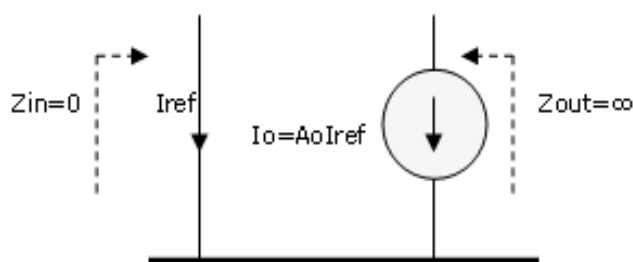


Figura 4.11: Circuito Equivalente ideal de un espejo de corriente

El espejo de corriente está formado por dos transistores de los cuales  $M_1$  está conectado como diodo. Este último transistor sensa la corriente de referencia  $I_{ref}$  y es reflejada con una corriente de salida  $I_{out}$  a través de las terminales de drenaje a fuente de  $M_2$ .

La figura 4.12 muestra la implementación básica de espejos de corriente con transistores MOS.

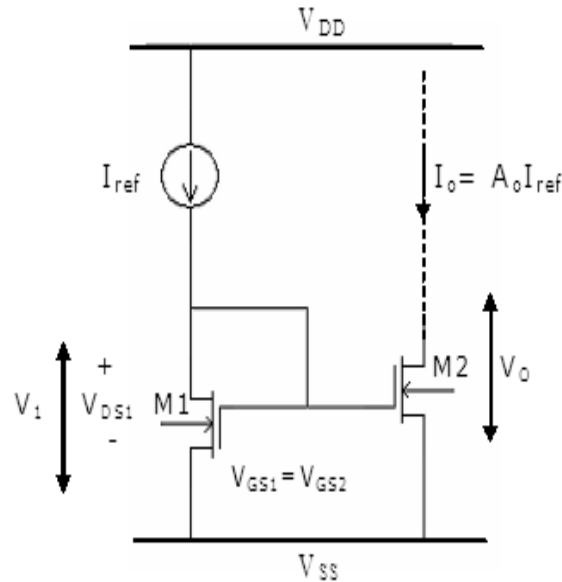


Figura 4.12: Implementación simple a nivel transistor del espejo de corriente

El voltaje de compuerta a fuente  $M_1$ ,  $V_{GS1}$ , es igual a su voltaje de drenaje a fuente  $V_{DS1}$  y es el mismo voltaje que polariza a la compuerta  $M_2$ ,  $V_{GS2}$ . Y si ambos transistores operan en la región de saturación se puede demostrar que la corriente de salida está dada por la ecuación 4.8.

$$I_{out} = A_O I_{ref} = \frac{(W/L)_{M2}}{(W/L)_{M1}} I_{ref} \quad (4.8)$$

Por lo tanto, como se puede observar en (4.8) la relación entre las dimensiones establece el factor de ganancia  $A_o$  que puede amplificar o atenuar la corriente de referencia.

Las ventajas más importantes de esta arquitectura radican principalmente en su simplicidad de diseño, su amplio rango dinámico y su prestación para el diseño en bajo voltaje.

Sin embargo, su desventaja más notable se debe principalmente a que su impedancia de salida es baja, por lo que la réplica de corriente no es exacta. Una manera de incrementar considerablemente la impedancia de salida es el uso de espejos de corriente Cascode o Wilson (con cuatro transistores), pero en estos se reduce principalmente el rango dinámico.

De acuerdo con este circuito y con su funcionamiento, la polaridad de los transistores determina el cuadrante donde la rectificación toma lugar, y la pendiente de la función de transferencia corresponde a la ganancia del espejo, es determinada por el cociente de la geometría de los transistores.

Los espejos de corriente, pueden ser de ganancia negativa y ganancia positiva, y se obtienen usando dos espejos en cascada.

En las figuras 4.13, 4.15 y 4.16 se muestran los bloques para implementar circuitos en modo corriente para aproximación PWL (espejos de corriente), y la función de transferencia para cada uno de estos bloques, la cual está definida por corriente de salida con respecto a la corriente de entrada. Estos espejos de corriente en sí, se aproximan a ser rectificadores de corriente ideales[19].

Las corrientes en DC  $I_1$  e  $I_2$  en la entrada y la salida de cada bloque de circuito se utilizan para mover la característica de rectificación a cualquier posición arbitraria.

Para el caso donde  $I_1$  e  $I_2$  valen cero, el punto de quiebre de la función de transferencia está en el origen.

La corriente  $I_1$  se emplea para modificar la rectificación en el eje X, y la corriente  $I_2$  modifica la rectificación en el eje Y.

Para una aproximación PWL, se utiliza un número de bloques igual al número de segmentos de la función de transferencia PWL usada. Las corrientes de salida individuales de todos los bloques son sumados en una carga común (de baja impedancia).

A continuación se presentan los diseños del espejo de corriente con rectificación negativa y rectificación positiva, y las gráficas obtenidas.

### 4.4.2. Diseño del espejo PWL en la parte negativa

La figura 4.13 muestra el circuito para la parte negativa.

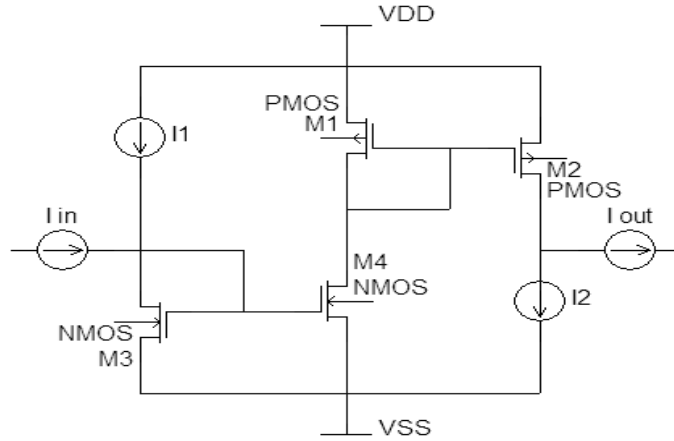


Figura 4.13: Circuito del espejo de corriente PWL, para la parte negativa

La respuesta para este espejo de corriente es la que se muestra en la figura 4.14.

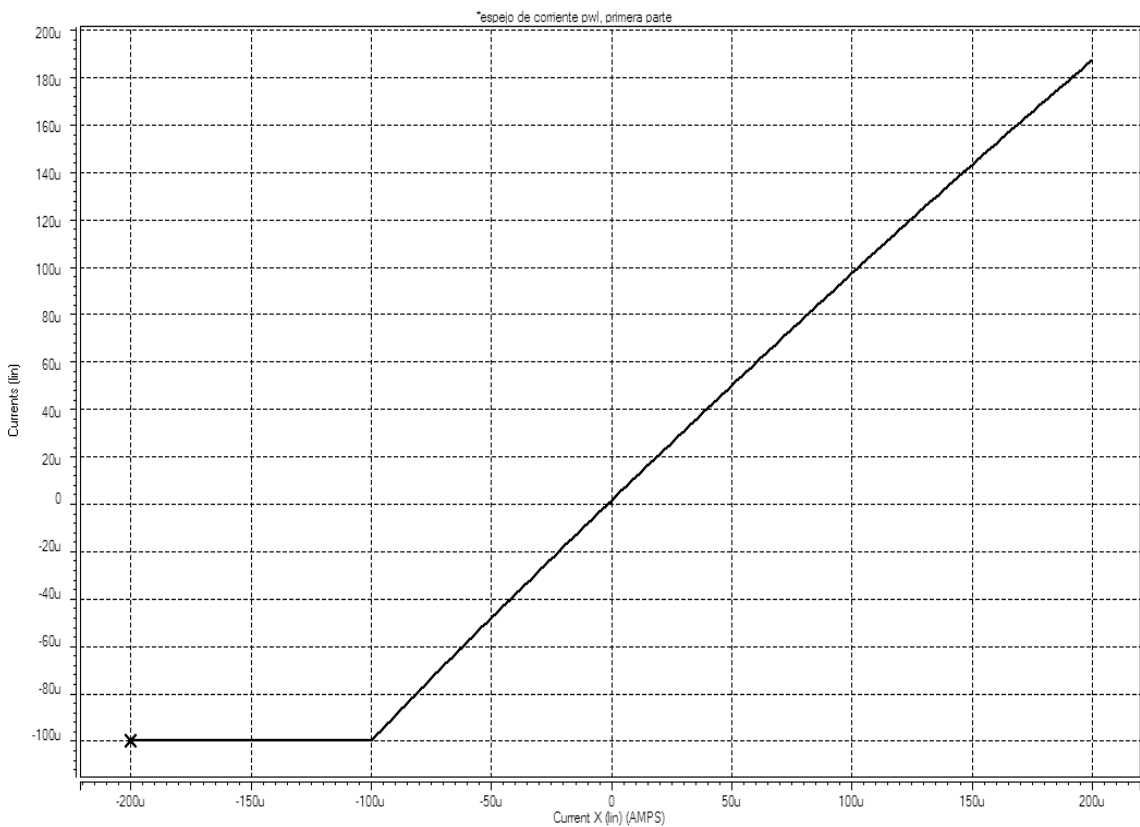


Figura 4.14: Respuesta del espejo de corriente PWL, para la parte negativa

### 4.4.3. Diseño del espejo PWL en la parte positiva

La figura 4.15 muestra el circuito para la parte positiva.

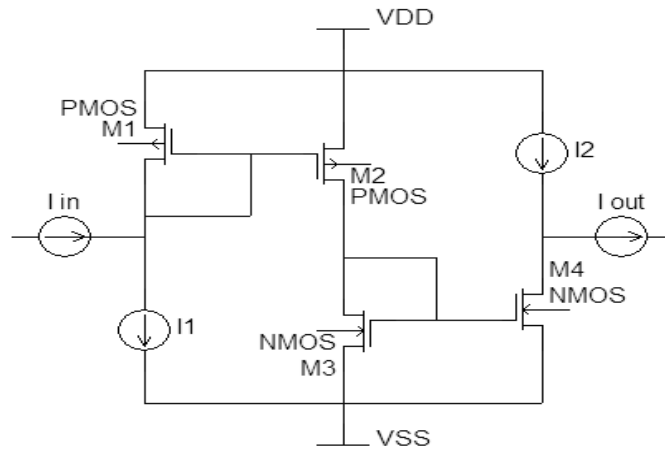


Figura 4.15: Circuito del espejo de corriente PWL, para la parte positiva

La respuesta que se obtiene la observamos en la figura 4.16.

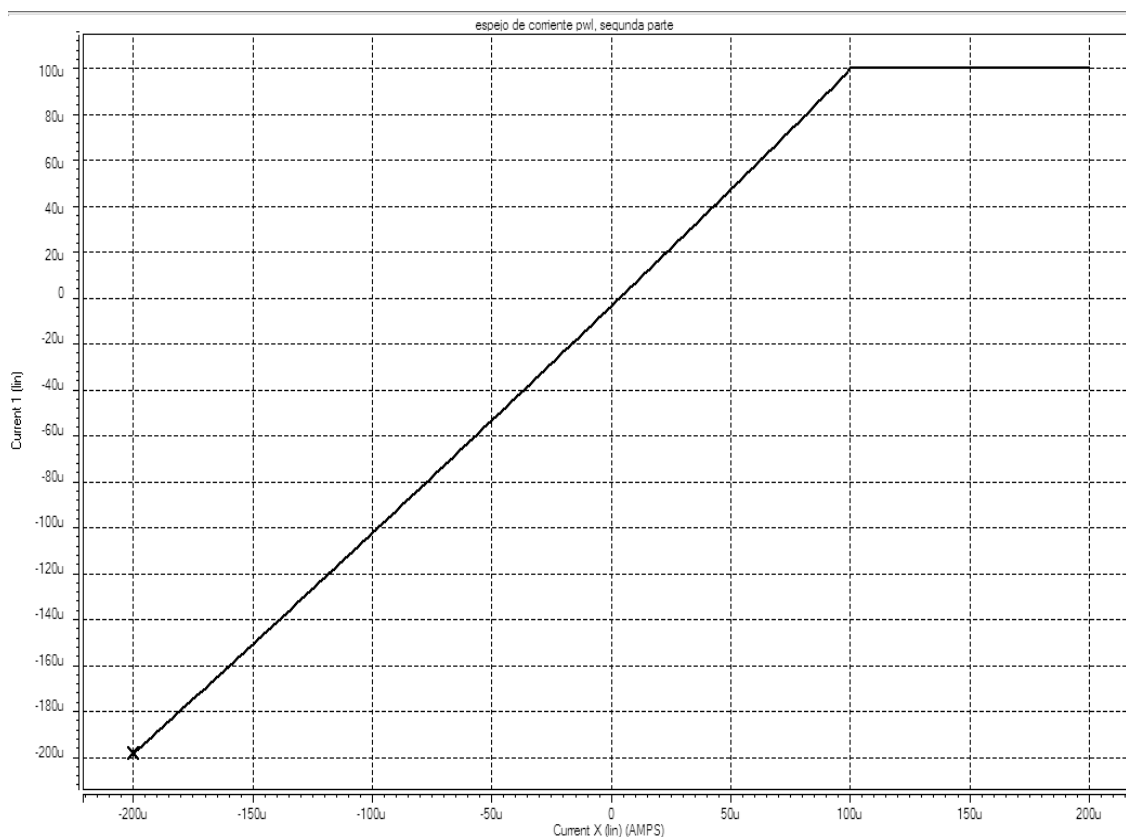


Figura 4.16: Respuesta del espejo de corriente PWL, para la parte positiva

#### 4.4.4. Circuito completo y gráfica final de la etapa de salida

Para obtener la señal de corriente PWL de manera simétrica desde la parte negativa hasta la parte positiva, se debe unir a los dos bloques mostrados anteriormente, y entonces se obtiene el circuito eléctrico mostrado en la figura 4.17.

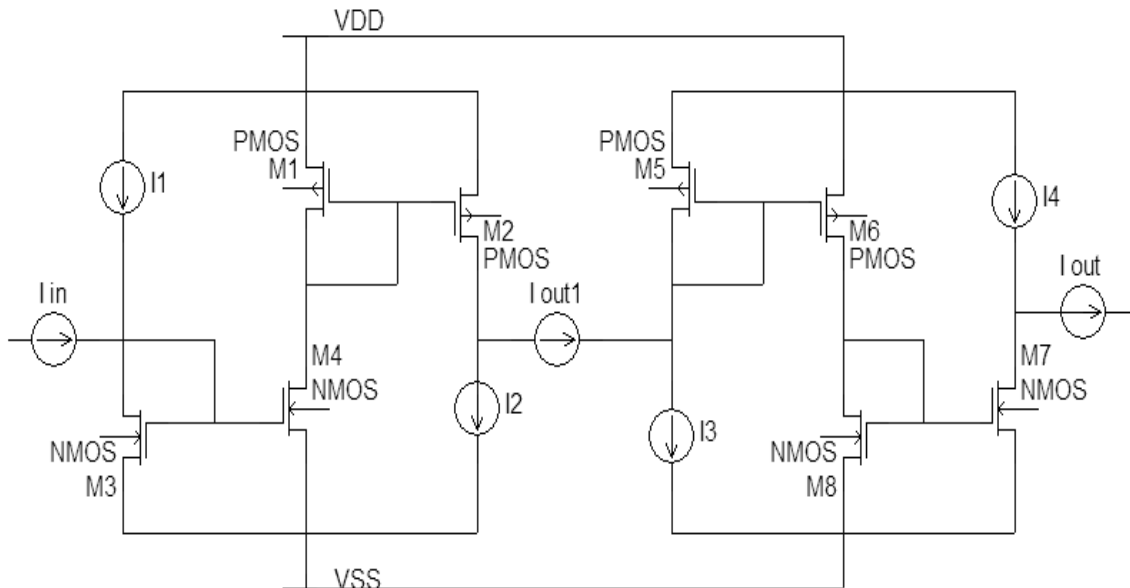


Figura 4.17: Circuito completo del espejo de corriente PWL

En este circuito se presentan las cuatro fuentes de corriente de polarización, las cuales se encargan de modificar los valores de rectificación de la señal, y sirven para variar la pendiente de salida.

#### Ventajas de los espejos de corriente

Algunas de las ventajas de utilizar los espejos de corriente son las que a continuación se mencionan:

- Los circuitos son configuraciones del lazo abierto, de modo que, son incondicionalmente estables.
- Hay solamente nodos de baja impedancia en la trayectoria de la señal, y por esta razón los circuitos se desempeñan muy bien en altas frecuencias.
- La simplicidad de los circuitos, los hace apropiados para implementaciones VLSI.

- Se requiere un número pequeño de transistores para diseñar cada bloque.
- Se pueden programar fácilmente los puentes de quiebre de la función de transferencia.
- Puede funcionar con bajos niveles de voltaje de polarización.

La respuesta completa de los espejos de corriente PWL, es la que se muestra en la figura 4.18.

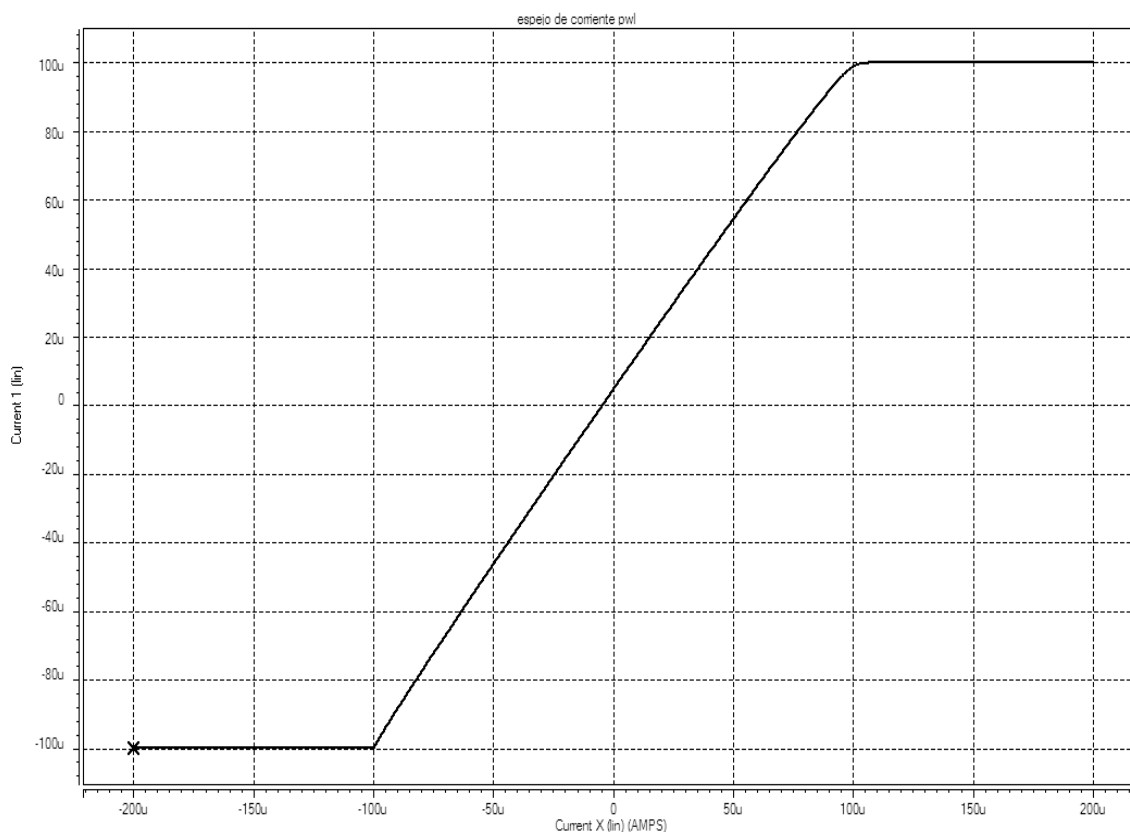


Figura 4.18: Señal de salida del espejo de corriente PWL

Esta respuesta se presenta desde valores negativos hasta valores positivos de corriente, de manera simétrica, si varía alguna de las fuentes de polarización, también la respuesta tendrá una variación.

Los circuitos con pendientes programables se realizan usando espejos de corriente con transistores MOS operando en inversión debil. Estos circuitos tienen ganancia de voltaje programable y características de rectificación lineal.

## 4.5. Diseño de la celda completa

La celda completa compuesta por las tres etapas previamente identificadas y diseñadas, debe tener como principal característica una integración a gran escala, usando pocos transistores con dimensiones muy pequeñas. El modelo final parte de un nodo de entrada, conocido como el nodo común al que llegan todas las señales identificado como el WTA, y la señal de entrada pasa a un convertidor de voltaje a corriente (OTA) con un capacitor como elemento integrador (C), después parte a la etapa de salida del espejo de corriente PWL, y finalmente se convierte la salida a voltaje mediante una resistencia. La figura 4.19 muestra el circuito completo de la celda básica.

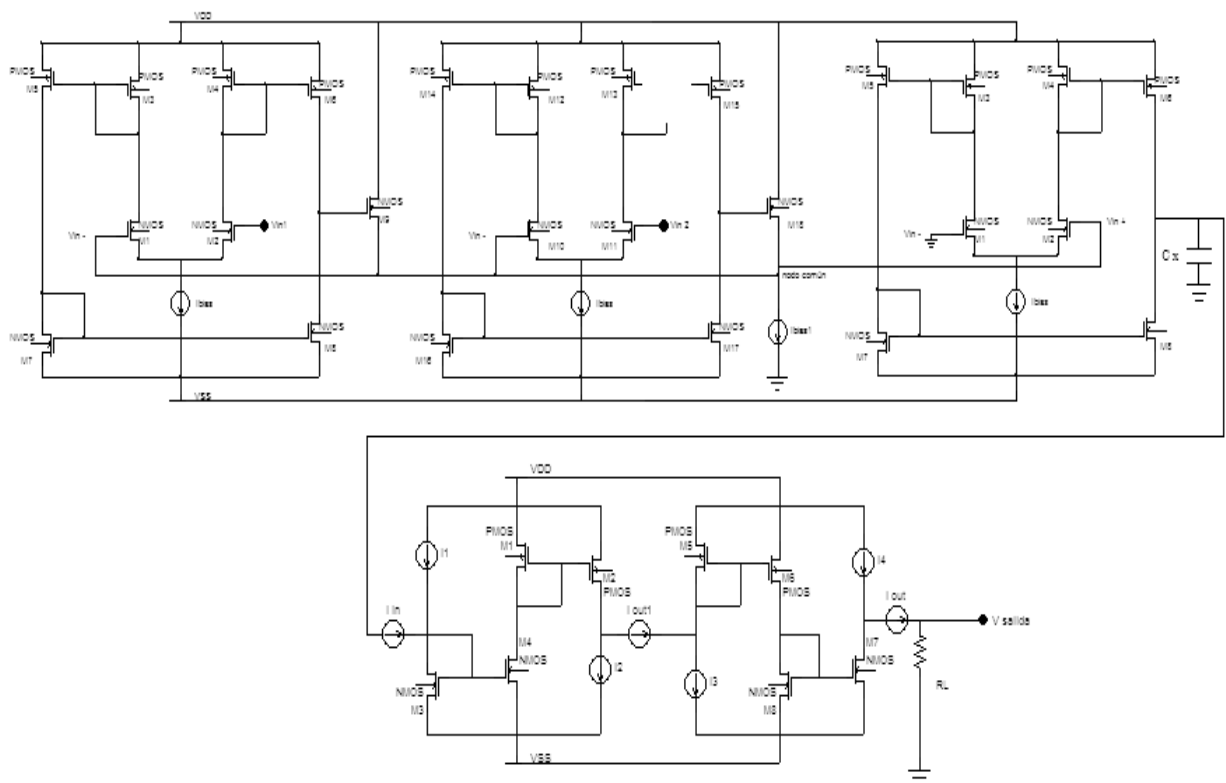


Figura 4.19: Circuito completo de la celda básica de la CNN/PWL

Se presentan los dos OTA's conectados al nodo común (WTA), la salida obtenida en voltaje se considera como la entrada para otro OTA que tiene la función de la etapa de estado, cuya salida se presenta en corriente, y esta última, se introduce a los espejos de corriente PWL conectados en cascada, para obtener una señal PWL de voltaje contra corriente. Finalmente una resistencia a la salida para convertir la salida PWL de voltaje sobre voltaje.



### 4.5.1. Gráfica final en D.C. de la celda básica

La salida final, se presenta mediante la forma PWL de voltaje, y esto se logra con la resistencia de carga a la salida, que es la que convierte la corriente de salida en voltaje.

La respuesta es simétrica con valores que van de  $-0.5$  a  $+0.5$  volts, tanto en el eje horizontal como en el eje vertical, y de acuerdo con las funciones de salida estudiadas en el capítulo 2 en la figura 2.2, la celda presenta una ganancia unitaria (figura 4.20).

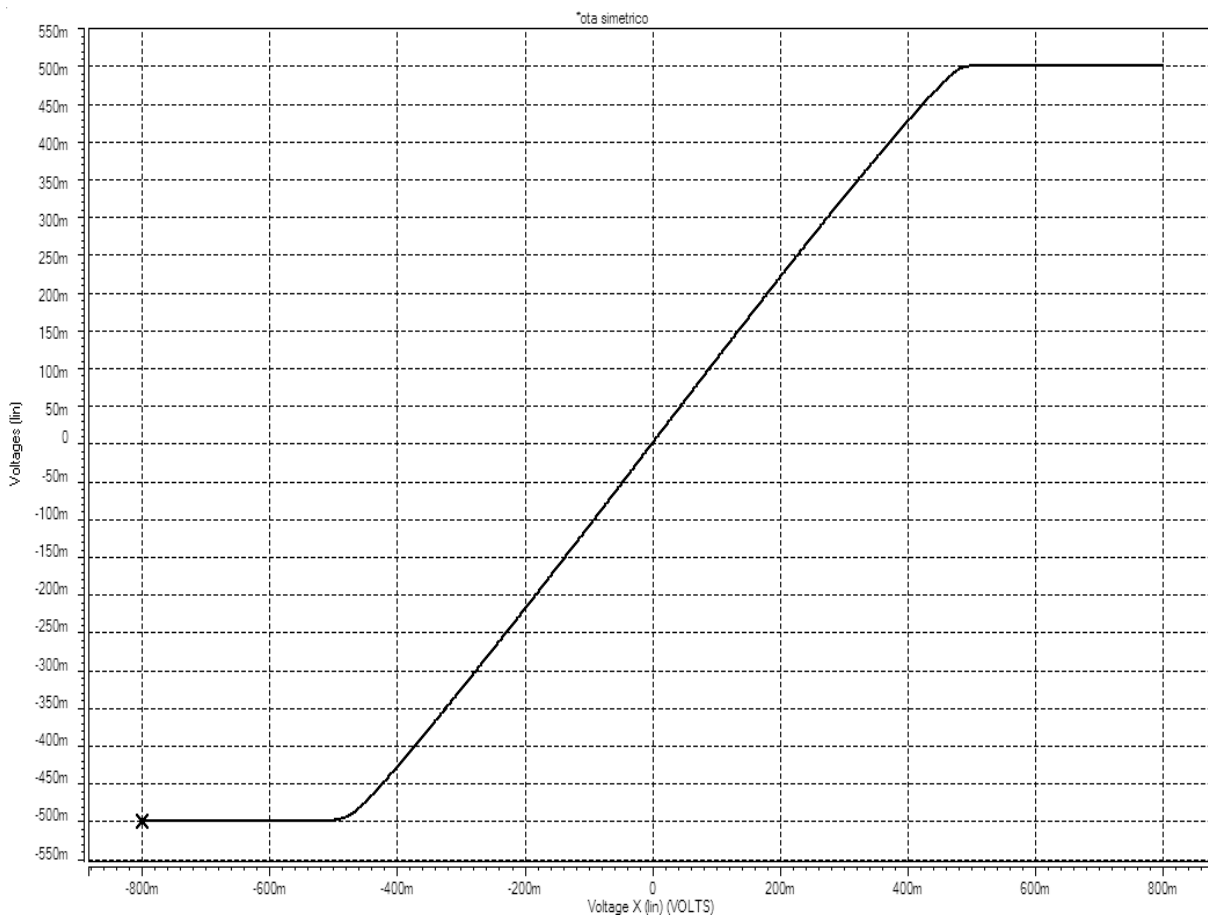


Figura 4.20: Señal de salida de la celda básica de la CNN/PWL

Para modificar la forma de la salida de ganancia unitaria a alta ganancia, se deben variar las fuentes corrientes del espejo PWL y el valor de la resistencia de salida.

También, para lograr una respuesta simétrica de -1 a +1 volts, es necesario modificar las corrientes de polarización y las fuentes de corriente del espejo.

Un inconveniente es que debido a que los espejos de corriente están diseñados con transistores de dimensiones pequeñas, no se logra una buena respuesta PWL para la celda básica de -1 a +1 volts, pues existe un error de esquina muy pronunciado. Esto lo podemos observar en la siguiente gráfica (4.21) obtenida al hacer las modificaciones a las fuentes de corriente y de polarización.

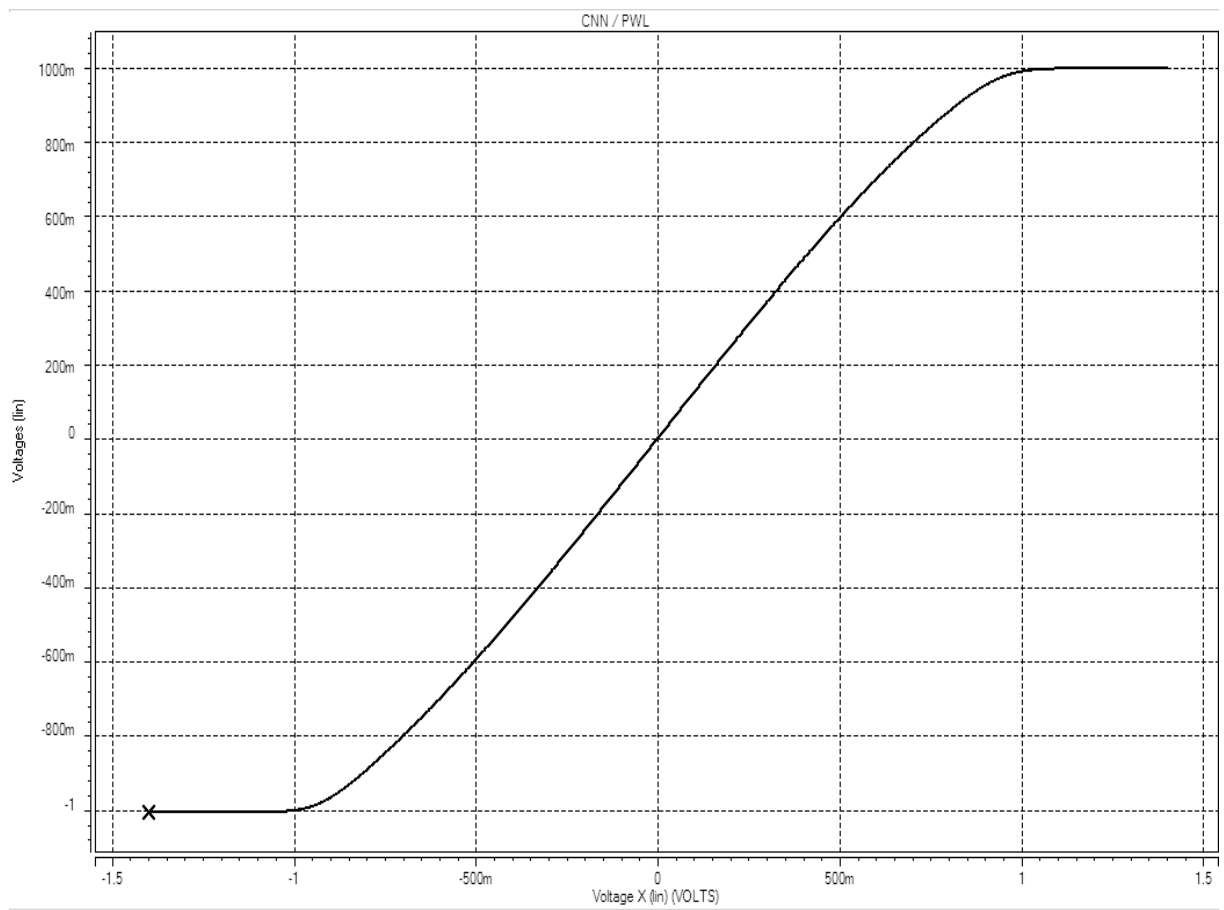


Figura 4.21: Señal de salida de la celda básica de la CNN/PWL

## 4.6. Análisis transitorio

El análisis transitorio se lleva a cabo con la finalidad de conocer el comportamiento de la celda cuando la señal de entrada varía a diferentes frecuencias, así, al tener una señal de entrada a una cierta frecuencia, se puede conocer la señal de salida, obteniendo la frecuencia máxima hasta la cual la celda trabaja de manera idéntica a la respuesta obtenida en D.C.

Es importante mencionar que aquí no se hace un análisis de la respuesta con respecto al tiempo, sino más bien con respecto a la señal de entrada cuando se varía a diferentes frecuencias.

Para realizar este análisis, se utiliza como señal de entrada una señal de A.C. senoidal con diferentes frecuencias y se grafica la señal de salida con respecto a la señal de entrada que se está empleando, de esta manera se puede identificar la frecuencia máxima a la que opera la celda y por tanto la frecuencia máxima con la que deberá operar la CNN.

El motivo por el que se realiza este análisis es principalmente para obtener la frecuencia máxima hasta donde la señal de salida no presenta variaciones, identificando cuales son las frecuencias más altas donde se empieza a mostrar un efecto de histeresis, el cual no es el adecuado para nuestros fines, ya que la respuesta esperada debe ser una señal piecewise-linear.

Es importante considerar tanto la histéresis que se pueda producir, como la distorsión generada en las esquinas de la señal PWL.

A continuación se presentan las respuestas obtenidas para la señal de salida con respecto a la entrada, utilizando el análisis transitorio, para diferentes frecuencias.

### 4.6.1. Respuesta de la celda con una señal de entrada a 10 Kkhz

Cuando realizamos un análisis transitorio en cualquier circuito, la respuesta obtenida, es el comportamiento de cada una de las señales (Entrada ó salida) con respecto al tiempo. Pero para identificar la frecuencia máxima de operación de la celda cuando trabaja en D.C., debemos obtener la señal de salida de la celda con respecto a la señal de entrada, la cual está propuesta a una cierta frecuencia.

La figura 4.22 muestra la señal de salida con respecto a la señal de entrada usando el análisis transitorio, con una frecuencia en la señal de entrada de 10 kHz.

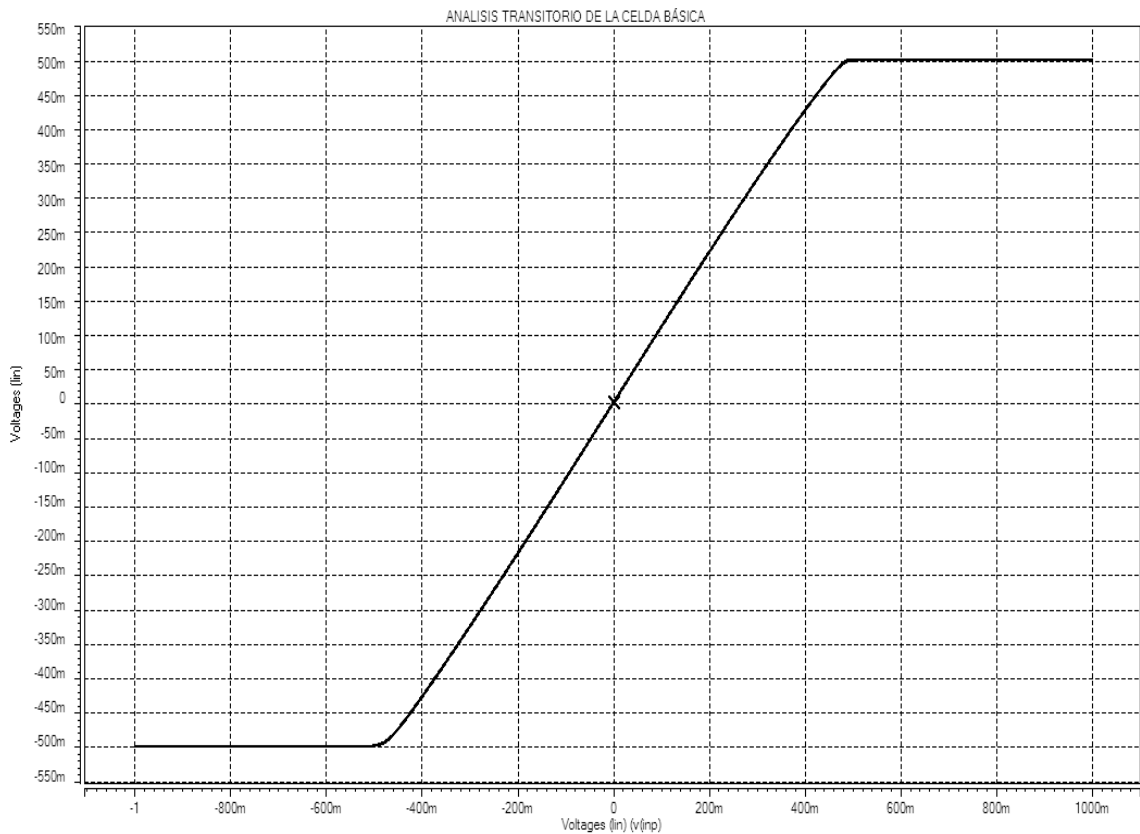


Figura 4.22: Salida de la celda básica para una frecuencia de 10 kHz.

Se observa que la respuesta es muy similar a la que se obtuvo en el análisis en D.C. y que no existen problemas de histéresis ni de distorsión. La celda trabaja de manera adecuada en esta frecuencia.

### 4.6.2. Respuesta de la celda con una señal de entrada a 100 kHz

La salida con respecto a la entrada con una frecuencia de 100 kHz usando el análisis transitorio, tiene la siguiente respuesta, mostrada en la figura 4.23.

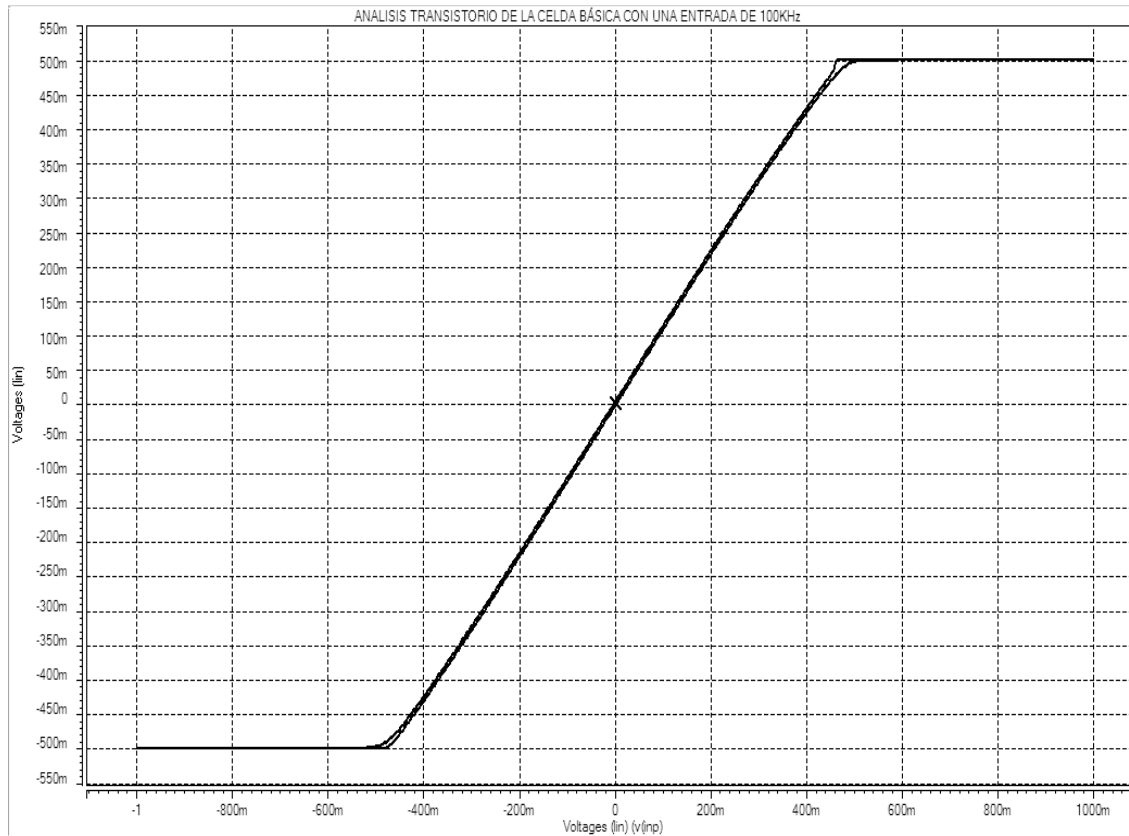


Figura 4.23: Salida de la celda básica para una frecuencia de 100 kHz

Aquí se presenta una respuesta similar a la obtenida en D.C., pero se empieza a observar el efecto de histéresis, el cual puede ser despreciable, pero esto nos indica que se puede considerar a esta frecuencia como la máxima de operación.

Por tanto concluimos que la máxima frecuencia de operación es la frecuencia de 100 kHz. pues a frecuencias mayores a 100 kHz. se presenta el efecto de histéresis no deseado para el diseño.

### 4.6.3. Respuesta de la celda con una señal de entrada a 1 MHz

La siguiente representación gráfica se muestra para identificar cual es el comportamiento de la celda cuando se sobrepasan los 100 kHz de frecuencia, que se considera como la frecuencia máxima de operación para la celda.

Utilizando la frecuencia de 1 MHz. en la entrada y simulando la salida con respecto a la entrada en análisis transitorio, obtenemos la gráfica mostrada en la figura 4.24.

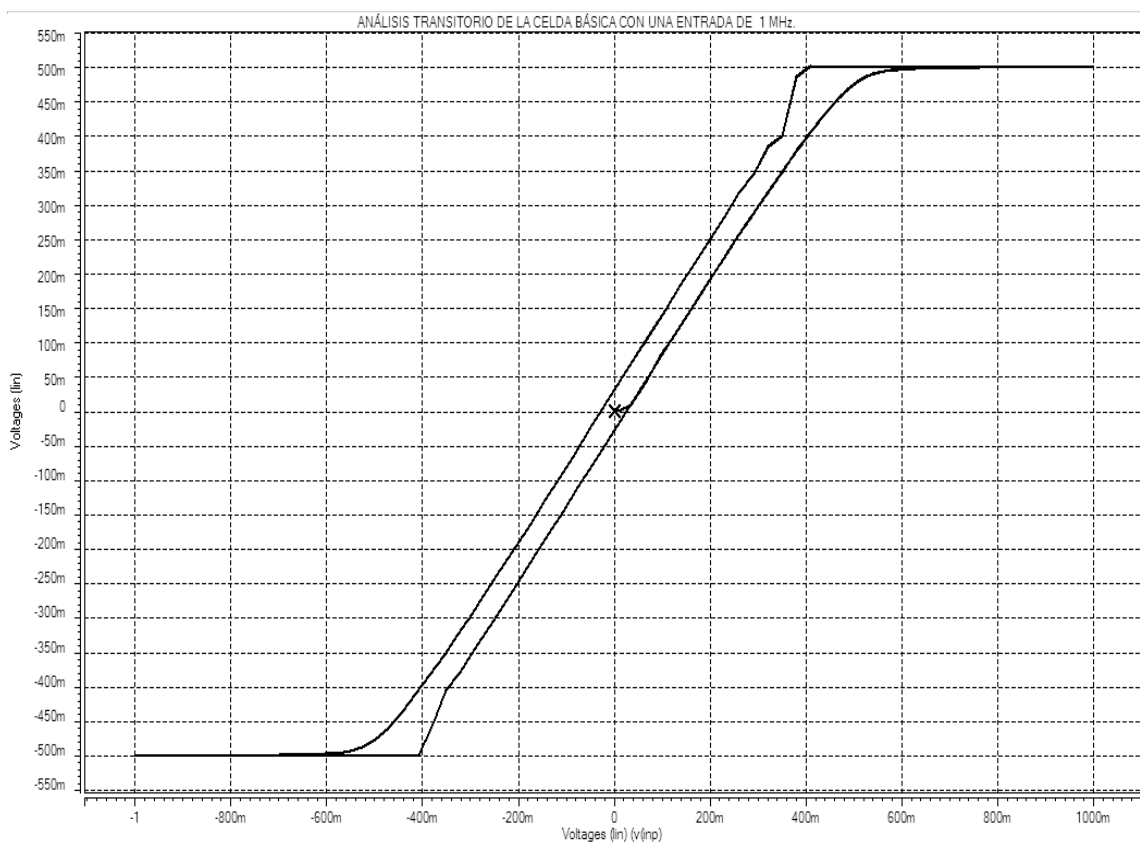


Figura 4.24: Salida de la celda básica para una frecuencia de 1 MHz

Esta gráfica nos muestra un comportamiento de histeresis que no es el deseado, también presenta distorsión en las esquinas de la señal, lo que nos demuestra que la celda no está diseñada para trabajar a esta frecuencia.

## 4.7. Ventajas de la celda diseñada

El diseño desarrollado y presentado en este trabajo de investigación, puede ser considerado como el primero de diversos modelos eléctricos para realizar la celda básica para una CNN. Y partiendo de la información que ya existía y de los modelos propuestos, se pueden considerar las siguientes ventajas:

- El modelo propuesto esta realizado con pocos elementos cuyas dimensiones son pequeñas, por lo que se puede integrar facilmente.
- Este modelo utiliza elementos reales faciles de diseñar y de fabricar de manera real en un laboratorio de microelectronica.
- Esta diseñado para tener una baja impedancia y trabajar a bajo voltaje, por lo que presenta un bajo consumo de potencia.
- El diseño tiene una respuesta PWL simétrica, similar a la respuesta ideal, por lo que se puede implementar facilmente en un arreglo de celdas con una buena respuesta de salida.
- Este modelo está diseñado para su fabricación y aplicación real, y no solamente para simulación y pruebas en software como hasta ahora se ha desarrollado
- Puede ser implementado en arreglos grandes de CNN, con una respueta similar a la de una celda básica única, cuya salida es de tipo digital

Estas ventajas son las que hacen de esta celda básica un modelo adecuado para el diseño de un CNN completa mediante el uso de los circuitos analógicos integrados, para poder desarrollar diversas aplicaciones.

La respuesta es similar a la del diodo chua, con el cual se puede realizar el diseño de un oscilador para encriptación de señales, por lo que puede ser una de muchas aplicaciones para la CNN.

## 4.8. Conclusiones

Se realizó el diseño completo de la celda básica con elementos reales, identificando las tres etapas que componen a toda la celda. El modelo propuesto para el diseño de la celda básica se realizó de manera estructurada, parte por parte, donde se identificaron todas las posibles entradas a un nodo, la etapa de estado para esas entradas y la etapa de salida PWL. También se obtuvieron las gráficas de los diseños propuestos, utilizando la tecnología de 0.5 micras, en H-Spice. Se identificaron las condiciones de diseño y las características más importantes para cada una de las etapas. Además, se mostró el diseño propuesto para realizar la celda básica completa, comparando los resultados obtenidos con los de la celda ideal. Se presentó un análisis en transitorio para identificar la máxima frecuencia de operación. Finalmente, se presentaron las ventajas obtenidas de este diseño.





# Capítulo 5

## Conclusiones

### 5.1. Conclusiones

Se presentaron las características físicas, eléctricas y el funcionamiento de las Redes Celulares Neuronales (CNN's), identificando cada una de las etapas que la componen con su respuesta de manera lineal a trozos (PWL) y sus aplicaciones.

Se identificó la respuesta ideal para una celda básica, simulada en Matlab y H-Spice, y a partir de la respuesta de esta celda ideal y del modelo propuesto en [1 y 2], se llevó a cabo el diseño de una celda básica para una CNN, empleando elementos reales.

Se identificaron las tres partes que componen a una celda básica y se propusieron circuitos eléctricos para diseñar cada una de estas partes, haciendo uso de Amplificadores de Transconductancia (OTA's) y de Espejos de Corriente.

Se diseñó cada bloque por separado, identificando su respuesta y sus características, para finalmente obtener la respuesta de toda la celda básica.

Se presentó un análisis detallado de cada etapa de la celda, y del circuito empleado para diseñar la celda básica completa con una respuesta similar a la ideal de manera PWL.

Finalmente, se puede concluir que se presenta el diseño de un nuevo circuito eléctrico para una celda básica, cuyos elementos son de pequeñas dimensiones y con una buena respuesta de funcionamiento, identificando que su frecuencia máxima de operación es de 100 KHz, empleando la tecnología de 0.5 micras en H-Spice.

## 5.2. Trabajo a futuro

En la actualidad existen muchas areas de investigación sobre el estudio y realización de circuitos integrados para los sistemas y circuitos analógicos no lineales, identificando a las Redes Celulares Neuronales/No lineales (CNN's) como un tema muy extenso para investigar. Sin embargo en este trabajo se presenta solamente el diseño de una celda básica, con elementos reales, dejando como trabajo a futuro lo siguiente:

1. Integrar la celda básica diseñada en un arreglo de varias celdas interconectadas, para diseñar y desarrollar una CNN de manera real
2. Identificar el uso de las estructuras simplicial y multinested, para desarrollar el diseño de la CNN completa, utilizando cualquiera de estas estructuras
3. Proponer el diseño de nuevas celdas para ser empleados en el desarrollo de CNN's

# Referencias

1. Leon O. Chua, L. Yang, **Cellular Neural Networks: Theory**, IEEE Trans. Circ. Syst., 35(10), 1988, pp. 1257-1272.
2. Leon O. Chua, L. Yang, **Cellular Neural Networks: Applications**, IEEE Trans. Circ. Syst., 35(10), 1988, pp. 1273-1290.
3. Leon O. Chua, and Tamas Roska, **The CNN Paradigm**, IEEE Trans. Circ. Syst., Vol. 40. No. 3, MARCH 1993, pp. 147-156.
4. D.W. Tank, J.J. Hopfield, **Simple Neural Optimization Networks: An A/D Converter, Signal Decision Circuit, and a Linear Programming Circuit**, IEEE Trans. Circ. Syst., 33(5), 1986, pp. 533-541.
5. Julian, P.; Dogaru, R.; Chua, L.O. Circuits and Systems, 2003. ISCAS apos;03. Proceedings of the 2003 International Symposium on Volume 3, **Exploiting piecewise linear features: multineded and simplicial cellular neural/nonlinear networks**, Page(s): III-650 - III-653
6. T. Roska, J. Hámori, E. Lábos, K. Lotz, L. Orzó, J. Takács, P.R. Venetianer, Z. Vidnyánszky, A. Zarándy, **The use of CNN Models in the Subcortical Visual Pathway**, IEEE
7. R. Dogaru, and L.O.Chua, **Universal CNN Cells**, Int. J. Bifurcation and Chaos, vol. 9, pp.1-48, January 1999
8. P.Julian, R. Dogaru and L.O.Chua, **A piecewiselinear simplicial coupling cell for CNN gray-level image processing**, IEEE Trans. Circuits Syst. I, vol. 49, pp 904-913, July 2002

9. M. Chien and E. Kuh, **Solving nonlinear resistive networks using piecewise-linear analysis and simplicial subdivision**, IEEE Trans. Circuits Syst. I, vol. CAS-24, pp 305-317, June 1977
10. J.M. Cruz and L.O. Chua, **Design of high speed high density CNN in CMOS technology**, Int J. Circuit Theory and Applications, pp. 555-572, vol. 20, 1992
11. T. Matsumoto, L.O. Chua, R. Furukawa, **CNN Cloning Template: Hole-Filler**, IEEE Trans. Circ. Syst., 37(5), 1990, pp. 635-638.
12. T. Matsumoto, L.O. Chua, H. Suzuki, **CNN Cloning Template: Conected Component Detector**, IEEE Trans. Circ. Syst., 37(5), 1990, pp. 633-635.
13. T. Matsumoto, L.O. Chua, H. Suzuki, **CNN Cloning Template: Shadow Detector**, IEEE Trans. Circ. Syst., 37(8), 1990, pp. 1070-1073.
14. R.C. González, R.E. Woods, **Digital Image Processing**, Addison-Wesley, 1993.
15. M.A. Jaramillo, F.J. López, M. Macías, M.I. Acevedo, **A CNN Model for Grey Scale Image Processing**, IWANN 95 Proc., Torremolinos (Málaga), LNCS 930, 1995, pp. 882- 889.
16. M.A. Jaramillo, J.A. Fernández, **Applications of Cellular Neural Networks (CNN) to Grey Scale Image Filtering**, ICANN 99 Proc., Edinburgh, IEE Conf. Pub. 470(I), 1999, pp. 449-454.
17. Ion E. Opris. Analog Rank Extractors and Sorting Networks. Phd dissertation, Standford University, Standford, February 1996.
18. Luis Abraham Sanchez Gaspariano, **Analog Cmos morphological operators for grey-scale image processing**, y el diseño de filtros, Tesis de maestria, INAOE 2005, pp. 124.
19. J.Ramírez Angulo, E. Sanchez Sinencio and A. Rodríguez Vázquez, **A Piecewise-linear function approximation using current mode circuits**, Department of Electrical and Computer Engineering, New Mexico State University, Departamento de Electrónica y Electromagnetismo, Universidad de Sevilla.

20. Edgar Sanchez Sinencio, Jaime Ramírez Angulo, Bernabé Linares Barranco and Angel Rodríguez Vázquez ,**Operational Transconductance Amplifier-Based Non-linear Function Syntheses**, IEEE Journal of Solid-State Circuits, Vol 24, No 6, December 1989, pp. 1576-1586.
21. F. Maloberti, **Analog Design for CMOS VLSI Systems**, Kluwer Academic Publishers, Boston 2001.
22. Tamás Roska, Ángel Rodríguez Vázquez, **Towards the Visual Microprocessor: VLSI Design and the use of Cellular Neural Network (CNN) Universal Machine Computers**, pp. 381, John Wiley and Sons, 2001.
23. Tao Yang, **Cellular Neural Network and Image Processing**, Nova Science Publishers, pp. 349, New York 2002.
24. B. Linares Barranco, J. Ramirez Angulo, E.Sanchez Sinencia and Angel Rodríguez Vázquez, **Programable Piece-wise Linear Function Synthesizers using Operational Transcoductance Amplifiers**, Texas AM University USA, University Sevilla Spain.
25. Mariofanna Milanova<sup>1</sup>, Paulo E. M. Almeida, Jun Okamoto Jr. and Marcelo Godoy Simoes ,**Applications of Cellular Neural Networks for Shape from Shading Problem**, P. Perner, M. Petrou (Eds.): MLDM99, LNAI 1715, pp. 51-63, 1999 © Springer-Verlag Berlin Heidelberg 1999
26. Miguel Ángel Jaramillo Morán, J. Álvaro Fernández Muñoz, **MODELOS DE REDES NEURONALES CELULARES (CNN) SOBRE MATLAB**, Dpto. Electrónica e Ingeniería Electromecánica, Escuela de Ing. Industriales Universidad de Extremadura, Avda. Elvas s/n, 06071, Badajoz.



# Apéndice A

## Netlist para el diseño de la celda básica ideal

### Diseño de una celda básica ideal.

Celda única considerando  $m=1$ , tenemos 2 fuentes de corriente controladas por voltaje

```
.param Ry1=1k
*POLARIZACIÓN Ixij 0 xij 10u
*ENTRADAS Vuij uij 0 sin 0 1 10k
Ruij uij 0 1k
*CIRCUITO c1 xij 0 1p Rx xij 0 1k Ry yij 0 Ry1
*2m Fuentes de corriente lineales controladas por voltaje (En m=1 tenemos 2 fuentes)
Gxu 0 xij uij 0 0.0005 Gxy 0 xij yij 0 0.0005
*Fuente de corriente lineal a tramos controlada por voltaje
Gyx 0 yij CUR='(1/(2*Ry1))*(abs(v(xij)+1)-abs(v(xij)-1))'
*Comandos de Simulación
.op
.dc Vuij -3 3 0.1
.print dc v(yij) i(Ry) v(xij) v(uij)
.end
```



## Diseño de dos celdas interconectadas, usando elementos ideales.

Interacción de dos celdas

```
.param Ryij1=1k
*POLARIZACIÓN Ixij 0 xij 10u
*ENTRADAS Vuij uij 0 sin 0 1 10k
Ruij uij 0 1k
*CIRCUITO Cxij xij 0 1p Rxij xij 0 1k Ryij yij 0 Ryij1
*2m Fuentes de corriente lineales controladas por voltaje por celda vecina.
Gxuij 0 xij uij 0 0.0005 Gxyij 0 xij yij 0 0.0005
Gxuijkl 0 xij yij 0 0.0005 Gxyijkl 0 xij ykl 0 0.0005
*Fuente de corriente lineal a tramos controlada por voltaje
Gyx 0 yij CUR='(1/(2*Ryij1))*(abs(v(xij)+1)-abs(v(xij)-1))'
*Fuentes para la celda vecina
.param Rykl1=1k
*POLARIZACIÓN Ixkl 0 xkl 10u
*ENTRADAS *CIRCUITO
Cxkl xkl 0 1p Rxkl xkl 0 1k Rykl ykl 0 Rykl1
*2m Fuentes de corriente lineales controladas por voltaje por cada celda vecina.
Gxukl 0 xkl yij 0 0.0005 Gxykl 0 xkl ykl 0 0.0005
Gxuklij 0 xkl uij 0 0.0005 Gxyklij 0 xkl yij 0 0.0005
*Fuente de corriente lineal a tramos controlada por voltaje
Gyk 0 ykl CUR='(1/(2*Rykl1))*(abs(v(xkl)+1)-abs(v(xkl)-1))'
*Comandos de Simulación
.op
.IC V(xij)=0.01
.dc Vuij -3 3 0.1
.print dc v(ykl)
.end
```

# Apéndice B

## Netlist para el diseño de una celda básica real.

### Diseño de la etapa de entrada para la celda básica real.

WTA modo voltaje

```
.option POST=1
Vdd vdd 0 2.65 Vss 0 vss 2.65 Ibias1 comun 0 1u
Vin1 inp1 0 0 Vin2 inp2 0 0 Vin3 inp3 0 -1
*R comun comun1 10k
X1 inp1 comun comun vdd vss OTA
X2 inp2 comun comun vdd vss OTA
*X3 inp3 comun out3 vdd vss OTA *M11 vdd out3 comun vss NMOS L=1.5u W=150u
.subckt OTA inp inn comun vdd vss .param ln=3u
Ibias bias vss 5u
M1 1 inn bias vss NMOS L=ln W=8.5u
M2 3 inp bias vss NMOS L=ln W=8.5u
M3 1 1 vdd vdd PMOS L=ln W=10u
M4 3 3 vdd vdd PMOS L=ln W=10u
M5 2 1 vdd vdd PMOS L=ln W=10u
M6 outd 3 vdd vdd PMOS L=ln W=10u
M7 2 2 vss vss NMOS L=ln W=10u
M8 outd 2 vss vss NMOS L=ln W=10u
M9 vdd outd comun vss NMOS L=ln W=10u
.ends(OTA)
*M10 inn out vdd vss NMOS L=ln W=10u *M11 4 4 vdd vdd PMOS L=ln W=10u
.Include 'NMOS.LIB'.Include 'PMOS.LIB'
.op
.DC Vin1 -2 2 0.01
.end
```

## Diseño de la etapa de estado para la celda básica real.

OTA simetrico, en DC.

```
.option POST=1
Vdd vdd 0 1.65 Vss 0 vss 1.65 Ibias bias vss 150u
Vinp inp 0 0 Vinn inn 0 0
.param ln=3u
Ibias1 vdd dout 150u *Ibias2 vdd 4 150u
M1 1 inn bias vss NMOS L=ln W=8.5u
M2 3 inp bias vss NMOS L=ln W=8.5u
M3 1 1 vdd vdd PMOS L=ln W=10u
M4 3 3 vdd vdd PMOS L=ln W=10u
M5 2 1 vdd vdd PMOS L=ln W=10u
M6 dout 3 vdd vdd PMOS L=ln W=10u
M7 2 2 vss vss NMOS L=ln W=10u
M8 dout 2 vss vss NMOS L=ln W=10u
M9 dout dout vss vss NMOS L=ln W=10u
.Include 'NMOS.LIB'
.Include 'PMOS.LIB'
.op
.DC vinp -2 2 .01
.PRINT DC I1(M9)
.end
```

## Diseño de la etapa de salida para la celda básica real

Espejo de corriente PWL

```
Vdd vdd 0 2 Vss vss 0 -2
Ibias1 vdd in 100u Ibias2 out vss 100u Ibias3 out vss 93u
Ibias4 vdd outf 100u
Iin vdd in 0u
.param ln=1.8u .param w=10u
M11 in in vss vss NMOS L=ln W=20u
M12 1 in vss vss NMOS L=ln W=20u
M21 1 1 vdd vdd PMOS L=ln W=20u
M22 out 1 vdd vdd PMOS L=ln W=20u
M31 out out vdd vdd PMOS L=ln W=20u
M32 2 out vdd vdd PMOS L=ln W=20u
M41 2 2 vss vss NMOS L=ln W=20u
M42 outf 2 vss vss NMOS L=ln W=20u
vload outf 0 0
.Include 'NMOS.LIB'
.Include 'PMOS.LIB'
.op
.options nopage numdgt=4
.dc Iin -200u 200u 0.2u
.print I1(vload)
.end
```

## Notas y observaciones.