



INAOE

Análisis y simulación de fallas *stuck-open* en circuitos digitales basados en tecnologías *FinFET*

por

Ing. Julio César Vázquez Hernández

Tesis sometida como requisito
parcial para obtener el grado de:

**MAESTRO EN CIENCIAS EN LA ESPECIALIDAD DE
ELECTRÓNICA**

en el

Instituto Nacional de Astrofísica, Óptica y Electrónica
Septiembre 2008
Tonantzintla, Puebla

Director de tesis:

Dr. Víctor Hugo Champac Vilela, INAOE

©INAOE 2008

Derechos reservados

El autor otorga al INAOE el permiso de reproducir y
distribuir copias de esta tesis en su totalidad o en partes.



Resumen

El diseño de circuitos integrados VLSI ha estado basado en el dispositivo MOSFET las últimas tres décadas. El continuo escalamiento de las tecnologías ha permitido mayores densidades de integración y mayores velocidades de operación. Sin embargo, el escalamiento del MOSFET en régimen nanométrico presenta algunos efectos indeseables que degradan el rendimiento de este dispositivo. El aumento en los efectos de canal corto y el excesivo consumo de potencia estático son las principales razones que dificultan el continuo escalamiento del MOSFET para aplicaciones futuras.

La tendencia del escalamiento tecnológico, busca nuevas alternativas para continuar con la evolución tecnológica. Actualmente transistores con materiales *high-k* y compuertas metálicas han sido empleados para continuar con el escalamiento. Una opción para seguir con el escalamiento tecnológico más allá de los 32nm es el empleo de nuevas estructuras, tal como los transistores de doble compuerta DGMOSFET, los cuales encuentran en el *FinFET* la manera más adecuada de fabricarlos. La *International Technology Roadmap for Semiconductors* (ITRS) reconoce la importancia de estos dispositivos en tecnologías futuras.

El *FinFET* pertenece a la familia de los dispositivos basados en tecnologías de Silicio sobre aislante. Es un dispositivo en forma de aleta, el cual está rodeado por un electrodo de compuerta formando dos canales propiamente alineados en

las paredes verticales de dicha aleta.

Fallas *stuck-open* han sido tradicionalmente reconocidas como de difícil detección en tecnologías debido principalmente a que se requiere una secuencia de vectores para su detección.

Debido a que en tecnologías futuras; la densidad de dispositivos, así como el número de metales y el número de vías serán incrementados, se tendrá una probabilidad elevada de tener fallas *stuck-open*.

El presente trabajo se enfoca al estudio de fallas *stuck-open* en compuertas CMOS estáticas basados en tecnologías *FinFET*. Por otra parte este trabajo pretende determinar de que manera las corrientes de fuga en los *FinFETs* afectan el comportamiento de las compuertas digitales bajo *test*.

Agradecimientos

Al Consejo Nacional de Ciencia y Tecnología (CONACYT)

Por el apoyo económico otorgado a través de la beca para estudios de maestría
(No. de Registro: 207069)

Al Instituto Nacional de Astrofísica, Óptica y Electrónica (INAOE)

Por abrirme las puertas para realizar los estudios de posgrado.

A mi asesor: Dr. Víctor Hugo Champac Vilela.

Por haberme aceptado como su alumno, por haberme permitido aprender de él
y por sus valiosos consejos *muchas gracias*.

A los Doctores:

Dr. Arturo Sarmiento Reyes.

Dr. Guillermo Espinosa Flores Verdad.

Dr. Luis Hernández Martínez.

Por haberme apoyado con la revisión de esta tesis y darme sus puntos de vista.

A los trabajadores del INAOE:

Por brindar soporte y ayuda a nosotros los estudiantes. Un agradecimiento especial para: Marina García, Verónica Tecpanécatl, Claudia Juarez y Rocío Ventura.

A los amigos y compañeros de Diseño y Comunicaciones:

Por habernos apoyado mutuamente a lo largo de estos dos años.

A mi cuate Arturo

Ya que de no haber sido por él, yo no hubiera conocido al INAOE.

A DIOS por darme salud y fuerzas para seguir adelante.

Dedicatorias

A mi querida familia:

Julio César, Esther y Rosario

Por la confianza y el apoyo incondicional que siempre me han brindado tanto en los momentos buenos como en los malos a lo largo de toda mi vida

.

A mis abuelos, tios y primos:

quienes siempre creyeron en mí

.

A mi novia:

Alicia

Por ser tan maravillosa conmigo y por brindarme en todo momento su apoyo y confianza

.

Índice general

Resumen	I
Agradecimientos	III
Acrónimos	XIII
1. Introducción	1
1.1. Caminos a seguir para continuar con el escalamiento	4
1.1.1. MOSFET fabricados con nuevos materiales	4
1.1.2. Nuevas estructuras alternativas al MOSFET	5
1.2. Fallas producidas por interconexiones abiertas en CIs	6
1.3. <i>Testing</i> en CIs	8
1.3.1. Modelo de falla <i>stuck-open</i>	9
1.4. Fallas <i>stuck-open</i> en tecnologías nanoescaladas	13
1.5. Organización de la Tesis	13
2. Problemas debidos al escalamiento tecnológico.	15
2.1. <i>Drain Induced Barrier Lowering</i> (DIBL).	16
2.2. Reducción del voltaje de umbral debido a los SCE.	17
2.3. Modelo de Transformación Voltaje-Dopado.	18
2.4. Control de los SCE en MOSFETs nanoescalados.	19
2.5. Corrientes de fuga en MOSFETs nanoescalados.	21
2.5.1. Corriente Subumbral (I_1).	21

2.5.2.	Fugas en las uniones polarizadas en inversa (I2).	24
2.5.3.	<i>Gate Induced Drain Leakage</i> GIDL (I3).	25
2.5.4.	Tuneleo en el óxido de compuerta (I4 e I5).	26
2.6.	Control de los SCEs con la adopción de nuevas estructuras.	30
2.7.	Conclusiones.	33
3.	El <i>FinFET</i>	35
3.1.	Clases de <i>FinFETs</i>	39
3.2.	Proceso de fabricación	41
3.2.1.	<i>Lay-out</i> de <i>FinFETs</i>	41
3.2.2.	Fabricación de las aletas de Silicio	43
3.2.3.	Depósito del material de compuerta	46
3.2.4.	Contactos en las aletas	48
3.3.	Simbología empleada para representar <i>FinFETs</i>	49
3.4.	Voltaje de umbral en <i>FinFETs</i>	50
3.4.1.	Voltaje de umbral en dispositivos asimétricos	51
3.4.2.	Voltaje de umbral en dispositivos simétricos y MGDG	53
3.5.	Capacitancias en <i>FinFETs</i>	54
3.5.1.	Capacitancias de solapamiento C_{ov}	55
3.5.2.	Capacitancias por efecto borde C_{fr}	57
3.6.	Corrientes de fuga	61
3.6.1.	Corriente subumbral	62
3.6.2.	Corriente de tuneleo de compuerta a canal	65
3.6.3.	Corriente de tuneleo en las regiones de solapamiento EDT	71
3.7.	Conclusiones.	75
4.	Implementación de los modelos matemáticos.	77
4.1.	Implementación de la corriente en drenador.	78
4.2.	Método para generar la CTV de un inversor.	81

4.3. Capacitancias parásitas de los <i>Fin</i> FETs.	89
4.4. Implementación de corriente de tuneleo de compuerta a canal. . .	90
4.5. Implementación de las corrientes de tuneleo EDT.	93
4.6. Conclusiones.	94
5. Análisis y simulación de fallas <i>stuck-open</i>.	95
5.1. Metodología para simular fallas <i>stuck-open</i> en <i>Fin</i> FET.	96
5.2. Resultados obtenidos en compuertas NOR.	111
5.2.1. <i>Stuck-open</i> en drenador de FNB.	112
5.2.2. Comportamiento ante un vector <i>anti-test</i>	123
5.2.3. <i>Stuck-open</i> en el drenador de FPB.	131
5.3. Resultados obtenidos en compuertas NAND.	135
5.3.1. <i>Stuck-open</i> en drenador de FNB.	136
5.3.2. <i>Stuck-open</i> en drenador de FPB	140
5.4. Efecto de la carga en la detección de fallas <i>stuck-open</i>	145
5.4.1. Compuerta NOR teniendo como cargas compuertas NOR.	146
5.4.2. Compuerta NAND teniendo como cargas compuertas NAND.	150
5.5. Guía para el <i>test</i> de fallas <i>stuck-open</i>	154
5.6. Conclusiones.	155
6. Impacto de <i>high-k</i> en el <i>testing</i> de fallas <i>stuck-open</i>.	161
6.1. <i>Fringe Induced Barrier Lowering</i> (FIBL).	165
6.2. Análisis de fallas <i>stuck-open</i> en compuertas NOR y NAND.	167
6.2.1. Compuerta NOR con falla en el drenador FNj	168
6.2.2. Compuerta NOR con falla en el drenador FNj con un vector <i>anti-test</i>	170
6.2.3. Compuerta NOR con falla en el drenador FPj	171
6.2.4. Compuerta NAND con falla en el drenador FNj.	173
6.2.5. Compuerta NAND con falla en el drenador FPj.	174

6.3. Conclusiones.	176
7. Conclusiones.	177
Índice de figuras	181
Índice de cuadros	187
Bibliografía	189

Prefacio

Debido al continuo escalamiento tecnológico; estructuras alternativas a los MOSFET, tales como los dispositivos *FinFET*, serán la piedra angular para continuar con el escalamiento tecnológico por debajo de los 32nm.

El *FinFET* es el candidato por excelencia para continuar con el escalamiento tecnológico debido a que por su estructura de doble compuerta, se suprime de manera más efectiva los efectos de canal corto y el DIBL sin necesidad de tener elevados dopados en el cuerpo ni dieléctricos en compuerta ultra-delgados. El hecho de no tener grandes niveles de dopado en el cuerpo del *FinFET* y no poseer dieléctricos ultra-delgados, hace al *FinFET* una estructura con corrientes de fuga muy reducidas en comparación a las corrientes de fuga que pudieran presentar los dispositivos MOSFET para un mismo nodo tecnológico.

Es de esperar que el número de defectos en los procesos de fabricación en tecnologías *FinFET* sean elevados. Lo anterior obedece al hecho de que el incremento en el número de transistores, genera un incremento en el número de interconexiones entre ellos; por otra parte, a medida que la tecnología avanza, el número de niveles de metal requerido también aumenta, esto propicia un incremento en el número de vías empleadas.

Algunos investigadores han estudiado el comportamiento y *test* de circuitos

digitales con defectos por aberturas totales en inteconexiones y fallas *stuck-open* en tecnologías MOSFET nanométricas. Se ha determinado que las elevadas corrientes de fuga presentes tienen un impacto considerable en el comportamiento y *test* de estos circuitos; sin embargo, estudios de este tipo para circuitos digitales basados en tecnologías *FinFET* no se han encontrado en literatura.

Por todas las anteriores razones, el *test* en circuitos digitales basados en tecnologías *FinFET* será una tarea de suma importancia; así como determinar de que manera las corrientes de fuga afectan las metodologías tradicionales de *test* para la detección de fallas *stuck-open*.

Acrónimos

BTBT	<i>Band To Band Tunneling</i>
CI	<i>Circito Integrado</i>
CMOS	<i>Complementary Metal Oxide Semiconductor</i>
CTV	<i>Curva de Transferencia de Voltaje</i>
DIBL	<i>Drain Induced Barrier Lowering</i>
DGMOSFET	<i>Double Gate Metal Oxide Semiconductor Field Effect Transistor</i>
EDT	<i>Edge Direct Tunneling</i>
EOT	<i>Equivalent Oxide Thickness</i>
FDSOI	<i>Full Depleted Silicon On Insulator</i>
FIBL	<i>Fringe Induced Barrier Lowering</i>
<i>Fin</i>FET	<i>Fin Field Effect Transistor</i>
GIDL	<i>Gate Induced Drain Leakage</i>
ITRS	<i>International Technology Roadmap for Semiconductors</i>
MGDG	<i>Mig Gap Double Gate</i>
MOS	<i>Metal Oxide Semiconductor</i>
MOSFET	<i>Metal Oxide Semiconductor Field Effect Transistor</i>
MTVD	<i>Modelo de Transformación Voltaje Dopado</i>
PWL	<i>Piece-Wise Linear</i>
SCE	<i>Short Channel Effects</i>
SOI	<i>Silicon On Insulator</i>

TEBC	Tuneleo de Electrones en la Banda de Conducción
TEBV	Tuneleo de Electrones en la Banda de Valencia
THBV	Tuneleo de Huecos en la Banda de Valencia
VLSI	<i>Very Large Scale Integration</i>

Capítulo 1

Introducción

La evolución de la tecnología CMOS en las últimas tres décadas ha seguido la tendencia del escalamiento para tener mayores densidades de integración y mayores velocidades de operación. Esto ha contribuido a incrementar el rendimiento de los microprocesadores en los últimos años.

En 1965 Gordon Moore hizo una observación importante, en relación a la evolución de la densidad de transistores en los Circuitos Integrados (CIs). El estableció que el número de transistores por chip es duplicado cada tres años. Esta observación es conocida hoy en día como la ley de Moore [1], la cual ha sido notablemente seguida por la industria semiconductora en las últimas décadas. La figura 1.1 muestra la ley de Moore reflejada en el número de transistores empleados en la fabricación de los microprocesadores de Intel.

Tradicionalmente, el MOSFET ha sido el dispositivo empleado por la industria de semiconductores para seguir con el continuo escalamiento tecnológico. Para continuar con la tendencia del escalamiento, las dimensiones de los transistores también deben ser escaladas en un factor de dos cada tres años.

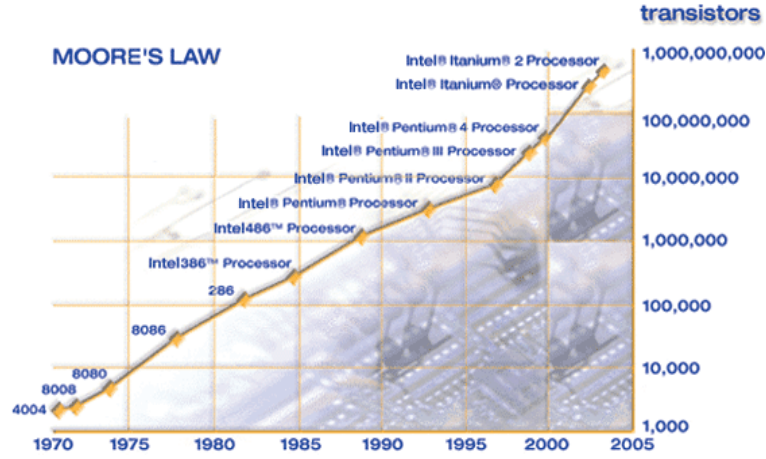


Figura 1.1: Ley de Moore reflejada en la fabricación de los microprocesadores de Intel. (Imagen tomada de [2])

El escalamiento del transistor a campos constantes [3] fue propuesto como el método más efectivo para el escalamiento del MOSFET. Este se basa en el hecho de reducir tanto las dimensiones físicas del transistor como los voltajes de operación del dispositivo en un mismo factor α , para mantener los campos eléctricos en el dispositivo sin cambio alguno en comparación con los campos eléctricos presentes en el dispositivo original a ser escalado. La figura 1.2, ilustra el concepto del escalamiento del MOSFET a campos eléctricos constantes.

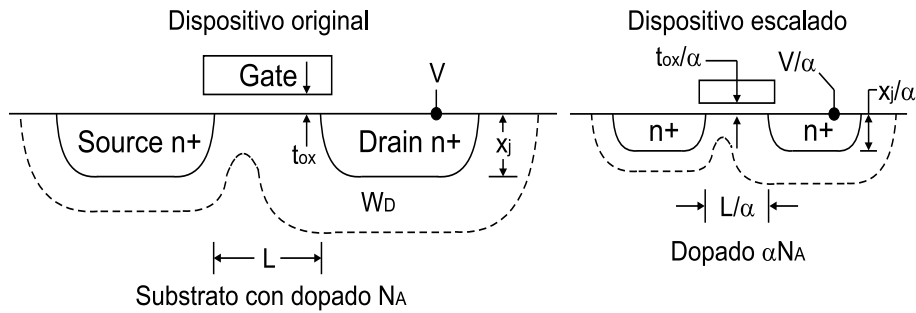


Figura 1.2: Escalamiento del MOSFET a campos eléctricos constantes.

Las dimensiones L , W , t_{ox} y x_j , así como el voltaje V_{DD} son reducidos α veces, mientras que los niveles de dopado N_A o N_D en el cuerpo del transistor

son incrementados α veces.

La reducción del espesor de óxido de compuerta es para mantener un fuerte acoplamiento capacitivo entre la compuerta y la capa de inversión de portadores en el canal; por otra parte, el incremento en las concentraciones de dopado del cuerpo es para minimizar los Efectos de Canal Corto (*Short Channel Effects* ó SCE), el *Drain Induced Barrier Lowering* (DIBL) y la degradación de la pendiente subumbral [4], [5].

Esta metodología de escalamiento ha funcionado muy bien por años; sin embargo, mientras la demanda en rendimiento para aplicaciones futuras continua creciendo, el escalamiento en régimen nanométrico (más allá de los 90nm) llega a ser una tarea muy difícil.

El incremento en el dopado del cuerpo propicia una reducción en la movilidad de los portadores debido al gran campo eléctrico vertical [6], reflejándose en una reducción en el manejo de corriente del transistor. El gran campo eléctrico en las uniones de bulk-fuente y bulk-drenador por las altas concentraciones de dopado, también conduce a un gran incremento en las corrientes de fuga *Band To Band Tunneling* (BTBT) y *Gate Induced Drain Leakage* (GIDL). También el dopado elevado incrementa las capacitancias de unión reduciendo la velocidad de switcheo del transistor.

Por otra parte, un delgado espesor de óxido de compuerta t_{ox} pierde las propiedades ideales de aislante, este hecho favorece el incremento en las corrientes de compuerta debidas a mecanismos de tuneleo directo de portadores en el dieléctrico de compuerta, reflejándose en un gran incremento en el consumo de potencia.

1.1. Caminos a seguir para continuar con el escalamiento

Para resolver los problemas concernientes al escalamiento del transistor MOS existen dos caminos a tomar. El primero es el empleo de nuevos materiales en la fabricación del MOSFET planar y el segundo es la adopción de nuevas estructuras de transistor, tales como el *Ultra-Thin Body* FETs y el transistor *Double-Gate* MOSFET.

1.1.1. MOSFET fabricados con nuevos materiales

Para reducir el problema de las corrientes de tuneleo en la compuerta en dispositivos nanoescalados, han sido introducidos dieléctricos de alta constante dieléctrica *high-k*, como materiales empleados en el dieléctrico de compuerta. Un dieléctrico en compuerta con un material de *high-k* puede generar una gran capacitancia entre la compuerta y el canal, aún teniendo un grosor dieléctrico más grande que el del SiO_2 . Un gran grosor del óxido de compuerta reduce la corriente de tuneleo significativamente [7].

El Polysilicio empleado como electrodo de compuerta presenta una región de agotamiento cuando el dispositivo está en inversión fuerte. Este hecho incrementa la profundidad eléctrica entre el canal de inversión y la carga presente en la compuerta provocando una reducción del control de la compuerta sobre el canal de inversión [8]. Por otra parte, el uso de compuertas de poly-Si con dieléctricos *high-k* reduce la movilidad de los portadores en el canal debido a mecanismos phonon scattering [9].

Para vencer los problemas presentados por el Polysilicio, se emplean compuertas metálicas. El uso de compuertas metálicas con dieléctricos *high-k* mejora la movilidad presentada por estructuras con poly-Si y *high-k* [10]

En la actualidad Intel ha fabricado los procesadores: Core 2 Duo, Core 2

Quad y Xeon basados en tecnologías de *high-k* y compuertas metálicas empleando procesos de fabricación de 45nm [2].

1.1.2. Nuevas estructuras alternativas al MOSFET

Una alternativa nueva para continuar con el escalamiento tecnológico más allá de los 32nm es la introducción de nuevas arquitecturas tales como el FDSOI y el Double Gate MOSFETs, ambos basados en tecnologías Silicon On Insulator (SOI). Los dispositivos de doble compuerta ofrecen un fuerte control electrostático en el canal de inversión; esto reduce los SCE, haciendo a estos dispositivos más escalables que el MOSFET planar convencional.

Una de las estructuras empleadas para la fabricación de los dispositivos de doble compuerta es la estructura denominada ***FinFET***.

La figura 1.3 muestra al dispositivo *FinFET*. En ella se aprecia que el electrodo de compuerta rodea a un delgado cuerpo de Silicio en forma de aleta formando dos canales propiamente alineados en las paredes verticales de la aleta. El nombre de *FinFET* se deriva de la palabra en inglés: *Fin* que significa *Aleta* y de las iniciales en inglés: *FET* (Field Effect Transistor).

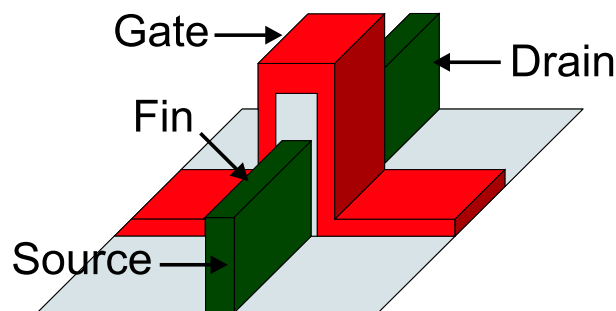


Figura 1.3: Imagen de un *FinFET*.

En el *FinFET*, debido a que se tienen dos compuertas se incrementa el manejo de corriente por dispositivo. Por otra parte, el cuerpo de Silicio es ligeramente

dopado ó incluso en algunos casos intrínseco, esto provoca una mejora en la movilidad de los portadores en la capa de inversión que en el caso del MOSFET; por otra parte, el bajo dopado provoca una reducción en las corrientes de fuga [11]. El hecho de tener un delgado cuerpo combinado con los bajos dopados produce pendientes subumbral reducidas [12] y capacitancias de unión bajas [11]. La ventaja de tener pendientes subumbral reducidas, se traduce en corrientes subumbral bajas; por otro lado, al tener capacitancias de unión bajas, se incrementa la velocidad de switcheo de este transistor.

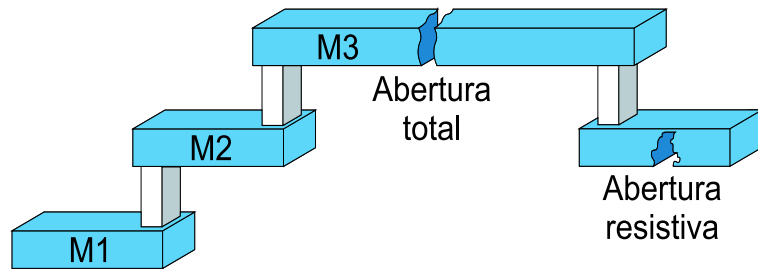
El *FinFET* pertenece a los dispositivos etiquetados como dispositivos multi-gate, los cuales están siendo desarrollados y estudiados por algunas compañías semiconductoras y universidades dedicadas a la investigación tecnológica tales como: AMD, Hitachi, IBM, Infineon, Intel, TSMC, Freescale y la UC Berkeley. Por otra parte, la *International Technology Roadmap for Semiconductors* (ITRS) [13] predice que tales dispositivos serán la piedra angular en tecnologías por debajo de los 32nm.

1.2. Fallas producidas por interconexiones abiertas en CIs

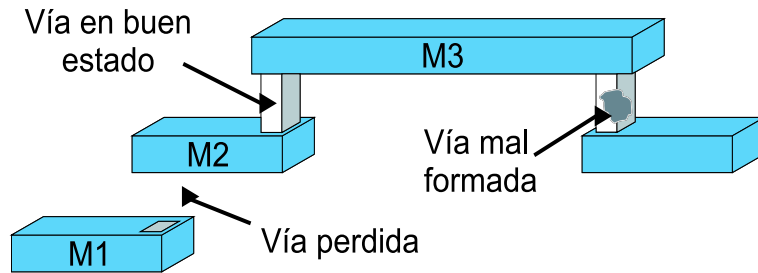
Como se ha visto la tendencia tecnológica es incrementar la densidad de transistores en los CIs. El incremento en la densidad de transistores, también acarrea un incremento en el número de interconexiones presentes.

Aberturas totales y aberturas parciales (aberturas resistivas) pueden tomar lugar en interconexiones por defectos presentados en los procesos de fabricación. Una abertura total es cuando una línea de interconexión queda totalmente abier-

ta generando una línea flotada; por otra parte, una abertura resistiva se produce cuando la interconexión no es completamente rota, produciendo una elevada resistencia en dicha línea. La figura 1.4(a) muestra un ejemplo de las posibles fallas en las líneas de interconexión.



(a) aberturas totales y resistivas en líneas de interconexión



(b) aberturas totales y resistivas en vías

Figura 1.4: Tipos de falla por aberturas en líneas de interconexión y vías.

Los puntos de interconexión entre diferentes niveles de metal (vías), son lugares susceptibles para que tomen lugar las fallas por abertura [14], esto es mostrado en la figura 1.4(b).

El número de vías, empleados para conectar los niveles de metal y el número de contactos, empleados para conectar las terminales de los transistores a nivel de metal, presentes en CIs tales como microprocesadores, siempre es mayor al número de transistores [15]. A medida que la tecnología se va escalando cada vez más, el uso de un gran número de vías es requerido para conectar los niveles de metal, si a esto le añadimos el hecho de que las dimensiones físicas de las interconexiones deben reducirse acorde al continuo escalamiento [13], se ten-

drá una probabilidad elevada de que ocurran defectos en las interconexiones a la hora de la fabricación. Estos defectos pueden afectar de manera significativa el funcionamiento de los CIs.

1.3. *Testing* en CIs

Se ha comentado que a medida que la tecnología evoluciona, la probabilidad de tener defectos en interconexiones se incrementa. Por tal motivo, el hecho de determinar que circuitos se encuentran libres de fallas y cuales la presentan, será una tarea de suma importancia en tecnologías futuras.

El objetivo del *test* de CIs es identificar a los circuitos que no cumplen con las especificaciones iniciales establecidas por diseño.

Para realizar el *test* en CIs, se deben seguir los siguientes pasos:

1. Aplicar vectores (señales de prueba) a las entradas de los circuitos. Estos vectores de entrada sensibilizarán el defecto presente y causarán un posible error en la salida de interés.
2. Se realiza una medición en la salida de interés.
3. El valor medido en la salida es comparado contra el valor de referencia especificado por diseño.
4. En caso de concordar el valor medido en la salida con el valor especificado por diseño, el circuito esta libre de fallas; en caso contrario, el circuito tiene una o varias fallas presentes y es rechazado.

Para realizar un *test* adecuado se deben emplear modelos que puedan describir el efecto producido por los defectos físicos ó por las fallas presentes en los CIs, estos modelos reciben el nombre de modelos de falla.

Existen diversos modelos de fallas para detectar adecuadamente los defectos en circuitos digitales, en [16] se citan los modelos de fallas más comunmente utilizados en el *test* de circuitos digitales.

Debido a que en esta tesis analizaremos fallas *stuck-open* en tecnologías *FinFET*, en la siguiente sección se describe el modelo de falla *stuck-open*.

1.3.1. Modelo de falla *stuck-open*

La detección de la falla *stuck-open* es un problema difícil y ha recibido demasiadas atenciones en el pasado. En presencia de una falla *stuck-open*, el transistor afectado falla en transmitir el valor lógico desde su fuente hacia su drenador; por lo tanto, este transistor puede ser considerado como un *switch*, el cual nunca cierra y permanece siempre abierto para todas las posibles combinaciones lógicas presentes a sus entradas.

Wadsack demostró que en presencia de una falla *stuck-open* en una compuerta lógica CMOS, la compuerta muestra un efecto de memoria bajo ciertas condiciones de entrada [17]; por lo tanto, las fallas *stuck-open* no garantizan ser detectadas por un *test stuck-at*. En general la detección de fallas *stuck-open* requiere de una secuencia de dos vectores de prueba a las entradas. El primer vector de la secuencia, se denomina vector de inicialización y el segundo vector de prueba es referido como vector de sensibilización.

El vector de prueba V1 inicializa la salida a un valor lógico "0" ó "1" y el vector de prueba V2 intenta cambiar el valor lógico en la salida generado por el vector V1 a un valor lógico complementario, es decir "1" ó "0". La falla es detectada si no hay cambio en el valor lógico en la salida con la puesta del vector V2; Por otro lado, si la compuerta presenta un cambio en su salida cuando se

aplica el vector V2, quiere decir que la compuerta está libre de fallas.

A continuación se ejemplifica el empleo de este modelo para realizar el *test* de una compuerta NAND. La figura 1.5 se muestra una compuerta NAND en la cual, una falla *stuck-open* se produjo en el drenador del transistor PA.

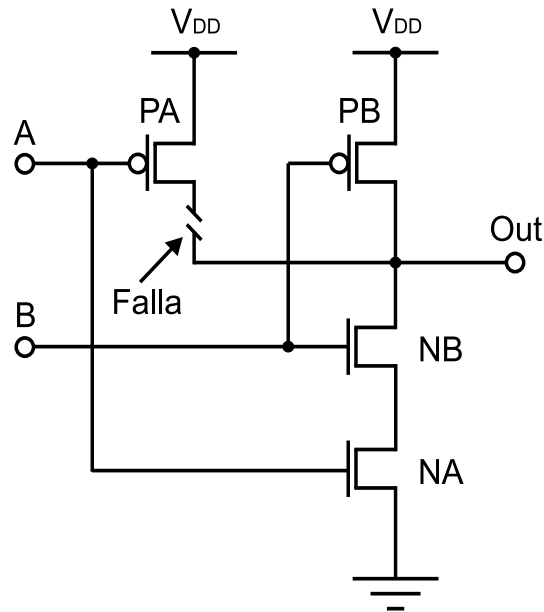


Figura 1.5: Compuerta NAND con falla *stuck-open* en el drenador del transistor PA.

Para el caso de la compuerta NAND mostrada en la figura 1.5, aplicamos el vector de inicialización V1: $AB=11$, con esto el voltaje en el nodo de salida tendrá un valor lógico "Bajo". Después se aplicará el vector de sensibilización V2: $AB=01$, con esta combinación se tratará de activar el transistor PA. Debido a la falla presente, no se establecerá corriente en el drenador del transistor PA; con esto, la salida de la compuerta permanecerá sin cambio alguno en la salida y la falla será detectada.

Invalidación del *test* en fallas *stuck-open*

Existen dos mecanismos que pueden invalidar la detección de la falla *stuck-open*, estos son: los cambios riesgosos en los vectores de prueba y el efecto de

carga compartida [18].

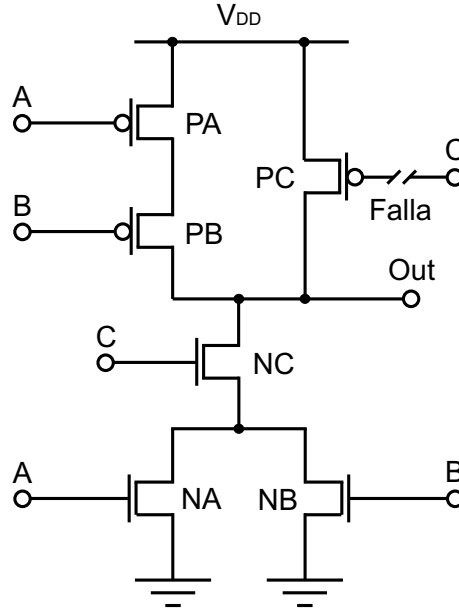


Figura 1.6: Compuerta compleja con falla stuck-open en la compuerta de PC.

La figura 1.6 muestra una compuerta compleja, en ella hay una falla *stuck-open* en la terminal de compuerta del transistor PC. Hay varias combinaciones de vectores de prueba para detectar la falla. Supongamos que aplicamos el vector de inicialización: $ABC=101$ y después el de sensibilización: $ABC=010$. Para detectar la falla con estos vectores, se requiere que la entrada B conmute antes que la entrada A ; ya que si la entrada A conmuta antes que la entrada B , los transistores PA y PB estarán activos provocando una trayectoria directa desde V_{DD} hacia el nodo de salida (hasta que B conmute de "0" a "1" lógico). Esta trayectoria cargará el nodo de salida y con ello, la detección de la falla *stuck-open* será invalidada.

El efecto de carga compartida ocurre cuando un transistor libre de fallas alimenta la carga que debería ser propiciada por el transistor que presenta la falla *stuck-open*. Para explicar este fenómeno, hacemos referencia a la figura 1.7.

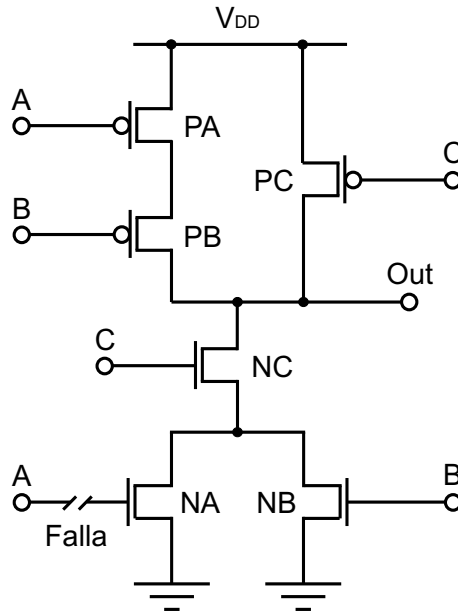


Figura 1.7: Compuerta compleja con falla stuck-open en la compuerta de NA.

Basados en la figura 1.7, supongamos que aplicamos el vector de inicialización: $ABC=010$ y después el de sensibilización: $ABC=101$. Esta secuencia no detectará la falla debido a que el vector de inicialización provoca que el transistor NB esté activado antes de aplicar el vector de sensibilización, esto ocasiona que el voltaje en la fuente de NC sea 0V. Cuando se aplica el vector de sensibilización, la entrada C conmuta de "0" a "1" lógico activando el transistor NC y reduciendo el voltaje "Alto" al que fue inicializado el nodo de salida. Un buen *test* debe cargar al nodo de salida con el vector de inicialización y la única manera en la que este nodo pudiera ser descargado cuando aplicamos el vector de sensibilización es a través del transistor NA, como ha sido observado, esto no ocurre con la puesta de los dos vectores considerados; por tal motivo, el *test* de la falla es invalidado.

1.4. Fallas *stuck-open* en tecnologías nanoescaladas

En [19], se muestra que las corrientes de tuneleo en compuerta, tienen un gran impacto en el comportamiento de las compuertas CMOS con fallas en interconexiones abiertas.

En [20] se ha demostrado que el *test* de fallas *stuck-open* en compuertas CMOS nanoescaladas está altamente influenciado por las elevadas corrientes de fuga presentes en estas tecnologías. Las corrientes de fuga en los circuitos bajo *test* propician variaciones en los niveles lógicos; por tal razón la detección de la falla *stuck-open* pudiera no ser adecuada.

Las corrientes de fuga en tecnologías *FinFETs* son menores en comparación a las corrientes de fuga en dispositivos MOSFET nanoescalados para un mismo nodo tecnológico [21]; por tal motivo, es de gran interés determinar como pudieran afectar las corrientes de fuga el *test* de compuertas con fallas *stuck-open* en tecnologías *FinFET*.

Esta tesis está enfocada a determinar de que manera las principales corrientes de fuga en los *FinFETs* influyen en el comportamiento y *test* de fallas *stuck-open* en compuertas lógicas basadas en estos dispositivos.

1.5. Organización de la Tesis

La organización de esta tesis es la siguiente:

En el capítulo II, se muestra de manera detallada los problemas presentes en el escalamiento de los dispositivos MOSFET, la manera en que son contrarestados

y la necesidad del empleo de nuevas estructuras para combatir todas las adversidades presentes. Se presenta al dispositivo de doble compuerta como el dispositivo más adecuado para continuar con la tendencia del escalamiento tecnológico.

En el capítulo III, se introduce al *FinFET* como la manera más simple de fabricar dispositivos de doble compuerta. En este capítulo se habla de los tópicos concernientes a las tecnologías *FinFET*, tales como: tipos de *FinFETs*, fabricación, voltaje de umbral, capacitancias y corrientes de fuga en estos dispositivos.

En el capítulo IV, debido a que en la actualidad no hay disponibles herramientas de simulación para *FinFETs*, se comenta la metodología empleada para realizar las simulaciones de estos dispositivos, se implementarán los modelos matemáticos encontrados en literatura con ayuda de la herramienta Maple; esto nos ayudará a determinar: voltajes de umbral, corrientes de fuga, corrientes de encendido y capacitancias en *FinFETs*.

En el capítulo V, se analizan fallas *stuck-open* en compuertas estáticas en tecnologías *FinFET*. Para poder determinar el comportamiento de los circuitos bajo *test*, se emplearán los modelos matemáticos implementados en Maple y con ayuda de HSPICE generaremos circuitos eléctricos equivalentes para la simulación y análisis de estas fallas.

En el capítulo VI, Se analiza el *testing* de fallas *stuck-open* en tecnologías *FinFETs* empleando dieléctricos de *high-k*. Se analizan los resultados obtenidos y se comparan con los resultados que fueron obtenidos en el capítulo V.

En el capítulo VII, se presentarán las conclusiones generales de la tesis.

Capítulo 2

Problemas debidos al escalamiento tecnológico.

Se ha comentado en la introducción que el escalamiento tecnológico ha traído grandes beneficios en el diseño de sistemas digitales VLSI.

El concepto del escalamiento ha sido constantemente aplicado a varias generaciones tecnológicas. Las dimensiones de los MOSFETs han dejado la escala micrométrica para pasar al regimen nanométrico. La tendencia para el desarrollo de la tecnología CMOS establece que se han alcanzado los límites físicos fundamentales; por lo tanto, es apropiado revisar las limitaciones físicas, así como las barreras tecnológicas en el continuo desarrollo de la tecnología CMOS.

El escalamiento a campos constantes, posee dos grandes problemas: a) Los potenciales interconstruidos no son escalados adecuadamente debido a que ellos dependen de la energía prohibida del Silicio. b) Las pendientes subumbral tampoco son escaladas adecuadamente debido a que dependen del voltaje térmico [22]. Consecuentemente, el voltaje de umbral no puede ser escalado en gran proporción, por que esto elevaría demasiado las corrientes de fuga presentes por dispositivo. Estas dos grandes limitaciones causan grandes desviaciones en la teoría

del escalamiento.

Por otra parte, el escalamiento de la longitud del transistor MOS genera algunos efectos indeseables, los llamados Efectos de Canal Corto (SCE por sus siglas en inglés), los cuales se ven magnificados a medida que el dispositivo se va reduciendo cada vez más. A continuación, se explican estos efectos, los cuales afectan en gran medida el desempeño del transistor MOS.

2.1. *Drain Induced Barrier Lowering (DIBL).*

Este efecto ocurre cuando las regiones de agotamiento entre las uniones de drenador y fuente interactúan con el substrato en la superficie del canal.

Idealmente cuando un dispositivo MOS se encuentra apagado ($V_{GS} < V_{th}$), existe una barrera de potencial en el canal, la cual previene el flujo de portadores desde la fuente hacia el drenador. La altura de esta barrera de potencial debe ser únicamente controlada por el voltaje aplicado en la compuerta. Sin embargo, cuando un elevado voltaje en el drenador es aplicado a un dispositivo de canal corto, se ve una reducción de la barrera de potencial tal y como se aprecia en la figura 2.1. Reflejándose en una disminución considerable en el voltaje de umbral [23].

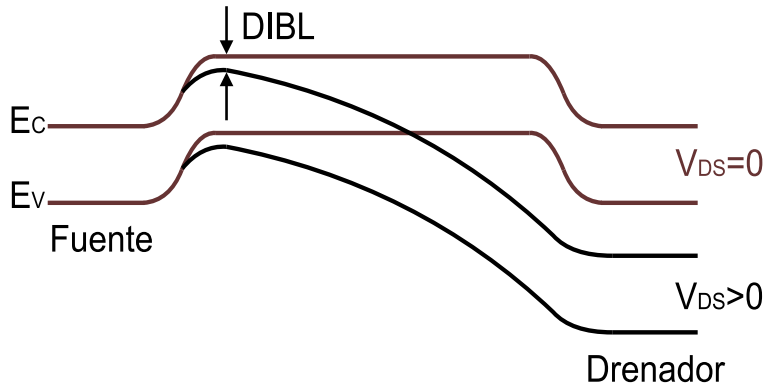


Figura 2.1: Reducción de la barrera de potencial debido al efecto DIBL.

Debido a que la barrera de potencial es reducida, la fuente inyecta portadores a la superficie del canal, es decir la altura de la barrera ya no es controlada en su totalidad por el voltaje aplicado en la compuerta sino que es sensible al voltaje en el drenador.

El efecto DIBL es enriquecido a grandes voltajes de drenador (por el incremento en la región de agotamiento) y longitudes de canal cortas; por tal motivo a medida que los dispositivos continúan escalando, este efecto es más pronunciado.

2.2. Reducción del voltaje de umbral debido a los SCE.

La figura 2.2 ilustra los efectos de borde de las líneas de campo eléctrico, las cuales se presentan en la región de agotamiento. Estas líneas de campo se originan en cargas positivas ubicadas en las regiones de drenador y fuente y terminan en las cargas negativas generadas en la región de agotamiento (en transistores tipo N).

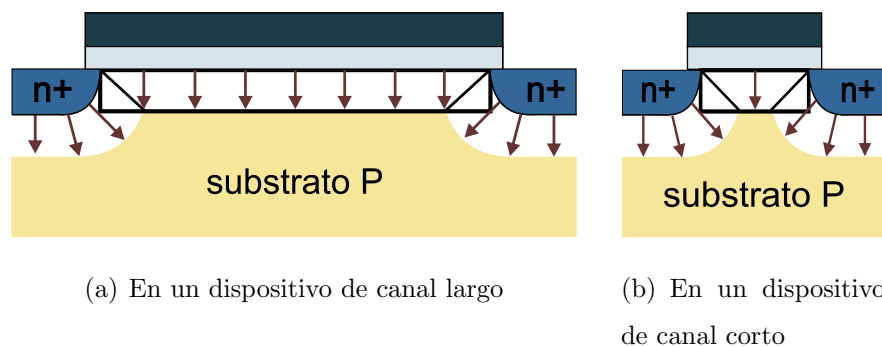


Figura 2.2: Líneas de campo eléctrico en MOSFET.

Se puede observar que las líneas de campo eléctrico en los bordes del canal son originadas en las regiones de drenador y fuente; consecuentemente, algunas de las cargas en los límites de la capa de agotamiento están soportadas por el

drenador y la fuente, mas no por la compuerta; esto se refleja en que menos carga y por lo tanto menos voltaje en compuerta es necesario aplicar para crear la capa de inversión en el canal, generando una disminución en el voltaje de umbral [24].

En MOSFETs de canal largo, las líneas de campo eléctrico generadas desde el drenador y fuente son considerablemente menores a las líneas de campo generadas por la compuerta, esto puede ser visto comparando las áreas rectangular y trapezoidal de la figura 2.2(a). En el caso de MOSFETs de canal corto, la carga encerrada en el área trapezoidal es significativamente pequeña si la comparamos con la carga dentro del área rectangular, tal y como lo muestra la figura 2.2(b); debido a esto, las líneas de campo eléctrico generadas desde el drenador y fuente tienen un impacto mayor y contribuyen en gran porción a la formación de la capa de agotamiento bajo el canal.

2.3. Modelo de Transformación Voltaje-Dopado.

En [25] han desarrollado un modelo denominado: Modelo de Transformación Voltaje-Dopado (MTVD), el cual es empleado para determinar la magnitud de los SCE ocasionados por los parámetros y dimensiones de dispositivos escalados. Las siguientes expresiones de SCE y DIBL son derivadas de dicho modelo:

$$SCE = 0,64 \cdot \frac{\varepsilon_{si}}{\varepsilon_{ox}} \left[1 + \frac{x_j^2}{L_{el}^2} \right] \frac{t_{ox}}{L_{el}} \frac{t_{dep}}{L_{el}} V_{bi} = 0,64 \frac{\varepsilon_{si}}{\varepsilon_{ox}} \cdot EI \cdot V_{bi}, \quad (2.1a)$$

$$DIBL = 0,8 \cdot \frac{\varepsilon_{si}}{\varepsilon_{ox}} \left[1 + \frac{x_j^2}{L_{el}^2} \right] \frac{t_{ox}}{L_{el}} \frac{t_{dep}}{L_{el}} V_{DS} = 0,8 \frac{\varepsilon_{si}}{\varepsilon_{ox}} EI \cdot V_{DS}. \quad (2.1b)$$

Donde: L_{el} es la longitud eléctrica efectiva del canal, V_{bi} es el potencial interconstruido en la fuente o drenador, t_{ox} es el espesor del óxido de compuerta, x_j es la profundidad de la unión en la fuente y el drenador, t_{dep} es la profundidad de la región de agotamiento por debajo de la compuerta.

El parámetro EI es llamado factor de Integridad Electroestática. Este factor depende de la geometría del dispositivo y es una medida de que tanto afectan las líneas del campo eléctrico desde el drenador hacia el canal.

2.4. Control de los SCE en MOSFETs nanoes-calados.

Para suprimir los SCE en dispositivos MOSFET, es necesario reducir el acoplamiento entre el drenador y el canal e incrementar el acoplamiento entre la compuerta y el canal. La reducción del acoplamiento entre el drenador y el canal, requiere un pequeño ancho de la región de agotamiento en la región superficie-drenador, el cual es obtenido con adecuados dopados en el substrato. El perfil de dopado retrogrado en la superficie y el dopado *halo* en los bordes de canal, son dos métodos efectivos para reducir el ancho de la región de agotamiento en el substrato [26](pag.41). Desafortunadamente, estos métodos emplean grandes concentraciones de dopado, los cuales pueden ocasionar un fuerte impacto en algunos parámetros que son de gran importancia en el desempeño del dispositivo MOS; por una parte, una gran cantidad de dopado degrada la movilidad de los portadores [6], aumenta las capacitancias de unión e incrementa algunos componentes de fuga.

Acorde al MTVD, los SCE también pueden ser minimizados reduciendo las profundidades de unión y el grosor del óxido de compuerta.

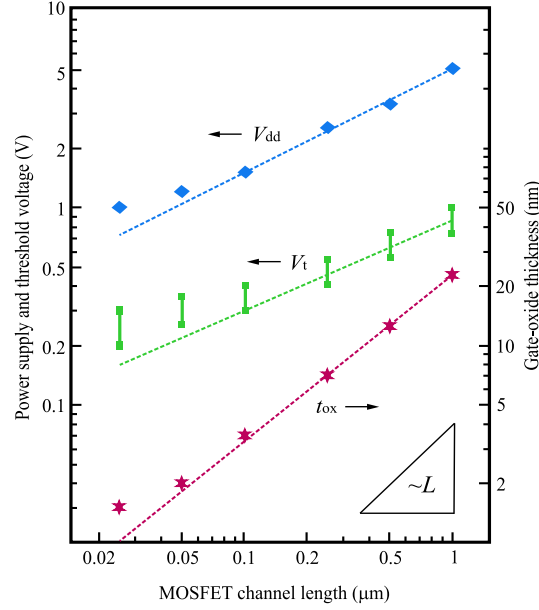


Figura 2.3: Tendencia de la reducción de V_{dd} , V_{th} y t_{ox} contra longitud de canal para tecnologías CMOS, imagen tomada de [27].

La reducción del espesor de óxido de compuerta es hecha en proporción a la longitud de canal como lo muestra la figura 2.3. Esta reducción se efectúa para que la compuerta tenga más control sobre el canal que el drenador. Una simple regla es que el espesor del óxido de compuerta sea de 1/50 a 1/25 veces la longitud de canal [28]. Para tecnologías actuales, se requieren espesores de óxido de compuerta por debajo de los 3nm [13].

La figura 2.3 también muestra la tendencia de escalamiento para el voltaje de alimentación y el voltaje de umbral de los CMOS; como se observa, el voltaje de umbral se desvía de la tendencia marcada por la línea punteada de una manera más notable para longitudes de canal reducidas. Como se verá en la siguiente sección, el hecho de tener voltajes de umbral bajos, se refleja en un incremento de la corriente en estado de apagado, por tal razón el voltaje de umbral es desviado de la tendencia marcada.

2.5. Corrientes de fuga en MOSFETs nanoescalados.

Se ha comentado la manera en que son contrarestados los SCE en dispositivos nanoescalados. A continuación, se comentarán los diferentes mecanismos de fuga presentes en los dispositivos CMOS y se mostrará de que manera impactan los métodos empleados en la reducción de los SCE a los mecanismos de fuga en los dispositivos nanoescalados.

Las corrientes de fuga, están influenciadas principalmente por: el voltaje de umbral, los perfiles de dopado en la superficie del canal, las profundidades de unión de drenador y fuente, el grosor del oxido en compuerta y la temperatura.

La figura 2.4 muestra los diferentes mecanismos de fuga presentes en transistores nanoescalados.

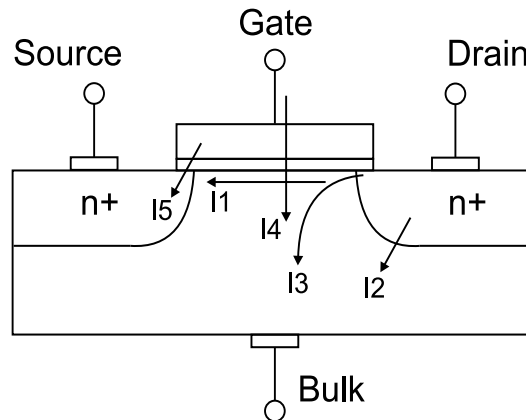


Figura 2.4: Mecanismos de fuga en tecnologías nanoescaladas.

2.5.1. Corriente Subumbral (I_1).

Se genera cuando el voltaje de compuerta está por debajo del valor del V_{th} . Bajo esta condición, el dispositivo se encuentra en inversión débil.

La corriente subumbral es dominada por mecanismos de difusión. En la cual, los portadores se difunden a lo largo de la superficie, similar al transporte de

carga en la base de un BJT [12].

La corriente subumbral está determinada de la siguiente manera:

$$I_{DS} = \frac{W}{L_{eff}} \mu_0 C_{ox} (m - 1) V_T^2 \times \exp\left(\frac{V_{GS} - V_{th}}{m \cdot V_T}\right) \times \left(1 - \exp\left(\frac{-V_{DS}}{V_T}\right)\right) \quad (2.2)$$

$$m = 1 + \frac{C_{dm}}{C_{ox}} = 1 + \frac{\frac{\varepsilon_{si}}{W_{dm}}}{\frac{\varepsilon_{ox}}{t_{ox}}} = 1 + \frac{3t_{ox}}{W_{dm}}$$

Donde: W es el ancho del transistor, L_{eff} es la longitud efectiva, μ_0 es la movilidad a bajos campos eléctricos, C_{ox} es la capacitancia por unidad de área del óxido de compuerta, m es el coeficiente de efecto cuerpo, $V_T = kT/q$ es el voltaje térmico, V_{GS} es el voltaje entre compuerta y fuente, V_{DS} es el voltaje entre drenador y fuente, C_{dm} es la capacitancia en la región de agotamiento, W_{dm} es el ancho de la región de agotamiento, t_{ox} es el espesor de óxido de compuerta.

La figura 2.5 muestra dos curvas de I_{DS} contra V_{GS} con el eje de las ordenadas en escala logarítmica. El inverso de la pendiente de $\log_{10}(I_{DS})$ contra V_{GS} es la llamada pendiente subumbral (St) y está relacionada con el coeficiente de efecto cuerpo mediante:

$$St = \left(\frac{d(\log I_{DS})}{dV_{GS}}\right)^{-1} = 2,3 \cdot m \cdot \frac{kT}{q} \quad (2.3)$$

La pendiente subumbral, nos indica que tan efectivamente el transistor puede ser apagado (razón de decremento en I_{off}) cuando V_{GS} está por debajo de V_{th} y su unidad de medición es milivoltios por década.

Se puede apreciar de las ecuaciones 2.2 y 2.3, que para alcanzar corrientes subumbral bajas, se requieren pendientes subumbral reducidas. La reducción de la pendiente subumbral se obtiene disminuyendo el grosor del óxido de compuerta t_{ox} o con una concentración de dopado bajo en el cuerpo (resultando en un gran W_{dm}).

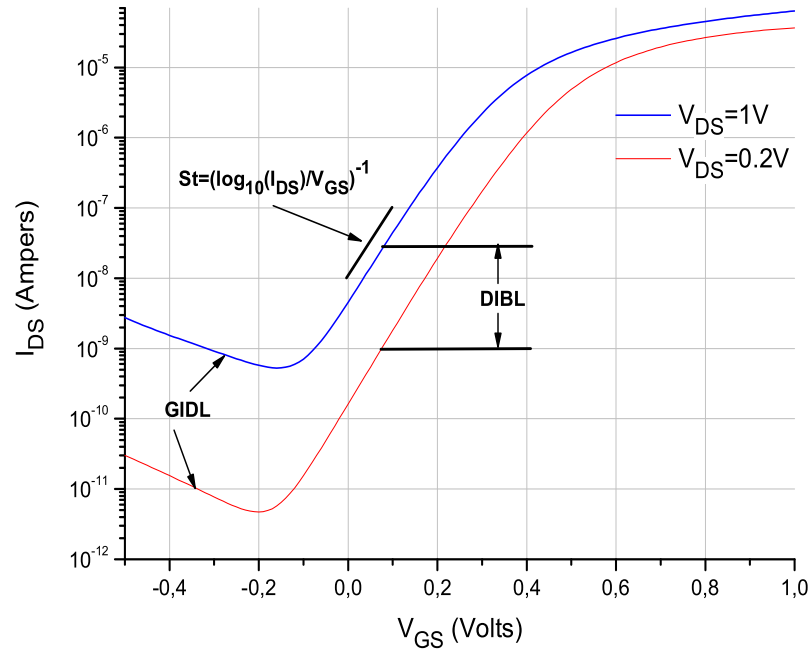


Figura 2.5: Visualización de la corriente subumbral, pendiente subumbral, DIBL y GIDL.

Otro factor que interviene en el incremento de la corriente subumbral, es el DIBL ya que como se vió, este efecto produce una disminución en el voltaje de umbral. Como se puede apreciar de la ecuación 2.2, una reducción del voltaje de umbral en este caso por el efecto DIBL provoca un aumento en la corriente subumbral. El efecto DIBL sobre la corriente subumbral, también puede ser visualizado en la figura 2.5; como se observa, este efecto produce un corrimiento de la curva hacia la parte superior a medida que el voltaje V_{DS} es incrementado, esto propicia corrientes subumbrales altas. Idealmente el DIBL no cambia la pendiente subumbral.

Para minimizar las corrientes subumbral, se requiere una St pequeña (idealmente $60mV/dec$) y hacer que el efecto DIBL sea minimizado.

Como se ha mencionado, la reducción del DIBL se consigue con altos niveles de dopado (dopado halo y retrogrado) y la reducción de St mediante bajos niveles

de dopado. Esto es un problema muy grande en tecnologías nanoescaladas, ya que se puede decir que: *al emplear grandes concentraciones de dopado para mantener los SCE bajo control, se genera un gran incremento en la pendiente subumbral, propiciando elevadas corrientes subumbral* [12].

2.5.2. Fugas en las uniones polarizadas en inversa (I₂).

Está compuesto por la difusión de portadores minoritarios y arrastre cerca del borde de las regiones de agotamiento y también de la generación de pares electron-hueco en las regiones de agotamiento de las uniones polarizadas en inversa. Cuando las regiones P y N son altamente dopadas, como en el caso de MOSFET avanzados (para controlar los SCEs), también existe fugas de unión por tuneleo de banda a banda BTBT [28].

El componente de fuga BTBT, es debido a altos campos eléctricos en las uniones P-N polarizadas en inversa. Estos campos eléctricos, producen un considerable flujo debido al tuneleo de electrones desde la banda de valencia de la región P a la banda de conducción de la región N, tal y como es mostrado en la figura 2.6.

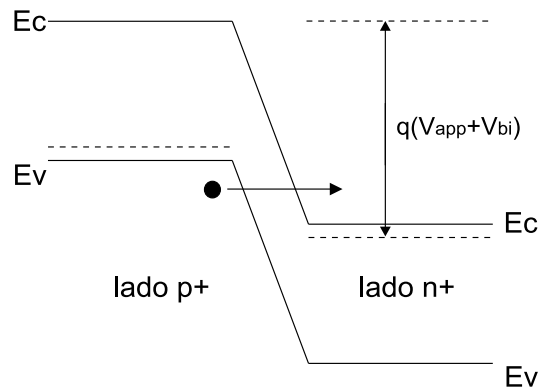


Figura 2.6: BTBT en uniones PN polarizadas inversamente.

La densidad de corriente debido al BTBT, está determinado por [28]:

$$J_{bb} = A \frac{E \cdot V_{app}}{E_g^{\frac{1}{2}}} \exp \left(-B \frac{E_g^{\frac{3}{2}}}{E} \right) \quad (2.4)$$

$$A = \frac{\sqrt{2m^*} q^3}{4\pi^3 \hbar^2} \quad y \quad B = \frac{4\sqrt{2m^*}}{3q\hbar}$$

Donde: m^* es la masa efectiva del electrón, E_g es la banda prohibida del Silicio, V_{app} es el voltaje aplicado en la unión en inversa, q es la carga del electrón, \hbar es la constante de plank reducida, E es el campo eléctrico en la unión.

Si tenemos una unión escalón, el campo eléctrico en dicha unión esta dada por:

$$E = \sqrt{\frac{2qN_aN_d(V_{app} + V_{bi})}{\varepsilon_{si}(N_a + N_d)}} \quad (2.5)$$

Donde: N_a y N_d son los dopados en las regiones P y N respectivamente, V_{bi} es el voltaje inter-construido en la unión.

Como se puede apreciar de la ecuación 2.5, el campo eléctrico se incrementa cuando los niveles de dopado son mayores. Al incrementarse el campo eléctrico, también se incrementa la corriente BTBT. Por lo tanto, se puede decir que: ***en dispositivos nanoescalados, debido a los altos niveles de dopado y perfiles abruptos de dopado, requeridos para minimizar los SCEs, las corrientes BTBT son cada vez mayores*** [12].

2.5.3. Gate Induced Drain Leakage GIDL (I3).

Es producido por el gran campo eléctrico en el drenador. Cuando la compuerta está polarizada para generar acumulación en la superficie, la superficie se comporta como una región P más altamente dopada que el sustrato. Esto causa que la región de agotamiento sea mucho más estrecha, provocando un incremento

en el campo eléctrico en la unión. Este campo eléctrico genera la aparición de corrientes BTBT de drenador a sustrato tal y como se aprecia en la figura 2.7.

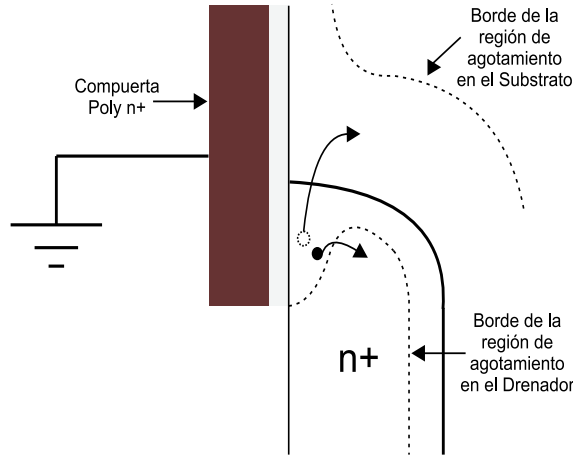


Figura 2.7: GIDL en MOSFETs.

El GIDL se aprecia como un gancho en la curva I_{DS} vs V_{GS} mostrada en la figura 2.5, esta corriente se incrementa para valores negativos de V_G y es más grande a valores altos de V_D . El GIDL es enriquecido con delgados óxidos de compuerta, por lo tanto se puede decir que: *en dispositivos nanoescalados, debido a los espesores de óxido de compuerta tan delgados requeridos para minimizar los SCE, las corrientes por GIDL son incrementadas.*

2.5.4. Tuneleo en el óxido de compuerta (I4 e I5).

Se originan por la presencia de un campo gran campo eléctrico en óxidos de compuerta delgados. Los mecanismos de tuneleo se pueden dividir de las siguientes maneras:

Tuneleo *Fowler-Nordheim*.

En el tuneleo *Fowler-Nordheim*, los electrones tunelean a través de una barrera potencial triangular y solo ocurre para voltajes en el óxido mayores a la

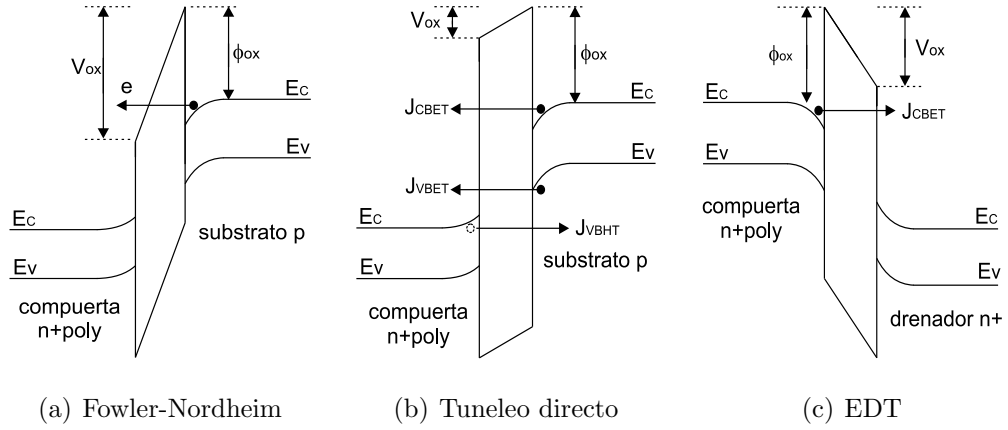


Figura 2.8: Diferentes mecanismos de Tuneleo en MOSFET.

altura de la barrera de electrones en la banda de conducción, esto es $V_{ox} > \phi_{ox}$. Este mecanismo es mostrado en la figura 2.8(a). Debido a que $\phi_{ox} = 3,1eV$, los dispositivos escalados generalmente trabajan a $V_{ox} < \phi_{ox}$. Por lo tanto, se puede asumir que este componente de corriente de tuneleo en dispositivos nanoescalados es despreciable [12].

Tuneleo directo (I4).

En capas delgadas de óxido (de 3 a 4 nm), los electrones desde la capa de inversión tunelean directamente hacia la compuerta a través de la energía prohibida del óxido de Silicio, estos electrones fluyen a través de una barrera potencial trapezoidal y solo ocurre para $V_{ox} < \phi_{ox}$. La ecuación 2.6 describe este fenómeno.

$$J_{DT} = A \cdot E_{ox}^2 \exp \left(- \frac{B \left[1 - \left(1 - \frac{V_{ox}}{\phi_{ox}} \right)^{\frac{3}{2}} \right]}{E_{ox}} \right) \quad (2.6)$$

$$A = \frac{q^3}{16\pi^2 \hbar \phi_{ox}} \quad B = \frac{4\sqrt{2m^*} \phi_{ox}^{\frac{3}{2}}}{3\hbar q} \quad y \quad E_{ox} = \frac{V_{ox}}{t_{ox}}$$

El tuneleo directo, está gobernado por tres mecanismos, estos son: Tuneleo

de Electrones en la Banda de Conducción (TEBC), Tuneleo de Electrones en la Banda de Valencia (TEBV) y Tuneleo de Huecos en la Banda de Valencia (THBV), estos tres mecanismos se pueden apreciar en la figura 2.8(b).

En NMOS, TEBC controla el tuneleo de compuerta a canal de inversión, por otra parte, el tuneleo de compuerta a cuerpo es controlado por TEBV en agotamiento-inversión y por TEBC cuando se encuentra en acumulación.

En PMOS, THBV controla las fugas de compuerta a canal de inversión, por otra parte, las fugas de compuerta a cuerpo son controladas por TEBV y por TEBC cuando el dispositivo está en acumulación.

Debido a que la altura de la barrera para el THBV (4.5eV) es más grande que la altura de la barrera para el TEBC (3.1eV), la corriente de tuneleo asociada al THBV es mucho menor que la corriente asociada al TEBC. Por lo tanto, las corrientes de fuga de tuneleo son menores en un transistor PMOS, que en un NMOS.

Tuneleo de borde directo (I5).

Este componente es referido como *Edge Direct Tunneling* o simplemente EDT. El EDT es generado en los bordes de solapamiento entre las extensiones del drenador-compuerta y fuente-compuerta y es provocado por el campo eléctrico aplicado cuando existe una diferencia de potencial entre las terminales drenador-compuerta y fuente-compuerta.

El TEBC es encargado de producir la corriente EDT en los NMOS tal y como se aprecia en la figura 2.8(c). Por otra parte, el THBV genera la componente EDT en los dispositivos PMOS.

De la ecuacion 2.6, se observa que las corrientes de tuneleo I4 e I5 dependen exponencialmente de los espesores de óxido de compuerta. Como se ha mencionado, los requerimientos para tecnologías actuales, exigen espesores de óxido

por debajo de los 3nm. Por tal motivo, se puede decir que: *en dispositivos nanoescalados, debido a los espesores de óxido de compuerta tan delgados requeridos para minimizar los SCE, las corrientes de fuga por tuneleo en compuerta son cada vez mayores* [24].

La figura 2.9 muestra las corrientes de tuneleo para diferentes espesores de óxido entre 3.5 a 1 nm contra el voltaje de compuerta. Las curvas mostradas en esta figura, fueron generadas en Maple con el modelo de corriente de tuneleo directo en compuerta presentado en [29].

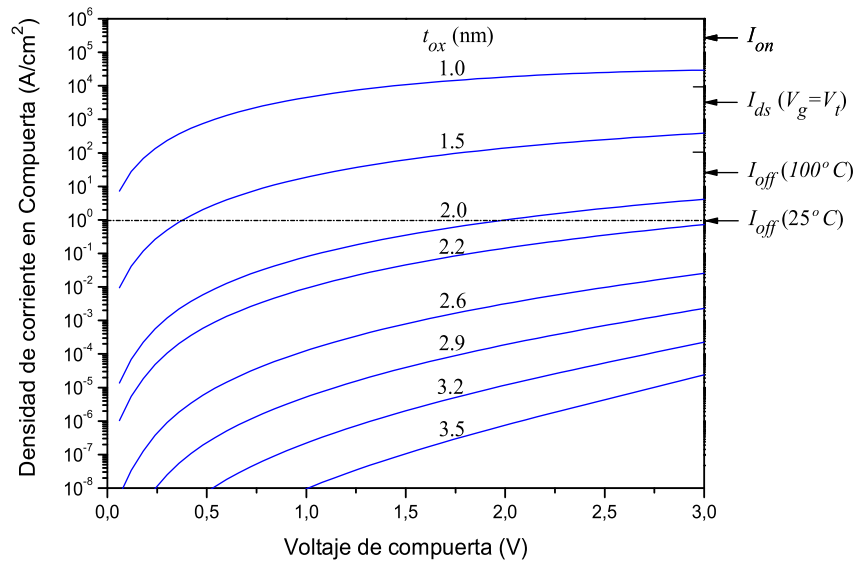


Figura 2.9: Densidades de corriente de tuneleo en compuerta contra voltaje en compuerta para diferentes espesores de óxido de compuerta.

Los valores mostrados a la derecha de la gráfica en la figura 2.9 indican las magnitudes de: 1) corrientes en estado de apagado a temperatura ambiente, 2) corrientes en estado de apagado a temperatura de 100°C, 3) corrientes de fuente a drenador con $V_G = V_{th}$ ($V_{DS} = V_{dd}$), y 4) corrientes en estado de encendido con $V_G = V_{DS} = V_{dd}$.

Como puede ser visualizado, a medida que el espesor de óxido de compuerta es reducido, las magnitudes de las corrientes de tuneleo en compuerta son comparables con las corrientes en estado de encendido del transistor.

Las elevadas corrientes de tuneleo en compuerta es una limitante importante en el escalamiento continuo de los MOSFET, debido a que puede conducir a un consumo de potencia estático excesivo y/o degradar la integridad del dieléctrico [26](pag. 27).

2.6. Control de los SCEs con la adopción de nuevas estructuras.

Se ha visto que los métodos para controlar los SCE en dispositivos CMOS en régimen nanométrico, producen un fuerte incremento en las corrientes de fuga. Las elevadas corrientes de fuga en los dispositivos CMOS es la principal razón de que no se siga considerando al MOSFET para continuar con el escalamiento tecnológico.

Para vencer todas las dificultades presentes en los dispositivos MOS nanoescalados, se han considerado estructuras alternativas a los transistores MOSFET convencionales, tales como los dispositivos Fully Depleted Silicon On Insulator (FDSOI) y los dispositivos de doble compuerta (DGMOSFET).

Se ha visto que los SCEs se presentan cuando el canal es afectado por las líneas de campo eléctrico desde la fuente y drenador hacia el canal. En un dispositivo MOS convencional, las líneas de campo eléctrico se propagan a través de las regiones de agotamiento asociadas con las uniones, tal y como se aprecia en la figura 2.10(a).

En dispositivos FDSOI, una gran cantidad de líneas de campo eléctrico se propagan a través del óxido enterrado (BOX) antes de alcanzar la región de canal, tal y como se muestra en la figura 2.10(b). Los SCEs en FDSOI pueden ser reducidos o incrementados dependiendo de la profundidad del Silicio, la profundidad del BOX y las concentraciones de dopado.

Una configuración más efectiva es la presentada por el DGMOSFET. Esta estructura fue propuesta en [30]-[31] y es empleada para reducir los SCE. Cabe mencionar que a pesar de que es un dispositivo con dos compuertas, ambas están unidas, formando una única terminal.

En los DGMOSFET, algunas líneas de campo eléctrico desde la fuente y el drenador por debajo del dispositivo terminan en la compuerta inferior y por lo tanto, no pueden alcanzar la región de canal; solamente las líneas de campo que se propagan a través del delgado film de Silicio pueden invadir el canal (ver figura 2.10(c)), esta invasión de líneas de campo eléctrico puede reducirse al reducir el grosor del film de Silicio, con lo cual se obtiene una fuerte reducción de los SCE.

En [32] han empleado el MTVD para analizar el comportamiento de los dispositivos FDSOI y DGMOSFET. Usando las ecuaciones 2.1a y 2.1b, se ha determinado el factor de integridad electrostática para los dispositivos MOSFET, FDSOI y DGMOSFET.

El factor EI de un dispositivo MOSFET es mostrado a continuación:

$$EI = \left[1 + \frac{x_j^2}{L_{el}^2} \right] \frac{t_{ox}}{L_{el}} \frac{t_{dep}}{L_{el}} \quad (2.7)$$

El factor EI de un dispositivo FDSOI lo han obtenido con las siguientes consideraciones: la profundidad de unión es igual al grosor del film de Silicio T_{si} y el campo en la región de canal penetra enteramente en film de Silicio extendiéndose

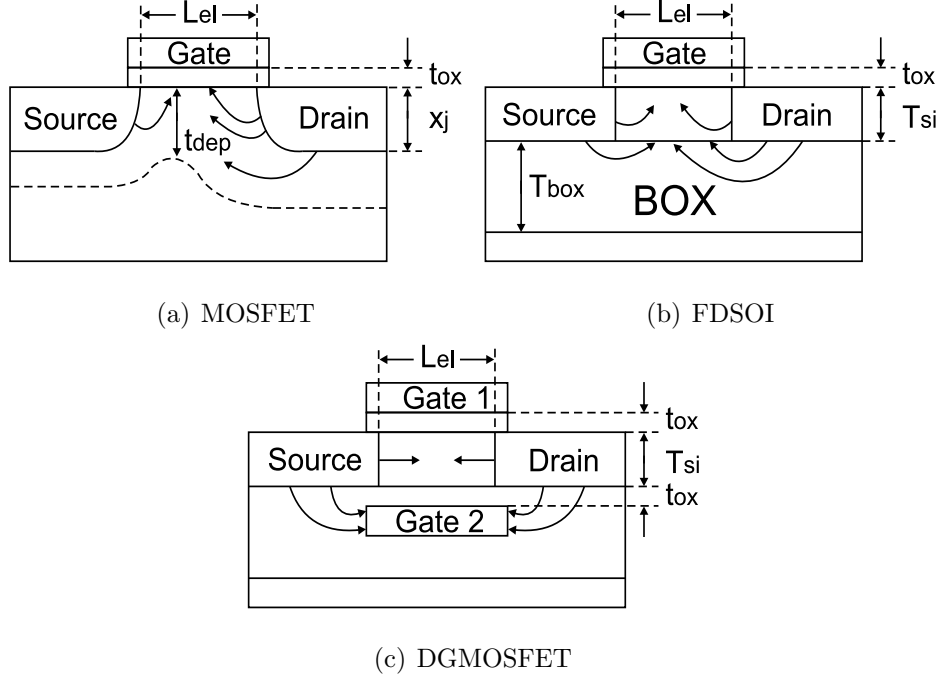


Figura 2.10: Líneas de campo eléctrico en dispositivos MOSFET, FDSOI y DGMOSFET.

en cierta medida en el BOX. Con lo anterior en mente, podemos establecer que el factor de integridad electrostática para un dispositivo FDSOI esta dado por:

$$EI = \left[1 + \frac{T_{si}^2}{L_{el}^2} \right] \frac{t_{ox}}{L_{el}} \frac{T_{si} + \lambda T_{BOX}}{L_{el}} \quad (2.8)$$

Por otro lado, en un dispositivo DGMOSFET, la profundidad de unión efectiva y la penetración del campo eléctrico en cada uno de los dos canales es igual a $T_{si}/2$, lo cual conduce a un factor de integridad electrostática de:

$$EI = \frac{1}{2} \left[1 + \frac{T_{si}^2/4}{L_{el}^2} \right] \frac{t_{ox}}{L_{el}} \frac{T_{si}/2}{L_{el}} \quad (2.9)$$

Analizando las expresiones para los SCE y el DIBL dadas por el MTVD (ecuacion 2.1), es evidente que se necesita reducir el factor EI para mantener los SCE bajo control y tener un DIBL bajo.

Observando las expresiones de los factores EI de los tres dispositivos: MOSFET, FDSOI y DGMOSFET; se puede apreciar que la estructura DGMOSFET brinda un factor EI mucho más reducido que las otras dos estructuras, debido a que por su geometría tiene la ventaja natural de ver dos veces un transistor equivalente FDSOI conectados en paralelo.

2.7. Conclusiones.

En este capítulo se analizaron los problemas que presenta el dispositivo MOSFET cuando es escalado. Los espesores delgados de óxido de compuerta y los elevados niveles de dopado en el MOSFET propician un incremento en las corrientes de fuga. Las excesivas corrientes de fuga es la principal limitante para el escalamiento en regimen nanométrico del MOSFET.

Se observó que los dispositivos FDSOI y DGMOSFET presentan un mejor factor de integridad electrostática y por lo tanto un mejor control de los SCE. Se analizó que el dispositivo DGMOSFET presenta un mejor control de los SCE que el dispositivo CMOS y el FDSOI.

Capítulo 3

El *Fin*FET

En el apartado anterior, se demostró que los dispositivos doble compuerta tienen una mejor reducción de los SCEs; debido a esto, estos dispositivos son los candidatos por excelencia en el escalamiento de tecnologías por debajo de los 32nm [13].

Se observó que en los DGMOSFETs, los SCEs son controlados en gran medida por la geometría del dispositivo, en vez de emplear altos niveles de dopado en el canal como en el caso del MOSFET convencional, ya que el cuerpo de estos dispositivos es ligeramente dopado ó en algunos casos intrínseco. Esto trae muchas ventajas, ya que la movilidad no se ve degradada [6], se mejora la pendiente subumbral St [33] y los campos eléctricos son reducidos notablemente [34].

Numerosos métodos han sido propuestos para fabricar los dispositivos de doble compuerta [35]-[38]; sin embargo, la mayoría sufren de complejidad en el proceso de fabricación.

La estructura denominada como *Fin*FET, ha sido propuesta como la forma más simple de fabricar dispositivos de doble compuerta, ya que su proceso de fabricación es muy similar a la de dispositivos convencionales de SOI.

El *Fin*FET es un dispositivo, en el cual un cuerpo delgado en forma de aleta está rodeado por el electrodo de compuerta, formando dos canales propiamente

alineados en las paredes verticales de dicha aleta.

La figura 3.1, ilustra la estructura física de dos *FinFETs* ubicados paralelamente. Es importante mencionar que de aquí en adelante, adoptaremos como referencia el sistema de coordenadas ilustrado en esta misma figura para todas las subsiguientes figuras y explicaciones que se lleguen a realizar.

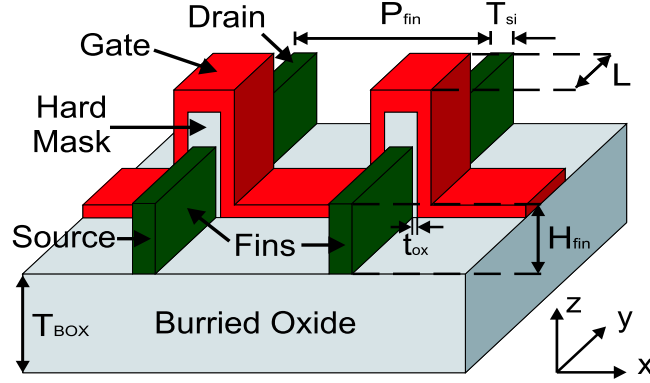


Figura 3.1: Estructura del *FinFET*.

La figura 3.1 muestra dos aletas rodeadas por la terminal de compuerta, debido a que el proceso de fabricación más ampliamente recomendado (el cual será comentado en secciones siguientes) genera dos aletas por dispositivo.

A continuación se mencionará el nombre dado a cada una de las dimensiones mostradas en la figura 3.1.

1. T_{si} : Ancho de la aleta.
2. L : Longitud de canal del transistor. No corresponde a la longitud efectiva de canal, esta dependerá de las difusiones laterales por debajo de la compuerta.
3. H_{fin} : Altura de la aleta.
4. t_{ox} : Espesor de óxido de compuerta.
5. P_{fin} : Pitch de aleta, el cual está limitado por el proceso de fabricación empleado.

Para poder visualizar las dos compuertas presentes en un *Fin*FET, haremos referencia a la figura 3.2.

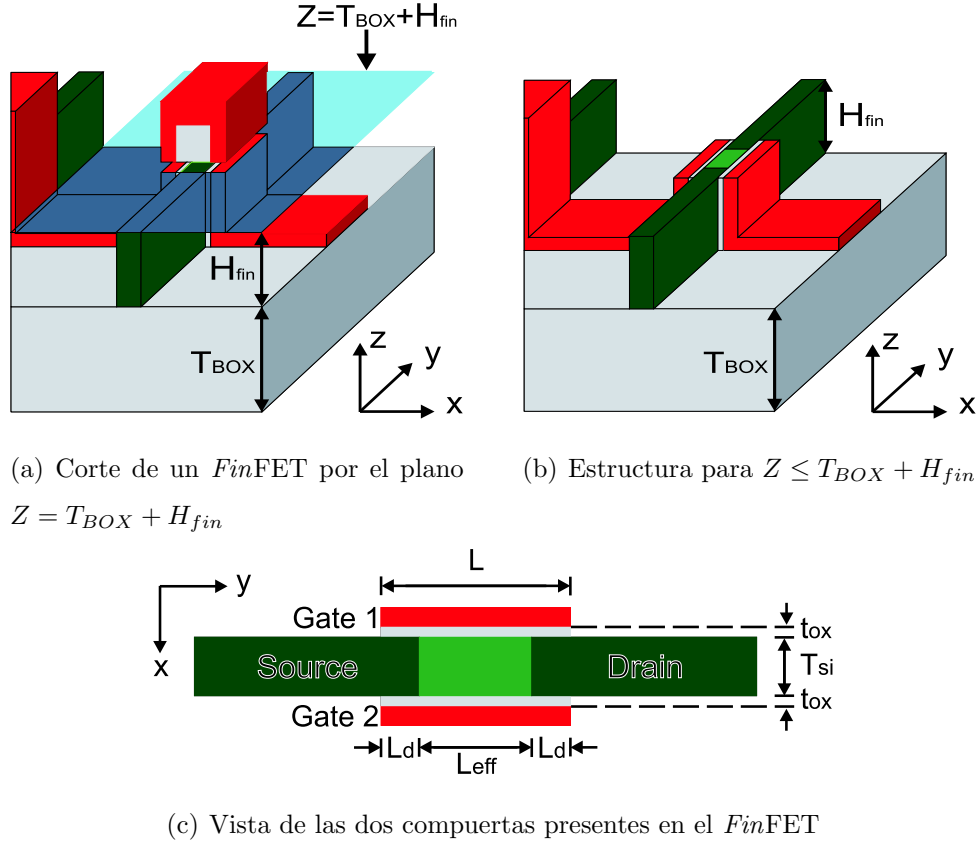


Figura 3.2: Ubicación de las dos compuertas en el *Fin*FET.

La figura 3.2(a), muestra el plano $Z = T_{BOX} + H_{fin}$, el cual corta a uno de los dos *Fin*FETs mostrados en la figura 3.1; si quitamos el remanente del corte y únicamente consideramos la estructura para: $Z \leq T_{BOX} + H_{fin}$, obtenemos la estructura mostrada en la figura 3.2(b); por último, si a la estructura mostrada en la figura 3.2(b) la rotamos $\pi/4$ radianes en sentido de las manecillas del reloj y la vemos desde el plano $Z = T_{BOX} + H_{fin}$ llegamos a la estructura mostrada en la figura 3.2(c); en esta figura se aprecian las dos compuertas presentes en la aleta y también se aprecia la longitud efectiva de canal. Esta longitud efectiva es diferente a la longitud L mostrada en la figura 3.1. La reducción de la longitud de canal en el *Fin*FET es debida a las difusiones laterales Ld mostradas entre las

dos compuertas. Estas difusiones laterales toman lugar cuando la aleta es dopada para formar las regiones de drenador - fuente y son similares a las difusiones laterales presentes en tecnologías MOSFET convencionales.

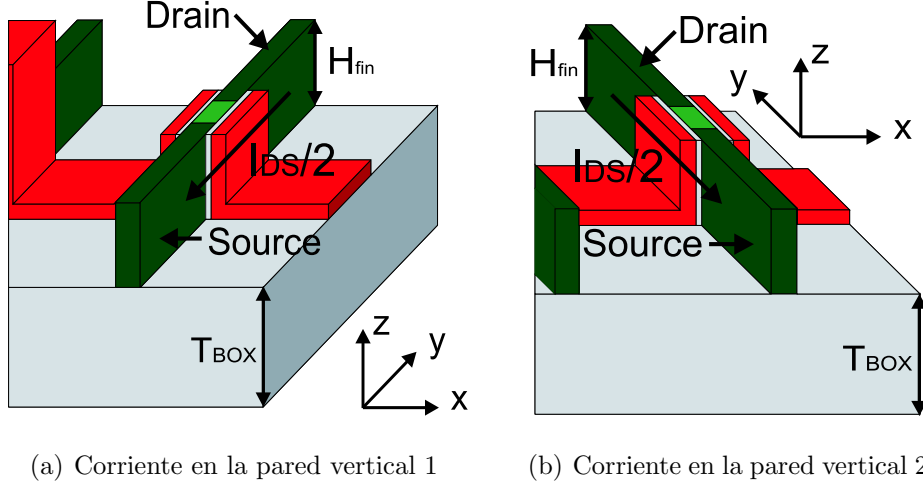


Figura 3.3: Flujo de corriente en las paredes verticales de la aleta.

Gracias a la máscara dura ubicada entre la aleta y la compuerta, se previene la formación de capa de inversión en la pared superior. Esta máscara dura es óxido de Silicio grueso, el cual sirve como aislante; por tal razón, el material de compuerta presente en la pared superior de la aleta no provoca ningún efecto en dicha pared. De hecho, la compuerta en la pared superior de la aleta únicamente sirve para unir eléctricamente las dos compuertas ubicadas en las paredes verticales de la aleta.

La figura 3.3 muestra a la aleta de silicio; en (a), se aprecia el flujo de corriente en una pared vertical; en (b), se muestra a la misma aleta rotada $\pi/2$ en contra del sentido de las manecillas de reloj, en esta figura, se aprecia el flujo de corriente en la otra pared vertical. Como se aprecia, en cada una de las paredes verticales fluye la mitad de la corriente I_{DS} que es capaz de manejar el dispositivo; visto de otra manera, se puede decir que en una pared vertical se forma un transistor con ancho $W = H_{fin}$ y en la otra pared vertical se forma otro transistor con la

misma W ; por otra parte, como la compuerta es la misma para las dos paredes verticales, la estructura es similar a tener dos transistores conectados en paralelo. Por las anteriores razones, el ancho efectivo por aleta esta dado por: $W = 2H_{fin}$.

Debido a que el ancho de canal está limitado por la altura de la aleta; lo que se hace en diseños con *Fin*FETs para incrementar el valor del ancho en un dispositivo, es poner aletas en paralelo [39]. La ecuación 3.1 es una generalización del ancho efectivo de un dispositivo, cuando se tiene n aletas en paralelo.

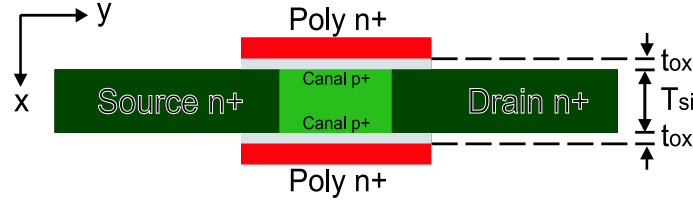
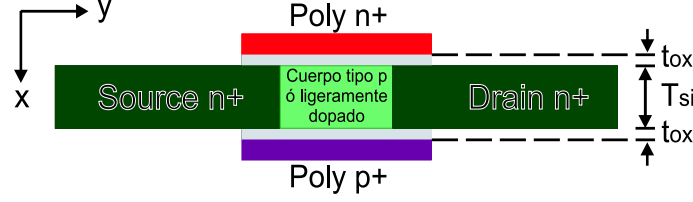
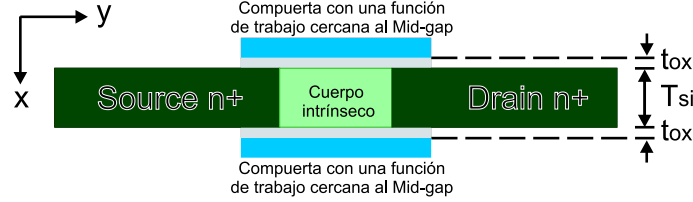
$$W_{eff} = 2 \cdot n \cdot H_{fin} \quad (3.1)$$

3.1. Clases de *Fin*FETs

La clasificación de los *Fin*FETs es hecha en base a la manera en como se ajusta el voltaje umbral, los materiales empleados en el proceso de fabricación y los niveles de dopado en la aleta de Silicio. A continuación se enlistan los diferentes tipos de *Fin*FETs:

1. *Fin*FET simétrico.

Este dispositivo se muestra en la figura 3.4(a). Es fabricado con materiales empleados en un proceso de fabricación CMOS convencional, emplea polisilicio altamente dopado como electrodo de compuerta (poly n+ para los transistores NMOS y poly p+ para los PMOS). La denominación de *Fin*FET simétrico es debida a que las dos compuertas tienen la misma función de trabajo. En estos dispositivos, el voltaje de umbral es ajustado con altas concentraciones de dopado en la aleta de Silicio. Tiene la desventaja de que la movilidad se ve degradada por los altos niveles de dopado en los canales.

(a) *Fin*FET simétrico(b) *Fin*FET asimétrico(c) Mig-Gap *Fin*FETFigura 3.4: Clases de *Fin*FETs.

2. *Fin*FET asimétrico.

Este dispositivo se muestra en la figura 3.4(b). Tiene la primera compuerta de poly n+ y la segunda de poly p+. La denominación de *Fin*FET asimétrico es por que existe una asimetría de las funciones de trabajo entre ambas compuertas; tal asimetría controla el voltaje de umbral sin necesidad de altos dopados en la aleta de Silicio [40].

3. *Mid-Gap Fin*FET (MGDG).

Este dispositivo se muestra en la figura 3.4(c). Es fabricado con compuertas con funciones de trabajo ajustables. Tiene la ventaja de que el voltaje de umbral es ajustado con la función de trabajo del material de compuerta, sin necesidad de tener grandes dopados en la aleta de Silicio, incluso la región

en donde se presentan los canales de inversión puede ser de Silicio intrínseco [40]. La denominación de *Mid-Gap Fin*FET es debida a que para obtener adecuados voltajes de umbral, se elige un material de compuerta con una función de trabajo cercana al valor medio de la energía prohibida. Tiene la ventaja de que la movilidad de los portadores no se ve degradada (por el cuerpo intrínseco) y si el material elegido en la compuerta es metálico, se elimina la región de agotamiento que presenta el Polysilicio, reflejándose en un acoplamiento mejor entre la compuerta y los dos canales [41].

3.2. Proceso de fabricación

En el *Fin*FET, el ancho de la aleta T_{si} es la variable más importante en el proceso de fabricación, ya que como se vió anteriormente, este parámetro es en gran medida responsable de reducir los SCEs, se verá en las siguientes secciones que la reducción de esta dimensión tambien aliva las corrientes de fuga. Por lo tanto, es importante obtener un adecuado control en la dimensión T_{si} a la hora de la fabricación. En [32], se ha demostrado que para la adecuada supresión de los SCEs se requiere que T_{si} sea aproximadamente la mitad de la longitud de compuerta L_{ch} ; por tal razón, tecnologías sub-litográficas son necesarias para la formación de la aleta.

3.2.1. *Lay-out* de *Fin*FETs

El *Fin*FET tiene la ventaja que el *lay-out* empleado para su fabricación es similar al *lay-out* de un dispositivo MOS convencional, con la diferencia de que como la corriente fluye en las dos paredes verticales de la alta, el ancho efectivo del canal es diferente al ancho establecido por el layout.

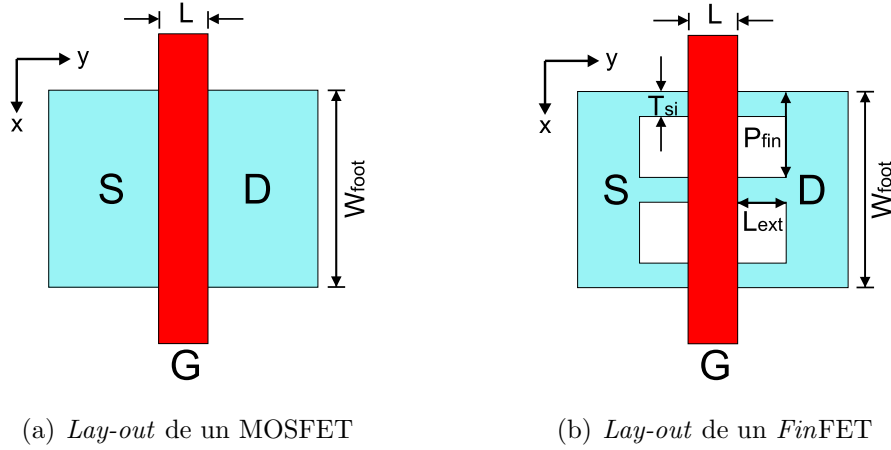


Figura 3.5: Comparación entre los layouts de MOSFETs y *FinFET*s.

La figura 3.5, muestra una comparación entre los patrones geométricos de los dispositivos MOSFET y *FinFET*. En esta figura las dimensiones T_{si} , P_{fin} y L representan los mismos parámetros mostrados en la figura 3.1. Dos nuevas dimensiones introducidas en el *lay-out* se comentan a continuación:

1. W_{foot} , representa en el caso del MOSFET convencional el ancho efectivo W_{eff} de canal; por otra parte, en el caso del *FinFET* representa el ancho del área de consumo por dispositivo (como se ha mencionado anteriormente, esta dimensión no representa el ancho efectivo de canal del dispositivo).
2. L_{ext} , representa la distancia entre el borde de la compuerta y el borde de las regiones de fuente y drenador

El ancho efectivo de canal W_{eff} en un *FinFET* está relacionado con la dimensión W_{foot} en el layout por medio de la ecuación 3.2:

$$W_{eff} = 2H_{fin} \frac{W_{foot}}{P_{fin}} \quad (3.2)$$

Para incrementar el manejo de corriente por unidad W_{foot} , se puede incrementar la altura de la aleta de Silicio H_{fin} o reducir el pitch P_{fin} , ambos parámetros

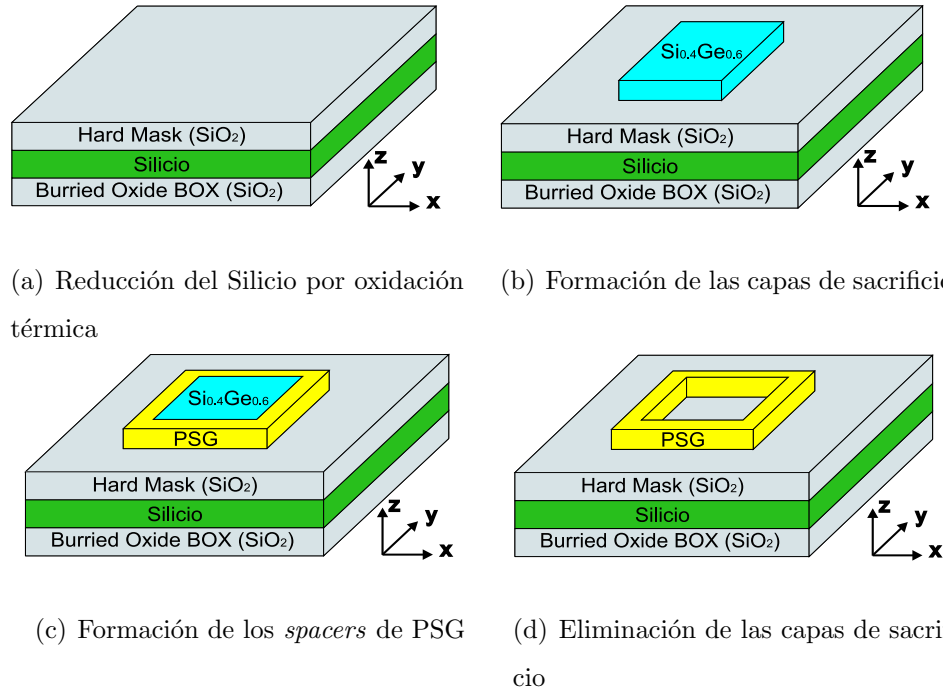
poseén ciertas limitaciones; por un lado, incrementar la altura de la aleta dificulta el depósito del material de compuerta y por otra parte, el pitch de aleta está determinado por el proceso de litografía empleado en el grabado de las aletas.

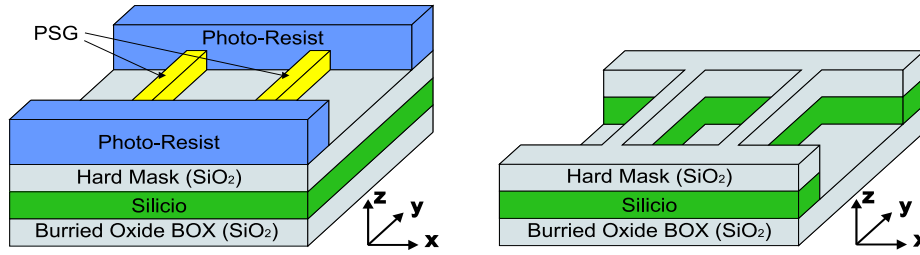
A continuación se especificarán los pasos a seguir en la fabricación de *Fin*FETs.

3.2.2. Fabricación de las aletas de Silicio

Para mejorar el pitch P_{fin} , en [42] se ha propuesto el grabado de aletas mediante *spacer lithography*. Esta técnica involucra el uso de capas de sacrificio, las cuales servirán para soportar unos *spacers*; el grosor de los *spacers* determinará el ancho T_{si} de las aletas a ser grabadas sobre la oblea SOI.

A continuación se describirá a grandes rasgos el proceso presentado en [42]. Para el mejor entendimiento de los pasos de fabricación, haremos referencia a la figura 3.6.





(e) *Fotore Resist* define las regiones de drenador y fuente

(f) Grabado de aletas y regiones de drenador y fuente en la oblea SOI

Figura 3.6: Proceso de fabricación de las aletas de los *FinFET*.

1. El proceso de fabricación empieza con una oblea SOI convencional de 100nm.
2. El Silicio sobre el aislante se reduce a 50nm por oxidación térmica; después de esto, la estructura queda como se muestra en la figura 3.6(a). La capa de óxido de 50nm por encima del Silicio, servirá como la máscara dura en la pared superior de la aleta.
3. Mediante *Low Pressure Chemical Vapor Deposition* (LPCVD) se deposita $Si_{0.4}Ge_{0.6}$. Este material, actuará como material de sacrificio. El grabado de esta capa de sacrificio, es definida por medio de litografía convencional y es grabada por plasma (ver la figura 3.6(b)).
4. Se deposita *Phospho Silicate Glass* (PSG) en todas las paredes de las capas de sacrificio por medio de LPCVD; después de esto, se remueve el PSG ubicado en las paredes superiores de las capas de sacrificio. En la figura 3.6(c) se aprecia que únicamente se tiene los *spacers* de PSG en las paredes laterales de la capa de sacrificio. El espesor del PSG en las paredes de la capa de sacrificio determinará el ancho final de las aletas a ser grabadas, es decir la dimensión T_{si} .
5. Se elimina la capa de sacrificio mediante grabado en seco. Después de esto, la estructura queda como se muestra en la figura 3.6(d). Este proceso no

afecta al óxido térmicamente crecido, ya que la selectividad del grabado del $Si_{0,4}Ge_{0,6}$ con relación al SiO_2 es mayor a 400. Los *spacers* serán usados como una máscara de grabado para transferir la figura de la aleta a la oblea SOI mediante un grabado de plasma anisotrópico.

6. Se deposita *fotore Resist* para definir las regiones de drenador y fuente de los transistores mediante litografía óptica convencional. Esto se aprecia en la figura 3.6(e).

Por último, en la figura 3.6(f) se muestra la estructura resultante después del grabado de las aletas y de las regiones de drenador y fuente sobre la oblea SOI.

En resumen, los *spacers* de PSG y el *fotore Resist* son empleados para la transferir las aletas y las regiones drenador-fuente respectivamente en la oblea SOI. Las ventajas del empleo de este método, es que se puede incrementar en dos la densidad de aletas alcanzable por litografía, proporcionando al *FinFET* mayor manejo de corriente. Por otro lado, el hecho de definir el ancho de la aleta con la grosor de la película del PSG depositado ofrece las ventajas de obtener líneas más delgadas que un proceso convencional de litografía y tener bajas rugosidades en las aletas formadas.

Después de la formación de la aleta de Silicio, las superficies exhiben demasiada rugosidad, debido a esto, la movilidad a lo largo de las paredes verticales de la aleta es pobre. La manera simple de reparar la rugosidad es a través de oxidación [43].

Teniendo la aleta previamente tratada, se crece óxido de compuerta sobre las superficies de la aleta. El método empleado para crecer el óxido en las paredes laterales de la aleta es: *In-Situ-Steam-Generated (ISSG) rapid thermal oxidation* [44], [45]. Este método es elegido por que la razón del crecimiento del óxido de Silicio es insensible a la orientación de las superficies laterales de la aleta.

3.2.3. Depósito del material de compuerta

El electrodo de compuerta, es grabado sobre las aletas con el uso de litografía convencional.

Existen diferentes alternativas a la hora de elegir el material de compuerta, la elección es hecha en base a los niveles de voltaje de umbral que se desean para el dispositivo.

A continuación se muestran las posibles alternativas en el uso de materiales para la formación de la compuerta.

1. Compuertas de Polysilicio idénticas.

Se puede emplear Polysilicio altamente dopado $n+$ para los transistores NMOS ó $p+$ para los transistores PMOS, el problema de estos materiales es que las funciones de trabajo están fijas y para poder ajustar el voltaje de umbral, se requieren altos niveles de dopado en la aleta [40].

2. Compuertas $n+$ y $p+$.

Se puede colocar la primera compuerta de poly $n+$ y la segunda de poly $p+$; el resultado de esta estructura es referida como *FinFET* asimétrico.

Dos grandes ángulos de inclinación para el implante en la compuerta son usados; por tal razón, este proceso requiere una compuerta de Polysilicio delgada y aletas altas para que la sombra de la aleta no permita que las paredes verticales reciban los dos tipos de implantes tal y como se muestra en la figura 3.7.

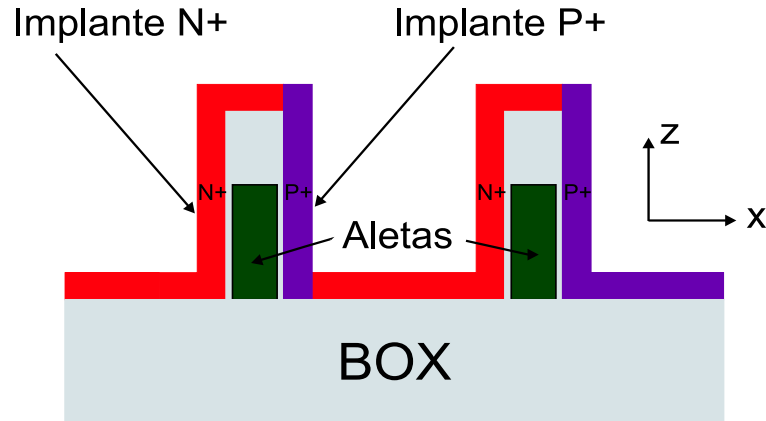


Figura 3.7: Implantes de dopado para la formación de *Fin*FETs asimétricos.

3. Compuertas con función de trabajo ajustable.

A continuación se comentan dos materiales con funciones de trabajo ajustables:

a) Compuertas de Si_xGe_{1-x} , dopadas con Boro.

En [46] se ha demostrado que se pueden obtener diferentes funciones de trabajo en materiales Si_xGe_{1-x} dopados con Boro, con tan solo cambiar el contenido del Germanio. En este material, el aumento del contenido de Germanio produce una reducción en la función de trabajo. Desde 5.16eV para Silicio, hasta 4.67eV para el Germanio.

b) Compuertas metálicas.

El depósito de electrodos de compuerta metálicos es difícil debido a que muchos metales no son compatibles con el proceso de fabricación por las altas temperaturas empleadas.

Sin embargo, algunos metales nitrados son estables a altas temperaturas, como el caso de: TiN, TiSiN, TaN y TaCN, la función de trabajo de estos materiales están en el rango de 4.4eV a 4.7eV; la función de trabajo depende de: el espesor de la compuerta, la composición de la aleación, la orientación del cristal y el dieléctrico del material [32].

3.2.4. Contactos en las aletas

En [32], se mencionan los diferentes tipos de contactos en las aletas. Estos están ilustrados en la figura 3.8.

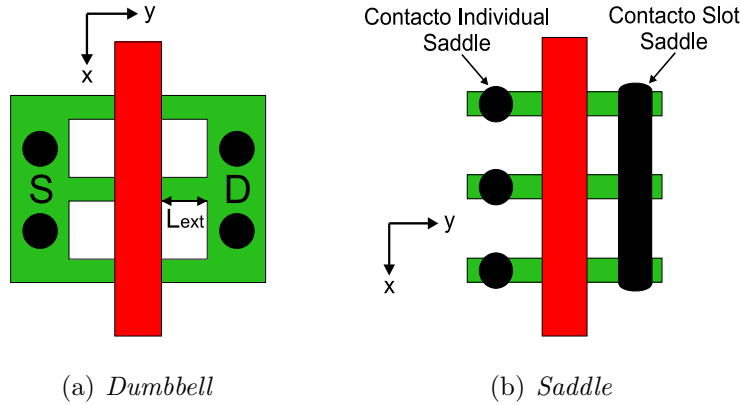


Figura 3.8: Diferentes tipos de contactos en las aletas.

1. *Dumbbell contact* en fuente y drenador.

Este tipo de contacto es idéntico al contacto en los MOSFET planar. El espacio entre el contacto y la compuerta, es limitado por la distancia L_{ext} , tal y como se muestra en la figura 3.8(a).

2. *Saddle contact* (individuales ó slot)

Este tipo de contacto es mostrado en la figura 3.8(b), con sus dos variantes: individual ó *slot*. Este contacto es atractivo debido a que:

- a) El espacio entre el contacto y la compuerta puede ser más pequeño que en el caso de *dumbbell contact*.
- b) Toca tanto la pared superior, así como las paredes verticales de la aleta como se aprecia en la figura 3.9(a), este hecho ayuda a reducir la resistencia de contacto.

Para realizar este tipo de contacto se necesita formar *metal silicide* en las paredes de la aleta en donde se requiera el contacto.

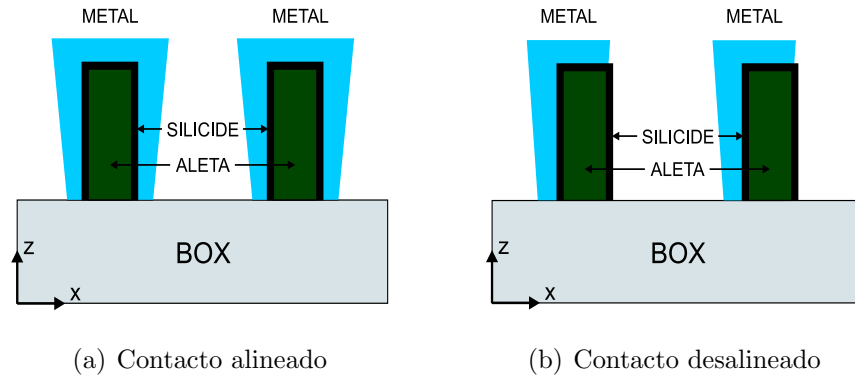


Figura 3.9: Importancia del alineamiento de los contactos.

El problema del contacto *saddle* es que se debe tener un buen alineamiento con la aleta, ya que una desviación de los contactos pudiera ocasionar que no se toquen las paredes verticales de la aleta como se muestra en la figura 3.9(b). El alineamiento es importante cuando el tamaño del contacto es similar al ancho de la aleta en las regiones de fuente y drenador.

Otro problema presentado en este tipo de contacto, es el *pitch* del contacto; si el *pitch* del contacto es mayor que el *pitch* de las aletas, los contactos individuales no pueden ser realizados; cuando se presenta esta situación, es preferible hacer un *slot contact*.

El problema del alineamiento en los *slot contacts* es menos severo que en el caso de los contactos individuales. Sin embargo, el empleo de este tipo de contactos incrementa la capacitancia entre la compuerta y contacto por el metal extra ubicado entre las aletas.

3.3. Simbología empleada para representar *Fin*FETs

Actualmente en literatura existen diversos trabajos enfocados dispositivos DGMOSFET y *Fin*FETs. En ellos se observa que no hay una convención adoptada para representar simbólicamente los dispositivos los *Fin*FETs.

A lo largo de la tesis, se empleará la simbología mostrada en la figura 3.10.

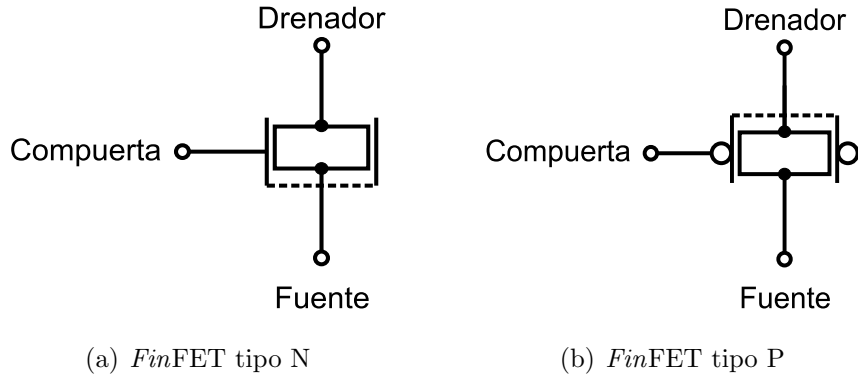


Figura 3.10: Simbología eléctrica usada en la tesis para representar a los *Fin*FETs.

La simbología eléctrica de ambos *Fin*FETs hace referencia al hecho de que estos dispositivos tienen sus dos compuertas conectadas (línea punteada) a una sola terminal de Compuerta, las otras dos terminales son el Drenador y la Fuente. Las tres terminales de este dispositivo tienen funciones similares a las que presentan los dispositivos MOSFET.

La diferencia entre la simbología para un *Fin*FET tipo N y un *Fin*FET tipo P es que el *Fin*FET N no tiene círculos en sus dos compuertas (ver figura 3.10(a)). Por otra parte, el *Fin*FET P tiene un círculo en cada una de sus dos compuertas (ver figura 3.10(b)).

3.4. Voltaje de umbral en *Fin*FETs

El voltaje de umbral en los *Fin*FETs, depende de los parámetros geométricos tales como la longitud, ancho de la aleta y el espesor del óxido de compuerta. En [40] se presenta un análisis de los métodos empleados para controlar el voltaje de umbral en dispositivos de doble compuerta. De los tres métodos presentados en dicho artículo, se derivan las tres clases de *Fin*FETs vistas en la sección 3.1.

En [47] se presenta un modelo para determinar el voltaje de umbral en dispositivos simétricos y asimétricos. Este modelo toma en cuenta la reducción del voltaje de umbral debida al DIBL y a los SCEs. En las siguientes subsecciones, se presentará dicho modelo. Primero se comentará como es determinado el voltaje de umbral para dispositivos asimétricos y luego se generalizarán las expresiones para obtener los voltajes de umbral en dispositivos simétricos y MGDG.

3.4.1. Voltaje de umbral en dispositivos asimétricos

Para establecer el voltaje de umbral en los dispositivos asimétricos, haremos ciertas especificaciones basandonos en la figura 3.11. En esta figura, se muestra un transistor de doble compuerta canal N (figura (a)) y otro de canal P (figura (b)), ambos son del tipo asimétricos.

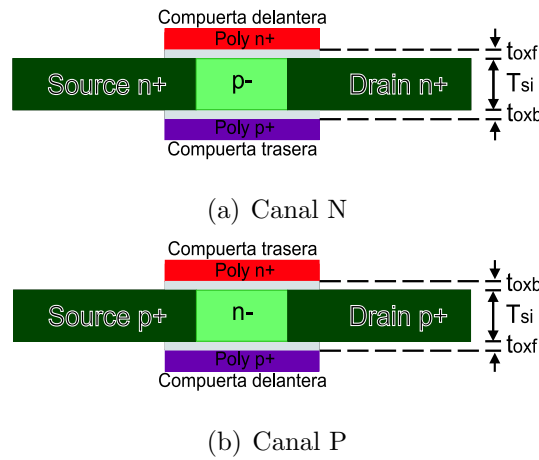


Figura 3.11: Transistores de doble compuerta asimétricos.

En los dispositivos asimétricos canal N se le llamará compuerta delantera a la compuerta de poly n+, al óxido de Silicio ubicado entre la compuerta delantera y el cuerpo de Silicio se le denotará por t_{oxf} . Se le asignará el nombre de compuerta trasera a la compuerta de poly p+ y al óxido de Silicio presente entre la compuerta trasera y el cuerpo de Silicio se denotará como t_{oxb} . Las especificaciones

anteriores se pueden visualizar en la figura 3.11(a).

Por otro lado, a los dispositivos asimétricos canal P se le llamará compuerta delantera a la compuerta de poly p+, al óxido de Silicio ubicado entre la compuerta delantera y el cuerpo de Silicio se le denotará por t_{oxf} . Se le asignará el nombre de compuerta trasera a la compuerta de poly n+ y al óxido de Silicio entre la compuerta trasera y el cuerpo de Silicio se denotará como t_{oxb} . Las especificaciones anteriores se pueden visualizar en la figura 3.11(b).

Con las anteriores consideraciones, el modelo presentado en [47] para el voltaje en los dispositivos asimétricos esta dado como:

$$V_{th(asy)} = V_{th,L(asy)} - V_{roll-off} \quad (3.3a)$$

$$V_{th,L(asy)} = \frac{E_g}{2q} + \phi_B + \frac{1}{1+r} \left[\Phi G_{fS} + r \Phi G_{bS} - \left(\frac{Q_b}{C_{oxf}} - r \frac{Q_b}{2C_{si}} \right) \right] \quad (3.3b)$$

$$V_{roll-off} = \frac{3T_{si}t_{oxf}V_{DS}}{L_{eff}^2} + \frac{3T_{si}t_{oxf}E_g}{2q\gamma L_{eff}^2} \quad (3.3c)$$

$$r = \frac{3t_{oxf}}{3t_{oxb} + T_{si}}, \quad \phi_B = \frac{kT}{q} \ln \left(\frac{N_a}{ni} \right), \quad Q_b = qN_aT_{si}, \quad C_{oxf} = \frac{\varepsilon_{ox}}{t_{oxf}}, \quad C_{si} = \frac{\varepsilon_{si}}{T_{si}}$$

$$\Phi G_{fS} = \Phi_{(polyn+)} - \left(\chi_{si} + \frac{E_g}{2q} + \phi_B \right), \quad \Phi G_{bS} = \Phi_{(polyp+)} - \left(\chi_{si} + \frac{E_g}{2q} + \phi_B \right)$$

Donde: $V_{th,L(asy)}$ es el voltaje de umbral para dispositivos asimétricos de canal largo, $V_{roll-off}$ es la reducción del voltaje de umbral debido al DIBL y SCE, E_g es la energía prohibida del Silicio, q es la carga del electrón, ϕ_B es el potencial de Fermi, r es el factor de acoplamiento entre la compuerta delantera y la compuerta trasera, ΦG_{fS} es la diferencia entre las funciones de trabajo de

la compuerta delantera y el cuerpo de Silicio, ΦG_{bS} es la diferencia entre las funciones de trabajo de la compuerta trasera y el cuerpo de Silicio, Q_b es la carga en el cuerpo de Silicio, C_{oxf} es la capacitancia de óxido de la compuerta delantera, C_{si} es la capacitancia en cuerpo de Silicio, T_{si} es el ancho del cuerpo de Silicio, t_{oxf} es el espesor del óxido en la compuerta delantera, L_{eff} es la longitud efectiva de canal del transistor, γ es 1/3 para longitudes menores a 25nm.

3.4.2. Voltaje de umbral en dispositivos simétricos y MGDG

El modelo dado en la ecuación 3.3 es generalizado para determinar el voltaje de umbral en dispositivos simétricos y MGDG. Para hacer dicha generalización, se identifica que los parámetros para la compuerta delantera y trasera son los mismos. Por lo tanto, poniendo $\Phi G_{fS} = \Phi G_{bS}$ y $t_{oxf} = t_{oxb}$ para el factor r en la ecuación 3.3b, llegamos al modelo de voltaje de umbral para dispositivos simétricos y MGDG:

$$V_{th(sym)} = V_{th,L(sym)} - V_{roll-off} \quad (3.4a)$$

$$V_{th,L(sym)} = \frac{E_g}{2q} + \phi_B + \Phi G_{fS} - \frac{Q_b}{2C_{oxf}} \quad (3.4b)$$

Donde el término $V_{th,L(sym)}$ es el voltaje de umbral para dispositivos simétricos ó MGDG de canal largo; todos los demás parámetros, representan lo mismo que en el caso del modelo dado en la ecuación 3.3.

Para el caso de dispositivos simétricos, como las funciones de trabajo de las compuertas de poly están atadas a 4.05eV (para los transistores N) y 5.17eV (para los transistores P), se ve la necesidad de tener grandes concentraciones de dopado en el cuerpo para ajustar el valor de los voltajes de umbral a valores aceptables en aplicaciones digitales. Por otra parte, para el caso de dispositivos MGDG, debido

al empleo de funciones de trabajo variables, el control de los voltajes de umbral no requiere dopados elevados.

3.5. Capacitancias en *Fin*FETs

La figura 3.1 fue empleada para poder visualizar adecuadamente las aletas y las dos compuertas presentes por aleta en un *Fin*FET. La estructura física real de este dispositivo difiere un poco con la imagen mostrada en la figura 3.1.

En el proceso de fabricación, después de realizar el depósito del material de compuerta, se efectúa una planarización de la compuerta. La estructura final de el *Fin*FET después de dicha planarización, es mostrada en la figura 3.12.

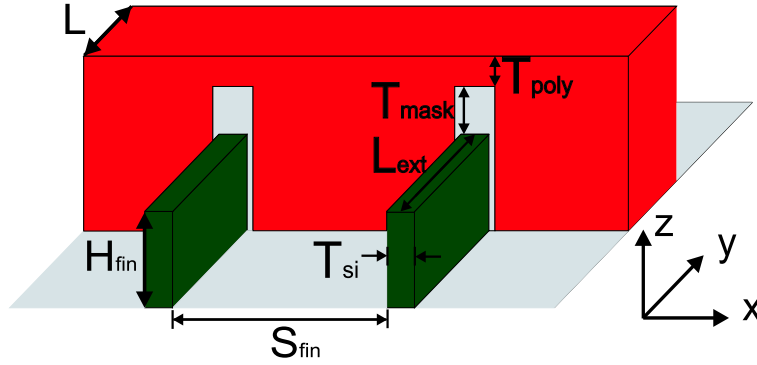


Figura 3.12: Estructura empleada para determinar las capacitancias en el *Fin*FET.

Para poder determinar las capacitancias en los *Fin*FET, harémos referencia a la figura 3.12; en esta se muestran nuevas dimensiones en relación a la figura 3.1.

En los transistores *Fin*FET, las capacitancias de solapamiento y por efecto borde son las capacitancias parásitas dominantes. La capacitancia total de compuerta en estos dispositivos es:

$$C_{g,total} = C_{in} + C_p \quad (3.5)$$

Donde: C_{in} es la capacitancia intrínseca de compuerta y es igual a: $2nC_{ox}H_{fin}L$. Por otra parte C_p denota la capacitancia parásita entre la compuerta y las exten-

siones de drenador y fuente.

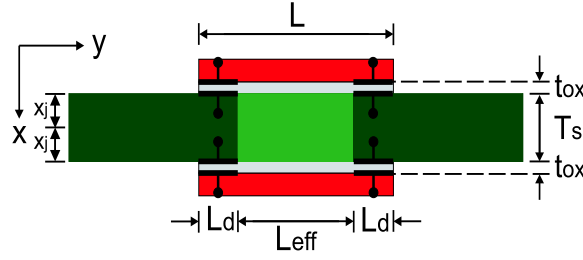
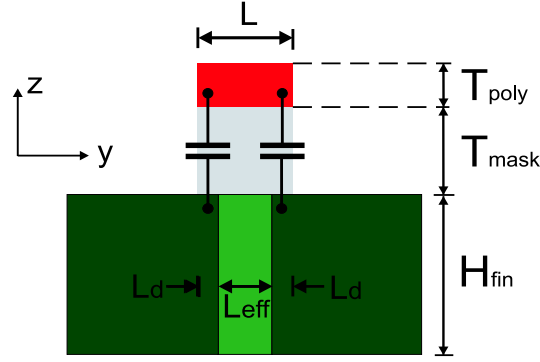
Las capacitancias intrínsecas en los *FinFETs*, son derivadas de las cargas presentes en sus terminales. Estas cargas son dependientes de la polarización y de la región de operación del dispositivo. Para encontrar estas capacitancias, se debe dividir la carga de inversión entre las regiones de fuente y drenador usando la aproximación de partición de carga Ward-Dutton [48]. La capacitancia intrínseca y la partición de carga para dispositivos de doble compuerta, son determinados en el modelo BSIM-CMG [49].

Por otra parte, la capacitancia parásita C_p es dividida en dos componentes, una debida a capacitancias de solapamiento: C_{ov} y otra debida a las capacitancias de efecto borde: C_{fr} . Otras componentes tales como las capacitancias de compuerta a sustrato o de fuente/drenador a sustrato son mínimas y se pueden despreciar sin mayor problema, debido a la presencia del óxido enterrado (BOX) [50].

3.5.1. Capacitancias de solapamiento C_{ov}

La figura 3.13 muestra las capacitancias de solapamiento presentes en los dispositivos *FinFET*.

En la figura 3.13(a), se muestran las cuatro capacitancias formadas desde la compuerta ubicada en las paredes laterales de la aleta hacia las regiones de drenador y fuente, estas capacitancias tienen al espesor de óxido de compuerta como dieléctrico t_{ox} . Por otro lado, en la figura 3.13(b), se muestran las dos capacitancias formadas desde la compuerta ubicada en el tope de la aleta hacia las regiones de drenador y fuente, estas capacitancias tienen al espesor de la máscara dura T_{mask} como dieléctrico.

(a) Capacitancias $c_{ov}(t_{ox})$ (b) Capacitancias $c_{ov}(T_{mask})$ Figura 3.13: Capacitancias de solapamiento en un *Fin*FET.

En [50] expresan a las capacitancias de solapamiento como lo muestra la ecuación 3.6:

$$c'_{ov}(t) = \frac{\Delta(t) + L_d}{t} \varepsilon_{ox} + \frac{2\varepsilon_{si}}{\pi} \ln \left[1 + \frac{x_j}{t} \sin \left(\frac{\pi}{2} \frac{\varepsilon_{ox}}{\varepsilon_{si}} \right) \right] \quad (3.6a)$$

$$\Delta(t) = \frac{t}{2} \left[\frac{1 - \cos \left(\frac{\pi}{2} \right)}{\sin \left(\frac{\pi}{2} \right)} + \frac{1 - \cos \left(\frac{\pi}{2} \frac{\varepsilon_{ox}}{\varepsilon_{si}} \right)}{\sin \left(\frac{\pi}{2} \frac{\varepsilon_{ox}}{\varepsilon_{si}} \right)} \right] \quad (3.6b)$$

Donde: x_j es la profundidad de unión y es igual a $T_{si}/2$, L_d es la distancia de la difusión lateral de solapamiento en las regiones de drenador y fuente, estas dos dimensiones pueden ser visualizadas en la figura 3.13(a).

El término t en las ecuaciones 3.6, se debe sustituir por el valor de T_{mask} , cuando deseamos determinar la capacitancia $c'_{ov}(T_{mask})$; por otra parte, para de-

terminar la capacitancia $c'_{ov}(t_{ox})$, t debe ser sustituida por el valor de t_{ox} .

Las capacitancias dadas por la ecuación 3.6 son capacitancias por unidad de longitud. Por lo tanto, para determinar la capacitancia total en estas regiones debemos multiplicar los valores obtenidos con la ecuación 3.6 por las dimensiones correspondientes. Esto es, multiplicaremos T_{si} por $c'_{ov}(T_{mask})$ para determinar la capacitancia total $C_{ov}(T_{mask})$ y multiplicaremos H_{fin} por $c'_{ov}(t_{ox})$ para determinar la capacitancia total $C_{ov}(t_{ox})$. Con las anteriores consideraciones, la capacitancia C_{ov} total estará determinada por medio de la ecuación 3.7.

$$C_{ov} = n \cdot (2T_{si} \cdot c_{ov}(T_{mask}) + 4H_{fin} \cdot c_{ov}(t_{ox})) \quad (3.7)$$

Donde: n es el número de aletas conectadas en paralelo, el factor 2 multiplicando a $T_{si} \cdot c_{ov}(T_{mask})$ es debido a que hay dos capacitancias de este tipo (ver figura 3.13(b)) y el factor 4 multiplicando a $H_{fin} \cdot c_{ov}(t_{ox})$ es debido a que hay 4 capacitancias de este tipo (ver figura 3.13(a)).

3.5.2. Capacitancias por efecto borde C_{fr}

La capacitancia C_{fr} está compuesta de la capacitancia de borde externa C_{of} y por la capacitancia de borde interna C_{if} , esta última capacitancia es dependiente de la polarización. Antes de que el dispositivo pase a inversión fuerte, la magnitud de C_{if} es comparable con C_{of} .

Las figuras 3.14(a) y (b) muestran un corte transversal en el plano $y - z$, en ellas se aprecian las capacitancias C_1 y C_2 . C_1 está asociado con el flujo eléctrico que empieza desde lo alto de la superficie de la compuerta (esta superficie se encuentra en el plano $x - y$) y termina en lo alto de las superficies de las aletas de Silicio (de igual manera en un plano $x - y$) en las regiones de fuente y drenador.

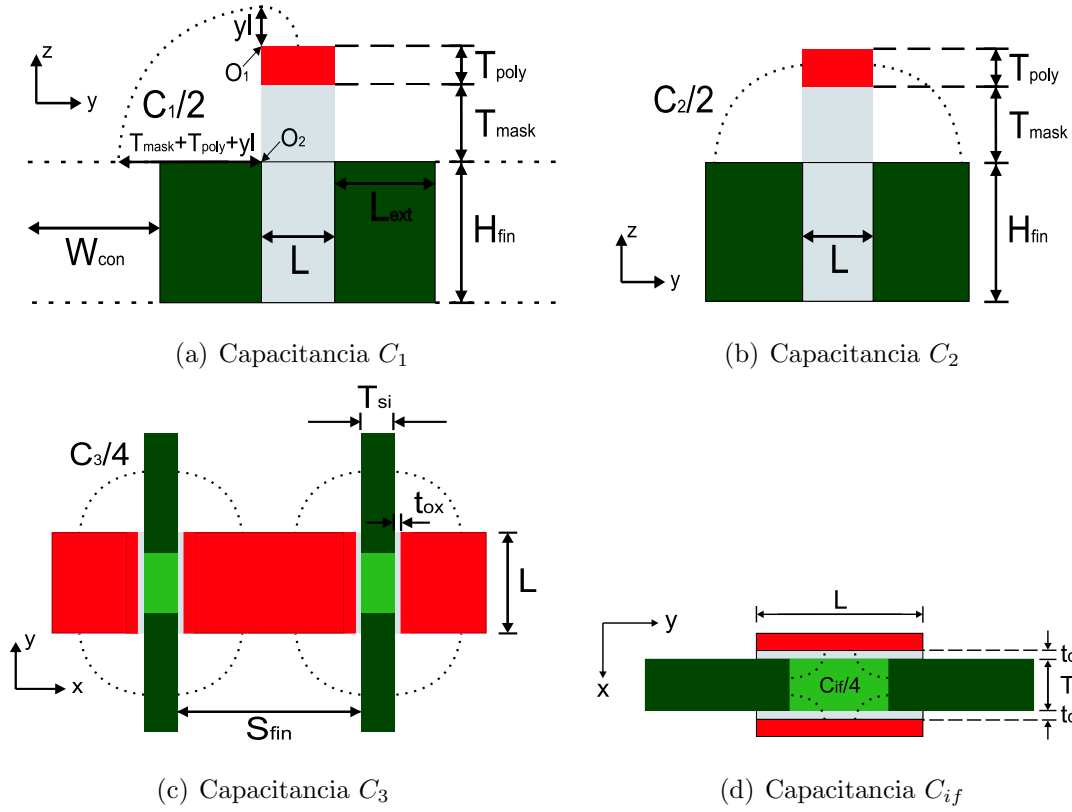


Figura 3.14: Capacitancias por efecto borde C_{fr} en un *Fin*FET.

Cuando consideramos las líneas de campo eléctrico (líneas punteadas) en la figura 3.14(a), usamos dos cuartos de circunferencia para obtener C_1 . Un cuarto de la circunferencia tiene radio igual a y_l con origen en O_1 , y el otro cuarto tiene un radio de valor $T_{poly} + T_{mask} + y_l$ con origen en O_2 . Debido a que en los *Fin*FETs un valor elevado de L_{ext} produce una elevada resistencia en el drenador y fuente, es deseable minimizar esta dimensión y por tal razón se tomará la consideración que: $T_{poly} + T_{mask} \geq L_{ext}$. Por otra parte, un gran ancho W_{con} en el pad de fuente y drenador es deseable para minimizar la resistencia de contacto en estas regiones. Por lo tanto, todas las líneas de campo eléctrico terminarán en las extensiones de drenador y fuente incluyendo los pads. La longitud del campo eléctrico puede ser expresada como:

$$\frac{2\pi y}{4} + \frac{2\pi (y + T_{poly} + T_{mask})}{4} \quad (3.8)$$

Acorde a lo anterior, C_1 está dado como:

$$\begin{aligned} C_1 &= 2n (T_{si} + S_{fin}) \int_0^{L/2} \frac{\varepsilon_{ox}}{2\pi y + 2\pi (y + T_{poly} + T_{mask})} \cdot dy \\ &= \frac{2n (T_{si} + S_{fin}) \varepsilon_{ox}}{\pi} \ln \left(1 + \frac{L}{T_{poly} + T_{mask}} \right) \end{aligned} \quad (3.9)$$

C_2 puede ser considerado como las contribuciones de los campos eléctricos de las paredes de la compuerta (plano $z - x$) hacia lo alto de las superficies de la aleta de Silicio (plano $x - y$), tal y como se muestra en la figura 3.14(b). C_2 es modelada en [50] mediante:

$$\begin{aligned} C_2 &= \frac{2\varepsilon_{ox} W_{C2}}{\pi} \ln \left(\frac{T_{mask} + \eta_1 T_{poly} + \sqrt{(\eta_1 T_{poly})^2 + 2T_{mask}\eta_1 T_{poly}}}{T_{mask}} \right) \\ &+ \frac{\eta_2 e^{-1} \varepsilon_{ox} W_{C2}}{\pi} \ln \left(\frac{\pi W_{C2}}{T_{mask}} \right) \end{aligned} \quad (3.10)$$

Donde:

$$\begin{aligned} W_{C2} &= nT_{si} \\ \eta_1 &= \exp \left(\frac{L_{ext} - \sqrt{T_{poly}^2 + 2T_{mask}T_{poly}}}{\tau_1 L_{ext}} \right) \\ \eta_2 &= 7,9 \\ \tau_1 &= 15 \end{aligned}$$

La capacitancia C_3 es debida al acoplamiento entre las paredes verticales de la aleta de Silicio (plano $y - z$) y la compuerta (plano $z - x$). Esta capacitancia se muestra en la figura 3.14(c). C_3 también es modelado en [50] como:

$$\begin{aligned}
C_3 &= \frac{2\varepsilon_{ox}W_{C3}}{\pi} \ln \left(\frac{t_{ox} + \eta_3 S_{fin}/4 + \sqrt{(\eta_3 S_{fin}/2)^2 + t_{ox}\eta_3 S_{fin}}}{t_{ox}} \right) \\
&+ \frac{\eta_4 e^{-1} \varepsilon_{ox} W_{C3}}{\pi} \ln \left(\frac{\pi W_{C3}}{t_{ox}} \right)
\end{aligned} \tag{3.11}$$

Donde:

$$W_{C3} = 2nH_{fin}$$

$$\eta_3 = \exp \left(\frac{L_{ext} - \sqrt{S_{fin}^2/4 + t_{ox}S_{fin}}}{\tau_2 L_{ext}} \right)$$

$$\eta_4 = 5$$

$$\tau_2 = 30$$

Las anteriores capacitancias de efecto borde, son denominadas como capacitancias de efecto borde externas.

La figura 3.14(d) muestra las capacitancias por efecto borde internas C_{if} . Como se comentó previamente, estas capacitancias dependen de la polarización, ya que solamente están presentes cuando el dispositivo se encuentra en inversión débil. Cuando el dispositivo está en inversión fuerte, la capa de inversión en los dos canales protege a las regiones de fuente y drenador, con ello no se producen las líneas de campo y la capacitancia es cero.

La capacitancia C'_{if} es modelada en [51] como:

$$\begin{aligned}
C'_{if} &= \frac{\varepsilon_{ox}}{\theta} \ln \left(\frac{r_2}{r_1} \right) \\
\theta = \beta &= \frac{\pi \varepsilon_{ox}}{2 \varepsilon_{si}}, \quad r_1 = \frac{t_{ox}}{\tan \beta} - L_d, \quad r_2 = \frac{t_{ox}}{\sin \beta} + T_{si}
\end{aligned} \tag{3.12}$$

Esta es una capacitancia por unidad de longitud, para considerar el valor total de la capacitancia, debemos de multiplicar el valor de C_{if} por la longitud total en

donde se presentan estas líneas de campo, es decir por $2H_{fin}$ (considerando una aleta). Con lo anterior en mente, la capacitancia C_{if} es determinada mediante la ecuación 3.13

$$C_{if} = C'_{if} 2nH_{fin} \quad (3.13)$$

3.6. Corrientes de fuga

En los *Fin*FETs, la estructura geométrica del dispositivo y los niveles de dopado tienen un fuerte impacto en las corrientes de fuga.

Estudios realizados han determinado que el *Fin*FET MGDG tiene corrientes de fuga menores en comparación con los dispositivos simétricos y asimétricos [52]. Por tal razón, los siguientes análisis de fugas se han realizado para dispositivos MGDG.

Los principales mecanismos de fuga en los *Fin*FET MGDG son: las corrientes subumbral y las corrientes de tuneleo en compuerta (tuneleo de compuerta a canal y en las regiones de solapamiento entre las extensiones drenador/fuente a compuerta) [52], estos componentes son mostradas en la figura 3.15.

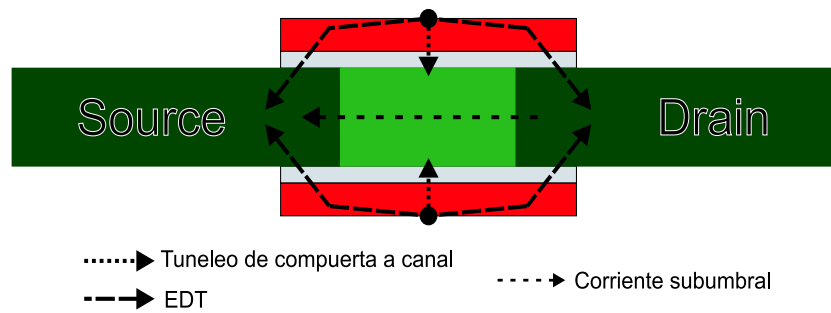


Figura 3.15: Principales mecanismos de fuga presentes en un *Fin*FET.

3.6.1. Corriente subumbral

Esta corriente de fuga se presenta cuando el dispositivo está en inversión débil y es determinada mediante [52]:

$$I_{DS} = \frac{2H_{fin}}{L_{eff}} \mu_0 C_{ox} (m - 1) V_T^2 \times \exp\left(\frac{V_{GS} - V_{th}}{m \cdot V_T}\right) \times \left(1 - \exp\left(\frac{-V_{DS}}{V_T}\right)\right) \quad (3.14)$$

$$St = \left(\frac{d(\log I_{DS})}{dV_{GS}}\right)^{-1} = 2,3 \cdot m \cdot \frac{kT}{q}$$

Todos los parámetros involucrados en la ecuación 3.14 representan lo mismo que en el caso de la ecuación 2.2, con la única diferencia de que la W se ha sustituido por $2H_{fin}$.

En la sección 2.5.1 se observó que los factores que provocan un aumento en la corriente subumbral son los voltajes de umbral reducidos y las pendientes subumbral elevadas. En la sección 3.4 se ha visto como el DIBL y los SCEs afectan al voltaje de umbral. En la siguiente sección, se analizará como es determinada la pendiente subumbral en los *Fin*FETs MGDG.

Pendiente Subumbral

El modelo matemático y el análisis de la pendiente subumbral para los dispositivos MGDG está dado en [33], dicho modelo se presenta a continuación:

$$S = \left[1 - 2\Gamma_1 \cos\left(\frac{T_{si}}{4\lambda_1}\right) \exp\left(-\frac{L_{eff}}{2\lambda_1}\right) \right]^{-1} \frac{kT}{q} \ln 10, \quad (3.15a)$$

$$\lambda_1 = \frac{1 + 1/r}{1 + \pi/2} T_{si} = \frac{T_{si} + \varepsilon_{si} t_{ox} / \varepsilon_{ox}}{1 + \pi/2} \quad Para : \quad r \leq \frac{\pi}{2}, \quad (3.15b)$$

$$\text{ó } \lambda_1 = \frac{1 + \sqrt{2}/r}{\sqrt{2} + \pi/2} T_{si} = \frac{T_{si} + \sqrt{2} \varepsilon_{si} t_{ox} / \varepsilon_{ox}}{\sqrt{2} + \pi/2} \quad Para : \quad r > \frac{\pi}{2} \quad (3.15c)$$

$$r = \frac{\varepsilon_{ox} T_{si}}{\varepsilon_{si} t_{ox}}, \quad (3.15d)$$

$$\Gamma_1 = \frac{2\lambda_1}{T_{si}} \times \frac{\sqrt{1 + \frac{T_{si}^2}{r^2 \lambda_1^2}}}{\frac{1}{r} + \frac{1}{2} + \frac{T_{si}^2}{2r^2 \lambda_1^2}}. \quad (3.15e)$$

Este modelo fue implementado en Maple para determinar la dependencia que tiene la pendiente subumbral con los parámetros tecnológicos de fabricación en los *Fin*FETs.

La figura 3.16 muestra tres gráficas 3-D, en las cuales se muestra el comportamiento de la pendiente subumbral en función de la longitud efectiva L_{eff} y el ancho de la aleta T_{si} . La superficie más elevada de las tres, corresponde a un t_{ox} de 1.6nm, la de enmedio corresponde a un t_{ox} de 1.3nm y la más baja es para un t_{ox} de 1nm.

Como se puede observar en la figura 3.16, la pendiente subumbral se puede disminuir reduciendo el espesor del óxido de compuerta, aumentando la longitud del canal ó reduciendo el ancho de la aleta T_{si} .

Basandonos en la ecuación 3.14, se puede observar que si se desea reducir la corriente subumbral de un *Fin*FET, se debe aumentar el voltaje de umbral o reducir la pendiente subumbral.

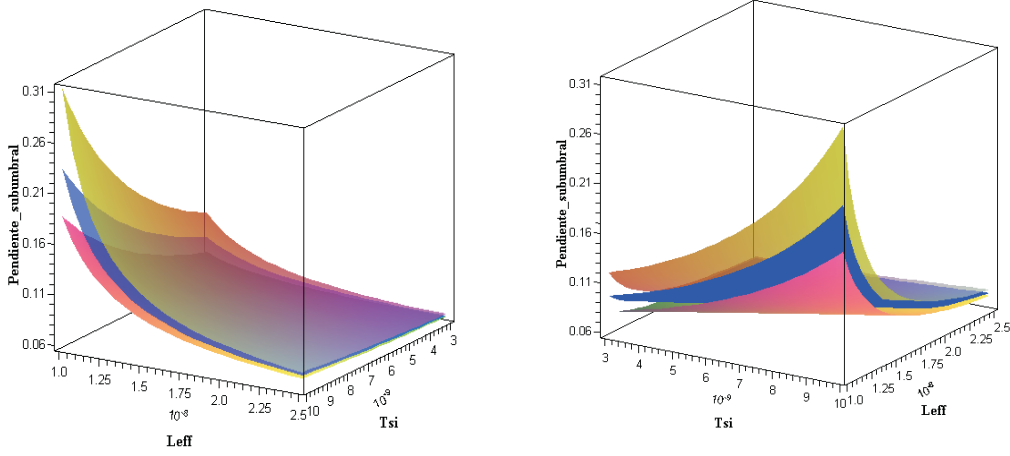


Figura 3.16: Dependencia de la pendiente subumbral con las dimensiones T_{si} y L_{eff} (superficie rosa: $t_{ox} = 1nm$, superficie azul: $t_{ox} = 1,3nm$ y superficie amarilla: $t_{ox} = 1,6nm$).

Como se observó en la sección 3.4, el voltaje de umbral en los *FinFETs* determinado por la geometría del dispositivo. La pendiente subumbral también es determinada en gran medida por las geometrías presentes en estos dispositivos. Por tal razón, la magnitud de la corriente subumbral en estos dispositivos es ajustada con las dimensiones y geometrías presentes en el dispositivo.

En la figura 3.17, se muestra el valor de las corrientes subumbral para transistores con diferentes tamaños de aletas. Los *FinFETs* considerados en estas gráficas, tienen las siguientes características: $H_{fin}=50nm$, $L_{eff}=18nm$, $t_{ox}=1.3nm$, $\phi_m=4.4eV$. La superficie superior corresponde a un T_{si} de 12nm, la de enmedio corresponde a un T_{si} de 8nm y la inferior es para un T_{si} de 4nm.

Las gráficas en la figura 3.17, muestran que se pueden obtener reducciones considerables de la corriente subumbral para dispositivos con los mismos anchos y longitudes efectivas con solo reducir el ancho de la aleta T_{si} del *FinFET*. En esta misma figura, también se aprecia que la pendiente subumbral (pendiente de las superficies) se reduce para dimensiones T_{si} menores.

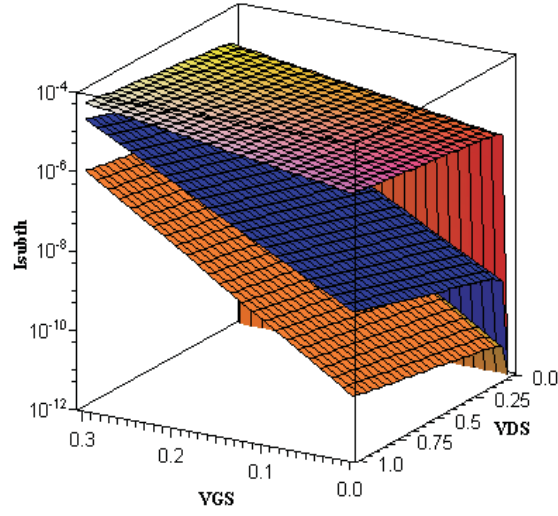


Figura 3.17: Comportamiento de la corriente subumbral para diferentes valores de T_{si} (superficie naranja: $T_{si} = 4nm$, superficie azul: $T_{si} = 8nm$ y superficie amarilla con violeta: $T_{si} = 12nm$).

3.6.2. Corriente de tuneleo de compuerta a canal

Esta corriente de tuneleo depende exponencialmente del campo eléctrico en el óxido de compuerta. El campo en el óxido de compuerta, es determinado con la ecuación 3.16 presentada en [34].

$$E_{ox} = \frac{\eta Q_{inv} + Q_{bulk}}{\epsilon_{ox}} \quad (3.16)$$

Donde: Q_{inv} es la carga de inversión de portadores en la capa de inversión, Q_{bulk} es la carga en el cuerpo de Silicio, ϵ_{ox} es la permitividad del óxido y η es un factor de ajuste.

La figura 3.18 muestra el doblamiento de las bandas de energía en los diferentes tipos de *Fin*FETs de canal N en el estado de inversión.

Se puede apreciar que en los tres tipos de *Fin*FET, el tuneleo de compuerta a canal es debido al TEBC desde el cuerpo de Silicio hacia la compuerta. En el *Fin*FET simétrico, debido a la presencia del dopado, el doblamiento de las ban-

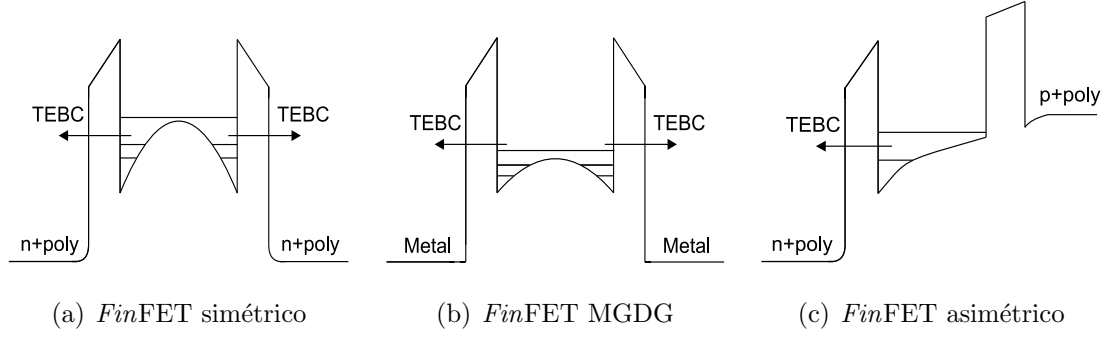


Figura 3.18: Doblamiento de bandas de energía en los diferentes *FinFET*s canal N.

das es alto. El hecho de tener un gran doblamiento de bandas se reflejará en una gran corriente de tuneleo.

En un *FinFET* MGDG, debido a la presencia del cuerpo intrínseco, el doblamiento de bandas es menor, lo cual se reflejará en una corriente de tuneleo reducida.

En un *FinFET* asimétricos, existe un campo eléctrico interconstruido debido a la asimetría de las dos compuertas [34]; sin embargo, cuando el dispositivo se encuentra en estado de inversión, el campo eléctrico en la compuerta trasera es despreciable. La corriente de tuneleo está presente únicamente en la compuerta delantera [53]. Debido a la presencia del campo eléctrico interconstruido, el campo eléctrico total en la compuerta delantera es alto, esto produce una alta corriente de tuneleo.

Con las anteriores explicaciones, se puede resumir que la corriente total de tuneleo de compuerta a canal en un *FinFET* asimétrico es menor que la presentada por un *FinFET* simétrico, pero es mayor que la presentada por un *FinFET* MGDG.

Corrientes de tuneleo en un *FinFET* P.

En *FinFET*s simétricos y asimétricos, la corriente de tuneleo es debida a THBV desde el canal de inversión hacia la compuerta, esto se aprecia en la figura 3.19(a). En *FinFET*s MGDG, la corriente de tuneleo es propiciada por los electrones desde la compuerta (encima y debajo del nivel de Fermi) hacia la banda de conducción en el Silicio tal y como se muestra en la figura 3.19(b).

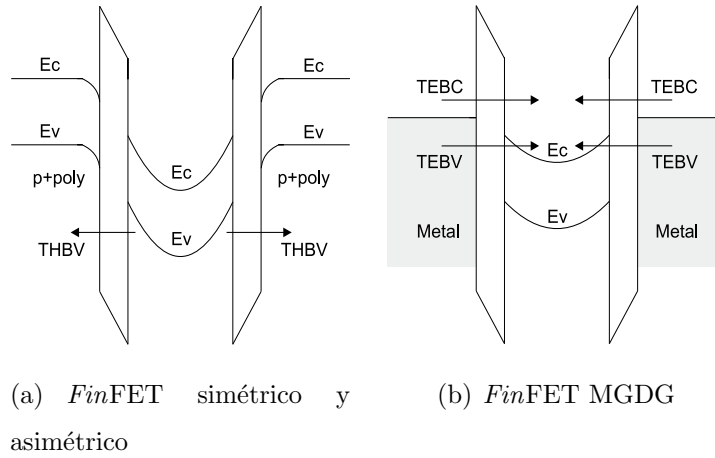


Figura 3.19: Mecanismos de tuneleo en los diferentes *FinFET*s canal P.

Como el número de electrones por encima del nivel de Fermi en las compuertas metálicas es muy bajo y la altura de la barrera para el tuneleo de electrones desde las compuertas metálicas es muy alta, el TEBC desde el metal es despreciable. Por otra parte, el TEBV desde el metal, puede ocurrir solamente si el nivel de Fermi del metal esta arriba de la banda de conducción del Silicio. Esto no es posible si es aplicado un voltaje en compuerta razonable. Por lo tanto, el tuneleo de compuerta en un *FinFET* MGDG tipo P es despreciable comparado con el tuneleo presente en los *FinFET*s simétricos y asimétricos tipo P [54].

En los dispositivos *FinFET* el doblamiento de la banda de conducción cerca de la interfaz Silicio-óxido de Silicio, forma un pozo cuántico, el cual introduce

cuantización de energía del electrón. Esta cuantización de energía en el cuerpo de Silicio tiene un gran impacto en las corrientes de tuneleo en compuerta. Considerando la cuantización de la energía debida a la estructura de doble compuerta y el doblamiento de bandas, la energía $E_{(j,i)}$ y la carga $Q_{(j,i)}$ asociada con la j_{th} subbanda del i_{th} valle esta dada por [52]:

$$E_{(j,i)} = \frac{j^2 \cdot h}{8m_i^* \cdot T_{si}^2} + \left[\frac{3 \cdot h \cdot \varepsilon_{ox} \cdot E_{ox}}{4 \cdot \varepsilon_{si} \cdot \sqrt{2m_i^*}} \left(j + \frac{3}{4} \right) \right]^{\frac{2}{3}} \quad (3.17)$$

$$Q_{(j,i)} = q \frac{\eta \cdot m_{di}^* \cdot k \cdot T}{\pi \hbar^2} + \ln \left[1 + \exp \left(\frac{E_F - E_{(j,i)}}{V_T} \right) \right] \quad (3.18)$$

Donde: i es el índice de valle, j es el índice de subbanda del i_{th} valle, h es la constante de Planck, \hbar es la constante de Planck reducida, ε_{ox} es la permitividad del óxido de Silicio, ε_{si} es la permitividad del Silicio, q es la carga del electron, k es la constante de Boltzman, T es la temperatura, V_T es el voltaje térmico, m_i^* es la masa efectiva del electrón en el i_{th} valle, η es el factor de degeneración de valle, m_{di}^* es la masa efectiva de densidad de estados, E_F es la diferencia entre el nivel de Fermi en el Silicio y el doblamiento en la banda de conducción producido por el voltaje aplicado, T_{si} es el ancho de la aleta de Silicio, E_{ox} es el campo eléctrico en el óxido de compuerta.

La tabla 3.1 muestra los valores de los parámetros η , m_i^* y m_{di}^* , los cuales son dependientes del valle de energía.

Valle	η	m_i^*	m_{di}^*
$i = 1$	2	$0,98m_0$	$0,19m_0$
$i = 2$	4	$0,19m_0$	$0,43m_0$

Cuadro 3.1: Valores para masas efectivas m_i^* , masas efectivas de estado m_{di}^* y factor de degeneración de valle

Donde: $m_0 = 9,1 \times 10^{-31} kg$, es la masa del electrón.

Una vez determinado los niveles de energía y la carga asociada en cada nivel de energía, el siguiente paso es calcular la carga total. Para ello se debe sumar la contribución de carga presente en cada nivel de energía, tal y como lo establece la siguiente ecuación:

$$Q_{inv} = \sum_j \sum_i Q_{(j,i)} \quad (3.19)$$

Con esto, determinamos el campo eléctrico E_{ox} el cual está dado por:

$$Q_{inv} = 2 \cdot \varepsilon_{ox} \cdot E_{ox} \quad (3.20)$$

El tuneleo de electrones desde los niveles de energía $E_{(j,i)}$ se determina usando el método modificado WKB, la probabilidad de tuneleo $T_{(j,i)}$ de un electrón desde el nivel de energía $E_{(j,i)}$ es dado en [55]: $T_{(j,i)} = T_{WKB(j,i)} \cdot T_{R(j,i)}$.

Donde, $T_{WKB(j,i)}$ es la aproximación convencional WKB para la probabilidad de transmisión y $T_{R(j,i)}$ es el factor de corrección por las reflexiones desde las discontinuidades del potencial. $T_{WKB(j,i)}$ está dado en [55] como:

$$T_{WKB(j,i)} = \exp \left[\frac{E_{Gox} \sqrt{2m_{ox}}}{4\hbar^2 \cdot q \cdot E_{ox}} \times \left(2\gamma' \sqrt{\gamma} + \sqrt{E_{Gox}} \arcsin \gamma' \right) \right]_{e_{ox}=q\phi_{an}}^{e_{ox}=q\phi_{cat}}, \quad (3.21a)$$

$$\gamma = e_{ox} \left(1 - \frac{e_{ox}}{E_{Gox}} \right), \quad (3.21b)$$

$$\gamma' = \left(1 - \frac{2e_{ox}}{E_{Gox}} \right), \quad (3.21c)$$

$$q\phi_{cat} = q\phi_{ox} - E_{(j,i)}, \quad (3.21d)$$

$$q\phi_{an} = q\phi_{ox} - E_{(j,i)} - qE_{ox}t_{ox} \quad (3.21e)$$

Donde: $E_{Gox} = 9eV$ es la energía prohibida del óxido de Silicio, $m_{ox} = 0,38m_0$ es la masa efectiva en el óxido de Silicio, E_{ox} es el campo eléctrico en el óxido de Silicio (calculado con la ecuación 3.20), ϕ_{ox} es la altura de la barrera de energía

que se debe vencer para el tuneleo de electrones, $q\phi_{cat}$ y $q\phi_{an}$ son las alturas de las barreras para el electrón en las regiones que actúan como cátodo y ánodo (compuerta y cuerpo de Silicio respectivamente).

El factor de corrección $T_{R(j,i)}$ esta dado como:

$$T_{R(j,i)} = \frac{4 \cdot v_{si}(E_{(j,i)}) \cdot v_{ox}(q\phi_{cat})}{v_{si}^2(E_{(j,i)}) + v_{ox}^2(q\phi_{cat})} \times \frac{4 \cdot v_{si}(E_{(j,i)} + qE_{ox}t_{ox}) \cdot v_{ox}(q\phi_{cat})}{v_{si}^2(E_{(j,i)} + qE_{ox}t_{ox}) + v_{ox}^2(q\phi_{cat})}, \quad (3.22a)$$

$$v_{si}(E_{(j,i)}) = \sqrt{\frac{2E_{(j,i)}}{m_{si}}}, \quad (3.22b)$$

$$v_{si}(E_{(j,i)} + qE_{ox}t_{ox}) = \sqrt{\frac{2(E_{(j,i)} + qE_{ox}t_{ox})}{m_{si}}}, \quad (3.22c)$$

$$v_{ox} = \frac{1}{\gamma'} \sqrt{\frac{2\gamma}{m_{ox}}} \quad (3.22d)$$

Donde: m_{si} es igual a m_i^* dado en la tabla 3.1

El siguiente paso es determinar la frecuencia de impacto de cada electrón en la interfaz Silicio-óxido de Silicio, con la ecuacion:

$$f_{(j,i)} = \frac{E_{(j,i)}}{h} \quad (3.23)$$

Ahora ya estamos en condiciones de calcular la densidad de corriente de tuneleo, la cual viene dada por:

$$J_{(j,i)} = Q_{(j,i)} \cdot T_{WKB(j,i)} \cdot T_{R(j,i)} \cdot f_{(j,i)}, \quad (3.24a)$$

$$J_{tot} = \sum_j \sum_i J_{(j,i)} \quad (3.24b)$$

Donde: $J_{(j,i)}$ representa la densidad de corriente de tuneleo ocasionada por la carga $Q_{(j,i)}$ confinada en los niveles de energía $E_{(j,i)}$ y J_{tot} la densidad de corriente de tuneleo total.

Para determinar la corriente de tuneleo, basta con multiplicar la J_{tot} por el área en donde se presenta el tuneleo:

$$I_{gc} = L_{eff} H_{fin} J_{tot} \quad (3.25)$$

La corriente de compuerta a canal es dividida en dos componentes, estas son: I_{gcs} e I_{gcd} . Donde I_{gcs} es la corriente de compuerta que se dirige hacia la terminal fuente e I_{gcd} es la corriente de compuerta que se dirige hacia el drenador. En [52] la división de estas corrientes es asumida como: 1) Si V_{ds} es muy pequeña ($V_{ds} \leq 100mV$), $I_{gcs} = I_{gcd} = 0,5I_{gc}$ y 2) Si $V_{ds} > 100mV$, $I_{gcs} = I_{gc}$, $I_{gcd} = 0$. En este mismo artículo, se comenta que para determinar con más exactitud la partición, se puede aplicar el método presentado en el modelo BSIM4 [56].

3.6.3. Corriente de tuneleo en las regiones de solapamiento EDT

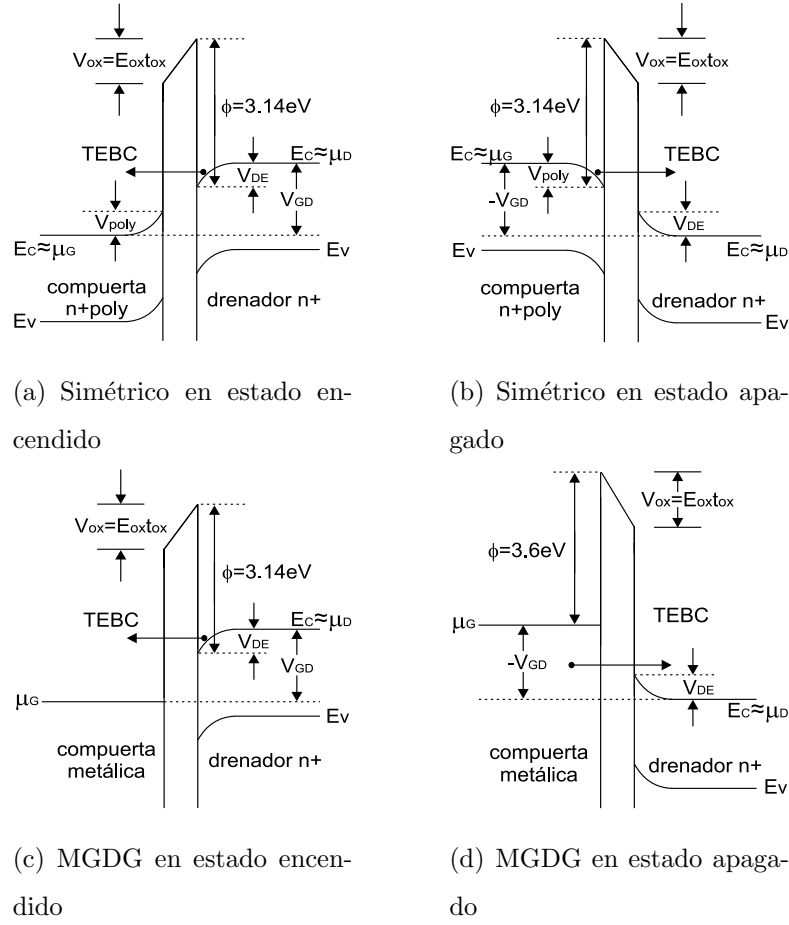
Este mecanismo de tuneleo está presente en las regiones de solapamiento entre drenador/fuente y compuerta; ocurre en ambos estados de operación; es decir, en estado de encendido ($V_{GS} = V_{DD}$) y en estado de apagado ($V_{GS} = 0, V_{DS} = V_{DD}$). Esta corriente de fuga es causada por el TEBC en dispositivos tipo N y por THBV en dispositivos tipo P.

En el estado de apagado, el TEBC es debido a los electrones con energía cuantizada acumulados en la compuerta tuneleando hacia el drenador.

Por otra parte, en el estado de encendido, el TEBC es producido por los electrones con energía cuantizada acumulados en las regiones de drenador tuneleando hacia la compuerta.

La figura 3.20 muestra los diagramas de bandas de energía entre las regiones de drenador y compuerta de *Fin*FETs simétricos y MGDG tanto para el estado de encendido, como para el estado de apagado.

Para determinar la corriente de tuneleo, primero se debe calcular el campo en

Figura 3.20: Corrientes EDT en *FinFETs*.

el óxido E_{ox} , dicho campo es generado por la diferencia de potenciales entre la compuerta y las regiones de drenador/fuente.

En estado de apagado, el campo eléctrico en el óxido se obtiene mediante la ecuación 3.26 dada en [57]:

$$V_{GD} - V_{FB} = V_{poly} + t_{ox} E_{ox} + V_{DE} \quad (3.26)$$

Donde:

V_{GD} es el voltaje compuerta-drenador.

V_{FB} es la diferencia entre las funciones de trabajo del drenador y la compuerta:

$$V_{FB} = \phi_{gate} - \phi_{drain} \quad (3.27)$$

V_{poly} es la caída de voltaje presente en las compuertas de Polysilicio calculado mediante:

$$V_{poly} = \varepsilon_{ox} E_{ox} \frac{\pi \hbar^2}{q^2 \eta m_{Si||}} + \frac{E_1}{q} \quad (3.28)$$

Aplicando la aproximación de la primera subbanda de energía, el valor de E_1 está determinado por:

$$E_1 = \left(\frac{\hbar^2}{2m_{Si\perp}} \right)^{\frac{1}{3}} \left(\frac{9\pi q \varepsilon_{ox}}{8\varepsilon_{Si}} E_{ox} \right)^{\frac{2}{3}} \quad (3.29)$$

V_{DE} es la caída de voltaje presente en la región de drenador obtenido con:

$$V_{DE} = \frac{\varepsilon_{ox}^2 E_{ox}^2}{2q \varepsilon_{Si} N_{drain}} \quad (3.30)$$

Con las anteriores ecuaciones, obtenemos el campo eléctrico en estado de apagado.

Para determinar el campo eléctrico en estado de encendido, se emplea también la ecuación 3.26 con algunas modificaciones. Estas modificaciones radican en el hecho de que ahora la corriente EDT producida por el TEBC es desde el drenador hacia la compuerta. Por tal razón, los términos en la ecuación 3.26 deben modificarse a los siguientes valores:

$$\begin{aligned} V_{FB} &= \phi_{drain} - \phi_{gate} \\ V_{poly} &= \frac{\varepsilon_{ox}^2 E_{ox}^2}{2q \varepsilon_{Si} N_{gate}} \\ V_{DE} &= \varepsilon_{ox} E_{ox} \frac{\pi \hbar^2}{q^2 \eta m_{Si||}} + \frac{E_1}{q} \end{aligned}$$

Con la ecuación 3.26, determinamos el campo eléctrico en el óxido de compuerta para *Fin*FETs simétricos en ambos estados de operación tal y como se ha venido mencionando.

Para determinar el campo eléctrico en los *Fin*FETs MGDG en estado de encendido también se emplea la ecuación 3.26, con el término $V_{poly} = 0$ debido a que no hay región de agotamiento y por lo tanto no se presenta caída de voltaje en compuertas metálicas.

Una vez determinado el campo eléctrico E_{ox} , para cualquier caso (encendido o apagado), determinaremos la carga disponible que produce el tuneleo en el óxido de compuerta. El valor de esta carga, esta dado mediante:

$$Q = \varepsilon_{ox} E_{ox} \quad (3.31)$$

Por último, empleamos de nueva cuenta el metodo WKB, de manera similar a como fue empleado para determinar la corriente de tuneleo de compuerta a canal y con ello, obtendremos las densidades de tuneleo EDT. Para determinar la corriente total, debemos multiplicar esta densidad de corriente por el área de solapamiento entre drenador/fuente a compuerta.

La ecuación 3.26 sirve para determinar las corrientes de tuneleo de solapamiento para los *Fin*FETs simétricos en ambos estados de operación (encendido y de apagado) y para determinar la corriente de tuneleo en *Fin*FETs MGDG únicamente en estado de encendido.

Para poder determinar la corriente de tuneleo de los *Fin*FET MGDG en el estado de apagado, la corriente EDT es debida al TEBC desde los estados libres por debajo del nivel de Fermi en el metal hacia el drenador, tal y como se muestra en la figura 3.20(d). En [52] se modela a esta corriente de tuneleo mediante la ecuación 3.32.

$$\begin{aligned}
IEDT &= 2H_{fin}L_dT_{TR}(E_{\text{máx}} - E_{\text{mín}}) \left(\frac{q^2m_m^*kT}{2\pi^2\hbar^3} \right) \\
&\times \ln \left[\frac{1 + \exp(q(\phi_{\text{drain}} - V_{GD} - E_{av})/kT)}{1 + \exp(q(\phi_{\text{drain}} - E_{av})/kT)} \right] \quad (3.32)
\end{aligned}$$

Donde:

$$E_{\text{máx}} = \phi_{\text{gate}}$$

$$E_{\text{mín}} = E_C(n + \text{drain})$$

$$E_{av} = \frac{E_{\text{máx}} + E_{\text{mín}}}{2}$$

$T_{TR} = T_{WKB}T_R$ es la probabilidad de transmisión establecida por el modelo WKB.

3.7. Conclusiones.

En este capítulo se ha analizado la estructura del *Fin*FET, la cual presenta las mayores ventajas para fabricar dispositivos DGMOSFET.

Se describieron los métodos empleados para controlar el voltaje de umbral en los *Fin*FETs, en base a esto, se han desarrollado los tres tipos de *Fin*FET (simétricos, asimétricos y MGDG).

Se revisaron las capacitancias parásitas en las terminales de los *Fin*FETs, así como la manera en que son calculadas.

Los componentes de fuga que tienen un mayor impacto en los *Fin*FETs son: la corriente subumbral, la corriente de tuneleo de compuerta a canal y las corrientes de tuneleo EDT. Por otro lado, se han revisado los modelos analíticos para el cálculo de estas corrientes de fuga.

Capítulo 4

Implementación de los modelos matemáticos.

Debido a que en la actualidad no hay disponibles herramientas para la simulación de los *FinFETs*, este capítulo está orientado a describir como implementamos las herramientas de simulación para determinar el comportamiento eléctrico de los *FinFETs*.

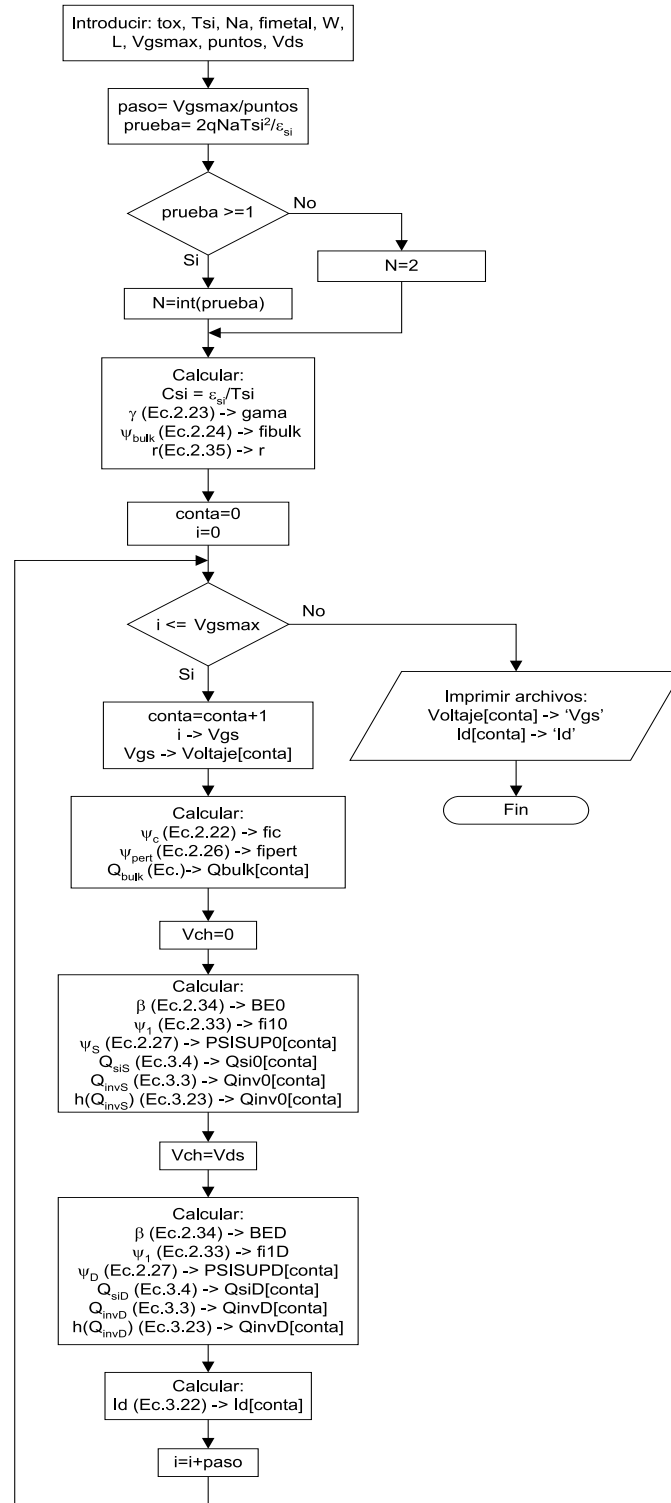
Todos los modelos que se mencionaron en las siguientes secciones fueron implementados en el software matemático Maple [58]. Este capítulo está orientado a describir como fueron implementados estos modelos. Para un mejor entendimiento de esta tarea haremos uso de diagramas de flujo. Al final de cada sección, se muestran comparaciones entre los resultados obtenidos en los artículos donde se tomaron los modelos analíticos y los resultados generados en Maple para poder corroborar que los modelos implementados en este software concuerdan adecuadamente con los resultados publicados.

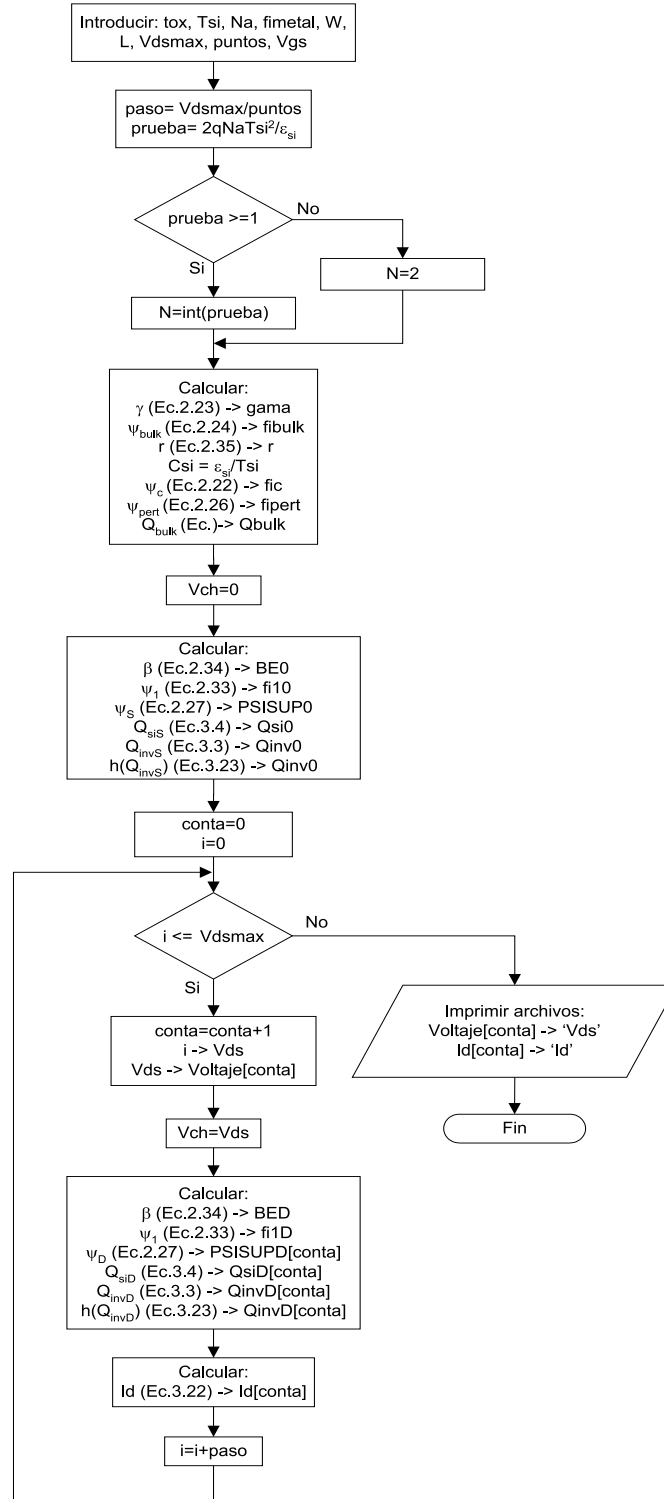
4.1. Implementación de la corriente en drenador.

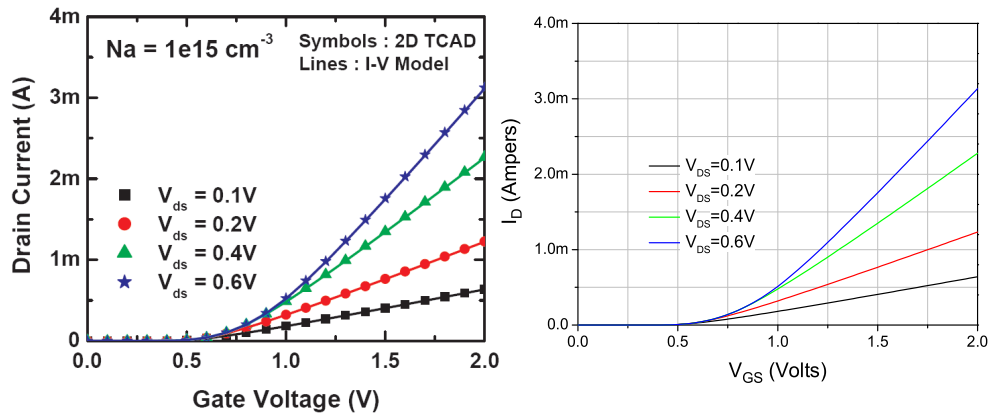
El comportamiento de la corriente de drenador del *FinFET* es de gran importancia debido a que determina el comportamiento de las corrientes de encendido del dispositivo. El modelo que implementamos en Maple es el modelo BSIM-CMG [49]; este es un modelo, en el cual todas las variables eléctricas tales como corrientes, cargas y capacitancias son derivadas de los potenciales de superficie. El hecho de que este modelo dependa de los potenciales de superficie ofrece la ventaja de tener expresiones continuas de corrientes y de cargas en el dispositivo, para las tres regiones de operación: subumbral, lineal y saturación.

Basados en el modelo analítico del modelo BSIM-CMG establecido en [49], los diagramas de flujo mostrados en las figuras 4.1 y 4.2, fueron empleados para implementar dicho modelo en Maple. El diagrama de flujo mostrado en la figura 4.1, muestra como calcular la corriente de drenador en función del voltaje V_{GS} ; por otra parte, el diagrama de flujo mostrado en la figura 4.2, muestra como determinar la corriente de drenador en función del voltaje V_{DS} .

Las figuras 4.3 y 4.4, muestran comparaciones entre las corrientes I_D obtenidas con el modelo implementado en Maple y los resultados de las corrientes reportados en [49] en función de los voltajes V_{GS} y V_{DS} respectivamente. Observando dichas figuras, se aprecia que los resultados obtenidos con Maple se apegan a los resultados mostrados en [49].

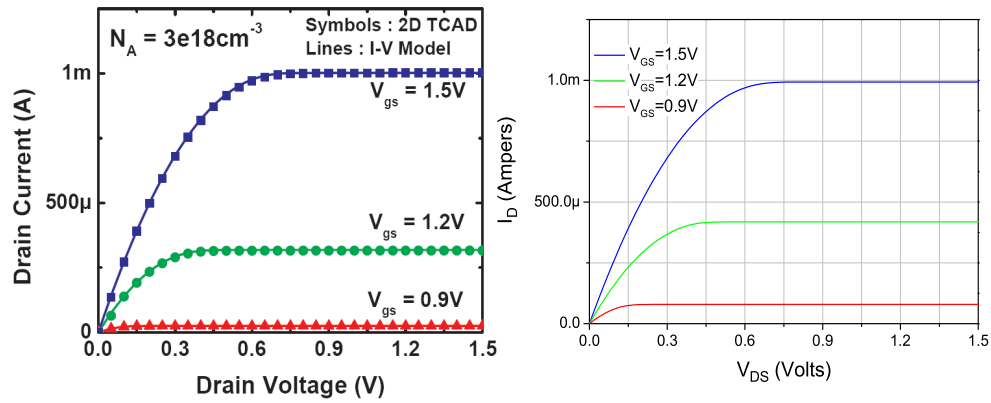
Figura 4.1: Diagrama de flujo para el cálculo de I_D vs V_{GS} .

Figura 4.2: Diagrama de flujo para el cálculo de I_D vs V_{DS} .



(a) Resultados dados en [49]

(b) Resultados obtenidos con Maple

Figura 4.3: Comparación de las gráficas I_D vs V_{GS} .

(a) Resultados dados en [49]

(b) Resultados obtenidos con Maple

Figura 4.4: Comparación de las gráficas I_D vs V_{DS} .

4.2. Método para generar la CTV de un inversor.

La Curva de Transferencia de Voltaje (CTV) de un inversor, puede ser obtenida empleando las gráficas Corriente-Voltaje (I-V) del *FinFET* N y el *FinFET* P.

Para obtenerla gráficamente, se requiere que las curvas I-V de ambos *FinFETs* sean transformadas en un conjunto de coordenadas en común. Hemos elegido el voltaje de salida y la corriente del drenador del *FinFET* N como las variables en común. Las curvas I-V del *FinFET* P pueden ser trasladadas dentro de las variables antes mencionadas, mediante el empleo de las siguientes relaciones:

$$I_{DSp} = -I_{DSn} \quad (4.1a)$$

$$V_{GSn} = V_{in} ; V_{GSp} = V_{in} - V_{DD} \quad (4.1b)$$

$$V_{DSn} = V_{out} ; V_{DSp} = V_{out} - V_{DD} \quad (4.1c)$$

La figura 4.5 muestra como realizar la transformación de las curvas I-V del *FinFET* P establecidas en términos de las variables V_{GSp} , V_{DSp} e I_{Dp} en términos de las variables V_{in} , V_{out} e I_{Dn} de manera gráfica.

El primer paso para realizar la conversión antes mencionada es reflejar las corrientes originales del *FinFET* P sobre el eje V_{DSp} , esto se hace teniendo en cuenta que: $V_{in} = V_{DD} + V_{GSp}$ y también que: $I_{Dn} = -I_{Dp}$. Este paso es ilustrado en la figura 4.5(b). Con esto obtenemos la corriente del *FinFET* P en terminos de V_{in} , I_{Dn} y V_{DSp} .

El segundo paso es realizar un corrimiento de las gráficas mostradas en la figura 4.5(b) hacia la derecha, esto es debido a que: $V_{out} = V_{DD} + V_{DSp}$; este paso es ilustrado en la figura 4.5(c).

Con los anteriores pasos culminados, hemos definido el valor de la corriente del *FinFET* P en términos de las variables: V_{in} , V_{out} e I_{Dn} . Una vez que tenemos las curvas I-V del *FinFET* P transformadas, pondremos sobre este mismo sistema

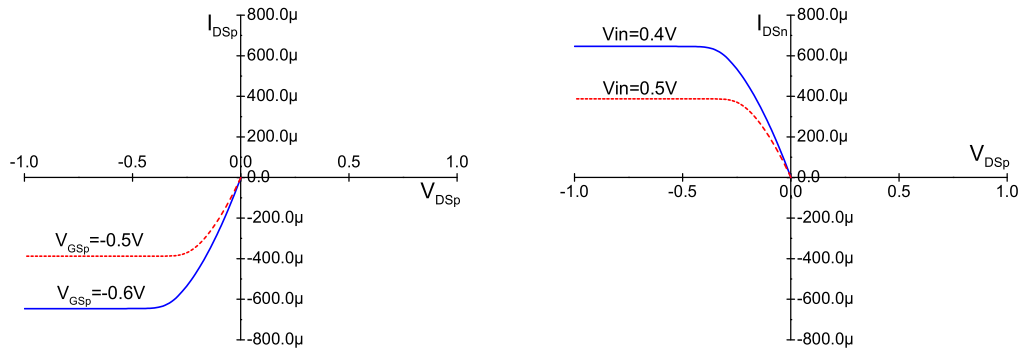
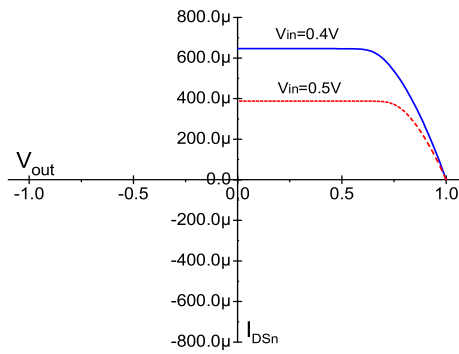
(a) Corrientes del *FinFET P*(b) Conversión a las variables I_{Dn} y V_{in} (c) Conversión a V_{out}

Figura 4.5: Proceso de conversión de las curvas de corriente del *FinFET P* a las variables V_{in} , V_{out} e I_{Dn} .

coordinado las curvas I-V del *Fin*FET N, tal y como se muestra en la figura 4.6(a).

Los puntos de operación válidos para el inversor son los puntos donde se intersectan las curvas de I-V del *Fin*FET N y el *Fin*FET P para un mismo valor en V_{in} . La figura 4.6(a) ilustra la idea mencionada.

Todos los puntos de intersección entre las curvas I-V de ambos transistores (algunas de ellas mostradas en la figura 4.6(a)), nos determinarán la CTV del inversor. Dicha curva es mostrada en la figura 4.6(b).

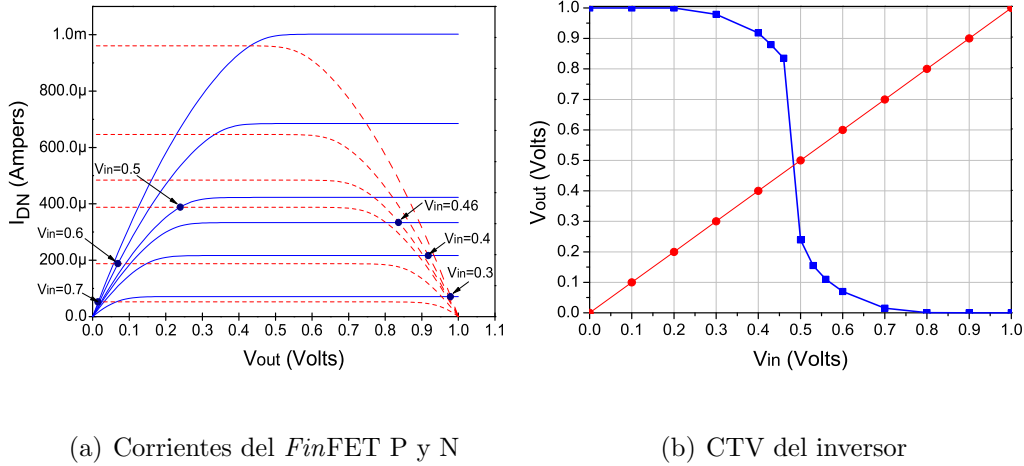


Figura 4.6: Generación de la CTV del inversor.

La generación en Maple de la CTV del inversor se realiza en base al método anteriormente explicado. El algoritmo a seguir se muestra en el diagrama de flujo de la figura 4.7.

Al inicio se deben introducir los parámetros tecnológicos de los *Fin*FETs empleados en el inversor; estos son: *tox*, *Tsi*, *Na*, *fmetalp*, *fmetaln*, *Hfin*, *L*, *np*, *nn*. Se asumirá que el inversor está formado por transistores complementa-

rios, por tal razón, las variables ***tox***, ***Tsi***, ***Na***, ***Hfin*** y ***L*** son de valores iguales para los *Fin*FETs N y P. Las variables ***fimetalp***, ***fimetaln***, ***np*** y ***nn***; representan la función de trabajo de compuerta del *Fin*FET P, la función de trabajo de compuerta del *Fin*FET N, el numero de aletas en paralelo para el dispositivo P y el número de aletas del dispositivo N respectivamente.

Al inicio, también se debe establecer el voltaje de alimentación del inversor con la variable ***Vdd***, el voltaje máximo en la entrada del inversor mediante la variable ***Ventradamax*** (en este caso 1V) y el número de puntos que serán calculados en la simulacion (en este caso serán 20 puntos).

La idea mostrada por el diagrama de flujo en la figura 4.7 es calcular 20 puntos de operación del inversor. Los puntos de operación se calculan dentro del bucle controlado por la variable ***control***. Antes de calcular las corrientes de los dispositivos P y N, se obtienen los voltajes de compuerta-fuente de ambos dispositivos mediante: ***Vgsp = Vdd - Vin*** y ***Vgsn = Vin*** estas dos instrucciones establecen el valor del voltaje V_{GS} del dispositivo P y el voltaje V_{GS} del dispositivo N respectivamente.

Dentro de este bucle principal, hay otros cuatro bucles controlados por la variable ***conta***.

El primer bucle no se aprecia a simple vista en este diagrama, pero está implícito cuando determinamos las corrientes del dispositivo P. Los valores de la corriente del dispositivo P son obtenidas con $V_{GS} = \mathbf{Vgsp}$ (valor constante) y haciendo un barrido en V_{DS} desde 0 al valor de ***Vdsmax***. Los valores de las corrientes de este dispositivo para cada valor de V_{DS} , son almacenadas en el arreglo ***Id1P[conta]***. Cabe señalar que dentro de este bucle son calculados 100 puntos de corriente, ya que V_{DS} es barrido desde 0 a ***Vdd***=1V con incrementos dados

por la variable $paso = V_{dsmax}/puntos$.

El segundo bucle tiene por objetivo colocar los puntos almacenados en el arreglo $Id1P[conta]$ en orden descendente en el arreglo $IdB1P[conta]$; es decir el primero elemento de $Id1P[conta]$ será el último elemento en $IdB1P[conta]$, el segundo de $Id1P[conta]$ será el penúltimo en $IdB1P[conta]$ y así sucesivamente. Al terminar de ejecutarse este bucle, tendremos los valores de las corrientes del dispositivo P en orden descendente. El resultado de esto será tener las corrientes del dispositivo P de manera similar a como se muestran en la figura 4.5 (b).

El tercer bucle está implícito cuando determinamos las corrientes del dispositivo N. Los valores de la corriente del dispositivo N son obtenidas con $V_{GS} = V_{in}$ (valor constante) y realizando un barrido en V_{DS} desde 0 al valor de V_{dsmax} los valores de las corrientes son almacenadas en el arreglo $IdB1N[conta]$ y también son calculados 100 puntos de igual manera que en el caso de la corriente del dispositivo P. Dentro de este bucle se almacenan los valores del voltaje V_{DS} en el arreglo **Vol**. **Vol** actúa como un arreglo, en el cual están los valores del voltaje **Vout** del inversor, ya que $V_{DS} = V_{out}$.

Después de tener las corrientes de ambos dispositivos almacenados en los arreglos $IdB1P[conta]$ y $IdB1N[conta]$, el flujo del programa entra en el cuarto y último bucle. El cuarto bucle tiene como objetivo hacer comparaciones entre las corrientes de los dispositivos N y P en cada posición. Al inicio, cuando la diferencia entre los primeros elementos de las corrientes es menor a 100 ($ref=100$), esta diferencia queda almacenada en la variable **ref** y el bucle sigue ejecutándose cuando se detecta que el valor de las diferencias entre las corrientes es menor al último valor de la variable **ref**, la variable **ref** es actualizada al valor más bajo guardando su posición en los arreglos mediante la variable **posicion**.

Cuando el cuarto bucle termina de ejecutarse, ya se sabe en que posición de los arreglos de corrientes se encuentra la diferencia mínima; esta diferencia mínima se interpreta como una intersección entre los valores de las corrientes del dispositivo N y P. Por lo tanto solo se debe extraer el valor de ***Vol*** en la posición: ***posicion***. Recordar que valor de ***Vol*** se iba actualizando en el tercer bucle y es igual al valor del V_{out} del inversor. Por lo tanto, una vez extraído el valor de ***Vol[posicion]***, lo almacenaremos en ***Vsalida[control]***. Con todos los pasos anteriores, hemos determinado un punto de operación del inversor dado por los valores: ***Ventrada[control]***, ***Vsalida[control]***.

Después de calcular el primer punto de operación del inversor, el flujo de programa incrementa el valor de la variable de control ***j*** (el cual determina el valor del voltaje de entrada del inversor) y regresa al inicio del bucle principal para que de nueva cuenta se ejecuten los cuatro bucles internos. Esta tarea será repetitiva hasta que el valor de ***j*** sea más grande que el valor de ***Ventradamax***. Cuando el valor de ***j*** es más grande que el valor de ***Ventradamax***, el flujo de programa sale del bucle principal (con esto ya se han calculado los 20 puntos de operación del inversor) y escribe los archivos: ***Ventrada*** y ***Vsalida***, los cuales contienen los valores de los voltajes presentes en la entrada y salida del inversor respectivamente.

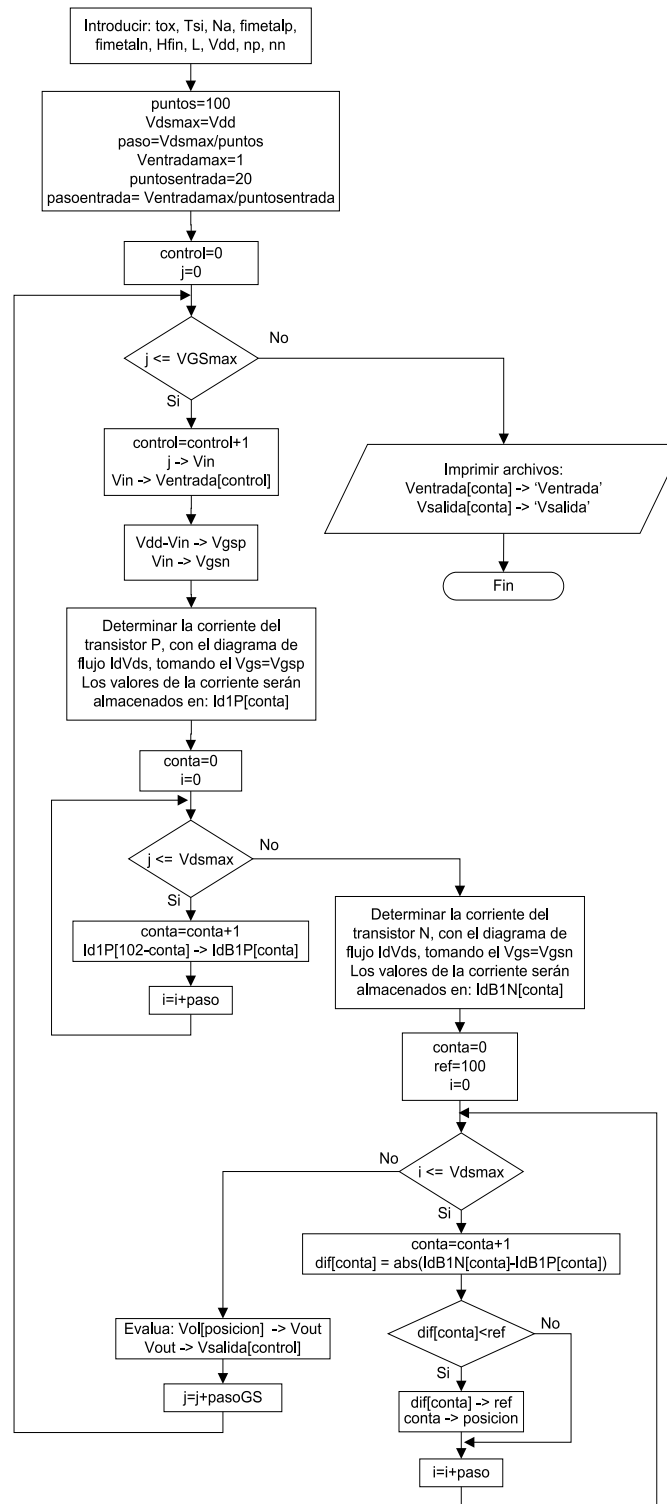


Figura 4.7: Diagrama de flujo para determinar la CTV de un inversor.

4.3. Capacitancias parásitas de los *Fin*FETs.

Para determinar el valor de las capacitancias parásitas, se han implementado en Maple las ecuaciones dadas en las sección 3.5. Las figuras 4.8, 4.9, 4.10 y 4.11 muestran comparaciones hechas entre los resultados de las capacitancias parásitas reportados en [50] y los resultados obtenidos con Maple.

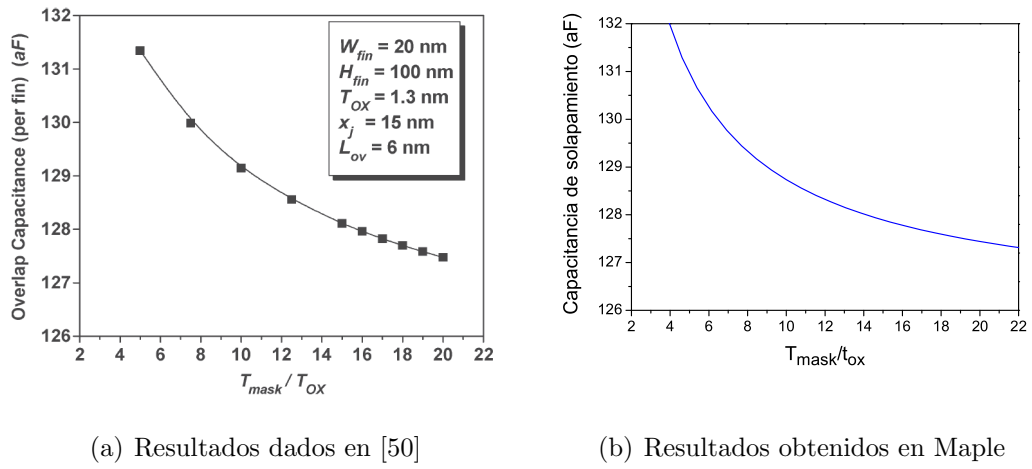


Figura 4.8: Capacitancia de solapamiento.

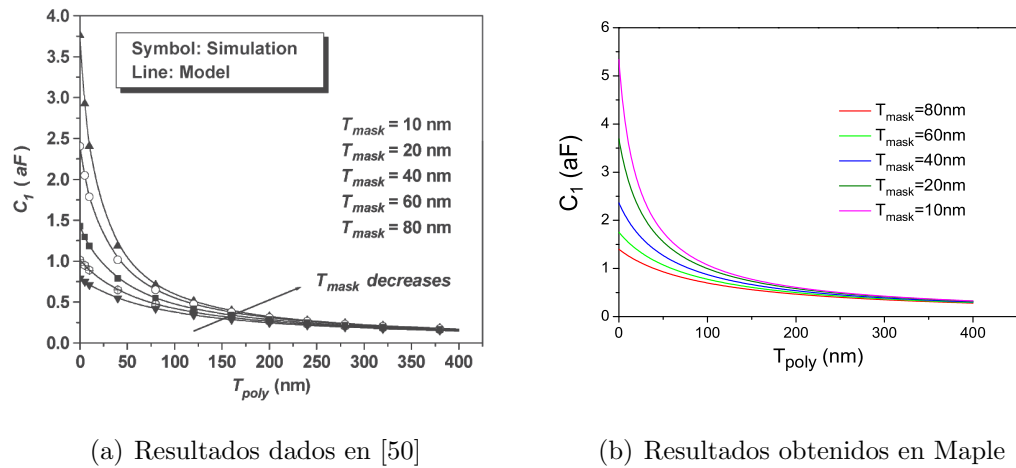
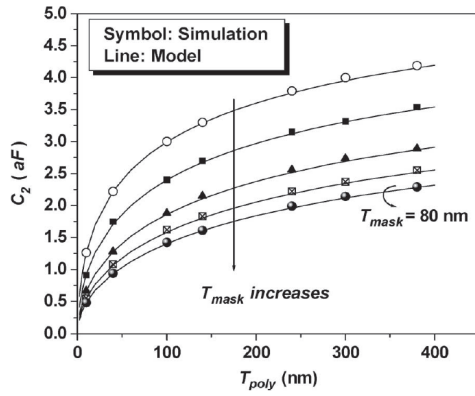
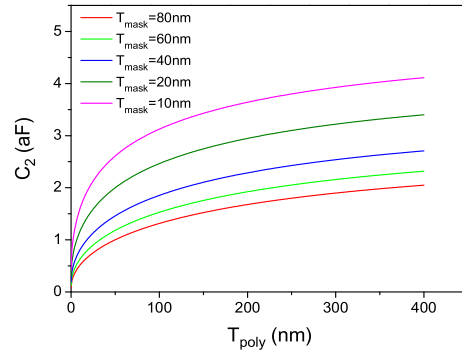


Figura 4.9: Capacitancia de borde C_1 .

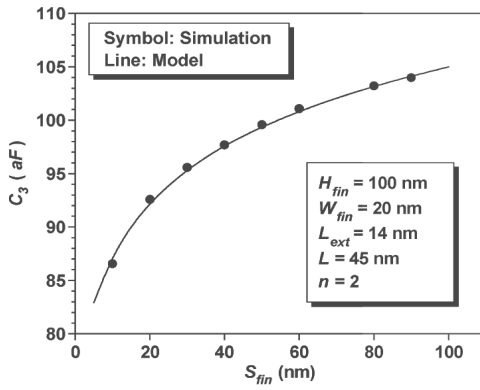


(a) Resultados dados en [50]

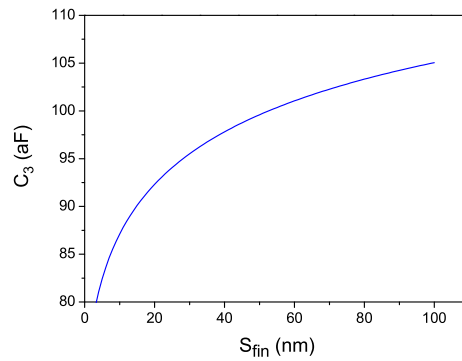


(b) Resultados obtenidos en Maple

Figura 4.10: Capacitancia de borde C_2 .



(a) Resultados dados en [50]



(b) Resultados obtenidos en Maple

Figura 4.11: Capacitancia de borde C_3 .

4.4. Implementación de corriente de tuneleo de compuerta a canal.

Para determinar las corrientes de tuneleo de compuerta a canal en Maple, se ocupó el diagrama de flujo mostrado en la figura 4.12.

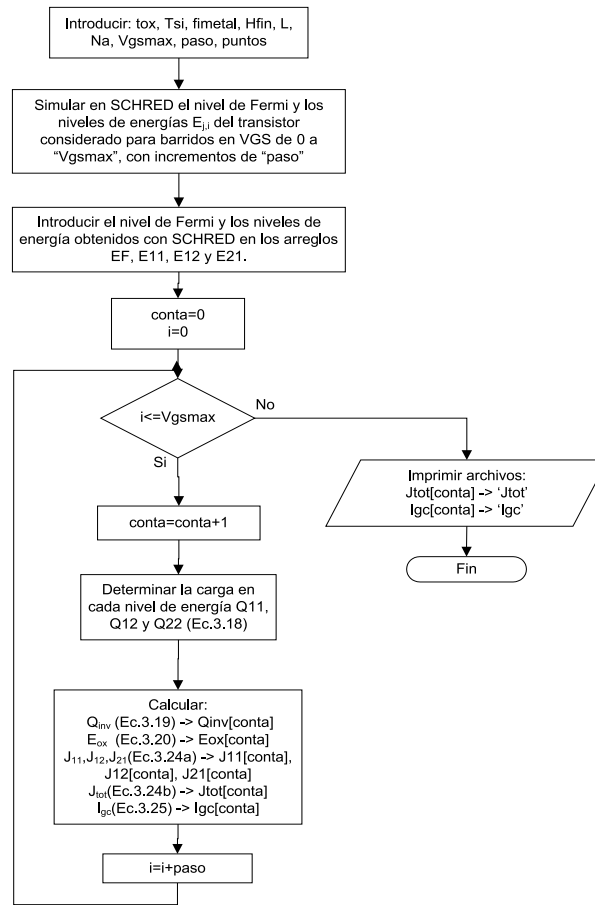


Figura 4.12: Diagrama de flujo para determinar las corrientes de tuneleo de compuerta a canal.

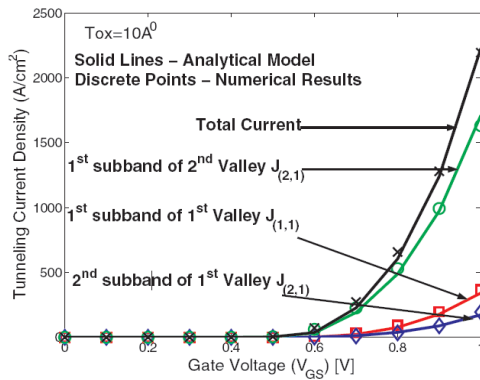
Como se muestra en la figura 4.12, al inicio se introducen los parámetros tecnológicos de el *Fin*FET; estos son: ***tox***, ***Tsi***, ***fimetal***, ***Hfin***, ***L***, ***Na***, ***Vgsmx***, ***paso***, ***puntos***. El siguiente paso es simular en SCHRED [59] el nivel de Fermi y los niveles de energía en cada valle y sub-banda de los portadores en la capa de inversión de los *Fin*FETs, estos niveles de energía son almacenados en los arreglos ***EF***, ***E11***, ***E12*** y ***E21***. Después de esto, el flujo de programa entra en el bucle controlado por la variable ***i***. Empleando los niveles de energía previamente calculados y guardados; se determinan y almacenan los valores de las cargas presentes en cada valle y sub-banda de energía, en las variables ***Q11***, ***Q12*** y ***Q22***. Con ***Q11***, ***Q12*** y ***Q22***, se calcula la carga total en la capa de inversión; con

92 4.4. Implementación de corriente de tuneleo de compuerta a canal.

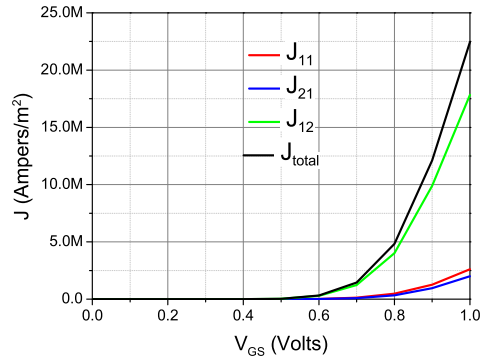
esta carga total, calculamos el campo eléctrico en el óxido de compuerta y con este último, las densidades de corriente producidas en cada valle y sub-banda de energía. Teniendo la densidad de corriente por cada nivel de energía, se determina la corriente total de tuneleo de compuerta a canal.

Una vez acabado de ejecutarse los anteriores cálculos, se incrementa la variable i y el flujo de programa vuelve al inicio del bucle para realizar los cálculos con un diferente V_{GS} . Cuando la variable i es mayor al valor almacenado en la variable V_{gsmax} , el flujo de programa sale del bucle para imprimir los valores almacenados en los arreglos $J_{tot}[conta]$ e $Igc[conta]$.

La figura 4.13 compara las corrientes de tuneleo presentadas en [54] y las obtenidas en Maple.



(a) Resultados dados en [54]



(b) Resultados obtenidos en Maple

Figura 4.13: Corrientes de tuneleo de compuerta a canal.

Las densidades de corriente mostradas en la figura 4.13(b) fueron obtenidas con un barrido en V_{GS} desde 0 a 1V y con un tamaño de paso de 0.1V; por tal razón, el número de elementos en cada uno de los arreglos: E , Q , E_{ox} y J , es de 11.

4.5. Implementación de las corrientes de tuneleo EDT.

Para determinar las corrientes EDT en Maple, se siguió el diagrama de flujo mostrado en la figura 4.14.

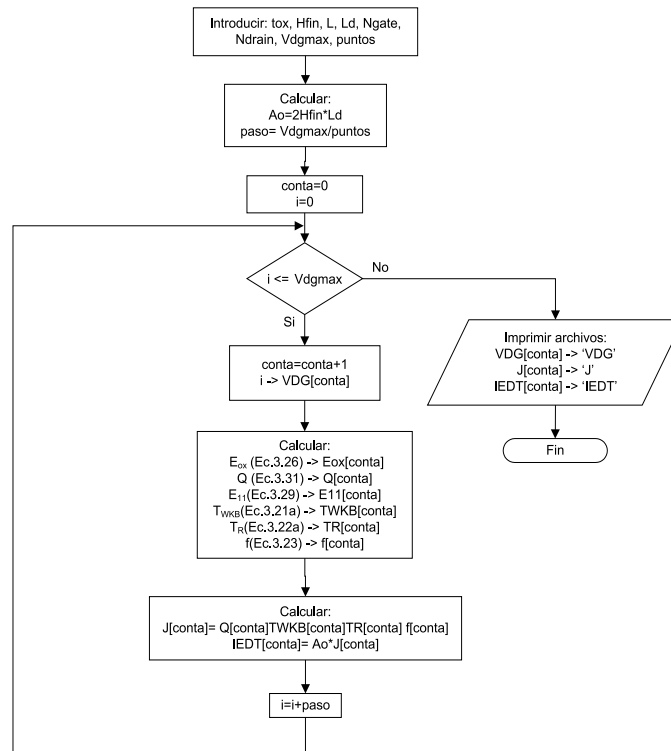
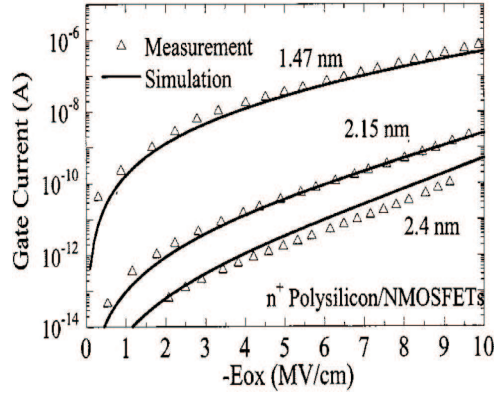


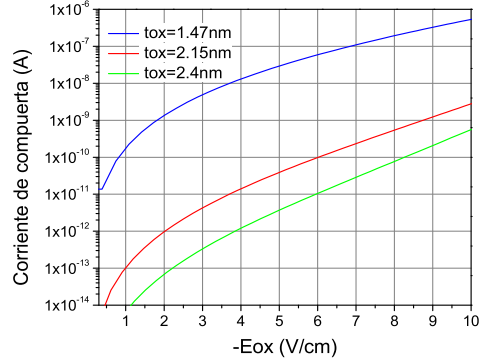
Figura 4.14: Diagrama de flujo para determinar las corrientes EDT.

Este diagrama de flujo tiene ciertas similitudes con el diagrama de flujo mostrado para calcular las corrientes de tuneleo de compuerta a canal. La diferencia radica en el hecho de que para obtener la densidad de corriente de tuneleo solamente se requiere la energía de la primera sub-banda tal y como se comentó en la sección 3.6.3.

La figura 4.15 muestra una comparación entre los resultados obtenidos en [57] y lo obtenido con Maple.



(a) Resultados dados en [57]



(b) Resultados obtenidos en Maple

Figura 4.15: Corriente EDT en un MOSFET N en estado de apagado.

4.6. Conclusiones.

En este capítulo se observó como han sido calculadas las corrientes de encendido en los *FinFETs*. El modelo implementado es el BSIM-CMG en el software matemático Maple. Se comentó una metodología para generar la CTV de inversores con *FinFETs*, dicha CTV se ha obtenido con los modelos de las corrientes de encendido de los *FinFET*.

Se implementaron los modelos analíticos para el cálculo de las capacitancias parásitas de los *FinFET* en Maple.

Por último, se han implementado las corrientes de fuga presentes en dispositivos *FinFET* y se han comparado los resultados obtenidos con Maple y lo reportado en literatura, se ha observado que los datos concuerdan satisfactoriamente.

Capítulo 5

Análisis y simulación de fallas *stuck-open*.

En tecnologías nanométricas, las fallas *stuck-open* no son fáciles de detectar, debido a que las corrientes de fuga presentes tienen un fuerte impacto y sus efectos contribuyen a que se alteren los voltajes en los nodos bajo análisis. En tecnologías *FinFET* las corrientes de fuga son menores que en el caso de tecnologías nanométricas, por tal razón es de gran interés determinar como y en que medida afectan estas corrientes de fuga al nodo en donde se efectuará el *test*.

En este capítulo, vamos a determinar de que manera afectan las corrientes de fuga en el *testing* de compuertas NOR y NAND estáticas en tecnologías *FinFETs*; en las cuales, fallas *stuck-open* han tomado lugar en el proceso de fabricación.

En la sección 5.1 describiremos la metodología a emplear para simular una falla *stuck-open* en una compuerta NOR; a pesar de que esta metodología se describe para una falla en específico, nos brinda una guía de como poder analizar fallas ubicadas en diferentes partes, incluso para diferentes compuertas.

En la sección 5.2 determinaremos el comportamiento de una compuerta NOR estática ante dos fallas *stuck-open*. Basandonos en la metodología presentada en la sección 5.1, se analizará el comportamiento del voltaje en el nodo bajo análisis cuando el *fanin* y el *fanout* de la compuerta sean modificados.

En la sección 5.3 se estudiará el comportamiento de una compuerta NAND estática con dos fallas análogas a las presentadas en la compuerta NOR. En esta sección no se comentará ampliamente la metodología a seguir, debido a que el proceso de análisis es similar al que se hace en la sección 5.2.

En la sección 5.4 se verá el comportamiento de los nodos bajo análisis en compuertas NAND y NOR cuando la compuerta que presenta la falla *stuck-open* tiene otro tipo de compuertas actuando como cargas; se analizará bajo que condiciones estas cargas benefician al *test* de la falla *stuck-open*.

Por último, basados en los resultados obtenidos en las secciones previas, en la sección 5.5 se dará una guía de como realizar *test* de fallas *stuck-open*.

5.1. Metodología para simular fallas *stuck-open* en *FinFET*.

Esta sección tiene como objetivo establecer la metodología de simulación de fallas *stuck-open* en compuertas digitales basadas en tecnologías *FinFETs*. Para ello consideraremos un caso de falla en específico. La falla a considerar es mostrada en la figura 5.1, en dicha figura se muestra una compuerta NOR teniendo un inversor de carga, la falla *stuck-open* está presente el drenador del dispositivo FNB.

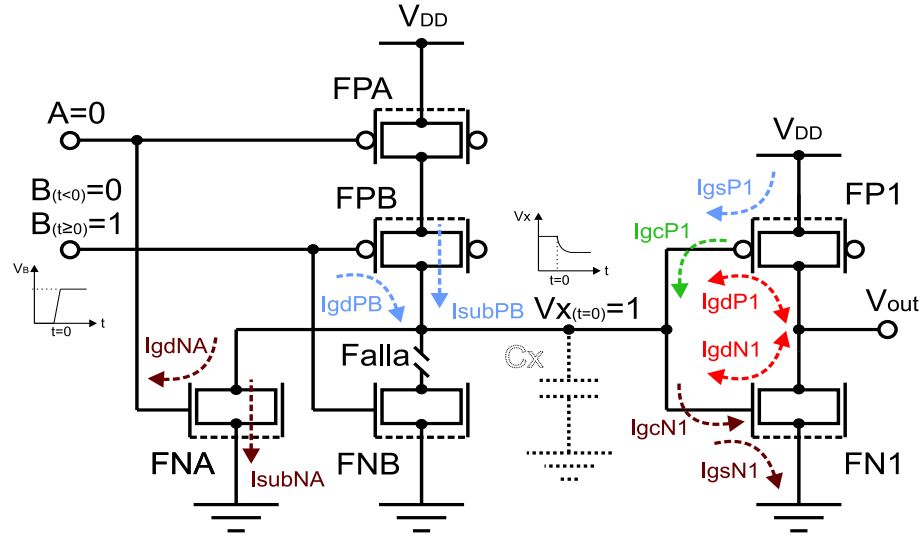


Figura 5.1: Falla *stuck-open* en el drenador de FNB y corrientes de fuga presentes para $t \geq 0$.

Como se comentó en la sección 1.3.1, la metodología de *test* tradicional para detectar este tipo de fallas es introducir dos vectores de prueba secuencialmente a las entradas A y B . Para esta falla, el vector de inicialización es: $AB=00$, con esto se cargará el nodo X a un valor lógico "Alto". Después, en un tiempo $t = 0$, se aplicará el vector de sensibilización: $AB=01$. Esta idea también puede ser apreciada en la figura 5.1.

Al aplicar el vector de sensibilización se pondrá en alta impedancia al nodo X ; a pesar de que no hay una trayectoria directa a tierra, el nodo X no se mantendrá al valor de V_{DD} . Este nodo será descargado debido a los mecanismos de fuga presentes en los *FinFETs*.

En la figura 5.1, también se pueden apreciar las corrientes de fuga presentes en esta compuerta para tiempos $t \geq 0$. Los componentes de corrientes de fuga que contribuyen a la descarga del voltaje V_X en $t=0$ ($AB=01$) son:

1. I_{gdNA} : Este componente de fuga es la corriente EDT entre la compuerta y

drenador de FNA y es máxima en el instante $t = 0$ ya que el voltaje V_{DG} es igual a V_{DD} .

2. I_{subNA} : Este componente de fuga es la corriente subumbral de FNA y es máxima en $t = 0$ ya que el voltaje V_{DS} tiene el valor de V_{DD} .
3. I_{gcN1} : Este componente de fuga es la corriente de tuneleo entre la compuerta y el canal de FN1. Debido a que en $t = 0$ el voltaje en la compuerta de este dispositivo es V_{DD} , el canal de inversión es formado.
4. I_{gsN1} : Este componente de fuga es la corriente EDT entre la compuerta y fuente de FN1, de igual manera es máxima en $t = 0$.

Existen dos componentes de corriente de fuga que cambian de sentido dependiendo de los valores evolutivos de los voltajes V_X y V_{out} y que en $t = 0$ también contribuyen a la descarga del voltaje V_X estos son:

1. I_{gdN1} : Este componente de fuga es la corriente EDT entre la compuerta y drenador de FN1. En $t=0$ también es máxima por el efecto del inversor formado por FN1 y FP1, ya que $V_X = V_{DD}$ y $V_{out}=0$.
2. I_{gdP1} : Este componente de fuga es la corriente EDT entre la compuerta y drenador de FP1. Similar a I_{gdN1} el efecto del inversor provoca que sea máxima en $t = 0$.

I_{gdN1} e I_{gdP1} cambian de sentido cuando el voltaje V_X se llega a reducir por debajo del nivel de threshold del inversor formado por FN1 y FP1.

A medida que el voltaje V_X se descarga, el valor de los componentes de corriente de fuga mencionados anteriormente se ven reducidos, ya que el voltaje que las genera se va reduciendo con el paso del tiempo. La reducción de este voltaje,

propicia que otros componentes de fuga tengan un efecto considerable. Los componentes de corriente de fuga que son incrementados conforme el voltaje V_X se reduce, son los siguientes:

1. I_{gdPB} : Este componente de fuga es la corriente EDT entre la compuerta y drenador de FPB. Debido a que el voltaje en la compuerta de este dispositivo está fijo a V_{DD} y se tiene una reducción del voltaje V_X , el voltaje V_{GD} en este dispositivo se incrementa. Esto propicia un aumento en este mecanismo de fuga.
2. I_{subPB} : Este componente de fuga es la corriente subumbral de FPB. De igual manera, esta componente se incrementa a medida que el nodo X es descargado ya que el voltaje V_{SD} de este transistor se incrementa en manitud.
3. I_{gsP1} : Este componente de fuga es la corriente EDT entre la compuerta y fuente de FP1.
4. I_{gcP1} : Este componente de fuga es la corriente de compuerta a canal de P1 (corriente verde en la figura 5.1) y se llegará a presentar si el voltaje V_X se reduce al valor de $V_{DD} - |V_{TP}|$, ya que bajo esta condición, el transistor TP1 es activado.

Las anteriores corrientes de fuga están ilustradas de color azul para indicar que son corrientes entrando al nodo X .

Cuando la suma de las corrientes de fuga que entren en el nodo seá igual a la suma de las corrientes de fuga que salen, se llegará al estado de equilibrio. Bajo esta condición, el voltaje en el nodo X alcanzará un valor estable.

En base al análisis cualitativo realizado hasta este punto, sabemos que el voltaje en el nodo X se reducirá conforme transcurra el tiempo hasta llegar a

un valor estable. Sin embargo, no sabemos hasta que nivel de voltaje se alcanzará la condición de equilibrio, ni el tiempo que tomará en alcanzarlo.

La metodología que se propone aquí para realizar el análisis de esta falla es emplear un circuito eléctrico equivalente y simularlo en HSPICE.

El circuito eléctrico equivalente para la falla *stuck-open* en el drenador de FNB (ver figura 5.1), se muestra en la figura 5.2. Este circuito eléctrico equivalente considera la capacitancia equivalente vista desde el nodo X a tierra, la cual es determinada por las capacitancias parásitas e intrínsecas presentes entre las terminales de los *FinFETs*, a dicha capacitancia equivalente le denominaremos C_X . Por otra parte, también se consideran las corrientes de fuga fluyendo dentro y fuera del nodo X . Todas las corrientes de fuga son consideradas como fuentes de corriente dependientes de voltaje, esto es así debido a que ellas dependerán de los voltajes presentes en las terminales de los *FinFETs*. Por último, una fuente de voltaje controlada por voltaje es empleada para modelar el efecto del inversor conectado entre el nodo X y la salida *out*. Dicha fuente de voltaje debe poseer la información de la CTV del inversor de carga.

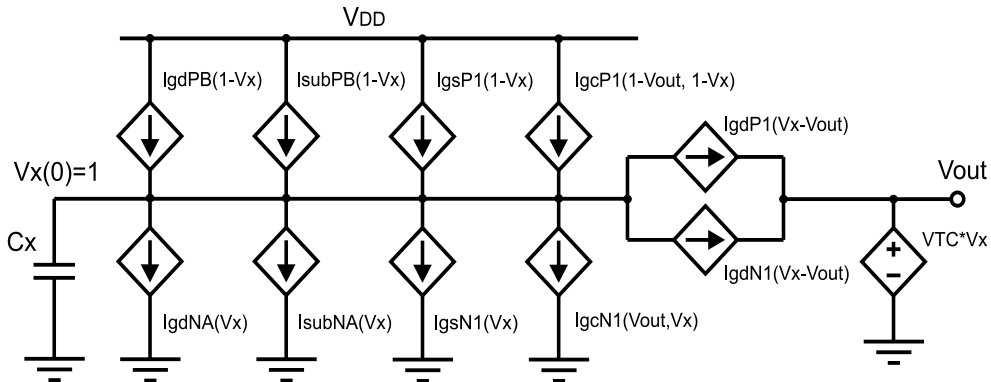


Figura 5.2: Circuito eléctrico equivalente para determinar el comportamiento de la compuerta NOR ante la falla *stuck-open*.

En las siguientes subsecciones, se comentará como son determinados e introducidos en HSPICE los valores de los elementos que componen al circuito eléctrico equivalente. Primero se comentará como se declara la CTV del inversor de carga; este es un parámetro importante a determinar, ya que establecerá la información del comportamiento de V_{out} en función de V_X . Después se comentará como se han determinado los componentes de fuga implicados y como son declarados en HSPICE. Por último, se hace un análisis de como encontrar el valor de la capacitancia C_X .

Determinacion de la CTV del inversor de carga.

La determinación de la CTV del inversor de carga es fundamental para obtener las corrientes de fuga presentes en los transistores FP1 y FN1, debido a que estas corrientes de fuga dependen de los voltajes V_X y V_{out} .

La CTV de este inversor, es obtenida con el método descrito en la sección 4.2.

Una vez determinada la CTV del inversor, esta información se introducirá en la fuente de voltaje controlada por voltaje en el circuito eléctrico equivalente (ver figura 5.2). Esta fuente es declarada en HSPICE como una fuente del tipo Pice-Wise-Linear y su sintáxis es la siguiente:

```
Evtc out 0 PWL(1) x 0 Vi0 Vo0 Vi1 Vo1 Vi2 Vo2 ... Vik Vok
```

La anterior sentencia declara que hay una fuente de voltaje controlada por voltaje del tipo PWL, conectada entre el nodo out y el nodo 0 (tierra) y su voltaje de control es la diferencia de voltaje entre el nodo x y 0, es decir el voltaje V_X (voltaje a la entrada del inversor). Los puntos Vi0 Vo0, Vi1 Vo1, Vi2 Vo2, ..., Vik Vok representan los puntos de operación del inversor, dados por la CTV. Entre más puntos de operación sean declarados, se describirá el comportamiento de este inversor con más exáctitud.

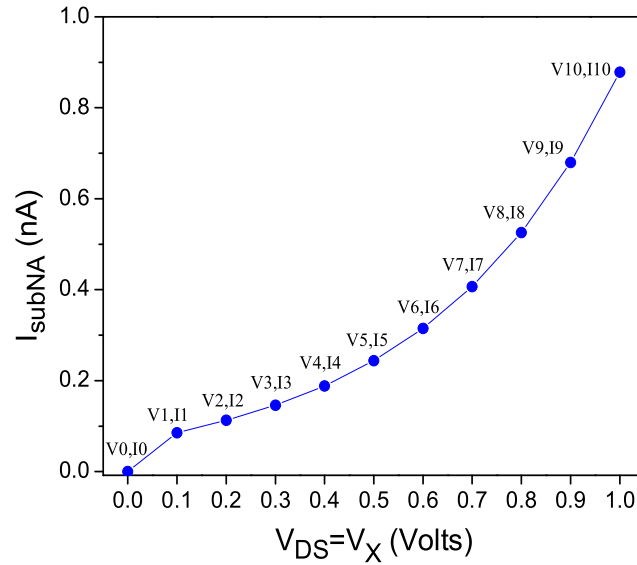
Determinación de las corrientes subumbral de FNA y FPB.

La corriente subumbral en un transistor depende de los voltajes V_{GS} y V_{DS} , el voltaje de umbral y de la pendiente subumbral. Sin embargo, analizando las corrientes I_{subNA} e I_{subPB} en la figura 5.1, estas se determinan con sus respectivos V_{GS} estando siempre a cero volts una vez que el vector de sensibilización es aplicado a las entradas de la compuerta. Se ha visto que el voltaje umbral muestra dependencia con el voltaje V_{DS} (debido al DIBL). Por otra parte, la pendiente subumbral no es afectada por la polarización del dispositivo, ya que esta es determinada por la geometría y los parametros tecnológicos de los *FinFETs*. Por tal razón, las corrientes subumbral de ambos dispositivos, únicamente dependerán de los voltajes V_{DS} de cada transistor. Dicho de otra manera; estas corrientes son dependientes del voltaje V_X , debido a que las terminales de fuente de los transistores FPB y FNA están a V_{DD} y 0V respectivamente.

Para determinar las corrientes subumbral de ambos transistores, se emplearán los modelos analíticos de las corrientes subumbral en Maple; para después obtener las gráficas de ambas corrientes en función de sus respectivos V_{DS} .

Teniendo la información del comportamiento de las corrientes subumbral, las declaramos como fuentes de corriente controladas por voltaje de tipo PWL en HSPICE.

Como ejemplo, la figura 5.3 muestra la gráfica de la corriente I_{subNA} contra V_{DS} .

Figura 5.3: Corriente subumbral en función de V_{DS} .

La sintáxis en HSPICE para declararla se muestra a continuación:

```
GsubNA x 0 PWL(1) x 0      V0 I0      V1 I1      V2 I2      ...      Vk Ik
```

La anterior sentencia estipula que hay una fuente de corriente controlada por voltaje del tipo PWL que circula desde el nodo x al nodo 0 (tierra) y el voltaje de control de esta fuente es la diferencia de voltaje entre los nodos x y 0 ($V_{DS} = V_X$).

Determinación de las corrientes EDT.

En la sección 3.6.3 se ha comentado que las corrientes EDT en los *Fin*FETs son determinadas multiplicando el área de solapamiento entre las regiones de compuerta-fuente y/ó compuerta-drenador por la densidad de corriente de tuneleo presente en estas regiones. La densidad de corriente de tuneleo en las regiones de solapamiento, está en función de los parámetros tecnológicos de los *Fin*FETs.

La idea para introducir en HSPICE el valor de estas corrientes es calcular en

Maple las densidades de corriente EDT para todos los dispositivos, empleando los modelos matemáticos vistos en la sección 3.6.3 y después multiplicar estas densidades de corriente por el área de solapamiento en las regiones de interés.

Todas las densidades de corriente de tuneleo son determinadas suponiendo un swing máximo desde 0 a V_{DD} en el voltaje que las propicia (V_{SG} o V_{DG} según sea el caso). Al calcular las densidades de corriente con un swing máximo, no quiere decir que este hecho valla a ocurrir. Todas las corrientes se obtienen bajo esta condición, debido a que antes de la simulación total no sabemos el valor del rango de variación de los voltajes que provócan las corrientes de fuga en los *FinFETs*.

Las corrientes EDT son introducidas en HSPICE como fuentes de corriente dependientes de voltaje del tipo PWL.

Para ejemplificar la sintáxis de este tipo de fuentes, tomaremos en cuenta la manera en que es declarada la corriente I_{gdNA} . Primero se debe calcular el área de solapamiento, la cual es determinada por HSPICE mediante la sentecia:

```
.param As= 'Ld*2*Hfin'
```

Después de esto, la corriente I_{gdNA} es declarada en el archivo de simulación mediante la sentencia:

```
GigdNA x 0 PWL(1) x 0      V0 'nn*As*J0'      V1 'nn*As*J1'
+ V2 'nn*As*J2'      ...      Vk 'nn*As*Jk'
```

La anterior sentencia estipula que hay una fuente de corriente controlada por voltaje del tipo PWL que circula desde el nodo x al nodo 0 (tierra) y el voltaje de control de esta fuente es la diferencia de voltaje entre los nodos x y 0 (únicamente

el control es el voltaje en x ya que 0 es la tierra del circuito).

Por otra parte, nn representa el número de aletas por transistor; $V_0, V_1, V_2, \dots, V_k$ representan los puntos de voltaje V_{DG} de la gráfica J_{DG} contra V_{DG} ; $J_0, J_1, J_2, \dots, J_k$ son las densidades de corriente para cada valor $V_0, V_1, V_2, \dots, V_k$ de la gráfica J_{DG} contra V_{DG} . La figura 5.4 muestra la gráfica J_{DG} contra V_{DG} , en ésta se pueden apreciar los puntos que se tomaron en consideración.

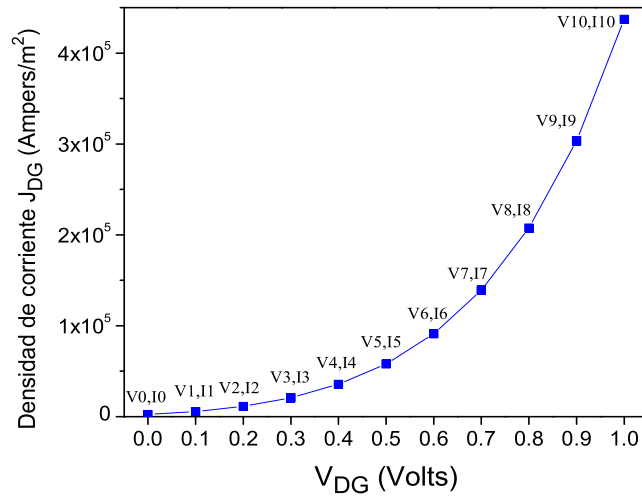


Figura 5.4: Densidad de corriente de tunelaje J_{DG} en función de V_{DG} .

Señalar que todas las demás corrientes de tunelaje EDT involucradas en el comportamiento de esta compuerta son declaradas de manera similar.

Otro punto importante a mencionar, es que hay algunas corrientes EDT que son reversibles, es decir que pudieran cambiar de dirección bajo ciertas condiciones de polarización. En el análisis cualitativo realizado previamente, se mencionó que las corrientes I_{gdN1} e I_{gdP1} pudieran ser reversibles (si el valor de V_X llegara a ser más bajo que el voltaje de umbral del inversor). Para modelar correctamente a estas corrientes de fuga, es necesario introducir la información cuando el voltaje que las propicia cambia de signo. Para hacer esto, se deben especificar el valor de

las densidades de corriente tanto para voltajes positivos como negativos. También se debe asumir que si dichos voltajes son positivos, las corrientes serán positivas; por otra parte, si los voltajes son negativos, las corrientes serán negativas (implicando un cambio de sentido en el flujo de corriente).

Como se puede observar, entre más puntos se declaren en las sintáxis de las fuentes de corriente se tendrá una descripción más exácta de sus comportamientos.

Aquí se han tomado únicamente 11 puntos para declarar a cada una de las densidades de corriente de tuneleo que no son reversibles, los puntos declarados van desde 0V a 1V con incrementos de 0.1V. Por otra parte para declarar las fuentes de corrientes reversibles, se declaran 21 puntos desde -1V a 1V con incrementos de 0.1V.

Determinación de las corrientes de tuneleo de compuerta a canal.

Para introducir en HSPICE la información de las corrientes de tuneleo de compuerta a canal, se debe calcular en Maple las densidades de corriente, tal y como fue presentado en la sección 4.4. Para obtener el valor de las corrientes, multiplicaremos las densidades de corriente calculadas, por el área de canal, es decir, por: $H_{fin}L_{eff}$.

Todas las densidades de corriente de tuneleo son determinadas suponiendo un swing máximo desde 0 a V_{DD} en el voltaje que las propicia (V_{GS}). Al calcular las densidades de corriente con un swing máximo, no quiere decir que este hecho ocurra. Todas las corrientes se obtienen bajo esta condición, debido a que antes de la simulación total no sabemos el valor del rango de variación del voltaje V_{GS} en cada *FinFET*.

De manera similar a las corrientes EDT, las de tuneleo de compuerta a canal, son introducidas en HSPICE como fuentes de corriente dependientes de voltaje del tipo PWL.

Como ejemplo, mostraremos la manera en que es declarada la corriente I_{gcN1} . Primero se debe obtener el área de canal, la cual es calculada por HSPICE mediante la sentencia:

```
.param Ac= 'Hfin*Leff'
```

Después de esto, la corriente I_{gcN1} es declarada en el archivo de simulación mediante la sentencia:

```
GicdN1 x 0 PWL(1) x 0      V0 'nn*Ac*J0'      V1 'nn*Ac*J1'
+ V2 'nn*Ac*J2'      ...      Vk 'nn*Ac*Jk'
```

La anterior sentencia estipula que hay una fuente de corriente controlada por voltaje del tipo PWL que circula desde el nodo x al nodo 0 (tierra) y el voltaje de control de esta fuente es la diferencia de voltaje entre los nodos x y 0 (únicamente el control es el voltaje en x ya que 0 es la tierra del circuito).

Por otra parte, nn representa el número de aletas por transistor; $V0, V1, V2, \dots, Vk$ representan los puntos de voltaje V_{GS} de la gráfica J_{GC} contra V_{GS} ; $J0, J1, J2, \dots, Jk$ son las densidades de corriente para cada valor $V0, V1, V2, \dots, Vk$ de la gráfica J_{GC} contra V_{GS} . La figura 5.5 muestra la gráfica J_{GC} contra V_{GS} , en esta se pueden apreciar los puntos que se tomaron en consideración.

Señalar que todas las demás corrientes de tuneleo de compuerta a canal, involucradas en el comportamiento de la compuerta NOR son declaradas de manera

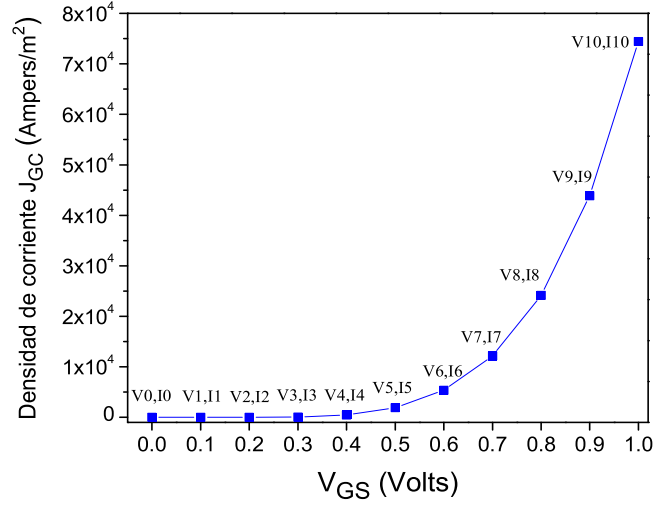


Figura 5.5: Densidad de corriente de tuneleo J_{GC} en función de V_{GS} .

similar.

Para declarar a las corrientes de tuneleo de compuerta a canal, se han tomado únicamente 11 puntos. Los puntos declarados van desde 0V a 1V con incrementos de 0.1V.

Determinación de la capacitancia equivalente en el nodo X .

El último factor importante para poder analizar el comportamiento de la compuerta ante la falla *stuck-open* es la capacitancia equivalente en el nodo X . Como se comentó previamente, a esta capacitancia le llamaremos C_X . El valor de C_X dependerá de las capacitancias asociadas con los *FinFETs* que están conectados al nodo X .

La figura 5.6 muestra las capacitancias que intervienen para la determinación de C_X .

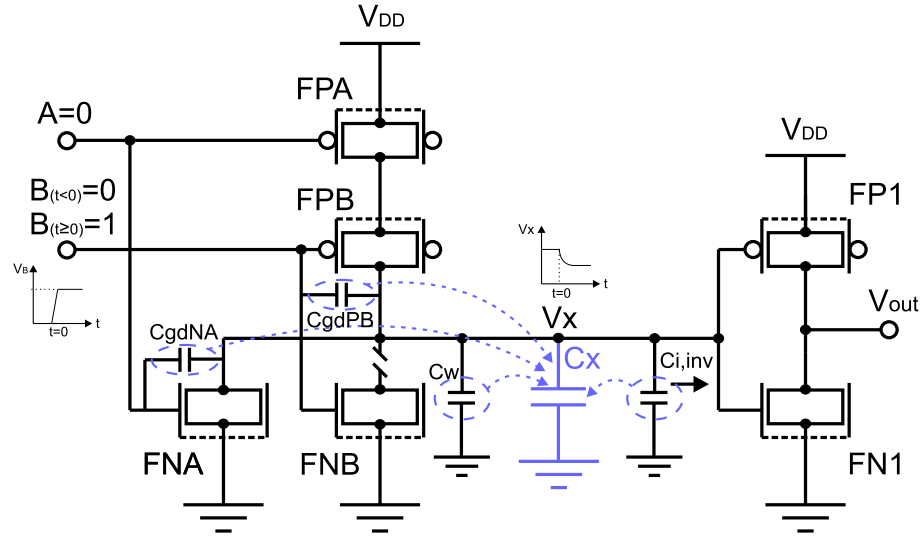


Figura 5.6: Capacitancias a tomar en cuenta para la obtención de C_X .

A continuación se listan las capacitancias mostradas en la figura 5.6.

1. C_{gdNA} y C_{gdPB} : Estas son las capacitancias entre compuerta y drenador de FNA y FPB respectivamente. Debido a que los *Fin*FETs que componen al dispositivo FNA tienen su compuerta atada a 0V, se considera a la capacitancia C_{gdNA} como si se encontrara conectada entre el nodo X y tierra. Por otra parte, el efecto de la capacitancia C_{gdPB} se debe considerar dos veces desde el nodo X a tierra. La anterior consideración es debida al efecto Miller, el cual toma lugar cuando la entrada B realiza la transición de 0 a 1 y el nodo X hace una transición de 1 hacia un valor bajo de voltaje en el tiempo $t = 0$. Ambas capacitancias son determinadas con los modelos matemáticos vistos en la sección 3.5.
2. $C_{i,inv}$: Esta es la capacitancia equivalente que introduce el inversor de carga en el nodo X . Para dispositivos DGMOSFETs SOI, esta capacitancia es tomada como se especifica en [60]:

$$C_{in} = (W_n + W_p)LC_{of} + (W_n + W_p)LC_{ob}$$

Donde: C_{of} y C_{ob} , representan las capacitancias por unidad de área de las compuertas delanteras y traseras respectivamente del DGMOSFET.

Debido a que las dos compuertas son idénticas, $C_{of} = C_{ob} = C_{ox}$ y que los anchos de canal son iguales para ambos dispositivos, $W_n = W_p = 2H_{fin}$. La capacitancia $C_{i,inv}$ se determina mediante:

$$C_{i,inv} = 4H_{fin}LC_{ox}$$

Puede ser visto que esta capacitancia es la suma de las capacitancias intrínsecas de ambos dispositivos. A la hora de calcular esta capacitancia, debemos tener cuidado en establecer claramente el número de aletas que forman al dispositivo N y al dispositivo P. Una expresión general de esta capacitancia es:

$$\begin{aligned} C_{i,inv} &= 2n_n H_{fin} LC_{ox} + 2n_p H_{fin} LC_{ox} \\ C_{i,inv} &= (n_n + n_p) 2H_{fin} LC_{ox}. \end{aligned}$$

Donde: n_n es el número de aletas que forman al dispositivo N y n_p es el número de aletas que forman al dispositivo P.

3. C_W : Es la capacitancia de interconexión de la compuerta NOR con el inversor de carga. En [61] y [62] se estudia el comportamiento de las capacitancias de cableado en tecnologías *FinFET*. Tomando las consideraciones empleadas en [62], tenemos una capacitancia por unidad de longitud de: $0.2aF/nm$.

Para el cálculo de la capacitancia C_X , el valor de C_W no se ha tomado en consideración, debido a que es despreciable si se compara con las contribuciones de las capacitancias mencionadas en los puntos 1 y 2, si suponemos que el inversor de carga está cerca del nodo de salida de la compuerta NOR.

Considerando las aportaciones de las capacitancias anteriormente citadas, la capacitancia equivalente C_X es determinada por medio de:

$$C_X = C_{gdNA} + 2C_{gdPB} + C_{i,inv} \quad (5.1)$$

Donde el factor 2 multiplicando a la capacitancia C_{gdPB} , es debida al efecto Miller como se comentó anteriormente.

Una vez determinados todos los factores que intervienen en el comportamiento del voltaje en el nodo bajo análisis, estamos en condiciones de obtener resultados numéricos.

Como se ha mencionado, una metodología similar a la presentada hasta este punto, puede ser empleada para analizar diversas fallas ante diferentes estructuras.

5.2. Resultados obtenidos en compuertas NOR.

En esta sección se muestran y analizan los resultados de simulación de compuertas NOR con fallas *stuck-open* presentes en diferentes puntos y bajo diferentes estructuras.

Los *Fin*FETs considerados para implementar todas las compuertas a analizar en esta sección y en todo el capítulo, tienen los siguientes parámetros tecnológicos:

$T_{si}=5\text{nm}$, $L_g=30\text{nm}$, $L_{eff}=18\text{nm}$, $H_{fin}=50\text{nm}$, $t_{ox}=1.75\text{nm}$, $T_{mask}=50\text{nm}$, $L_d=6\text{nm}$, $T_{poly}=100\text{nm}$, $S_{fin}=50\text{nm}$, $L_{ext}=14\text{nm}$.

El valor de H_{fin} es tomado de 50nm, debido a que este es el valor para el cual se han reportado varios trabajos relacionados a la fabricación de *Fin*FETs, entre ellos [42]; los valores de T_{mask} , T_{poly} , L_{ext} y S_{fin} han sido tomados de los rangos de

variación que se presentan en [50]; L_d se toma de 6nm, ya que en [57] se comenta que por debajo de este valor, el escalamiento de esta dimensión no es alcanzable; la longitud efectiva, fue determinada mediante: $L_{eff} = L_g - 2L_d$; por último, los valores de T_{si} y t_{ox} fueron tomados de 5nm y 1.75nm respectivamente, para suprimir los SCE adecuadamente, acorde a la relación establecida en [32](pag.54):

$$\lambda = \sqrt{\frac{\varepsilon_{si}}{2\varepsilon_{ox}} \left[1 + \frac{\varepsilon_{ox}T_{si}}{4\varepsilon_{si}t_{ox}} \right] T_{si}t_{ox}} \quad (5.2)$$

Con $L_{eff}/\lambda = n$ Donde n debe ser un número arbitrario mayor a 1.

Con los valores de T_{si} y t_{ox} , se obtiene $\lambda = 4 \times 10^{-9}$ y con ello, $n = 4,5$. La pendiente subumbral obtenida es de 76.9mV/dec.

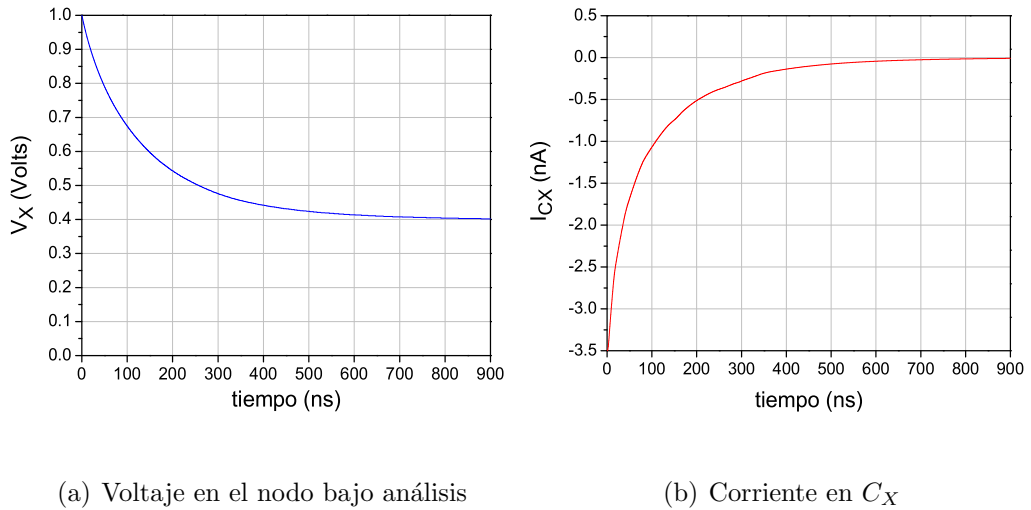
Las funciones de trabajo de las compuertas del *FinFET* N es de 4.4eV y 4.8eV para el *FinFET* P; los niveles de dopado N_a y N_d en las aletas para los *FinFET* N y los *FinFET* P tienen valores iguales a: $10^{15}cm^{-3}$; por último, los niveles de dopado en las regiones de drenador y fuente se tomaron de $10^{19}cm^{-3}$. Con lo anterior, los voltajes de umbral de los *FinFETs* N y P son $V_{thn}=0.3V$ y $V_{thp}=-0.3V$ respectivamente.

Se asume que los dispositivos tipo N, están compuestos por 2 aletas y los tipo P, por 4 aletas. Finalmente, las paredes laterales de las aletas de todos los *FinFETs* están en la dirección (100).

5.2.1. *Stuck-open* en drenador de FNB.

La primera falla a analizar es la mostrada en la figura 5.1. Esta falla fue precisamente la falla empleada para la explicación de la metodología de simulación presentada en la sección 5.1. En dicha sección, se realizó un análisis cualitativo del comportamiento del voltaje en el nodo bajo análisis ante esta falla y se determinó que las corrientes de fuga provocan una reducción en el voltaje V_X .

La figura 5.7 muestra en (a) el comportamiento de V_X y en (b) la corriente a través del capacitor C_X . Estos resultados fueron obtenidos con HSPICE al simular el circuito eléctrico equivalente mostrado en la figura 5.2.



(a) Voltaje en el nodo bajo análisis

(b) Corriente en C_X

Figura 5.7: Comportamiento de V_X e I_{CX} ante la falla *stuck-open* en el drenador de FNB.

En la figura 5.7(a) se puede apreciar que el voltaje V_X parte de 1V y a medida que transcurre el tiempo, este se descarga paulatinamente hasta alcanzar un valor constante de 0.4V. El análisis transistorario se realizó hasta los 900ns, ya que es el tiempo que toma a la señal V_X alcanzar la condición de equilibrio. En la figura 5.7(b), se muestra que la corriente a través del capacitor C_X tiene un valor máximo negativo en $t = 0$ y a medida que transcurre el tiempo esta corriente disminuye en magnitud. Cuando la corriente en el capacitor es cero ($t = 900$ ns), se llega a la condición de equilibrio entre todas las corrientes de fuga presentes; y como puede ser visto, en ese instante de tiempo el valor de V_X se mantiene a 0.4V.

Para analizar la respuesta transitoria se usa el parámetro "*Holding time*", el cual es el tiempo en el que el nodo X es descargado desde V_{DD} al valor de $V_{DD} - |V_{thp}|$.

El *holding time* se puede interpretar como el tiempo en que la falla *stuck-open* es detectable. Lo anterior obedece al hecho de que para tiempos $t \geq t_{hold}$, el valor de V_X puede ser interpretado lógicamente incorrecto, ya que el dispositivo FP1 es activado. Cuando esto ocurre, la falla stuck open pudiera no se detectada.

Debido a los bajos niveles de fuga en tecnologías CMOS tradicionales, las compuertas digitales con fallas *stuck-open* han presentado métricas de *holding time* relativamente grandes.

El valor del V_{thp} del transistor FP1 es de -0.3V, por tal razón el *holding time* para la falla *stuck-open* es: $t_{hold}=86.7\text{ns}$.

El *holding time* depende de la capacitancia equivalente en el nodo bajo análisis C_X y de las magnitudes de las corrientes de fuga entrando y saliendo en el mismo nodo.

Basandonos en la ecuación que determina la corriente en un capacitor:

$$I_C = C \frac{dV}{dt} \quad (5.3)$$

Podemos obtener la derivada del voltaje V_X con respecto al tiempo mediante:

$$\frac{dV_X}{dt} = \frac{I_{C_X}}{C_X} \quad (5.4)$$

La figura 5.8 muestra la curva I_{C_X}/C_X contra el tiempo, o lo que es lo mismo la derivada de V_X con respecto al tiempo. Se puede observar que la máxima variación de V_X es en $t = 0$, ya que en ese instante de tiempo, todas las corrientes que producen la descarga del nodo X tienen valores máximos (tal y como se comentó en el análisis cualitativo de la sección 5.1). El hecho de conocer la variación

máxima de V_X se hará importante para los análisis de la siguiente sección, cuando el *fanin* y el *fanout* de la compuerta sean variados.

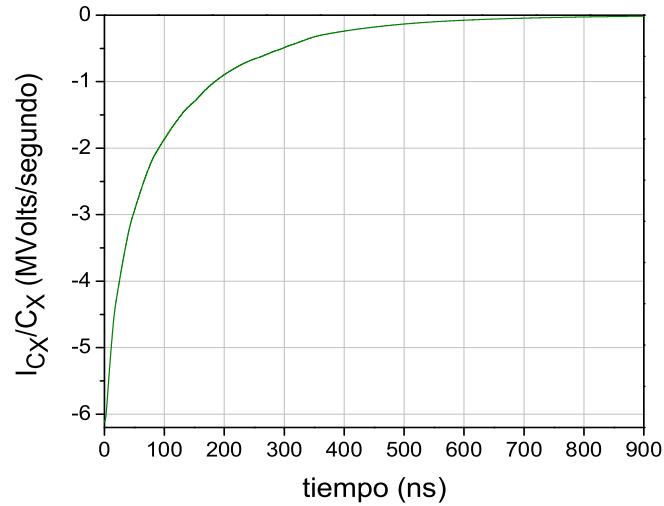


Figura 5.8: Derivada de V_X con respecto al tiempo.

Comportamiento para diferentes *fanin* y *fanout*.

A continuación, veremos el comportamiento de V_X de la compuerta NOR para diferentes *fanin* y *fanout*.

El *fanout*, lo determina el número de cargas conectadas al nodo X . En este análisis las cargas conectadas siempre serán inversores. Por otra parte, a pesar de que el *fanin* será incrementado; también se asumirá que la falla está siempre presente en el drenador de un solo dispositivo tipo N.

La figura 5.9 muestra las anteriores especificaciones, en ella se puede apreciar que el *fanin* es igual a j y el *fanout* es igual a k . La falla presente siempre estará en el drenador del transistor FN j -ésimo.

El vector de inicialización es: $Fi_1=0, Fi_2=0, \dots, Fi_{j-1}=0$ y $Fi_j=0$. Por otra parte, el vector de sensibilización será: $Fi_1=0, Fi_2=0, \dots, Fi_{j-1}=0$ y $Fi_j=1$.

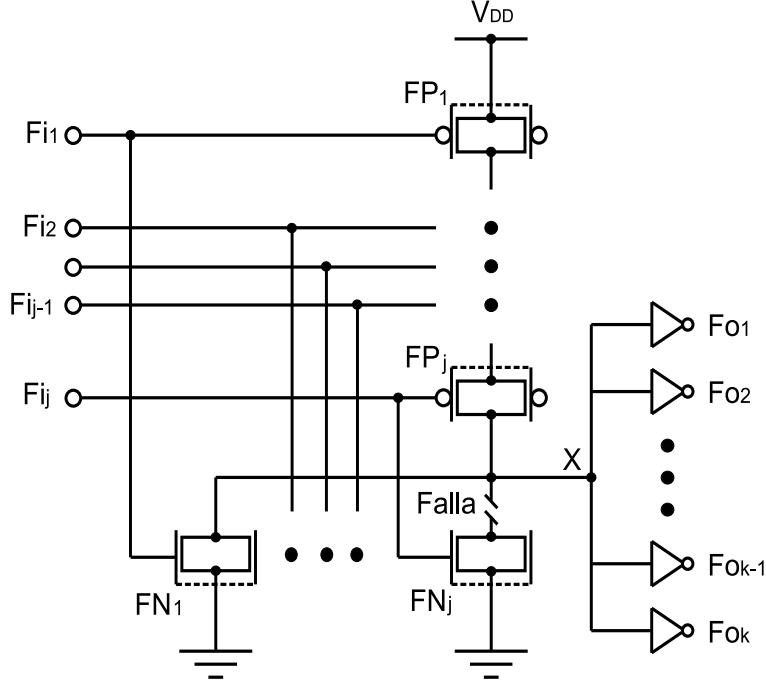


Figura 5.9: Compuerta NOR empleada para determinar el comportamiento de V_X a diferentes *fanin* y *fanout*.

Para determinar el comportamiento del voltaje V_X para diferentes *fanin* y *fanout*, únicamente tenemos que agregar más fuentes de corriente y capacitancias al circuito eléctrico equivalente en donde sean requeridos.

En la figura 5.9 se observa que al incrementar el *fanin* de la compuerta, se agregan más transistores tipo P en serie; a pesar de esto, se asume que las corrientes de fuga que entran al nodo X producidas por la red P son iguales a como si un solo transistor P estuviere propiciando las corrientes de fuga que entran al nodo X . Esto tiene validez, ya que cuando cambiamos el vector de inicialización al de sensibilización, únicamente cambiamos el valor lógico de la entrada Fi_j (de "0" a "1"); por lo tanto, el hecho de tener todas las demás entradas a un "0" lógico ocasiona que las terminales de fuente de todos los transistores en la red P

estén a un "1" lógico; con esto, la corriente subumbral de la red P es igual a la corriente subumbral del transistor Fi_j . En la figura 5.10 se muestra la red P ante diferentes $fanin$, en ella se ilustra las ideas anteriormente establecidas.

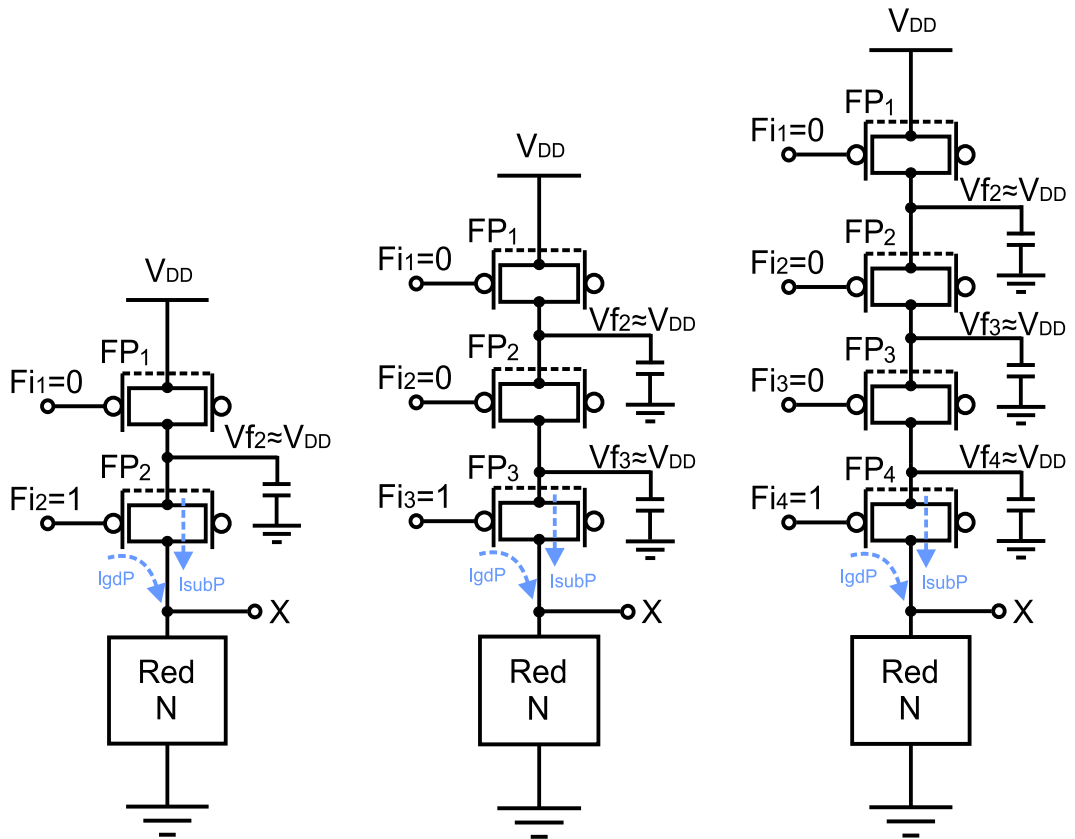


Figura 5.10: Corrientes de fuga generadas en la red P.

Con las anteriores consideraciones, fueron realizadas las simulaciones de la compuerta ante la falla *stuck-open* en el drenador del transistor FN j -ésimo para diferentes combinaciones de $fanin$ y $fanout$.

El incremento del $fanin$ y el $fanout$ produce variaciones en la respuesta estacionaria del voltaje en el nodo bajo análisis. La figura 5.11 muestra los valores de voltaje V_X cuando el tiempo tiende a infinito.

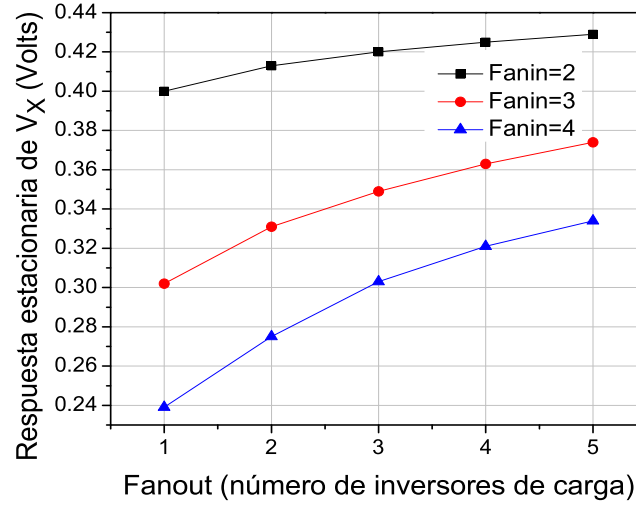


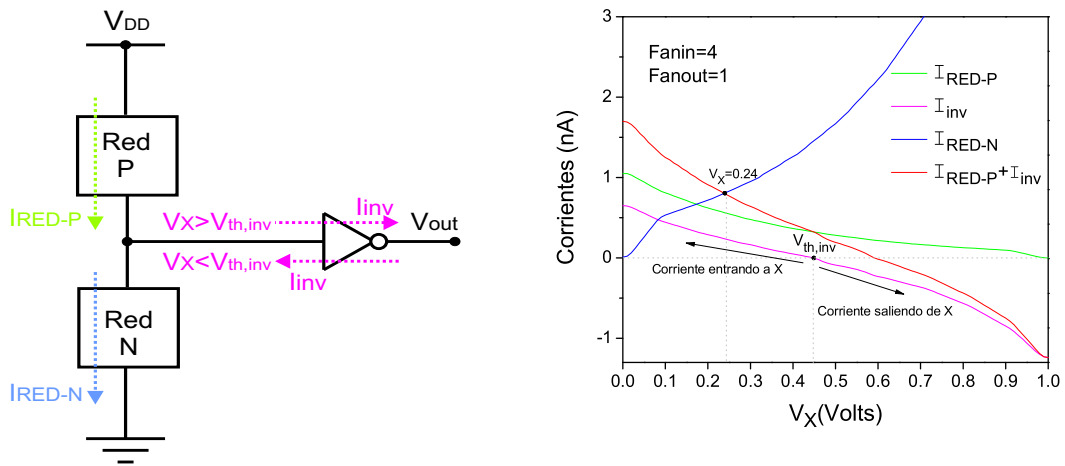
Figura 5.11: Respuesta estacionaria para diferentes $fanin$ y $fanout$ de la compuerta NOR con la falla *stuck-open* en el drenador de FNj.

Como se aprecia en la figura 5.11 cuando el $fanin$ es incrementado, hay un mayor número de transistores en paralelo en la red N, estos transistores están apagados para el vector de sensibilización aplicado. Debido a esto, las corrientes de fuga subumbral aumentan con el incremento del $fanin$ de la compuerta. Por lo tanto el voltaje en el nodo bajo análisis (V_X) disminuye con el aumento del $fanin$.

Para la compuerta NOR analizada, el voltaje V_X aumenta para un mayor $fanout$.

Para explicar el comportamiento estacionario del voltaje V_X a medida que el $fanout$ es aumentado, dividimos las corrientes que se originan en la compuerta NOR con el inversor de carga en tres componentes. El primer componente, es la sumatoria de corrientes que salen del nodo X debido a la red-N de la compuerta NOR; el segundo componente es la sumatoria de corrientes que entran al nodo

X debido a la red-P de la compuerta NOR; por último, el tercer componente es la corriente total originada en el inversor de carga, la cual puede estar entrando ó saliendo del nodo X ; si V_X es menor al voltaje de threshold del inversor, la corriente en el inversor entrará al nodo X ; por otra parte, si V_X es mayor al voltaje de threshold del inversor, entonces la corriente en el inversor saldrá del nodo X . Las anteriores especificaciones hechas son mostradas en la figura 5.12(a). Por otra parte, en la figura 5.12(b) están graficadas los tres componentes de corriente, más la suma del componente de la Red-P con la componente del inversor de carga.



(a) Componentes de corriente

(b) Gráfica de los componentes de corriente

Figura 5.12: División de las componentes de corriente en la compuerta NOR y el inversor de carga.

Como se observa en la figura 5.12(b), el voltaje estacionario de V_X se produce cuando las curvas I_{RED-N} e $I_{RED-P} + I_{inv}$ se intersectan.

Con la anterior observación, para explicar el comportamiento de la respuesta estacionaria de V_X mostrado en la figura 5.11, nos basaremos en la gráfica mostrada en la figura 5.13(a). En dicha gráfica se muestran: las sumatorias de las corrientes que salen del nodo X debidas a los transistores en paralelo de la red N; la sumatoria de las corrientes que entran, debidas a la red P y la corriente total

de los inversores de carga; todo lo anterior, cuando la compuerta tiene un *fanin* de 4 y *fanout* variables.

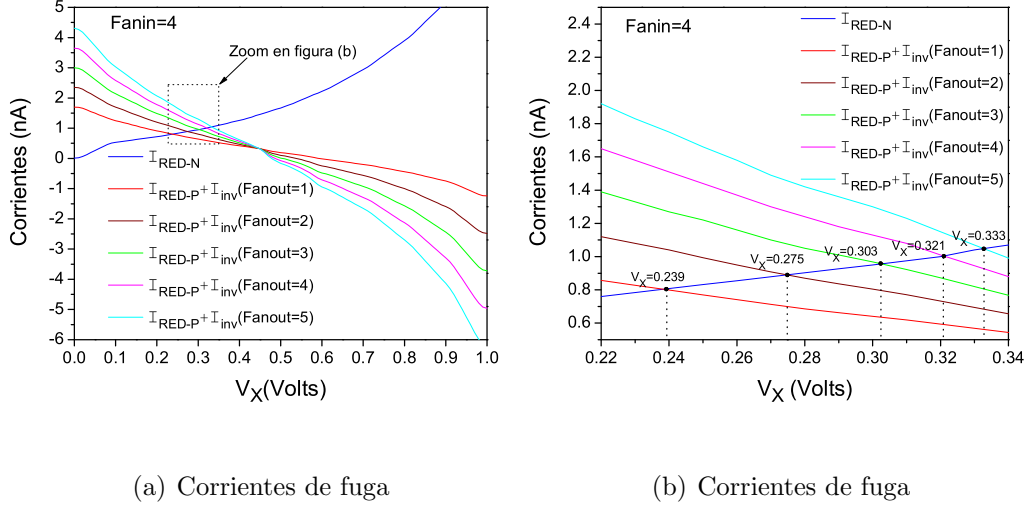


Figura 5.13: Comportamiento de las corrientes de fuga en función del V_X .

La figura 5.13(b) muestra una ampliación del rectángulo punteado en la figura 5.13(a); en ella, se aprecia claramente que a medida que el *fanout* es incrementado, las intersecciones entre las curvas de corriente que salen y las curvas de corriente que entran, se producen a valores más grandes del voltaje V_X . Lo anterior explica que a medida que el *fanout* es incrementado, el valor estacionario de V_X aumenta.

Debido a que el *holding time* depende de la capacitancia asociada en el nodo X y de las corrientes de fuga, también es de sumo interés estudiar el comportamiento de este parámetro ante diferentes combinaciones de *fanin* y *fanout*. La figura 5.14 muestra gráficamente la dependencia del *holding time* en función del *fanin* y del *fanout*.

Para la compuerta NOR estudiada, se ha encontrado que el *holding time* aumenta a medida que se incrementa el *fanout* de la compuerta.

En la sección 5.2.1, se comentó como puede obtenerse la derivada de V_X con

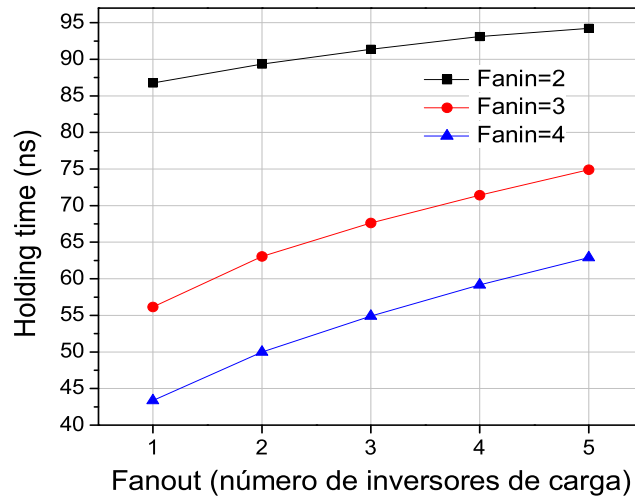


Figura 5.14: Dependencia del *holding time* con el *fanin* y el *fanout* de la compuerta NOR con la falla *stuck-open* en el drenador de FNj.

respecto al tiempo. Para fallas *stuck-open* siempre se cumple que la máxima tasa de decremento en V_X está presente en $t=0$; lo anterior, debido a que V_X se encuentra a un valor estable antes de aplicar el vector de sensibilización y también, debido a que las corrientes de fuga tienen valores máximos en $t = 0$.

Un análisis de máximas tasas de decremento en V_X se realiza para poder explicar el comportamiento del *holding time* para diferentes combinaciones de *fanin* y *fanout*. La figura 5.15 muestra las tasas máximas de decremento de V_X en función del *fanin* y el *fanout* de la compuerta.

El hecho de incrementar el *fanout* tiene dos consecuencias, una es que se incrementa la capacitancia equivalente en el nodo X (lo cual pudiera producir reducciones en las tasas de descarga) y la otra es que al conectar más cargas, también se incrementan las corrientes de fuga en nodo X (lo cual pudiera producir un aumento en las tasas de descarga). En la figura 5.15 se puede observar que la tasa máxima de decremento disminuye a medida que aumenta el *fanout* de la compuerta. Esto significa que para la compuerta NOR el aumento de la

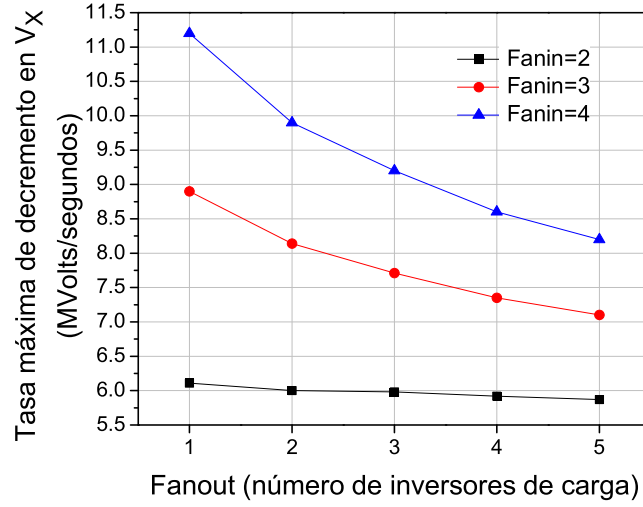


Figura 5.15: Tasas máximas de decremento en V_X para diferentes $fanin$ y el $fanout$ de la compuerta NOR con la falla *stuck-open* en el drenador de FNj.

capacitancia está siendo mayor que el aumento de las corrientes de fuga debidas a los inversores de carga.

Cuando incrementamos el $fanin$ de la compuerta, se introducen más transistores tipo N en paralelo, los cuales están conectados al nodo X . Este hecho produce un incremento en las las corrientes de fuga que salen del nodo X hacia tierra. Como se ha visto, estas corrientes son máximas en $t=0$; por tal razón, las tasas máximas de descarga son incrementadas.

Como se comentó previamente, la figura 5.15 sirve para explicar el comportamiento del *holding time* ante diferentes $fanin$ y $fanout$. A mayores tasas de decremento se obtienen métricas de *holding time* reducidos, debido a que como el V_X se descarga a una velocidad grande, el valor de $V_{DD} - |V_{thp}|$ se alcanza a tiempos reducidos; por otra parte a menores tasas de decremento se obtienen métricas de *holding time* elevados, debido a que como el V_X se descarga a velocidades reducidas, el valor de $V_{DD} - |V_{thp}|$ se alcanza a tiempos mayores.

5.2.2. Comportamiento ante un vector *anti-test*.

A continuación analizaremos el comportamiento de la compuerta NOR con la falla hasta ahora vista, para una secuencia de vectores de prueba que no pudiera detectar la falla *stuck-open*, el llamado vector *anti-test*. Para realizar esto, primero introduciremos el vector de inicialización: $AB=11$, con este vector se producirá un estado lógico "Bajo". Después aplicaremos el vector $AB=01$ en el instante $t=0$, esto hará que el nodo X entre en el estado de alta impedancia. En este caso, los componentes de fuga cargarán al nodo X a un voltaje fijo con el paso del tiempo. De manera similar al caso anterior, el nivel de voltaje en el nodo X , dependerá del equilibrio entre las corrientes de fuga que entren y salgan del nodo X .

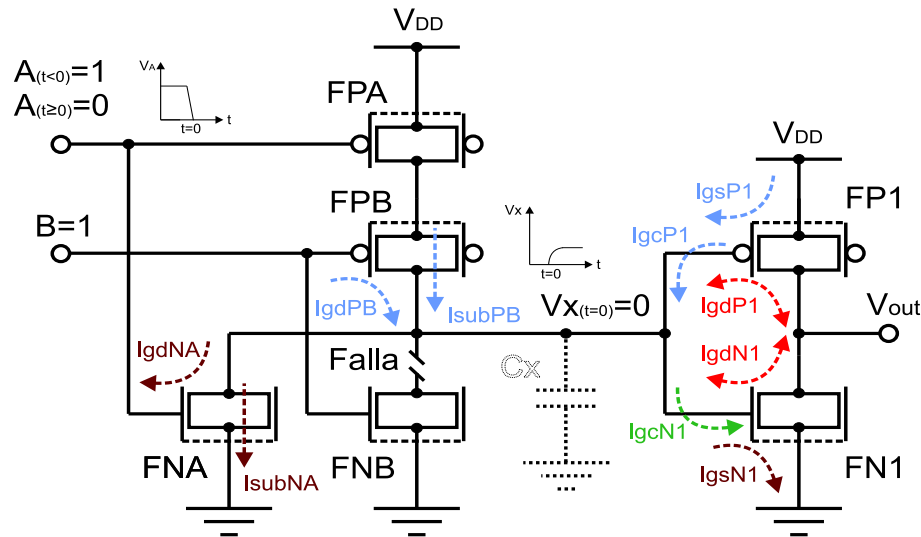


Figura 5.16: Corrientes de Fuga en la compuerta NOR con la puesta del vector *anti-test* para $t \geq 0$.

La figura 5.16 muestra las corrientes de fuga que están presentes en esta compuerta con la puesta del vector *anti-test* en las entradas A y B .

Los componentes de corriente de fuga que contribuyen a la carga del nodo V_X en $t = 0$ ($AB=01$) son:

1. I_{gdPB} : Este componente de fuga es la corriente EDT entre la compuerta y drenador de FPB. Debido a que el voltaje en el nodo X en $t = 0$ es igual a cero, V_{GD} es máximo. Por lo tanto este mecanismo de fuga es máximo.
2. I_{subPB} : Este componente de fuga es la corriente subumbral de FPB. De igual manera, este componente en $t = 0$ es máximo ya que se tiene un V_{SD} máximo.
3. I_{gsP1} : Este componente de fuga es la corriente EDT entre la fuente y la compuerta de FP1. De igual manera, en $t = 0$ es máximo debido a que se tiene un V_{SG} máximo.
4. I_{gcP1} : Este componente de fuga es la corriente de tuneleo de compuerta a canal de FP1, y está presente debido a que en $t = 0$ el transistor FP1 se encuentra encendido.

Las corrientes anteriormente citadas están marcadas de color azul en la figura 5.16.

Existen dos componentes de corriente de fuga que en $t = 0$ también contribuyen a la carga de V_X pero pudieran cambiar de sentido dependiendo de los valores evolutivos de los voltajes V_X y V_{out} , dichos componentes son:

1. I_{gdP1} : Este componente de fuga es la corriente EDT entre el drenador y la compuerta de FP1. En $t = 0$ es máximo, ya que el inversor provoca que se tenga un V_{DG} máximo en ese instante de tiempo.
2. I_{gdN1} : Este componente de fuga es la corriente EDT entre el drenador y la compuerta de FN1. De igual manera que la corriente I_{gdP1} , en $t = 0$ es máximo, por la misma razón que la corriente I_{gdP1} .

Las corrientes anteriormente citadas están marcadas de color rojo en la figura 5.16. El cambio de sentido de estas corrientes, se produce cuando V_X llega a au-

mentar por encima del nivel de threshold del inversor formado por FN1 y FP1.

A medida que el voltaje V_X es elevado, el valor de los componentes de fuga mencionados anteriormente se ven reducidos, ya que el voltaje que las propicia se reduce con el paso del tiempo. Por otra parte, el aumento del voltaje en el nodo X , propicia que otros componentes de fuga empiecen a tener un efecto considerable. Los componentes de corriente de fuga que son incrementados a medida que el voltaje V_X es elevado, son los siguientes:

1. I_{gdNA} : Este componente de fuga es la corriente EDT entre la compuerta y drenador de FNA. Conforme el voltaje V_X se eleva, este componente crece también.
2. I_{subNA} : Este componente de fuga es la corriente subumbral de FNA. De manera similar, a medida que el voltaje en el nodo X aumenta, este también lo hace ya que depende del voltaje V_{DS} .
3. I_{gsN1} : Este componente de fuga es la corriente EDT de FN1. De manera similar, a medida que el voltaje en el nodo X aumenta, también aumenta V_{GS} produciendo un incremento en esta corriente.
4. I_{gcN1} : Este componente de fuga es la corriente de compuerta a canal de N1 (corriente verde en la figura 5.16) y se llega a presentar si el voltaje V_X aumenta al valor de V_{thN1} , ya que bajo esta condición, el transistor TN1 es activado.

Los anteriores componentes de corriente de fuga contribuyen a descargar el voltaje V_X .

La condición de equilibrio es alcanzada cuando las sumas de las corrientes de fuga que entran al nodo X es igual a la suma de las que salen del mismo. Es decir cuando la corriente en el capacitor C_X sea cero.

Para simular el comportamiento de la compuerta ante el vector *anti-test*, generamos un circuito eléctrico equivalente en HSPICE siguiendo una metodología similar a la presentada en la sección 5.1.

La figura 5.17(a) muestra el comportamiento del voltaje V_X ante la secuencia de vectores de prueba $AB = 00 \rightarrow AB = 01$ (*anti-test*).

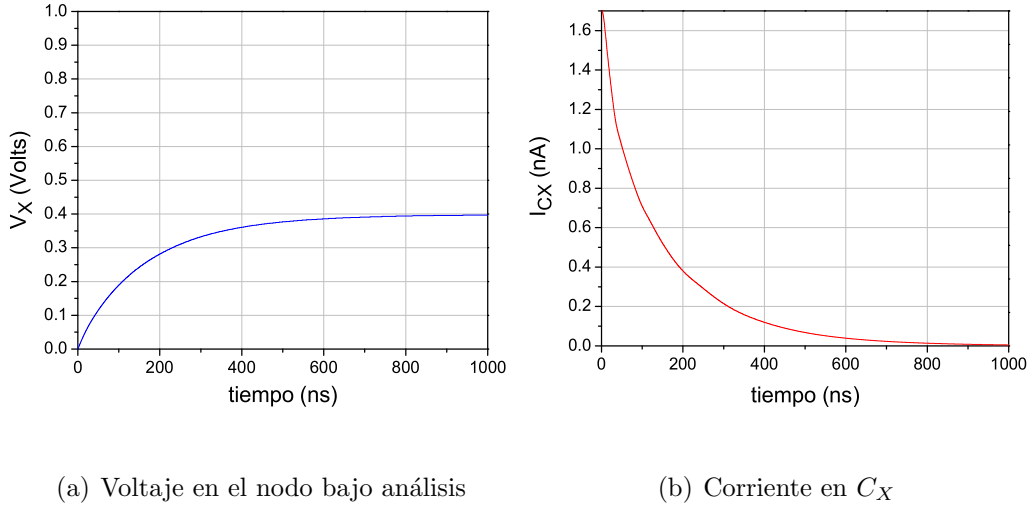


Figura 5.17: Comportamiento de V_X e I_{CX} con la puesta del vector *anti-test* en compuerta NOR con falla *stuck-open* en el drenador de FNB.

Como se puede apreciar en la figura 5.17(a), el voltaje V_X empieza a crecer exponencialmente desde 0 y pasado $1\mu s$ se alcanza la condición de equilibrio $V_X=0.4V$. Por otra parte, en la figura 5.17(b) se muestra el comportamiento de la corriente en el capacitor C_X . Se puede apreciar de las figuras 5.17(a) y (b) que la condición de equilibrio se alcanza cuando I_{CX} es cero Amperios.

Un comentario importante es que ante la falla presente, el valor de la respuesta estacionaria adquiere el mismo valor (0.4V), no importando si se ha aplicado un vector correcto de prueba ó si se ha aplicado el vector *anti-test*. La figura 5.18

muestra el comportamiento del voltaje V_X para el vector correcto de prueba y para el vector *anti-test*, en ella se aprecia la observación anteriormente hecha.

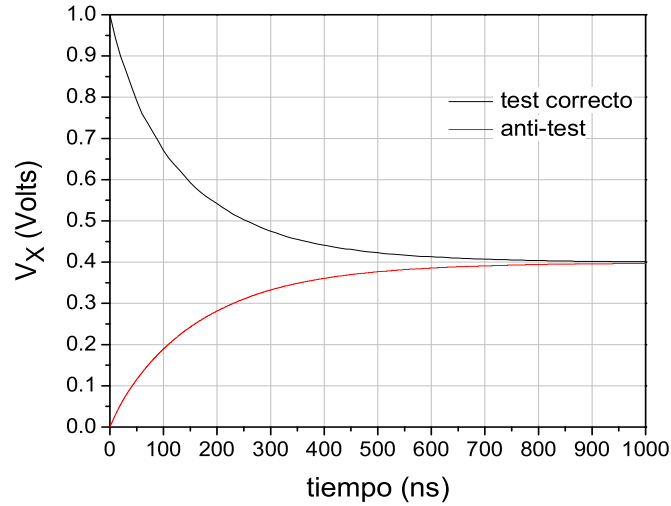


Figura 5.18: El valor de V_X tiene el mismo valor estacionario para un vector correcto y un vector *anti-test*.

Comportamiento para diferentes *fanin* y *fanout*.

A continuación, analizaremos el comportamiento de la falla *stuck-open* ante diferentes valores de *fanin* y *fanout* con la puesta del vector *anti-test*. Para hacer esto, de nueva cuenta nos basaremos en la figura 5.9; en este caso, se asume que la falla estará siempre presente en el drenador de FN j -ésimo y la secuencia de vectores *anti-test* será:

$Fi_1=1, Fi_2=1, \dots, Fi_{j-1}=1$ y $Fi_j=1$ (inicialización) $\rightarrow Fi_1=0, Fi_2=0, \dots, Fi_{j-1}=0$ y $Fi_j=1$ (sensibilización).

Idealmente sin la presencia de corrientes de fuga, el voltaje V_X debiera mantenerse a 0V cuando se aplica el vector de sensibilización *anti-test*. Como se ha visto esto no ocurre, las corrientes de fuga causan que V_X alcance valores de voltaje arriba de 0V.

La respuesta estacionaria de V_X para diferentes *fanin* y *fanout* es la misma que la presentada cuando aplicabamos el vector correcto de prueba (ver figura 5.11). Este hecho da a entender que a pesar de aplicar el vector *anti-test*, la estructura de la compuerta ante la falla *stuck-open* hace que la respuesta estacionaria de V_X converja a un único valor.

Debido a que el voltaje V_X alcanza valores arriba de cero Volts, definimos al *holding time* como el tiempo que toma V_X en alcanzar el valor de V_{thn} .

La figura 5.19 muestra los valores del *holding time* ante diferentes *fanin* y *fanout*.

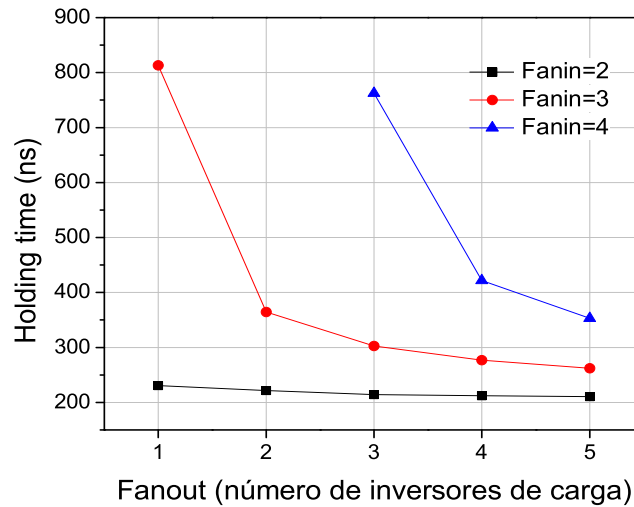


Figura 5.19: Dependencia del *holding time* con la puesta del vector *anti-test* para diferentes *fanin* y *fanout* de la compuerta NOR con la falla *stuck-open* en el drenador de FNj.

En base a la figura 5.19, cuando se tiene un *fanin* igual a 2, el *holding time* no muestra gran variación a diferentes *fanout*, esto debido a que como se muestra en la figura 5.20 todas las curvas con un *fanin* de 2 cruzan el nivel de V_{thn}

(línea punteada) a tiempos muy cercanos entre ellas debido a que la respuesta estacionaria de V_X es de valor grande en comparación cuando tenemos un *fanin* de 3 y 4 en donde si hay presente una gran variación del *holding time* con el *fanout*.

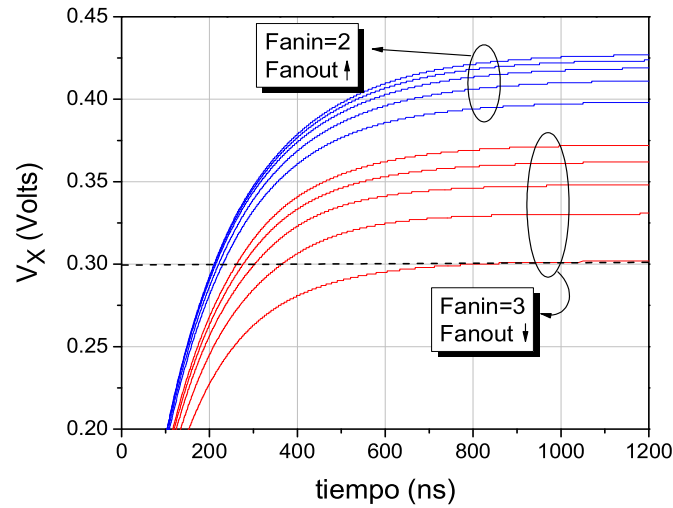


Figura 5.20: Comportamiento de V_X para *fanin* 2 y 3 con *fanout* variables ante la puesta del vector *anti-test* en la compuerta NOR con la falla *stuck-open* en el drenador de FNj.

Para un *fanin* de 4, el *holding time* no existe cuando la compuerta tiene un *fanout* de 1 y 2 ya que el valor estacionario bajo estas condiciones es de 0.23V y 0.27V respectivamente, es decir nunca alcanza el valor de $V_{thn} = 0,3V$. Por tal razón, los puntos bajo estas condiciones no aparecen en la gráfica de la figura 5.19.

Un análisis de máximas tasas de incremento en V_X (similar al presentado anteriormente), puede ser empleado para explicar el comportamiento del *holding time*. La figura 5.21 muestra la gráfica de las tasas máximas de incremento en V_X .

Cuando aumenta el *fanout*, en $t = 0$ hay un número mayor de corrientes de tuneleo entrando al nodo X , produciendo un incremento en las tasas máximas de

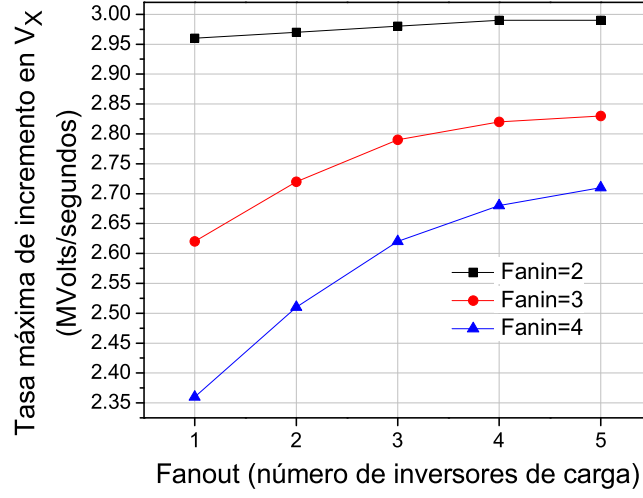


Figura 5.21: Tasas máximas de incremento en V_X para diferentes *fanin* y *fanout* de la compuerta NOR con la falla *stuck-open* en el drenador de FNj con la puesta del vector *anti-test*.

carga y reduciendo el valor de la métrica del *holding time*. Por otro lado, cuando aumentamos el *fanin* hay un número mayor de corrientes saliendo del nodo X cuando el voltaje es inicialmente cargado por las corrientes que entran al nodo X , esto ocasiona un decremento en las tasas máximas de carga y por consiguiente un incremento en la métrica del *holding time*.

Comparando las respuestas de la métrica del *holding time* cuando aplicamos el vector correcto y el vector *anti-test*, se observa que estas respuestas son mayores para el vector *anti-test*. Para poder explicar el por que de la anterior observación, debemos tener presente que las corrientes de fuga en los transistores P son menores a las corrientes de fuga generadas en los transistores N. Cuando aplicamos el vector *anti-test*, las corrientes que propician la carga del voltaje V_X son las corrientes EDT de compuerta a drenador y la corriente subumbral del transistor FPj, más todas las corrientes de tuneleo producidas por los inversores de carga, que en su mayoría son generadas en los transistores P. Por otra parte,

cuando aplicamos el vector correcto de prueba, las corrientes que propician la descarga del voltaje V_X son las corrientes EDT de drenador a compuerta y las corrientes subumbral de los transistores $FN_1 \dots FN_{j-1}$ más todas las corrientes de tuneleo producidas por los inversores de carga que en su mayoría son generadas en los transistores N.

El hecho de tener métricas de *holding time* grandes ayuda al *test*, ya que a grandes valores de esta métrica, es menos probable que el vector de sensibilización sea invalidado.

5.2.3. *Stuck-open* en el drenador de FPB.

Hasta este punto de análisis, hemos determinado el comportamiento de la compuerta a ser probada mediante el empleo de un vector correcto de prueba y un vector *anti-test* a las entradas de la compuerta NOR, para diferentes valores de *fanin* y *fanout*.

A continuación analizaremos el comportamiento del nodo bajo análisis cuando la falla está presente en el drenador del dispositivo FPB de la compuerta NOR considerada hasta aquí.

Bajo este panorama, el vector de inicialización es: $AB = 11$ y el de sensibilización aplicado en $t = 0$ es: $AB = 00$, con esto se tratará de que el nodo bajo análisis cambie del estado de "0" lógico a "1" lógico. La figura 5.22 muestra la compuerta NOR con la falla mencionada y las corrientes de fuga que intervienen en la determinación del voltaje en el nodo bajo análisis.

Las corrientes marcadas en la figura 5.22 tienen la misma nomenclatura que se ha venido manejando. Las marcadas de color azul, son las encargadas de inyectar carga al nodo X ; mientras que las marcadas de color café, provócan un desalojo de carga; las de color rojo son las corrientes que pudieran cambiar de sentido,

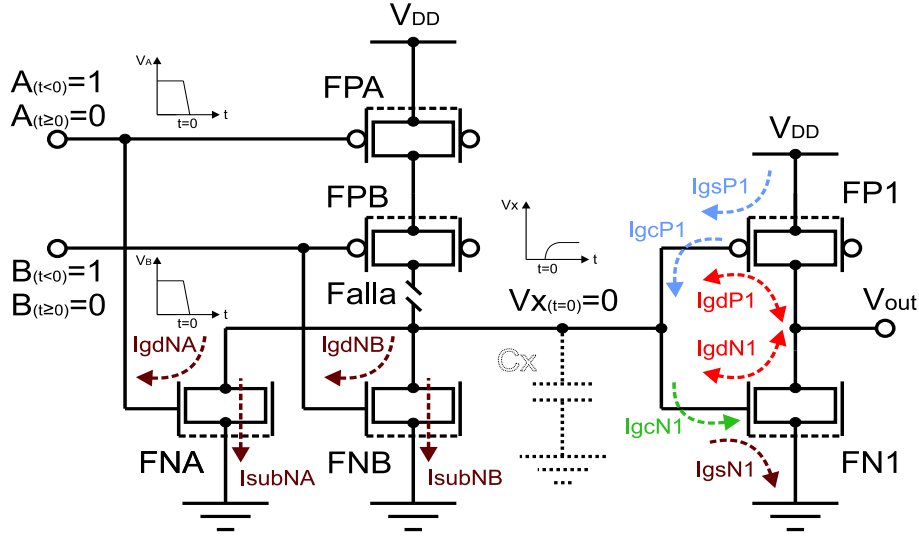


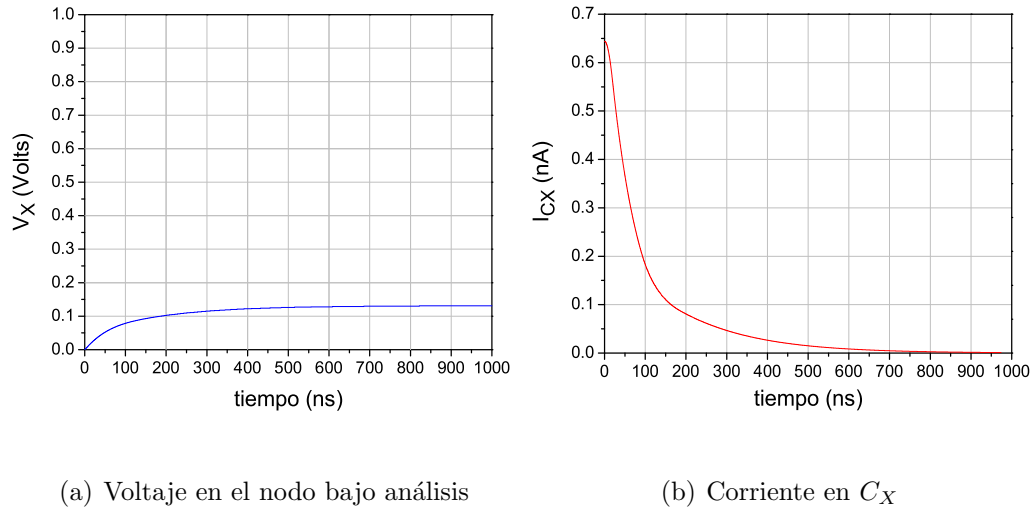
Figura 5.22: Falla *stuck-open* en el drenador de FPB y corrientes de fuga presentes para $t \geq 0$.

dependiendo de los valores evolutivos de los voltajes a la entrada y salida del inversor de carga; por último, la marcada de color verde puede presentarse si el valor del voltaje a la entrada del inversor es mayor al V_{thn} .

Debido a que en $t = 0$ el voltaje V_X es 0; las corrientes: I_{gsP1} , I_{gcP1} , I_{gdP1} e I_{gdN1} tendrán valores máximos en ese instante de tiempo. Estas corrientes provocarán un aumento en el voltaje V_X . Dicho aumento producirá que las corrientes: I_{gdNA} , I_{subNA} , I_{gdNB} , I_{subNB} e I_{gsN1} comiencen a aumentar. Si el voltaje V_X aumentara por encima del nivel de V_{thN1} , provocará la aparición de la corriente I_{gcN1} . Más aún, si el valor de V_X aumentara por encima del valor de threshold del inversor de carga, producirá que las corrientes: I_{gdP1} e I_{gdN1} cambien de sentido ayudando a la descarga de V_X .

Haciendo un análisis similar al realizado cuando teníamos la falla en el drenador del dispositivo FNB, determinamos nuestro circuito eléctrico equivalente y lo simulamos en HSPICE.

La figura 5.23 muestra el comportamiento del voltaje V_X y la corriente I_{CX} , bajo la secuencia de los vectores de prueba: $AB = 11 - > AB = 00$.



(a) Voltaje en el nodo bajo análisis

(b) Corriente en C_X

Figura 5.23: Comportamiento de V_X e I_{CX} en compuerta NOR con la falla *stuck-open* en el drenador de FPB.

Para esta falla, el *holding time* es el tiempo en el que V_X deja de comportarse como un "0" lógico. Para determinarlo, se establece que es el tiempo cuando V_X se eleva hasta alcanzar el valor de V_{thn} .

En base a la gráfica de la figura 5.23, se puede apreciar que el *holding time* no existe para esta falla, debido a que el voltaje en el nodo X nunca alcanza el valor del V_{thn} ($V_{thn}=0.3V$). El hecho de que no exista el *holding time* es muy bueno, ya que este nodo se comportará siempre como un "0" lógico.

Comportamiento para diferentes *fanin* y *fanout*.

Para determinar el comportamiento para diferentes *fanin* y *fanout*, de nueva cuenta, nos basaremos en la figura 5.9, con la única diferencia de que la falla *stuck-open* se encuentra presente en el drenador del transistor FP j -ésimo.

Bajo esta condición, el vector de inicialización será: $Fi_1=1, Fi_2=1, \dots, Fi_{j-1}=1$ y $Fi_j=1$. Por otra parte, el vector de sensibilización será: $Fi_1=0, Fi_2=0, \dots, Fi_{j-1}=0$ y $Fi_j=0$.

La figura 5.24 muestra la respuesta estacionaria de V_X ante diferentes combinaciones de $fanin$ y $fanout$.

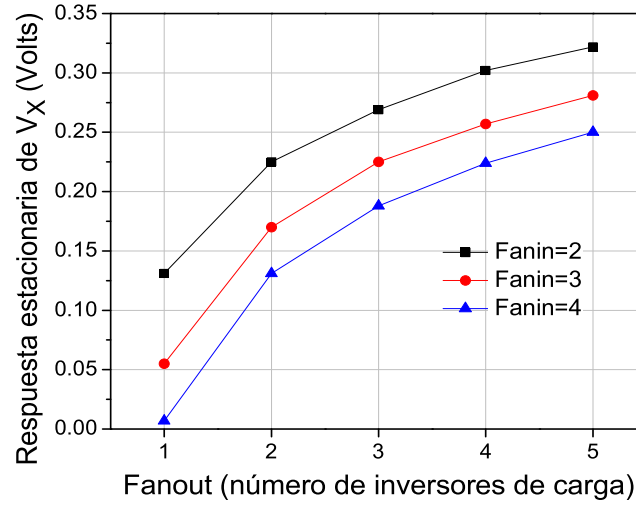


Figura 5.24: Respuesta estacionaria para diferentes $fanin$ y $fanout$ de la compuerta NOR con falla *stuck-open* en el drenador de FP_j

Como se observa en la figura 5.24, cuando el $fanin$ se incrementa, la respuesta estacionaria de V_X se reduce debido a la presencia de un número mayor de corrientes saliendo del nodo X . Por otra parte cuando el $fanout$ se incrementa, debido a que hay un número mayor de corrientes de fuga entrando al nodo X , se produce un aumento en el voltaje V_X .

Si el voltaje V_X aumentará al valor de $V_{thn} = 0,3V$, el voltaje en este nodo dejará de comportarse como un "0" lógico y se tendrá que considerar la métrica del *holding time* para realizar un *test* correcto.

Como se aprecia en la figura 5.24, las condiciones que propician que el voltaje V_X se eleve por encima del valor de V_{thn} es cuando la compuerta tiene un *fanin* igual a 2 con *fanout* de 4 y 5. Por tal razón, bajo estas circunstancias, la métrica del *holding time* debe ser considerada en el *test*.

El *holding time* para un *fanin* igual a 2 con *fanout* de 4 y 5 es de 826.2ns y 453.2ns respectivamente. Debido a que para todas las demás combinaciones de *fanin* y *fanout* no existe la métrica del *holding time*, un estudio de máximas tasas de incremento en V_X es irrelevante.

Un comentario importante es que para esta falla no existe el vector *anti-test*; debido a que ningún vector de inicialización a la entrada puede producir un "1" lógico en el nodo X por la abertura presente en el drenador de FPB.

5.3. Resultados obtenidos en compuertas NAND.

La figura 5.25 muestra la compuerta NAND que será empleada en el análisis de esta sección. De manera similar a las compuertas NOR estudiadas en la anterior sección, esta tiene un inversor de carga a su salida.

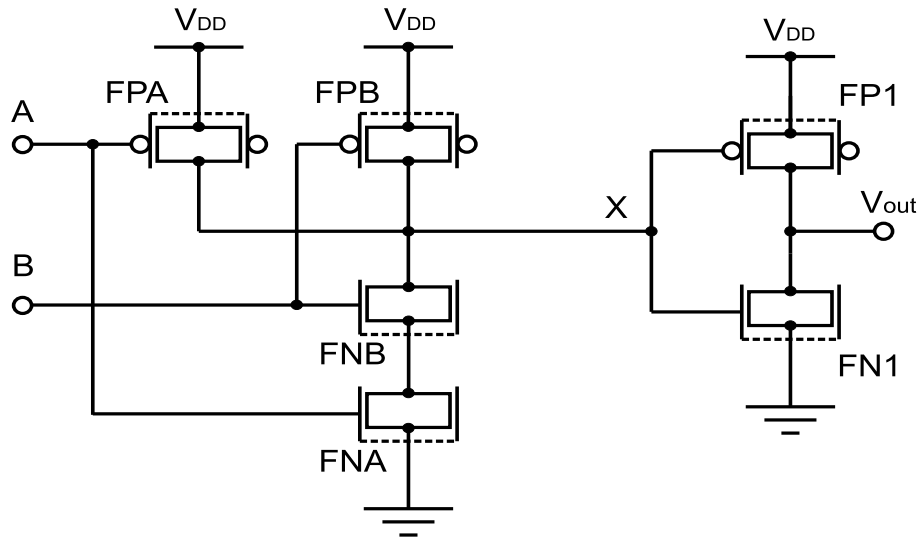


Figura 5.25: Compuerta NAND estática a analizar.

Para esta compuerta, también se estudiará el comportamiento del nodo bajo análisis para dos posibles fallas *stuck-open*. Estas fallas son análogas a las fallas vistas en la compuerta NOR y son tratadas en las siguientes subsecciones.

5.3.1. *Stuck-open* en drenador de FNB.

La figura 5.26 muestra la compuerta NAND con falla *stuck-open* presente en el drenador del transistor FNB y las corrientes de fuga que afectan el nodo X .

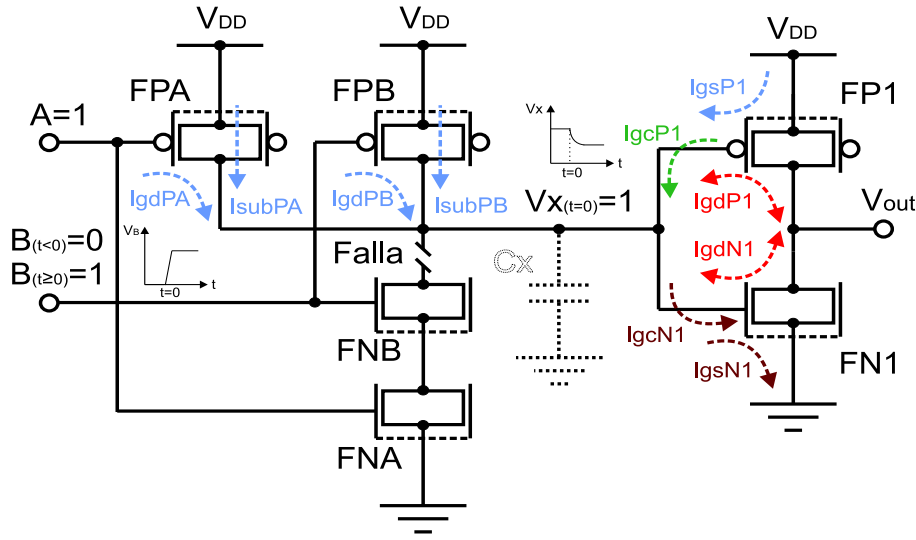


Figura 5.26: Falla *stuck-open* en el drenador de FNB y corrientes de fuga presentes para $t \geq 0$.

Para realizar el análisis de esta falla, se sigue un método similar a los realizados hasta aquí. La secuencia de vectores empleados para la detección de esta falla es: $AB = 10 \rightarrow AB = 11$.

Debido a que en $t = 0$ el voltaje V_X está a un "1" lógico; las corrientes: I_{gsN1} , I_{gcN1} , I_{gdN1} e I_{gdP1} tendrán valores máximos en ese instante de tiempo, estas corrientes provocarán una reducción en el voltaje V_X . Dicha reducción producirá que las corrientes: I_{gdPA} , I_{subPA} , I_{gdPB} , I_{subPB} e I_{gsP1} comiencen a aumentar. Si el voltaje V_X disminuyera por debajo del nivel de $V_{DD} - |V_{thp}|$, provocará la apari-

ción de la corriente I_{gcP1} . Más aún, si el valor de V_X se reduce por debajo del valor de threshold del inversor de carga, producirá que las corrientes: I_{gdP1} e I_{gdN1} cambien de sentido ayudando a la carga de V_X .

La respuesta estacionaria del voltaje V_X , la métrica de *holding time* y la tasa máxima de carga son mostrados en la siguiente sección, en ella también se mostrarán los resultados ante diferentes combinaciones de *fanin* y *fanout*.

Comportamiento para diferentes *fanin* y *fanout*.

Para analizar la falla en la compuerta NAND ante diferentes *fanin* y *fanout*, se asume que tenemos la compuerta tal y como se muestra en la figura 5.27. En esta figura se aprecia que el *fanin* es igual a j y el *fanout* es igual a k . La falla presente siempre estará en el drenador del transistor FN j -ésimo.

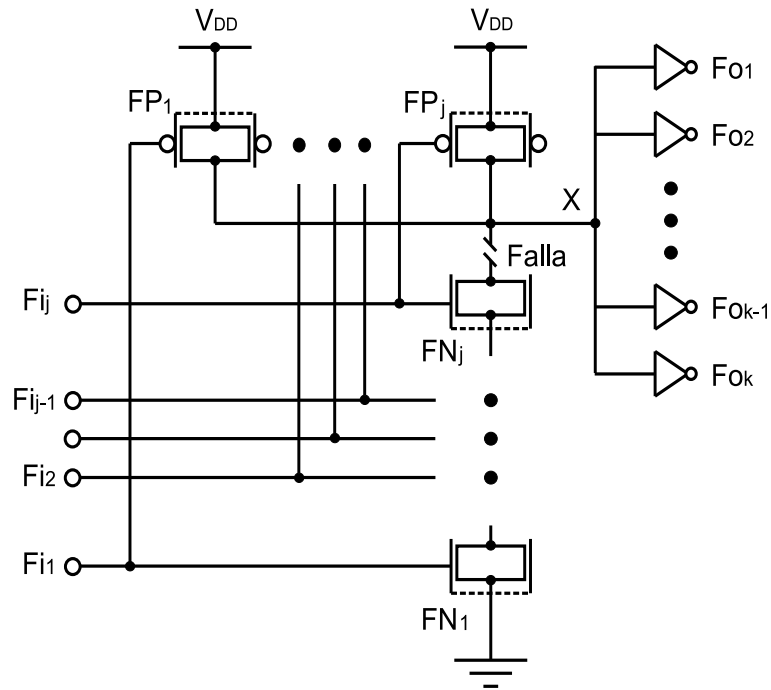


Figura 5.27: Compuerta NAND empleada para determinar el comportamiento de V_X a diferentes *fanin* y *fanout*.

Bajo la estructura mostrada en la figura 5.27, el vector de inicialización será: $Fi_1=1, Fi_2=1, \dots, Fi_{j-1}=1, Fi_j=0$. Por otra parte, el vector de sensibilización será: $Fi_1=1, Fi_2=1, \dots, Fi_{j-1}=1, Fi_j=1$.

En la figura 5.28 se muestra los resultados de las respuestas estacionarias de V_X para diferentes combinaciones de $fanin$ y $fanout$.

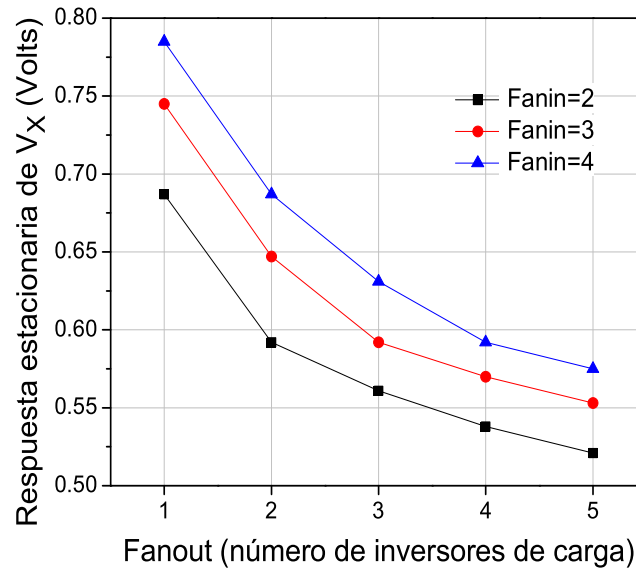


Figura 5.28: Respuesta estacionaria de V_X de la compuerta NAND con falla en el drenador de FNj para $fanin$ y $fanout$.

Como se observa en la figura 5.28, a medida que el $fanin$ es es aumentado, la respuesta final de V_X es mayor; por otra parte, a medida que el $fanout$ es mayor, la respuesta final de V_X es reducida. Para explicar el comportamiento de la respuesta estacionaria de V_X , nos basaremos en la figura 5.29, en ella se han graficado los componentes de corriente de fuga en la red-P y en los inversores de carga para diferentes $fanout$.

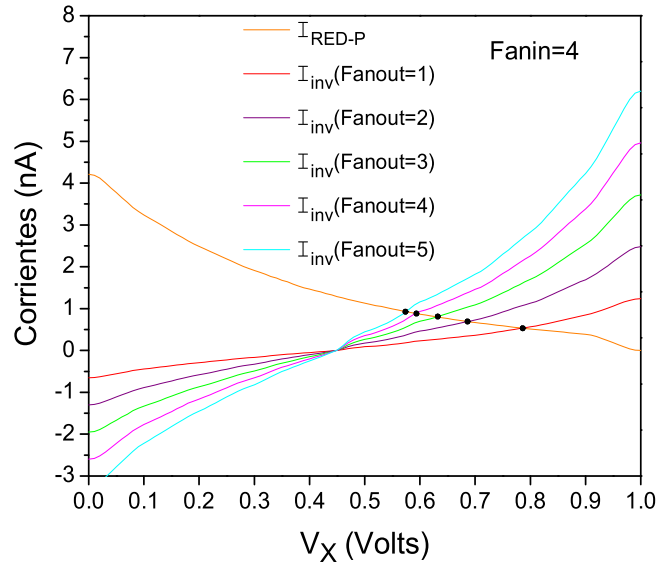


Figura 5.29: Gráfica de la componente de corriente en la red-P y en el inversor de carga.

La respuesta estacionaria de V_X se presenta cuando las curvas de corriente de la red-P se intersectan con las curvas de corriente de los inversores de carga. Como se observa, un aumento en el *fanout* produce intersecciones a valores reducidos de V_X . Por otra parte, si el *fanin* es reducido, las corrientes en la red-P serán menores, produciendo intersecciones a valores más pequeños de V_X .

En la figura 5.30(a), se aprecian los valores del *holding time*. Como se ha comentado previamente, el *holding time* se incrementa cuando las tasas máximas de descarga son bajas (*fanin* grandes y *fanout* reducidos); y se reduce cuando las tasas máximas de descarga son elevadas (*fanin* reducidos y *fanout* elevados). Un dato importante a resaltar es que para *fanin* iguales a 3 y 4 con *fanout* de 1, no existe *holding time* (por tal motivo no aparecen estos puntos en la gráfica) ya que la respuesta estacionaria de V_X nunca alcanza el valor de $V_{DD} - |V_{thp}|$ (0.7V); esto puede ser visto en la figura 5.30(b).

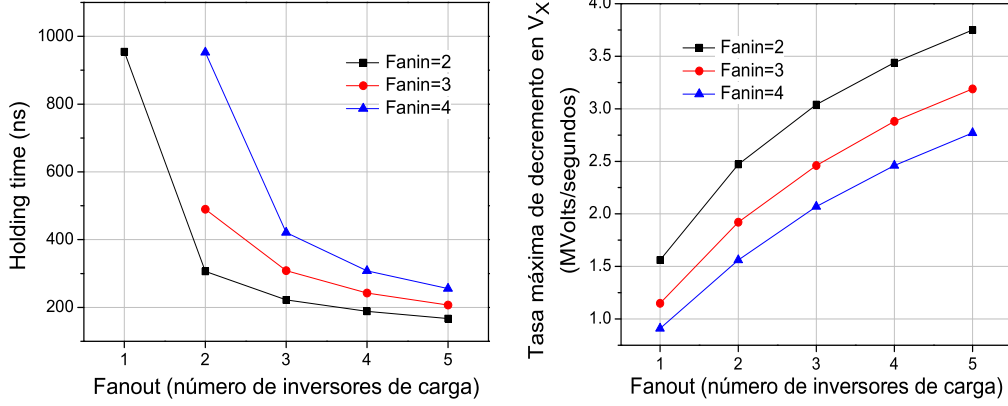
(a) *Holding time*(b) Rapidez máxima de descarga de V_X

Figura 5.30: Comportamiento de tasas máximas de carga y *holding time* de la compuerta NAND con falla en el drenador de FNj para diferentes *fanin* y *fanout*.

Finalmente, la figura 5.30(b), se aprecia que las tasas máximas de descarga se incrementan cuando el *fanout* es mayor, esto debido a que las corrientes que inicialmente descargan al nodo X son las corrientes de fuga presentes en los transistores N de los inversores de carga. Por otro lado, a medida que el *fanin* se incrementa se obtienen reducciones de las tasas de descarga, ya que se incrementa el número de corrientes de fuga producidas por los transistores P.

5.3.2. *Stuck-open* en drenador de FPB

La figura 5.31 muestra la compuerta NAND para un *fanin* de dos y *fanout* de uno, con la falla *stuck-open* en el drenador del transistor FPB. En esta misma figura también se ilustran las corrientes de fuga que alteran el voltaje en el nodo X .

Ante la falla presente, el vector de inicialización es: $AB = 11$ y el sensibi-

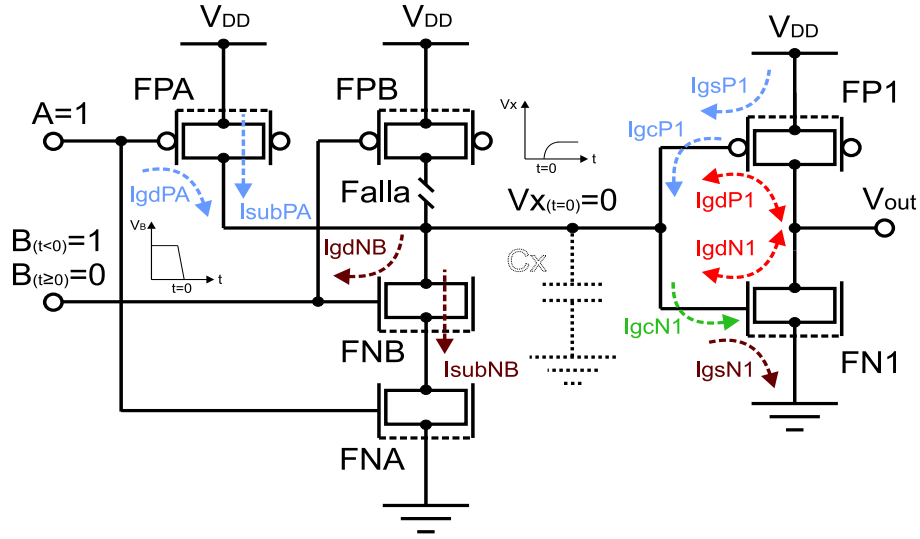


Figura 5.31: Falla *stuck-open* en el drenador de FPB y corrientes de fuga presentes para $t \geq 0$.

lización es: $AB = 10$. De igual manera que los análisis hasta ahora vistos, se asume que el vector de inicialización está siempre presente y en el tiempo $t = 0$, se aplica el vector de sensibilización. La anterior idea también es mostrada en la figura 5.31.

La respuesta estacionaria del voltaje V_X , la métrica de *holding time* y la tasa máxima de carga son mostrados en el siguiente apartado, en donde también se muestran los resultados para diferentes combinaciones de *fanin* y *fanout*.

Comportamiento para diferentes *fanin* y *fanout*.

Para determinar el comportamiento del voltaje V_X ante diferentes *fanin* y *fanout*, de nueva cuenta nos basaremos en la estructura mostrada en la figura 5.27, con la única diferencia en que la falla *stuck-open* estará presente en el drenador de el transistor FP_j -ésimo. Bajo esta consideración, el vector de inicialización será: $Fi_1=1, Fi_2=1, \dots, Fi_{j-1}=1, Fi_j=1$. Por otra parte, el vector de sensibilización será: $Fi_1=1, Fi_2=1, \dots, Fi_{j-1}=1, Fi_j=0$.

En la figura 5.32 se muestran las gráficas de las respuestas estacionarias del voltaje V_X .

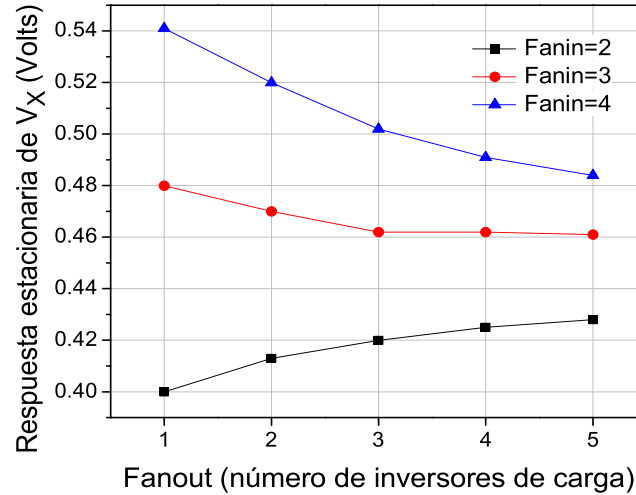


Figura 5.32: Respuesta estacionaria de V_X para diferentes $fanin$ y $fanout$ de la compuerta NOR con falla *stuck-open* en el drenador de FP_j

Como se observa en la figura 5.32, la respuesta estacionaria de V_X aumenta cuando el $fanin$ se incrementa debido a que las corrientes que entran al nodo X en $t = 0$ son mayores y al final todas ellas deben ser equilibradas por las corrientes que salgan del nodo X .

Cuando el $fanout$ aumenta, hay dos tendencias marcadas, si el $fanin$ es de 2 se aprecia un incremento en la respuesta estacionaria; por otra parte, cuando la compuerta tiene un $fanin$ de 3 y 4, se aprecia un decremento en las respuestas estacionarias de V_X . Para explicar estos dos comportamientos, haremos referencia a la figura 5.33. En dicha figura, se muestran las gráficas de las corrientes que salen del nodo X , debidas a la red N; y la sumatoria de las corrientes que entran, debidas a la red P y a la corriente total neta de los inversores de carga cuando

la compuerta tiene un *fanin* de 2 (fig.(a)) y un *fanin* de 3 (fig.(b)) ante *fanout* variables.

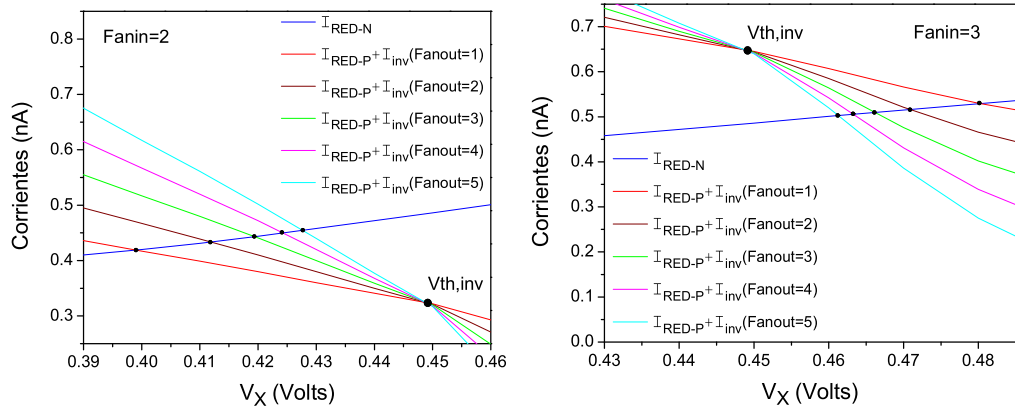
(a) *fanin* de 2(b) *fanin* de 3

Figura 5.33: Comportamiento de las corrientes de fuga en función del V_X .

Las figuras 5.33(a) y 5.33(b) muestran que el punto de cruce entre todas las corrientes que entran al nodo X ocurre en el punto de threshold de los inversores de carga ($V_{th,inv}$). Se puede observar que por debajo de $V_{th,inv}$, un incremento en el *fanout* ocasiona un incremento en las corrientes que entran al nodo X . Por otra parte por encima de $V_{th,inv}$, un incremento en el *fanout* ocasiona un decremento en las corrientes que entran al nodo X .

Cuando el *fanin* es 2 (ver figura 5.33(a)), la curva de las corrientes que salen del nodo X (I_{RED-N}) intersecta a las curvas que entran al nodo X ($I_{RED-P} + I_{inv}$) a un nivel menor de $V_{th,inv}$. Para este caso, un aumento en el *fanout*, ocasiona que las curvas que entran al nodo se desplacen hacia niveles superiores, provocando con ello intersecciones y por ende, respuestas estacionarias mayores del voltaje V_X .

Cando el *fanin* es 3 (ver figura 5.33(b)), los valores de las corrientes que entran al nodo X se han incrementado, debido a que hay más transistores tipo P en paralelo. Bajo esta circunstancia, las curvas de corrientes que entran al nodo

X se han desplazado hacia niveles superiores en comparación a la figura 5.33(a). Este hecho ha producido que el punto de threshold se ubique por encima de las corrientes que salen del nodo X . Por tal motivo, las intersecciones de las corrientes se producirán a niveles mayores de $V_{th,inv}$. Ahora, el aumento en el $fanout$ ocasiona que las curvas que entran al nodo X se reduzcan, provocando con ello intersecciones y por ende, respuestas estacionarias menores del voltaje V_X .

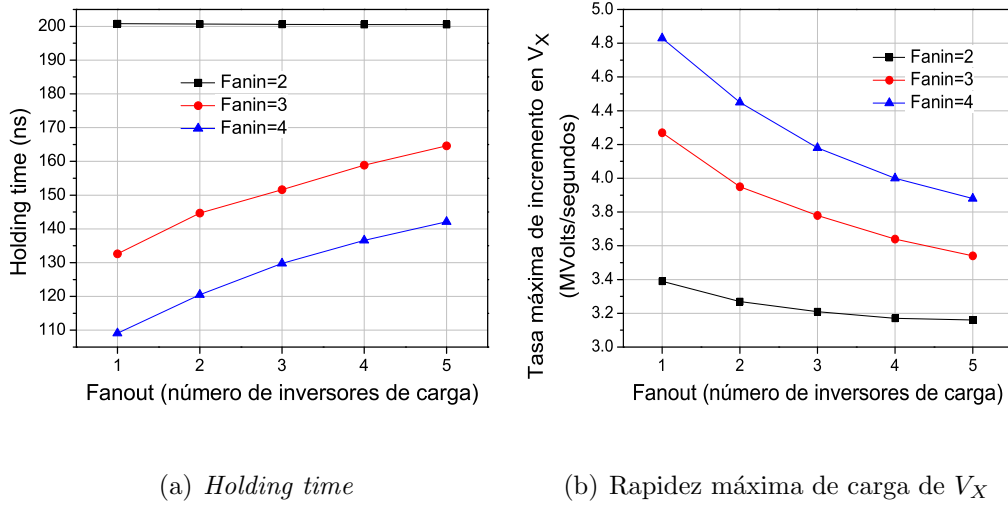


Figura 5.34: Comportamiento del, *holding time* y tasas máximas de carga de la compuerta NAND con falla en el drenador de FPB para diferentes $fanin$ y $fanout$.

La figura 5.34(a), se muestra el comportamiento del *holding time*; se ha comentado previamente que el *holding time* y las tasas máximas de carga tienen comportamientos opuestos. Cuando la velocidad de carga aumenta, el *holding time* disminuye y viceversa. Esto debido a que teniendo tasas de incremento mayores, se alcanza más rápido el valor de V_{thn} reduciendo el valor del *holding time*. Por otro lado, cuando las tasas de incremento son menores, el valor de V_{tnn} se alcanza a tiempos mayores, produciendo incrementos en el *holding time*.

Como se observa en la figura 5.34(b), la tasa máxima de carga aumenta cuan-

do incrementamos el *fanin* de la compuerta, esto debido a que al aumentar el número de transistores P a la entrada, también aumenta el número de corrientes de fuga entrando al nodo X . Por otra parte, cuando incrementamos el *fanout*, se reduce la velocidad de carga de V_X . A pesar de que se produce un aumento de las corrientes de fuga entrando al nodo X , también se genera un aumento considerable de la capacitancia C_X . El aumento de la capacitancia tiene un efecto más impactante en el comportamiento de la tasa máxima de carga. Por tal razón, las tasas máximas se reducen conforme el *fanout* aumenta.

5.4. Efecto de la carga en la detección de fallas *stuck-open*.

Se ha analizado el comportamiento de la respuesta estacionaria de los nodos bajo análisis y el *holding time*. Observando los resultados de las respuestas estacionarias para las compuertas NOR y NAND, se puede establecer que: Entre más corrientes de fuga existan entrando al nodo bajo análisis, la respuesta estacionaria tendrá valores de voltaje más elevados. Por otro lado, entre más corrientes de fuga existan saliendo del nodo bajo análisis, se tendrán respuestas estacionarias de voltaje reducidos.

En todas las compuertas analizadas hasta ahora, se ha asumido que las cargas de las compuertas defectuosas son inversores. El hecho de tener inversores como carga, produce comportamientos inadecuados en los nodos bajo análisis para realizar un *test* correcto. Por un lado, cuando el vector de inicialización establece un valor lógico alto y después se aplica el vector de sensibilización en $t = 0$ existen corrientes de fuga saliendo del nodo bajo análisis, esto produce reducciones mayores a las previstas si no se tuvieran inversores como carga. Por otra parte,

cuando el vector de inicialización establece un valor lógico bajo y después se aplica el vector de sensibilización en $t = 0$, se tienen corrientes de fuga entrando al nodo bajo análisis, generando incrementos en las respuestas estacionarias de los nodos bajo análisis. Por las anteriores razones, podemos decir que el hecho de tener inversores de carga conectados en los nodos bajo análisis no ayuda a la detección de la falla *stuck-open*.

Las anteriores observaciones, son de suma importancia, ya que podemos determinar condiciones óptimas de *test* cuando la compuerta que presenta la falla *stuck-open* tiene como carga compuertas NOR ó NAND.

5.4.1. Compuerta NOR teniendo como cargas compuertas NOR.

A continuación veremos la respuesta del nodo bajo análisis de la compuerta mostrada en la figura 5.35. Esta es una compuerta NOR con falla *stuck-open* en el drenador del transistor FPB y tiene como carga a otra compuerta NOR.

Como se puede apreciar de la figura 5.35, la falla está presente en la etapa pull-up de la compuerta NOR, el vector de inicialización provoca que el nodo bajo análisis sea cero. Por otra parte, cuando se aplica el vector de sensibilización, el nodo X se pone a alta impedancia. Las corrientes de fuga causarán que el voltaje en el nodo bajo análisis se eleve a un valor por encima del valor establecido por el vector de inicialización.

La entrada C de la compuerta NOR que actúa como carga está fija a 0V. Este hecho produce que el voltaje en la fuente de FPD sea V_{DD} y que el transistor FNC esté desactivado siempre. Bajo esta circunstancia, tenemos una estructura idéntica a como si la compuerta defectuosa tuviese un inversor de carga. Dicho

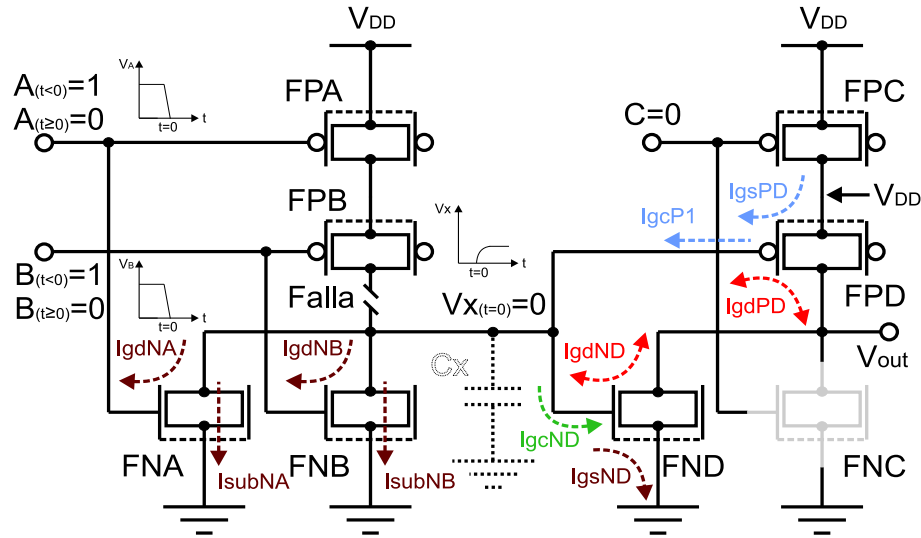


Figura 5.35: Falla *stuck-open* en el drenador de FPB con compuerta NOR como carga y corrientes de fuga presentes para $t \geq 0$.

inversor de carga es formado por los transistores FPD y FND.

Con lo anterior en mente, la respuesta estacionaria y el *holding time* mostrarán comportamientos idénticos a los resultados dados en la sección 5.2.3. En dicha sección se mostró que a medida que el *fanout* de la compuerta es incrementado, la respuesta estacionaria de V_X se incrementa más. Lo anterior debido a que a medida que el *fanout* se incrementa, también se incrementan las corrientes que entran al nodo X . Se comentó que cuando el *fanin* se mantiene a 2 y el *fanout* es igual ó mayor a 4, la respuesta estacionaria de V_X es mayor al valor de $V_{thn} = 0,3V$ (ver figura 5.24), lo cual es indeseable para realizar un *test* adecuado de la falla *stuck-open*.

Ahora bien, analicemos el caso cuando la entrada C de la compuerta NOR de carga está a un "1" lógico. La figura 5.36 muestra este hecho. Para esta condición, el voltaje alto en C provoca que el transistor FNC sea activado, esto fuerza que el voltaje V_{out} sea igual a cero. El hecho que V_{out} sea cero es bueno ya que esto

establece la limitante de que no puede haber flujo de corriente entrando al nodo X a través de las regiones de solapamiento compuerta-drenador de los transistores FPD y FND; sino por el contrario, el flujo de corriente a través de estas regiones únicamente puede ser hacia afuera del nodo X .

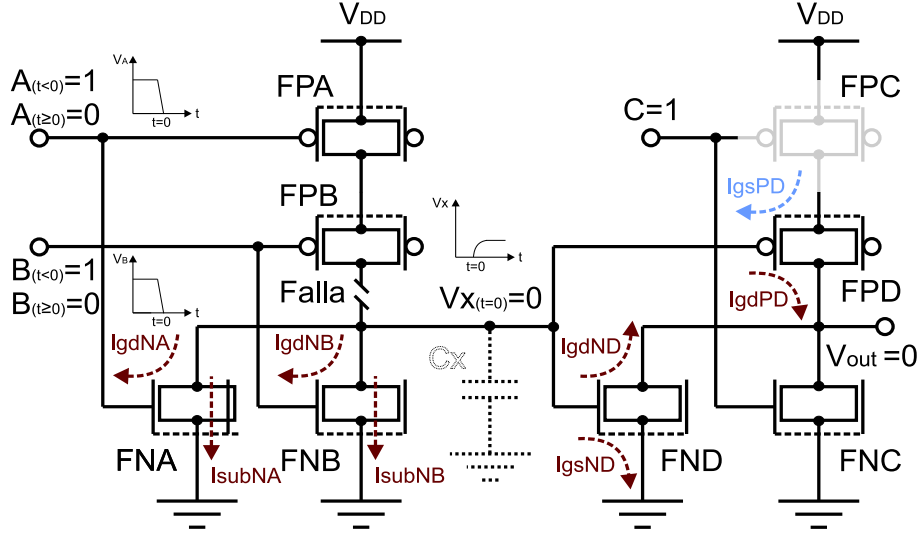


Figura 5.36: Falla *stuck-open* en el drenador de FPB con compuerta NOR como carga y corrientes de fuga presentes para $t \geq 0$.

En $t = 0$ el voltaje V_X es cero (por el efecto del vector de inicialización), esto genera la aparición de la corriente I_{gsPD} (corriente de color azul). Esta corriente inyectará carga a la capacitancia equivalente en el nodo bajo análisis haciendo que V_X se incremente. El incremento de V_X , propicia que todas las corrientes marcadas de color café aparezcan. Cuando la suma de todas las corrientes marcadas de color café sea igual al valor de la corriente I_{gsPD} se llegará la condición de equilibrio.

La corriente I_{gsPD} es generada por la diferencia de potencial existente entre la fuente y la compuerta de FPD. Por tal razón, el valor de esta corriente dependerá del valor previo de voltaje en la fuente de FPD antes de que C conmute a un "1" lógico. Si la entrada C estaba previamente a 0V antes de conmutar a

V_{DD} , entonces el voltaje en la fuente de FPD está a V_{DD} . Esto corresponde al peor caso ya que bajo esta circunstancia, la magnitud de la corriente I_{gsPD} es la máxima posible. Decimos que este es el peor caso debido a que como se ha visto, el hecho de tener corrientes entrando al nodo bajo análisis producen un incremento en los voltajes de dichos nodos y para detectar la falla adecuadamente, se requiere que V_X no se incremente por encima del valor de V_{thn} .

Debido a que las corrientes que salen del nodo bajo análisis son mayores en cantidad y magnitud que la corriente que entra (incluso si se considera el peor caso de magnitud para esta corriente), se espera que el nodo bajo análisis siga comportándose como un "0" lógico. La figura 5.37 muestra las respuestas estacionarias de V_X cuando la entrada C está fija a un "0" y a un "1" lógico para diferentes combinaciones de $fanin$ y $fanout$.

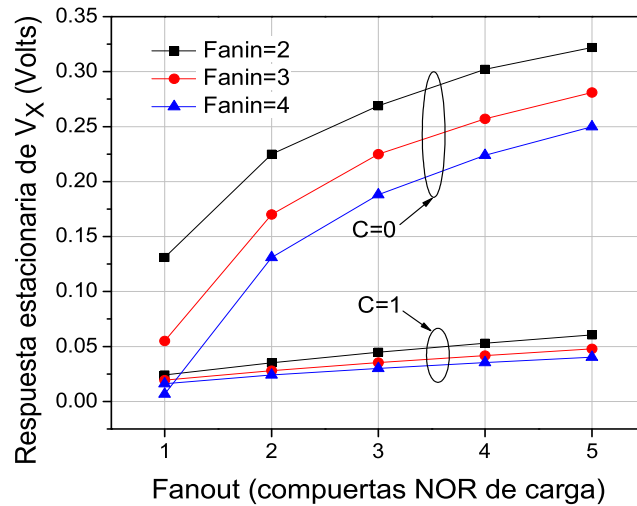


Figura 5.37: Respuestas estacionarias de V_X para $fanin$ y $fanout$ variables teniendo como carga compuertas NOR.

Comparando los valores estacionarios del voltaje V_X para $C=0$, con los valores obtenidos cuando $C=1$, podemos decir que la mejor respuesta de V_X para realizar

un *test* adecuado ante la falla presente, sin duda alguna es cuando la entrada C está a un "1" lógico. Esto debido a que con esta condición, el voltaje en el nodo bajo análisis se comporta mejor como un "0" lógico. Inclusive, se puede observar que cuando C está a un "1" lógico, para $fanin$ igual a 2 con $fanout$ iguales o mayores a 4, el voltaje V_X ya no aumenta por encima del valor de V_{thn} como en el caso cuando la entrada C está a un "0" lógico.

5.4.2. Compuerta NAND teniendo como cargas compuertas NAND.

La figura 5.38 muestra una compuerta NAND con una falla presente en la etapa pull-down (*stuck-open* en el drenador de FNB). Para realizar el *test* de esta falla, el vector de inicialización debe provocar un "1" lógico. Por otra parte, al aplicar el vector de sensibilización, el nodo X se pondrá en alta impedancia. Como se ha visto, en estado de alta impedancia, las corrientes de fuga causarán una reducción del voltaje en el nodo bajo análisis.

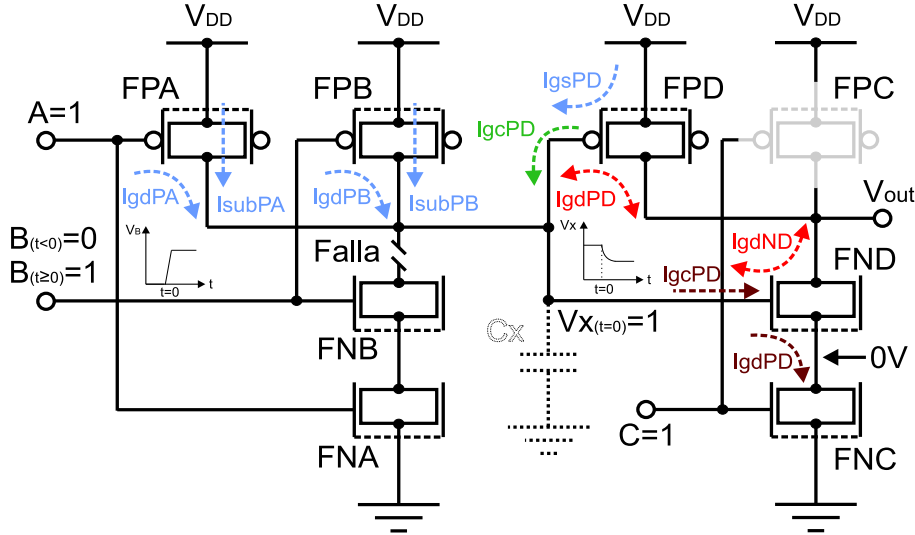


Figura 5.38: Falla *stuck-open* en el drenador de FNB con compuerta NAND como carga y corrientes de fuga presentes para $t \geq 0$.

Como se observa en la figura 5.38, la entrada C de la compuerta NAND que

actúa como carga está fija a un "1" lógico. Este hecho produce que el voltaje en el drenador del transistor FNC esté a cero volts y que el transistor FPC este desactivado siempre. Bajo esta circunstancia, la respuesta de la compuerta NAND se comportará de la misma manera que se comportaba cuando tenía de carga un inversor. Dicho inversor de carga ahora es formado por los transistores FPD y FND. Por tal motivo, el comportamiento de la respuesta estacionaria de V_X es idéntica a los resultados presentados en la sección 5.3.1. En dicha sección se mostró que a medida que el *fanout* de la compuerta es incrementado, la respuesta estacionaria de V_X se reduce cada vez más. Lo anterior debido a que cuando incrementamos el *fanout*, también se incrementan las corrientes de fuga que salen del nodo X .

Ahora bien, analicemos que sucede para el caso cuando la entrada C está a un "0" lógico. Bajo esta condición el transistor FPC es activado, haciendo que el voltaje V_{out} esté fijo al valor de V_{DD} . El hecho de que V_{out} sea V_{DD} es bueno ya que esto forzará a las corrientes de fuga en las regiones de solapamiento compuerta-drenador de los transistores FPD y FND a entrar al nodo X cuando haya una reducción de V_X . Este hecho se muestra también en la figura 5.39.

En $t = 0$ el voltaje V_X es alto (por el efecto del vector de inicialización), este hecho producirá la corriente I_{gdPD} (corriente de color café). Esta corriente provocará una reducción del voltaje V_X . El decremento de V_X , propicia que todas las corrientes marcadas de color azul aparezcan. Cuando la suma de todas las corrientes marcadas de color azul sea igual al valor de la corriente I_{gdPD} se obtendrá la condición de equilibrio.

La corriente I_{gdPD} es generada por la diferencia de potencial existente entre la compuerta y la fuente de FND. Por tal razón, el valor de esta corriente dependerá del valor previo de voltaje en la fuente de FND antes de que C conmute a 0V. Si la entrada C estaba previamente a 1V antes de conmutar a 0V, entonces

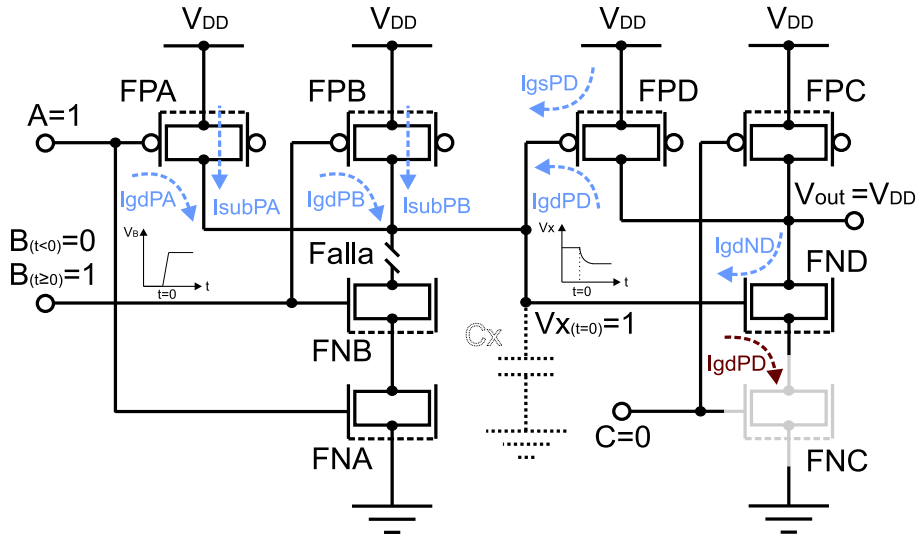


Figura 5.39: Falla *stuck-open* en el drenador de FNB con compuerta NAND como carga y corrientes de fuga presentes para $t \geq 0$.

el voltaje en la fuente de FND estaba a 0V. Esto corresponde al peor caso ya que bajo esta circunstancia, la magnitud de la corriente I_{gdPD} es la máxima posible. Decimos que este es el peor caso debido a que como se ha visto, el hecho de tener corrientes elevadas saliendo del nodo bajo análisis produce una fuerte reducción en los voltajes de dichos nodos y para detectar la falla adecuadamente, se requiere que V_X no baje del nivel $V_{DD} - V_{thp}$.

La figura 5.40 muestra las respuestas estacionarias de V_X , las métricas de *holding time* y las tasas máximas de carga en V_X , cuando la entrada C está fija a un "0" y a un "1" lógico.

Comparando los resultados cuando C está a un "1" lógico y a un "0" lógico, podemos decir que se obtienen mejores respuestas estacionarias de V_X cuando C está a un "0" lógico.

Las siguientes mejoras se han obtenido cuando la entrada C está a un "0" lógico:

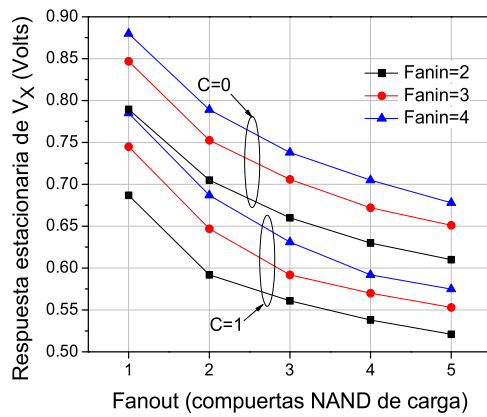
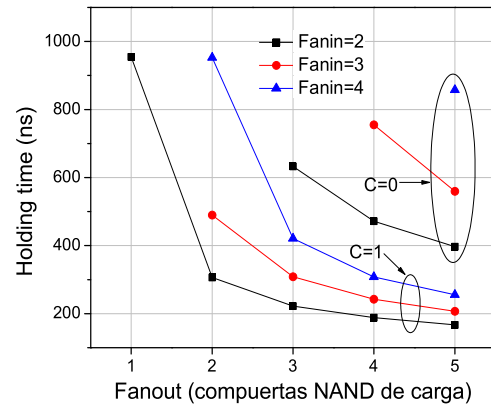
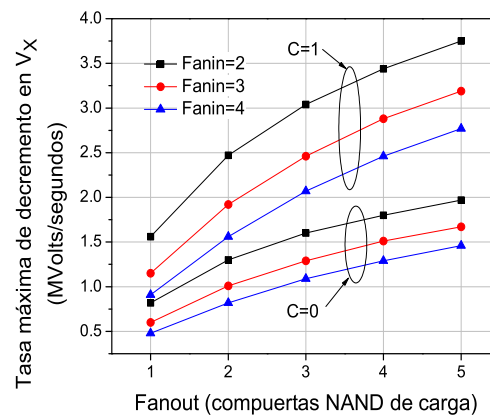
(a) Respuesta estacionaria de V_X (b) *Holding time*(c) Rapidez máxima de carga de V_X

Figura 5.40: Comportamiento de las respuestas estacionarias, *holding time* y tasas máximas de carga para la compuerta NAND con falla en el drenador de FNB para diferentes *fanin* y *fanout*.

1. Para: *fanin* de 2 con *fanout* de 1; *fanin* de 3 con *fanout* de 2; *fanin* de 4 con *fanout* de 2; y *fanin* de 4 con *fanout* 3; la respuesta estacionaria de V_X es mayor al valor de $V_{DD} - V_{thp}$, con ello el voltaje en el nodo bajo análisis se seguirá comportando como un "1" lógico. Lo anterior no se consigue para $C = "1"$.
2. Para las demás combinaciones de *fanin* y *fanout* que no fueron mencionadas en el punto 1, se obtienen incrementos en las métricas de *holding time*. Esto ayuda incrementar el tiempo de detección de la falla *stuck-open*.

Por las anteriores razones, sin duda alguna es conveniente realizar el *test* de la falla en la compuerta NAND cuando la entrada C está a un "0" lógico que cuando está a un "1" lógico.

5.5. Guía para el *test* de fallas *stuck-open*.

De acuerdo a la metodología convencional, para detectar fallas *stuck-open* presentes en la red-N (red-P) para cualquier tipo de compuerta estática, el vector de inicialización debe fijar un "1" ("0") lógico en el nodo bajo análisis. Por otra parte, el vector de sensibilización pondrá en alta impedancia a dicho nodo.

De la figura 5.18 puede observarse que para realizar un *test* lógico no se requiere una secuencia de vectores a las entradas, únicamente se necesita aplicar valores lógicos a las entradas que pudieran sensibilizar la falla *stuck-open*.

Si la compuerta que presenta la falla tiene compuertas con múltiples entradas como cargas, se deben aplicar valores lógicos en las entradas de dichas compuertas, para establecer las condiciones óptimas de *test*. Para detectar fallas *stuck-open* en la red-N, una condición óptima de *test* es una combinación de valores a las entradas de las compuertas de carga que aumente (disminuya) los componentes

de corriente de fuga entrando (saliendo) al (del) nodo bajo análisis. De manera similar, para fallas *stuck-open* en la red-P, una condición óptima de *test* es una combinación de valores a las entradas de las compuertas de carga que disminuya (aumente) los componentes de corriente de fuga saliendo (entrando) del (al) nodo bajo análisis.

Como ejemplo, podemos mencionar las compuertas estudiadas en la sección 5.4 en donde se han obtenido condiciones óptimas de *test* para compuertas NOR teniendo como cargas compuertas NOR y compuertas NAND teniendo como cargas compuertas NAND.

Se ha encontrado que el hecho de propiciar una condición óptima de *test* no garantiza la detección lógica de ciertas fallas *stuck-open*, esto puede ocurrir cuando el *holding time* es relativamente pequeño. Cuando la detección lógica no puede ser llevada a cabo aún con una condición óptima de *test*, se debe realizar un test por retardo.

5.6. Conclusiones.

En este capítulo se han implementado las corrientes de fuga de los dispositivos *FinFET* en el simulador HSPICE.

En base a la implementación de las corrientes de fuga, se ha propuesto una metodología para simular el comportamiento de compuertas digitales ante fallas *stuck-open* basados en dispositivos *FinFETs*.

Se observó el comportamiento de los voltajes en los nodos bajo análisis para compuertas NOR y NAND con fallas *stuck-open* en la red-N y la red-P.

Para la compuerta NOR con falla *stuck-open* en la red-N, analizada en la sección 5.2.1, se observó que la respuesta estacionaria del voltaje en el nodo bajo análisis presenta valores lógicos inadecuados para la detección de la falla. Para esta compuerta, a medida que el *fanin* es incrementado, el valor estacionario de V_X disminuye. Por otra parte, cuando el *fanout* aumenta, se aprecia un incremento en el valor estacionario de V_X , esto debido a que las corrientes que entran al nodo X aumentan cuando el *fanout* se incrementa y los valores de las corrientes que salen del nodo X equilibran las corrientes que salen a valores más grandes de V_X .

Para esta compuerta, se ha encontrado que el valor de la métrica del *holding time* se incrementa a medida que el *fanout* aumenta, debido a que la capacitancia en el nodo X aumenta y tiene un efecto mayor que el incremento de las corrientes de fuga. Por otra parte, el *holding time* disminuye a medida que el *fanin* aumenta, debido a que las tasas máximas de descarga son mayores por la acción de el incremento de las corrientes de fuga saliendo del nodo X a mayores *fanin*.

Cuando aplicamos un vector *anti-test* a las entradas de la compuerta NOR, los voltajes estacionarios de V_X convergen al mismo valor que los presentados cuando aplicamos un vector correcto de prueba.

Cuando aumenta el *fanout*, las corrientes entrando al nodo X aumentan, incrementando las tasas máximas de carga y reduciendo el valor de la métrica del *holding time*. Por otro lado, cuando aumentamos el *fanin*, las corrientes saliendo del nodo X aumentan cuando el voltaje es inicialmente cargado por las corrientes que entran al nodo X , reduciendo con ello las tasas máximas de carga e incrementando la métrica del *holding time*.

Se encontró que el *holding time* es mayor cuando aplicamos el vector *anti-test* en comparación a cuando aplicamos el vector correcto de prueba, debido a que las corrientes de fuga en los transistores P, las cuales producen la carga del nodo X (para el vector *anti-test*); son menores a las corrientes de fuga en los transistores N, las cuales producen la descarga del nodo X (para el vector correcto de prueba).

Para la compuerta NOR con falla *stuck-open* en la red-P, analizada en la sección 5.2.3, se ha encontrado que la respuesta estacionaria de V_X disminuye a medida que el *fanin* aumenta, debido a que la magnitud de las corrientes saliendo del nodo X aumenta. Por otra parte, cuando el *fanout* aumenta, la magnitud de las corrientes entrando al nodo X aumenta y con ello también se obtiene un aumento en el voltaje V_X .

A pesar de las variaciones del voltaje estacionario de V_X ante la mayoría de las combinaciones de *fanin* y *fanout*, un *test* correcto puede ser llevado a cabo ya que solamente para *fanin* de dos con *fanout* de 4 y 5 la respuesta estacionaria de V_X deja de comportarse como un "0" lógico.

Para la compuerta NAND con falla *stuck-open* en la red-N, analizada en la sección 5.3.1, se ha encontrado que el valor estacionario de V_X disminuye con el aumento del *fanout*, debido a que el equilibrio de las corrientes que entran al nodo X (generadas en la red-P), con las corrientes de los inversores de carga se produce a valores más pequeños de V_X . El valor estacionario de V_X también es aumentado a medida que el *fanin* aumenta, ya que las magnitudes de las corrientes que entran al nodo X aumentan, equilibrando las corrientes en los inversores de carga a niveles mayores de V_X .

Las tasas máximas de descarga se incrementan cuando el *fanout* es mayor,

debido a que las corrientes que inicialmente descargan al nodo X son las corrientes de fuga en los inversores de carga, ocasionando una reducción del *holding time*. Por otro lado, a medida que el *fanin* se incrementa se reducen las tasas de descarga, debido a que se incrementan las corrientes de fuga generadas en la red-P, generando un aumento en el *holding time*.

Para la compuerta NAND con falla *stuck-open* en la red-P, analizada en la sección 5.3.2 se ha encontrado que cuando el *fanin* es 2, las corrientes que salen del nodo X equilibran a las corrientes que entran al nodo X a niveles menores del voltaje de threshold del inversor de carga. Un aumento en el *fanout*, ocasiona un incremento en las corrientes que entran al nodo, provocando con ello respuestas estacionarias de V_X mayores.

Por otra parte, cuando el *fanin* es 3, las corrientes que entran al nodo X son mayores a cuando se tiene un *fanin* de 2. Por tal motivo, el equilibrio entre las corrientes se producirán a niveles mayores del voltaje de umbral. Un aumento en el *fanout* ocasiona una reducción de las corrientes que entran al nodo X , provocando con ello respuestas estacionarias de V_X menores.

Las tasas máximas de carga aumenta cuando incrementamos el *fanin* de la compuerta, esto debido al aumento de las corrientes de fuga entrando al nodo X , reflejando una reducción del *holding time*. Por otra parte, cuando incrementamos el *fanout*, se reduce las tasas máximas de carga de V_X debido al aumento de la capacitancia C_X , ocasionando un aumento del *holding time*.

Se observó que el hecho de tener inversores de carga en las compuertas que presentan la falla *stuck-open* propicia valores lógicos en las respuestas estacionarias de los voltajes V_X inadecuados para realizar un *test* lógico.

Se obtuvieron condiciones óptimas de *test* para fallas en compuertas lógicas que tienen como carga a compuertas NOR y compuertas NAND.

Para la compuerta NOR con falla en la red-P y teniendo como cargas a compuertas NOR, analizada en la sección 5.4.1, la condición óptima de *test* es cuando la entrada *C* de las compuertas de carga está a un "1" lógico, bajo esta circunstancia se forzará a que la magnitud de las corrientes que salen del nodo bajo análisis sea mayor a las corrientes que entran al mismo.

Para la compuerta NAND con falla en la red-N y teniendo como cargas a compuertas NAND, analizada en la sección 5.4.2, la condición óptima de *test* es cuando la entrada *C* de las compuertas de carga está a un "0" lógico, bajo esta circunstancia se forzará a que la magnitud de las corrientes que entran al nodo bajo análisis sea mayor a las corrientes que salen del mismo.

Se observó que el hecho de generar una condición óptima de *test* en la compuerta NOR si garantiza que se pueda realizar un *test* lógico de la falla adecuadamente para todas las combinaciones de *fanin* y *fanout*. Por otra parte una condición óptima de *test* en la compuerta NAND, no garantiza la detección lógica de la falla para ciertas combinaciones de *fanin* y *fanout*, sin embargo, esta condición es adecuada debido a que el *holding time* ha sido incrementado.

Capítulo 6

Impacto de *high-k* en el *testing* de fallas *stuck-open*.

Como se ha comentado, el escalamiento de la tecnología requiere aumentar el acoplamiento capacitivo entre la compuerta y el canal, para suprimir los SCE presentes en longitudes de canal nanométricas. Esto se consigue reduciendo el espesor del óxido de compuerta.

En los dispositivos *FinFETs* el control los SCE se realiza con el empleo de dos compuertas y con el tamaño del ancho de la aleta, estos dos factores han ayudado a quitarle gran responsabilidad al control de los SCE a los delgados espesores de óxido. Este hecho propicia que el escalamiento del espesor del óxido de compuerta en un *FinFET* no sea tan agresivo en comparación a los escalamientos requeridos en tecnologías MOSFET y UTBSOI [13]. Sin embargo, a medida que la tecnología avance y para aplicaciones futuras, el espesor de óxido de compuerta será reducido cada vez más [13]. Las dimensiones requeridas en el espesor de óxido de compuerta ocasionarán corrientes de fuga muy elevadas, por otra parte, espesores de óxido por debajo de 1nm no son físicamente alcanzables.

Para continuar con el avance tecnológico, varios investigadores al rededor del mundo, han mostrado un gran interés en el estudio de nuevos materiales alternativos al óxido de Silicio para ser empleados como dieléctricos de compuerta. Materiales con altas constantes dieléctricas (*high-k*), serán empleados para continuar con el escalamiento sin ocasionar un gran incremento en el consumo de potencia estático.

En la sección 2.5.4 se observó que las corrientes de tuneleo en compuerta muestran una dependencia exponencial con el grosor de óxido de compuerta. Pues bien, la idea detrás del empleo de materiales de *high-k* es tener grosores de dieléctricos en compuerta de mayores dimensiones a los que serían empleados si se continuara ocupando el óxido de Silicio, sin reducir con ello la capacitancia por unidad de área C_{ox} .

Cuando hablamos de materiales de *high-k* es necesario hablar del término Equivalent Oxide Thickness (EOT) del dieléctrico. El EOT es la dimensión del grosor de óxido de Silicio que pudiera producir la misma curva capacitancia-voltaje con el empleo de un material de *high-k*. Este parámetro es definido como:

$$EOT = \frac{\varepsilon_{SiO_2}}{\varepsilon_{hk}} t_{hk} \quad (6.1)$$

Donde: ε_{SiO_2} es la permitividad del óxido de Silicio, ε_{hk} es la permitividad del dieléctrico de *high-k* y t_{hk} es el grosor físico del dieléctrico de *high-k*.

El EOT es una medida importante ya que determina la profundidad física del dieléctrico de compuerta en un material de *high-k*. Para ejemplificar la importancia del EOT; podemos hacer mención al reporte [63] de la ITRS, el cual predice que para el año 2011 se emplearan transistores de doble compuerta para aplicaciones de high performance con un EOT de 0.8nm, esta dimensión no es

físicamente alcanzable con óxido de Silicio. Por tal razón se requiere el empleo de materiales de *high-k* para obtener un EOT de tal valor. Supongamos que el material *high-k* elegido es Al_2O_3 , este material posee una constante dieléctrica de 12 [64], para determinar el valor del grosor físico del dieléctrico de compuerta con este material nos basámos en la ecuación 6.1. Sustituyendo los valores de EOT, ε_{SiO_2} , ε_{hk} , el grosor físico es de: 2.46nm.

El ejemplo anterior clarifica que con el uso de materiales de *high-k*, se pueden obtener grosores físicos mayores para generar capacitancias de igual magnitud que las alcanzadas con óxido de Silicio como dieléctrico. El hecho de tener espesores de óxido mayores propicia que todas las componentes de tuneleo en compuerta se reduzcan considerablemente.

Nitruro de Silicio Si_3N_4 ha sido ampliamente investigado como el primer material dieléctrico a ser empleado para sustituir al óxido de Silicio por su compatibilidad con procesos convencionales CMOS.

Existen varios trabajos en literatura en donde se desarrollan modelos analíticos para determinar corrientes de tuneleo en dieléctricos de Si_3N_4 [65], [66]. Aunque las anteriores citas bibliográficas no hablan del empleo de este dieléctrico en transistores *FinFET*, en [52] se estudia el impacto de este material en transistores de doble compuerta.

	Si_3N_4	
	HVB	ECB
ϕ_{SiN}	1.9eV	2.2eV
m_{SiN}	0.41 m_0	0.5 m_0

Cuadro 6.1: Propiedades del Si_3N_4

Los parámetros y propiedades eléctricas de Si_3N_4 son resumidos en la tabla 6.1. Los valores de estos parámetros fueron tomados de [66].

En [66] se demuestra también una diferencia importante entre el tuneleo de compuerta en dieléctricos SiO_2 y dieléctricos Si_3N_4 . La diferencia está en que la corriente de compuerta en estructuras Si_3N_4/Si es más elevada en los transistores P (en donde el mecanismo de fuga es producido por el tuneleo de huecos desde la banda de valencia), que en los transistores N (en donde el mecanismo de fuga es producido por el tuneleo de electrones desde la banda de conducción). En contraste con las estructuras SiO_2/Si en donde es conocido que la corriente de tunelo es mayor en transistores N que en los P.

Lo anterior obedece al hecho de que en dieléctricos Si_3N_4 , la altura de la barrera y la masa efectiva para el tunelo de huecos desde la banda de valencia (1.9eV y $0.41m_0$ respectivamente) son más reducidas que la altura de la barrera y la masa efectiva para el tunelo de electrones desde la banda de conducción (2.2 y $0.5m_0$ respectivamente).

Para determinar las corrientes de tuneleo en *Fin*FETs MGDG con Si_3N_4 como dieléctrico en compuerta, nos basaremos en los mismos modelos analíticos presentados en las secciones 3.6.2 y 3.6.3, únicamente tenemos que especificar los parámetros establecidos en la tabla 6.1. La figura 6.1 muestra una comparación entre los resultados obtenidos en [52] y los resultados obtenidos en Maple con el modelo analítico.

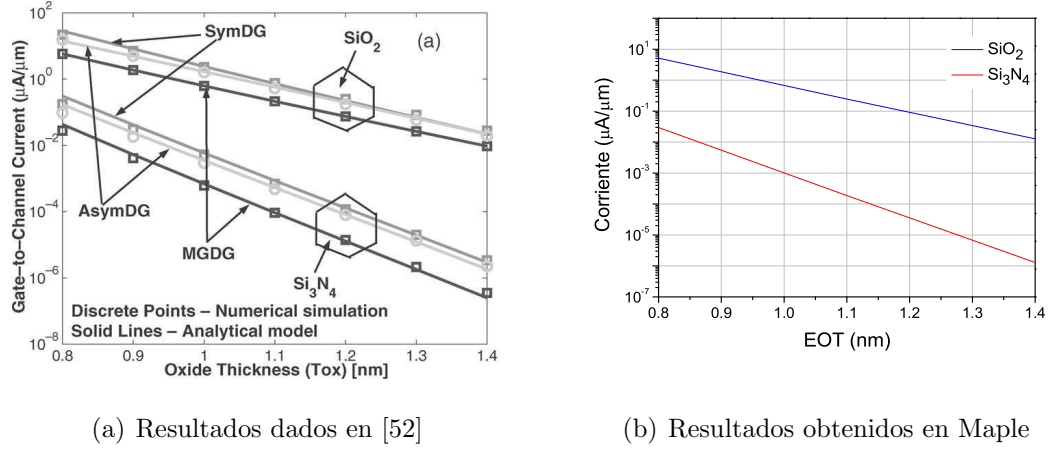


Figura 6.1: Reducción de la corriente de tuneleo de compuerta a canal con Si_3N_4 .

6.1. *Fringe Induced Barrier Lowering* (FIBL).

Se ha visto que para resolver el problema de las elevadas corrientes de tuneleo en compuerta, serán empleados materiales con altas constantes dieléctricas. Sin embargo, con el incremento del grosor del dieléctrico en compuerta (en un factor de: $\epsilon_{hk}/\epsilon_{SiO_2}$), esta dimensión será comparable con la longitud de canal. Como se muestra en la figura 6.2, existirán líneas de campo eléctrico de borde originadas desde la fuente y drenador, las cuales afectan a los canales a través del gran grosor físico del dieléctrico de compuerta. Este acoplamiento adicional, aumenta aún más los SCE por dispositivo. Este fenómeno es conocido como FIBL [67].

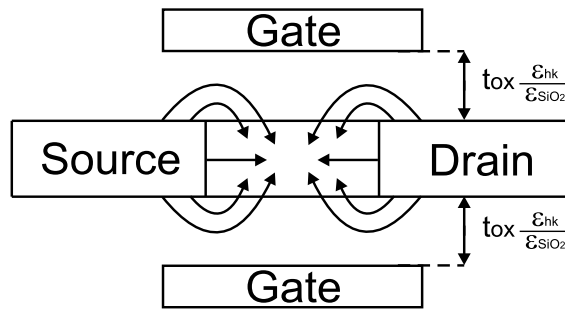


Figura 6.2: Efecto FIBL en dispositivos con dieléctricos de *high-k*.

El FIBL igual que el DIBL produce una reducción en el voltaje de umbral del dispositivo. Para modelar el efecto FIBL, nos basaremos en el modelo analítico expuesto en [68]. La ecuación 6.2 expresa la reducción del voltaje de umbral del dispositivo debida a los SCE más el efecto FIBL.

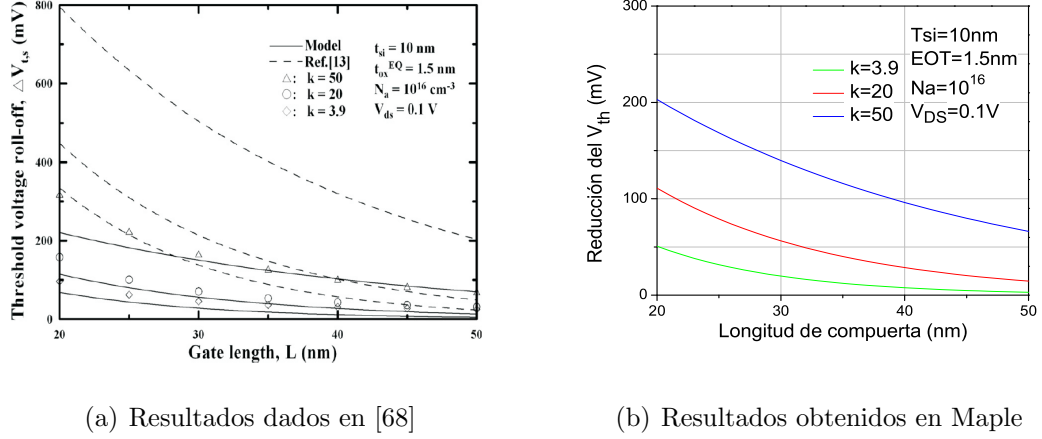
$$\begin{aligned}
 V_{t,L} &= 2\beta \cos\left(\frac{\pi T_{si}}{2\lambda_1}\right) \exp\left(-\frac{L}{2\lambda_1}\right) + \sqrt{(\alpha - V_{bi} - \gamma)(\alpha - V_{bi} - V_{DS} - \gamma)} \\
 \alpha &= \frac{E_g}{q} + \frac{2kT}{q} \ln \frac{N_a}{\sqrt{2N_c N_v}} \\
 \beta &= \frac{2\lambda_1^2 \tan\left(\frac{\pi t_{hk}}{\lambda_1}\right) \sin\left(\frac{\pi T_{si}}{2\lambda_1}\right)}{\pi^2 t_{hk} \left[\frac{T_{si}}{2} + \frac{\sin\left(\frac{\pi T_{si}}{\lambda_1}\right) t_{hk}}{\sin\left(\frac{2\pi t_{hk}}{\lambda_1}\right)} \right]} \\
 \gamma &= \frac{qN_a \lambda_1 t_{hk}}{\pi \varepsilon_{si} \tan\left(\frac{\pi t_{hk}}{\lambda_1}\right)} - \frac{qN_a T_{si} t_{hk} \cos\left(\frac{\pi T_{si}}{2\lambda_1}\right)}{2\varepsilon_{si} \tan\left(\frac{\pi t_{hk}}{\lambda_1}\right) \sin\left(\frac{\pi T_{si}}{2\lambda_1}\right)} \quad (6.2)
 \end{aligned}$$

Donde: V_{bi} es el potencial inter construido en la unión fuente/drenador con el cuerpo de Silicio, N_c y N_v son la densidad de estados efectiva en la banda de conducción y en la banda de valencia respectivamente, t_{hk} es grosor físico del dieléctrico de compuerta, λ_1 es la longitud característica para el dieléctrico de *high-k*, la cual debe satisfacer:

$$\varepsilon_{si} \tan\left(\frac{\pi t_i}{\lambda_1}\right) = \varepsilon_{hk} \cot\left(\frac{\pi T_{si}}{2\lambda_1}\right)$$

La figura 6.3 muestra los resultados obtenidos en [68] (a) y los resultados obtenidos en Maple (b). En esta figura se puede observar que a medida que la constante dieléctrica del material *high-k* aumenta, se produce un incremento en

el FIBL, reflejándose en una mayor reducción del voltaje de umbral.



(a) Resultados dados en [68]

(b) Resultados obtenidos en Maple

Figura 6.3: Reducción del voltaje de umbral debido al FIBL para diferentes constantes dieléctricas.

La reducción del voltaje de umbral determinado por las ecuaciones 6.2 es agregado al modelo del voltaje de umbral para dispositivos *FinFET* de canal largo (ecuación 3.4b en la sección 3.4). Con esto, tenemos un modelo completo de voltaje de umbral para dispositivos *FinFET* con dieléctricos de *high-k*.

6.2. Análisis de fallas *stuck-open* en compuertas NOR y NAND.

La metodología presentada en la sección 5.1 para la simulación de fallas *stuck-open* es también empleada para simular este tipo de fallas en compuertas con *FinFETs* con dieléctricos Si_3N_4 . En las siguientes subsecciones, se mostrarán los resultados obtenidos para las fallas *stuck-open* analizadas en el capítulo 5. Debido a que este capítulo tiene como objetivo analizar el impacto del material de *high-k* en el *testing* de fallas *stuck-open* en las compuertas estáticas vistas anteriormente; las dimensiones de los *FinFETs* considerados en esta sección, tienen los mismos

valores que los considerados en la capítulo 5, con la única diferencia en que el espesor del óxido de compuerta es del doble, es decir, $t_{hk}=3.5\text{nm}$, ya que la constante dieléctrica del Si_3N_4 (7.8) es dos veces la constante dieléctrica del SiO_2 (3.9).

6.2.1. Compuerta NOR con falla en el drenador FNj

La figura 6.4 muestra los resultados obtenidos de la compuerta NOR analizada en la sección 5.2.1 para diferentes *fanin* y *fanout*.

Como se observa en la figura 6.4(a), la respuesta estacionaria solo está graficada en función del *fanin*, debido a que al variar el *fanout* se observan variaciones en el rango de los miliVolts.

El hecho de que el voltaje estacionario muestre mínimas variaciones cuando el *fanout* es modificado, es debido a que todas las corrientes de tuneleo en los transistores que forman a los inversores de carga han sido reducidas por el empleo del Si_3N_4 como dieléctrico. Por tal razón, las corrientes que tienen un efecto mayor en la respuesta estacionaria, son las corrientes subumbral de los transistores, las cuales han sido ligeramente incrementadas por el efecto FIBL. Debido a que al incrementar el *fanin*, hay más corrientes subumbral saliendo del nodo bajo análisis, la respuesta estacionaria de V_X es reducida.

El comportamiento del *holding time* se puede explicar con las gráficas de máximas tasas de decremento mostradas en la figura 6.4(c). Al incrementar el *fanout*, se incrementa la capacitancia C_X produciendo reducciones en las tasas máximas de decremento (ver ecuación 5.4), esto ocasiona que el valor de $V_{DD} - |V_{thp}|$ se alcance a tiempos mayores incrementando la métrica del *holding time*. Por otra parte, al incrementar el *fanin* se incrementa el número de corrientes subumbral

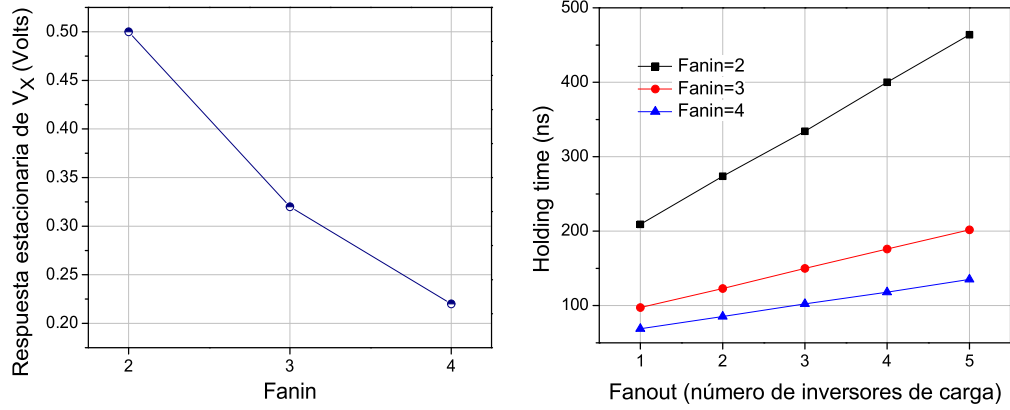
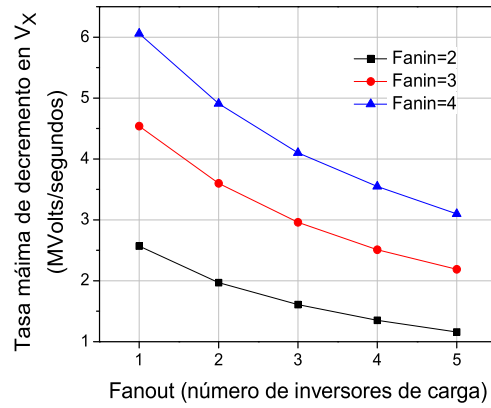
(a) Respuesta estacionaria de V_X (b) *Holding time*(c) Rapidez máxima de descarga de V_X

Figura 6.4: Comportamiento las respuestas estacionarias de V_X , *holding time* y tasas máximas de descarga de la compuerta NOR con falla en el drenador de FNj para diferentes *fanin* y *fanout*.

que salen del nodo X en $t = 0$; este hecho produce valores grandes en las tasas de decremento, alcanzando el valor de $V_{DD} - |V_{thp}|$ a tiempos reducidos.

Comparando los resultados que se obtuvieron para *Fin*FETs con dieléctricos SiO_2 en la sección 5.2.1 para diferentes *fanin* y *fanout* y los resultados expuestos en esta sección, se puede apreciar que el empleo del dieléctrico Si_3N_4 beneficia al *test* de la falla, ya que se obtienen valores más grades de la métrica del *holding time*.

6.2.2. Compuerta NOR con falla en el drenador FNj con un vector *anti-test*

La figura 6.5 muestra las respuestas para la misma compuerta con la puesta del vector *anti-test*.

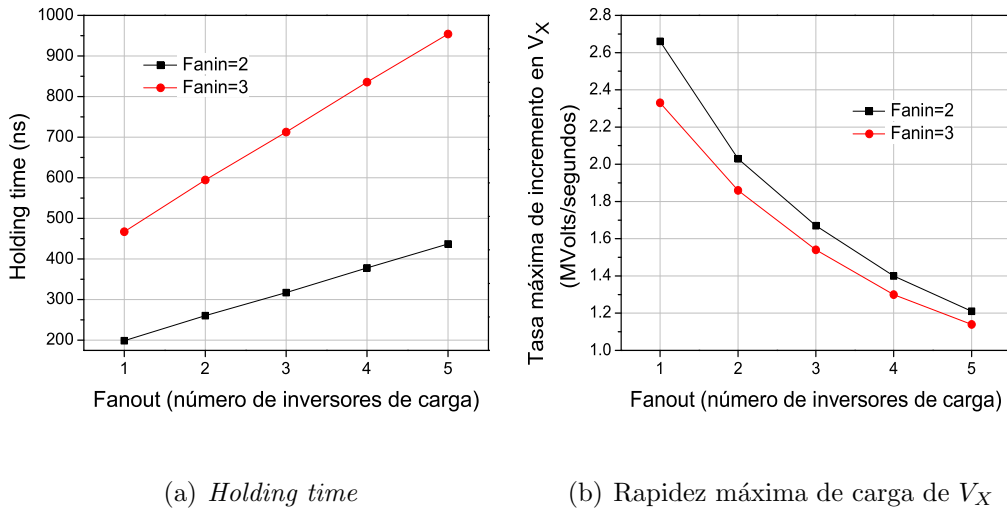


Figura 6.5: Comportamiento del *holding time* y tasas máximas de carga de la compuerta NOR con falla en el drenador de FNj para diferentes *fanin* y *fanout* con la puesta del vector *anti-test*.

La respuesta estacionaria de V_X es idéntica a la respuesta obtenida para el

vector correcto de prueba (ver figura 6.4(a)).

Las gráficas mostradas en la figura 6.5 no contemplan los resultados para un *fanin* de 4, debido a que cuando tenemos esta condición, la respuesta estacionaria de V_X es 0.22V y por tal razón nunca se alcanza el valor de $V_{thn}=0.3V$.

Cuando aumentamos el *fanout*, se produce un aumento en la capacitancia C_X , reflejándose en una reducción en las tasas máximas de incremento en V_X ocasionando métricas de *holding time* grandes. Por otra parte, cuando el *fanin* aumenta, hay un número mayor de corrientes subumbral saliendo del nodo X cuando el voltaje es inicialmente elevado por las corrientes que entran al nodo X produciendo una reducción de las tasas máximas de incremento y por ende un aumento en el *holding time*.

Cuando se incrementaba el *fanout* en compuertas con transistores con dieléctricos SiO_2 , las corrientes de tuneleo en los transistores de los inversores de carga (las cuales entran al nodo X) provocaban un incremento en las tasas máximas de carga, reduciendo los valores de la métrica del *holding time*. Por otra parte, para estructuras con Si_3N_4 , un incremento en el *fanout* produce un incremento en la métrica del *holding time*, ya que el efecto del incremento en la capacitancia C_X es mayor al efecto que producen las reducidas corrientes de tuneleo.

El incremento del *holding time* a medida que el *fanout* aumenta es benéfico para el *test*, ya que tenemos más tiempo para poder detectar la falla *stuck-open*.

6.2.3. Compuerta NOR con falla en el drenador FPj

La figura 6.6 muestra la respuesta estacionaria de V_X para la falla en la compuerta NOR analizada en la sección 5.2.3 para diferentes *fanin* y *fanout*.

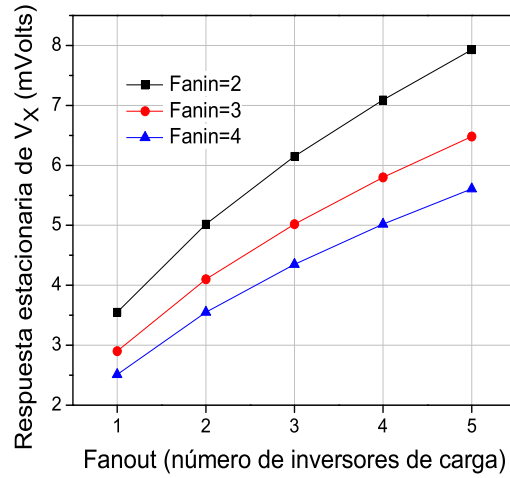


Figura 6.6: Comportamiento de la respuesta estacionaria de V_X para la compuerta NOR vista en la sección 5.2.3 para diferentes $fanin$ y $fanout$.

Idealmente, sin la presencia de corrientes de fuga, el voltaje V_X debe mantener el valor al que fue inicializado, es decir a un "0" lógico. En la figura 6.7 se puede apreciar que el comportamiento de la respuesta estacionaria de V_X ante diferentes combinaciones de $fanin$ y $fanout$, se aproxima al comportamiento ideal. Este comportamiento es debido a que las corrientes que propician la carga de V_X son únicamente las corrientes de tuneleo de los transistores P en los inversores de carga, los cuales tienen valores pequeños debido al empleo del dieléctrico de *high-k*.

Con las respuestas de V_X mostradas en la figura 6.6, la detección de la falla *stuck-open* es garantizada completamente.

Cuando analizábamos esta misma falla para dieléctricos SiO_2 en la sección 5.2.3, obteníamos respuestas estacionarias más grandes que las mostradas en la figura 6.6; incluso para SiO_2 , cuando teníamos un $fanin$ de 2 con $fanout$ de 4 y 5, se tenía que considerar la métrica del *holding time* ya que la respuesta estacionaria era mayor al valor del $V_{thn}=0.3V$.

6.2.4. Compuerta NAND con falla en el drenador FNj.

La figura 6.7 muestra la respuesta estacionaria de V_X para la falla en la compuerta NAND analizada en la sección 5.3.1 para diferentes *fanin* y *fanout*.

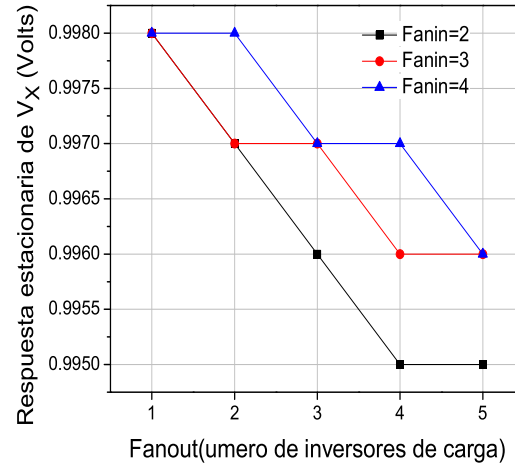


Figura 6.7: Comportamiento de la respuesta estacionaria de V_X para la compuerta NAND vista en la sección 5.3.1 para diferentes *fanin* y *fanout*.

Idealmente, sin la presencia de corrientes de fuga, el voltaje V_X debe mantener el valor al que fue inicializado, es decir a un "1" lógico. En la figura 6.7 se puede apreciar que el comportamiento de la respuesta estacionaria de V_X ante diferentes combinaciones de *fanin* y *fanout*, se aproxima al comportamiento ideal. Este comportamiento es debido a que las corrientes que propician la descarga de V_X son únicamente las corrientes de tuneleo de los transistores N en los inversores de carga, los cuales tienen valores pequeños debido al empleo del dieléctrico de *high-k*.

Con las respuestas de V_X mostradas en la figura 6.7, la detección de la falla *stuck-open* es garantizada completamente.

Cuando analizábamos esta misma falla para dieléctricos SiO_2 en la sección 5.3.1, obteníamos respuestas estacionarias en V_X de valores más pequeños que

las mostradas en la figura 6.7; inclusive para SiO_2 , teníamos que considerar la métrica del *holding time* en el *test*. Con la incursión del Si_3N_4 , ya no se debe considerar las métricas del *holding time*, debido a que las respuestas estacionarias de V_X nunca bajan al nivel del valor $V_{DD} - |V_{thp}|$.

6.2.5. Compuerta NAND con falla en el drenador FPj.

La figura 6.8 muestra las respuestas para la compuerta NAND analizada en la sección 5.3.2.

Como se aprecia en la figura 6.8(a), un incremento en el *fanin* genera un aumento en la respuesta estacionaria de V_X , esto debido al aumento de las corrientes subumbral de los transistores P. De nueva cuenta, el efecto del *fanout* es despreciable (en cuanto a corrientes de fuga) por el uso del dieléctrico de *high-k*, por tal razón esta curva está únicamente en función del *fanin*.

El aumento del *fanout* produce un incremento en las capacitancias C_X , reduciendo las tasas máximas de incremento y aumentando los valores de la métrica del *holding time*. Por otra parte, un aumento en el *fanin*, como se comentó previamente genera un incremento en el número de corrientes subumbral entrando al nodo X , este hecho ocasiona mayores valores de las tasas máximas de incremento y por lo tanto, reducciones de los valores de la métrica de *holding time*.

Las compuertas analizadas en la sección 5.4 no son estudiadas para Si_3N_4 , ya que en esa sección se comentó que las corrientes de tuneleo a través de los dieléctricos de los transistores que forman a las compuertas que actúan como carga, ayudaban al *test* de la falla, como se ha visto a lo largo de este capítulo, el empleo de Si_3N_4 reduce notablemente las corrientes de tuneleo, produciendo variaciones del orden de los miliVolts en las respuestas estacionarias del voltaje V_X ; por tal razón, no se espera que estas corrientes ayuden a mejorar la detección

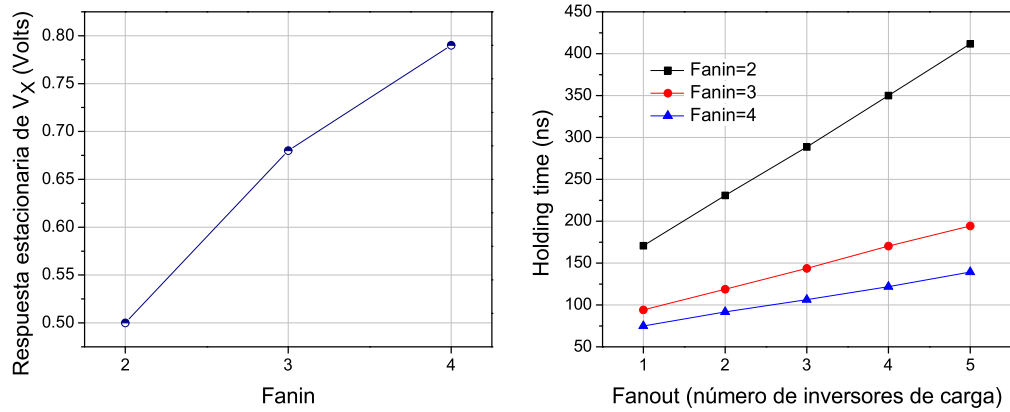
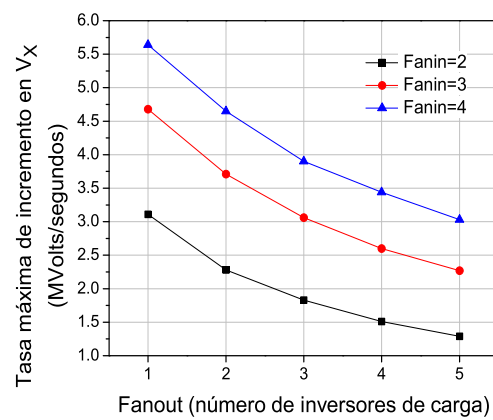
(a) Respuesta estacionaria de V_X (b) *Holding time*(c) Rapidez máxima de descarga de V_X

Figura 6.8: Comportamiento las respuestas estacionarias de V_X , *holding time* y tasas máximas de descarga de la compuerta NAND con falla en el drenador de FPj para diferentes *fanin* y *fanout*.

de las fallas *stuck-open*.

6.3. Conclusiones.

En este capítulo se observó la importancia del empleo de materiales de *high-k* para reducir las corrientes de tuneleo en compuerta en los *FinFETs*.

Se simularon las fallas estudiadas en el capítulo 5 y se encontró que las componentes de fuga en compuertas no tienen un efecto considerable en la respuesta de los voltajes bajo análisis.

Con la incursión del Si_3N_4 como dieléctrico de compuerta, se obseró que para la compuerta NOR tiene la falla *stuck-open* en la red-P y para la compuerta NAND con falla *stuck-open* en la red-N, se puede realizar un *test* lógico adecuadamente.

Capítulo 7

Conclusiones.

En esta tesis se ha visto la importancia del empleo de los transistores de doble compuerta, en específico de los dispositivos *FinFET*, para continuar con el escalamiento tecnológico por debajo de los 32nm. Se vio que el dispositivo de doble compuerta presenta un mejor control de los SCE sin necesidad de altos niveles de dopado en el cuerpo y sin tener un agresivo escalamiento del espesor de óxido de compuerta. Estos dos factores contribuyen a que el *FinFET* sea un dispositivo con reducidas corrientes de fuga.

En esta tesis se ha propuesto una metodología para simular fallas *stuck-open* en compuertas estáticas basados en tecnologías *FinFET*. Se han implementado los modelos analíticos reportados en literatura para simular el voltaje de umbral, corrientes de encendido, capacitancias parásitas, corrientes subumbral, corrientes de tuneleo de compuerta a canal y corrientes de tuneleo EDT.

Se ha observado como realizar el *test* de fallas *stuck-open* y se ha determinado el comportamiento del voltaje en los nodos bajo análisis en compuertas NOR y NAND estáticas bajo la presencia de estas fallas en tecnologías *FinFET*.

Se ha mostrado que las corrientes de fuga en tecnologías *FinFET*; aún siendo tecnologías con corrientes de fuga reducidas, en contra parte a las tecnologías CMOS nanoescaladas, producen alteraciones significativas de voltaje en los nodos bajo análisis.

Las respuestas estacionarias de los voltajes en los nodos bajo análisis están influenciadas por la magnitud de las corrientes de fuga que entran y salen del nodo, una vez que el vector de sensibilización es aplicado. Entre mayor sea la magnitud de las corrientes saliendo del nodo bajo análisis, el valor de voltaje estacionario de dicho nodo será reducido. Por otra parte, entre mayor sea la magnitud de las corrientes entrando al nodo bajo análisis, el valor del voltaje estacionario será mayor.

Se observó que cuando la respuesta estacionaria del voltaje en el nodo bajo análisis no se reduce por debajo del valor de $V_{DD} - |V_{thp}|$ (si el nodo ha sido inicializado a un "1" lógico) ó cuando no se eleva por encima del valor de V_{thn} (si el nodo ha sido inicializado a un "0" lógico), el *test* lógico de la falla es garantizado completamente. En caso contrario, el test lógico pudiera ser invalidado. Cuando la detección lógica no puede ser llevada a cabo, se debe realizar un test por retardo.

Se observó que el hecho de tener inversores como carga en las compuertas que presentan la falla no ayuda al *test*, ya que cuando el nodo es inicializado a un "1" lógico, la magnitud de las corrientes saliendo de este nodo serán mayores por la acción del inversor de carga, ocasionando reducciones en el voltaje inicializado previamente. Por otra parte, cuando el nodo es inicializado a un "0" lógico, la magnitud de las corrientes entrando al nodo serán mayores por la acción del inversor de carga, ocasionando con ello un aumento en el voltaje.

Se analizó el efecto que produce el hecho de tener compuertas de carga dife-

rentes a los inversores. El tener compuertas con múltiples entradas como carga beneficia al *test*, si determinamos adecuadamente los valores a los que tenemos que fijar las otras entradas de la compuerta de carga. Si vamos a realizar *test* para fallas en la red N, se debe buscar una combinación en las entradas de la compuerta de carga de tal manera que haya más corrientes de fuga entrando al nodo bajo análisis, una vez que el vector de sensibilización es aplicado. Por otra parte, si vamos a realizar *test* para fallas en la red P, se debe buscar una combinación en las entradas de la compuerta de carga de tal manera que haya más corrientes de fuga saliendo del nodo bajo análisis, una vez que el vector de sensibilización es aplicado.

Se analizó la importancia de materiales de *high-k* para reducir las corrientes de fuga en dieléctricos de compuerta. Se analizaron las fallas *stuck-open* en tecnologías *FinFET* con dieléctricos de *high-k*. Se observó que el empleo del Si_3N_4 reduce significativamente las corrientes de tuneleo en compuerta; debido a esto, en algunos casos, se han obtenido comportamientos adecuados en los voltajes bajo análisis y en otros se ha incrementado la métrica del *holding time* significativamente, en comparación a los resultados obtenidos cuando teníamos SiO_2 como dieléctrico.

Índice de figuras

1.1. Ley de Moore reflejada en la fabricación de los microprocesadores de Intel. (Imagen tomada de [2])	2
1.2. Escalamiento del MOSFET a campos eléctricos constantes.	2
1.3. Imagen de un <i>Fin</i> FET.	5
1.4. Tipos de falla por aberturas en líneas de interconexión y vías.	7
1.5. Compuerta NAND con falla stuck-open en el drenador del transistor PA.	10
1.6. Compuerta compleja con falla stuck-open en la compuerta de PC.	11
1.7. Compuerta compleja con falla stuck-open en la compuerta de NA.	12
2.1. Reducción de la barrera de potencial debido al efecto DIBL.	16
2.2. Líneas de campo eléctrico en MOSFET.	17
2.3. Tendencia de la reducción de V_{dd} , V_{th} y t_{ox} contra longitud de canal para tecnologías CMOS, imagen tomada de [27].	20
2.4. Mecanismos de fuga en tecnologías nanoescaladas.	21
2.5. Visualización de la corriente subumbral, pendiente subumbral, DIBL y GIDL.	23
2.6. BTBT en uniones PN polarizadas inversamente.	24
2.7. GIDL en MOSFETs.	26
2.8. Diferentes mecanismos de Tuneleo en MOSFET.	27
2.9. Densidades de corriente de tuneleo en compuerta contra voltaje en compuerta para diferentes espesores de óxido de compuerta.	29

2.10. Líneas de campo eléctrico en dispositivos MOSFET, FDSOI y DGMOS-FET.	32
3.1. Estructura del <i>Fin</i> FET.	36
3.2. Ubicación de las dos compuertas en el <i>Fin</i> FET.	37
3.3. Flujo de corriente en las paredes verticales de la aleta.	38
3.4. Clases de <i>Fin</i> FETs.	40
3.5. Comparación entre los layouts de MOSFETs y <i>Fin</i> FETs.	42
3.6. Proceso de fabricación de las aletas de los <i>Fin</i> FET.	44
3.7. Implantes de dopado para la formación de <i>Fin</i> FETs asimétricos. . . .	47
3.8. Diferentes tipos de contactos en las aletas.	48
3.9. Importancia del alineamiento de los contactos.	49
3.10. Simbología eléctrica usada en la tesis para represntar a los <i>Fin</i> FETs. .	50
3.11. Transistores de doble compuerta asimétricos.	51
3.12. Estructura empleada para determinar las capacitancias en el <i>Fin</i> FET. .	54
3.13. Capacitancias de solapamiento en un <i>Fin</i> FET.	56
3.14. Capacitancias por efecto borde C_{fr} en un <i>Fin</i> FET.	58
3.15. Principales mecanismos de fuga presentes en un <i>Fin</i> FET.	61
3.16. Dependencia de la pendiente subumbral con las dimensiones T_{si} y L_{eff} (superficie rosa: $t_{ox} = 1nm$, superficie azul: $t_{ox} = 1,3nm$ y superficie amarilla: $t_{ox} = 1,6nm$).	64
3.17. Comportamiento de la corriente subumbral para diferentes valores de T_{si} (superficie naranja: $T_{si} = 4nm$, superficie azul: $T_{si} = 8nm$ y super- ficie amarilla con violeta: $T_{si} = 12nm$).	65
3.18. Doblamiento de bandas de energía en los diferentes <i>Fin</i> FETs canal N. .	66
3.19. Mecanismos de tuneleo en los diferentes <i>Fin</i> FETs canal P.	67
3.20. Corrientes EDT en <i>Fin</i> FETs.	72
4.1. Diagrama de flujo para el cálculo de I_D vs V_{GS}	79
4.2. Diagrama de flujo para el cálculo de I_D vs V_{DS}	80

4.3. Comparación de las gráficas I_D vs V_{GS}	81
4.4. Comparación de las gráficas I_D vs V_{DS}	81
4.5. Proceso de conversión de las curvas de corriente del <i>FinFET</i> P a las variables V_{in} , V_{out} e I_{Dn}	83
4.6. Generación de la CTV del inversor.	84
4.7. Diagrama de flujo para determinar la CTV de un inversor.	88
4.8. Capacitancia de solapamiento.	89
4.9. Capacitancia de borde C_1	89
4.10. Capacitancia de borde C_2	90
4.11. Capacitancia de borde C_3	90
4.12. Diagrama de flujo para determinar las corrientes de tuneleo de com- puerta a canal.	91
4.13. Corrientes de tuneleo de compuerta a canal.	92
4.14. Diagrama de flujo para determinar las corrientes EDT.	93
4.15. Corriente EDT en un MOSFET N en estado de apagado.	94
5.1. Falla <i>stuck-open</i> en el drenador de FNB y corrientes de fuga presentes para $t \geq 0$	97
5.2. Circuito eléctrico equivalente para determinar el comportamiento de la compuerta NOR ante la falla <i>stuck-open</i>	100
5.3. Corriente subumbral en función de V_{DS}	103
5.4. Densidad de corriente de tuneleo J_{DG} en función de V_{DG}	105
5.5. Densidad de corriente de tuneleo J_{GC} en función de V_{GS}	108
5.6. Capacitancias a tomar en cuenta para la obtención de C_X	109
5.7. Comportamiento de V_X e I_{CX} ante la falla <i>stuck-open</i> en el drenador de FNB.	113
5.8. Derivada de V_X con respecto al tiempo.	115
5.9. Compuerta NOR empleada para determinar el comportamiento de V_X a diferentes <i>fanin</i> y <i>fanout</i>	116

5.10. Corrientes de fuga generadas en la red P.	117
5.11. Respuesta estacionaria para diferentes <i>fanin</i> y <i>fanout</i> de la compuerta NOR con la falla <i>stuck-open</i> en el drenador de FNj.	118
5.12. División de las componentes de corriente en la compuerta NOR y el inversor de carga.	119
5.13. Comportamiento de las corrientes de fuga en función del V_X	120
5.14. Dependencia del <i>holding time</i> con el <i>fanin</i> y el <i>fanout</i> de la compuerta NOR con la falla <i>stuck-open</i> en el drenador de FNj.	121
5.15. Tasas máximas de decremento en V_X para diferentes <i>fanin</i> y el <i>fanout</i> de la compuerta NOR con la falla <i>stuck-open</i> en el drenador de FNj. . .	122
5.16. Corrientes de Fuga en la compuerta NOR con la puesta del vector <i>anti-</i> <i>test</i> para $t \geq 0$	123
5.17. Comportamiento de V_X e I_{CX} con la puesta del vector <i>anti-test</i> en compuerta NOR con falla <i>stuck-open</i> en el drenador de FNB.	126
5.18. El valor de V_X tiene el mismo valor estacionario para un vector correcto y un vector <i>anti-test</i>	127
5.19. Dependencia del <i>holding time</i> con la puesta del vector <i>anti-test</i> para diferentes <i>fanin</i> y <i>fanout</i> de la compuerta NOR con la falla <i>stuck-open</i> en el drenador de FNj.	128
5.20. Comportamiento de V_X para <i>fanin</i> 2 y 3 con <i>fanout</i> variables ante la puesta del vector <i>anti-test</i> en la compuerta NOR con la falla <i>stuck-open</i> en el drenador de FNj.	129
5.21. Tasas máximas de incremento en V_X para diferentes <i>fanin</i> y <i>fanout</i> de la compuerta NOR con la falla <i>stuck-open</i> en el drenador de FNj con la puesta del vector <i>anti-test</i>	130
5.22. Falla <i>stuck-open</i> en el drenador de FPB y corrientes de fuga presentes para $t \geq 0$	132

5.23. Comportamiento de V_X e I_{CX} en compuerta NOR con la falla <i>stuck-open</i> en el drenador de FPB.	133
5.24. Respuesta estacionaria para diferentes <i>fanin</i> y <i>fanout</i> de la compuerta NOR con falla <i>stuck-open</i> en el drenador de FPj	134
5.25. Compuerta NAND estática a analizar.	135
5.26. Falla <i>stuck-open</i> en el drenador de FNB y corrientes de fuga presentes para $t \geq 0$	136
5.27. Compuerta NAND empleada para determinar el comportamiento de V_X a diferentes <i>fanin</i> y <i>fanout</i>	137
5.28. Respuesta estacionaria de V_X de la compuerta NAND con falla en el drenador de FNj para <i>fanin</i> y <i>fanout</i>	138
5.29. Gráfica de la componente de corriente en la red-P y en el inversor de carga.	139
5.30. Comportamiento de tasas máximas de carga y <i>holding time</i> de la compuerta NAND con falla en el drenador de FNj para diferentes <i>fanin</i> y <i>fanout</i>	140
5.31. Falla <i>stuck-open</i> en el drenador de FPB y corrientes de fuga presentes para $t \geq 0$	141
5.32. Respuesta estacionaria de V_X para diferentes <i>fanin</i> y <i>fanout</i> de la compuerta NOR con falla <i>stuck-open</i> en el drenador de FPj	142
5.33. Comportamiento de las corrientes de fuga en función del V_X	143
5.34. Comportamiento del, <i>holding time</i> y tasas máximas de carga de la compuerta NAND con falla en el drenador de FPB para diferentes <i>fanin</i> y <i>fanout</i>	144
5.35. Falla <i>stuck-open</i> en el drenador de FPB con compuerta NOR como carga y corrientes de fuga presentes para $t \geq 0$	147
5.36. Falla <i>stuck-open</i> en el drenador de FPB con compuerta NOR como carga y corrientes de fuga presentes para $t \geq 0$	148

5.37. Respuestas estacionarias de V_X para $fanin$ y $fanout$ variables teniendo como carga compuertas NOR.	149
5.38. Falla <i>stuck-open</i> en el drenador de FNB con compuerta NAND como carga y corrientes de fuga presentes para $t \geq 0$	150
5.39. Falla <i>stuck-open</i> en el drenador de FNB con compuerta NAND como carga y corrientes de fuga presentes para $t \geq 0$	152
5.40. Comportamiento de las respuestas estacionarias, <i>holding time</i> y tasas máximas de carga para la compuerta NAND con falla en el drenador de FNB para diferentes $fanin$ y $fanout$	153
6.1. Reducción de la corriente de tuneleo de compuerta a canal con Si_3N_4	165
6.2. Efecto FIBL en dispositivos con dieléctricos de <i>high-k</i>	165
6.3. Reducción del voltaje de umbral debido al FIBL para diferentes constantes dieléctricas.	167
6.4. Comportamiento las respuestas estacionarias de V_X , <i>holding time</i> y tasas máximas de descarga de la compuerta NOR con falla en el drenador de FNj para diferentes $fanin$ y $fanout$	169
6.5. Comportamiento del <i>holding time</i> y tasas máximas de carga de la compuerta NOR con falla en el drenador de FNj para diferentes $fanin$ y $fanout$ con la puesta del vector <i>anti-test</i>	170
6.6. Comportamiento de la respuesta estacionaria de V_X para la compuerta NOR vista en la sección 5.2.3 para diferentes $fanin$ y $fanout$	172
6.7. Comportamiento de la respuesta estacionaria de V_X para la compuerta NAND vista en la sección 5.3.1 para diferentes $fanin$ y $fanout$	173
6.8. Comportamiento las respuestas estacionarias de V_X , <i>holding time</i> y tasas máximas de descarga de la compuerta NAND con falla en el drenador de FPj para diferentes $fanin$ y $fanout$	175

Índice de cuadros

3.1. Valores para masas efectivas m_i^* , masas efectivas de estado m_{di}^* y factor de degeneración de valle	68
6.1. Propiedades del Si_3N_4	163

Bibliografía

- [1] G. E. Moore. *Cramming more components onto integrated circuits*, (Electronics, vol.38, pp.114-117, 1965).
- [2] <http://www.intel.com/>
- [3] R. H. Dennard, et al. *Design of Ion-Implanted MOSFETs with Very Small Physical Dimensions*, (IEEE J. Solid State Circuits, SC-9, 256, 1974).
- [4] R.-H. Yan and A. Ourmazd *Scaling the Si MOSFET: from bulk to SOI to bulk*, (IEEE Transactions on Electron Devices, vol.39, 1992, pp.1704-1710).
- [5] Y. Taur, et al. *High performance 0.1 um CMOS devices with 1.5V power supply*, (IEEE IEDM Technical Digest, 1993, pp. 127-130).
- [6] T. Ghani, et al. *Scaling challenges and device design requirements for high performance sub-50 nm gate length planar CMOS transistor*, (in Proc. Symp. VLSI Technol., June 2000, pp. 174-175).
- [7] J. C. Lee, et al. *High-K dielectrics and MOSFET characteristics*, (in IEDM Tech. Dig., 2003, pp. 9598).
- [8] Wallace W. Lin and Chunlin Liang *Polysilicon Gate Depletion Effect on Deep-submicron Circuit Performance*, (1994 IEEE, pag. 185-188).

- [9] Robert Chau, et al. *Application of High-k Gate Dielectrics and Metal Gate Electrodes to enable Silicon and Non-Silicon Logic Nanotechnology*, (Components Research, Technology and Manufacturing Group, Intel Corporation).
 - [10] R. Chau. et al. *Highk/ Metal-gate stack and its MOSFET characteristics*, (IEEE Electron Device Lett., vol. 25, no. 6, pp. 408410, 2004).
 - [11] Yang-Kyu Choi. *FinFET for Terabit Era* (Journal of Semiconductor Technology and Science, Vol.4, No.1, March, 2004).
 - [12] Kaushik Roy, et al. *Leakage Current Mechanisms and Leakage Reduction Techniques in Deep-Submicrometer CMOS Circuits*, (Proceedings of the IEEE, Vol.91, No.2, February 2003).
 - [13] <http://www.itrs.net/>
 - [14] R. Rodríguez-Montañés *Resistance Characterization for Weak Open Defects* (Design and Test 2002, pp.18-26).
 - [15] K. M. Thompson *Intel and the myths of test* (IEEE Design and Test of computers, Vol. 13, No.1, Spring 1995, pp. 79-81).
 - [16] Miron Abramovici, et al. *Digital Systems Testing and Testable Design*, (IEEE Press Copyright 1990).
 - [17] Wadsack R.L. *Fault Modeling and Logic Simulation of CMOS and MOS Integrated Circuits*, (Bell System Tech. J., Vol. 57, No.5, May-June 1978, pp.1449-1474).
 - [18] Steven D. Millman and Edward J. McCluskey *Detecting Stuck-Open Faults with Stuck-At Test Sets*, (IEEE, Custom Integrated Circuits Conference, 1989).
-

-
- [19] Rodriguez-Montañez, et al. *Impact of gate tunneling leakage on CMOS circuits with full opens defects*, (IEEE Electronics Letter, Vol.43, No.21, October 2007).
 - [20] Roberto Gomez, et al. *A modern look at the CMOS Stuck-Open Fault*.
 - [21] Edward J. Nowak, et al. *Turning Silicon on its Edge*. (IEEE Circuits and Devices magazine January/February 2004).
 - [22] Hon-Sum, et al. *Nanoscale CMOS*, (Proceedings of the IEEE, Vol.87, No.4, April 1999).
 - [23] Brews, J. *High speed semiconductor devives*, (in Sze, S.M, Ed: John Wiley and Sons, New York 1990).
 - [24] A. Agarwal, et al. *Leakage power analysis and reduction: models, estimation and tools*, (IEEE Proc.-Comput. Digit. Tech., Vol. 152, No. 3, pag.353-368, May 2005).
 - [25] T. Skotnicki, et al. *The voltage-doping transformation: a new aproach to the modeling of MOSFET short-channel effects* , (IEEE electron devices letters 9, 109, 1998).
 - [26] Ban P. Wong, et al. *Nano-CMOS Circuit and Physical Design*, (Wiley Interscience, Ed: John Wiley and Sons, Inc; Publication, 2005).
 - [27] Y. Taur. *CMOS design near the limit of scaling*, (IBM J. RES DEV. Vol.46, No. 2/3, March/May 2002).
 - [28] Y. Taur and T. H. Ning, *Fundamentals of Modern VLSI Devices*, (Cambridge University Press, New York, 1998).
 - [29] Wen-Chin Lee and Chenming Hu. *Modeling CMOS tunneling currents through ultrathin gate oxide due to conduction and valence band electron*
-

- and hole tunneling*, (IEEE Electron Device. vol.48, no. 7, July 2001, pp.209211).
- [30] T. Sekigawa and Y. Hayashi. *Calculated threshold voltage characteristic of an X MOS transistor having an additional bottom gate*, (Solid State Electronics 27, 827, 1984).
- [31] T. Sekigawa and Y. Hayashi. *Feasibility of very short channel MOS transistors with double-gate structure*, (Electronics and Communications in Japan, Part 2. 1993).
- [32] J.-P. Colinge *FinFETs and other multigate-transistors*, (Series on integrated circuits and systems, Editorial: Springer, August 2007).
- [33] Q. Cheng, et al. *A comprehensible analytical subthreshold swing (S) model for double-gate MOSFETs*, (IEEE Trans. Electron Devices, 49 pp.1086-1090).
- [34] L. Chang, et al. *Direct tunneling gate leakage current in double-gate and ultrathin body MOSFETs*, (IEEE Trans. Electron Devices, vol. 49, Dec. 2002, pp.2288-2295).
- [35] S. H. Oh et al. *50nm vertical replacement gate (VRG) pMOSFETs*, (Int. Electron Devices Meeting Tech. Dig , 2000, pp.65-68).
- [36] H. S. P. Wong et al. *Self aligned (top and bottom) double gate MOSFET with a 25nm thick silicon channel*, (Int. Electron Devices Meeting Tech. Dig , 1997, pp.427-430).
- [37] T. Su et al. *New planar self-aligned double-gate fully-depleted p-MOSFET's using epitaxial lateral overgrowth (ELO) and selective grown source/drain (S/D)*, (Proc. IEEE Int. SOI Conf., 200, pp.110-111).
-

-
- [38] J. H. Lee et al. *Super self-aligned double-gate (SSDG) MOSFET's utilizing oxidation rate difference and selective epitaxy*, (Int. Electron Devices Meeting Tech. Dig , 1999, pp.71-74).
- [39] Jie Gu, et al. *Width Quantization Aware FinFET Circuit Design*, (Conference 2006, IEEE Custom Integrated Circuits, Sept. 2006, pp. 337-340).
- [40] L. Chang *Gate Length Scaling and Threshold Voltage control of Double-Gate MOSFETs*, (Electron Devices Meeting, 2000. IEDM Technical Digest International, pp.719-722).
- [41] H.-S. P. Wong *Beyond the conventional transistor*, (IBM J. RES. DEV., Vol. 46, No. 2/3 March/May 2002).
- [42] Y. K. Choi et al. *A spacer patterning technology for nanoscale CMOS*, (IEEE Trans. Electron Devices, vol.49, March 2002, pp.1086-1090).
- [43] J. Preteta et al. *Coupling effects and channels separation in FinFETs*, (Solid State Electronics, 48-4 535 2004).
- [44] S. Kuppurao et al. *In Situ Steam Generation: A new rapid thermal oxidation techniques*, (Solid State Electronics, 43-7 233 2000).
- [45] T. Y. Luo et al. *Effect of H₂ content on reliability of Ultrathin In-Situ Steam Generated (ISSG) SiO₂*, (IEEE Electron Device Letters 21-9, 430 2000).
- [46] P.E. Hellberg et al. *Work function on Boron-doped polycrystalline Si_xGe_{1-x} film*, (IEEE Trans. Electron Devices, vol.18, February 1997, pp.456-458).
- [47] K.Kim *Process/physics-based threshold voltage model for nano-scaled double-gate devices*, (Int. J. Electronics, vol.91, No.3, March 2004, pp.139-148).
-

- [48] D. Ward and R. Dutton *A charge oriented model for MOS transistors capacitances* (IEEE J. Solid-State Circuits, vol.13, no. 5, pp. 703-708, 1978).
 - [49] Mohan Vamsi Dunga *Nanoscale CMOS Modeling*, (Technical Report No.UCB/EECS-2008-20 <http://www.eecs.berkeley.edu/Pubs/TechRpts/2008/EECS-2008-20.html> March 3, 2008).
 - [50] Wen. Wu et al. *Analysis of Geometry-Dependent Parasitics in Multi-fin Double-Gate FinFETs*, (IEEE Trans. Electron Devices, vol.54, No.4, April 2007, pp.692-698).
 - [51] Seung-Hwan Kim et al. *Modeling and significance of fringe capacitance in nonclassical CMOS devices with gate-source/drain underlap*, (IEEE Trans. Electron Devices, vol.53, No.9, September 2006, pp.2143-2150).
 - [52] S. Mukhopadyay, et al. *Modeling and Analysis of Leakage Currents in Double-Gate Technologies* (IEEE Transactions, Vol.25, No.10, October 2006).
 - [53] Y. Taur, et al. *Analytic Solutions of charge and capacitance in symetric and asymetric double-gate MOSFETs*, (IEEE Trans. Electron Devices, vol. 48, Dec. 2001, pp.2861-2869).
 - [54] S. Mukhopadyay, et al. *Modeling and Analysis of Gate Leakage in Ultrathin Oxide Sub-50nm Double Gate Devices and Circuits* (Proceedings of the Sixth International Symposium on Quality Electronic Design 2005).
 - [55] L. F. Register, et al. *Analytic model for direct tunneling current in polycrystalline silicon-gate metal-oxide-semiconductor devices*, (Appl. Phys. Lett., vol.74, 1999, pp.457-459).
-

-
- [56] Mohan V. Dunga, et al. *BSIM 4.6.1 MOSFET Model User's Manual*, (Department of Electrical Engineering and Computer Sciences University of California, Berkeley, CA 94720).
- [57] K.Ñ. Yang et al. *Characterization and modeling of edge direct tunneling (EDT) leakage in ultrathin gate oxide MOSFETs*, (IEEE Trans. Electron Devices, vol.48, No.6, June 2001, pp.1159-1164).
- [58] <http://www.maplesoft.com>
- [59] *SCHRED*, (Disponible en <http://www.nanohub.org/>)
- [60] Liqiong Wei et al. *Vertically Integrated SOI Circuits for Low-Power and High Performance Applications*, (IEEE Trans on VLSI systems, vol.10, No.3, June 2002, pp.351-362).
- [61] Anish Muttreja et al. *Threshold Voltage Control through Multiple Supply Voltages for Power-efficient FinFET Interconnects*, (IEEE Computer Society, 21st International Conference on VLSI Design, 2008).
- [62] Cristian Grecu et al. *A Scalable Communication-Centric SoC Interconnect Architecture*, (IEEE Computer Society, 2004).
- [63] *ITRS: Process Integration, Devices and Structures*, (2007 Edition, disponible en: <http://www.itrs.net/>)
- [64] Qiang Chen and James D. Meindl *Nanoscale metal-oxide-semiconductor field-effect transistors: scaling limits and opportunities.*, (Institute of physics publishing, Nanotechnology 15, pp.S549-S555, July 2004).
- [65] X. Guo and T.P. Ma *Tunneling Leakage Current in oxynitride: Dependence on oxygen/nitrogen content*, (IEEE Electron Device Lett., vol.19, pp.207-209, June 1998).
-

- [66] Yee Chia Yeo et al. *Direct tunneling gate leakage current in transistors with ultrathin Silicon Nitride gate dielectric*, (IEEE Electron Device Lett., vol.21, no.11, pp.540-542, November 2000).
 - [67] Yeap GCF and Krishnam S. *Fringing-induced barrier lowering (FIBL) in sub-100nm MOSFETs with high-k gate dielectrics.*, (IEEE Electron Lett., 1998, pp.1150-1152).
 - [68] T.K. Chiang and M.L. Chen *A new analytical threshold voltage model for symmetrical double-gate MOSFETs with high-k gate dielectrics.*, (Solid-State Electronics, January 2007, pp.387-393).
-