



INAOE

Osciladores de anillo resonantes utilizando líneas de transmisión

por

Ing. Javier Osorio Figueroa

Tesis sometida como requisito parcial
para obtener el grado de

**MAESTRO EN CIENCIAS EN LA
ESPECIALIDAD DE ELECTRÓNICA**

en el

**Instituto Nacional de Astrofísica, Óptica y
Electrónica**

Enero 2012

Tonantzintla, Puebla

Supervisada por:

Dr. Mónico Linares Aranda y

Dr. Luis Hernández Martínez

©INAOE 2012

El autor otorga al INAOE el permiso de reproducir
y distribuir copias en su totalidad o en
partes de esta tesis



Resumen

Con el escalamiento acelerado de los dispositivos electrónicos y la necesidad de incrementar las frecuencias de operación para tener sistemas más veloces, es necesario buscar nuevas alternativas de distribución y generación de señales de reloj en los circuitos integrados debido a que técnicas convencionales presentan ya muchas limitaciones en frecuencia, consumo de potencia e incertidumbre en el arribo de las señales a sus destinos, lo cual es vital para la temporización y sincronización de sistemas electrónicos integrados síncronos.

Para solventar estos problemas se opta por distribuir la señal por medio de relojes locales, por lo que técnicas innovadoras como relojes resonantes han cobrado mayor importancia, debido a que generan señales a mayores frecuencias al mismo tiempo que las distribuyen. Dichos osciladores aprovechan los elementos parásitos de las líneas de transmisión para generar oscilaciones, reduciendo el consumo de potencia y la incertidumbre en el tiempo. Entre los métodos más utilizados se encuentran los osciladores de onda viajera rotatoria (RTWO) y onda estacionaria (SWO); el primero consiste en rotar una señal por medio de un camino cerrado y el segundo produce las oscilaciones mediante reflexiones en los extremos de la línea haciendo que la señal incidente se superponga con la señal reflejada.

En esta tesis se presenta el diseño de relojes resonantes del tipo SWO y RTWO operando a frecuencias de hasta $10GHz$. Con el fin de probar la robustez de los osciladores, éstos son sometidos a variaciones de voltaje y temperatura, presentando un comparativo entre estas técnicas con osciladores de anillo no resonantes. Las simula-

ciones de los diferentes osciladores de anillo resonantes y no resonantes son llevadas a cabo por medio del simulador *Mentor Graphics*, usando una fuente de alimentación de $1.2V$ y una tecnología TSMC de $0.13\mu m$ CMOS.

Agradecimientos

A mi asesores: Dres. Mónico Linares Aranda y Luis Hernández Martínez.

Por brindarme la oportunidad de trabajar con ustedes, por sus valiosos consejos y por permitirme crecer como persona. **Muchas Gracias.**

Al Consejo Nacional de Ciencia y Tecnología (CONACYT)

Por el apoyo económico otorgado a través de la beca para estudios de maestría (No. de Registro: 235155)

Al Instituto Nacional de Astrofísica, Óptica y Electrónica (INAOE)

Por darme la oportunidad de realizar los estudios de posgrado.

A mi familia

Por apoyarme siempre en los momentos difíciles y creer siempre en mi.

A los amigos y compañeros del INAOE

Por la ayuda, los buenos consejos, las risas y los días de desvelo GRACIAS.

A los doctores y técnicos del instituto

Por sus grandes consejos y sugerencias, además de brindarme su amistad GRACIAS.

Dedicatorias

Este trabajo se lo dedico a mis padres Javier Osorio Villagómez y María Magdalena Figueroa Navarrete, que siempre me han apoyado en mis decisiones, que nunca me han dejado caer y que siempre han estado en los momentos difíciles para apoyarme. A mis hermanos Omar y Lila, que con sus consejos, ánimos y regaños me han ayudado a salir adelante.

Índice general

Resumen	I
Agradecimientos	III
Dedicatorias	V
Lista de Símbolos	XI
Acrónimos	XV
1. Introducción	1
1.1. Justificación	2
1.2. Objetivo	3
1.3. Organización del Documento	4
2. Líneas de Transmisión	7
2.1. Modelos, Características y Ecuaciones de Líneas de Transmisión	7
2.2. Elementos Parásitos en Líneas	10
2.2.1. Resistencia	10
2.2.2. Inductancia	12
2.2.3. Capacitancia	13
2.2.4. Conductancia	14
2.3. Reflexiones en Líneas de Transmisión	15

2.4. Extracción de Parámetros de Líneas de Transmisión	17
2.5. Conclusiones	23
3. Distribución de Señales de Reloj	25
3.1. Elementos que Afectan la Distribución de Reloj	25
3.1.1. Incertidumbre en el Tiempo	26
3.1.2. Variación Paramétrica	28
3.1.3. Ruido	29
3.1.4. Consumo de Potencia	31
3.2. Distribución de Reloj	32
3.2.1. Redes de Distribución de Reloj Global	33
3.2.2. Direcciones Futuras de la Distribución de Reloj	35
3.3. Conclusiones	36
4. Diseño de Osciladores de Anillo y Resonantes	37
4.1. Osciladores de Anillo (OA)	37
4.2. Osciladores Resonantes	38
4.2.1. Osciladores de Onda Viajera Rotatoria (RTWO)	39
4.2.2. Osciladores de Onda Estacionaria (SWO)	43
4.3. Compensadores	48
4.3.1. Diseño de Compensadores	49
4.4. Conclusiones	51
5. Resultados y comparaciones de osciladores de anillo resonantes y no resonantes	53
5.1. Dimensionamiento de Compensadores	53
5.1.1. Dimensiones de Osciladores de Anillo no Resonantes	55
5.1.2. Dimensiones de Osciladores Resonantes	56
5.2. Análisis de Variaciones de Voltaje y Temperatura	57

5.2.1. Variaciones de Voltaje y Temperatura en Osciladores de Anillo no Resonantes	58
5.2.2. Variaciones de VT para Osciladores RTWO y SWO 1/2	60
5.2.3. Variaciones de VT para Osciladores SWO	65
5.3. Ruido en Osciladores de Anillo Resonantes y no Resonantes	68
5.4. Comparaciones Entre los Resultados Obtenidos y Otros Trabajos	70
5.5. Conclusiones	73
6. Conclusiones generales	75
6.1. Trabajo a futuro	76
Índice de figuras	77
Índice de cuadros	81
A. Parámetros de fabricación de la línea	83
B. <i>Buffers</i> de salida	87
C. Resultados del capítulo 5	95
Bibliografía	101

Lista de Símbolos

Símbolo	Nombre	Unidad
ac	Corriente alterna	A
A	Área	m^2
B	Densidad del flujo magnético	<i>Tesla</i>
c	Velocidad de la luz en el vacío(3×10^8)	m/s
C	Capacitancia	F
C_{Linea}	Capacitancia de la línea	F
C_T	Capacitancia total	F
C_{ox}	Capacitancia del óxido	F
D	Ciclo de trabajo	1
dc	Corriente directa	A
f	Frecuencia	Hz
G	Conductancia	\mathcal{U}
g_m	Transconductancia del transistor	\mathcal{U}
h	Espesor de la línea	m
H	Intensidad del campo magnético	A/m
I	Corriente	A
I_d	Corriente desplazada	A
I_{fuga}	Corriente de fuga	A
I_{in}	Corriente incidente	A
I_{ref}	Corriente reflejada	A
j	Factor imaginario	1

l	Longitud de la línea de transmisión	m
L	Inductancia	H
L_{canal}	Longitud efectiva del canal	μm
N	Cantidad de compensadores	1
N_{seg}	Segmentos de línea	1
P	Potencia	W
P_E	Potencia estática	W
P_D	Potencia dinámica	W
P_{in}	Potencia incidente	W
P_T	Potencia total	W
P_{ref}	Potencia reflejada	W
q	Carga	C
R	Resistencia	Ω
R_{ac}	Resistencia en corriente alterna	Ω
R_{dc}	Resistencia en corriente directa	Ω
R_{Total}	Resistencia total	Ω
R_{via}	Resistencia en la vía	Ω
R_{\square}	Resistencia por cuadro	Ω/\square
t	Espesor del material	m
T	Período	s
$tang(\delta)$	Tangente de pérdidas	1
t_d	Tiempo de retardo	s
t_{di}	Espesor del dieléctrico	m
t_{est}	Tiempo de establecimiento	s
t_f	Tiempo de bajada	s
t_l	Retardo de la línea	s
t_r	Tiempo de subida	s
U_o	Movilidad de portadores	$cm^2/V - s$
v	Propagación de la velocidad	m/s

V	Voltaje	V
V_{DD}	Voltaje de alimentación	V
V_{gs}	Voltaje de compuerta a fuente	V
V_{in}	Voltaje incidente	V
V_{of}	$V_{gs} - V_t$	V
V_{ref}	Voltaje reflejado	V
V_{th}	Voltaje umbral	V
w	Ancho del conductor	m
Z_O	Impedancia característica de la línea	Ω
α	Constante de atenuación	Np/m
β	Constante de fase	rad/m
γ	Constante de propagación ($\alpha + j\beta$)	1
Γ	Coefficiente de reflexión	1
Γ_c	Coefficiente de reflexión de la corriente	1
δ	Profundidad de piel	m
ϵ_{di}	Permitividad del dieléctrico	F/m
ϵ_o	Permitividad absoluta o en el vacío ($8,854 \times 10^{-12}$)	F/m
ϵ_r	Permitividad relativa o constante dieléctrica	1
κ	Factor de compensación	1
λ	Longitud de onda	m
μ	Permeabilidad	H/m
μ_o	Permeabilidad del vacío ($4\pi \times 10^{-7}$)	H/m
μ_r	Permeabilidad relativa	1
ρ	Resistividad	$\Omega - m$
Φ	Flujo magnético	Wb
ω	Frecuencia angular ($2\pi f$)	Hz

Acrónimos

ADS	Advanced Design System	Sistema de diseño avanzado
CI	Integrated Circuit	Circuito Integrado
CMOS	Complementary Metal Oxide Semiconductor	Metal óxido semiconductor complementario
MOS	Metal Oxide Semiconductor	Metal óxido semiconductor
OA	Ring Oscillator	Oscilador de anillo
PLL	Phase Locked Loop	Circuito de lazo de amarre de fase
PVT	Process, Voltage and Temperature	Proceso, Voltaje y Temperatura
RTWO	Rotary Traveling Wave Oscillator	Oscilador de onda viajera rotatoria
SWO	Standing Wave Oscillators	Oscilador de onda estacionaria
TSMC	Taiwan Semiconductor Manufacturing Company	Compañía de manufactura de semiconductores de Taiwan
VCO	Voltage Oscilador Controlled	Oscilador controlado por voltaje
VLSI	Very Large Scale Integration	Integración en escala muy grande
VT	Voltage and Temperature	Voltaje y temperatura

Capítulo 1

Introducción

El desarrollo de circuitos integrados (CI) cada vez más pequeños, baratos y que realicen un mayor número de tareas (o funciones), deriva en una reducción acelerada del tamaño de los dispositivos electrónicos para aumentar la densidad de integración (Figura 1.1) y así crear aparatos electrónicos (computadoras, ipods, celulares, etc) con mayores funciones y aumentar su capacidad de almacenar información; sin embargo, la reducción de los dispositivos trae consigo grandes desventajas tales como un incremento en las distancias que deben recorrer las señales entre los diferentes componentes, problemas de canal corto, incremento en el ruido, entre otros. Si a ésto, se le agrega el crecimiento de la frecuencia con el paso del tiempo (Figura 1.2), el problema es aun mayor.

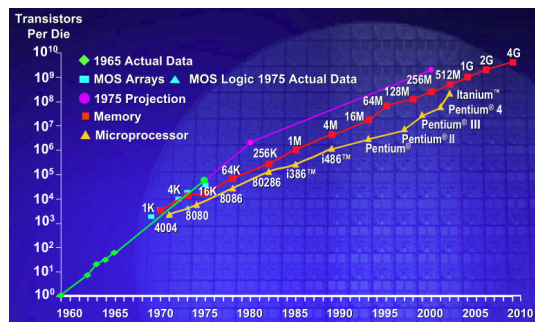


Figura 1.1: Crecimiento del número de compuertas con respecto al tiempo [1]

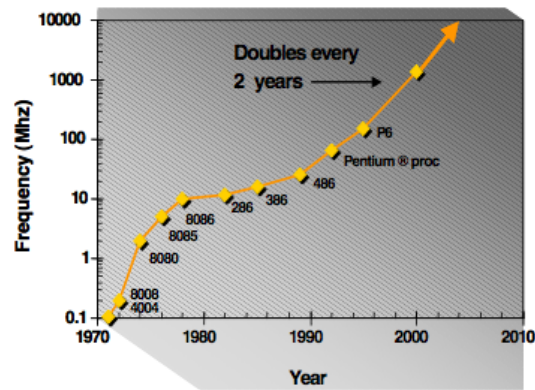


Figura 1.2: Crecimiento de la frecuencia con respecto al tiempo [2]

Anteriormente, el retardo debido a las compuertas representaba la porción más significativa del tiempo que tardaba la señal de reloj en propagarse; actualmente, debido al escalamiento tecnológico, el retardo en las compuertas es reducido y los retardos en las líneas de interconexión comienzan a ser dominantes [3, 4].

La necesidad de incrementar la frecuencia de operación en los dispositivos, hace que el distribuir una señal de reloj en el dado se vuelva una tarea complicada; la distribución de la señal de reloj se realiza por medio de redes de distribución de reloj, un componente fundamental en cualquier diseño VLSI (*Very-large-scale integration*) síncrono, las cuales se espera sean capaces de manejar miles de registros con la menor cantidad de disipación de potencia e incertidumbre en el tiempo (*Skew* y *Jitter*).

1.1. Justificación

Topologías de redes de distribución de reloj convencionales (árbol RC, rejilla *Mesh*, árbol H, árbol cuaternario, entre otros) se han visto superadas por el avance acelerado de la tecnología, haciendo que éstas sean incapaces de solventar los problemas de distribución de una señal de reloj. Estas topologías, consumen una porción significativa (entre el 15 % – 50 %) de la potencia total del CI; si a esto se le agrega la gran incertidumbre de tiempo que éstas poseen (*skew* y *jitter*), la necesidad de diseñar osciladores

(VCOs, PLLs, etc.) que inyecten la señal en la red para distribuirla y la gran cantidad de área consumida, hacen que técnicas innovadoras (osciladores LC acoplados, osciladores distribuidos, osciladores de onda estacionaria, osciladores de onda viajera rotatoria, etc.) sean estudiadas con el fin de implementarlas para solventar los problemas de distribución de reloj [4, 5, 6].

1.2. Objetivo

El presente trabajo está enfocado en mostrar la generación y distribución de una señal de reloj utilizando métodos de relojes resonantes bajo diferentes longitudes y anchos de línea, así como un estudio del comportamiento de éstos ante variaciones de temperatura y voltaje, su comportamiento al ruido a la salida y distorsión de la señal. Todo esto realizado con el simulador *Mentor Graphics* en una tecnología TSMC $0.13\mu m$ CMOS, con temperatura de $60^{\circ}C$ (debido a los parámetros de la industria) y voltaje nominal de $1.2V$.

Los objetivos principales englobados en este trabajo son:

- Diseñar redes de generación y distribución de reloj del tipo resonante (RTWO y SWO) aprovechando los elementos parásitos (L y C) que se encuentran implícitos en las líneas para generar y distribuir señales de reloj periódicas. Así como diseñar simultáneamente compensadores capaces de contrarrestar las pérdidas introducidas por la línea.
 - Analizar y caracterizar el comportamiento de relojes resonantes considerando las propiedades de los materiales propios del proceso de fabricación CMOS de $0.13\mu m$, así como brindar pautas para el diseño de este tipo de osciladores.
 - Analizar y caracterizar los osciladores resonantes estudiados en la tesis (RTWO y SWO) ante variaciones de voltaje y temperatura (VT).
 - Realizar un comparativo entre osciladores de anillo no resonantes de tres etapas
-

y osciladores resonantes (RTWO y SWO) para determinar que oscilador permite generar una mayor frecuencia de oscilación con un menor consumo de potencia y mayor robustez ante el ruido.

1.3. Organización del Documento

La organización de la tesis se encuentra desarrollada de la siguiente manera:

Capítulo 2 Exhibe las características fundamentales de líneas de transmisión y los elementos parásitos que se encuentran en éstas. Asimismo, las ecuaciones que permiten modelar su comportamiento y un método de extracción de la línea por medio de sus parámetros- S .

Capítulo 3 Brinda conceptos básicos del comportamiento de la señal, así como los problemas principales que ésta presenta al ser distribuida (incertidumbre en el tiempo, potencia, entre otras). Además, se muestran algunas topologías convencionales y sus inconvenientes.

Capítulo 4 Exhibe la forma en como osciladores de anillo y osciladores resonantes (SWO y RTWO) generan y mantienen sus oscilaciones. Igualmente, se encarga de mostrar el diseño de compensadores capaces de soportar las pérdidas a lo largo de la línea.

Capítulo 5 Muestra los resultados obtenidos de las diferentes topologías presentadas, así como tablas de comparación para determinar cual de ellas posee un mejor rendimiento.

Capítulo 6 Señala las conclusiones obtenidas a lo largo de la tesis y trabajo a futuro.

Apéndice A Muestra los parámetros de la línea que se considera al realizar el diseño de los osciladores resonantes y no resonantes con una tecnología CMOS TSMC de $0.13\mu m$.

Apéndice B Presenta el desarrollo de *buffers* utilizados para soportar una carga de $250fF$, y la forma de la señal después de pasar por ellos.

Apéndice C Muestra gráficas y tablas correspondientes a la sección de resultados.

Capítulo 2

Líneas de Transmisión

Los efectos parásitos introducidos por líneas de transmisión (capacitancia, inductancia, transconductancia y resistencia dependientes de la frecuencia) comienzan a dominar algunos aspectos digitales como velocidad, consumo de potencia y confiabilidad. Por ello, es importante estudiar los efectos parásitos con el fin de reducir y/o aprovechar los elementos no deseados [7, 8].

En este capítulo se describen los elementos parásitos que se encuentran implícitos en líneas de transmisión, los modelos con los que éstas pueden ser representadas, sus ecuaciones características, así como una explicación general de reflexiones que suceden en líneas de transmisión. Por último, se presenta el procedimiento de extracción de una línea *microstrip* por medio de sus parámetros- S con la ayuda del *software* ADS (*Advanced Design System*).

2.1. Modelos, Características y Ecuaciones de Líneas de Transmisión

Una línea de transmisión es la estructura encargada de transmitir señales en forma de onda electromagnética (campo eléctrico y magnético) de un punto a otro en la red. Para poder representar la línea de una manera circuital es necesario usar el modelo

equivalente conformado por las resistencias, capacitancias, inductancias y transconductancias que permiten obtener de manera aproximada su comportamiento. Las pérdidas producidas por el material de la línea, el efecto piel y los efectos de proximidad, son representados por la resistencia en serie “ R ”. Las pérdidas debido a la resistencia finita de la separación del diélectrico del conductor y el plano de tierra son representadas por la conductancia “ G ”. Finalmente, el campo magnético es modelado como un inductor “ L ” en serie, mientras que el campo eléctrico entre el conductor y el plano de tierra se indica con un capacitor “ C ” [8, 9].

Los elementos parásitos pueden ser modelados como se muestra en la Figura 2.1. A este tipo de modelos se les llama “Modelos concentrados”, ya que el total de los elementos parásitos, es representado solo como elementos RLCG.



Figura 2.1: Modelos concentrados de líneas de transmisión. a) “ L ” y b) “ π ”

En la Figura 2.2 se muestran los modelos “ L ” y “ π ” en una forma distribuida, donde los valores de RLCG están divididos en “ N ” secciones a lo largo de la línea.

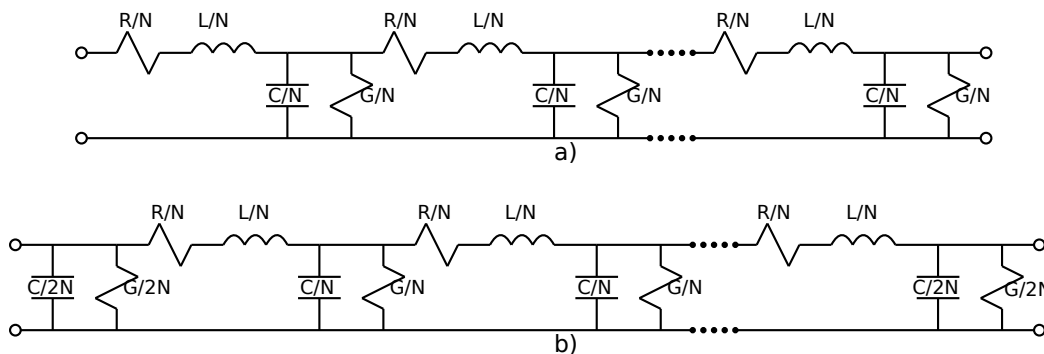


Figura 2.2: Modelos distribuidos de líneas de transmisión. a) “ L ” y b) “ π ”

Para modelar el comportamiento de una línea de una forma exacta, ésta debe estar dividida en la mayor cantidad de segmentos (N_{seg}) posibles; la limitante, es el tiempo

de simulación que toma analizar cada una de éstas porciones de línea. De aquí la necesidad de saber cuál es la menor cantidad de segmentos con los que una línea puede ser representada en una forma precisa (Ecuación 2.1) [8].

La velocidad de propagación (v) se encuentra descrita por la Ecuación 2.2 [8].

$$N_{seg} \geq 10 \left(\frac{l}{t_r v} \right) \quad (2.1)$$

$$v = \frac{c}{\sqrt{\epsilon_r}} \quad (2.2)$$

De la ecuación 2.1, el valor obtenido de “ N_{seg} ” será siempre redondeado al número siguiente, siendo escalados los elementos parásitos en la línea tal como se muestra en la Figura 2.2. Cabe señalar que entre mayor sea la frecuencia de la señal que viaja a través de una línea de transmisión, mayor será el número de secciones requeridas para representarla.

Las características eléctricas básicas que definen a una línea de transmisión son su impedancia característica (Z_o) y su constante de propagación (γ) [8, 10, 11]. Las Ecuaciones 2.3 y 2.4, muestran la forma de calcular Z_o y γ respectivamente. En donde la parte real de la impedancia característica representa la resistencia de la línea, mientras que la parte imaginaria muestra la reactancia de la línea.

$$Z_o = \sqrt{\frac{R + jL\omega}{G + jC\omega}} \quad (2.3)$$

$$\gamma = \sqrt{(R + j\omega L)(G + j\omega C)} = \alpha + j\beta \quad (2.4)$$

La constante de propagación (γ) es utilizada para expresar la atenuación y el desplazamiento de fase por unidad de longitud de una línea de transmisión. Conforme se propaga una onda a lo largo de la línea de transmisión, su amplitud se reduce conforme se incrementa la distancia recorrida; la constante de propagación se utiliza para determinar la reducción en voltaje o corriente en la distancia conforme una onda electromagnética se propaga a lo largo de la línea. La constante de atenuación (α) representa las

pérdidas en el sistema y la constante de propagación (β), muestra los cambios de fase [10, 12, 13, 14]. Para líneas de transmisión con bajas pérdidas ($R \ll \omega j$ y $G \ll \omega C$), α y β se encuentran definidos como:

$$\alpha = \frac{1}{2} \left(\sqrt{\frac{C}{L}} R + \sqrt{\frac{L}{C}} G \right) \quad (2.5)$$

$$\beta = \omega \sqrt{LC} \quad (2.6)$$

2.2. Elementos Parásitos en Líneas

Los elementos parásitos en una línea, son aquellos elementos intrínsecos en la línea que intervienen modificando el comportamiento de ésta. Estos elementos dependen básicamente de las dimensiones y forma de la línea, así como de acoplamientos con líneas vecinas y el sustrato.

2.2.1. Resistencia

La resistencia de una línea es proporcional a su longitud “ l ”, e inversamente proporcional a su sección transversal “ A ”. La Figura 2.3 representa una línea de ancho “ w ”, largo “ l ” y espesor “ h ” colocada sobre un dieléctrico, de la cual la resistencia del conductor rectangular se expresa como [2, 7, 8]:

$$R_{dc} = \frac{\rho l}{A} = \frac{\rho l}{hw} = R_{\square} \frac{l}{w} \quad (2.7)$$

Donde la constante ρ es la resistividad del material ($\Omega - m$) y R_{\square} es la resistencia por cuadro del material (Ω/cuadro).

Idealmente la resistencia se comporta en forma líneal y constante, pero a altas frecuencias, fenómenos como “*efecto piel*” comienzan a ser dominantes.

La Figura 2.4 muestra la migración gradual de la corriente hacia la superficie del

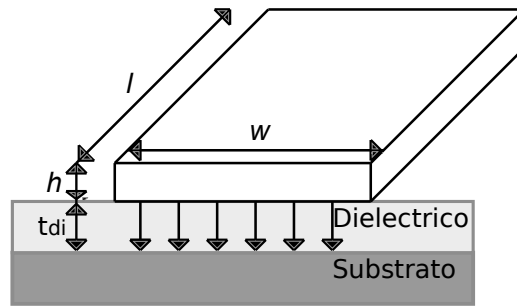


Figura 2.3: Modelo de una línea de interconexión

conductor con el incremento de la frecuencia en una línea *Microstrip*¹, a lo cual se le conoce como “*efecto piel*”. Debido a que la corriente viaja en una capa muy delgada cerca del conductor, el espesor de esta capa es llamada profundidad de piel o profundidad de penetración (δ), donde este efecto puede ser aproximado suponiendo que la corriente fluye uniformemente en los bordes del conductor [2, 7, 8, 12, 15]. Por lo tanto, la profundidad de piel (δ) se expresa como:

$$\delta = \sqrt{\frac{\rho}{\pi f \mu}} \quad (2.8)$$

Siendo μ la permeabilidad alrededor del dieléctrico.

Figura 2.4: Distribución de la corriente en una línea de transmisión “*Microstrip*”

Idealmente se considera que la superficie del metal en la línea no presenta imperfecciones, sin embargo, los procesos de fabricación generan rugosidades en la superficie de las líneas. Estas rugosidades aumentan la resistencia de la línea, esto se debe a que los picos y valles de la superficie rugosa aumentan el camino por el que los electrones deben viajar, lo cual incrementan la resistencia [8, 15]. La resistencia a altas frecuencias

¹Línea que se encuentra construida en la cima de los niveles de metal con solo un plano de tierra por debajo de ella [12, 15]

viene dada por [8]:

$$R_{ac} \approx \frac{\rho}{w\delta} = \frac{\sqrt{\rho\pi\mu f}}{w} \quad (2.9)$$

Así, la resistencia total de una línea aislada sin efectos de proximidad se describe como [8]:

$$R_{Total} \approx \sqrt{R_{dc}^2 + R_{ac}^2} \quad (2.10)$$

2.2.2. Inductancia

La inductancia es la medida de la oposición a un cambio de corriente en presencia de un campo magnético, y se define como la relación entre el flujo de campo magnético (Φ) y la intensidad de la corriente eléctrica (I), en donde la inductancia depende de las características físicas del conductor y de la longitud del mismo.

El flujo de corriente en una línea ocasiona anillos sobre ella de campos magnéticos, los cuales son creados a lo largo de la longitud de la línea en la dirección del flujo de la corriente tal como se muestra en la Figura 2.5, donde “ H ” representa la intensidad del campo magnético. Donde las cruces muestran el flujo de corriente dentro de la línea.

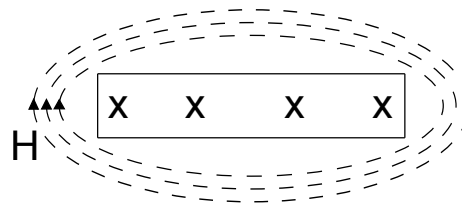


Figura 2.5: Líneas de campo magnético alrededor de una línea

Para la perspectiva de campos, la inductancia relaciona el número de líneas de flujo magnético (B) en una región encerrada dada la corriente requerida para producir líneas de campo [15].

$$B = \mu_o \mu_r H = \frac{\Phi}{A} \quad (2.11)$$

$$L = \frac{\Phi}{I} = \frac{BA}{I} \quad (2.12)$$

Esto muestra que la inductancia presenta una dependencia al flujo de corriente (I) y al campo magnético (Φ) que se contienen dentro de una región (A).

Como las frecuencias de operación de los circuitos integrados continúan incrementándose por arriba de los GHz , la impedancia inductiva asociada con las líneas del chip comienzan a ser comparables o dominantes sobre los componentes de la resistencia (Inicio de la Región del Efecto Piel [16]), resultando en: distorsiones en la señal, aumento en la propagación del retardo y un incremento en los sobretiros de voltajes, lo cual incrementa el ruido *Crosstalk* en líneas vecinas [16, 17, 18]. Sin embargo a frecuencias lo suficientemente altas para producir el efecto piel, la inductancia interna se aproxima a cero debido a la migración de la corriente dentro del conductor. Consecuentemente la inductancia para altas frecuencias es simplemente la inductancia externa [15, 16].

2.2.3. Capacitancia

La capacitancia es la propiedad que tienen los cuerpos para mantener una carga. La forma de calcular la capacitancia es tomando en cuenta su estructura, su ambiente, la distancia al substrato y la distancia entre líneas vecinas. En la Figura 2.3, se aprecia una línea colocada sobre el substrato del semiconductor. Si el ancho de la línea es mucho más grande que el espesor del material aislante (t_{di}), se puede asumir que las líneas de campo eléctrico son ortogonales a las placas del capacitor, y esta capacitancia puede ser modelada utilizando el “capacitor de placas paralelas”. Bajo estas condiciones, la capacitancia total de una línea puede ser aproximada como:

$$C = \frac{\epsilon_{di}}{t_{di}}wl \quad (2.13)$$

Donde t_{di} y ϵ_{di} representan el espesor y la permitividad de la capa del dieléctrico respectivamente.

La capacitancia que se encuentra en las paredes laterales de la línea y el sustrato, es llamada “*capacitancia fringing*”, la cual es mostrada en la Figura 2.6a. En la Figura 2.6b, se muestra un modelo simplificado, el cual aproxima la capacitancia como la suma de un capacitor de placas paralelas determinado por el campo ortogonal entre una línea de ancho “ w ” y el plano de tierra, en paralelo con la capacitancia “*fringing*” modelado por una línea cilíndrica con una dimensión igual al espesor de la interconexión (h) [2, 7, 8]. La forma de calcular la capacitancia de línea se muestra en la Ecuación 2.14.

$$C_{linea} = C_{pp} + C_{fringe} = w \frac{\epsilon_{di}}{t_{di}} + \frac{2\pi\epsilon_{di}}{\log(t_{di}/h)} \quad (2.14)$$

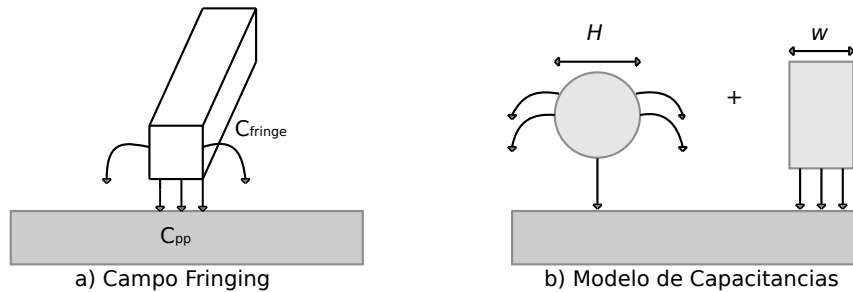


Figura 2.6: Modelo del capacitor. a) Capacitancia *fringing* y b) Modelo compuesto dado por la suma de un capacitor de placas paralelas y un capacitor *fringing* [7]

2.2.4. Conductancia

Idealmente se considera que el flujo de corriente de una línea al sustrato pasando por el dieléctrico es perfecto; sin embargo, imperfecciones en este último generan un elemento resistivo que se debe añadir al modelo de la línea, es por ello que se coloca una conductancia en paralelo con el capacitor C . La conductancia (G), es utilizada para mostrar las pérdidas del capacitor producidas por el dieléctrico [2, 7, 8].

$$G = 2\pi f C \tan(\delta) \quad (2.15)$$

Donde G , es la conductancia (siemens) y $\tan(\delta)$ es la tangente de pérdidas. Valores grandes en las tangentes de pérdidas y de altas frecuencias que pasan por el conductor, producen grandes valores de G y por lo tanto una alta corriente de conducción (mayores pérdidas).

2.3. Reflexiones en Líneas de Transmisión

Cuando una señal es enviada a un extremo de la línea, parte de la energía es absorbida, mientras que la energía restante es enviada de regreso. El voltaje que se propaga desde la fuente hacia la carga es llamado voltaje incidente (V_{in}), mientras que el voltaje que se propaga desde la carga hacia la fuente se llama voltaje reflejado (V_{ref}). En forma similar, existen corrientes incidentes (I_{in}) y reflejadas (I_{ref}), y por consecuencia potencias (P_{in} y P_{ref}) propagándose a través de la línea. Para una línea infinitamente larga, toda la potencia incidente se almacena por la línea y no hay potencia reflejada. Además, si la línea se termina en una carga totalmente resistiva igual a la impedancia característica de la línea, la carga absorbe toda la potencia incidente (línea sin pérdidas). Para una definición más práctica, la potencia reflejada es la porción de la potencia incidente que no fue absorbida por la carga, haciendo que la potencia reflejada no pueda exceder a la potencia incidente [8, 12, 13, 14].

Una línea sin potencia reflejada se llama línea no resonante o plana. En una línea plana, el voltaje y la corriente son constantes a través de su longitud suponiendo que no hay pérdidas. Cuando la carga es un cortocircuito o un circuito abierto, toda la potencia incidente se refleja nuevamente hacia la fuente. Si la fuente se reemplazara con un circuito abierto o un cortocircuito, y si la línea no tuviera pérdidas, la energía que está presente en la línea se refleja de un lado a otro entre las terminaciones de la carga y la fuente oscilará, a lo que se le conoce como “línea resonante”. En una línea resonante,

la energía se transfiere en forma alternada entre los campos magnéticos y eléctricos de la inductancia y la capacitancia que están distribuidas [8, 12, 13, 14].

La cantidad de señal reflejada por una onda incidente en un extremo de la línea es llamado coeficiente de reflexión (Γ), el cual viene dado por la siguiente ecuación:

$$\Gamma = \frac{V_{reflejado}}{V_{incidente}} = \frac{Z_L - Z_o}{Z_L + Z_o} \quad (2.16)$$

Siendo Z_L la impedancia vista en el extremo de la línea (Carga) y Z_o la impedancia característica de la línea. La Figura 2.7a, muestra la impedancia presente al final de la línea Z_f , la cual es igual a la impedancia de la línea Z_o ($Z_f=Z_o$). En la Figura 2.7b, se muestra una terminación en corto circuito, la cual tiene una impedancia de “0”, y por último la Figura 2.7c, tiene una terminación en circuito abierto, lo cual representa una impedancia que tiende a “ ∞ ” [8].

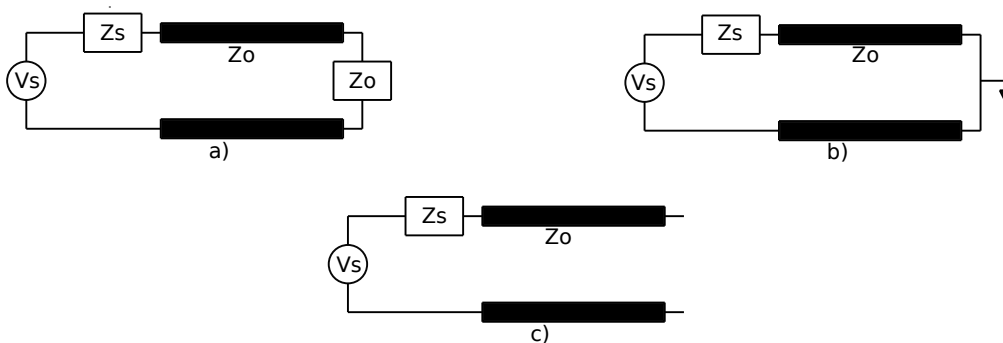


Figura 2.7: Terminaciones en una línea a) terminada con una impedancia acoplada, b) en corto circuito y c) en circuito abierto

El coeficiente de reflexión (Γ) de cada uno de estos casos se muestra a continuación [14]:

$$\begin{aligned} \Gamma &= \frac{Z_o - Z_o}{Z_o + Z_o} = 0 \\ \Gamma &= \frac{0 - Z_o}{0 + Z_o} = -1 \\ \Gamma &= \frac{\infty - Z_o}{\infty + Z_o} = 1 \end{aligned} \quad (2.17)$$

De los casos descritos, se puede concluir lo siguiente:

- Si $(\Gamma) = 0$; No existe reflexión, debido al acoplamiento de impedancias entre la línea y su terminación.
- Si $(\Gamma) = -1$; Existe una reflexión negativa, debido al desacoplamiento de impedancias.
- Si $(\Gamma) = +1$; Existe una reflexión positiva, debido al desacoplamiento de impedancias.

2.4. Extracción de Parámetros de Líneas de Transmisión

En general, la extracción de los parámetros de una línea pueden ser obtenidos de dos formas [19, 20].

- Mediante expresiones matemáticas básicas de la línea y/o los parámetros de la tecnología.
- Por medio de los parámetros- S (*Scattering*).

Convencionalmente, las redes de dos puertos se resuelven mediante los parámetros Z y Y , pero éstos no son adecuados para redes que operan a altas frecuencias debido a que trabajan con terminaciones de corto circuito y circuito abierto. Por su parte, los parámetros- S extraen las características de las señales a altas frecuencias ya que éstos se encuentran definidos por las ondas incidentes y reflejadas, además de que son fácilmente transformados en impedancias o admitancias [10, 14, 20].

La Figura 2.8, muestra una red de dos puertos utilizando parámetros- S con ondas incidentes (a_1 y a_2) y reflejadas (b_1 y b_2) en cada uno de los extremos.

Dependiendo de la terminación en el puerto, parte de la señal será reflejada; donde los parámetros- S quedan definidos de la siguiente manera [12]:

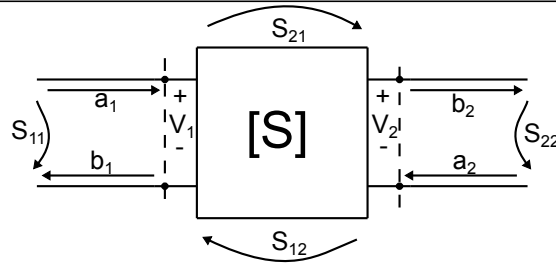


Figura 2.8: Red de dos puertos asociada con ondas incidentes y reflejadas

$$\begin{aligned}
 S_{11} &= \left. \frac{b_1}{a_1} \right|_{a_2=0} = \Gamma_1 = \text{Coeficiente de reflexión en el puerto 1 con } a_2 = 0 \\
 S_{21} &= \left. \frac{b_2}{a_1} \right|_{a_2=0} = T_{21} = \text{Coeficiente de transmisión del puerto 1 al 2 con } a_2 = 0 \\
 S_{12} &= \left. \frac{b_1}{a_2} \right|_{a_1=0} = T_{12} = \text{Coeficiente de transmisión del puerto 2 al 1 con } a_1 = 0 \\
 S_{22} &= \left. \frac{b_2}{a_2} \right|_{a_1=0} = \Gamma_2 = \text{Coeficiente de reflexión en el puerto 2 con } a_1 = 0
 \end{aligned}$$

En la Figura 2.9 se muestra una línea *Microstrip* que se encuentra en el nivel 8 de metal, con el plano de tierra en el metal 7 y la alimentación (V_{DD}) en el metal 6. Esta línea es simulada con todas sus características (ancho, largo, constantes dieléctricas, permitividades, ϵ_r , $\text{tang}(\delta)$, etc.) en el simulador ADS (*Advanced Design System*) para obtener sus parámetros- S como se muestra en la Figura 2.10; dicha línea posee impedancias en los extremos de 50Ω , con un largo de 6mm y un ancho de $2.5\mu\text{m}$. Las características físicas y eléctricas de la línea para cualquier nivel de metal en una tecnología TSMC $0.13\mu\text{m}$, se encuentran descritas en el Apéndice A.

Una vez obtenidos los parámetros- S de la línea, éstos son convertidos a parámetros ABCD, los cuales, para una línea homogénea de longitud l se encuentran expresados como:

$$\mathbf{M} = \begin{bmatrix} A & B \\ C & D \end{bmatrix} = \begin{bmatrix} \cosh(\gamma l) & Z_o \sinh(\gamma l) \\ Z_o^{-1} \sinh \gamma l & \cosh \gamma l \end{bmatrix}$$

Donde M es la matriz de transmisión de la línea de interconexión. Por lo que la impedancia característica (Z_o) y la constante de propagación (γ) se definen como:

$$Z_o = \sqrt{\frac{B}{C}} \tag{2.18}$$

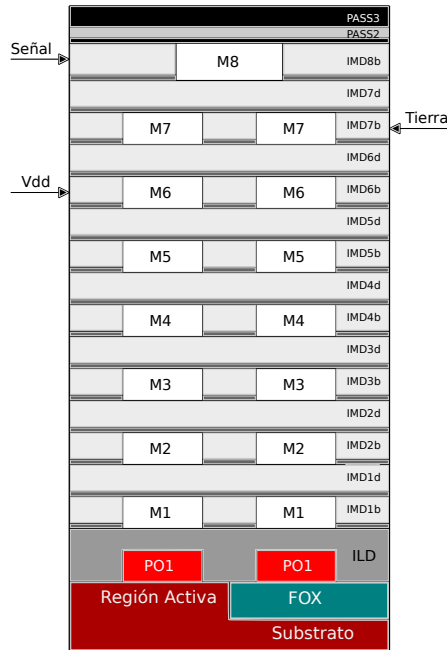


Figura 2.9: Niveles de metal en una tecnología CMOS de $0.13\mu m$

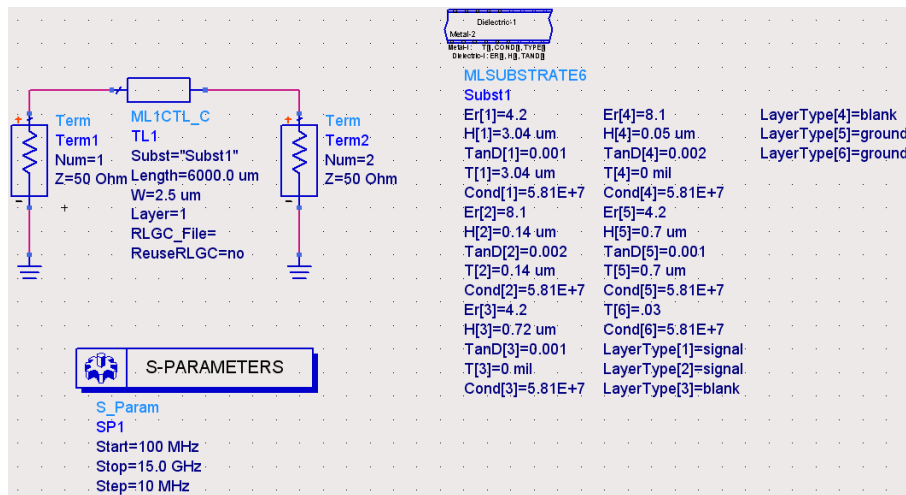


Figura 2.10: Extracción de los parámetros- S utilizando una línea *Microstrip* en un nivel de metal 8, un ancho de $2.5\mu m$ y $6mm$ de largo por medio del simulador ADS

$$\gamma = \frac{\cosh^{-1} A}{l} \quad (2.19)$$

Una vez obtenidos los valores correspondientes de Z_o y γ , los valores de R , L , C y G se definen como [20]:

$$R = Re(\gamma Z_o) \quad (2.20)$$

$$L = \frac{\text{Im}(\gamma Z_o)}{2\pi f} \quad (2.21)$$

$$C = \frac{\text{Im}(\gamma/Z_o)}{2\pi f} \quad (2.22)$$

$$G = \frac{\gamma}{Z_o} - j2\pi f C \quad (2.23)$$

Los valores característicos de Z_o y γ no varían con líneas de diferentes longitudes, siempre y cuando el ancho de la línea sea el mismo para cada caso, como se presentan en las Figuras 2.11 y 2.12, las cuales muestran la impedancia característica y la constante de propagación para líneas de diferentes longitudes (1, 1.5, 2 y 3 mm) y un ancho de línea de $2.5\mu\text{m}$ [20], en una tecnología TSMC $0.13\mu\text{m}$ CMOS.

Las Figuras 2.13 a 2.16, muestran la resistencia, inductancia y capacitancia respectivamente con diferentes longitudes y manteniendo un ancho de línea de $2.5\mu\text{m}$. Es importante notar que los elementos que representan pérdidas (“R” y “G”) aumentan conforme la frecuencia se incrementa.

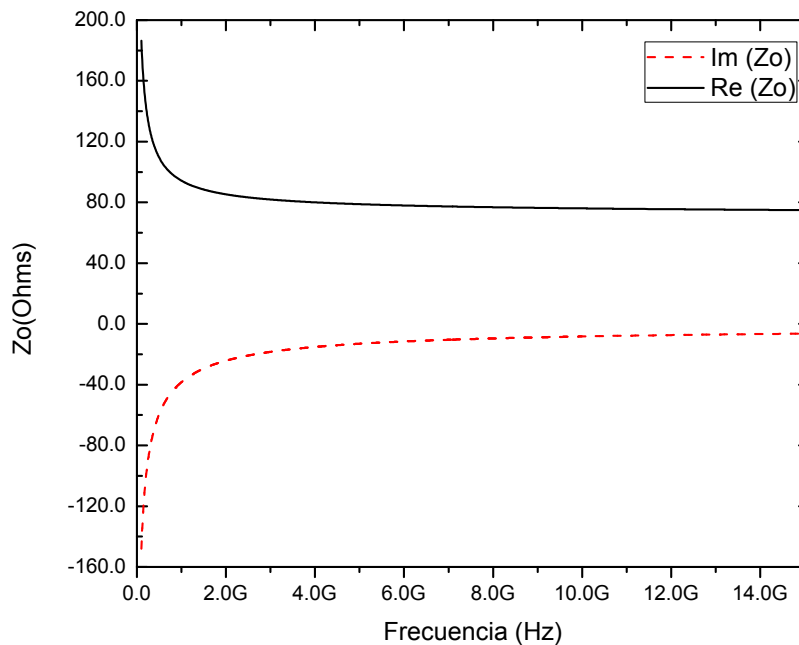


Figura 2.11: Impedancia característica para una línea *Microstrip* en un nivel de metal 8 y un ancho de línea de $2.5\mu\text{m}$

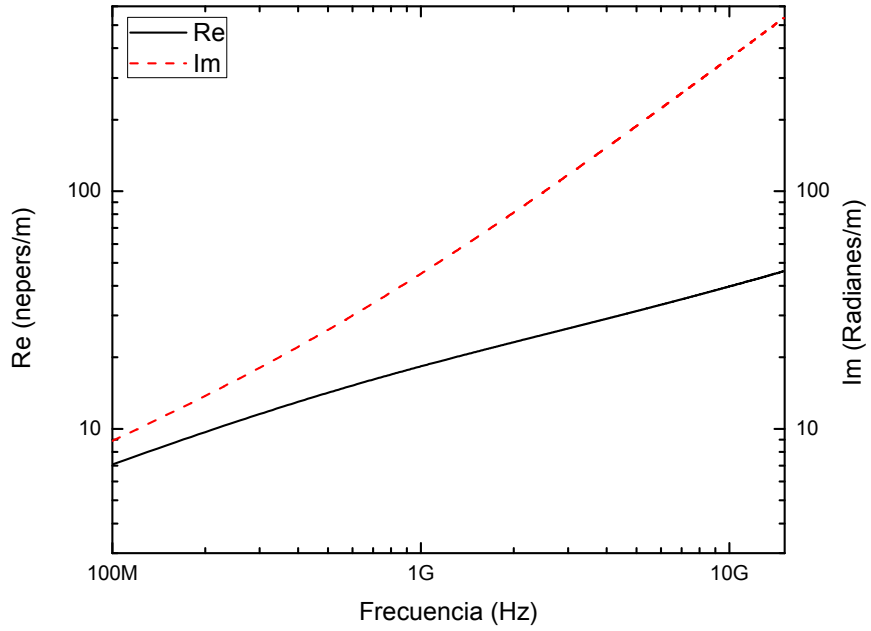


Figura 2.12: Constante de propagación característica para una línea *Microstrip* en un nivel de metal 8 y un ancho de línea de $2.5\mu m$

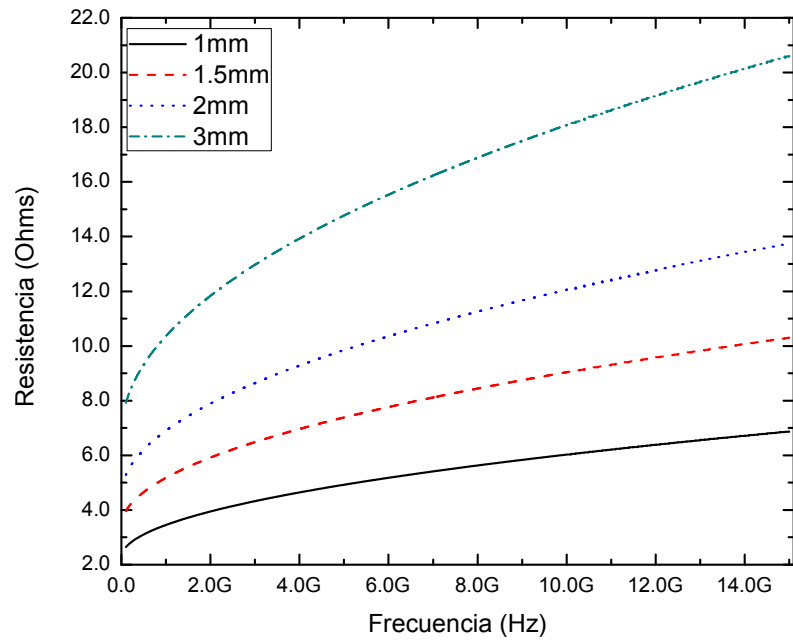


Figura 2.13: Resistencia en una línea *Microstrip* en un nivel de metal 8 y un ancho de línea de $2.5\mu m$

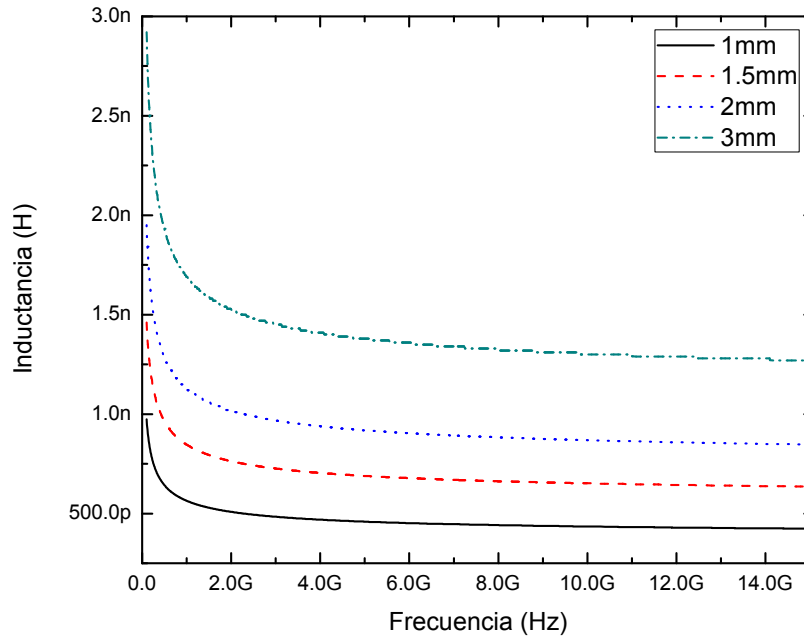


Figura 2.14: Inductancia en una línea *Microstrip* en un nivel de metal 8 y un ancho de línea de $2.5\mu m$

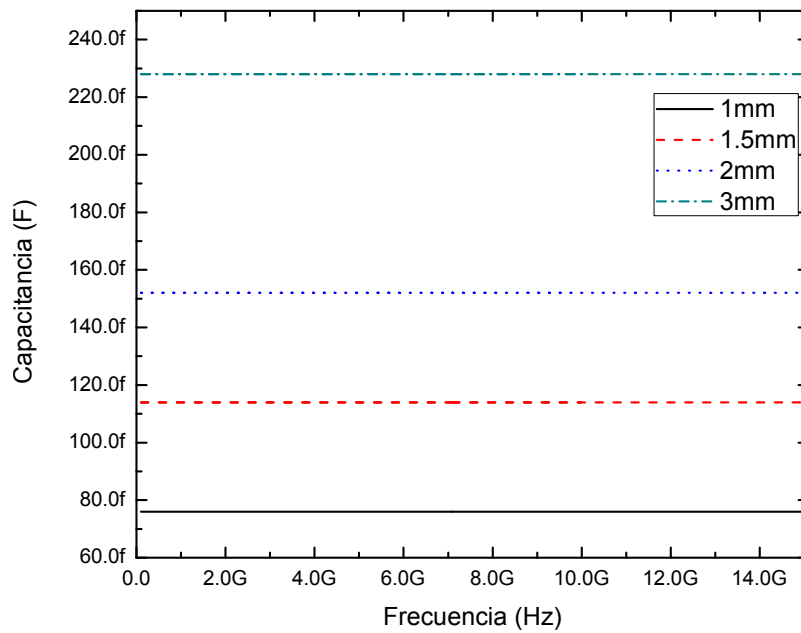


Figura 2.15: Capacitancia en una línea *Microstrip* en un nivel de metal 8 y un ancho de línea de $2,5\mu m$

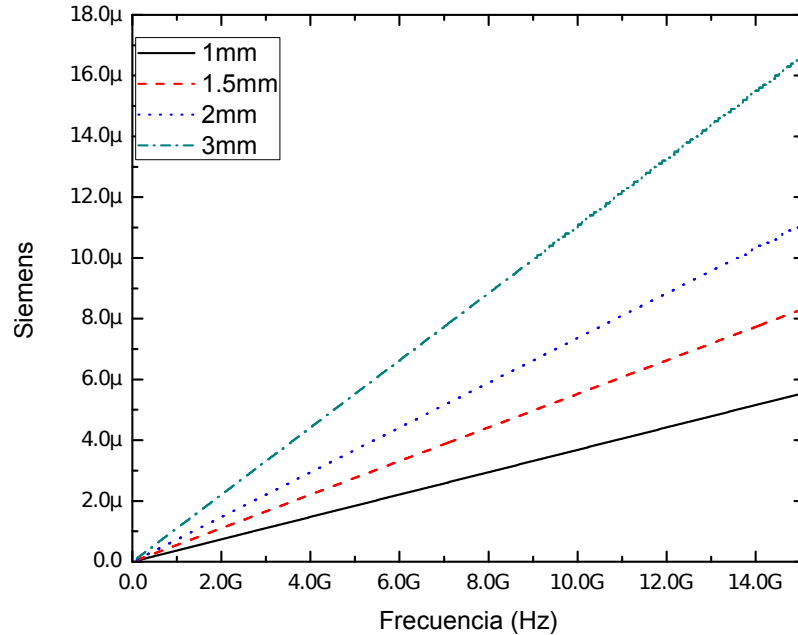


Figura 2.16: Conductancia en una línea *Microstrip* en un nivel de metal 8 y un ancho de línea de $2.5\mu m$

2.5. Conclusiones

En este capítulo se dieron a conocer los elementos parásitos que se encuentran en las líneas de transmisión (resistencias, capacitancias, inductancias y transconductancias), la forma en que éstos son representados en circuitos RLCG y una forma de extracción de las mismas.

La forma de extraer los parámetros de una línea es por medio de sus parámetros- S y posteriormente convertirlos en parámetros ABCD, con lo cual se obtiene la impedancia característica y la constante de propagación. Éstos son elementos fundamentales que describen a una línea y permiten obtener los elementos parásitos de la misma. Dicho método es empleado para extraer las líneas utilizadas en esta tesis con el fin de aprovechar los elementos parásitos para generar osciladores resonantes que serán objeto de estudio en el capítulo 4.

2.5. Conclusiones

Capítulo 3

Distribución de Señales de Reloj

Los sistemas electrónicos integrados actuales y futuros exigen que las señales, sobre todo de sincronización (reloj), presenten la menor cantidad de incertidumbre en el tiempo y en el espacio (*skew* y *jitter*) con un bajo consumo de potencia. La reducción acelerada de la geometría de los dispositivos y el incremento de la frecuencia de operación por encima del rango de los GHz , así como el ruido que se introduce por la reducción en el espaciamiento entre líneas y el incremento en la distancia que deben recorrer las señales de reloj, hacen que el diseño de redes de distribución de reloj sea una tarea cada vez más difícil.

El presente capítulo presenta conceptos básicos que serán utilizados a lo largo de la tesis, así como un análisis cualitativo de la generación y distribución de señales de reloj tanto del tipo global como del tipo local en redes convencionales. Por último, se presentan nuevas tecnologías de distribución de relojes locales.

3.1. Elementos que Afectan la Distribución de Reloj

Una señal de reloj perfecta se define como una señal periódica que llega simultáneamente en un mismo instante de tiempo a varios elementos o registros dentro de un chip; sin embargo, en los circuitos integrados (CI), no es posible controlar el retardo y

el tiempo de transmisión de la señal de reloj en presencia de variaciones de fuentes de ruido, alteraciones de procesos y variaciones en el ambiente; por lo que los relojes son “no ideales” [7, 21].

Con el avance acelerado de la tecnología, las líneas de transmisión deben recorrer distancias mayores, por lo que problemas de distribución de reloj comienzan a ser cada vez más críticos. Particularmente, es difícil asegurar que la señal de reloj tenga un ciclo de trabajo (*duty-cycle*) simétrico, *skew* y *jitter* limitados, así como transiciones o flancos de subida y bajada de las señales bien definidas [22].

3.1.1. Incertidumbre en el Tiempo

La incertidumbre en el tiempo se define como variaciones en el tiempo de los flancos de la señal de reloj que manejan los diferentes bloques o registros, que deben comunicarse entre ellos de manera síncrona [23].

Retardo, Tiempos de Subida, Bajada y de Establecimiento

El retardo en una red de distribución de reloj determina la velocidad de procesamiento en un chip. En la Figura 3.1, el retardo se define como la diferencia de tiempo del flanco de subida que existe entre el 50 % de la señal de entrada ($S_{entrada}$) al 50 % del flanco de subida de la señal de salida (S_{salida}). Por otro lado, el tiempo que va del 10 % al 90 % se conoce como tiempo de subida (t_r), mientras que el tiempo que va del 90 % al 10 % se conoce como tiempo de bajada (t_f) [11, 24].

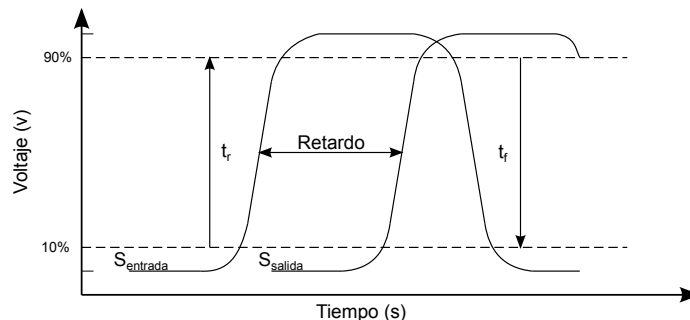


Figura 3.1: Incertidumbre en el tiempo

Así mismo, el tiempo de establecimiento (t_{est}), se define como el tiempo requerido para que una señal alcance y se mantenga dentro del rango del valor final de la señal.

Ciclo de Trabajo

El ciclo de trabajo o ciclo útil de una señal, es la relación porcentual entre el tiempo que dura el semi-ciclo positivo sobre el periodo de la señal. La suma de ambos semi-ciclos (positivo y negativo) es el 100 %. De manera ideal, se tienen ciclos de trabajo de 50 % - 50 %; sin embargo, ciclos de trabajo entre 51 % - 49 % y 49 % - 51 %, se encuentran en un rango de aceptación [23]. El ciclo de trabajo (D) es determinado por la siguiente ecuación:

$$D = \frac{\tau}{T} * 100 \% \quad (3.1)$$

Donde D es el ciclo de trabajo, τ es el tiempo en que la señal se encuentra en un estado alto y T es el periodo de la señal.

Jitter

Se refiere a la variación temporal de los períodos de reloj en un punto cualquiera del chip. Dando un corrimiento en el tiempo de la señal de reloj en diferentes ciclos, el cual se puede reducir o expandir. El *jitter*, es un fenómeno físico provocado por ruido térmico en los componentes activos, vibraciones atómicas en los conductores, variaciones de temperatura, acoplamientos de líneas, etc. Lo cual puede ocasionar errores de sincronía en la lógica del sistema [7, 23, 24].

Skew

Se define como la variación espacial del tiempo de llegada de las transiciones de la señal de reloj entre dos puntos de un circuito integrado tal como se muestra en la Figura 3.2. Donde la Figura 3.2a, muestra una señal de reloj insertada en el nodo "A" y distribuida hacia los puntos n_1 y n_2 , mientras la Figura 3.2b, exhibe el desacoplamiento de

las señales (n_1 y n_2) llamado *skew*, los cuales son provocados por: desajustes estáticos en líneas de reloj, posición de la fuente de reloj, variaciones de procesos, entre otros, siendo constante el *skew* de ciclo a ciclo [7, 24, 25, 26].

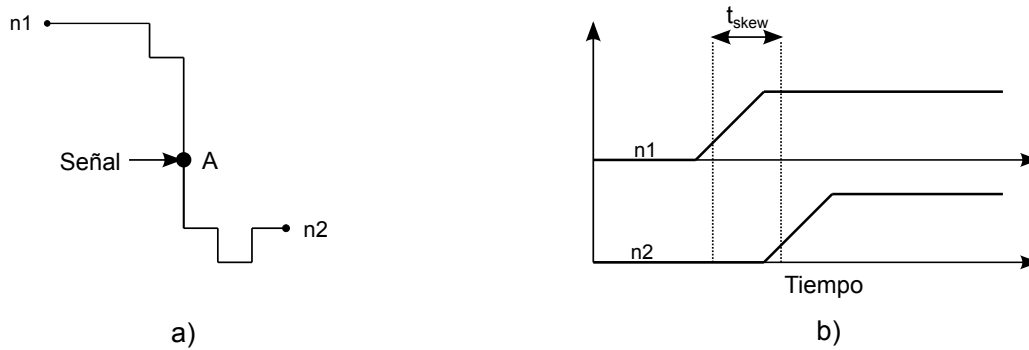


Figura 3.2: Reloj *skew* entre dos puntos: a) Inserción de una señal de reloj entre los puntos n_1 y n_2 y b) Diferencia en el tiempo de llegada a los nodos n_1 y n_2

3.1.2. Variación Paramétrica

Son desviaciones de los valores nominales de diferentes parámetros durante los procesos de fabricación (longitud efectiva del canal (L_{eff}), voltaje umbral (V_{th}), ancho del metal, entre otros) o en parámetros de operación de los circuitos (*crosstalk*, ruido y temperatura) [17].

Anteriormente, la variabilidad del rendimiento de circuitos fue dominada por los transistores; pero el escalamiento de tecnologías recientes ha llevado a grandes fluctuaciones en los parámetros de interconexión en el chip, incluyendo las dimensiones de la línea, la resistividad (ρ), la permitividad dieléctrica (ϵ) y la resistencia en las vias (R_{via}).

Las variaciones de los parámetros son caracterizadas como: variaciones dentro del dado y variaciones de dado a dado. Las variaciones de dado a dado afectan a cada elemento de un chip de igual manera. En contraparte, las variaciones dentro del dado se pueden dividir en dos contribuciones: sistemáticas y aleatorias. Las variaciones sistemáticas pueden ser previstas antes de la fabricación. En contraste, las variaciones alea-

torias son debido a fluctuaciones imprevistas como cambios ambientales y radiación. Algunos ejemplos de variaciones aleatorias son: fluctuaciones en el dopado del canal, espesor de la compuerta del óxido, permitividad dieléctrica, entre otros. Para altas temperaturas ($> 100^{\circ}C$), variaciones en L_{eff} , V_{th} y V_{DD} son las fuentes de variación más dominantes [17].

Para obtener el comportamiento de los dispositivos tomando en cuenta las variaciones debido a los procesos de fabricación, voltaje de alimentación y temperatura, es necesario realizar un estudio llamado “PVT”, el cual consiste en realizar variaciones de los parámetros para obtener una aproximación sobre la tolerancia de los dispositivos bajo ciertas condiciones. En la industria la fuente de alimentación es variada $\pm 10\%$ de su valor nominal, la temperatura de $-20^{\circ}C$ a $120^{\circ}C$, mientras que las variaciones de procesos son determinadas por los fabricantes.

3.1.3. Ruido

Las fuentes de ruido son uno de los problemas principales en las distribuciones de la señal de reloj, ya que causan inestabilidades en la amplitud de la señal y en la frecuencia de oscilación; además, causan variaciones aleatorias con respecto al tiempo provocando *jitter* y afectando la precisión del sistema [27]. Las fuentes de ruido se dividen en dos grupos: ruido en los dispositivos e interferencias. La primera se conforma del ruido térmico y *flicker*, mientras el segundo grupo esta conformado por ruido en el sustrato, fuente de alimentación e interconexiones acopladas [28].

Ruido en los Dispositivos

El ruido térmico es producido por el movimiento aleatorio de electrones dentro de un conductor produciendo fluctuaciones en el voltaje [29]; cabe destacar que las capacitancias e inductancias no generan ruido, sin embargo, éstas lo acumulan. El ruido *flicker* es producido por los transistores y se debe a la interacción entre el óxido de compuerta y el sustrato de silicio en la que algunas cargas quedan atrapadas [29].

En la Figura 3.3 se muestra la densidad espectral de ruido; en donde se observa que para frecuencias altas el ruido blanco (térmico) es el que predomina, mientras que para frecuencias bajas el ruido *flicker* es el dominante. Al cruce entre el ruido térmico y *flicker* se le conoce como frecuencia de esquina.

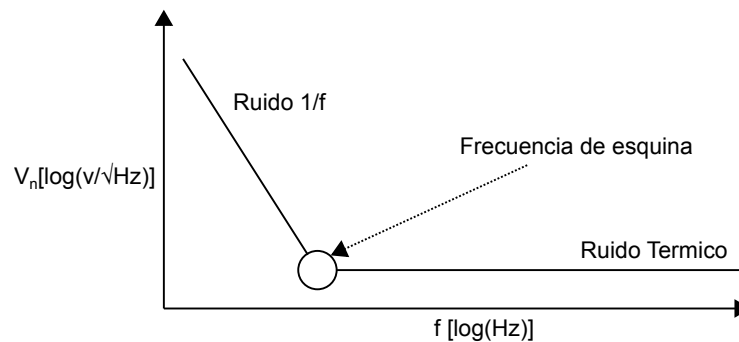


Figura 3.3: Potencia espectral de ruido

Ruido por Interferencias

El *crosstalk* es el efecto indeseado en el que señales variantes en el tiempo a través de conductores (líneas) adyacentes se afectan entre sí, debido a capacitancias o inductancias parásitas que existen entre ellas. Por su parte, a las variaciones de voltaje debido a cambios repentinos de corriente en el circuito se les conoce como *Ground bounce* y es ocasionado por conmutaciones que afectan globalmente el desempeño del circuito cuando se producen y se reflejan por varias compuertas conmutando al mismo tiempo, o en las líneas de alimentación del circuito [25].

Por otra parte, el ruido de sustrato se debe a variaciones indeseadas en el potencial provenientes del sustrato, el cual puede ser causado por conmutaciones en circuitos digitales o debido a corrientes inyectadas en el sustrato. De acuerdo a [30], se pueden definir tres fuentes dominantes de ruido en el sustrato:

- Ruido de la fuente de alimentación. Producido por la conexión a tierra.
- Ruido debido a nodos conmutando. En circuitos cuyo potencial se encuentra cambiando, las capacitancias se cargan y descargan en ciertos lapsos de tiempo y estas

variaciones representan ruido inducido hacia el sustrato.

- Ruido debido a ionización por impacto. Portadores de carga son acelerados por el campo eléctrico, haciendo que colisiones entre las partículas y átomos se ionicen y generen pares electrón-hueco, lo cual genera ruido hacia el sustrato.

3.1.4. Consumo de Potencia

El consumo de potencia determina la cantidad de energía que es consumida por el circuito cuando se encuentra funcionando, así como el calor que es disipado. Estos factores influyen en decisiones de diseño tales como: la capacidad de la fuente de alimentación, el tiempo de vida de la batería, dimensionamiento de la línea de alimentación, empaquetado y requerimientos de enfriamiento [7]. En muchos microprocesadores, el mayor consumo de potencia se atribuye a la red de distribución global de reloj [31, 32].

El consumo de potencia puede ser estática y/o dinámica [7]. Siendo la potencia dinámica la predominante durante la conmutación de la compuerta y cargas capacitivas [23, 32, 33]. La potencia total (P_T) es la suma de la potencia dinámica (P_D) y la potencia estática (P_E) [24, 34].

$$P_D = C_T V_{DD}^2 f \quad (3.2)$$

$$P_E = I_{fuga} V_{DD} \quad (3.3)$$

Donde C_T es la capacitancia total de la línea y de los transistores (Faradios), V_{DD} es la fuente de alimentación (Volts), I_{fuga} es la corriente de fuga (Amperes) y f es la frecuencia de operación (Hz).

3.2. Distribución de Reloj

La distribución de reloj consiste en una serie de interconexiones y *buffers* que simultáneamente llevan señales de la fuente de reloj a los lugares que son requeridos (bloques, registros, *latches*, compuertas, etc.).

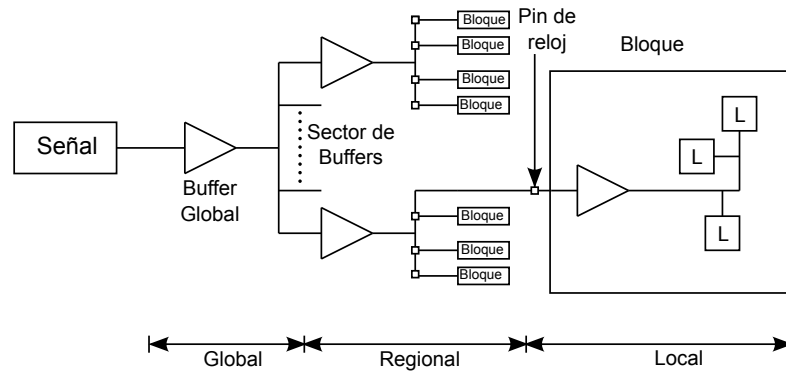


Figura 3.4: Distribución de reloj típica para un microprocesador de alto rendimiento

Con el propósito de analizar las redes de reloj típicas y basándonos en la Figura 3.4; se definen diferentes niveles de la distribución de reloj, los cuales se mencionan a continuación [26, 35]:

- **Global.** Es el nivel inicial de la distribución de reloj. Comienza con una señal de reloj insertada en un punto central de la red de distribución, seguido por el *buffer* global encargado de amplificar la señal de reloj y distribuirla a las secciones de *buffers* del nivel regional. Este nivel de distribución tiende a ser el más largo, ya que es el encargado de llevar la señal de reloj a través de todo el dado.
- **Regional.** El nivel de reloj regional comienza, con la distribución de los *buffers* regionales y propagando la señal a los pines del reloj, los cuales son la entrada de los bloques. Es el nivel encargado de distribuir la señal a todos los bloques.
- **Local.** El nivel final de la distribución de reloj se le llama nivel local. Una vez que llega la señal proveniente del pin de reloj, ésta es distribuida al *buffer* local y por último, es transportada a las cargas finales. Siendo que esta red maneja las

cargas finales de la distribución de reloj, es la que consume la mayor cantidad de potencia de la red de reloj.

3.2.1. Redes de Distribución de Reloj Global

Las señales de reloj son convencionalmente distribuidas en sistemas VLSI por medio de redes de distribución de reloj global en forma de árboles activos; éstas son estructuras jerárquicas de líneas y repetidores que transportan la señal de un punto central a un nodo cualquiera en el dado [36].

Existe gran variedad de redes de distribución de reloj las cuales se clasifican de acuerdo a su [23, 25]:

- Geometría.
- Forma de generación de la señal de reloj.
- Combinaciones.

En la Figura 3.5, se muestran los ejemplos más representativos de redes de distribución de señales de reloj global. Siendo los árboles “H” balanceados los más utilizados para distribuir la señal de reloj (*grid*) [33]. Idealmente, las señales en el árbol son sincronizadas y no poseen retardo, sin embargo, errores físicos de simetría introducen *skew* y *jitter* [36].

Los principales problemas de utilizar redes de distribución global de reloj debido a la reducción de los dispositivos y al incremento de las distancias son:

- Alto consumo de potencia. Este tipo de redes llegan a consumir entre el 15 y 50 % de la potencia total de un circuito integrado.
 - Alta complejidad de diseño. Por la necesidad de hacer que las redes sean simétricas para evitar el *skew* entre los diferentes registros o bloques a donde necesita llegar la señal. Así como la implementación de técnicas de *layout* que permitan reducir los efectos parásitos y aumentar la simetría en las líneas de distribución.
-

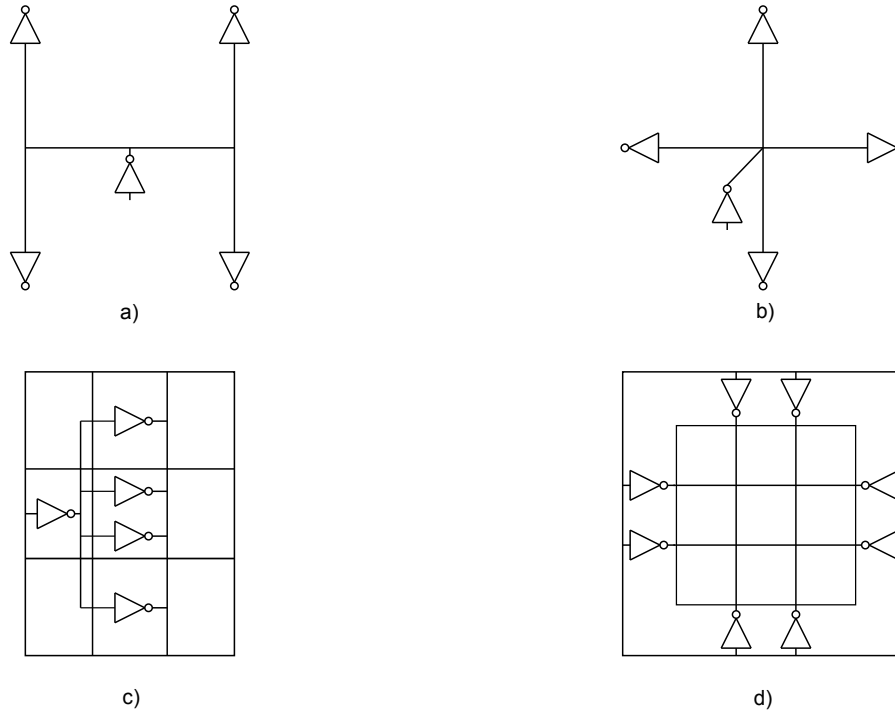


Figura 3.5: Redes de disitribución convencionales. a) Árbol H, b) Árbol X, c) Espina dorsal sobre una rejilla y d) Rejilla

- Incertidumbre en el tiempo. Los problemas de desacoplamiento y la alta sensibilidad de la red, hacen que las señales que llegan a los diferentes puntos del dado se encuentren desfasadas, lo que incrementa la incertidumbre en el tiempo [21].
- Cantidad de área. Debido a la necesidad de cubrir mayores distancias, el área que utilizan las redes de distribución se incrementa, lo que se refleja en el costo de producción.

Para poder satisfacer las limitaciones del tiempo de llegada a los dispositivos, el alto consumo de potencia, la gran cantidad de área requerida para distribuir la señal, entre otros; hacen que redes de disitribución global sean sustituidas por distribuciones regionales o mediante la generación de varias señales de reloj dentro del chip de modo local [23].

3.2.2. Direcciones Futuras de la Distribución de Reloj

Con los problemas de distribuir señales de reloj del modo global, se opta por tener múltiples señales de reloj dentro del chip y distribuir la señal de una forma local. Sin embargo, con el objetivo de solventar los problemas de área, incertidumbre en el tiempo y consumo de potencia en redes de distribución locales convencionales, se han propuesto nuevas técnicas en donde se busca distribuir señales de reloj, reduciendo la incertidumbre en el tiempo al mismo tiempo que las señales son generadas.

Entre las técnicas más recurrentes se encuentran los ensambles de osciladores acoplados tal como se muestra en la Figura 3.6, en donde se observan nueve osciladores acoplados entre sí, con el objetivo de sincronizar sus fases y reducir la incertidumbre en el tiempo cubriendo un área determinada. Este tipo de ensambles de osciladores pueden ser formados por anillos acoplados, PLL's, relojes resonantes, entre otros [20, 23].

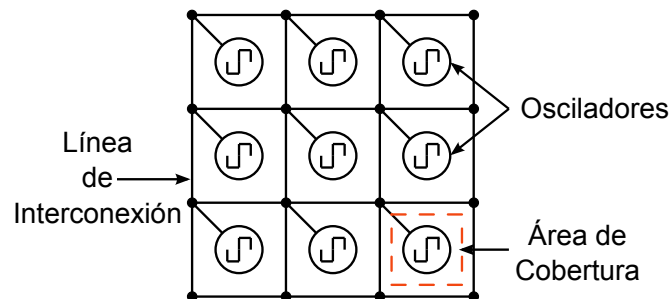


Figura 3.6: Generación y distribución de reloj local por medio de osciladores acoplados

Los relojes resonantes son uno de los nuevos métodos de distribución y generación de reloj que han cobrado fuerza [34], ya que este tipo de osciladores aprovechan los elementos parásitos que se encuentran incrustados en las líneas para generar oscilaciones al mismo tiempo que distribuyen la señal, reduciendo el consumo de potencia y la incertidumbre en el tiempo.

Las técnicas de osciladores resonantes se puede clasificar en cuatro categorías principales basados en sus componentes resonantes y la forma en que éstos generan la señal de oscilación [37]:

- Osciladores LC acoplados.

- Osciladores distribuidos.
- Osciladores de onda viajera (TWO), siendo la variante más importante el oscilador de onda viajera rotatoria (RTWO).
- Osciladores de onda estacionaria (SWO).

Siendo los RTWO y SWO los más estudiados debido a su bajo consumo de potencia y a las altas frecuencias de oscilación que generan.

3.3. Conclusiones

En el capítulo se describieron las características más importantes que afectan a la señal de reloj en redes de distribución como lo son incertidumbre en el tiempo, ruido y consumo de potencia. Así mismo, se explicaron los problemas de redes convencionales (relojes globales) y la tendencia de utilizar redes de distribución de forma local para solventar los problemas de consumo de potencia, área e incertidumbre en el tiempo.

Entre las técnicas que están cobrando mayor fuerza debido a que utilizan los elementos parásitos que se encuentran en las líneas, su baja incertidumbre en el tiempo y la reducción del consumo de potencia, sobresalen son los osciladores resonantes.

Capítulo 4

Diseño de Osciladores de Anillo y Resonantes

En base a los problemas presentados en los capítulos anteriores, la filosofía de relojes resonantes han cobrado gran fuerza debido a su bajo consumo de potencia, a la reducción del *skew* y a sus características de alta frecuencia que estos poseen; sin mencionar las grandes ventajas sobre los osciladores convencionales (PLLs, VCOs, etc.).

Este capítulo esta enfocado en el diseño de osciladores de anillo y osciladores de anillo resonantes (RTWO y SWO), así como el diseño de compensadores capaces de soportar las pérdidas de las líneas de transmisión.

4.1. Osciladores de Anillo (OA)

Un oscilador de anillo, es un circuito formado por inversores CMOS conectados en lazo cerrado y que son capaces de generar por si mismos una señal periódica de frecuencia f , donde N etapas de ganancia son requeridos para mantener la oscilación; cabe destacar que la oscilación comienza espontáneamente debido a cualquier evento de ruido y mantenida por un número impar de inversores (> 1) en el circuito. La Figura 4.1, muestra un oscilador de anillo de tres etapas, entre cada etapa existen líneas de

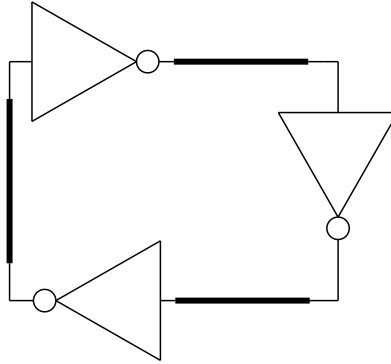


Figura 4.1: Oscilador de Anillo de 3 etapas

interconexión las cuales no pueden ser despreciables, e influyen directamente en la frecuencia de oscilación. La forma de calcular la frecuencia de oscilación tomando en cuenta las líneas de interconexión, es la siguiente [20, 39]:

$$f = \frac{1}{2Nt_d + 2Nt_l} \quad (4.1)$$

Donde, N , t_d y t_l son el número de etapas de ganancia, el retardo correspondiente a las etapas de ganancia y el retardo asociado a la línea de interconexión respectivamente.

Una mejora en frecuencia y consumo de potencia se obtiene utilizando una menor cantidad de etapas en anillos. De acuerdo a [23], una mayor cantidad de etapas genera una mejor resistencia a variaciones de proceso; esto se debe a la mayor cantidad de etapas entre las cuales se dividen o compensan dichas variaciones; sin embargo, la desventaja de tener muchos inversores se refleja en el incremento de la potencia [23]. Es por ello que se tiene un compromiso entre velocidad, consumo de potencia y resistencia ante variaciones de procesos.

4.2. Osciladores Resonantes

Las tecnologías de relojes resonantes son la siguiente generación de relojes en el rango de GHz debido a su superioridad en las frecuencias de reloj, baja disipación de potencia y tolerancia a variaciones dentro del chip [37, 40, 41].

Este tipo de osciladores dependen de los elementos resonantes de la línea (capacitancias e inductancias parásitas) en el CI para generar la estructura resonante; sin embargo, para tener altas frecuencias de oscilación las capacitancias e inductancias necesitan mantenerse en valores bajos, lo cual implica que la longitud de la línea necesita ser pequeña [36, 42, 43]. Las oscilaciones son mantenidas utilizando uno o más pares de inversores distribuidos a lo largo de la línea, los cuales proporcionan la resistencia negativa esencial para la oscilación [43].

4.2.1. Osciladores de Onda Viajera Rotatoria (RTWO)

El oscilador de anillo rotatorio (RTWO) está formado por líneas de transmisión diferenciales de modo impar¹; las cuales se encuentran conectadas en cruz en un extremo, a lo cual se le denomina “Terminación *Mobius*” [31, 37]. El objetivo de tener líneas de modo impar, es asegurar la retroalimentación inversa debido al cruce [5, 44, 45]. Este tipo de osciladores, combina las ventajas de osciladores tanque LC convencionales y los osciladores de anillo. Por lo tanto, la energía de onda es recirculada dentro de la línea en lugar de convertirse en energía perdida durante la carga y descarga a través de los transistores como sucede en diseños convencionales [44]. La Figura 4.2 muestra la oscilación por medio del anillo rotatorio donde el valor inicial de las líneas se encuentra en un estado de $0V$, una vez iniciada la oscilación, ésta viaja alrededor del anillo polarizando las líneas de forma positiva y negativa, sin embargo, al pasar por el cruce, éstas líneas cambian de estado, generando un cambio de fase y por lo tanto se produce la oscilación. La oscilación en un RTWO, puede ocurrir en un sentido horario o contra horario siempre y cuando el sistema permanezca simétrico. En aplicaciones prácticas, nada es perfectamente simétrico y es la dirección con la pérdida de energía más baja es la que domina. Para aplicaciones reales la dirección de rotación debe ser fija y conocida [27].

Un reloj rotatorio tiene la ventaja de una baja variación en el *skew* y un bajo con-

¹Líneas de transmisión de modo impar ocurre cuando dos líneas de transmisión se encuentran acopladas, ambas manejando señales con la misma amplitud pero desfasadas 180° una de otra [8].

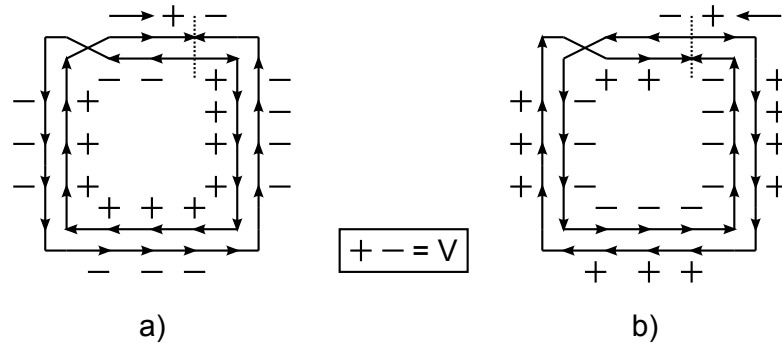


Figura 4.2: Relación entre voltaje y corriente. a) Rotación en dirección de las manecillas de reloj y b) Rotación en sentido contrario a las manecillas del reloj

sumo de potencia de disipación; esto último es debido a que la energía dentro de la línea es recirculada a lo largo del anillo [5]. En estos osciladores, la oscilación puede comenzar espontáneamente a causa de cualquier evento de ruido o en su defecto, con un circuito de inicio para controlar la operación [31, 37, 44]. Una vez que se haya perturbado cada nodo de voltaje, éste resultará en una oscilación [44]; dicha oscilación, provoca que el circuito se comporte de una manera no lineal [45]. El par de inversores que funcionan como compensadores, trabajan como *latch* y esto limita el incremento de la amplitud [44].

Una onda de reloj requiere dos rotaciones para completar un periodo de reloj; donde cualquier punto del anillo puede ser tomado como un punto de referencia con un retardo de la señal de reloj $t = 0$ y una fase de reloj $\phi = 360^\circ$ (Figura 4.3).

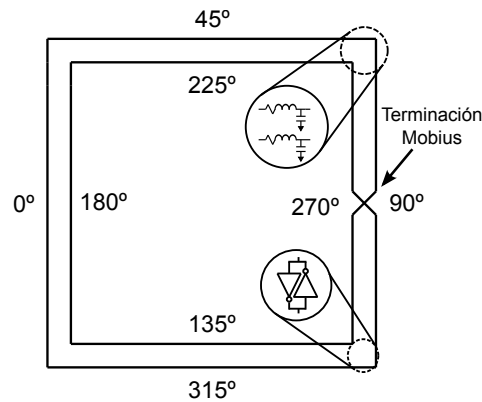


Figura 4.3: Anillo de reloj rotatorio, donde los números indican la fase de la señal de reloj

En aplicaciones electrónicas, la línea diferencial tiene dos estados estables gracias a los inversores acoplados en cruz distribuidos alrededor del anillo. El conductor conectado en cruz (terminación *mobius*) asegura la retroalimentación inversa. Es interesante precisar que es la no linealidad de los inversores lo que permite las oscilaciones [27]. La forma de estimar la frecuencia de oscilación del RTWO es la siguiente:

$$f = \frac{1}{\pi\sqrt{LC_{total}}} \quad (4.2)$$

Donde C_{total} es la suma de la capacitancia de la línea, la capacitancia de la compuerta de los transistores y la carga a la que la línea es sometida. Todo esto se puede aproximar solo como la capacitancia de la línea (C_{Linea}).

Este tipo de osciladores rotatorios, posee la misma amplitud en cada uno de sus nodos, sin embargo, la señal se encuentra desfasada conforme avanza por el anillo debido al retardo que se genera por la línea y por la naturaleza viajera de las señales de reloj [6, 36, 41, 43], esto se muestra en la Figura 4.4, la cual presenta las oscilaciones de un reloj RTWO con 5 compensadores distribuidos a lo largo de la línea, con una frecuencia de $2.5GHz$, una longitud de $24mm$ y un ancho de $2.5\mu m$ de línea; como se mencionó anteriormente, se observa que todas las señales en el anillo poseen la misma amplitud, sin embargo, se encuentran desfasadas conforme avanzan por la línea. La razón por la cual se utilizan 5 compensadores, es para mostrar el comportamiento de la señal conforme viaja por el anillo; la cantidad de compensadores a utilizar en osciladores RTWO se deja a consideración del diseñador, tomando en cuenta que una mayor cantidad de compensadores en la línea aumentan el consumo de potencia y disminuyen la frecuencia generada en las líneas debido a las capacitancias intrínsecas que poseen los transistores, por lo tanto, se debe tener un compromiso entre la cantidad de compensadores distribuidos a lo largo de la línea y el consumo de potencia.

Las ventajas de utilizar este tipo de osciladores comparados a VCO (osciladores controlados por voltaje) y osciladores de anillo convencionales son las siguientes [27]:

- El resonador es completamente cerrado, no ocurren problemas con la terminación
-

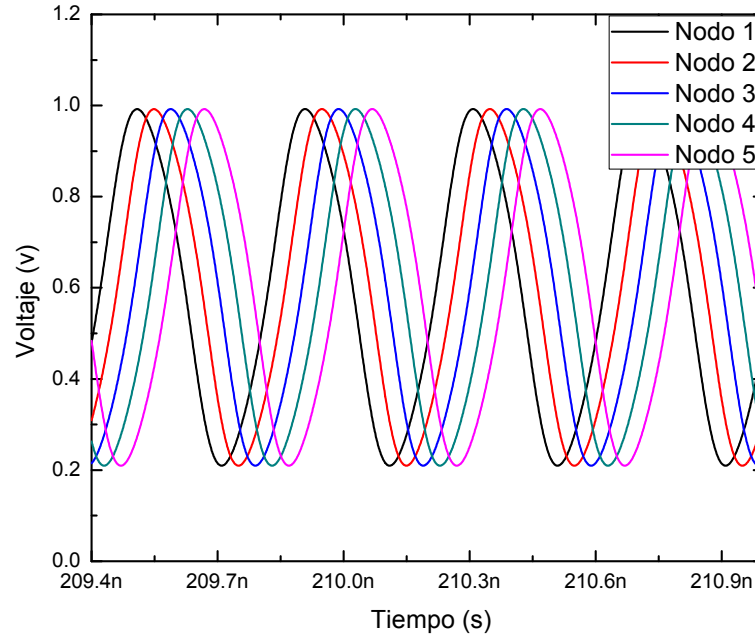


Figura 4.4: Forma de onda de un RTWO a $2.5GHz$ y 5 compensadores, en un nivel de metal 8

de la línea (impedancia).

- El camino de la corriente (directa e inversa) se encuentra bien definido por el par de líneas.
- Posee la misma amplitud en cada uno de sus nodos.
- Una vez que la onda se propaga a lo largo de las líneas, las pérdidas del oscilador son relacionadas a las pérdidas resistivas solo dentro de la línea. En contraparte al oscilador de anillo, en el cual, la energía que carga y descarga la capacitancia de la compuerta MOS consume parte de la energía de onda. En contraste, la energía en un RTWO no se pierde en cada etapa, debido a que es recirculada de una etapa a otra por un camino cerrado.

Debido a que las líneas de reloj son construidas en los niveles superiores de metal y los transistores en el nivel inferior, esto hace que el diseño en *layout* se vuelva complejo, ya que las vías agregan elementos parásitos que deben ser tomados en cuenta, además,

los caminos que deben recorrer las vías de un nivel de metal 8 a un nivel de metal 1, no son completamente verticales debido a la comunicación entre bloques vecinos provocando que la señal proveniente de los osciladores tenga que rodear las líneas que vienen de otros bloques.

Por otro lado debido a la terminación *mobius* que tiene el RTWO es necesario bajar al nivel inferior del metal para poder realizar el cruce como lo explica [45], por último, es importante determinar la separación apropiada que deben tener las líneas diferenciales de modo impar para reducir los efectos de proximidad.

4.2.2. Osciladores de Onda Estacionaria (SWO)

Ondas estacionarias aprovechan las reflexiones que ocurren en las líneas debido a los desacoplamientos que existen en las terminaciones de la línea, las ondas pueden ser reflejadas de regreso por los finales en circuito abierto o en corto circuito. Este comportamiento de reflexión de la onda al final del conductor puede ser explotado para generar un oscilador [31]. Las redes de onda estacionaria aprovechan los elementos LC en las interconexiones para generar oscilaciones, más sin embargo, requieren también de circuitos recuperadores (compensadores) distribuidos a lo largo de la línea para mantener la oscilación [23]. Al igual que en los relojes de anillos y en los RTWO, la señal de oscilación comienza con un evento de ruido en la línea.

El oscilador de onda estacionaria se forma por la interacción de dos ondas viajeras que se trasladan en direcciones opuestas, pero con amplitudes iguales tal como se muestra en la Figura 4.5 [4, 37, 42], en donde una onda de voltaje es enviada a la línea de transmisión diferencial por medio de una fuente y reflejada de regreso por una terminación en corto circuito [31, 37].

El modo de oscilación de una onda estacionaria completa es descrita con ayuda de la Figura 4.6a. Suponiendo que un nivel alto se encuentra en la salida del inversor “a” (nodo A), esta señal será enviada al extremo de la terminación en corto (nodo B), donde será invertida por la terminación en corto (-1) y enviada de regreso a los

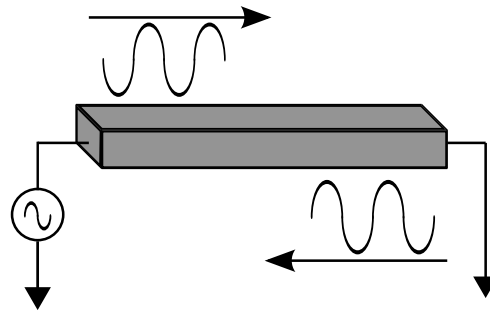


Figura 4.5: Generación de una onda estacionaria

compensadores, donde las señales incidente y reflejada se superponen ($1 - 1 = 0$), esto hace que la salida del inversor “a” pase a un estado bajo; de nuevo, la señal es enviada al extremo en corto y regresada a los inversores, sin embargo, al realizar la superposición de las señales el resultado se sigue manteniendo en un estado bajo ($0 - 0 = 0$), por lo tanto, es necesario tener líneas de modo impar, las cuales, ayudan a cambiar de estado evitando que la señal se mantenga siempre en un estado bajo. Continuando con el ejemplo, al mismo tiempo que la salida del inversor “a” se encuentra en un estado bajo, la salida del inversor “b” se mantiene en un estado alto; esta última irá al extremo en corto (nodo B') y regresará a los compensadores para superponerse ($1 - 1 = 0$), lo cual provoca que la salida del inversor “a” cambie su estado de bajo a alto dando inicio a la oscilación; este proceso se repite indeterminadamente y es así como las oscilaciones ocurren gracias a la terminación en corto y a los compensadores. Este oscilador es llamado de onda completa, debido a que la señal debe ir y regresar por lo largo de la línea, haciendo que solo existan cambios de fase cada que llega a los compensadores.

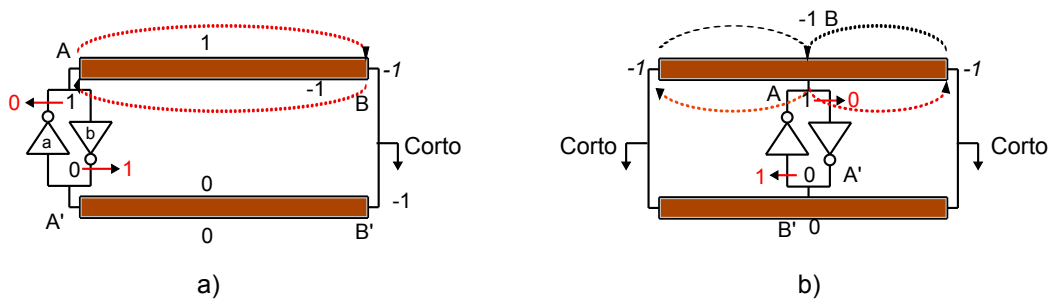


Figura 4.6: Método de oscilación de una onda estacionaria. a) SWO de onda completa y b) SWO de media onda

La forma de calcular la frecuencia de oscilación del SWO de onda completa se define por la Ecuación 4.3. El término 2π se debe a que la señal debe viajar dos veces por la línea.

$$f = \frac{1}{2\pi\sqrt{LC_{total}}} \quad (4.3)$$

El comportamiento de un oscilador SWO de media onda (Figura 4.6b), es muy parecido al descrito para una SWO de onda completa; la diferencia es que a la señal solo le toma la mitad del camino para cambiar su fase; esto se debe a que ambos extremos de la línea se encuentran en corto y los compensadores a la mitad de la línea, lo cual provoca que la frecuencia de oscilación para este tipo de estructuras sea dos veces más rápida que para un SWO de onda completa. La forma de calcular la señal de un SWO de media onda es la misma que la mostrada para una RTWO (Ecuación 4.2).

Este tipo de osciladores (SWO de onda completa y SWO de media onda) tiene una gran cantidad de pérdidas de energía debido a la terminación de la línea a tierra, haciendo que el consumo de potencia se vea incrementado, debido a que parte de la energía se va por el paso a tierra. Además, las pérdidas por esta terminación generan que la superposición de las señales incidentes y reflejadas no sean las adecuadas, provocando que las señales no tengan amplitudes bien definidas y se encuentren desfasadas. Otro problema, son las ondas viajeras residuales, las cuales provocan un incremento en la frecuencia de oscilación.

Para solventar los problemas con las conexiones a tierra, se opta por tener un circuito cerrado. Éste consiste en unir las líneas diferenciales en los extremos, lo cual funciona como una tierra virtual como se aprecia en la Figura 4.7. Si se considera que la salida del inversor “a” se encuentra en un estado alto, por consiguiente, la salida del inversor “b” se encuentra en un estado bajo; estas señales viajan a lo largo de la línea hasta llegar al nodo B, en donde las señales se superponen, ocasionando que las señales se contrarresten, una vez esto, las señales siguen su camino hasta llegar a los compensadores, en donde, el estado que antes era alto se convertirá en uno bajo y viceversa;

este procedimiento se repite indeterminadamente. Para SWO de media onda se observa el mismo comportamiento.

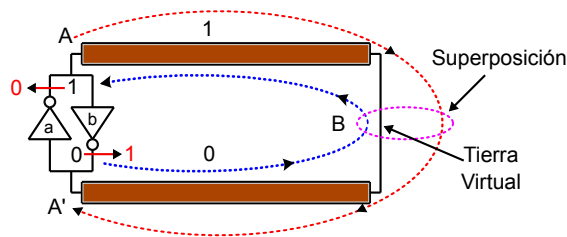


Figura 4.7: Método de oscilación de SWO con tierra virtual

La Figura 4.8, muestra un SWO de media onda con 5 compensadores. Estas estructuras siempre tienen un número impar de compensadores; el nodo que se encuentra a la mitad de la línea, es el nodo del cual se extrae la señal, ya que en ese punto la señal posee su mayor amplitud.

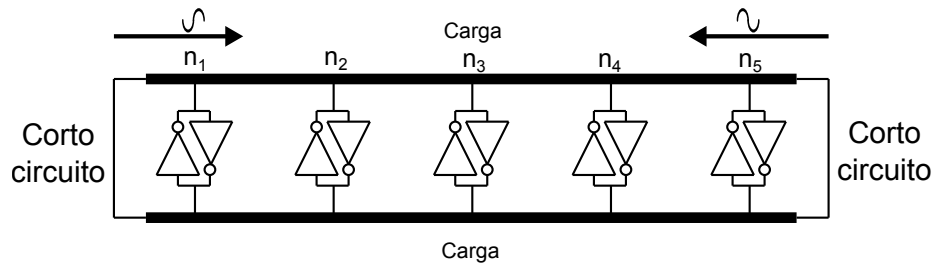


Figura 4.8: Arquitectura de un oscilador de anillo con 5 compensadores distribuidos en las líneas

En la Figura 4.9, se presentan las oscilaciones de un SWO de media onda aterrizado a tierra y con 5 compensadores. En esta figura se puede ver como las señales se encuentran desfasadas y aunque el nodo 3 posee la mayor amplitud, estas señales tienen un *offset* negativo, producido por la resistencia de los compensadores. La frecuencia con que viaja en la línea es de $10GHz$, esto se debe a las ondas viajeras residuales que se encuentran dentro de la línea se superponen a otras señales, produciendo el incremento en frecuencia.

Los osciladores de onda estacionaria con tierra virtual, reducen significativamente el *skew* y *jitter* [4]. Sin embargo, la fase de la señal de reloj es constante a lo largo de

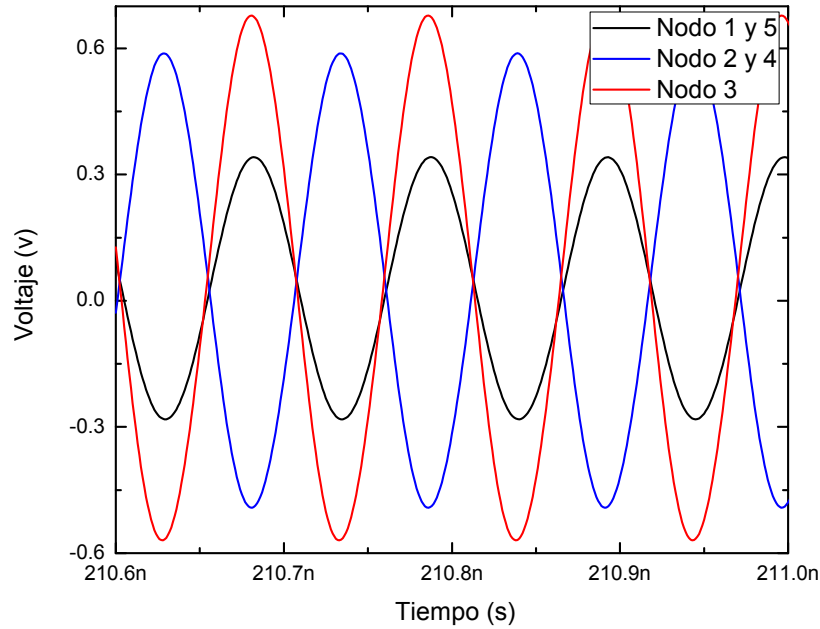


Figura 4.9: Forma de onda de un SWO de media onda con conexión a tierra a 10GHz, con 5 compensadores y en un nivel de metal 8

la línea, mientras que la amplitud varía con la posición de la línea [4, 9, 31, 37, 41, 42]. Ésto se puede apreciar en la Figura 4.10, en donde aparece la salida de un SWO de media onda con 5 compensadores y sin conexión a tierra. En esta figura se muestra que todos los nodos poseen la misma fase, pero conforme se alejan del nodo central (nodo 3), sus amplitudes se ven reducidas; siendo el nodo 3 el que posee la mayor amplitud y el nodo 1 y 5 los que menor amplitud poseen.

De la misma manera que el oscilador RTWO, para un buen funcionamiento del oscilador resonante SWO el diseño de *layout* se vuelve crítico; el factor más importante que se considera en este tipo de osciladores además de que la señal debe bajar a los niveles inferiores de metal, es el espacio entre las líneas diferenciales, esto se debe a que la línea interna recorrerá una menor distancia que la línea externa, lo que provoca una menor cantidad de elementos parásitos en la línea interior que en la exterior provocando un desbalance entre líneas, haciendo que la señal pierda simetría.

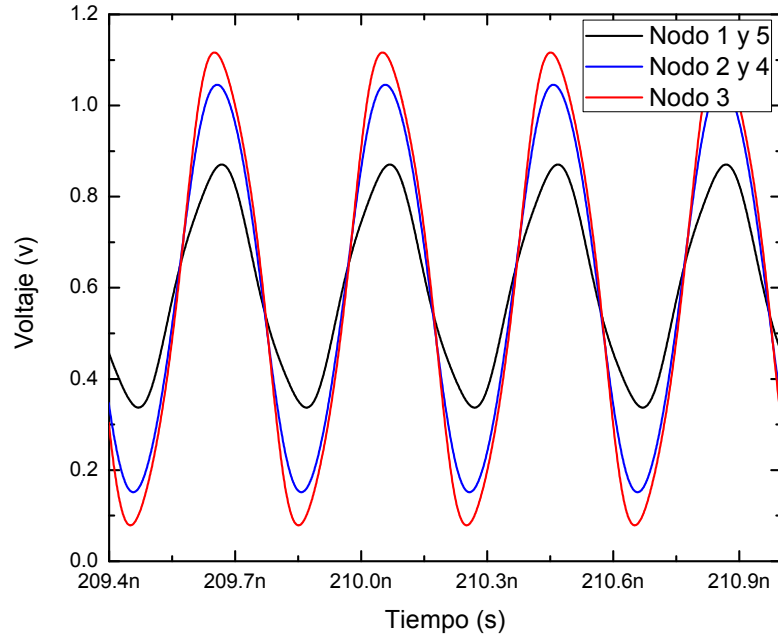


Figura 4.10: Forma de onda de un SWO de media onda con tierra virtual a 2,5GHz, con 5 compensadores y en un nivel de metal 8

4.3. Compensadores

Para contrarrestar las pérdidas a lo largo de las interconexiones del circuito debido a la resistencia de la línea y al substrato, la distribución de resistencias negativas (compensadores) son necesarias para contrarrestar las pérdidas y mantener la oscilación en la línea [26, 46]. Existe una gran cantidad de diseños de compensadores en la literatura, sin embargo, los más comunes son los presentados en la Figura 4.11. En la Figura 4.11a se muestra la configuración de compuerta común, la cual es utilizada para reducir las limitaciones de ganancia impuestas por las líneas de transmisión [9, 26, 27, 47]. En la Figura 4.11b, se muestran transistores “tipo-n” acoplados en cruz con una fuente de corriente; éstos son utilizados para reducir la onda viajera residual [4], además, son compatibles con la tecnología CMOS y permiten sintonizar la resistencia negativa controlando la fuente de corriente [26, 47]. Por último, la Figura 4.11c, muestra inversores acoplados en cruz, los cuales son útiles compensando pérdidas en interconexiones a frecuencias arriba de $3GHz$ [26]; este par de inversores ayuda a activar la fase de cierre

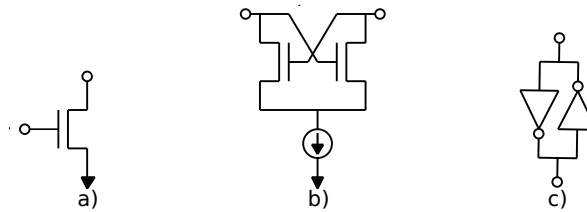


Figura 4.11: Tipos de compensadores. a) Configuración de compuerta común, b) Transistores “tipo-n” acoplados en cruz con una fuente de corriente y c) Inversores acoplados en cruz

en circuitos con líneas diferenciales del modo impar, sin embargo, el inconveniente de utilizar este tipo de inversores es la baja linealidad que poseen, provocando distorsiones en la señal [5, 26, 44, 47].

4.3.1. Diseño de Compensadores

Los compensadores son una base fundamental en el diseño de osciladores en base a líneas de transmisión, ya que estos generan la ganancia necesaria para contrarrestar las pérdidas de la líneas, permitiendo así, que se mantenga una oscilación en el circuito [26]. Sin embargo, ganancias muy grandes del transconductor pueden causar un tercer armónico, el cual distorsiona la señal de reloj, además de saturar la señal de salida [46].

Los compensadores utilizados en este trabajo son los inversores conectados en cruz (Figura 4.11c), donde el inversor CMOS se constituye de dos transistores complementarios (NMOS y PMOS) en el cual sus compuertas son conectadas a la entrada; el voltaje aplicado es denotado por V_{in} . El voltaje de salida del inversor (V_{out}), es tomado de las terminaciones comunes del drenador. Los transistores son conectados de manera que aseguren que solo uno conducirá y el otro se apagará cuando la entrada se encuentre estable a un nivel bajo o alto [2]. Es importante asegurar que los transistores “n” y “p” se dimensionen de tal manera que permitan generar los mismos tiempos en un estado alto y en un estado bajo para que la señal se comporte de forma simétrica; la forma de asegurar la simetría de los inversores es por medio de un análisis en DC. La Figura 4.12 muestra un análisis en DC de un inversor simétrico, con un ancho de compuerta

en el transistor tipo “n” de $32\mu m$ y de $100\mu m$ para el transistor tipo “p”, utilizando una longitud de canal de $0.17\mu m$ y una fuente de alimentación de $1.2V$. En esta figura se aprecia cómo la señal de salida de los inversores al cambiar de un estado alto a uno bajo coincide en un valor de $0.6V$, lo cual demuestra la simetría del inversor.

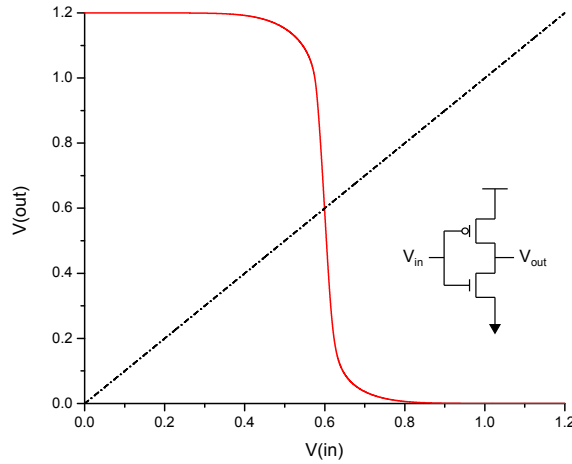


Figura 4.12: Análisis en DC de un inversor de W_n de $32\mu m$ y un W_p de $100\mu m$

La transconductancia (g_m) de cada transistor está en función de la capacitancia, resistencia e inductancia tal como se muestra en la Ecuación 4.4 en donde las pérdidas del substrato no son contempladas debido a que éstas se vuelven despreciables comparadas con las pérdidas de la línea ($R \gg G$).

$$g_m \geq \frac{RC}{L} \quad (4.4)$$

Una vez obtenida la transconductancia requerida en los transistores, es importante tener en cuenta las variaciones dinámicas o estáticas de la línea que pueden presentarse en el chip. Por ese motivo, es recomendable no tener dimensiones exactas, lo cual se logra añadiendo un factor de compensación (κ), donde κ varía de 1 a 3.

La forma de calcular el ancho del transistor (W), considerando que los transistores se encuentran en saturación es la mostrada en la Ecuación 4.5.

$$W = \frac{\kappa g_m L_{canal}}{C_{ox} U_o V_{ov}} \frac{1}{N} \quad (4.5)$$

Donde L_{canal} , es la longitud del canal, la cual para sistemas digitales es la mínima permitida por la tecnología, C_{ox} es la capacitancia del óxido de compuerta que proporciona la tecnología, U_o es la movilidad para transistores tipo “n” o “p” según sea el caso, mientras V_{ov} viene dado por $V_{gs} - V_t$, siendo el voltaje de compuerta a fuente y el voltaje de umbral respectivamente. Por último, el término N representa la cantidad de compensadores (> 1) que estarán distribuidos a lo largo de la línea.

4.4. Conclusiones

En el capítulo se describen los osciladores de anillo resonantes y no resonantes, describiendo la técnica que éstos utilizan para generar oscilaciones, así como el criterio de diseño para desarrollar compensadores capaces de contrarrestar las pérdidas de las líneas.

Los osciladores RTWO y SWO aprovechan los elementos parásitos de la línea. Los osciladores RTWO poseen la misma amplitud en cualquiera de los nodos del anillo, sin embargo, las señales presentan un desfase entre sí. Por otro lado, las señales de los osciladores SWO se encuentran acopladas entre sí (misma fase), pero la amplitud de la señal disminuye conforme se aleja del nodo central.

1.4. Conclusiones

Capítulo 5

Resultados y comparaciones de osciladores de anillo resonantes y no resonantes

En el presente capítulo se muestran y comparan los resultados de desempeño obtenidos mediante simulación considerando osciladores de anillo y osciladores resonantes (RTWO y STWO) funcionando a diferentes frecuencias, así como al variar las longitudes y anchos de línea. Finalmente se hace un análisis del comportamiento ante variaciones de temperatura y voltaje, así como el consumo de potencia y ruido a la salida de los osciladores.

5.1. Dimensionamiento de Compensadores

Utilizando la Tabla 5.1 y las Ecuaciones 5.1 y 5.2, es posible diseñar compensadores dependiendo del número de etapas de compensación a utilizar a lo largo de la línea y de la longitud y ancho de la misma.

$$g_m \geq \frac{RC}{L} \quad (5.1)$$

$$W = \frac{\kappa g_m L_{canal}}{C_{ox} U_o V_{ov}} \frac{1}{N} \quad (5.2)$$

En este trabajo se utilizan dos anchos de línea. La razón por la que se decidió hacerlo se puede resumir en los siguientes tres puntos :

- Analizar el comportamiento de los osciladores, con el ancho mínimo de línea permitido por la tecnología en un nivel 8 de metal ($2.5\mu m$) en una tecnología CMOS de $0.13\mu m$.
- Al tener frecuencias elevadas, los problemas de electromigración¹ se incrementan; una solución a esto es el utilizar anchos de líneas grandes. De acuerdo a los trabajos realizados por [26, 31, 43, 45, 54], se determinó utilizar un ancho de línea de $32\mu m$.
- Estudiar el desempeño de los osciladores conforme los anchos de línea aumentan o disminuyen, y determinar cuál de ellos es mejor ante variaciones de voltaje, temperatura y ruido.

Tabla 5.1: Valores extraídos de las líneas de transmisión.

Frecuencia (GHz)	Ancho (μm)	R ($k\Omega$)	L (nH)	C (pF)
1	2.5	3.453	564	760
	32	0.503	160	369
5	2.5	4.924	459	760
	32	0.907	131	369
10	2.5	6.026	434	760
	32	1.210	124	369

Al aumentar el ancho en las líneas, se produce un incremento en el consumo de potencia y en la distorsión de la señal. Con la ayuda de la Tabla 5.1, se observa cómo

¹La electromigración se debe al incremento de la corriente que circula a través de las líneas, causando que los iones de metal se transporten a través de las capas de interconexión, haciendo que el material migre causando fallas en el circuito. Para reducir la electromigración, es requerido incrementar el ancho de las líneas [1].

los elementos parásitos se ven reducidos al incrementar el ancho de línea, sin embargo, las relaciones mostradas en las Ecuaciones 5.1 y 5.2, muestran que el dimensionado de los compensadores es mayor para líneas con anchos de $32\mu m$ que para líneas de $2.5\mu m$.

Todas las salidas de los osciladores se encuentran conectadas a una carga de $16fF$; ésto se debe a la carga del *buffer* que es colocada a la salida de la línea, la cual se encarga de soportar una carga de $250fF$ que representa la carga de un bloque al cual se necesita que llegue la señal de reloj. Las oscilaciones resultantes después de pasar por el *buffer* son mostradas en el Apéndice B. Cada una de las simulaciones realizadas en este trabajo fueron realizadas en una tecnología CMOS de $0.13\mu m$ en nivel 8 de metal.

5.1.1. Dimensiones de Osciladores de Anillo no Resonantes

Se determinó trabajar con osciladores de anillo de tres etapas de retardo como el mostrado en la Figura 4.1 debido a que son fáciles de diseñar y poseen un bajo consumo de potencia; además, el objetivo de diseñar osciladores de este tipo es con el fin de realizar un comparativo con osciladores de anillo resonantes.

Los osciladores de anillo no resonantes, son diseñados para dos casos en particular. El primero para generar una frecuencia de oscilación de 1GHz, lo cual se logra con una longitud de línea de $0.65mm$ y un ancho de $2.5\mu m$. El segundo, obtener la frecuencia que se genera al utilizar una línea de $6.9mm$ de longitud, esto debido a que osciladores de anillo no resonantes (RTWO y SWO 1/2) utilizan una longitud de línea de $6.9mm$ para generar $10GHz$. Una vez determinada la frecuencia de oscilación, la longitud de la línea, el número de inversores a utilizar en el oscilador y las pérdidas de la línea (Tabla 5.1), se puede realizar el dimensionamiento de las celdas de retardo para generar la oscilación. Sin embargo, las dimensiones obtenidas para los inversores en los diferentes casos son muy pequeñas, es por ello que se optó por utilizar las dimensiones mínimas que la tecnología permite, obteniéndose $W_n = 0.17\mu m$ y $W_p = 1.00\mu m$, para ambos largos y anchos de línea.

5.1.2. Dimensiones de Osciladores Resonantes

En este trabajo, el diseño de osciladores resonantes, se realiza utilizando un solo compensador a lo largo de la línea que conforma el oscilador debido a que éste es capaz de soportar las pérdidas de la línea y mantener la oscilación. Sin embargo, al ser solo un compensador, éste debe tener dimensiones grandes para contrarrestar eficientemente las pérdidas que presenta la línea.

Los osciladores RTWO y SWO 1/2, utilizan el mismo dimensionamiento del compensador; esto se debe a que ambos producen las mismas frecuencias de oscilación utilizando los mismos largos y anchos de línea, por lo que presentan las mismas pérdidas. Las dimensiones de dichos compensadores se muestra en la Tabla 5.2, estas dimensiones son calculadas mediante las Ecuaciones 5.1 y 5.2 y los valores de la Tabla 5.1. Nótese, que las dimensiones para líneas con anchos de $32\mu m$ son mayores que para líneas de $2.5\mu m$. Por otro lado, el dimensionamiento del compensador para el oscilador SWO de onda completa es mostrado en la Tabla 5.3.

Tabla 5.2: Dimensiones de compensadores RTWO y SWO 1/2.

Línea	Dimensiones de transistores de los compensadores.		
	Ancho (μm)	W_n (μm)	W_p (μm)
6.9	2.5	8	25
	32	25.5	80
14	2.5	12.2	38
	32	32	100
50	2.5	23.5	74
	32	32	100

Tabla 5.3: Dimensiones de compensadores SWO.

Línea	Dimensiones de transistores de los compensadores.		
Longitud (<i>mm</i>)	Ancho (μm)	W_n (μm)	W_p (μm)
3.3	2.5	3.6	11
	32	25.5	80
7.2	2.5	4.7	14.6
	32	32	100
24.3	2.5	12.2	38
	32	32	100

La razón por la cual osciladores resonantes con líneas de 14 y 50mm con 32 μm de ancho poseen los mismos compensadores ($W_n = 32\mu m$ y $W_p = 100\mu m$), es estudiar qué sucede ante variaciones de voltaje y temperatura cuando el compensador no se encuentra diseñado para soportar las pérdidas de cierta longitud en la línea de transmisión.

5.2. Análisis de Variaciones de Voltaje y Temperatura

El análisis de variaciones de voltaje y temperatura (VT), permite observar el comportamiento de los osciladores diseñados, y determinar cuáles son las limitantes que estos poseen con el objetivo de realizar diseños más robustos. En la industria, se esperan variaciones de la fuente de alimentación (V_{DD}) alrededor del $\pm 10\%$ del valor nominal, mientras que variaciones en la temperatura se encuentran en el rango de $-20^\circ C$ a $120^\circ C$.

Como se mencionó anteriormente, la tecnología utilizada es TSMC de 0.13 μm , por lo que variaciones en anchos (2.5 – 32 μm) y largos (6.9 – 50 μm) de línea se vuelven despreciables, siendo esta la razón principal por la cual se decidió no realizar variaciones de procesos.

5.2.1. Variaciones de Voltaje y Temperatura en Osciladores de Anillo no Resonantes

El desempeño (frecuencia, amplitud, ciclo de trabajo, potencia y tiempo de establecimiento (t_{est}) de la señal generada) de osciladores de anillo no resonantes a voltaje y temperatura nominales se muestra en la Tabla 5.4, en donde se aprecia una mejora en la frecuencia generada y un menor consumo de potencia para líneas de $2.5\mu m$ que para líneas de $32\mu m$.

Tabla 5.4: Oscilador de anillo no resonante de tres etapas. Temperatura a $60^{\circ}C$ y fuente de alimentación de $1.2V$.

Longitud (mm)	Ancho (μm)	Frecuencia (GHz)	Amplitud (V)	Ciclo de trabajo %	Potencia (mW)	t_{est} (ns)
0.65	2.5	0.987	1.074	51.0	0.092	5.6
	32	0.272	1.145	51.2	0.368	19.0
6.9	2.5	0.132	1.156	51.3	0.901	44.5
	32	0.028	1.162	51.3	1.802	220

En las Figuras 5.1 a 5.4 se muestran la forma de onda y el espectro en frecuencia para cada uno de los casos mostrados en la Tabla 5.4

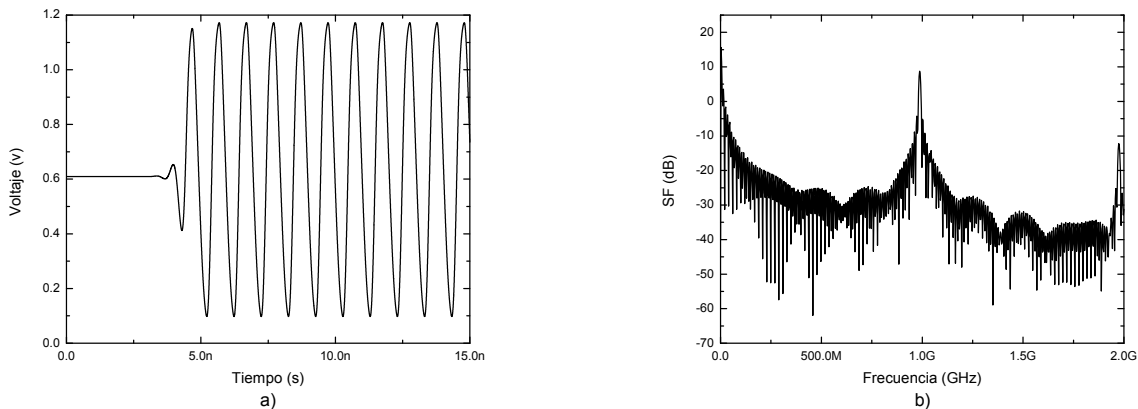


Figura 5.1: Oscilador de anillo de tres etapas con un ancho de $2.5\mu m$ y un largo de $0.65mm$. a) Forma de Onda y b) Espectro de la señal

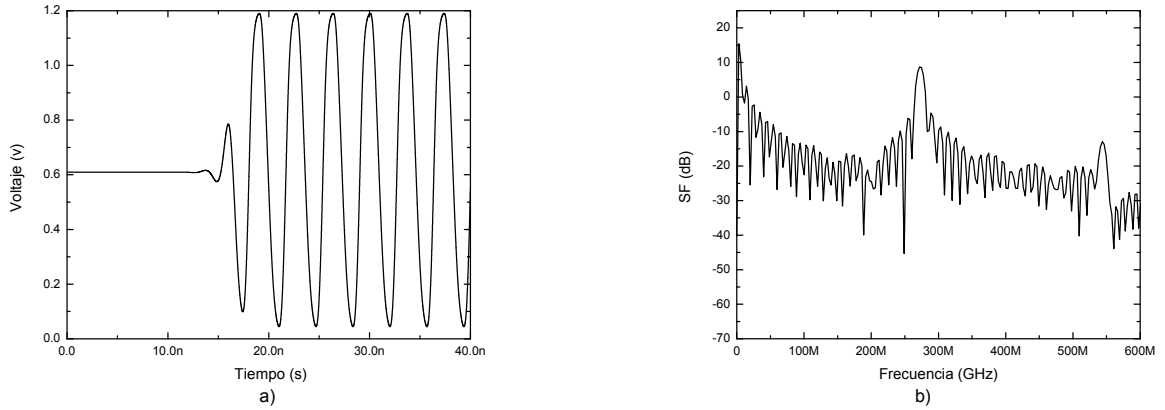


Figura 5.2: Oscilador de anillo de tres etapas con un ancho de $32\mu m$ y un largo de $0.65mm$. a) Forma de Onda y b) Espectro de la señal

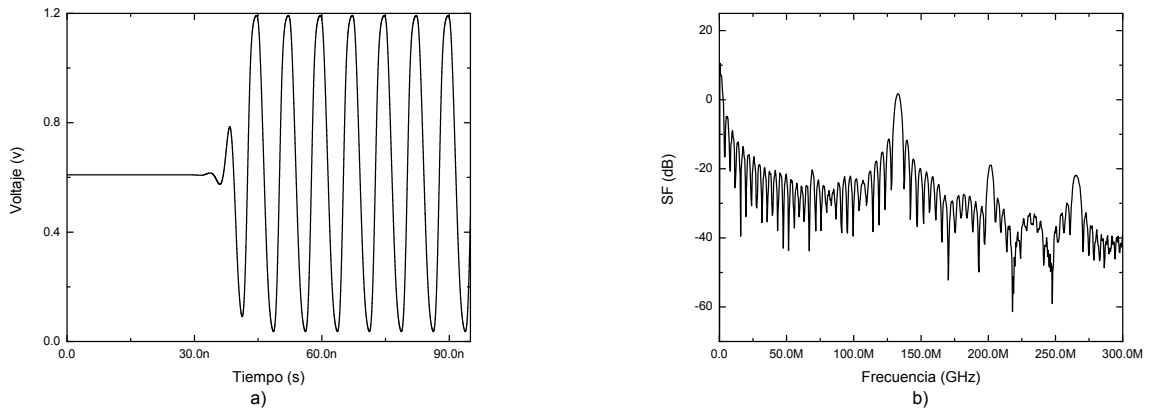


Figura 5.3: Oscilador de anillo de tres etapas con un ancho de $2.5\mu m$ y un largo de $6.9mm$. a) Forma de Onda y b) Espectro de la señal

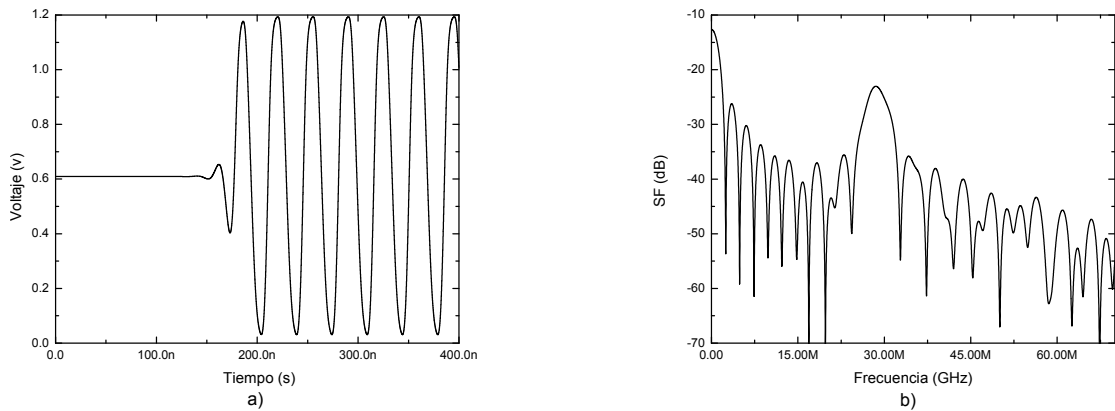


Figura 5.4: Oscilador de anillo de tres etapas con un ancho de $32\mu m$ y un largo de $6.9mm$. a) Forma de Onda y b) Espectro de la señal

Por otro lado, la mejor respuesta en frecuencia que presenta el oscilador, se logra con una temperatura de $-20^{\circ}C$ y una fuente de alimentación de $1.32V$ (Tabla 5.5), mientras que el consumo de potencia se reduce con una temperatura $-20^{\circ}C$ y una fuente de $1.08V$ (Tabla 5.6). Las diferentes combinaciones de variaciones de voltaje y temperatura para osciladores de anillo no resonantes son los mostrados en el Apéndice C. Cabe señalar, que el consumo de potencia y el t_{est} aumentan con el incremento de la longitud y de los anchos de las líneas.

Tabla 5.5: Oscilador de anillo no resonante de tres etapas. Temperatura a $-20^{\circ}C$ y fuente de alimentación de $1.32V$.

Longitud (mm)	Ancho (μm)	Frecuencia (GHz)	Amplitud (V)	Ciclo de trabajo %	Potencia (mW)	t_{est} (ns)
0.65	2.5	1.193	1.205	51.3	0.135	4.0
	32	0.329	1.277	51.4	0.202	15.3
6.9	2.5	0.160	1.286	50.7	1.327	37.1
	32	0.034	1.292	51.5	4.149	166

Tabla 5.6: Oscilador de anillo no resonante de tres etapas. Temperatura a $-20^{\circ}C$ y fuente de alimentación de $1.08V$.

Longitud (mm)	Ancho (μm)	Frecuencia (GHz)	Amplitud (V)	Ciclo de trabajo %	Potencia (mW)	t_{est} (ns)
0.65	2.5	0.824	0.954	50.8	0.061	5.6
	32	0.228	1.020	51.2	0.313	27.4
6.9	2.5	0.110	1.030	51.4	0.579	57.7
	32	0.023	1.037	51.3	1.712	260

5.2.2. Variaciones de VT para Osciladores RTWO y SWO 1/2

El comportamiento de los osciladores resonantes con voltajes y temperaturas nominales se resume en la Tabla 5.7, en donde se muestra que este tipo de osciladores genera una mayor frecuencia de oscilación con líneas y anchos cortos; además de que el consumo de potencia se ve reducido, al igual que el t_{est} . Un caso especial sucede con una longitud de línea de $50mm$, en donde la frecuencia es mayor para una línea con un ancho de $32\mu m$, que para una de $2.5\mu m$.

Tabla 5.7: Temperatura a 60° y fuente de alimentación de 1.2V.

Longitud (mm)	Ancho (μm)	Tipo	f (GHz)	Amplitud (V)	Ciclo de trabajo %	Potencia (mW)	t_{est} (ns)
6.9	2.5	RTWO	10.050	0.890	50.0	1.600	6.43
	32	RTWO	9.306	0.915	50.2	5.115	9.04
	2.5	SWO 1/2	10.050	0.890	50.3	1.600	6.79
	32	SWO 1/2	9.306	0.915	50.2	5.115	8.54
14	2.5	RTWO	4.979	0.919	50.2	2.439	6.73
	32	RTWO	4.639	0.501	50.1	6.407	12.87
	2.5	SWO 1/2	4.979	0.919	50.2	2.439	6.63
	32	SWO 1/2	4.668	0.879	50.1	6.407	13.66
50	2.5	RTWO	1.031	0.956	50.1	4.723	3.49
	32	RTWO	1.195	0.587	50.6	6.407	66.81
	2.5	SWO 1/2	1.031	0.956	50.2	5.732	6.13
	32	SWO 1/2	1.195	0.587	49.6	6.407	66.43

El comportamiento de las oscilaciones en líneas de 6.9 y 50mm con valores nominales (Tabla 5.7), son mostradas en las Figuras 5.5 - 5.12. En dichas figuras se aprecia que a longitudes de 50mm se consigue una frecuencia de 1GHz, donde el espectro en frecuencia muestra un gran número de armónicos cerca de la fundamental para anchos de línea de 2.5 μm (Figuras 5.5 y 5.6); sin embargo, los armónicos para anchos de línea de 32 μm se ven reducidos tanto en magnitud como en número, así como también se encuentran más alejados de la fundamental (Figuras 5.7 y 5.8). Por otro lado, líneas con longitud de 6.9mm y anchos de 2.5 μm , generan una mayor frecuencia de operación y una reducción en el número de armónicos cerca de la fundamental (Figuras 5.9 y 5.10); aunque, anchos de línea 32 μm en esta misma longitud, muestran un aumento en la cantidad de armónicos cerca de la fundamental, al igual que la magnitud de estos, produciendo distorsión y sobretiros en la forma de la señal en estos casos (Figuras 5.11 y 5.12).

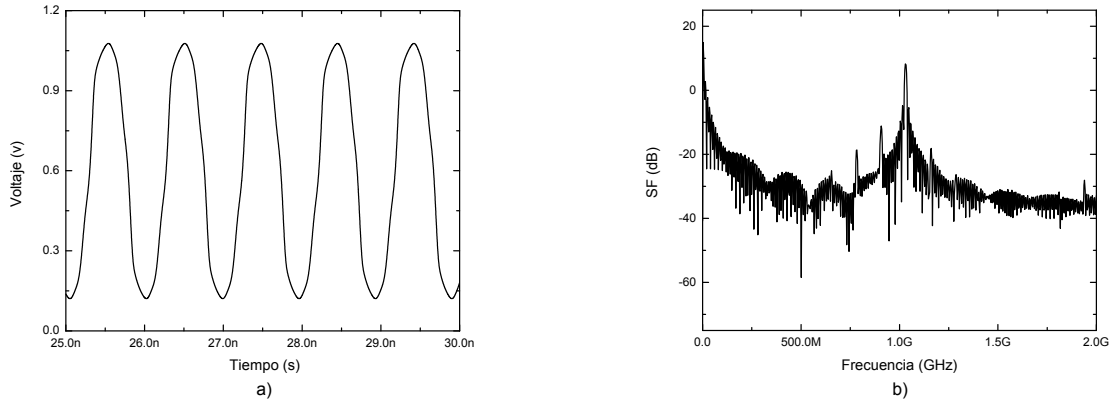


Figura 5.5: Comportamiento de SWO 1/2 con un ancho de línea de $2.5\mu\text{m}$ y un largo de 50mm . a) Forma de Onda y b) Espectro de la señal

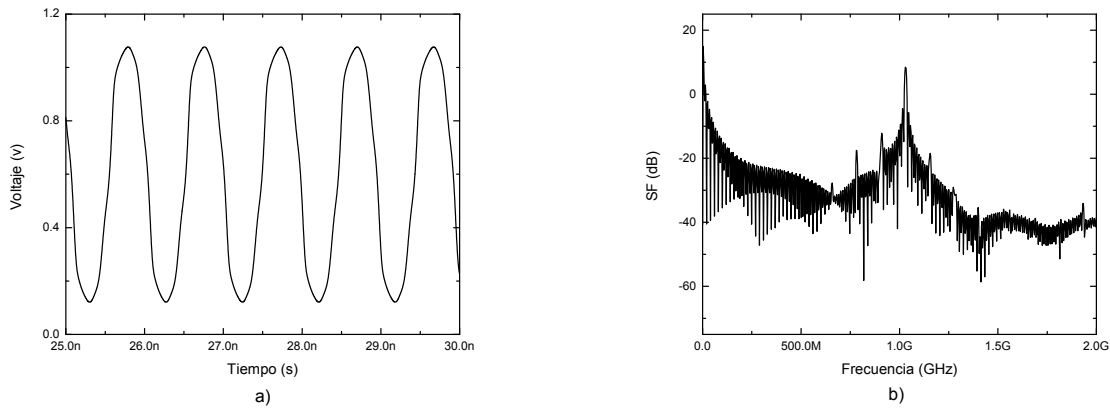


Figura 5.6: Comportamiento de RTWO con un ancho de línea de $2.5\mu\text{m}$ y un largo de 50mm . a) Forma de Onda y b) Espectro de la señal

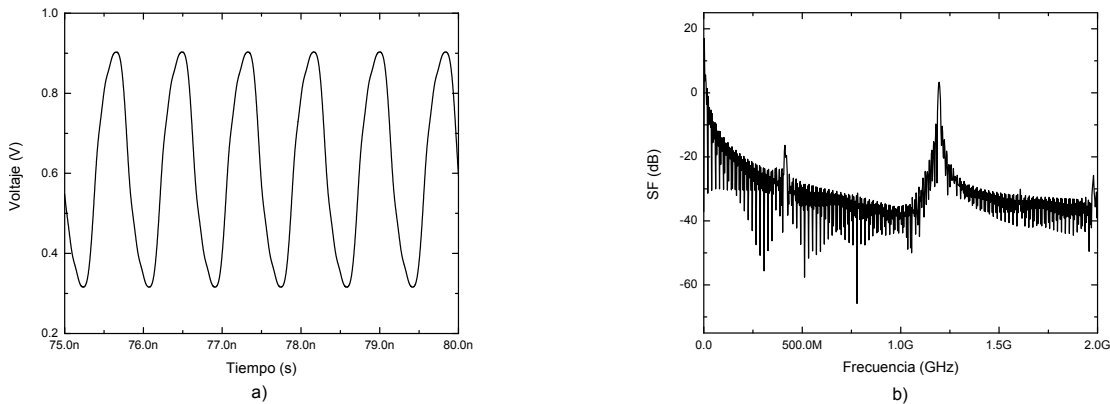


Figura 5.7: Comportamiento de SWO 1/2 con un ancho de línea de $32\mu\text{m}$ y un largo de 50mm . a) Forma de Onda y b) Espectro de la señal

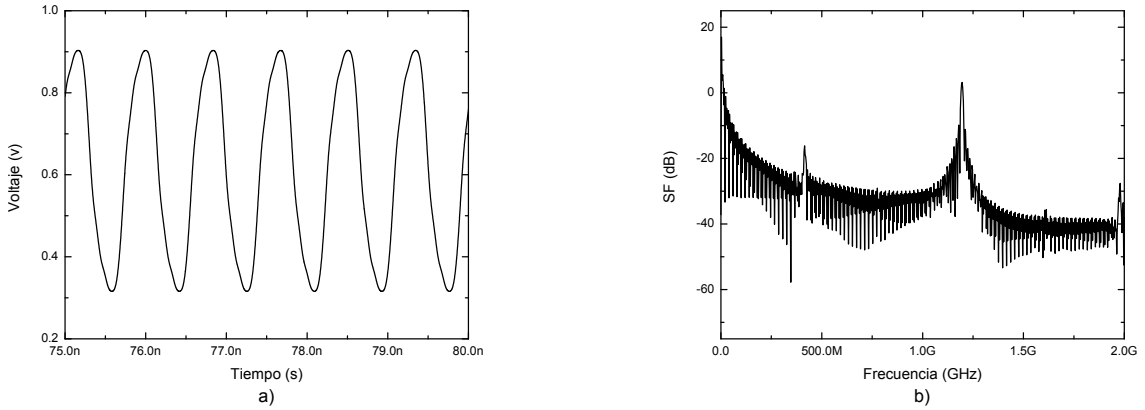


Figura 5.8: Comportamiento de RTWO con un ancho de línea de $32\mu m$ y un largo de $50mm$. a) Forma de Onda y b) Espectro de la señal

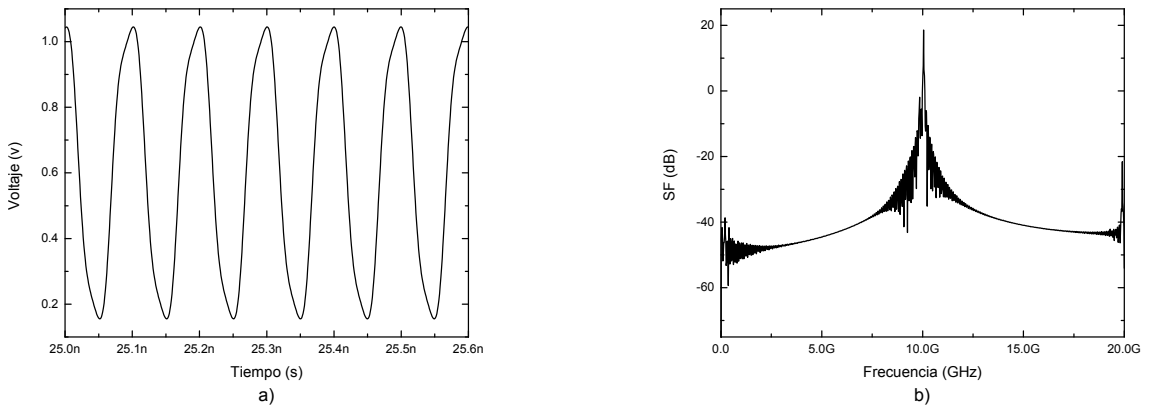


Figura 5.9: Comportamiento de SWO 1/2 con un ancho de línea de $2.5\mu m$ y un largo de $6.9mm$. a) Forma de Onda y b) Espectro de la señal

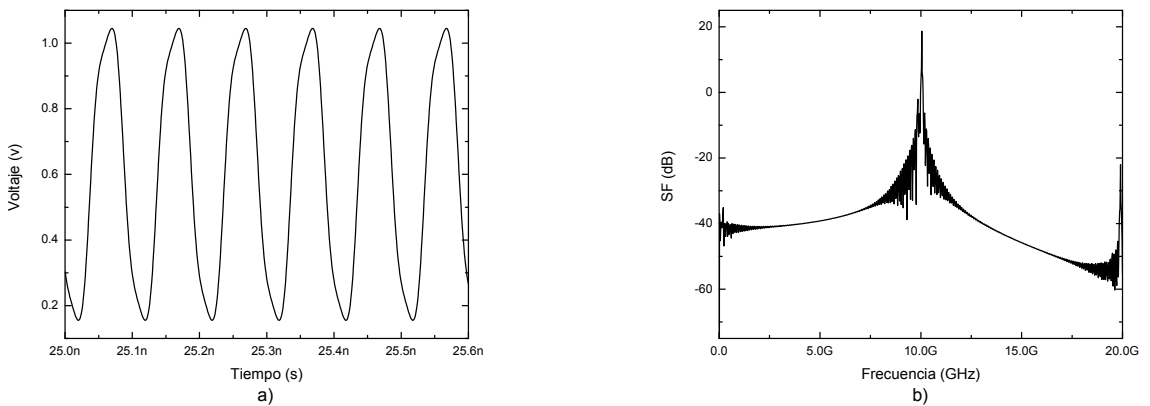


Figura 5.10: Comportamiento de RTWO con un ancho de línea de $2.5\mu m$ y un largo de $6.9mm$. a) Forma de Onda y b) Espectro de la señal

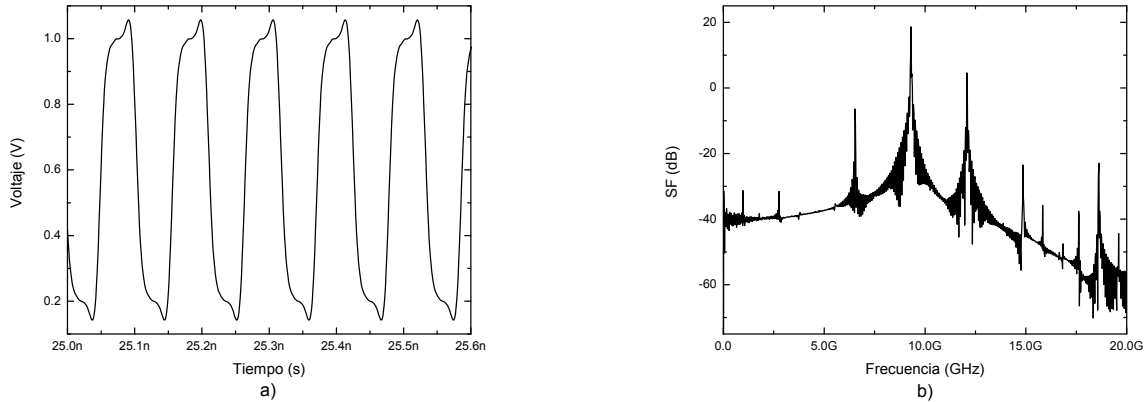


Figura 5.11: Comportamiento de SWO 1/2 con un ancho de línea de $32\mu m$ y un largo de $6.9mm$. a) Forma de Onda y b) Espectro de la señal

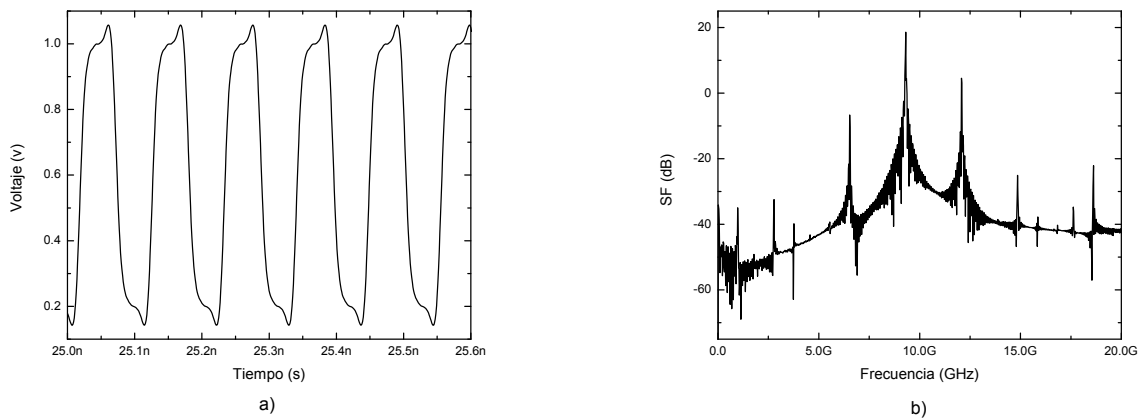


Figura 5.12: Comportamiento de RTWO con un ancho de línea de $32\mu m$ y un largo de $6.9mm$. a) Forma de Onda y b) Espectro de la señal

La frecuencia más alta se logra con una temperatura de $-20^{\circ}C$ y una fuente de alimentación de $1.32V$ (Tabla 5.8), mientras que el consumo de potencia se reduce con una temperatura de $-20^{\circ}C$ y una fuente de $1.08V$ (Tabla 5.9). Cabe destacar que las x dentro de las tablas, representan oscilaciones que no pudieron ser generadas, debido a que los compensadores no fueron capaces de mantener la oscilación respecto a variaciones de voltaje y temperatura, siendo los osciladores con longitudes de línea de $50mm$ y ancho de $32\mu m$ los más afectados, debido a que los compensadores no fueron correctamente diseñados.

Tabla 5.8: RTWO. Temperatura a -20° y fuente de alimentación de 1.32V.

Longitud (mm)	Ancho (μm)	Tipo	f (GHz)	Amplitud (V)	Ciclo de trabajo %	Potencia (mW)	t_{est} (ns)
6.9	2.5	RTWO	10.120	1.121	50.2	2.346	4.00
	32	RTWO	9.341	1.133	50.2	7.502	5.56
	2.5	SWO 1/2	10.120	1.121	50.2	2.346	4.36
	32	SWO 1/2	9.341	1.133	50.2	7.502	5.40
14	2.5	RTWO	5.016	1.129	49.4	3.577	4.07
	32	RTWO	4.636	1.035	50.3	9.396	7.84
	2.5	SWO 1/2	5.016	1.129	50.1	3.577	3.97
	32	SWO 1/2	4.685	1.084	50.0	9.396	8.03
50	2.5	RTWO	x	x	x	x	x
	32	RTWO	1.214	0.886	50.0	9.396	30.55
	2.5	SWO 1/2	x	x	x	x	x
	32	SWO 1/2	1.214	0.886	50.0	9.396	28.57

Tabla 5.9: RTWO. Temperatura a -20° y fuente de alimentación de 1.08V.

Longitud (mm)	Ancho (μm)	Tipo	f (GHz)	Amplitud (V)	Ciclo de trabajo %	Potencia (mW)	t_{est} (ns)
6.9	2.5	RTWO	10.066	0.502	50.2	0.606	13.46
	32	RTWO	9.318	0.811	50.3	1.938	15.68
	2.5	SWO 1/2	x	x	x	x	x
	32	SWO 1/2	9.318	0.811	50.4	1.938	15.53
14	2.5	RTWO	4.975	0.819	49.9	0.924	11.04
	32	RTWO	4.648	0.754	50.0	2.427	26.04
	2.5	SWO 1/2	4.975	0.819	50.2	0.924	11.35
	32	SWO 1/2	4.661	0.780	50.2	2.427	25.81
50	2.5	RTWO	1.074	0.874	50.1	1.789	7.07
	32	RTWO	x	x	x	x	x
	2.5	SWO 1/2	1.074	0.874	50.1	1.789	6.80
	32	SWO 1/2	x	x	x	x	x

5.2.3. Variaciones de VT para Osciladores SWO

El comportamiento de osciladores SWO con voltajes y temperatura nominales, bajo diferentes largos y anchos de línea es mostrado en la Tabla 5.10. En esta tabla se muestra un ancho de línea menor que las mostradas en osciladores RTWO y SWO 1/2, para

generar 1, 5 y 10GHz. El decremento en la longitud de la línea permite una reducción de la potencia consumida por el oscilador.

Tabla 5.10: SWO. Temperatura a 60° , fuente de alimentación de 1.2V y un ancho de línea de $2.5\mu m$.

Longitud (mm)	Ancho (μm)	Frecuencia (GHz)	Amplitud (V)	Ciclo de trabajo %	Potencia (mW)	t_{est} (ns)
3.3	2.5	10.350	0.826	50.2	0.706	9.73
	32	8.6767	1.161	50.2	5.115	3.53
7.2	2.5	4.902	0.760	50.2	0.933	12.62
	32	4.222	1.109	50.1	6.407	5.07
24.3	2.5	1.063	0.970	50.1	2.978	5.90
	32	1.242	1.000	50.0	6.407	11.77

En las Figuras 5.13 - 5.16 se muestran la forma de onda y el espectro de la señal conforme la longitud y el ancho varían, con temperatura y voltaje nominal. En estas figuras se aprecia cómo líneas con anchos de $2.5\mu m$ poseen la menor cantidad de armónicos, además de que se encuentran más alejados de la fundamental; mientras que para líneas con anchos de $32\mu m$, los armónicos aumentan así como su proximidad con la fundamental.

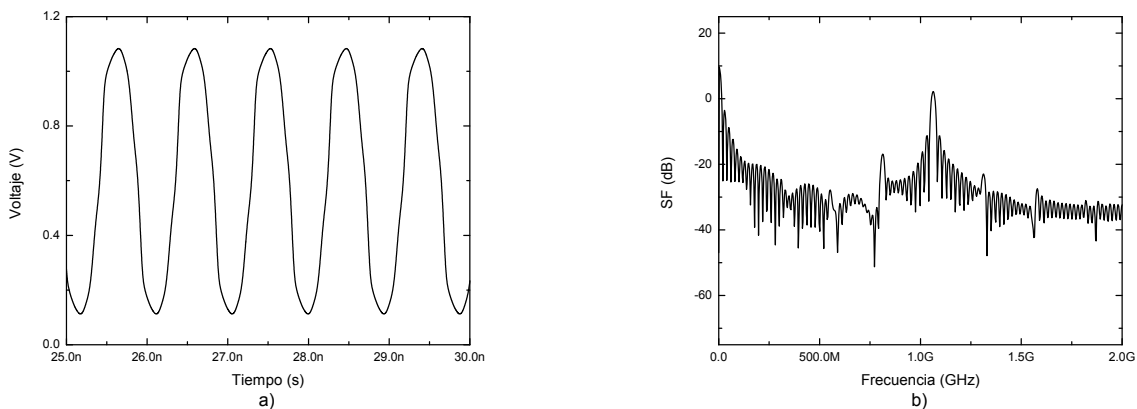


Figura 5.13: Comportamiento de SWO con un ancho de línea de $2.5\mu m$ y un largo de 24.3mm. a) Forma de Onda y b) Espectro de la señal

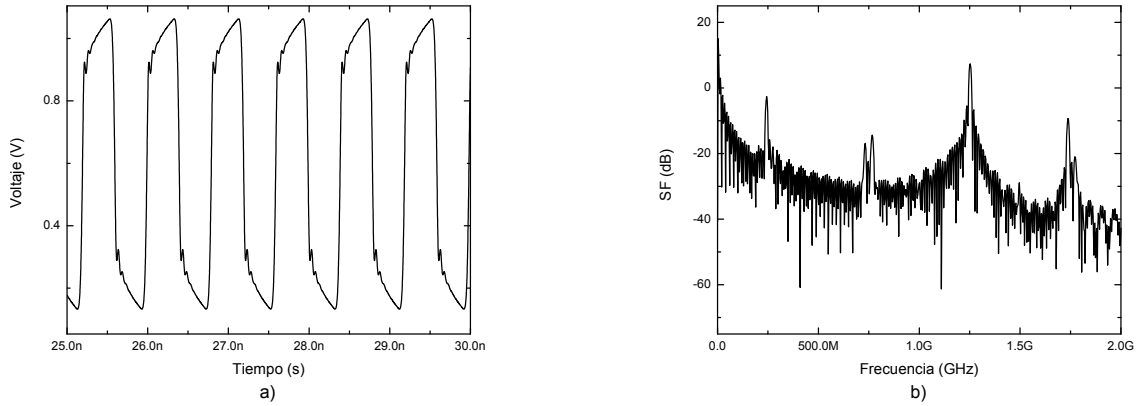


Figura 5.14: Comportamiento de SWO con un ancho de línea de $32\mu m$ y un largo de $24.3mm$. a) Forma de Onda y b) Espectro de la señal.

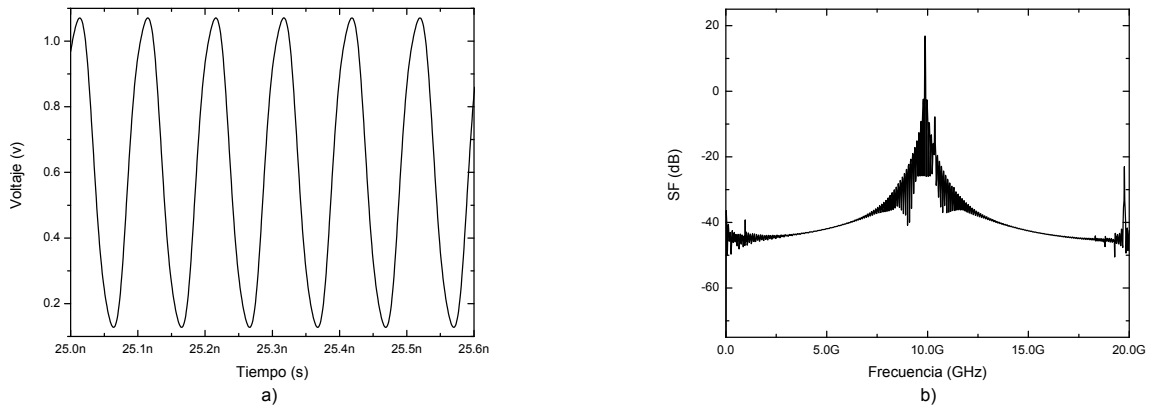


Figura 5.15: Comportamiento de SWO con un ancho de línea de $2.5\mu m$ y un largo de $3.3mm$. a) Forma de Onda y b) Espectro de la señal

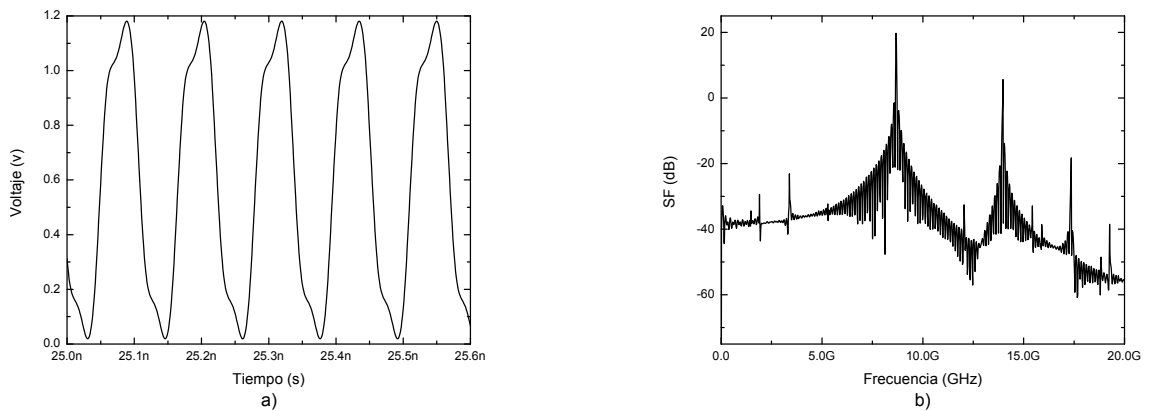


Figura 5.16: Comportamiento de SWO con un ancho de línea de $32\mu m$ y un largo de $3.3mm$. a) Forma de Onda y b) Espectro de la señal

El mayor consumo de potencia del oscilador se presenta al someterlo a una temperatura de $120^{\circ}C$ y una fuente de $1.32v$ (Tabla 5.11), mientras que frecuencias de oscilación más grandes se logra con una temperatura de $-20^{\circ}C$ y una fuente de $1.32V$ (Tabla 5.12).

Tabla 5.11: SWO. Temperatura a 120° , fuente de alimentación de $1.32V$ y un ancho de línea de $2.5\mu m$.

Longitud (mm)	Ancho (μm)	Frecuencia (GHz)	Amplitud (V)	Ciclo de trabajo %	Potencia (mW)	t_{est} (ns)
3.3	2.5	10.33	0.921	50.0	1.195	8.03
	32	8.644	1.276	50.3	8.663	3.24
7.2	2.5	4.905	0.854	50.3	1.580	10.23
	32	4.213	1.218	50.3	10.851	4.76
24.3	2.5	1.026	1.051	50.2	4.514	13.02
	32	1.241	1.094	50.0	10.851	10.73

Tabla 5.12: SWO 1. Temperatura a -20° , fuente de alimentación de $1.32V$ y un ancho de línea de $2.5\mu m$.

Longitud (mm)	Ancho (μm)	Frecuencia (GHz)	Amplitud (V)	Ciclo de trabajo %	Potencia (mW)	t_{est} (ns)
3.3	2.5	10.417	1.076	50.2	1.035	4.91
	32	8.725	1.340	50.0	7.502	2.45
7.2	2.5	4.949	1.010	50.2	1.368	7.19
	32	4.239	1.284	50.2	9.396	3.29
24.3	2.5	x	x	x	x	x
	32	1.242	1.165	50.0	9.396	7.04

5.3. Ruido en Osciladores de Anillo Resonantes y no Resonantes

El ruido obtenido por medio del simulador *mentor graphics* a la salida de los osciladores de anillo es el mostrado en la Tabla 5.13, en donde se presenta la potencia espectral de ruido con respecto a la frecuencia de los osciladores. Por su parte, la Tabla 5.14 muestra el ruido a la salida de los osciladores resonantes con sus respectivas fre-

cuencias de oscilación. Las gráficas correspondientes al ruido a la salida se muestran en el Apéndice C.

Tabla 5.13: Ruido a la salida del oscilador de anillo de tres etapas no resonante.

Ancho de línea (μm)	Longitud de línea (mm)	f (GHz)	Ruido a la salida $\left(n \frac{V}{\sqrt{Hz}} \right)$
2.5	6.9	0.132	6.6619
32	6.9	0.028	9.0063
2.5	0.65	0.987	7.2233
32	0.65	0.272	7.5940

Tabla 5.14: Ruido a la salida de osciladores de anillo resonantes.

Tipo	Ancho de línea (μm)	Longitud de línea (mm)	f (GHz)	Ruido a la salida $\left(n \frac{V}{\sqrt{Hz}} \right)$
RTWO	2.5	6.9	10	4.8833
SWO 1/2	2.5	6.9	10	4.8833
SWO	2.5	3.3	10	5.4120
RTWO	32	6.9	10	1.6064
SWO 1/2	32	6.9	10	1.6064
SWO	32	3.3	10	1.1070
RTWO	2.5	50	1	2.2921
SWO 1/2	2.5	50	1	2.2921
SWO	2.5	24.3	1	6.9234
RTWO	32	50	1	2.5365
SWO 1/2	32	50	1	2.5365
SWO	32	24.3	1	1.9234

Valores aceptables de ruido para osciladores se encuentra por de bajo de los $10n \frac{V}{\sqrt{Hz}}$.

5.4. Comparaciones Entre los Resultados Obtenidos y Otros Trabajos

En las Figuras 5.17 a 5.20, se muestra el comportamiento de osciladores resonantes con respecto a variaciones de temperatura y voltaje, así como la consumo de potencia en cada uno de los casos.

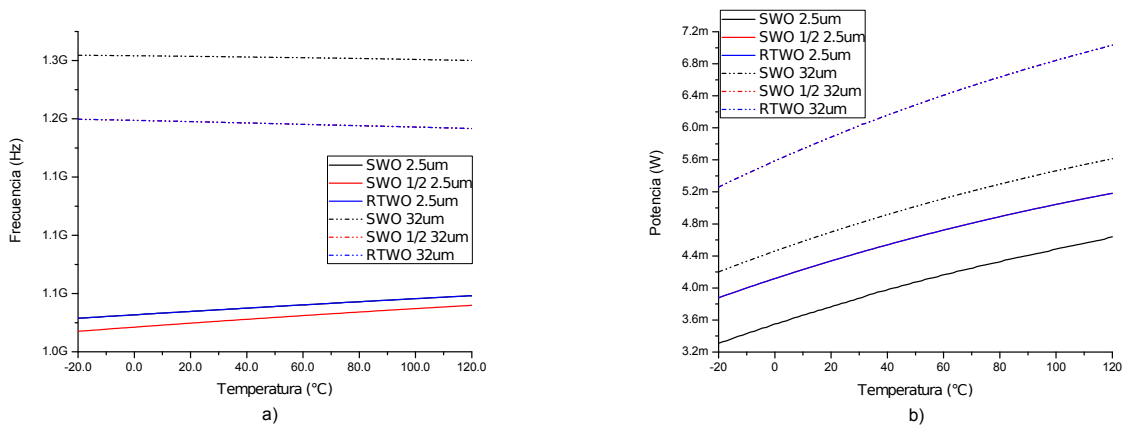


Figura 5.17: Comportamiento de osciladores resonantes a un1GHz. a) Frecuencia Vs Temperatura y b) Potencia Vs Temperatura

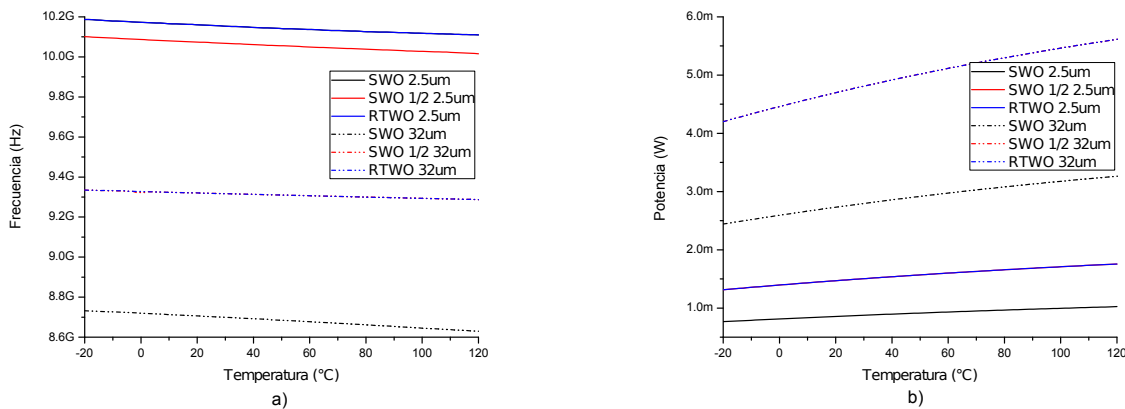


Figura 5.18: Comportamiento de osciladores resonantes a 10GHz. a) Frecuencia Vs Temperatura y b) Potencia Vs Temperatura

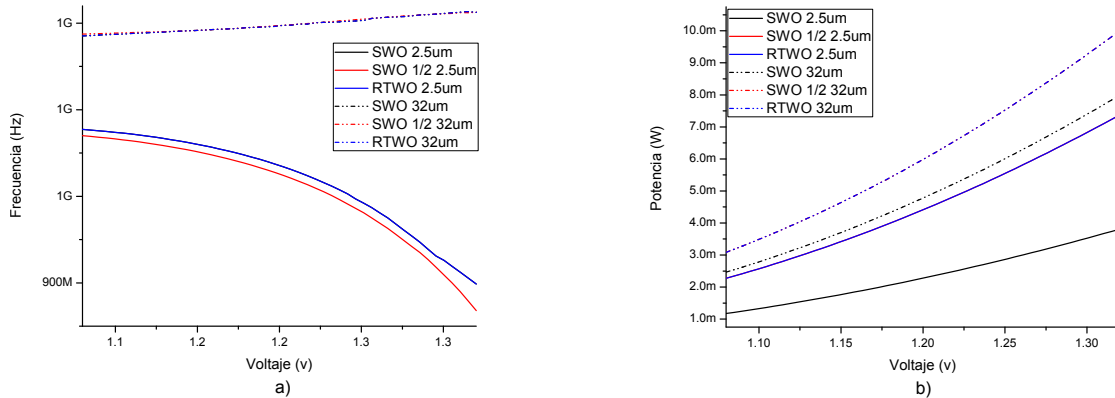


Figura 5.19: Comportamiento de osciladores resonantes a un 1GHz. a) Frecuencia Vs Voltaje y b) Potencia Vs Voltaje

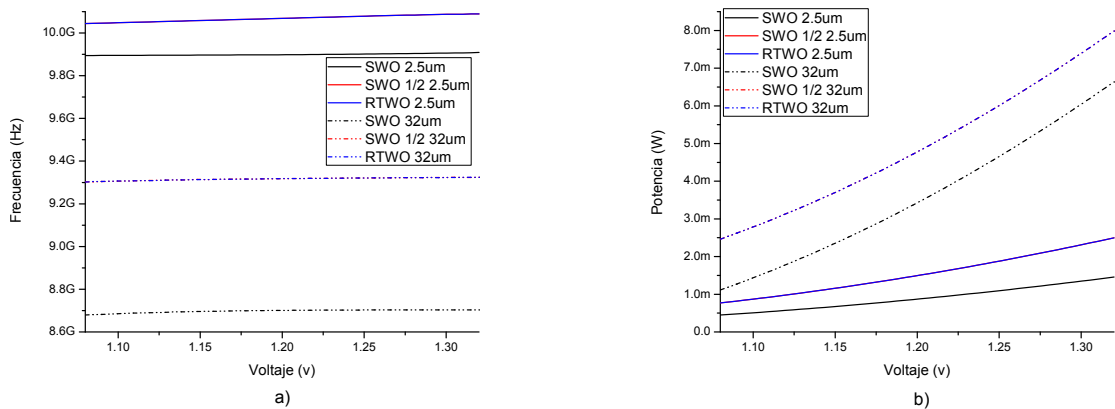


Figura 5.20: Comportamiento de osciladores resonantes a 10GHz. a) Frecuencia Vs Voltaje y b) Potencia Vs Voltaje

Por último, en la Figura 5.21, se muestra la relación entre frecuencia y longitud, en donde para obtener frecuencias más altas es necesario tener longitudes más pequeñas y viceversa. De igual manera, se aprecia que los osciladores SWO de onda completa, generan frecuencias de oscilación menores comparados con los osciladores RTWO y SWO 1/2, utilizando las mismas longitudes de línea.

A pesar de que en la literatura se encuentran trabajos de distribución de señal utilizando medios resonantes que datan desde los 90's [59], la implementación de esta técnica de oscilación es relativamente nueva; lo cual hace que realizar un comparativo con otros trabajos sea una labor difícil, debido a que los osciladores presentados en

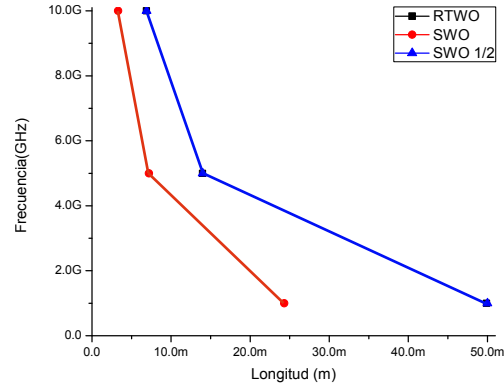


Figura 5.21: Relación entre frecuencia y longitud de línea para relojes resonantes

éste y otros trabajos poseen características diferentes, tanto en el dimensionado de las líneas como en la cantidad y diseño de compensadores. En la Tabla 5.15 se muestran los diferentes osciladores resonantes encontrados en la literatura (SWO y RTWO) en la que se muestran oscilaciones de $2.4GHz$ hasta $36GHz$; dichas frecuencias de oscilación se deben a la longitud de línea y al ancho de la misma, mientras que en este trabajo se pudieron alcanzar frecuencias de oscilaciones más elevadas ($>30GHz$), sin embargo el propósito de este trabajo es generar señales de oscilación que los *buffers* puedan manejar.

Tabla 5.15: Comparativo entre los diferentes trabajos encontrados en la literatura.

Ref.	Tecnología	l de línea (mm)	w de línea (μm)	f (GHz)	Pot. (mW)	Simulador
[4]	CMOS de $0.18\mu m$ 1P6M	5.328		10	7.5	
[26, 54]	Proceso CMOS 6 niveles de metal	4.57	32	9.6	430	
[27]	CMOS $0.13\mu m$. 8 niveles de metal	0.768	5	36		SPICE
[31]	CMOS $90nm$, BSim3v 8 niveles de metal	1.567	20	4	7.57	HSPICE
[42]	CMOS de $0.13\mu m$			4.81	3	
[43]	$90nm$, BSIM3.PTM	10	20	7.6	68	HSPICE
[44]	TSMC $0.18\mu m$	0.5 - 5	3 - 25	7 - 12	7.7 - 14.3	Matlab

Ref.	Tecnología	l de línea (mm)	w de línea (μm)	f (GHz)	Pot. (mW)	Simulador
[45]	CMOS $0.25\mu m$ BSIM3v3. Metal 5	3.2	20	3.4		SPICE
[55]	90nm CMOS	1.5		6 – 9	25	
[56]	TSMC $0.18\mu m$ CMOS	5	10	9.5	5.48	HSPICE
[57]	CMOS $0.13\mu m$			14.35		SPICE
[58]	CMOS $0.18\mu m$. 6 niveles de metal	3.2	10	2.4		SPICE

5.5. Conclusiones

El presente capítulo mostró las simulaciones correspondientes a osciladores resonantes y no resonantes, en donde se obtuvieron frecuencias que van de los $20MHz$ a los $10GHz$. Así como un comparativo entre los osciladores desarrollados.

Si bien, los osciladores de anillo no resonantes tienen un menor consumo de potencia utilizando las mismas características de línea que cualquier tipo de osciladores resonantes, estos no son capaces de generar frecuencias de oscilación elevadas como los osciladores resonantes. Una desventaja presente en osciladores de anillo, es que son muy susceptibles a variaciones dentro y fuera del dado, por lo que en sistemas de generación y distribución de señales de reloj no son muy confiables, ésto se aprecia en el Apéndice C.

De acuerdo a los análisis realizados se puede concluir lo siguiente:

- Osciladores SWO 1/2 y RTWO, generan las mismas frecuencias de oscilación utilizando las mismas características de línea y del compensador.
- El diseño de compensadores es una tarea importante a considerar, ya que un mal diseño en estos compensadores genera fallas en el oscilador conforme a variaciones de voltaje y temperatura.

- Se debe tener un compromiso a la hora de diseñar las líneas que serán utilizadas como resonadores, ya que anchos pequeños son susceptibles a problemas de electromigración, sin embargo, anchos grandes provocan un incremento en el ruido y distorsión de la señal.
 - Existe un incremento en el consumo de potencia en los osciladores estudiados conforme la temperatura y el voltaje aumentan, así como con el incremento de la longitud y ancho de las líneas.
 - Osciladores resonantes se vuelven susceptibles a variaciones (temperatura y voltaje) conforme la longitud de la línea se incrementa.
 - La limitante de los osciladores resonantes, es que los dispositivos actuales no son capaces de seguir frecuencias tan elevadas, por lo que se tienen que utilizar líneas grandes para generar frecuencias que puedan ser manejadas por los dispositivos.
-

Capítulo 6

Conclusiones generales

Se presentó el diseño y simulación de osciladores de anillo resonantes englobados dentro de una técnica nueva de generación y distribución de señales de reloj, los cuales aprovechan los elementos parásitos de la línea para generar oscilaciones en el rango de GHz , siendo los dispositivos electrónicos actuales la única limitante.

Se realizó un análisis de variaciones de temperatura y voltaje a partir del cual se muestra que osciladores resonantes presentan una mayor tolerancia y un mejor desempeño ante estas variaciones que osciladores de anillo no resonantes. Asimismo, se presentó el comportamiento en frecuencia, distorsión y ruido de la señal por medio del incremento del ancho de las líneas, observando que los osciladores RTWO y SWO poseen prácticamente el mismo desempeño.

Los osciladores resonantes presentan un consumo de potencia dentro del rango de 1 a $10mW$, los cuales se vuelven susceptibles mostrando un incremento ante variaciones de temperatura y voltaje conforme la longitud de la línea aumenta.

La extracción de las líneas se realizó utilizando los parámetros- S por medio del *software* ADS, lo que permitió obtener los elementos parásitos de la misma y realizar un buen diseño de los compensadores. La cantidad de compensadores a utilizar a lo largo de la línea queda a criterio del diseñador, recordando que osciladores SWO 1/2 necesitan una cantidad impar de compensadores, mientras los RTWO no tienen ninguna

restricción en ese aspecto.

6.1. Trabajo a futuro

El trabajo a futuro se resume en los siguientes cuatro puntos:

- Realizar un estudio sobre el ancho de las líneas resonantes para determinar el dimensionamiento correcto que permita reducir la electromigración y mejorar el desempeño del oscilador.
 - La implementación de osciladores acoplados para una distribución local de reloj teniendo en consideración el área a utilizar, la frecuencia de oscilación, consumo de potencia, entre otros parámetros.
 - Verificar experimentalmente los resultados mediante fabricación de los diferentes osciladores.
 - Diseñar osciladores en líneas *stripline* y realizar un comparativo con líneas *microstrip* determinando cual de estas muestra un mejor comportamiento (menos pérdidas, menor distorsión, menor consumo de potencia, etc.) al realizar osciladores resonantes con el fin de optimizar los diseños.
-

Índice de figuras

1.1. Crecimiento del número de compuertas con respecto al tiempo [1]	1
1.2. Crecimiento de la frecuencia con respecto al tiempo [2]	2
2.1. Modelos concentrados de líneas de transmisión. a)“L” y b)“ π ”	8
2.2. Modelos distribuidos de líneas de transmisión. a)“L” y b)“ π ”	8
2.3. Modelo de una línea de interconexión	11
2.4. Distribución de la corriente en una línea de transmisión “ <i>Microstrip</i> ”	11
2.5. Líneas de campo magnético alrededor de una línea	12
2.6. Modelo del capacitor. a) Capacitancia <i>fringing</i> y b) Modelo compuesto dado por la suma de un capacitor de placas paralelas y un capacitor <i>fringing</i> [7]	14
2.7. Terminaciones en una línea a) terminada con una impedancia acoplada, b) en corto circuito y c) en circuito abierto	16
2.8. Red de dos puertos asociada con ondas incidentes y reflejadas	18
2.9. Niveles de metal en una tecnología CMOS de $0.13\mu m$	19
2.10. Extracción de los parámetros- <i>S</i> utilizando una línea <i>Microstrip</i> en un nivel de metal 8, un ancho de $2.5\mu m$ y $6mm$ de largo por medio del simulador ADS	19
2.11. Impedancia característica para una línea <i>Microstrip</i> en un nivel de metal 8 y un ancho de línea de $2.5\mu m$	20
2.12. Constante de propagación característica para una línea <i>Microstrip</i> en un nivel de metal 8 y un ancho de línea de $2.5\mu m$	21
2.13. Resistencia en una línea <i>Microstrip</i> en un nivel de metal 8 y un ancho de línea de $2.5\mu m$	21
2.14. Inductancia en una línea <i>Microstrip</i> en un nivel de metal 8 y un ancho de línea de $2.5\mu m$	22
2.15. Capacitancia en una línea <i>Microstrip</i> en un nivel de metal 8 y un ancho de línea de $2.5\mu m$	22
2.16. Conductancia en una línea <i>Microstrip</i> en un nivel de metal 8 y un ancho de línea de $2.5\mu m$	23
3.1. Incertidumbre en el tiempo	26

3.2.	Reloj <i>skew</i> entre dos puntos: a) Inserción de una señal de reloj entre los puntos n_1 y n_2 y b) Diferencia en el tiempo de llegada a los nodos n_1 y n_2	28
3.3.	Potencia espectral de ruido	30
3.4.	Distribución de reloj típica para un microprocesador de alto rendimiento	32
3.5.	Redes de distribución convencionales. a) Árbol H, b) Árbol X, c) Espina dorsal sobre una rejilla y d) Rejilla	34
3.6.	Generación y distribución de reloj local por medio de osciladores acoplados	35
4.1.	Oscilador de Anillo de 3 etapas	38
4.2.	Relación entre voltaje y corriente. a) Rotación en dirección de las manecillas de reloj y b) Rotación en sentido contrario a las manecillas del reloj	40
4.3.	Anillo de reloj rotatorio, donde los números indican la fase de la señal de reloj	40
4.4.	Forma de onda de un RTWO a $2.5GHz$ y 5 compensadores, en un nivel de metal 8	42
4.5.	Generación de una onda estacionaria	44
4.6.	Método de oscilación de una onda estacionaria. a) SWO de onda completa y b) SWO de media onda	44
4.7.	Método de oscilación de SWO con tierra virtual	46
4.8.	Arquitectura de un oscilador de anillo con 5 compensadores distribuidos en las líneas	46
4.9.	Forma de onda de un SWO de media onda con conexión a tierra a $10GHz$, con 5 compensadores y en un nivel de metal 8	47
4.10.	Forma de onda de un SWO de media onda con tierra virtual a $2,5GHz$, con 5 compensadores y en un nivel de metal 8	48
4.11.	Tipos de compensadores. a) Configuración de compuerta común, b) Transistores “tipo-n” acoplados en cruz con una fuente de corriente y c) Inversores acoplados en cruz	49
4.12.	Análisis en DC de un inversor de W_n de $32\mu m$ y un W_p de $100\mu m$	50
5.1.	Oscilador de anillo de tres etapas con un ancho de $2.5\mu m$ y un largo de $0.65mm$. a) Forma de Onda y b) Espectro de la señal	58
5.2.	Oscilador de anillo de tres etapas con un ancho de $32\mu m$ y un largo de $0.65mm$. a) Forma de Onda y b) Espectro de la señal	59
5.3.	Oscilador de anillo de tres etapas con un ancho de $2.5\mu m$ y un largo de $6.9mm$. a) Forma de Onda y b) Espectro de la señal	59
5.4.	Oscilador de anillo de tres etapas con un ancho de $32\mu m$ y un largo de $6.9mm$. a) Forma de Onda y b) Espectro de la señal	59
5.5.	Comportamiento de SWO 1/2 con un ancho de línea de $2.5\mu m$ y un largo de $50mm$. a) Forma de Onda y b) Espectro de la señal	62

5.6.	Comportamiento de RTWO con un ancho de línea de $2.5\mu m$ y un largo de $50mm$. a) Forma de Onda y b) Espectro de la señal	62
5.7.	Comportamiento de SWO 1/2 con un ancho de línea de $32\mu m$ y un largo de $50mm$. a) Forma de Onda y b) Espectro de la señal	62
5.8.	Comportamiento de RTWO con un ancho de línea de $32\mu m$ y un largo de $50mm$. a) Forma de Onda y b) Espectro de la señal	63
5.9.	Comportamiento de SWO 1/2 con un ancho de línea de $2.5\mu m$ y un largo de $6.9mm$. a) Forma de Onda y b) Espectro de la señal	63
5.10.	Comportamiento de RTWO con un ancho de línea de $2.5\mu m$ y un largo de $6.9mm$. a) Forma de Onda y b) Espectro de la señal	63
5.11.	Comportamiento de SWO 1/2 con un ancho de línea de $32\mu m$ y un largo de $6.9mm$. a) Forma de Onda y b) Espectro de la señal	64
5.12.	Comportamiento de RTWO con un ancho de línea de $32\mu m$ y un largo de $6.9mm$. a) Forma de Onda y b) Espectro de la señal	64
5.13.	Comportamiento de SWO con un ancho de línea de $2.5\mu m$ y un largo de $24.3mm$. a) Forma de Onda y b) Espectro de la señal	66
5.14.	Comportamiento de SWO con un ancho de línea de $32\mu m$ y un largo de $24.3mm$. a) Forma de Onda y b) Espectro de la señal.	67
5.15.	Comportamiento de SWO con un ancho de línea de $2.5\mu m$ y un largo de $3.3mm$. a) Forma de Onda y b) Espectro de la señal	67
5.16.	Comportamiento de SWO con un ancho de línea de $32\mu m$ y un largo de $3.3mm$. a) Forma de Onda y b) Espectro de la señal	67
5.17.	Comportamiento de osciladores resonantes a un 1GHz. a) Frecuencia Vs Temperatura y b) Potencia Vs Temperatura	70
5.18.	Comportamiento de osciladores resonantes a 10GHz. a) Frecuencia Vs Temperatura y b) Potencia Vs Temperatura	70
5.19.	Comportamiento de osciladores resonantes a un 1GHz. a) Frecuencia Vs Voltaje y b) Potencia Vs Voltaje	71
5.20.	Comportamiento de osciladores resonantes a 10GHz. a) Frecuencia Vs Voltaje y b) Potencia Vs Voltaje	71
5.21.	Relación entre frecuencia y longitud de línea para relojes resonantes	72
A.1.	Sección transversal de los niveles de metal para una tecnología TSMC de $0.13\mu m$	84
B.1.	Diseño de <i>buffers</i> . a) Inversor simple y b) Relación de inversores conectados en cascada	88
B.2.	Comportamiento de RTWO con un ancho de línea de $2.5\mu m$ y un largo de $50mm$. a) Forma de Onda y b) Espectro de la señal	89
B.3.	Comportamiento de SWO 1/2 con un ancho de línea de $2.5\mu m$ y un largo de $50mm$. a) Forma de Onda y b) Espectro de la señal	90
B.4.	Comportamiento de SWO con un ancho de línea de $2.5\mu m$ y un largo de $24.3mm$. a) Forma de Onda y b) Espectro de la señal	90

B.5.	Comportamiento de RTWO con un ancho de línea de $32\mu m$ y un largo de $50mm$. a) Forma de Onda y b) Espectro de la señal	90
B.6.	Comportamiento de SWO 1/2 con un ancho de línea de $32\mu m$ y un largo de $50mm$. a) Forma de Onda y b) Espectro de la señal	91
B.7.	Comportamiento de SWO con un ancho de línea de $32\mu m$ y un largo de $24.3mm$. a) Forma de Onda y b) Espectro de la señal	91
B.8.	Comportamiento de RTWO con un ancho de línea de $2.5\mu m$ y un largo de $14mm$. a) Forma de Onda y b) Espectro de la señal	91
B.9.	Comportamiento de SWO 1/2 con un ancho de línea de $2.5\mu m$ y un largo de $14mm$. a) Forma de Onda y b) Espectro de la señal	92
B.10.	Comportamiento de SWO con un ancho de línea de $2.5\mu m$ y un largo de $7.2mm$. a) Forma de Onda y b) Espectro de la señal	92
B.11.	Comportamiento de RTWO con un ancho de línea de $32\mu m$ y un largo de $14mm$. a) Forma de Onda y b) Espectro de la señal	92
B.12.	Comportamiento de SWO 1/2 con un ancho de línea de $32\mu m$ y un largo de $14mm$. a) Forma de Onda y b) Espectro de la señal	93
B.13.	Comportamiento de SWO con un ancho de línea de $32\mu m$ y un largo de $7.2mm$. a) Forma de Onda y b) Espectro de la señal	93
C.1.	Ruido a la salida de osciladores de anillo de tres etapas con longitudes de línea de $0.65mm$ y anchos de a) $2.5\mu m$ y b) $32\mu m$	99
C.2.	Ruido a la salida de osciladores de anillo de tres etapas con longitudes de línea de $6.9mm$ y anchos de a) $2.5\mu m$ y b) $32\mu m$	99
C.3.	Ruido a la salida de osciladores resonantes (RTWO y SWO 1/2) con longitudes de línea de $50mm$ y anchos de a) $2.5\mu m$ y b) $32\mu m$	99
C.4.	Ruido a la salida de osciladores resonantes (RTWO y SWO 1/2) con longitudes de línea de $6.9mm$ y anchos de a) $2.5\mu m$ y b) $32\mu m$	100
C.5.	Ruido a la salida de osciladores resonantes SWO con longitudes de línea de $24.3mm$ y anchos de a) $2.5\mu m$ y b) $32\mu m$	100
C.6.	Ruido a la salida de osciladores resonantes SWO con longitudes de línea de $3.3mm$ y anchos de a) $2.5\mu m$ y b) $32\mu m$	100

Índice de cuadros

5.1.	Valores extraídos de las líneas de transmisión.	54
5.2.	Dimensiones de compensadores RTWO y SWO 1/2.	56
5.3.	Dimensiones de compensadores SWO.	57
5.4.	Oscilador de anillo no resonante de tres etapas. Temperatura a $60^{\circ}C$ y fuente de alimentación de $1.2V$	58
5.5.	Oscilador de anillo no resonante de tres etapas. Temperatura a $-20^{\circ}C$ y fuente de alimentación de $1.32V$	60
5.6.	Oscilador de anillo no resonante de tres etapas. Temperatura a $-20^{\circ}C$ y fuente de alimentación de $1.08V$	60
5.7.	Temperatura a 60° y fuente de alimentación de $1.2V$	61
5.8.	RTWO. Temperatura a -20° y fuente de alimentación de $1.32V$	65
5.9.	RTWO. Temperatura a -20° y fuente de alimentación de $1.08V$	65
5.10.	SWO. Temperatura a 60° , fuente de alimentación de $1.2V$ y un ancho de línea de $2.5\mu m$	66
5.11.	SWO. Temperatura a 120° , fuente de alimentación de $1.32V$ y un ancho de línea de $2.5\mu m$	68
5.12.	SWO 1. Temperatura a -20° , fuente de alimentación de $1.32V$ y un ancho de línea de $2.5\mu m$	68
5.13.	Ruido a la salida del oscilador de anillo de tres etapas no resonante.	69
5.14.	Ruido a la salida de osciladores de anillo resonantes.	69
5.15.	Comparativo entre los diferentes trabajos encontrados en la literatura.	72
A.1.	Variaciones y constantes dieléctricas de los diferentes niveles de metal en el proceso TSMC $0.13\mu m$	83
A.2.	Constantes dieléctricas y tangentes de pérdidas para materiales dieléctricos.	85
A.3.	Comportamiento de líneas en los diferentes niveles de metal para un proceso TSMC $0.13\mu m$	85
B.1.	Dimensiones de los inversores que conforman el <i>buffer</i>	88
B.2.	Retardo del <i>buffer</i> dependiendo de la longitud y ancho de la línea.	89
C.1.	Oscilador de anillo de tres etapas. Temperatura a $-20^{\circ}C$ y fuente de alimentación de $1.08V$	95

C.2. Oscilador de anillo de tres etapas. Temperatura a $120^{\circ}C$ y fuente de alimentación de $1.32V$	95
C.3. RTWO. Temperatura a 120° y fuente de alimentación de $1.32V$	96
C.4. RTWO. Temperatura a 120° y fuente de alimentación de $1.08V$	96
C.5. SWO. Temperatura a -20° , fuente de alimentación de $1.08V$ y un ancho de línea de $2.5\mu m$	97
C.6. SWO 1. Temperatura a 120° , fuente de alimentación de $1.08V$ y un ancho de línea de $2.5\mu m$	97
C.7. Porcentaje de error de la frecuencia en osciladores de anillo ante variaciones de temperatura.	97
C.8. Porcentaje de error de la frecuencia en osciladores de anillo ante variaciones de voltaje.	98
C.9. Porcentaje de error de la frecuencia en osciladores resonantes ante variaciones de temperatura.	98
C.10. Porcentaje de error de la frecuencia en osciladores resonantes ante variaciones de voltaje.	98

Apéndice A

Parámetros de fabricación de la línea

Las simulaciones desarrolladas en el programa ADS, se realizaron utilizando una línea *microstrip*, en un nivel de metal 8 y en una tecnología TSMC (*Taiwan Semiconductor Manufacturing Company*) $0.13\mu m$. La Figura A.1 muestra la sección transversal de los diferentes niveles de metal, donde los valores correspondientes a la estructura se encuentran descritos en la Tabla A.1, en el que se aprecian las constantes dieléctricas y las variaciones de procesos de los diferentes niveles de metal. En esta tabla la primera columna muestra los diferentes niveles de metal que comprende el proceso de fabricación (M1-M8) y la capa que cubre al último nivel de metal para aislarla del encapsulado (PASS). La segunda columna muestra los subniveles que se encuentran en cada nivel de la línea (a-d o de 1-3), la tercera por su parte muestra las variaciones en los procesos de fabricación de cada uno de los subniveles, y por último las constantes dieléctricas correspondientes a cada subnivel.

Tabla A.1: Variaciones y constantes dieléctricas de los diferentes niveles de metal en el proceso TSMC $0.13\mu m$.

	Parámetros	Variación \pm (%)	Constante dieléctrica
PASS	<i>PASS</i> : 1, 2, 3	10, 10, 25	8.1, 4.2, 8.1
Metal 8	<i>IMD8</i> : a, b	10, 25	8.1, 4.2
Metal 7	<i>IMD7</i> : a, b, c, d	10, 25, 10, 10	8.1, 4.2, 8.1, 4.2
Metal 6	<i>IMD6</i> : a, b, c, d	10, 25, 10, 10	8.1, 3.7, 8.1, 4.2
Metal 5	<i>IMD5</i> : a, b, c, d	10, 25, 10, 10	8.1, 3.7, 8.1, 3.7
Metal 4	<i>IMD4</i> : a, b, c, d	10, 25, 10, 10	8.1, 3.7, 8.1, 3.7
Metal 3	<i>IMD3</i> : a, b, c, d	10, 25, 10, 10	8.1, 3.7, 8.1, 3.7
Metal 2	<i>IMD2</i> : a, b, c, d	10, 25, 10, 10	8.1, 3.7, 8.1, 3.7
Metal 1	<i>IMD1</i> : a, b, c, d	10, 25, 10, 10	8.1, 3.7, 8.1, 3.7

El material utilizado en las pistas es cobre, la cual posee una conductividad eléctrica de 5.8108×10^7 *Siemens/m* y una resistividad eléctrica de 1.720×10^{-8} Ω/m . Las características de los materiales dieléctricos utilizados son los mostrados en la Tabla

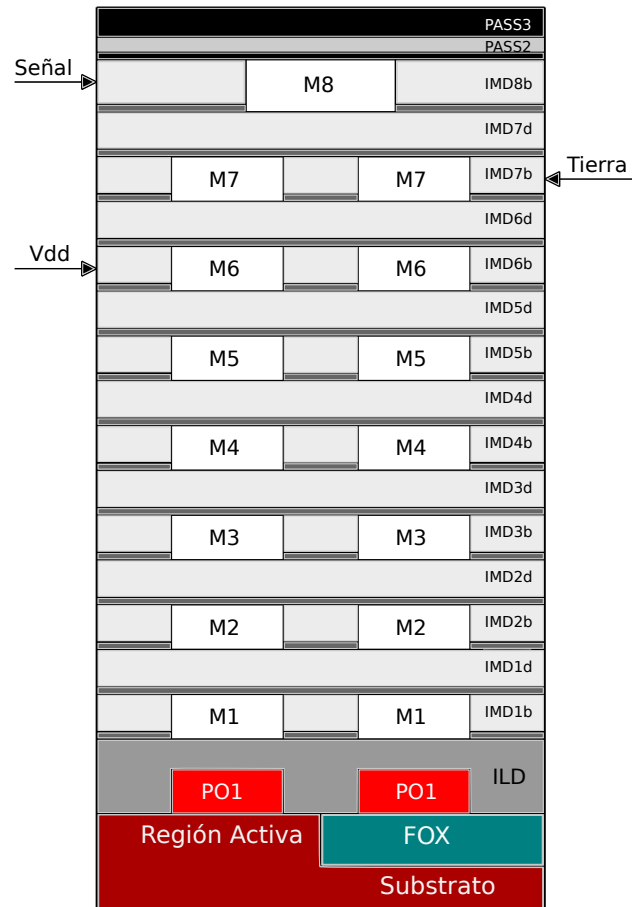


Figura A.1: Sección transversal de los niveles de metal para una tecnología TSMC de $0.13\mu m$

A.2, donde se aprecia la constante dieléctrica que estos poseen, así como la tangente de pérdidas de cada uno de ellos. Cabe destacar, que la X dentro de la tabla, se debe a que se desconoce el material utilizado en el proceso de fabricación.

Tabla A.2: Constantes dieléctricas y tangentes de pérdidas para materiales dieléctricos.

Material dieléctrico	Constante dieléctrica	Tangente de pérdidas
SiO_2	3.9	0.003
SiN	8.1	0.002
X	4.2	0.001

Por último, la TablaA.3, muestra las características de las líneas permitidas por la tecnología en cada uno de los niveles de metal como lo son: espesores, anchos, variaciones de procesos, espaciamento entre líneas y distancia del conductor al sustrato.

Tabla A.3: Comportamiento de líneas en los diferentes niveles de metal para un proceso TSMC $0.13\mu m$.

	Espesor típico (\AA)	Ancho mínimo (μm)	Espaciamento mínimo (μm)	Variaciones máximas en el espesor (%)	Variaciones máximas en el ancho (%)	Distancia entre conductor y sustrato (\AA)
M8	33000	2.5	2.0	30	10	74000
M7	8300	0.4	0.42	25	10	59200
M6	3700	0.2	0.21	25	10	48800
M5	3700	0.2	0.21	25	10	40600
M4	3700	0.2	0.21	25	10	32400
M3	3700	0.2	0.21	25	10	24200
M2	3700	0.2	0.21	25	10	16000
M1	2600	0.16	0.18	25	10	8900
PO1	1800	0.13	0.18	10	10	4200

Apéndice B

Buffers de salida

Una vez generada la señal por los osciladores, es necesario distribuir esta señal a todos los puntos que sean requeridos. Uno de los mayores problemas a los que se enfrentan los osciladores, es que tienen que soportar la carga de cada uno de los bloques. Es por ello de la necesidad de diseñar *buffers* que sean capaces de soportar la carga de todos los bloques, con el menor retardo entre el oscilador y el bloque. La Figura B.1 muestra el escalamiento que deben tener los inversores para poder soportar la carga a la que serán sometidos. Donde la Ecuación B.1, muestra la relación que se tiene entre los inversores. Es importante notar que el inversor más pequeño se encuentra colocado a la salida del oscilador, mientras el inversor más grande a la entrada de la carga total.

$$\left(\frac{W}{L}\right)_1 < \left(\frac{W}{L}\right)_2 < \left(\frac{W}{L}\right)_3 < \dots < \left(\frac{W}{L}\right)_N \quad (\text{B.1})$$

En este trabajo se propone una carga de entrada de $16fF$ (Carga del inversor 1), que se encuentra conectada al oscilador; así como una carga de $250fF$ conectada a la salida del *buffer*. Con estos dos valores es posible dimensionar el *buffer*. La Ecuación B.2 muestra el número de inversores necesarios para poder soportar la carga con las capacitancias de entrada y salida. Es importante notar que el resultado obtenido siempre será redondeado al número siguiente.

$$N = \ln(C_L/C_{in}) = 250fF/16fF = 2,74 = 3 \quad (\text{B.2})$$

Una vez obtenido el número de inversores necesarios, es importante determinar el escalamiento de cada uno de ellos. Esto se logra con el factor de escalamiento k , tal como se muestra a continuación:

$$k = (C_L/C_{in})^{1/N} \quad (\text{B.3})$$

Con el factor k obtenido y teniendo el tamaño del primer inversor es posible obtener los demás inversores por medio de la siguiente relación.

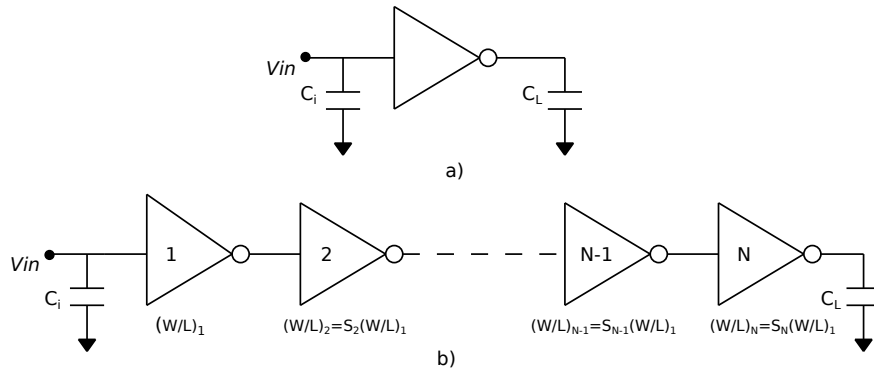


Figura B.1: Diseño de *buffers*. a) Inversor simple y b) Relación de inversores conectados en cascada

$$\begin{aligned}
 S_1 &= 1 \\
 S_2 &= k \\
 S_3 &= k^2 \\
 &\vdots \\
 &\vdots \\
 S_N &= k^{N-1}
 \end{aligned} \tag{B.4}$$

Las dimensiones de los inversores para conformar el *buffer*, son las mostradas en la Tabla B.1. En dicha tabla se observa el dimensionamiento de cuatro inversores, siendo el inversor S_1 el que posee las dimensiones mínimas y S_4 el inversor más grande.

Tabla B.1: Dimensiones de los inversores que conforman el *buffer*.

Inversor	W_n (μm)	W_p (μm)
S_1	0.70	2.00
S_2	2.03	6.00
S_3	5.80	18.00
S_4	17.00	54.00

Una vez generada la señal en los osciladores, ésta pasa por el *buffer*, el cual lleva la señal de salida de riel a riel y soportan la carga correspondiente ($250 fF$). Sin embargo, el *buffer* introduce un retardo el cual se presenta para cada caso en la Tabla B.2.

Tabla B.2: Retardo del *buffer* dependiendo de la longitud y ancho de la línea.

Tipo de Oscilador	Ancho de línea (μm)	Frecuencia GHz	Retardo (ps)
RTWO	2.5	1	187
SWO 1/2	2.5	1	195
SWO	2.5	1	204
RTWO	32	1	235
SWO 1/2	32	1	249
SWO	32	1	177
RTWO	2.5	5	167
SWO 1/2	2.5	5	153
SWO	2.5	5	159
RTWO	32	5	170
SWO 1/2	32	5	213
SWO	32	5	158

El comportamiento de la señal después de pasar por los *buffers* para 1 y 5GHz, es el mostrado en las Figuras B.2 - B.12. En dichas figuras se aprecia como la amplitud de la señal aumenta y la señal tiende a ser cuadrada para una frecuencia de 1GHz, mientras que para una señal de 5GHz, la señal tiende a ser una senoidal bien definida.

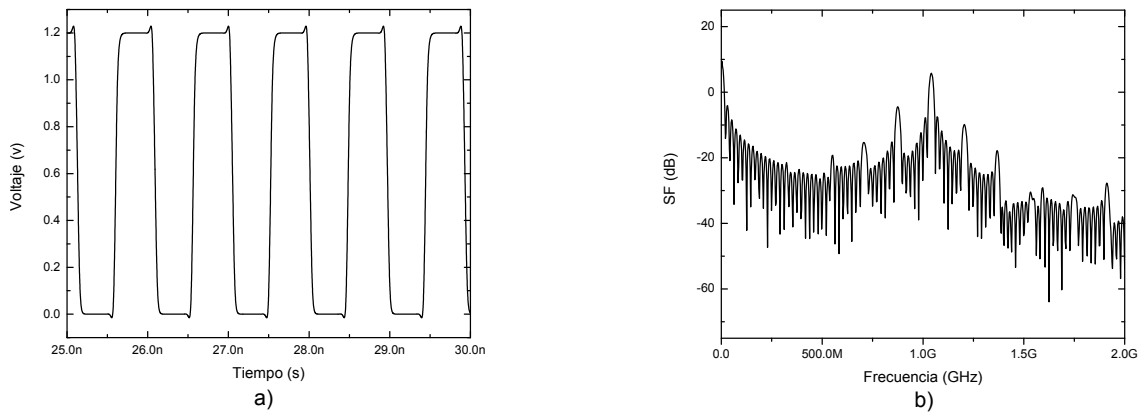


Figura B.2: Comportamiento de RTWO con un ancho de línea de $2.5\mu m$ y un largo de $50mm$. a) Forma de Onda y b) Espectro de la señal

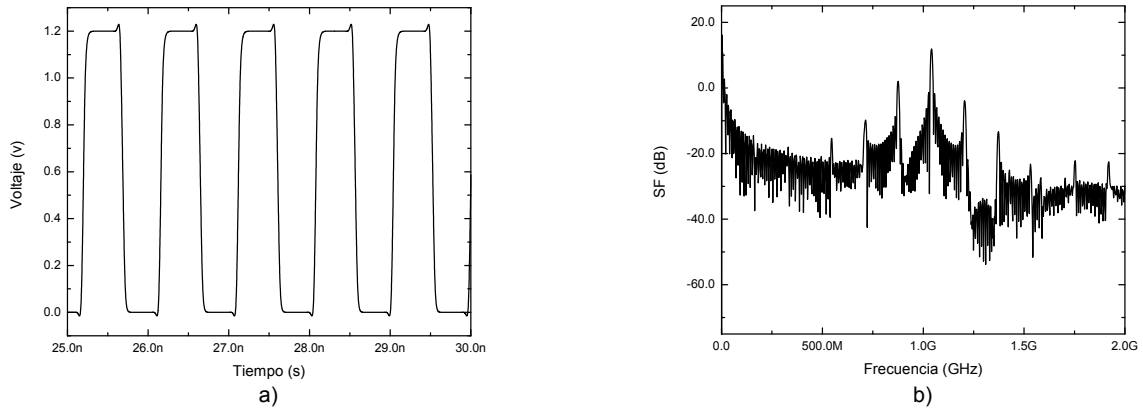


Figura B.3: Comportamiento de SWO 1/2 con un ancho de línea de $2.5\mu m$ y un largo de $50mm$. a) Forma de Onda y b) Espectro de la señal

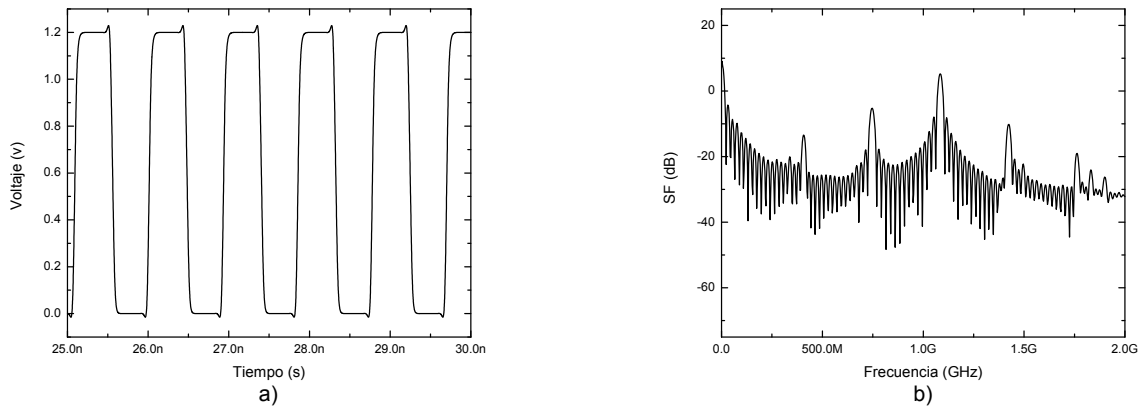


Figura B.4: Comportamiento de SWO con un ancho de línea de $2.5\mu m$ y un largo de $24.3mm$. a) Forma de Onda y b) Espectro de la señal

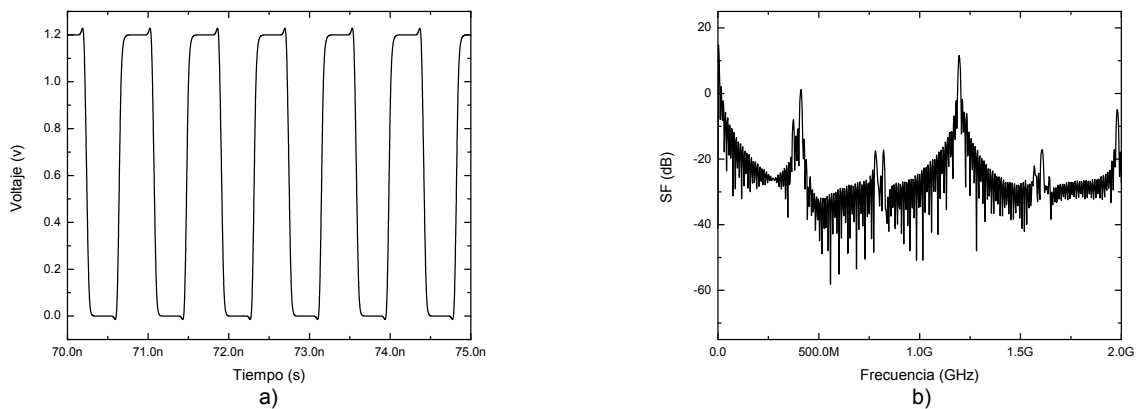


Figura B.5: Comportamiento de RTWO con un ancho de línea de $32\mu m$ y un largo de $50mm$. a) Forma de Onda y b) Espectro de la señal

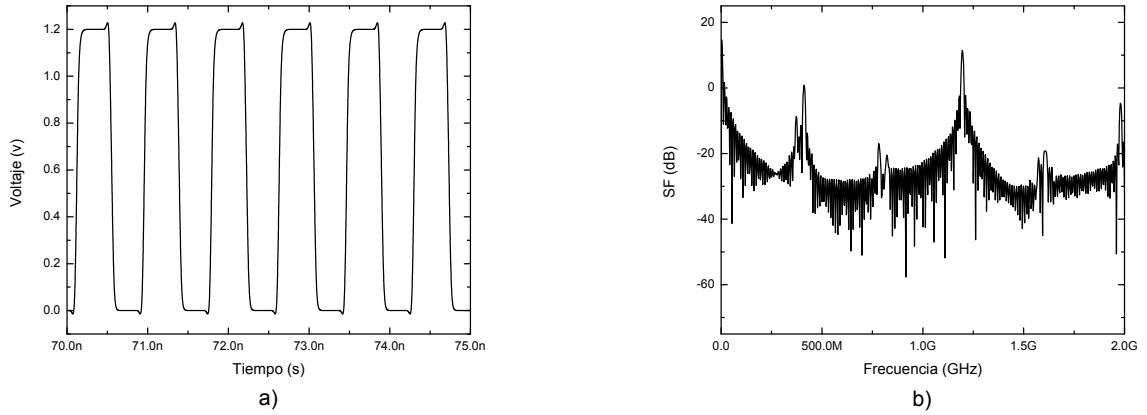


Figura B.6: Comportamiento de SWO 1/2 con un ancho de línea de $32\mu m$ y un largo de $50mm$. a) Forma de Onda y b) Espectro de la señal

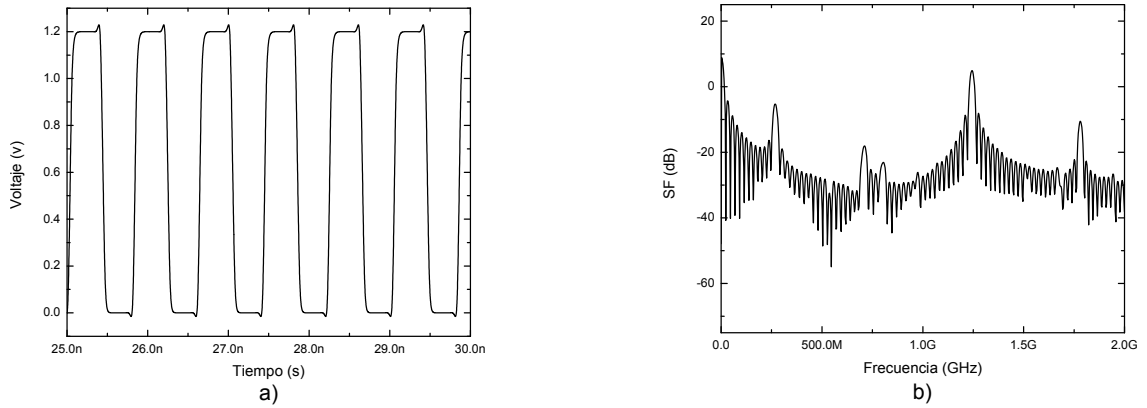


Figura B.7: Comportamiento de SWO con un ancho de línea de $32\mu m$ y un largo de $24.3mm$. a) Forma de Onda y b) Espectro de la señal

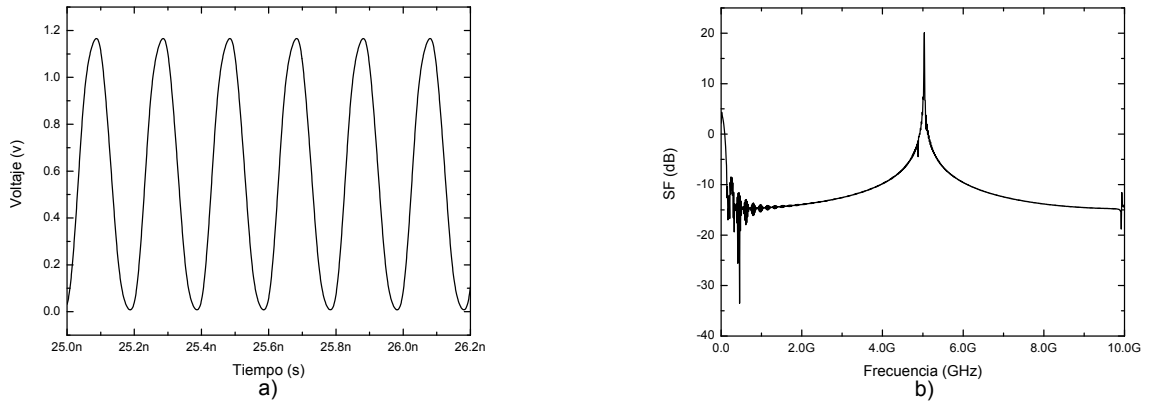


Figura B.8: Comportamiento de RTWO con un ancho de línea de $2.5\mu m$ y un largo de $14mm$. a) Forma de Onda y b) Espectro de la señal

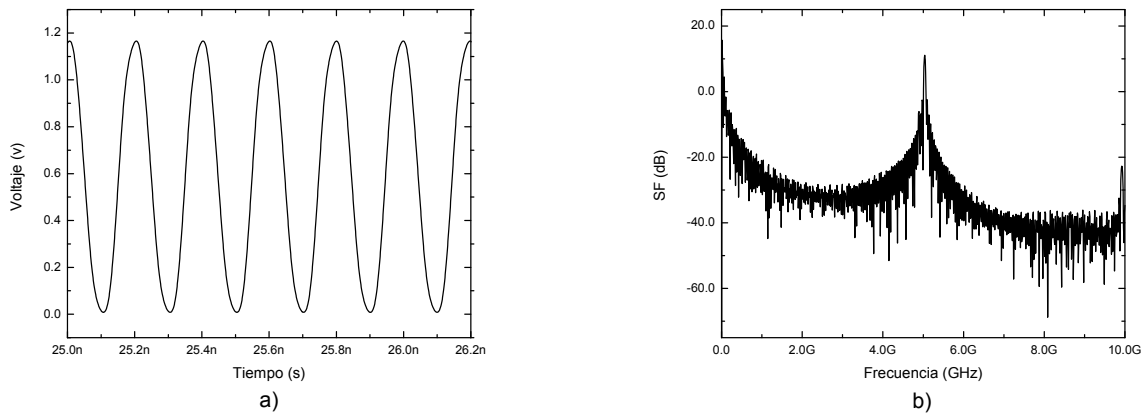


Figura B.9: Comportamiento de SWO 1/2 con un ancho de línea de $2.5\mu m$ y un largo de $14mm$. a) Forma de Onda y b) Espectro de la señal

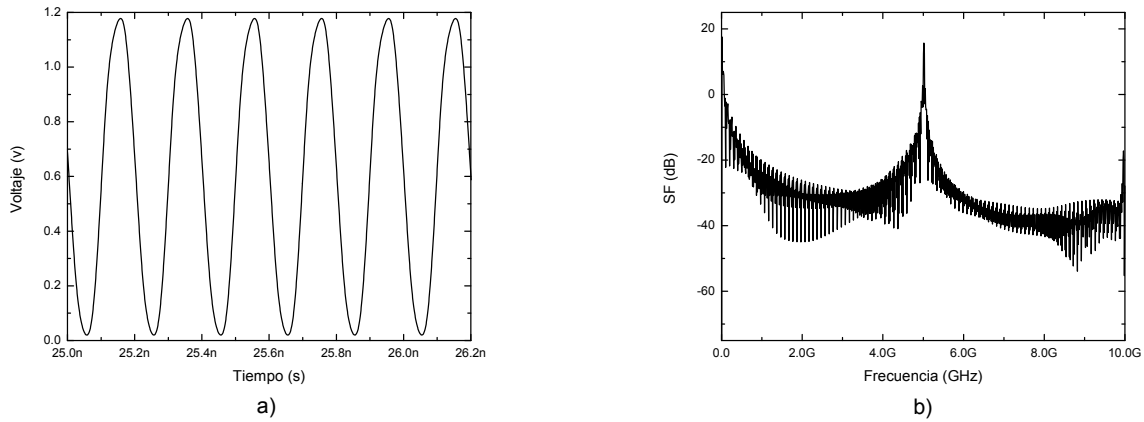


Figura B.10: Comportamiento de SWO con un ancho de línea de $2.5\mu m$ y un largo de $7.2mm$. a) Forma de Onda y b) Espectro de la señal

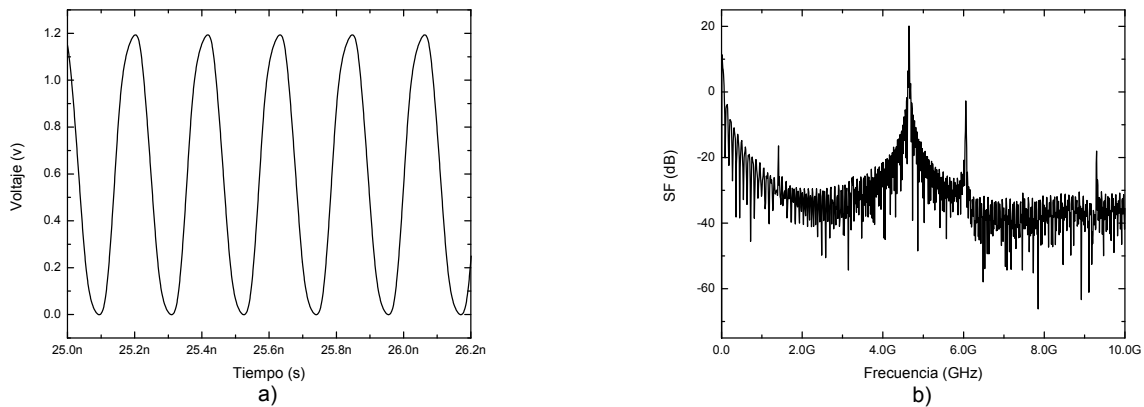


Figura B.11: Comportamiento de RTWO con un ancho de línea de $32\mu m$ y un largo de $14mm$. a) Forma de Onda y b) Espectro de la señal

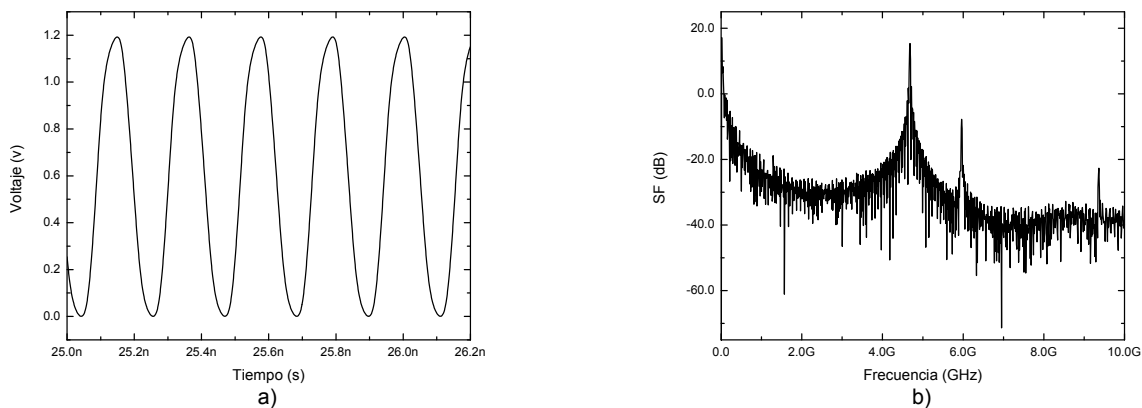


Figura B.12: Comportamiento de SWO 1/2 con un ancho de línea de $32\mu m$ y un largo de $14mm$. a) Forma de Onda y b) Espectro de la señal

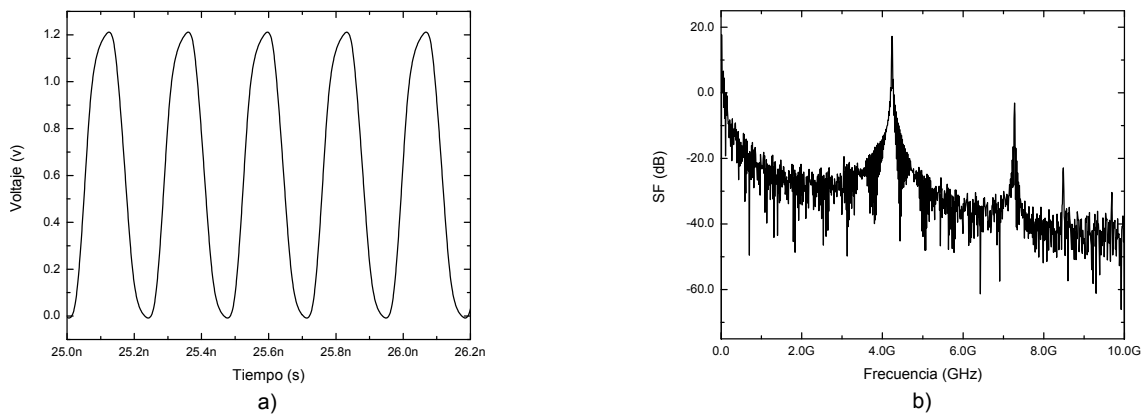


Figura B.13: Comportamiento de SWO con un ancho de línea de $32\mu m$ y un largo de $7.2mm$. a) Forma de Onda y b) Espectro de la señal

Apéndice C

Resultados del capítulo 5

Este apéndice presenta las tablas y gráficas correspondientes al capítulo 5, en donde se complementan los resultados obtenidos de las simulaciones y comparaciones con respecto a osciladores de anillo resonantes y no resonantes.

Las Tablas C.1 y C.2 muestran el comportamiento de osciladores de anillo de tres etapas (Frecuencia, Amplitud, Ciclo de trabajo, Potencia y t_{est}) ante variaciones de voltaje (1.08 y 1.32V respectivamente) y temperatura (-20 y 120 respectivamente).

Tabla C.1: Oscilador de anillo de tres etapas. Temperatura a $-20^{\circ}C$ y fuente de alimentación de 1.08V.

Longitud (mm)	Ancho (μm)	Frecuencia (GHz)	Amplitud (V)	Ciclo de trabajo %	Potencia (mW)	t_{est} (ns)
0.65	2.5	0.933	1.015	50.5	0.046	4.9
	32	0.258	1.058	50.6	0.184	25.1
6.9	2.5	0.125	1.063	50.6	0.435	42.1
	32	0.027	1.066	50.7	0.870	225

Tabla C.2: Oscilador de anillo de tres etapas. Temperatura a $120^{\circ}C$ y fuente de alimentación de 1.32V.

Longitud (mm)	Ancho (μm)	Frecuencia (GHz)	Amplitud (V)	Ciclo de trabajo %	Potencia (mW)	t_{est} (ns)
0.65	2.5	1.034	1.135	51.4	0.139	5.6
	32	0.285	1.228	51.8	0.278	18.2
6.9	2.5	0.139	1.242	51.8	1.123	43.9
	32	0.029	1.252	51.9	3.338	214

Las Tablas C.3 y C.4 exponen el comportamiento de osciladores resonantes (RTWO y SWO 1/2) ante variaciones de voltaje (1.32 y 1.08V respectivamente) y temperatura (ambos a $-120^{\circ}C$).

Tabla C.3: RTWO. Temperatura a 120° y fuente de alimentación de 1.32V.

Longitud (mm)	Ancho (μm)	Tipo	f (GHz)	Amplitud (V)	Ciclo de trabajo %	Potencia (mW)	t_{est} (ns)
6.9	2.5	RTWO	10.033	0.985	50.3	2.709	5.96
	32	RTWO	9.293	1.012	50.3	8.663	7.93
	2.5	SWO 1/2	10.033	0.985	50.3	2.709	6.15
	32	SWO 1/2	9.293	1.012	50.1	8.662	8.13
14	2.5	RTWO	4.974	1.013	50.3	4.131	5.77
	32	RTWO	4.633	0.923	50.0	10.851	12.09
	2.5	SWO 1/2	4.974	1.013	50.3	4.131	5.86
	32	SWO 1/2	4.667	0.970	50.1	10.851	12.36
50	2.5	RTWO	0.994	1.033	50.2	7.997	2.77
	32	RTWO	1.200	0.697	41.6	10.851	57.22
	2.5	SWO 1/2	0.994	1.033	50.1	8.727	13.37
	32	SWO 1/2	1.200	0.697	49.9	10.851	55.33

Tabla C.4: RTWO. Temperatura a 120° y fuente de alimentación de 1.08V.

Longitud (mm)	Ancho (μm)	Tipo	f (GHz)	Amplitud (V)	Ciclo de trabajo %	Potencia (mW)	t_{est} (ns)
6.9	2.5	RTWO	10.002	0.660	50.1	1.028	43.98
	32	RTWO	9.272	0.694	50.3	3.286	15.91
	2.5	SWO 1/2	10.002	0.660	50.4	1.028	11.19
	32	SWO 1/2	9.271	0.694	50.3	3.285	33.72
14	2.5	RTWO	4.940	0.707	50.0	1.567	10.42
	32	RTWO	4.632	0.641	49.7	4.115	23.72
	2.5	SWO 1/2	4.940	0.707	50.4	1.567	10.96
	32	SWO 1/2	4.644	0.666	50.2	4.115	22.61
50	2.5	RTWO	1.063	0.781	50.5	3.034	5.99
	32	RTWO	x	x	x	x	x
	2.5	SWO 1/2	1.063	0.781	50.3	3.034	5.81
	32	SWO 1/2	x	x	x	x	x

Variaciones de voltaje y temperatura en osciladores SWO de onda completa son mostrados en las Tablas C.5 y C.6.

Tabla C.5: SWO. Temperatura a -20° , fuente de alimentación de $1.08V$ y un ancho de línea de $2.5\mu m$.

Longitud (mm)	Ancho (μm)	Frecuencia (GHz)	Amplitud (V)	Ciclo de trabajo %	Potencia (mW)	t_{est} (ns)
3.3	2.5	x	x	x	x	x
	32	8.719	1.045	50.0	1.938	5.10
7.2	2.5	4.888	0.598	50.0	0.354	31.64
	32	4.238	0.992	50.0	2.427	7.22
24.3	2.5	1.108	0.888	50.0	0.924	5.89
	32	1.243	0.909	50.0	2.427	21.54

Tabla C.6: SWO 1. Temperatura a 120° , fuente de alimentación de $1.08V$ y un ancho de línea de $2.5\mu m$.

Longitud (mm)	Ancho (μm)	Frecuencia (GHz)	Amplitud (V)	Ciclo de trabajo %	Potencia (mW)	t_{est} (ns)
3.3	2.5	10.31	0.573	50.3	0.455	16.83
	32	8.602	0.977	50.5	3.286	4.71
7.2	2.5	4.867	0.484	49.9	0.601	31.48
	32	4.209	0.937	50.2	4.115	6.88
24.3	2.5	1.097	0.799	50.3	1.567	5.415
	32	1.236	0.734	50.2	4.115	19.58

El porcentaje de error de las frecuencias de oscilación en osciladores de anillo de tres etapas ante variaciones de temperatura y voltaje son mostrados en las Tablas C.7 y C.8 respectivamente. La l es la longitud de la línea utilizada y la w el espesor de la línea.

Tabla C.7: Porcentaje de error de la frecuencia en osciladores de anillo ante variaciones de temperatura.

Osciladores de anillo de tres etapas.				
% Error f	12.8	12.8	12.8	12.7
l (mm)	0.65	0.65	6.9	6.9
w (μm)	2.5	32	2.5	32

Tabla C.8: Porcentaje de error de la frecuencia en osciladores de anillo ante variaciones de voltaje.

Osciladores de anillo de tres etapas.				
% Error f	21.4	20.9	21.3	21.0
l (mm)	0.65	0.65	6.9	6.9
w (μm)	2.5	32	2.5	32

Las Tablas C.9 y C.10 presentan el porcentaje de error de osciladores resonantes (RTWO y SWO) ante variaciones de voltaje y temperatura, cabe destacar que las variaciones para osciladores RTWO y SWO 1/2 son las mismas. Por otro lado SWO son los osciladores SWO de onda completa.

Tabla C.9: Porcentaje de error de la frecuencia en osciladores resonantes ante variaciones de temperatura.

	SWO	RTWO	SWO	RTWO	SWO	RTWO	SWO	RTWO
% Error f	2.17	2.15	0.36	0.67	0.17	0.842	1.17	0.512
l (mm)	24.3	50	24.3	50	3.3	6.9	3.3	6.9
w (μm)	2.5	2.5	32	32	2.5	2.5	32	32

Tabla C.10: Porcentaje de error de la frecuencia en osciladores resonantes ante variaciones de voltaje.

	SWO	RTWO	SWO	RTWO	SWO	RTWO	SWO	RTWO
% Error f	16.0	18.9	1.28	2.24	0.14	0.45	0.27	0.23
l (mm)	24.3	50	24.3	50	3.3	6.9	3.3	6.9
w (μm)	2.5	2.5	32	32	2.5	2.5	32	32

Las Figuras C.1 - C.6, muestran el ruido a la salida de los osciladores resonantes y no resonantes, bajo diferentes longitudes y anchos de línea. Cabe destacar que osciladores resonantes trabajan a altas frecuencias por lo que el ruido térmico es la mayor fuente de ruido en osciladores resonantes.

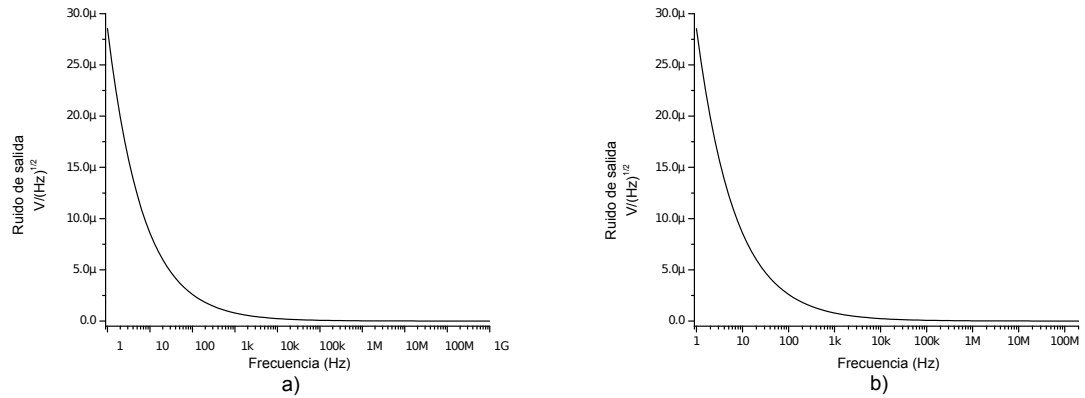


Figura C.1: Ruido a la salida de osciladores de anillo de tres etapas con longitudes de línea de 0.65mm y anchos de a) 2.5 μm y b) 32 μm

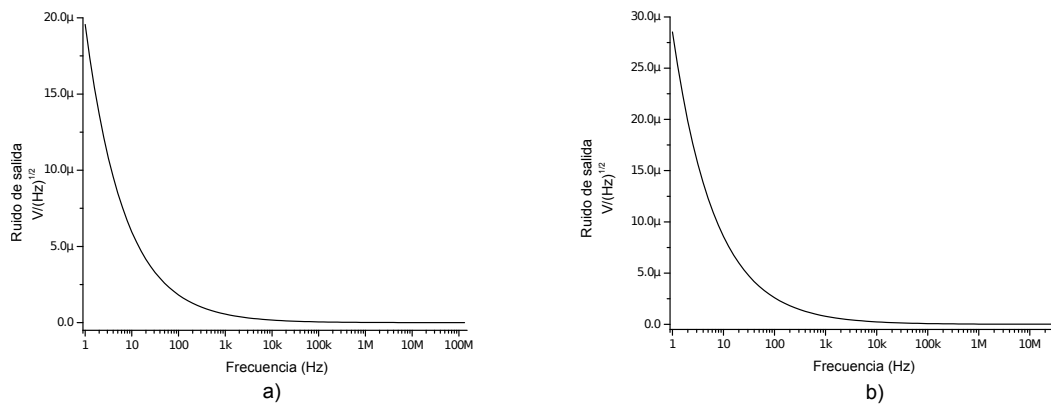


Figura C.2: Ruido a la salida de osciladores de anillo de tres etapas con longitudes de línea de 6.9mm y anchos de a) 2.5 μm y b) 32 μm

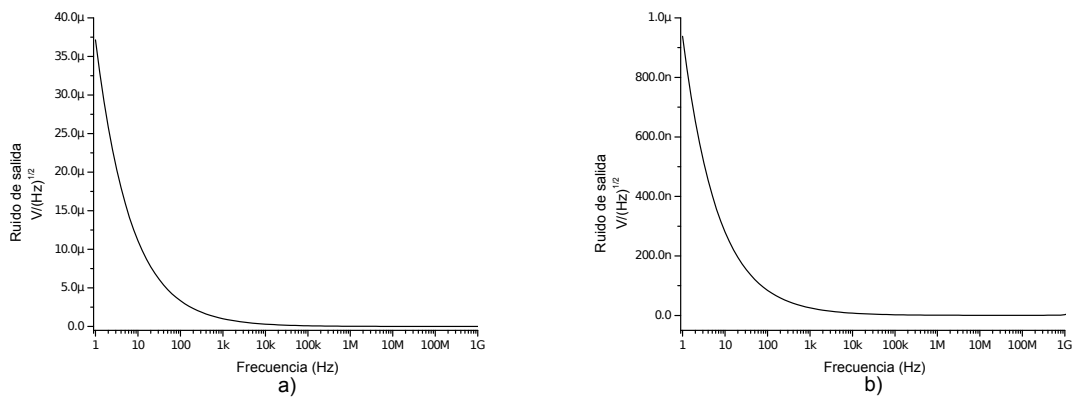


Figura C.3: Ruido a la salida de osciladores resonantes (RTWO y SWO 1/2) con longitudes de línea de 50mm y anchos de a) 2.5 μm y b) 32 μm

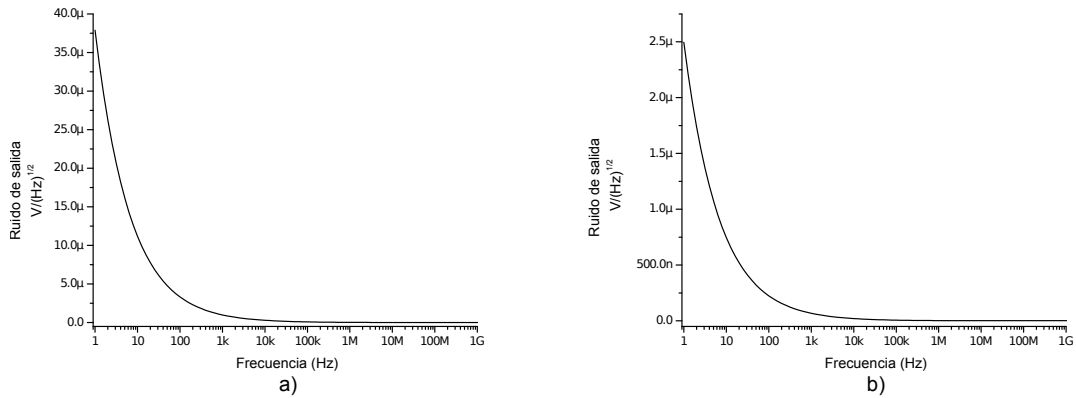


Figura C.4: Ruido a la salida de osciladores resonantes (RTWO y SWO 1/2) con longitudes de línea de $6.9mm$ y anchos de a) $2.5\mu m$ y b) $32\mu m$

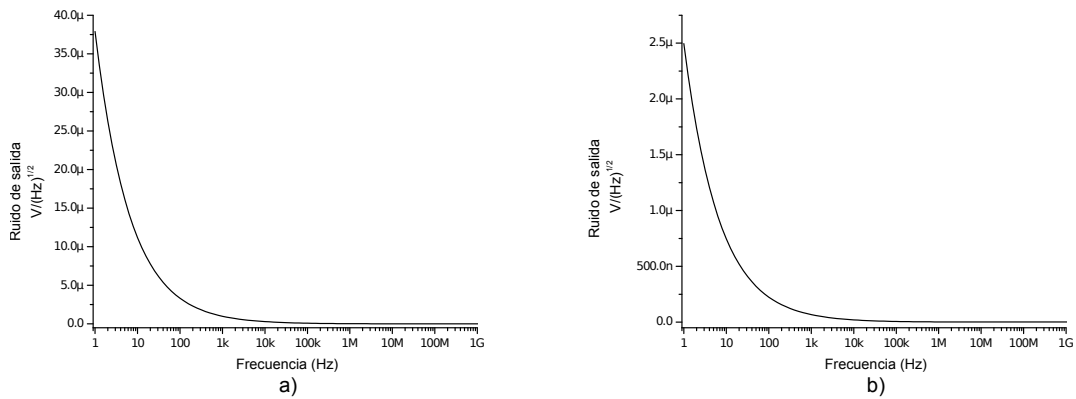


Figura C.5: Ruido a la salida de osciladores resonantes SWO con longitudes de línea de $24.3mm$ y anchos de a) $2.5\mu m$ y b) $32\mu m$

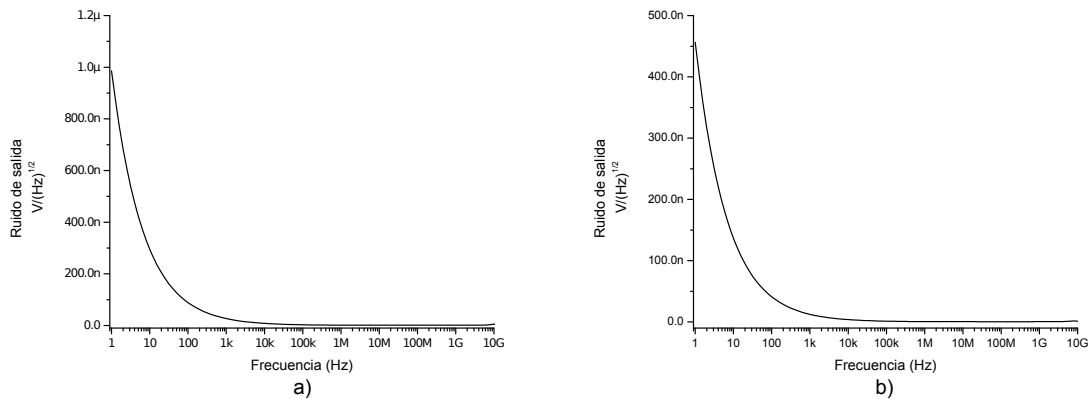


Figura C.6: Ruido a la salida de osciladores resonantes SWO con longitudes de línea de $3.3mm$ y anchos de a) $2.5\mu m$ y b) $32\mu m$

Bibliografía

- [1] H. J. M Veendrick. “*Nanometer CMOS ICs. From basics to ASICs*”, Springer, 2008.
- [2] J. P. Uyemura. “*CMOS Logic Circuit Design*”, Kluwer Academic Publishers, 2002.
- [3] C. M. Albina and G. Hackl. “*Layout Parasitic Interconnections Effects on High Frequency Circuits*”, IEEE Dallas Circuits and Systems Workshop on System-on-Chip, pp. 218 - 223, 2007.
- [4] M. Shen, Li-Rong Zheng, E. Tjukanoff, J. Isoaho and H. Tenhunen. “*Concurrent Chip Package Design for Global Clock Distribution Network Using Standing Wave Approach*”, IEEE Sixth International Symposium on Quality of Electronic Design, pp. 573 - 578, 2005.
- [5] G. Venkataraman, Jiang Hu, F. Liu and C-N. Sze. “*Integrated Placement and Skew Optimization for Rotatory Clocking*”, IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 15, no. 2, pp. 149 - 158, 2007.
- [6] V. Honkote and B. Taskin. “*Analysis, Design and Simulation of Capacitive Load Balanced Rotatory Oscillatory Array*”, IEEE International Conference on VLSID, pp. 218 - 223, 2010.
- [7] J. M. Rabaey, A. Chandrakasan and B. Nikolic. “*Digital Integrated Circuits a Design Perspective*”, Second Edition, Prentice Hall, 2003.
- [8] S. H. Hall, G. W. Hall and J. A. McCall. “*High-Speed Digital System Design - A Handbook of Interconnect Theory and Design Practices*”, A Wiley-Interscience Publication John Wiley & Sons, Inc, 2000.
- [9] W. Andress and D. Ham. “*Recent Developments in Standing-Wave Oscillator Design: Review*”, IEEE Radio Frequency Integrated Circuits (RFIC) Symposium, pp.119 - 122, 2004.
- [10] B. Young. “*Digital Signal Integrity: Modeling and Simulation with Interconnects and Packages*”, Prentice Hall, 2001.

-
- [11] H. B. Bakoglu. “*Circuits, Interconnections, and Packaging for VLSI*”, Addison - Wesley Publishing Company, 1990.
- [12] Kai Chang. “*RF and Microwave Wireless Systems*”, A Wiley -Interscience Publication, 2000.
- [13] David Jenn. “*Review of Plane Waves, Transmission Lines and Waveguides*”, Lecture Notes Volume I, Naval Postgraduate School, <http://dcjenn.com/EO3602/Vol1v1.3.pdf>
- [14] Devendra K. Misra. “*Radio-Frequency and Microwave Communication Circuits: Analysis and Design*”, A Wiley -Interscience Publication, 2001.
- [15] Stephen C. Thierauf. “*High - Speed Circuit Board Signal Integrity*”, Artech House, INC. Boston - London, 2004.
- [16] Howard Johnson and Martin Graham. “*High-Speed Signal Propagation: Advanced Black Magic*”, Prentice Hall PTR, 2003.
- [17] B. P. Wong, A. Mittal, Yu Cao and G. Starr. “*Nano - CMOS Circuit and Physical Design*”, John Wiley & Sons, Inc. Hoboken, New Jersey, 2005.
- [18] S. S. Wong, P. Yue, R. Chang, So-Young Kim, B. Kleveland and F. O’Mahony. “*On - Chip Interconnect Inductance - Friend or Foe*”, IEEE Proceedings of the Fourth International Symposium on Quality Electronic Design, pp. 389 - 394, 2003.
- [19] Reydezel Torres Torres. “*Curso de Verano de Microondas Estructuras con líneas de transmisión*”, INAOE.
- [20] Oscar González Díaz. “*An Accurate On-Chip Interconnect Modeling Methodology for Design of Clock Generation and Distribution Networks*”, Thesis submitted as a partial fulfillment of the requirements for the degree of doctor in electronics at the Instituto Nacional de Astrofísica, Óptica y Electrónica, June 2011.
- [21] I. Chanodia and D. Velenis. “*Parameter variations and crosstalk noise effects on high performance H-tree clock distribution networks*”, Journal Analog Integrated Circuits and Signal Processing, vol. 56 no. 1-2, August 2008 .
- [22] C. Metra, S. Di Francescantonio, T. M. Mark and B. Ricco. “*Evaluation of Clock Distribution Networks’ Most Likely Faults and Produced Effects*”, IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems, pp. 357 - 365, 2001.
-

-
- [23] Manuel Salim Masa. “*Generación y Distribución de Señal de Reloj para Sistemas en Chip utilizando Anillos Interconectados Acoplados*”, Tesis para obtener el grado de Doctor en Ciencias en la especialidad de Electrónica en el Instituto Nacional de Astrofísica, Óptica y Electrónica, Diciembre 2005.
- [24] D. A. Hodges, H. G. Jackson and R. A. Saleh. “*Analysis and Design of Digital Integrated Circuits: In Deep Submicron Technology*”, Third Edition, Mc Graw Hill, 2003.
- [25] Manuel Salim Masa. “*Análisis y Caracterización de Redes de Distribución de Reloj a nivel submicra*”, Tesis para obtener el grado de Maestría en Ciencias en la especialidad de Electrónica en el Instituto Nacional de Astrofísica, Óptica y Electrónica, Diciembre 2000.
- [26] Frank P. O’Mahony. “*10GHz Global Clock Distribution Using Coupled Standing-Wave Oscillator*”, A Dissertation Submitted To The Department Of Electrical Engineering And The Committee On Graduate Studies Of Stanford University In Partial Fulfillment Of The Requirements For The Degree Of Doctor Of Philosophy, August 2003.
- [27] Grégoire Le Grand de Mercey. “*18GHz-36GHz Rotary Traveling Wave Voltage Controlled Oscillator in a CMOS Technology*”, Universität der Bundeswehr München Fakultät der Elektrotechnik and Informationstechnik, 2004.
- [28] A. Hajimiri and T. H. Lee. “*A General Theory of Phase Noise in Electrical Oscillators*”, IEEE Journal of solid-state circuits, vol. 33, no. 2, 1998.
- [29] Behzad Razavi. “*Design of Analog CMOS Integrated Circuits*”, McGrawhill International Edition, 2001.
- [30] Oscar Lozada Ascencio, “*Oscilador controlado por voltaje (VCO) con compensación de proceso, voltaje y temperatura (PVT)*”, Tesis sometida como requisito parcial para obtener el grado de maestro en ciencias en la especialidad de electrónica en el Instituto Nacional de Astrofísica, Óptica y Electrónica, Diciembre 2010.
- [31] V. H. Cordero and S. P. Khatri. “*Clock Distribution Scheme using Coplanar Transmission Lines*”, IEEE Design, Automation and Test in Europe, pp. 985 - 990 , 2008.
- [32] Gregorio Cappuccino and Giuseppe Cocorullo, “*A time-Domain Model for Power Dissipation of CMOS Buffers Driving Lossy Transmission Lines*”, IEEE Euromicro Conference, vol. 1, pp. 204 - 208, 2002.
- [33] S. C. Chan, K. L. Shepard, and P. J. Restle. “*Design of Resonant Global Clock Distributions*”, IEEE International Conference on Computer Design, pp. 248 - 253, 2003.
-

-
- [34] F. Carbognani, F. Buerger, N. Felbert and H. Kaeslin. “*Two-Phase Resonant Clocking for Ultra-Low-Power Hearing Aid Applications*”, Proceedings Design, Automation and Test in Europe, pp. 1- 6, 2006.
- [35] Stefan Ruso. “*Interconnect Centric Design for Advanced SOC and NOC*”, Kluwer Academic Publishers, pp. 125 - 152.
- [36] V. Prodanov and M. Banu. “*GHz Serial Pasive Clock Distribution in VLSI Using Bidirectional Signaling*”, IEEE Custom Integrated Circuits Conference, pp. 285 - 288, 2006.
- [37] V. Honkote and B.Taskin. “*Design Automation Scheme for Wirelength Analysis of Resonant Clocking Technologies*”, IEEE International Midwest Circuits and Systems, pp. 1147 - 1150, 2009.
- [38] Juang-Ying Chueh, Visvesh Sathe, and Marios C. Papaefthymiou. “*900 Mhz to 1.2GHz Two-Phase Resonant Clock Network with Programmable Driver and Loading*”, IEEE Custom Integrated Circuits Conference, pp.777 - 780, 2006.
- [39] M.Bhushan and M.B Ketchen. “*Microelectronic Test Structures for CMOS Technology*”, Springer Science+Business Media, 2011.
- [40] Juang-Ying Chueh, and M. C. Papaefthymiou and C. H. Ziesler. “*Two-Phase Resonant Clock Distribution*”, IEEE Computer Society Annual Symposium on VLSI, pp. 65 -70, 2005.
- [41] V. Honkote and B. Taskin. “*Capacitive Load Balancing for Mobius Implementation of Standing Wave Oscillator*”, IEEE International Midwest Symposium on Circuits and Systems, pp. 232 - 235, 2009.
- [42] D. Chi, J. East and M. P. Flynn. “*A Compact 5GHz Standing Wave Resonator-based VCO in 0,13 μ m CMOS*”, IEEE Radio Frequency Integrated Circuits Symposium, pp. 591 - 594, 2007.
- [43] A. Mandal, V. Karkala, S. P. Khatri and R. N. Mahapatra. “*Interconnected Tile Standing Wave Resonant Oscillator based Clock Distribution Circuits*”, IEEE 24th International Conference on VLSI Design, pp. 82- 87, 2011.
- [44] Cheng Zhuo, Huafeng Zhang, R. Samanta, Jiang Hu and Kangsheng Chen. “*Modeling, Optimization and Control of Rotatory Traveling Wave Oscillator*”, IEEE/ACM International Computer-Aided Design, pp. 476 - 480, 2007.
- [45] John Wood and Terence C. Edwards. “*Rotatory Traveling-Wave Oscillator Arrays: A New Clock Technology*”. IEEE Journal of Solid-State Circuits, pp. 1654 - 1665, 2001.
-

-
- [46] John Starr Hamel and Ryan Norris. “*LC Tank Voltage Controlled Oscillator Tutorial*”, Waterloo, Ontario, Canada, http://pldworld.biz/_hdl/2/-asic.uwaterloo.ca/files/vcotut.pdf, 2005.
- [47] Hui Wu and A. Hajimiri. “*Silicon-Based Distributed Voltage-Controlled Oscillators*”, IEEE Journal of Solid-State Circuits, vol. 36, no. 3, pp. 493 - 502. 2001.
- [48] Luca Daniel, Alberto Sangiovanni-Vincentelli and Jacob White. “*Proximity Templates for Modeling of Skin and Proximity Effects on Packages and High Frequency Interconnect*”, IEEE/ ACM International Conference on Computer Aided Design, pp. 326 - 333, 2002.
- [49] Yu Cao, Xuejue Huang, D. Sylvester, Tsu-Jae King, and Chenming Hu. “*Impact of On-Chip Interconnect Frequency- Dependent $R(f)L(f)$ on Digital and RF Design*”, IEEE Transactions on Very Large Scale Integration (VLSI) Systems, pp. 158 - 162, 2005.
- [50] Tai-Chen Chen, Song-Ra Pan and Yao- Wen Chang, “*Performance Optimization by Wire and Buffer Sizing Under the Transmission Line Model*”, IEEE International Conference on Computer Design, pp. 192 - 198, 2001.
- [51] Jun-xing Zhang, Ji-yin Zhao and Chun-juan Bo. “*Signal Reflection Method In High-Speed Data Acquisition And Processing System*”, IEEE International Conference on Intelligent Human-Machine Systems and Cybernetics, pp. 241 - 244, 2009.
- [52] Rulling Wang, Cheng-Kok Koh, Byunghoo Jung and W. J. Chappell. “*Clock Generation and Distribution Using Traveling- Wave Oscillators with Reflection and Regeneration*”, IEEE Custom Integrated Circuits Conference, pp. 781 - 784, 2006.
- [53] V. Honkote and B. Taskin. “*Analysis, Design and Simulation of Capacitive Load Balanced Rotatory Oscillatory Array*”, IEEE International Conference on VLSI Design, pp. 218 - 223, 2010.
- [54] F. O’Mahony, C. P. Yue, M.A. Horowitz and S. S. Wong. “*Design of a 10 GHz Clock Distribution Network Using Coupled Standing-Wave Oscillators*”, IEEE Proceedings Design Automation Conference, pp. 682 - 687, 2003.
- [55] V. Karkala, K. C. Bollapalli, R. Garg and S. P. Khatri. “*A PLL Design on a Standing Wave Resonant Oscillator*”, IEEE International Conference on Computer Design, pp. 511 - 516, 2009.
- [56] Ruilin Wang, Cheng - Kok Koh, Byunghoo Jung and William J. Chappell. “*Clock Generation and Distribution Using Traveling- Wave Oscillators with*
-

- Reflection and Regeneration*", IEEE Custom Integrated Circuits Conference, pp. 781 - 784, 2006.
- [57] F. Ben Abdeljelil, B. Nicolle, W. Tatinian, L. Carpintero, J. Oudinot and G. Jacquemod. "*Application of Botton-Up Methodologt to RTW VCO*", IEEE Computer Society Annual Symposium on VLSI, pp. 46 - 50, 2008.
- [58] Zhengtao Yu and Xun Liu. "*Power Analysis of Rotary Clock*", IEEE Computer Society Annual Symposium on VLSI, pp. 150 - 155, 2005.
- [59] V. L. Chi. "*Salphasic distribution of clock signals for synchronous systems*", IEEE Transactions on Computers, vol. 45, no. 5, pp. 597 - 602, 1994.
- [60] Lu Wang and A. Nunez. "*An Automatic Evaluation of Phase Noise on CMOS Ring VCOs*", IEEE Symposium on Circuits and Systems, pp. 1569 - 1572, vol. 2, 2005.
-