



**I
N
A
O
E**

Diseño de un Phase Locked Loop con una nueva topología de VCO a través de un inductor activo

Por

Ing. Erick Jesús Arenas Mendoza

Tesis presentada como requisito parcial
para obtener el grado de

Maestría en Ciencias de la Electrónica

en el

**Instituto Nacional de Astrofísica
Óptica y Electrónica**

Octubre 2017

Tonantzintla, Puebla

Asesor de tesis:

Dr. Guillermo Espinosa Flores Verdad, INAOE

©INAOE 2017

El autor otorga al INAOE permiso
para reproducir y distribuir copias de este
documento de Tesis parcial o totalmente.



Agradecimientos

Dedicado a mis padres, hermanos y a mi novia; por todo su cariño, apoyo y paciencia durante el proceso de la maestría.

Agradezco a mi asesor, el Doctor Guillermo Espinosa por su paciencia y sus consejos.

Finalmente, agradezco al consejo nacional de ciencia y tecnología por su apoyo económico durante mi estancia en INAOE.

Resumen

Título: Diseño de un Phase Lock Loop con una nueva topología de VCO a partir de un inductor activo

Autor: Erick Jesús Arenas Mendoza

Palabras Clave: Inductor activo de tercer orden, Girador-C, VCO, Ruido de fase

Descripción: En este trabajo se diseña un PLL explorando la posibilidad de realizar un inductor activo de tercer orden a partir de la topología Girador-C y tomando como criterio de diseño la estabilidad de un circuito resonante LC.

Inicialmente se evalúan las características más importantes en el diseño de un VCO como lo son el factor de calidad, potencia y el rango de sintonización de la frecuencia, después se analizan brevemente las ventajas y desventajas de los tres tipos de osciladores más utilizados, de éstos se selecciona para este trabajo los osciladores a partir de un inductor activo. Para la selección del inductor activo se analizan las características de diferentes circuitos basados en la topología Girador-C (dos transconductores conectados espalda con espalda) y se seleccionan las estructuras que permitan mejorar el rendimiento de un circuito tanque resonante con pérdidas.

El inductor activo de tercer orden propuesto está formado por un par diferencial complementario, cada uno con una carga de transistores conectados como diodo y transistores cruzados; la copia de corriente de cada etapa es unida en una tercera etapa y la variación de la inductancia se produce a través del aumento en la transconductancia de los transistores.

Con la ayuda de la caracterización del inductor activo de tercer orden, se puede transformar éste, en un VCO mediante la manipulación de la ecuación de estado; utilizando esta nueva topología de VCO se obtiene un ruido de fase promedio de $-143dBc/Hz$, un rango de sintonización de $2,68GHz$ a $3,7GHz$ y una potencia promedio de $7mW$.

Abstract

Title: Design of Phase Lock Loop with a new VCO topology through of an active inductor

Author: Erick Jesús Arenas Mendoza

Key Words: Third-Order active inductor, Gyrator-C, VCO, Phase noise

Description: This work shows a PLL with a Third-Order active inductor with the Gyrator-C topology, and the stability of the resonant tank is taken as a designed criterion.

Initially, the most important characteristics in VCO design are evaluated. Some of these characteristics are: quality factor, tuning range and power. After, the three more common oscillators are analyzed with their advantages and disadvantages. An oscillator with active inductor is selected as the best option. To choose the active inductor circuit, some characteristics of different circuits with Gyrator-C topology (two back-to-back connected transconductors) are evaluated and the structures with major performance are taken into the model of lossy resonant tank LC.

The proposed Third-Order active inductor is built with a complementary differential pair, each one with a charge of transistors connected as a diode and cross coupled transistors; the current copy of each stage is joined in a third stage and the inductance changes are done by increase transconductance of the transistors.

With the Third-Order active inductor characterization, the circuit can be become into VCO with the manipulation of the state equation; using this new topology of VCO are gotten a average phase noise of $-143dBc/Hz$, a tuning range of $2,68GHz$ to $3,7GHz$ and an average power consumption of $7mW$.

Tabla de Contenido

Resumen	III
Abstract	v
Lista de Figuras	IX
Lista de Tablas	XIII
1. Introducción	1
1.1. Lazo de amarre de fase (Phase Lock Loop, PLL por sus siglas en inglés)	2
1.2. Detector de fase	3
1.2.1. Detector de fase-frecuencia	4
1.3. Bomba de carga	6
1.4. Filtro pasa-bajas de lazo	7
1.5. Oscilador controlado por voltaje (VCO)	9
1.5.1. Tanque LC resonante	10
1.5.2. Factor de calidad	13
1.5.3. Inductor activo	13
1.6. Divisor de frecuencia	15
1.7. Ancho de banda del PLL	16
1.8. Ruido de fase y Jitter	17
1.9. Estado del arte	18
2. Caracterización de un inductor activo	21
2.1. Topología general de un Girador-C como inductor flotante activo . . .	21
2.1.1. Topologías de inductores flotantes activos basados en Girador-C	23
2.1.2. Inductor activo flotante robusto a variaciones PVT	29

2.2.	Propuesta de un inductor flotante activo de segundo orden	30
2.2.1.	Criterios de estabilidad del inductor activo flotante de segundo orden propuesto	32
2.2.2.	Inestabilidad por presencia de un polo negativo	34
2.2.3.	Inestabilidad por presencia de un cero negativo	35
2.2.4.	Inestabilidad por presencia de un polo y un cero negativos	36
2.2.5.	Control del factor de calidad en el inductor activo propuesto	37
2.3.	Propuesta de un inductor activo de tercer orden robusto a variaciones de proceso cruzadas	38
2.3.1.	Criterios de estabilidad dentro de un sistema de tercer orden	41
2.3.2.	Consideraciones para el diseño de un inductor activo de tercer orden	43
2.3.3.	Modelo para caracterizar un sistema de tercer orden	45
2.3.4.	Diseño de un inductor activo de tercer orden	50
2.3.5.	Caracterización del inductor activo de tercer orden	67
2.4.	Oscilador mediante un inductor activo de tercer orden	74
2.4.1.	Ruido de fase y figura de mérito (FOM)	79
2.4.2.	Variaciones de proceso y temperatura del oscilador	82
3.	Diseño del Phase Lock Loop	87
3.1.	Diseño de un detector de fase frecuencia	87
3.2.	Diseño de la bomba de carga	92
3.3.	Diseño del filtro de lazo	96
3.4.	Constante de proporcionalidad del VCO	97
3.5.	Divisor lógico en modo corriente	99
3.6.	Diseño de la ganancia de lazo en un PLL	103
3.7.	Proceso de amarre del PLL	106
4.	Conclusiones	109
4.1.	Trabajo a futuro	110
	Bibliografía	111

Lista de Figuras

1.1. Diagrama a bloques simplificado de un PLL	2
1.2. Respuesta ideal de un PD lineal	3
1.3. Máquina de estados (a) y topología de un detector de fase de tres estados (b)	5
1.4. Funcionamiento de un PFD	6
1.5. Modelo simple de una bomba de carga	7
1.6. Filtro de primer orden con un polo (a) y Filtro de primer orden con un polo y un cero (b)	8
1.7. Filtro de lazo de segundo orden	9
1.8. Resonador con pérdidas LC	11
1.9. Gráfica de Bode de un resonador típico [16]	12
1.10. Resonador activo	14
1.11. Topología general de un divisor de frecuencia en modo corriente	16
1.12. Diagrama de bloques con expresiones de frecuencia	16
1.13. Ruido de fase y Jitter	17
2.1. Resonador flotante	22
2.2. Topología general de un inductor activo flotante	22
2.3. Inductor activo flotante Grözing [26]	24
2.4. Inductor activo flotante Mahmoudi-Salama [27]	26
2.5. Inductor flotante activo Abdalla con Resistencia de retroalimentación [28]	28
2.6. Inductor activo flotante robusto a PVT [4]	29
2.7. Inductor flotante activo de segundo orden	31
2.8. Inestabilidad por la presencia de un polo negativo en un sistema de segundo orden	35

2.9. Inestabilidad por cero en un sistema de segundo orden	36
2.10. Inestabilidad por presencia de un polo y cero negativos en un sistema de segundo orden	37
2.11. Diferentes elecciones de polo y cero	38
2.12. Diagrama esquemático del inductor activo de tercer orden	39
2.13. Gráfica de bode con tres polos y dos ceros	41
2.14. Inestabilidad de polo por el criterio de estabilidad de Routh	42
2.15. Respuesta del sistema de tercer orden con un coeficiente negativo	43
2.16. Representación pasiva resonante del inductor activo de tercer orden	49
2.17. Circuito resonante de tercer orden equivalente al GIC propuesto	49
2.18. Flujo de corriente en un inductor activo	52
2.19. Variación del coeficiente a . C_{cp} = Azul-5fF, Verde-15fF, Rojo-30fF	58
2.20. Variación del coeficiente b . C_{cp} = Azul-5fF, Verde-15fF, Rojo-30fF	59
2.21. Variación del coeficiente c . C_{cp} = Azul-5fF, Verde-15fF, Rojo-30fF	60
2.22. Variación del coeficiente d	61
2.23. Criterio de estabilidad de Routh $(ad - bc)$. C_{cp} = Azul-5fF, Verde-15fF, Rojo-30fF	62
2.24. Variación de la resistencia R_{eq} . C_{cp} = Azul-5fF, Verde-15fF, Rojo-30fF	63
2.25. Variación de la resistencia R_{eq2}	64
2.26. Variación del coeficiente b en función de los anchos de los transistores	65
2.27. Criterio de estabilidad de Routh $(ad - bc)$ en función de los anchos de los transistores	66
2.28. Simplificación circuital propuesta para hallar el factor de calidad	67
2.29. Frecuencia de operación y rango de sintonización	69
2.30. Inductancia equivalente del resonador de tercer orden	70
2.31. Resistencia en serie equivalente del resonador de tercer orden	71
2.32. Resistencia en paralelo equivalente del resonador de tercer orden	72
2.33. Factor de calidad del resonador de tercer orden	73
2.34. Respuesta en frecuencia del inductor activo de tercer orden	74
2.35. Oscilación de un sistema de tercer orden	75
2.36. Criterio de Routh para provocar oscilación en el sistema de tercer orden	75
2.37. Variación del coeficiente d en función de la resistencia de ajuste	76
2.38. Oscilación del inductor activo como oscilador	77

2.39. Respuesta del transitorio del oscilador basado en el inductor de tercer orden	78
2.40. Respuesta del transitorio del oscilador basado en el inductor de tercer orden a tres frecuencias de oscilación. Negro $25k\Omega$, Rojo $50k\Omega$, Azul $95k\Omega$	78
2.41. FFT aplicada a la respuesta transitoria de tres frecuencias de oscilación. Negro $25k\Omega$, Rojo $50k\Omega$, Azul $95k\Omega$	79
2.42. Ruido de fase con diferentes voltajes de sintonización	80
2.43. Circuito de control para la corriente de polarización en variaciones de proceso ss y ff	83
2.44. Variaciones de proceso a $-40^{\circ}C$	84
2.45. Variaciones de proceso a $60^{\circ}C$	84
2.46. Variaciones de proceso a $120^{\circ}C$	85
3.1. Respuesta transitoria de un PFD ante diferentes frecuencias	88
3.2. Diagrama esquemático del PFD	89
3.3. Diagrama esquemático de un Flip Flop tpo D con Reset	89
3.4. Compuerta NAND	91
3.5. Tiempos de carga, descarga y retardos de un PFD	91
3.6. Bomba de carga con salida diferencial [21]	92
3.7. Corrientes de carga y descarga	94
3.8. Matching de corriente	94
3.9. Carga y descarga en los capacitores $C1$ y $C2$	95
3.10. Retardo del voltaje en el capacitor	96
3.11. Modelos equivalente del PFD, CP y FL	96
3.12. Gráfica de la constante de proporcionalidad del VCO	98
3.13. Variación de la frecuencia	99
3.14. Divisor de voltaje mediante un flip flop tipo D	100
3.15. Celda básica para el divisor lógico en modo corriente	100
3.16. Divisor lógico en modo corriente	101
3.17. Respuesta transitoria del CMLD	102
3.18. Respuesta transitoria del CMLD ante la señal del VCO	102
3.19. Respuesta transitoria de las diferentes divisiones de frecuencia del VCO	103
3.20. Margen de fase para $\omega_u = 0,02\omega_{max}$	106

3.21. Respuesta transitoria del PLL a $\omega_u = 0,1\omega_{max}$	107
3.22. Respuesta transitoria del PLL a $\omega_u = 0,2\omega_{max}$	108

Lista de Tablas

2.1. Parámetros de la tecnología de $0.18\mu\text{m}$	45
2.2. Constantes para el cálculo de las capacitancias parásitas en la tecnología UMC $0.18\mu\text{m}$	56
2.3. Características del VCO	81
2.4. Comparación entre diferentes trabajos relacionados con VCOs	82
2.5. Variación de la frecuencia de operación ante variaciones de proceso y temperatura	85

Capítulo 1

Introducción

Hoy en día los sistemas de lazo de amarre de fase se realizan mediante arquitecturas digitales [1], [2], [3], ya que proveen un mayor rango dinámico y mayor robustez al ruido; sin embargo, el bloque que tiene un mayor número de características a tomar en cuenta durante el proceso de diseño, el oscilador controlado por voltaje, cuenta con un proceso de diseño analógico para establecer las condiciones de oscilación, por lo cual es necesario obtener la función de transferencia, ya sea en lazo abierto o cerrado, a través del modelo de pequeña señal del transistor. Debido a las características del diseño analógico, es posible hallar variables independientes que puedan optimizar las variables dependientes más importantes del oscilador controlado por voltaje (rango de sintonización de frecuencia, ruido de fase, potencia y frecuencia de oscilación). Actualmente existen diversas topologías que han sido ampliamente analizadas. Las más importantes en el diseño de circuitos integrados son los osciladores mediante tanque resonante LC, los osciladores de anillo y finalmente, los osciladores a través de un inductor activo.

La frecuencia de los osciladores con inductor activo, y de anillo, tienen una fuerte dependencia con las variaciones de proceso y temperatura. Las variaciones de proceso se deben a las diferentes esquinas en las cuales los transistores tipo N y P pueden ubicarse después del proceso de fabricación; las cinco esquinas existentes son: esquina ss (slow slow, por sus siglas en inglés), la cual indica que los transistores N y P tienen una respuesta más lenta que el proceso típico de fabricación (alto voltaje de umbral en ambos transistores), esquina ff (fast fast, por sus siglas en inglés), la cual indica que los transistores N y P tienen una respuesta más rápida que el proceso típico de fabricación (bajo voltaje de umbral en ambos transistores), el proceso tt donde ambos transistores tienen las condiciones típicas del proceso de fabricación, snfp y spfn son variaciones de proceso lentas para N, rápidas para P y rápidas para N, lentas para

P respectivamente. Para las variaciones de temperatura, de los trabajos [4], [5] que han sido tomados como referencia, varían desde $-40^{\circ}C$ a $120^{\circ}C$ y estas variaciones producen un cambio en la movilidad de los transistores.

La organización de este capítulo es la siguiente: primero se realiza una breve introducción sobre los lazos de amarre de fase, siguiendo con la idea teórica de cada uno de los bloques que componen al sistema, después se analiza las condiciones del sistema en lazo cerrado y finalmente, se muestra el estado del arte desde donde parte este trabajo.

1.1. Lazo de amarre de fase (Phase Lock Loop, PLL por sus siglas en inglés)

Un lazo de amarre de fase es un bloque cuya frecuencia de referencia es seguida por la frecuencia del oscilador controlado por voltaje en un determinado rango, dado por las condiciones del PLL; todo esto a través de un bloque de retroalimentación [6]. Hoy en día la mayoría de los PLL contienen cinco elementos principales, [1], [2] y [3] los cuales son: Detector de fase (Phase Detector, PD por sus siglas en inglés), Bomba de carga (Charge Pump, CP por sus siglas en inglés), Filtro de lazo (Loop Filter, LF por sus siglas en inglés), Oscilador controlado por fase (Voltage Controlled Oscillator, VCO, por sus siglas en inglés) y un divisor de frecuencia (Frequency Divider, FD por sus siglas en inglés). El diagrama a bloques simplificado de un PLL se muestra en la figura 1.1.

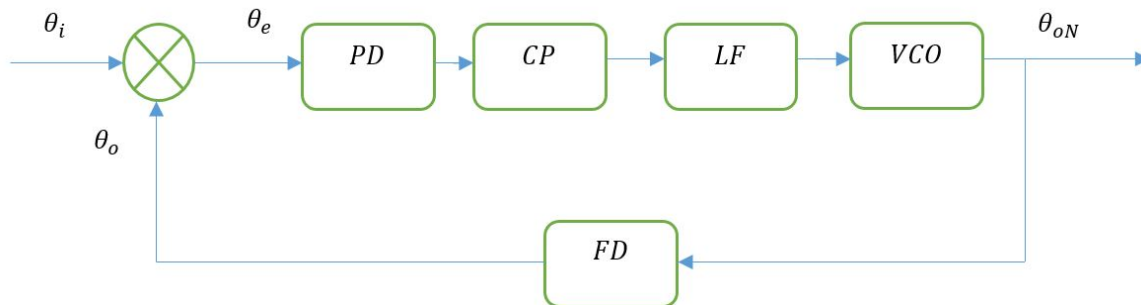


Fig 1.1: Diagrama a bloques simplificado de un PLL

Los tópicos más importantes a tener en cuenta en el diseño de un PLL son la estabilidad, el rango de sintonización de frecuencia y el ruido de fase [6]. Para asegurar

la estabilidad del sistema se utiliza la ganancia de lazo, la cual está conformada por todos los bloques de trayectoria directa del PLL (PD, CP, LF, VCO). El ruido de fase depende, entre muchas variables, del factor de calidad del VCO. El rango de sintonización de frecuencia depende únicamente del VCO, esto hace del VCO el bloque más importante, por lo que se debe de caracterizar minuciosamente. En las secciones posteriores se analizarán todos los bloques que conforman un PLL.

1.2. Detector de fase

El detector de fase (PD) genera un voltaje de DC que es proporcional a la diferencia de fase entre las señales de entrada y de referencia [6]. El modelo lineal del detector de fase se muestra en la siguiente ecuación:

$$V_d = k_d \theta_e + V_{do} \quad (1.2.1)$$

Donde V_d es el voltaje de error en la salida, θ_e es el error de fase, k_d es un factor de proporcionalidad y V_{do} es un voltaje de DC que, bajo condiciones estáticas permite que la frecuencia de referencia sea igual a la frecuencia de entrada [6]. La respuesta ideal de un PD lineal es mostrada en la figura 1.2.

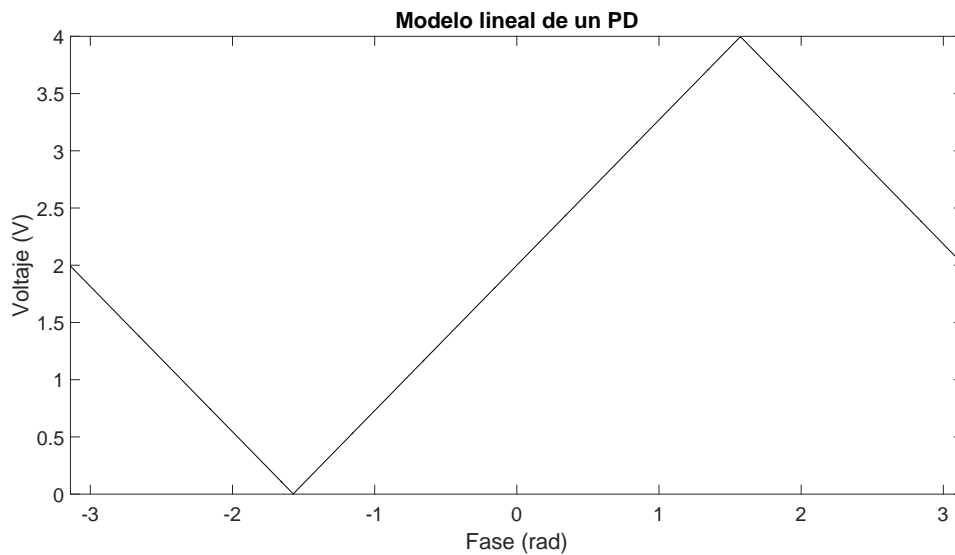


Fig 1.2: Respuesta ideal de un PD lineal

A pesar de que la ecuación 1.1 modela de forma lineal un circuito PD como se

muestra en la figura 1.2; los circuitos que tienen una respuesta proporcional a la diferencia de fase, no son lineales, por tanto se debe tener en cuenta la región en la que se tiene una respuesta lineal [7].

Existen diversas topologías de detectores de fase [8], aunque todas ellas se pueden dividir en dos grandes categorías, las analógicas y las digitales. Entre las analógicas se encuentran los multiplicadores como la celda de Gilbert [9] y los doblemente balanceados a través de transformadores [6]; la principal desventaja de los PD analógicos es el corto rango lineal de θ_e , ya que la respuesta lineal de estos PD se da únicamente cuando $\sin\theta \approx \theta$, lo cual sólo es cierto en ángulos pequeños. Los PD digitales son mucho más comunes dentro de un PLL; entre los más usados se encuentran: los triangulares, que consisten de un multiplicador con un comparador, el de compuerta OR exclusiva y el detector de fase de dos estados [6].

1.2.1. Detector de fase-frecuencia

El detector de fase-frecuencia (PFD), también conocido como detector de fase de tres estados, es un tipo de PD digital y es uno de los detectores más confiables, ya que puede ser usado como detector de frecuencia también, por lo que es muy útil cuando las frecuencias de entrada y referencia no son iguales [7]. La figura 1.3 muestra la máquina de estados y la topología de un PFD.

EL PFD incrementa el rango de operación de la detección de fase desde -2π a 2π , esto es evidente teniendo en cuenta el funcionamiento de la topología en la figura 1.3 (b); si el pulso de subida que enciende el Flip-Flop es el de entrada (V_i), la salida de este mismo (V_U) se mantendrá en alto hasta que el pulso de subida del otro Flip Flop (V_o) restablece (reset) ambas salidas (V_U, V_D). El periodo máximo de detección de la diferencia de fase es un ciclo de la señal de entrada (2π), debido a que el siguiente pulso de subida para resetear las salidas ocurrirá antes del ciclo completo de la entrada, si la frecuencia de referencia (V_o) es mayor que la frecuencia de entrada, entonces será el reset” de ambas salidas y la detección de fase mínima será -2π [6]. La figura 1.4 ejemplifica la explicación antes mencionada.

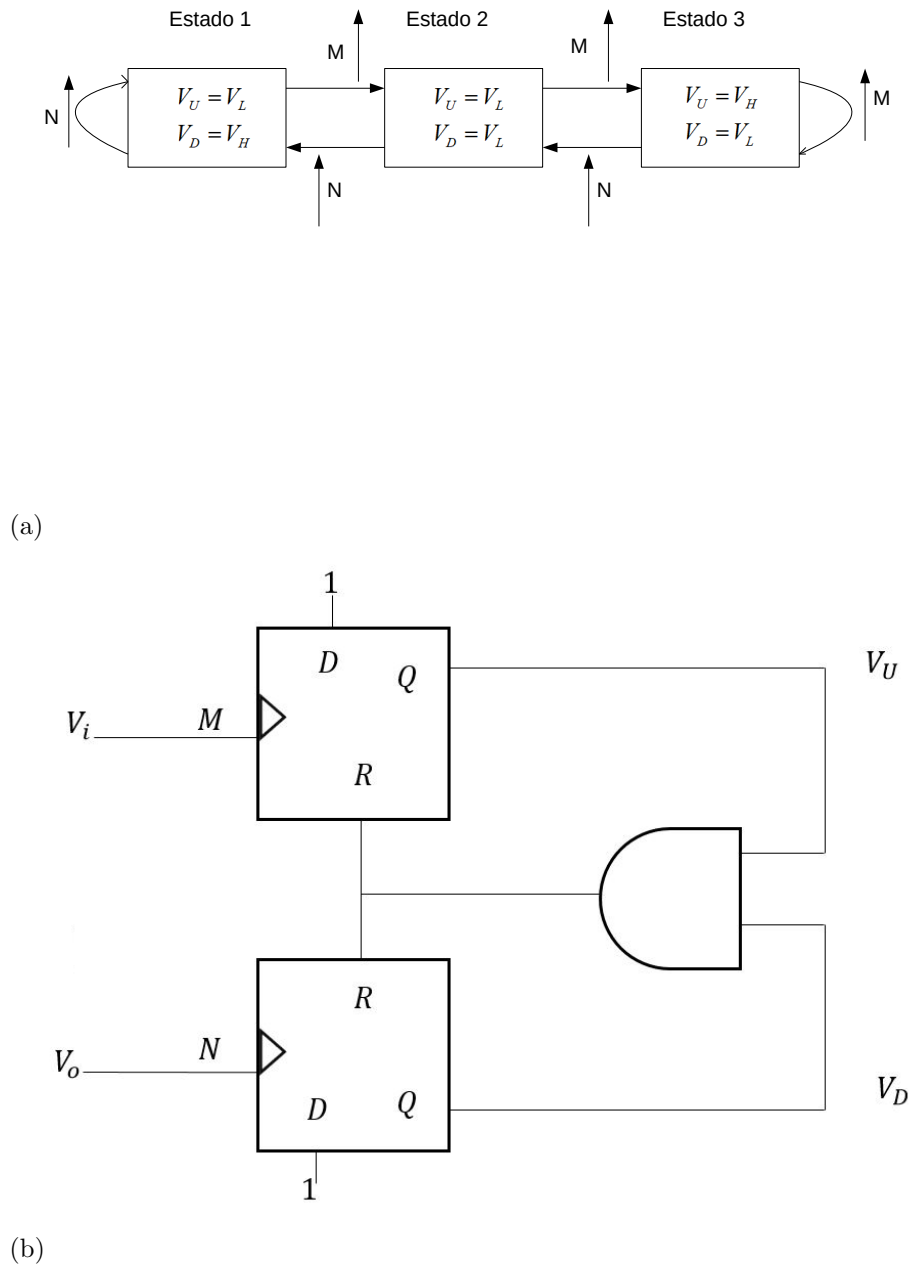


Fig 1.3: Máquina de estados (a) y topología de un detector de fase de tres estados (b)

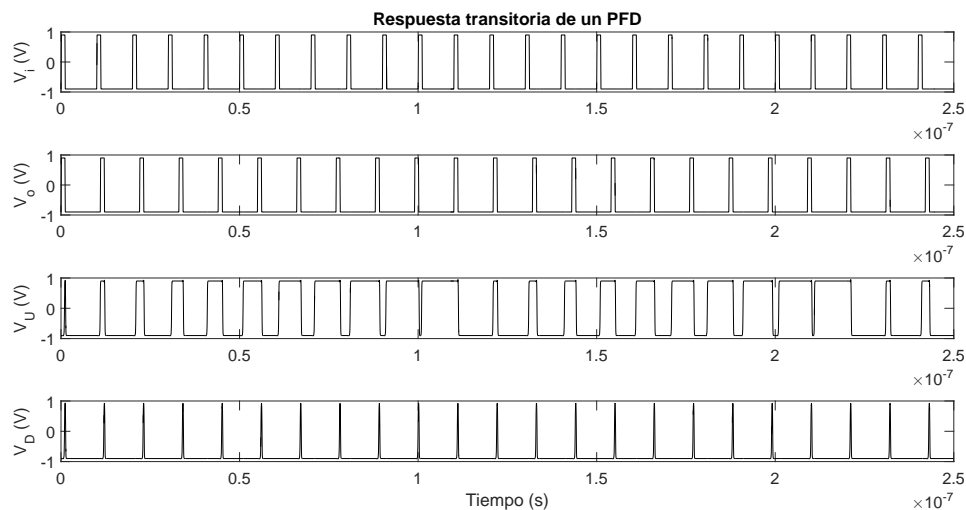


Fig 1.4: Funcionamiento de un PFD

La detección de la frecuencia en el PFD se observa cuando la señal de entrada tiene una diferente frecuencia que la de referencia, la diferencia de fase θ_e aumenta si la entrada es de mayor frecuencia que la referencia y disminuye en el caso contrario. Esta propiedad del PFD lo hace excepcional cuando las dos frecuencias son inicialmente diferentes.

EL PFD tiene una desventaja importante, éste tiene una respuesta multivaluada, por lo que el detector no es confiable en aplicaciones donde un pulso en la entrada podría ser perdido, causando un salto de la función en la salida del Flip Flop, por lo tanto el PFD no debería ser utilizado en situaciones de alto ruido [6].

1.3. Bomba de carga

La bomba de carga es una estructura muy utilizada en los PLLs modernos; se comporta como un convertidor DC-DC que permite cargar o descargar un capacitor a través de una corriente constante [10]. Una estructura simplificada de una CP se muestra en la figura 1.5.

Al agregar la CP después del PFD cargará o descargará el capacitor en el lapso dado por la diferencia de fases, cuando no exista carga ni descarga (ambos interruptores abiertos) el voltaje en el capacitor se mantendrá en el estado anterior; el estado en el cual ambos interruptores están cerrados está prohibido [11].

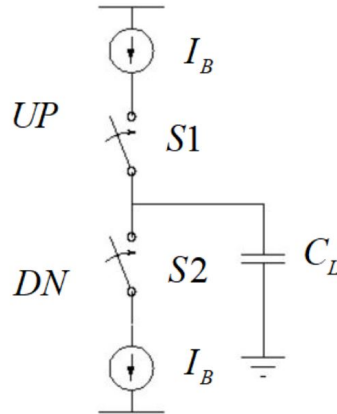


Fig 1.5: Modelo simple de una bomba de carga

Al utilizar una bomba de carga con cualquier detector de fase, se puede cambiar, para efecto de simplicidad, la ecuación 1.2.1 por una ecuación en función de la corriente de carga o descarga [12].

$$k_{dPFD} = \frac{I_B}{2\pi} \quad (1.3.1)$$

$$I_S = k_{dPFD}\theta_e$$

La impedancia capacitiva de la salida de la CP convierte I_S en un voltaje de DC para controlar el VCO del PLL; por las características de esta impedancia, en el modelo simple de una CP, la función de transferencia de lazo cerrado del PLL es de segundo orden como mínimo.

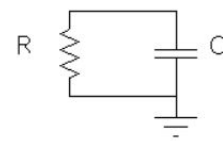
1.4. Filtro pasa-bajas de lazo

El filtro de lazo (LF) es el responsable de llevar a un nivel adecuado de DC el voltaje de control del VCO; la impedancia equivalente del filtro de lazo es utilizada para convertir la corriente proveniente de la CP en el voltaje del VCO [13].

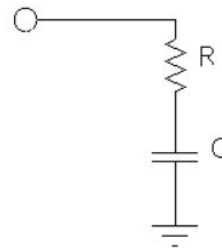
Existen dos diferentes tipos de filtros de lazo, los pasivos y los activos. Los filtros pasivos son utilizados a menudo cuando una CP es utilizada en el PLL debido a que el voltaje de offset de la bomba de carga es el mismo que el voltaje en el VCO, lo cual simplifica en gran medida el punto de DC que puede tener el diseño de la CP en

condiciones estáticas; por desgracia en un filtro activo la dependencia del nivel de DC en la entrada del filtro puede sacar de operación a los transistores, por lo que debe ser muy bien controlado, además el offset del filtro será el voltaje del VCO, por lo que se tendrán dos diferentes voltajes de DC en el PLL [13]. A lo largo de este trabajo solo considerarán los filtros pasivos ya que es la mejor opción cuando se utiliza una bomba de carga la cual es un tipo de convertidor de DC-DC.

Dentro de los filtros pasivos que se pueden encontrar en la literatura, se tienen los de primer orden, que provocan una respuesta de segundo orden en el lazo cerrado del PLL. Hay dos tipos de filtros de primer orden, uno contiene un polo y el otro contiene un polo y un cero. En la figura 1.6 se muestran los circuitos para ambos circuitos de primer orden.



(a)



(b)

Fig 1.6: Filtro de primer orden con un polo (a) y Filtro de primer orden con un polo y un cero (b)

La función de transferencia de las figuras de 1.6 se muestran en las ecuaciones 1.4.1 y 1.4.2 respectivamente.

$$\frac{V_c}{I_B} = \frac{R}{sRC + 1} \quad (1.4.1)$$

$$\frac{V_c}{I_B} = \frac{sRC + 1}{sC} \quad (1.4.2)$$

Los filtros de segundo orden son muy utilizados cuando es deseado suprimir componentes de alta frecuencia y el ruido de "jitter" [13]. La figura 1.7 muestra un filtro de lazo de segundo orden, el cual contiene dos polos y un cero, la función de transferencia del mismo filtro se muestra en la ecuación 1.4.3.

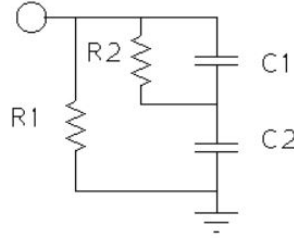


Fig 1.7: Filtro de lazo de segundo orden

$$\frac{V_c}{I_B} = \frac{R_1[s(C_1 + C_2)R_2 + 1]}{R_1R_2C_1C_2s^2 + [R_1C_2 + R_2(C_1 + C_2)]s + 1} \quad (1.4.3)$$

En el filtro de la figura 1.7, uno de los polos se ubica a baja frecuencia y el otro a muy alta frecuencia, la ubicación del cero se encuentra muy cerca de la ganancia de lazo. El filtro de lazo tiene un papel determinante en la estabilidad del lazo cerrado del PLL. Una herramienta importante para examinar la estabilidad, al utilizar filtros de lazo, es el margen de ganancia y el margen de fase en la ganancia de lazo [13].

1.5. Oscilador controlado por voltaje (VCO)

El bloque más importante del PLL es el VCO, también es el bloque con mayor tipo de características a tener en cuenta, tales como ruido de fase, rango de control del voltaje, rango de sintonización de frecuencia, rango dinámico, linealidad, potencia consumida, frecuencia nominal, entre otros [14]. Hoy en día existen en la literatura diversos tipos de osciladores que mejoran alguna de las propiedades antes mencionadas, por desgracia al mejorar cierta característica puede degradar otra [15].

EL modelo lineal del VCO que se utiliza como bloque para la función de transferencia en lazo cerrado del PLL, se obtiene al encontrar la relación que tiene la frecuencia de salida y la constante de proporcionalidad del VCO [6].

$$\Delta\omega_o = \omega_o - \omega_i \quad (1.5.1)$$

$$k_o = \frac{d\omega_o}{dV_c} \quad (1.5.2)$$

$$\Delta\omega_o = k_o(V_c - V_{co}) \quad (1.5.3)$$

La derivada de la frecuencia de salida con respecto al voltaje de control es la constante de proporcionalidad que permite establecer el modelo lineal del VCO. En la ecuación 1.5.2 se muestra la relación del VCO con esta constante de proporcionalidad. En la ecuación 1.5.3, V_{co} es conocido como el voltaje de control en condiciones estáticas, el cual tiene el mismo valor que el voltaje de DC de la bomba de carga en condiciones estáticas cuando es utilizado un filtro pasivo y $\Delta\omega_o$ es la diferencia entre las frecuencias de salida y entrada [15].

Finalmente para completar el modelo lineal del VCO, la diferencia de fase se obtiene y su relación con el VCO.

$$\theta_o = \int \omega_o dt \quad (1.5.4)$$

$$\theta_e = \theta_o - \theta_i \quad (1.5.5)$$

En la ecuación 1.5.4 se observa que para establecer de manera correcta la función de transferencia del VCO, se necesita anexar un bloque integrador con k_o ; sin embargo, este bloque solo es para obtener el modelo lineal del PLL y no existe físicamente en el circuito.

Las topologías de VCO más habituales son las de anillo y las de tanque LC resonante [15]. En las siguientes secciones se ahondará en los osciladores resonantes.

1.5.1. Tanque LC resonante

Un resonador LC consiste en un capacitor conectado en paralelo con un inductor, estos dos elementos almacenan energía eléctrica y magnética en la mitad del periodo de oscilación, por lo que el circuito LC (tanque resonante) puede mantener oscilaciones permanentes a una frecuencia bien establecida [16]. El circuito resonador opera a una

frecuencia establecida por los valores del capacitor y el inductor, esto es mostrado en la ecuación 1.5.6.

$$\omega_{osc} = \sqrt{\frac{R_p + R_s}{R_p LC}} \quad (1.5.6)$$

La figura 1.6 muestra la topología general con pérdidas para representar un resonador LC.

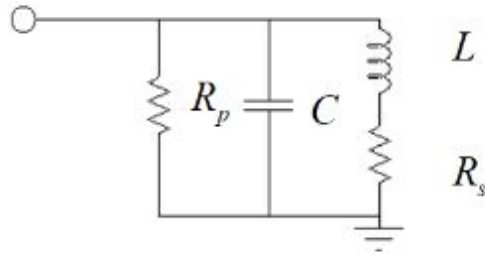


Fig 1.8: Resonador con pérdidas LC

Como puede deducirse de la ecuación 1.5.6 la frecuencia de oscilación puede depender únicamente de los valores de capacitancia e inductancia disminuyendo la resistencia en serie de la inductancia a cero. En la tecnología utilizada en este trabajo (UMC 0.18 μ m) los inductores tienen valores fijos y su resistencia en serie no puede ser cambiada, por esta razón presentan varias desventajas como bajo factor de calidad, baja frecuencia de resonancia, nula sintonización de la inductancia, y además ocupan un área muy grande dentro del circuito integrado [16].

Para poder realizar la sintonización de la frecuencia a través del resonador, es necesario poder variar uno de los elementos del tanque; en un resonador pasivo la única manera de hacerlo es a través del uso de varactores que permitan sintonizar la frecuencia de resonancia; estos varactores se pueden realizar con transistores MOS operando en modo de acumulación e inversión. La variación de estos varactores es muy corta por lo que la frecuencia de sintonización tiene un margen muy reducido [17].

Para poder determinar las características que debe tener un resonador es necesario analizar la función de transferencia de la impedancia del circuito mostrado en la figura 1.8, la cual está dada por la siguiente expresión.

$$Z(s) = \left(\frac{R_s}{LC}\right) \frac{\frac{L}{R_s}s + 1}{s^2 + \left(\frac{1}{R_p C} + \frac{R_s}{L}\right)s + \frac{R_p + R_s}{R_p LC}} \quad (1.5.7)$$

La función de transferencia de 1.5.7 contiene dos polos y un cero, todos en el semiplano izquierdo del plano complejo, los polos del sistema son complejos conjugados y el cero ocurre a una frecuencia más baja que los polos, por lo que muestra una respuesta de tipo pasa-banda; para ilustrar la respuesta del resonador se utiliza una gráfica logarítmica de la frecuencia [16].

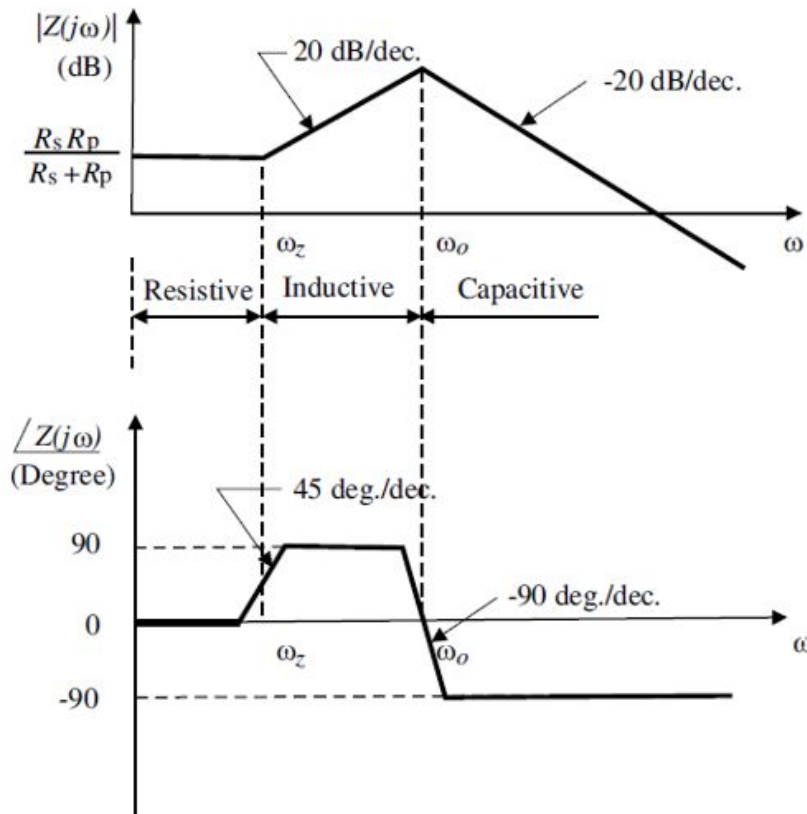


Fig 1.9: Gráfica de Bode de un resonador típico [16]

La gráfica 1.9 muestra que el sistema a baja frecuencia tiene una respuesta resistiva, cuando el sistema encuentra el cero de la función de transferencia durante se obtiene un aumento en la magnitud y fase del sistema, lo cual una respuesta inductiva. Finalmente el sistema alcanza los polos complejos con lo cual disminuye la magnitud y fase de la gráfica de bode, esto representa una respuesta capacitiva. La importancia

de esta gráfica en la estabilidad de los sistemas que emulan una inductancia (sistemas activos) se analizará en el siguiente capítulo.

1.5.2. Factor de calidad

El factor de calidad (Q), se define como la relación de energía magnética almacenada en un inductor con respecto de la pérdida óhmica en un ciclo de oscilación. Teniendo en cuenta la definición anterior, podemos modelar el factor de calidad como la razón de la reactancia y la resistencia en una impedancia compleja [16].

$$Q = \frac{\Im}{\Re} \quad (1.5.8)$$

Tomando la impedancia compleja de la ecuación 1.5.7 encontramos el factor de calidad para el circuito tanque modelado de la figura 1.8.

$$Q = \left(\frac{\omega L}{R_s}\right) \frac{R_p}{R_p + R_s + [1 + (\frac{\omega L}{R_s})^2]} \left[1 - \frac{R_s C}{L} - \omega^2 LC\right] \quad (1.5.9)$$

La ecuación 1.5.9 se puede dividir en tres términos, de todos estos términos el más importante es el que nos muestra la relación entre la reactancia inductiva y la pérdida óhmica debida a la resistencia parásita en serie con el inductor [16]. La ecuación 1.15 muestra el primer y más importante término del factor de calidad.

$$Q_T = \frac{\omega L}{R_s} \quad (1.5.10)$$

El grado de selectividad de un circuito depende del factor de calidad inherente del mismo; las resistencias parásitas internas del sistema degradan el factor de calidad, así al aumentar la resistencia en serie del inductor disminuiría el factor de calidad y por lo tanto la selectividad del sistema.

1.5.3. Inductor activo

Los circuitos tanque no son la única manera de realizar un resonador, la red Girador-C es una topología que permite emular una inductancia a través de dos transconductores conectados espalda con espalda como se muestra en la figura 1.10 [18].

El circuito de la figura 1.10 es conocido como Girador-C con pérdidas, ya que se

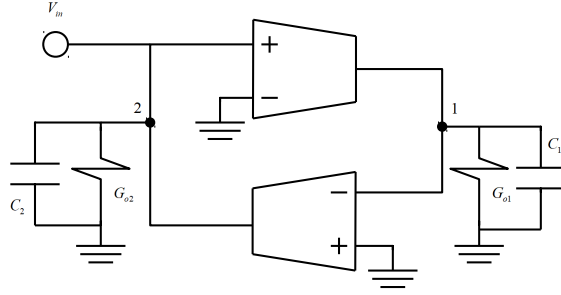


Fig 1.10: Resonador activo

ha considerado la resistencia finita a la salida de los transconductores, además de la capacitancia asociada a los nodos de salida [16]. Este circuito emula al resonador de la figura 1.8. Para hallar las variables que intervienen en el resonador y los valores de inductancia, capacitancia, resistencia en serie y paralelo que están siendo imitados por el circuito activo, encontramos la admitancia en el nodo 2 de la figura 1.10.

$$Y(s) = \frac{I_{in}}{V_{in}} = sC_2 + G_{o2} + \frac{1}{\left(\frac{C_1}{G_{m1}G_{m2}}\right)s + \frac{G_{o1}}{G_{m1}G_{m2}}} \quad (1.5.11)$$

De la ecuación 1.5.11 se puede deducir los valores del resonador.

$$R_s = \frac{G_{o1}}{G_{m1}G_{m2}} \quad (1.5.12)$$

$$R_p = \frac{1}{G_{o2}} \quad (1.5.13)$$

$$L = \frac{C_1}{G_{m1}G_{m2}} \quad (1.5.14)$$

$$C = C_2 \quad (1.5.15)$$

Observando los valores de las ecuaciones anteriores y tomando en cuenta los criterios expuestos en las secciones anteriores, para aumentar la selectividad del circuito es necesario disminuir la resistencia en serie del girador-C R_s , así como aumentar la resistencia en paralelo R_p , para ello se puede aumentar la resistencia de salida de los

transconductores y/o aumentar la transconductancia de los transistores; además si se necesita aumentar la frecuencia de resonancia mostrada en la ecuación 1.5.6, se puede disminuir la capacitancia parásita de los transconductores y/o aumentar la transconductancia. Es evidente la ventaja que tiene un inductor activo con respecto de un circuito resonante pasivo; sin embargo, existe un alto consumo de potencia estática (sobre todo si se quiere aumentar la frecuencia de resonancia) [16]. Al utilizar un sistema que emule una inductancia es posible modificar la frecuencia de resonancia variando la inductancia, la cual puede variar en un rango mayor que la capacitancia con transistores MOSCAP, además de poder disminuir las variables que puedan afectar la selectividad del sistema, tales como la resistencia en serie del inductor.

Un aspecto que se debe cuidar en los sistemas activos es la estabilidad, en capítulos posteriores se verá con mayor profundidad la discusión de este tópico.

1.6. Divisor de frecuencia

Un divisor de frecuencia permite disminuir de manera cuantizada la frecuencia de resonancia del VCO, de esta manera los demás sistemas no se verán afectados por las altas frecuencias que puede generar el VCO.

La mayoría de los circuitos divisores utilizan Flip Flop tipo J K o D, los cuales están compuestos por compuertas de transmisión o diversos circuitos lógicos; por desgracia, la máxima frecuencia de operación de los Flip Flop en modo voltaje no pueden procesar señales de muy alta frecuencia, por lo que la mayoría de las topologías para la división de la frecuencia se vuelven poco prácticas. Por esta razón es necesario buscar topologías que puedan trabajar a una escala más alta de frecuencias, una de ellas es el divisor lógico en modo corriente (Current Mode Logic Divider, CMLD, por sus siglas en inglés) que por su topología diferencial permite alcanzar mayores rangos de frecuencia [19], [2]. La figura 1.11 muestra un CMLD general.

Al utilizar un divisor se debe tener en cuenta que la ganancia de lazo, la cual es responsable de la estabilidad en sistemas de orden superior, se verá atenuada por el valor del divisor y por tanto también la frecuencia de estabilización del sistema, así como los polos y ceros del mismo se verán afectados por este bloque [12].

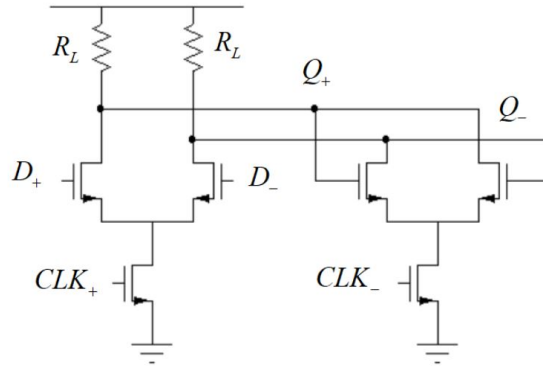


Fig 1.11: Topología general de un divisor de frecuencia en modo corriente

1.7. Ancho de banda del PLL

Teniendo en cuenta las características de todos los elementos que forman un PLL se puede construir, a través de la teoría de control lineal, un sistema para modelar el comportamiento que puede tener el PLL; a pesar de la no linealidad de los circuitos que lo conforman. El diagrama a bloques del sistema completo se muestra en la figura 1.12.

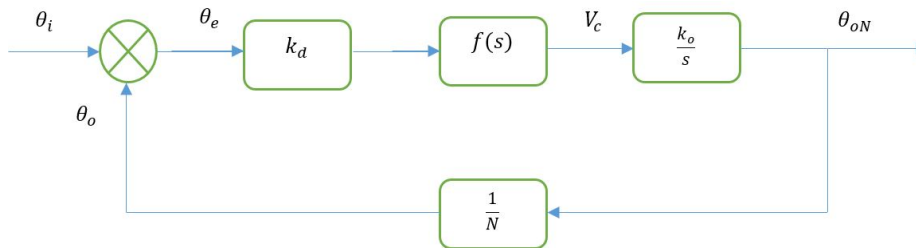


Fig 1.12: Diagrama de bloques con expresiones de frecuencia

Para asegurar la estabilidad del sistema, la ganancia de lazo debe garantizar que a la frecuencia a ganancia unitaria, la fase sea menor de -180° siempre que el sistema no tenga un cambio de fase inicial, lo cual se vuelve prioritario cuando el sistema es de tercer orden o superior [13]. La ecuación 1.7.1 muestra la ganancia de lazo [12].

$$G(s) = \frac{k_d k_o f(s)}{N s} \quad (1.7.1)$$

La función de transferencia en lazo cerrado del PLL se muestra a continuación

[12].

$$H(s) = \frac{Nk_d k_o f(s)}{Ns + k_d k_o f(s)} \quad (1.7.2)$$

Las ecuaciones 1.7.1 y 1.7.2 demuestran la importancia de la caracterización de las constantes de proporcionalidad (PFD, CP y VCO), ya que influyen directamente en la estabilidad del sistema.

1.8. Ruido de fase y Jitter

El principal problema en cualquier sistema que presente oscilaciones sostenidas (como un VCO o un PLL) es el ruido de fase, éste provoca que la señal de salida tenga fluctuaciones en amplitud y en fase, estas fluctuaciones pueden provocar corrupción en la pureza espectral de la señal de salida. La ecuación 1.8.1 muestra la descripción matemática del problema del ruido de fase en el tiempo.

$$v_o(t) = A(t)\cos[\omega_o t + \phi(t)] \quad (1.8.1)$$

El fenómeno en el cual la fase de la señal de oscilación cambia con el tiempo se conoce como "Jitter", por lo que al existir ruido de fase en el sistema implica Jitter en la respuesta transitoria [20]. Las fluctuaciones de la fase y la amplitud en el dominio de la frecuencia se pueden observar como potencia en las bandas laterales, cercanas a la frecuencia central [20]. La figura 1.13 muestra el ruido de fase y el Jitter.

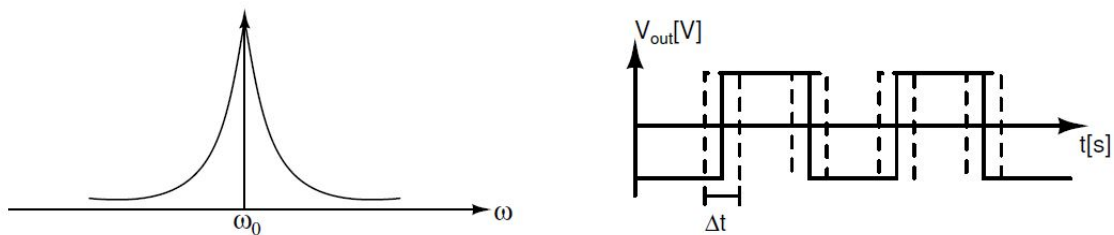


Fig 1.13: Ruido de fase y Jitter

A pesar de existir numerosos modelos matemáticos para describir el ruido de fase en frecuencia, la mayoría converge en que un punto controlable para tomar en cuenta

en los parámetros de diseño es el factor de calidad [21]; por lo tanto al elevar el factor de calidad el ruido de fase y el Jitter disminuirán.

1.9. Estado del arte

Numerosos trabajos acerca de PLLs han sido reportados en la literatura; sin embargo, el VCO, en la mayoría de ellos se clasifican en dos vertientes, los osciladores de anillo y los de tanque resonante LC. Cada uno de ellos tiene diferentes inconvenientes, mientras que los osciladores de anillo tienden a tener un mayor rango de sintonización debido a la variación de la transconductancia para provocar cambios en el ancho de banda, su factor de calidad se ve gravemente mermado por lo que el ruido de fase en osciladores de anillo es por lo regular mucho mayor que los de tanque resonante LC; sin embargo, los osciladores LC requieren la implementación de un inductor, el cual tiene valores específicos en cada tecnología, además del gran área que ocupan la implementación de éstos.

En [22] Yao-Chian Lin, Mei-Ling Yeh, y Chung-Cheng Chang diseñaron un VCO con tanque resonante LC, el cual tiene una frecuencia de resonancia muy alta ($15,57\text{GHz}$) y un consumo de potencia muy bajo (6mW); sin embargo su rango de sintonización es de solo 290MHz . En [1] Kyungmin Lee, Chaerin Hong, He Ying, Dayoung Kim, Seung Hoon Kim, y Sung Min Park reportan un oscilador de anillo con un rango de sintonización de $1-4,5\text{GHz}$, pero con un alto ruido de fase ($-94\text{dB/Hz}@1\text{MHz}$), lo cual se traduce en un bajo factor de calidad. También Woorham Bae y Deog-Kyoon Jeong en [23] realizaron VCO de anillo para un PLL, el cual alcanza una frecuencia de resonancia de 10GHz (la cual es muy alta para una topología de anillo), por desgracia su ruido de fase es de $-70\text{dBc/Hz}@1\text{MHz}$, por lo cual el sistema es muy vulnerable a Jitter después del amarre del PLL. Finalmente, en [24] Liang-Hung Lu, Hsieh-Hung Hsieh y Yu-Te Liao, implementaron un VCO a través de un inductor activo con un rango de sintonización de $0,5$ a 3GHz , un ruido de fase desde -101 a $-118\text{dB/Hz}@1\text{MHz}$; sin embargo la potencia del oscilador mediante un inductor activo varía entre 6mW a 28mW .

Para disminuir el ruido de fase, una de las principales variables involucradas es el factor de calidad; desafortunadamente los osciladores mediante un tanque pasivo LC no cuentan con la flexibilidad para aumentar esta variable. En la literatura se han propuesto diversos métodos para aumentar el factor de calidad de inductores activos

como lo son la implementación de resistencias negativas (sistemas con retroalimentación positiva); sin embargo, un uso inadecuado de estas topologías puede llevar a la inestabilidad de un sistema activo.

En este trabajo tiene como objetivo proponer un oscilador a través de un inductor activo que permita un rango de sintonización amplio, con una frecuencia de operación que sea lo más alta que la tecnología y la topología permita y finalmente con un bajo ruido de fase a través de aumentar el factor de calidad.

Para lograr el objetivo del trabajo se proponen los siguientes objetivos particulares:

- Analizar y seleccionar las mejores topologías de inductores activos que permitan el aumento del factor de calidad
- Con base a las topologías seleccionadas, proponer una topología de inductor activo
- Proponer una metodología para el diseño del inductor activo y seleccionar las variables de diseño involucradas en el desempeño del circuito
- Caracterizar las variables de interés en el inductor activo (inductancia, frecuencia, factor de calidad, resistencia en serie y paralelo)
- Realizar un oscilador controlado por voltaje a través del inductor activo propuesto
- Corroborar que exista un bajo ruido de fase con el aumento del factor de calidad el oscilador controlado por voltaje
- Diseñar un PLL con la aportación del VCO a través del inductor activo

Caracterización de un inductor activo

Hoy en día los elementos flotantes son ampliamente estudiados debido a las ventajas de procesar señales completamente diferenciales, sobre todo si las señales son afectadas por ruido de modo común interno o del ambiente [9]. Algunas ventajas de utilizar elementos flotantes y por tanto configuraciones diferenciales son: el aumento de la tasa de rechazo de modo común (CMRR, PSRR), el aumento del rango de salida de la señal y la operación en alta frecuencia; además en la actualidad es posible implementar de manera diferencial todas las funciones de un sistema en un circuito integrado [9].

A lo largo de este capítulo serán analizadas algunas topologías de inductores activos flotantes, poniendo especial atención en la estabilidad del sistema, el rango de sintonización de la frecuencia y el factor de calidad.

2.1. Topología general de un Girador-C como inductor flotante activo

Cuando alguna de las terminales de un sistema o dispositivo no está conectada a un potencial de referencia, se dice que es un sistema o dispositivo flotante; su construcción y análisis son similares a los sistemas con una sola salida; así un resonador flotante se puede construir como en la figura 2.1.

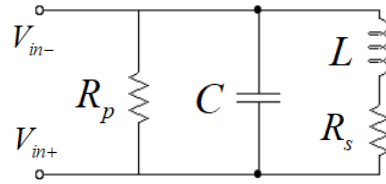


Fig 2.1: Resonador flotante

Para la topología Girador-C analizada en el capítulo 1, la configuración diferencial se obtiene cuando son reemplazados los transconductores de una sola salida por diferenciales [25]. La idea general de un Girador-C como inductor activo se representa en la figura 2.2.

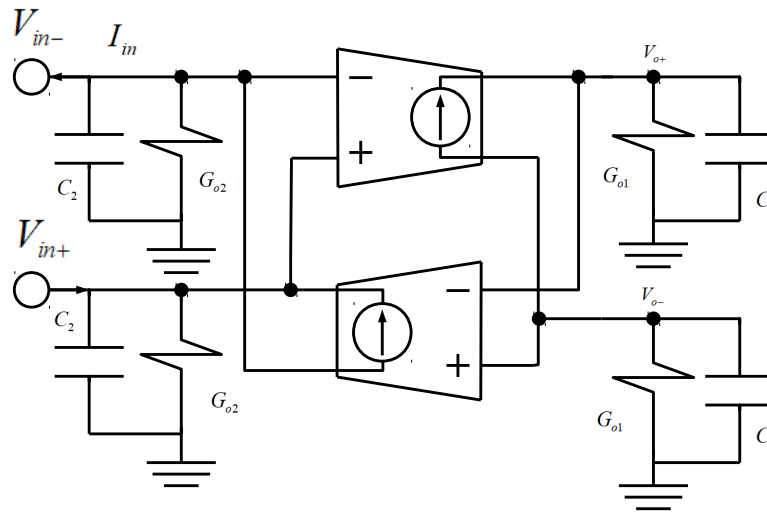


Fig 2.2: Topología general de un inductor activo flotante

Un inductor activo flotante con resistencias de salida finitas y capacitancias parásitas puede ser modelado como un circuito resonador tanque entre los nodos V_{in-} y V_{in+} . Al igual que el inductor activo presentado en el capítulo anterior, las ecuaciones que describen los componentes del circuito tanque, en el inductor activo flotante, se presentan a continuación [24].

$$R_s = \frac{G_{o1}}{2G_{m1}G_{m2}} \quad (2.1.1)$$

$$R_p = \frac{2}{G_{o2}} \quad (2.1.2)$$

$$L = \frac{C_1}{2G_{m1}G_{m2}} \quad (2.1.3)$$

$$C = \frac{C_2}{2} \quad (2.1.4)$$

Debido a la implementación diferencial del resonador, la capacitancia, la inductancia y la resistencia en serie han decrecido, pero la resistencia en paralelo ha aumentado, por lo que la frecuencia de operación (ecuación 1.5.6) aumenta sobre la configuración de terminación simple, así como el factor de calidad (ecuación 1.5.10); mejorando en gran medida el comportamiento del circuito activo resonante [16].

2.1.1. Topologías de inductores flotantes activos basados en Girador-C

Actualmente existen diversas formas de implementar inductores activos basados en transconductores conectados espalda con espalda (estructura de Girador-C); sin embargo, en el presente trabajo sólo se considerará aquellas que han tenido alguna aportación en el desarrollo de la tesis.

La topología de Grözing [26], presentada en la figura 2.3 se caracteriza por la implementación de un resistor negativo a través de dos transistores cruzados (el cual es un circuito activo con retroalimentación positiva); la resistencia negativa contribuye a reducir la resistencia en serie del inductor y por tanto a elevar el factor de calidad del circuito. Sin embargo, esa topología no tiene ningún circuito que controle las señales de modo común, además de necesitar que la relación de tamaños (W/L) sean muy pequeñas en los transistores tipo P para mantenerlos en la región de saturación.

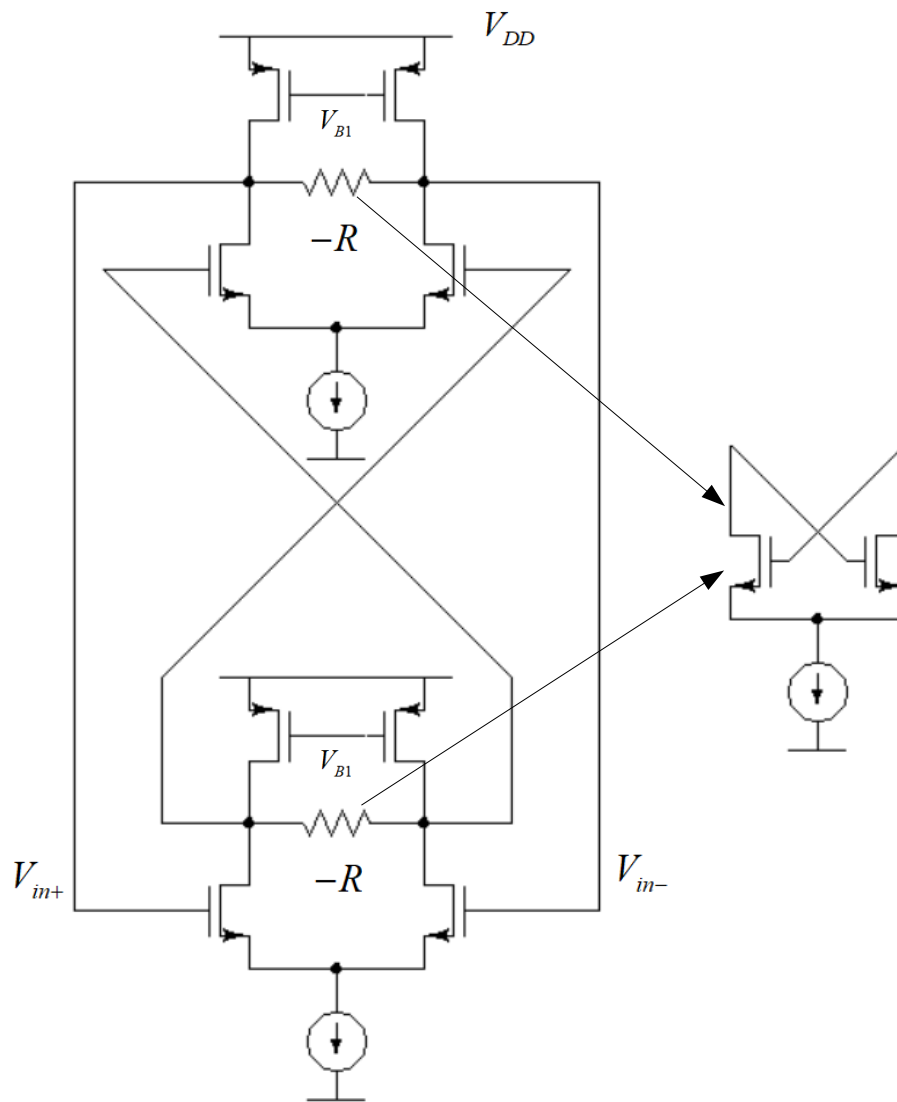


Fig 2.3: Inductor activo flotante Grözing [26]

La topología Grözing puede ser mejorada agregando un transistor en la región de triodo entre las terminales de los transistores cruzados, de esta manera el valor del resistor negativo puede ser ajustado para compensar la pérdida óhmica sin causar la inestabilidad del sistema; esta topología se conoce como inductor flotante activo Mahmoudi-Salama [27]. Es importante mencionar que el transistor polarizado en la región de triodo se comporta como una resistencia sumamente lineal debido a que, en condiciones estáticas, el circuito mantiene el mismo voltaje entre los nodos donde está conectado este transistor. Por desgracia esta topología tiene los mismos problemas que la topología Grözing con respecto a las señales de modo común y las relaciones de tamaños (W/L) pequeñas de los transistores tipo P, necesarios para garantizar el funcionamiento en pequeña señal del resonador.

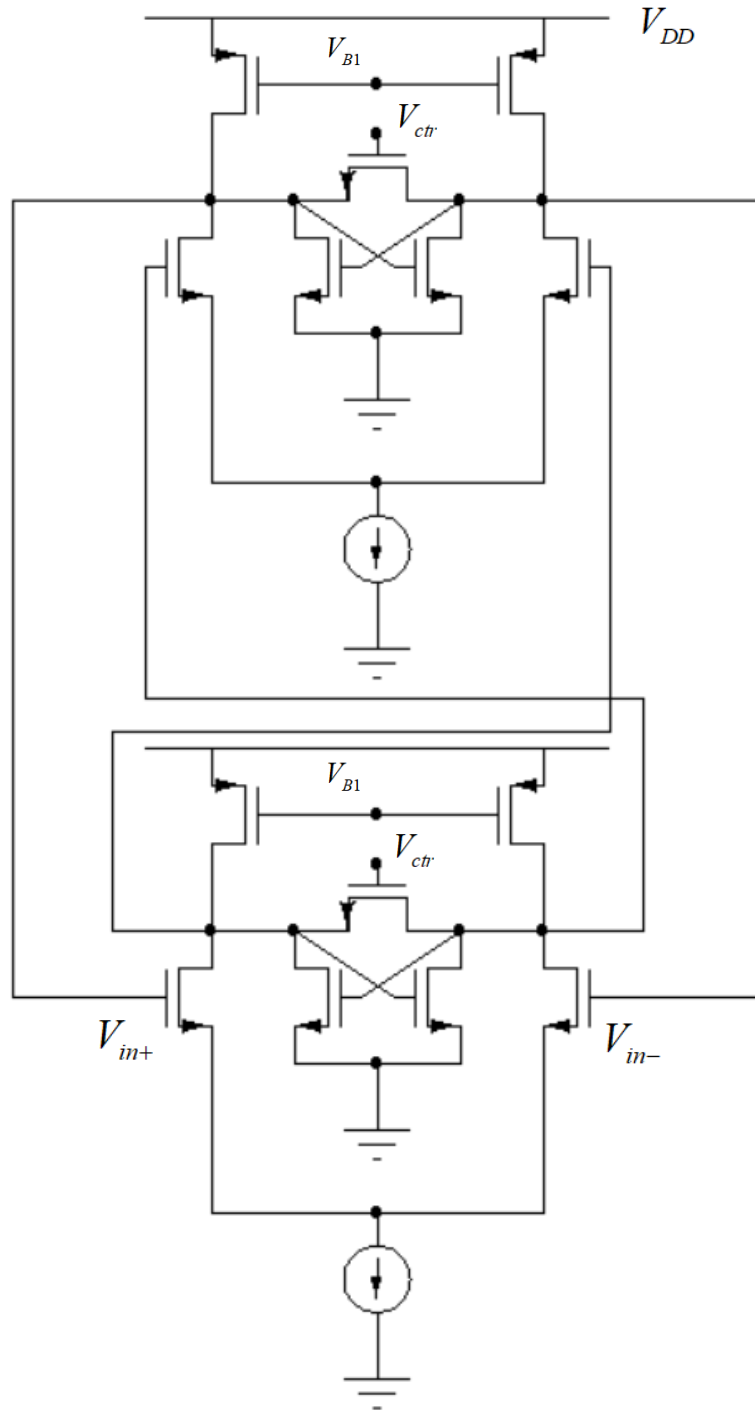


Fig 2.4: Inductor activo flotante Mahmoudi-Salama [27]

Finalmente la topología Abdalla de la figura 2.5 [28], contiene una etapa de control de señales de modo común, a través de las dos resistencias conectadas a las compuertas de los transistores tipo P, más aún, la resistencia de salida de los transconductores no se ve gravemente mermada debido a que las compuertas de los transistores tipo P se comportan como tierra para pequeña señal, y si se coloca una resistencia comparable a la resistencia de salida del transconductor, la resistencia en la salida solo se verá atenuada a la mitad del valor original. La resistencia de retroalimentación (R_f) permite elevar el factor de calidad del resonador equivalente en respuesta a la reducción de la resistencia en serie del inductor y al aumento de la inductancia. En esta topología, a pesar de contrarrestarse muchos de los defectos de las mostradas anteriormente, el aumento de la inductancia también provoca una disminución de la frecuencia de operación, además presenta la necesidad de implementar resistencias de valores exactos.

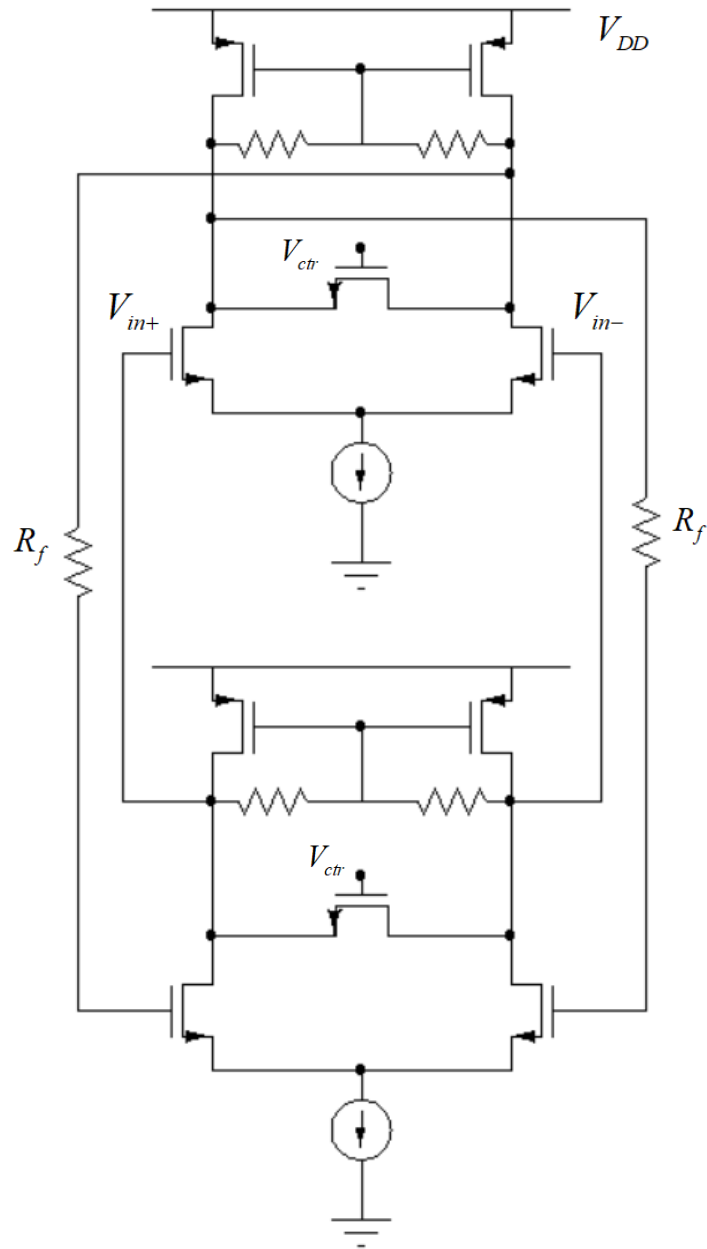


Fig 2.5: Inductor flotante activo Abdalla con Resistencia de retroalimentación [28]

rechazar las señales de modo común y un par de transistores cruzados para reducir la pérdida óhmica; además los transistores M_7 y M_8 inyectan la corriente de señal hacia los nodos de entrada con bajas pérdidas [29]. La sintonización de la frecuencia en [29] se realiza mediante varactores MOSCAP; como ya ha sido comentado en el capítulo 1, los varactores MOSCAP tienen un pobre rango de variación; además, al agregar los varactores la frecuencia de operación del resonador se verá reducida por la capacitancia agregada al circuito. Finalmente una característica a tener en cuenta es el rango en el cual el circuito activo se comporta como inductor; por lo que la topología de la figura 2.6 no debe someterse a voltajes de entrada muy bajos, ya que puede llevar a los transistores del par diferencial a la región de corte dejando de comportarse como un inductor activo.

2.2. Propuesta de un inductor flotante activo de segundo orden

Los objetivos principales en este trabajo al diseñar el oscilador son: que permita a la topología alcanzar la máxima frecuencia de resonancia al realizarla en la tecnología CMOS de $0.18 \mu\text{m}$, tener un factor de calidad elevado, preferentemente mayor a 5 (lo que se traduce en bajo ruido de fase), y alcanzar un amplio rango de sintonización de frecuencia (mayor al treinta por ciento de la frecuencia de operación en condiciones estáticas [30]). Para lograr estos objetivos se modifica la topología de la [29]. El inductor activo flotante de segundo orden se muestra en la figura 2.7.

El circuito mostrado en la figura 2.7 tiene tres diferencias con respecto al utilizado en 2.6, las cuales son explicadas a continuación.

- La sintonización de frecuencia en la topología 2.6, se realiza a través de varactores MOSCAP; mientras que en el presente trabajo se utiliza una fuente de corriente variable, implementada mediante un transistor de control, para aumentar la transconductancia y disminuir el valor efectivo de la inductancia. Para evitar que el aumento de la corriente eleve el valor del resistor negativo implementado por los transistores cruzados M_3 , M_4 y disminuya el valor efectivo de la inductancia; se conecta una fuente de corriente constante I_{B2} a la fuente de los transistores cruzados. De esta manera el resistor negativo se mantiene sin cambios aún cuando existan variaciones en la corriente de cola del par diferencial dada por M_{16} .

- El resistor negativo en la topología de la figura 2.6 utiliza únicamente dos transistores cruzados con retroalimentación positiva, mientras que en la topología propuesta las terminales del resistor negativo flotante son conectadas a un transistor (M_{15}) polarizado en la región de triodo, lo que permite ajustar la estabilidad del sistema con un voltaje de DC.

- La capacitancia parásita Miller es el principal problema para la estabilidad del inductor; los capacitores entre los nodos V_{in+} , V_{o+} y V_{in-} , V_{o-} deben ser de mayor valor que la capacitancia parásita Miller del par diferencial; en la figura 2.6 este problema no existe, debido a que los transistores de la segunda etapa M_7 y M_8 son tipo P, por lo que tienen dimensiones mayores que los del par diferencial tipo N M_1 y M_2 y por tanto una mayor capacitancia. Sin embargo, cuando se usa una topología con par diferencial tipo P o una topología complementaria (con doble par diferencial tipo N y P), podría haber graves problemas de estabilidad como se demostrará en la sección 2.3. Por esta razón la figura 2.7 contiene dos capacitores no parásitos (C_c) que aseguran la estabilidad del sistema.

2.2.1. Criterios de estabilidad del inductor activo flotante de segundo orden propuesto

Los criterios de estabilidad del inductor activo son obtenidos de la función de transferencia que representa a la impedancia equivalente del circuito tanque [16].

Para obtener un modelo de mayor confiabilidad el análisis de pequeña señal ha sido realizado tomando en cuenta la mayoría de las capacitancias parásitas y resistencias finitas en los transistores; ya que el sistema pretende operar a frecuencias cercanas a los $4GHz$ y un modelo aproximado podría llevar a una pobre detección de problemas de estabilidad. La impedancia equivalente para el circuito de la figura 2.7 resulta en la ecuación 2.2.1.

$$Z(s) = \frac{\alpha + \frac{1}{R} - gm_2}{\beta(\alpha + \frac{1}{R} - gm_2) + (2GM + s[C_p - C_c])(gm_1 + s[C_p - C_c])} \quad (2.2.1)$$

Donde:

$$\alpha = g_{o1} + gm_x + \frac{1}{R} + s(C_c + C_p + C_L)$$

$$\beta = g_{o2} + s(C_c + C_p + C_{L2})$$

En la función de transferencia de la ecuación 2.2.1 gm_x es la transconductancia de salida del transistor conectado como diodo (M_3, M_4), g_{o1} y g_{o2} representan las conductancias de salida que pertenecen a la primera y segunda etapa respectivamente ($M_1, M_2, M_3, M_4, M_7, M_8, M_{12}, M_{13}$), gm_1 es la transconductancia de par diferencial, mientras que gm_2 es la transconductancia de los transistores cruzados M_3 y M_4 , GM es la transconductancia de la segunda etapa, C_p es la capacitancia parásita Miller de par diferencial (M_1, M_2), C_c es la capacitancia Miller de la segunda etapa del inductor activo (M_7 y M_8), R es la resistencia de ajuste que permite estabilizar el sistema, así como aumentar el factor de calidad, y finalmente C_L, C_{L2} son las capacitancias parásitas en las salidas de cada una de las etapas del Girador.

Los criterios de estabilidad del inductor pueden ser observados con mayor facilidad si el denominador de la función de transferencia en 2.2.1 se cambia por la generalización de los sistemas de segundo orden [31].

$$as^2 + bs + c = 0 \quad (2.2.2)$$

La única condición de estabilidad en un sistema de segundo orden es que todos los coeficientes, de la ecuación 2.6, sean positivos [31]; por lo tanto, los únicos parámetros que pueden cambiar los signos de los coeficientes son la resistencia negativa (gm_2) y la

capacitancia parásita Miller del par diferencial (C_p); además, los parámetros con los que se cuenta para controlar la estabilidad del sistema son el transistor en la región de triodo ($\frac{1}{R}$) que compensa el efecto de la resistencia negativa, y una capacitancia Miller externa (C_c), conectada en la segunda etapa de los transistores M_7 y M_8 para compensar la capacitancia parásita Miller del par diferencial.

2.2.2. Inestabilidad por presencia de un polo negativo

La inestabilidad por la presencia de un polo negativo ocurre cuando el segundo coeficiente del denominador en la ecuación 2.2.2 es negativo y es causada por el capacitor del par diferencial. La ecuación 2.2.3 muestra el segundo coeficiente del denominador de la función de transferencia.

$$b = (C_p - C_c)(gm_1 - 2GM) + (C_c + C_p + C_{L2})[(gm_x + g_{o1} - gm_2) + \frac{1}{R}] + g_{o2}(C_c + C_p + C_{L2}) \quad (2.2.3)$$

El término GM debe ser mucho más grande que la transconductancia gm_1 de la primera etapa, esto es necesario para mantener todos los transistores en la región de saturación; por lo tanto si la capacitancia parásita Miller C_p es más grande que C_c , el sistema será inestable. La inestabilidad por polo es mostrada en la figura 2.8. Para realizar las simulaciones de inestabilidad del inductor activo se utilizaron los programas HSpice[®] y Matlab[®].

La gráfica de impedancia de la figura 2.8 se obtiene al colocar una fuente AC de voltaje con valor 1 entre las terminales flotantes del inductor activo y se procede a hacer un análisis en frecuencia, después se encuentra la corriente que genera el inductor activo, para esto se toma la corriente de la fuente y se invierte el signo. Finalmente para hallar la impedancia se toma la relación entre el voltaje y la corriente generada del inductor.

En la figura 2.8 se observa que el sistema tiene un polo complejo conjugado en el semiplano derecho del plano complejo, el cual decrece en magnitud en la frecuencia de corte del polo, mientras que en fase aumenta.

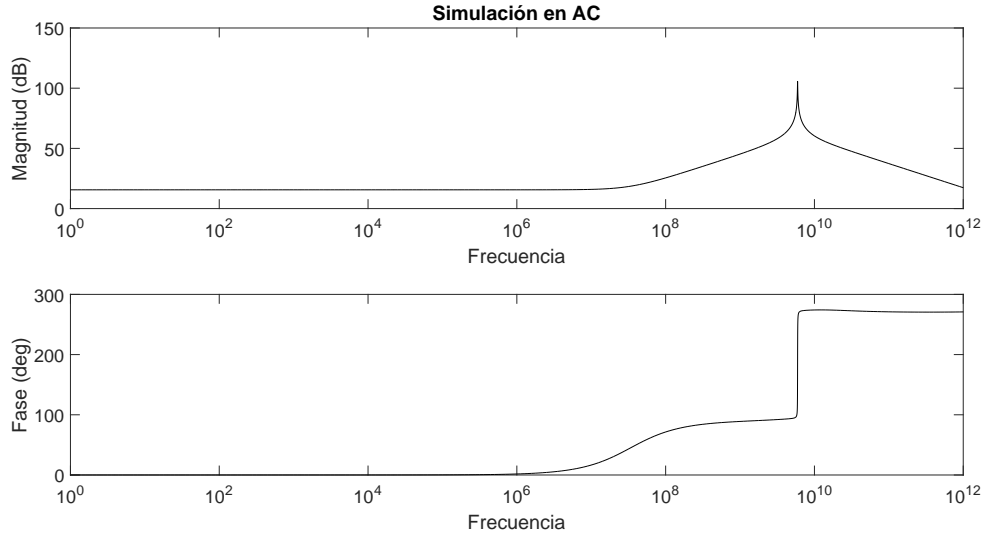


Fig 2.8: Inestabilidad por la presencia de un polo negativo en un sistema de segundo orden

2.2.3. Inestabilidad por presencia de un cero negativo

La inestabilidad por la presencia de un cero negativo ocurre cuando la transconductancia de los transistores cruzados es mayor que la conductancia equivalente en el numerador de la ecuación 2.2.1; esta conductancia está constituida por la transconductancia del transistor conectado como diodo, la resistencia de ajuste y la inversa de la resistencia de salida de los transistores de la primera etapa. La función de transferencia generalizada del numerador es mostrada en la ecuación 2.2.4.

$$qs - p = -p\left(-\frac{q}{p}s + 1\right) \quad (2.2.4)$$

La gráfica de impedancia con inestabilidad en presencia de un cero negativo es mostrada en la figura 2.9.

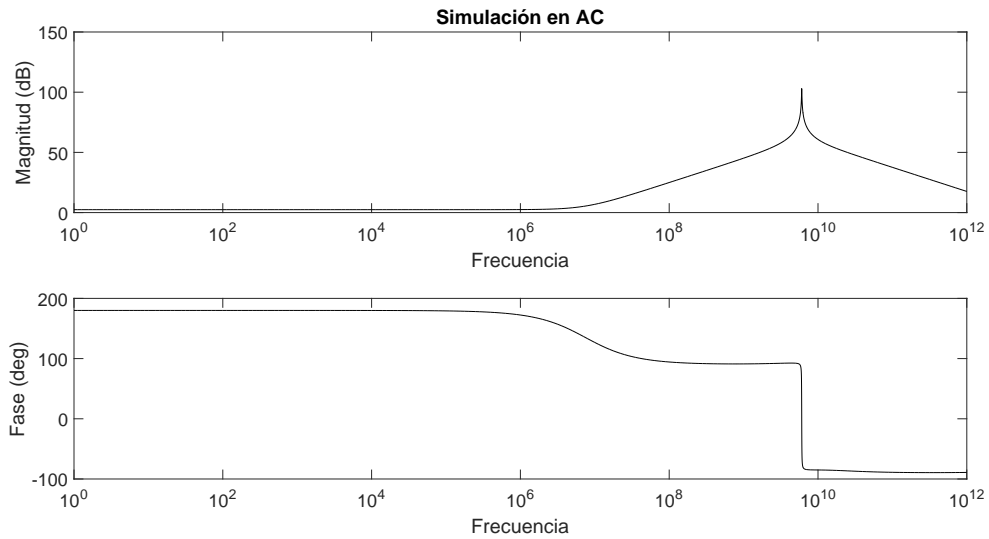


Fig 2.9: Inestabilidad por cero en un sistema de segundo orden

2.2.4. Inestabilidad por presencia de un polo y un cero negativos

Otro caso es dado cuando existen ambos tipos de inestabilidad en un sistema de segundo orden. La inestabilidad por presencia de un polo y cero negativos se muestra en la figura 2.10.

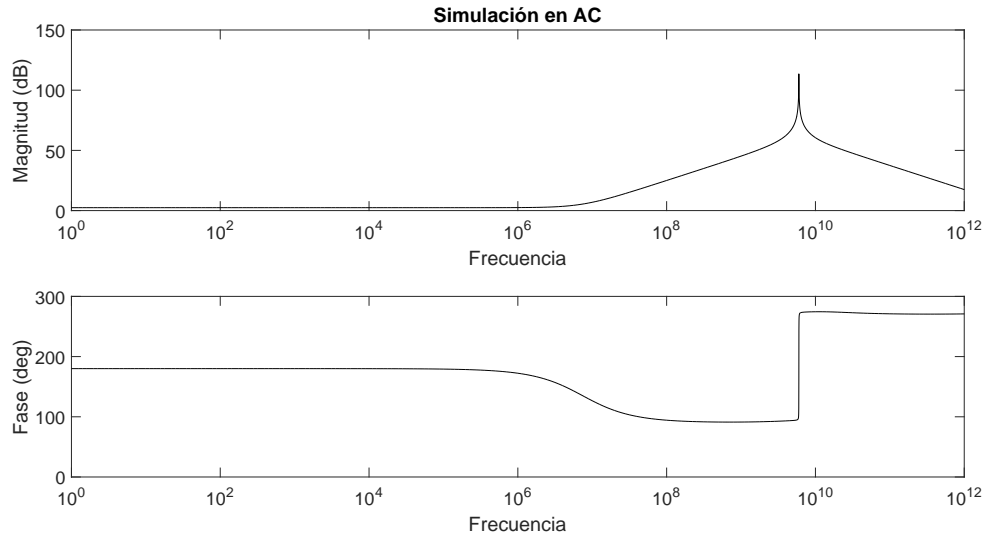


Fig 2.10: Inestabilidad por presencia de un polo y cero negativos en un sistema de segundo orden

2.2.5. Control del factor de calidad en el inductor activo propuesto

La elección adecuada del polo complejo conjugado, ayuda al sistema a elevar su factor de calidad. La selectividad del inductor activo aumenta cuando el sistema se va acercando a la inestabilidad, por lo tanto la respuesta óptima se da entre el límite de la estabilidad y la inestabilidad. Por otro lado, la elección correcta del cero permite que la gráfica de fase se comporte como un circuito resonante típico; esto es, que la gráfica de fase haya alcanzado los 90° antes de decaer -180° por el polo complejo.

La gráfica 2.11 muestra dos gráficas, una con la elección correcta de polo y cero y otra con una elección poco conveniente de polo y cero.

La importancia de la elección adecuada de los parámetros resulta evidente en la figura 2.11; en la gráfica azul se observa que la pendiente de la fase del polo complejo tiende a $-\infty$ y la magnitud de la impedancia se eleva a más de $100dB$, la otra gráfica, la de color rojo muestra una respuesta con alto valor resistivo a baja frecuencia y una selectividad muy pobre a la frecuencia de interés, además de un cambio de fase muy lento.

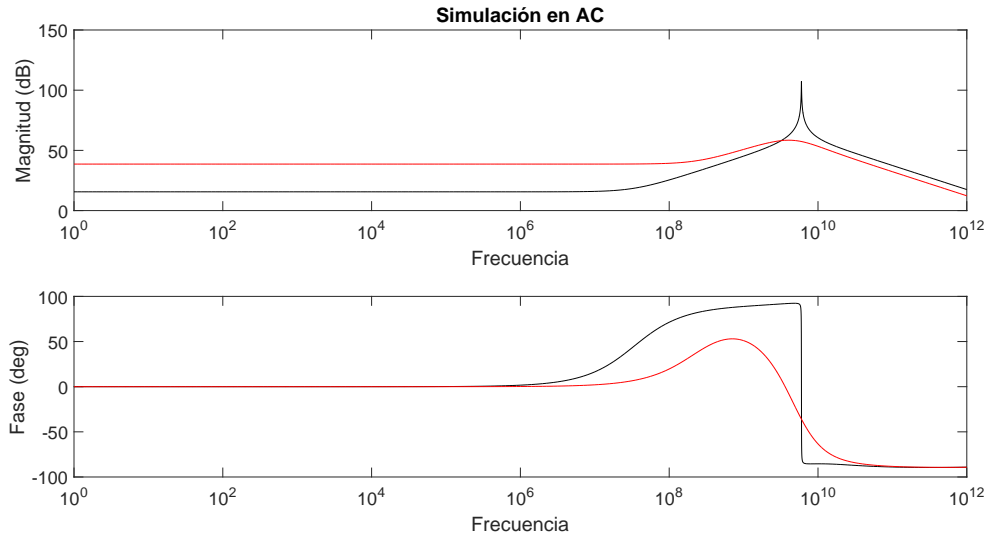


Fig 2.11: Diferentes elecciones de polo y cero

2.3. Propuesta de un inductor activo de tercer orden robusto a variaciones de proceso cruzadas

El problema que tiene el inductor activo de segundo orden previamente analizado es el corto rango en el cual el sistema se comporta como una inductancia flotante; ya que el modelo analizado anteriormente es válido si los transistores se comportan como una fuente de corriente controlada (transistores en saturación). La solución propuesta en esta sección es ampliar el rango de entrada del inductor activo agregando una etapa complementaria tipo P en el par diferencial; así la región del comportamiento inductivo se incrementa y por lo tanto, el rango de sintonización de frecuencia aumenta al poder variar la corriente de cola de los pares diferenciales complementarios.

Al agregar la etapa complementaria a la figura 2.7, el inductor activo se transforma en un sistema de tercer orden; el esquemático de este sistema se muestra en la figura 2.12.

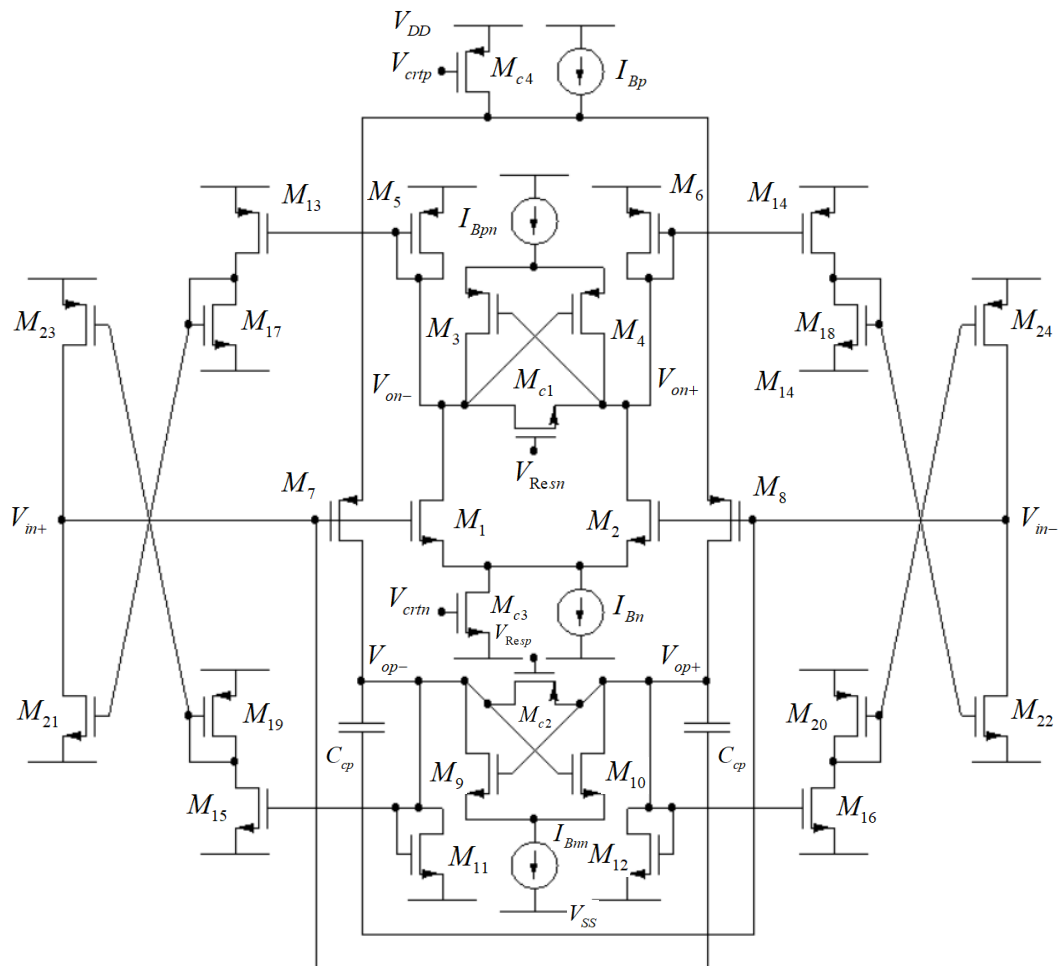


Fig 2.12: Diagrama esquemático del inductor activo de tercer orden

El diagrama esquemático de la figura 2.12 contiene todos los elementos de la anterior topología como son los cambios en la inductancia a través de las variaciones de una fuente de corriente, la resistencia negativa emulada mediante transistores cruzados, un resistor lineal implementado con un transistor en la región de triodo y una capacitancia Miller, pero a diferencia de la anterior topología, esta capacitancia es crucial para la estabilidad del sistema, y como fue mencionado anteriormente esta capacitancia debe ser mayor que la capacitancia parásita Miller del par diferencial tipo P. El sistema propuesto en la figura 2.12, tiene tres polos y dos ceros en el análisis de pequeña señal. La función de transferencia de la impedancia se muestra en la ecuación 2.3.1.

$$\begin{aligned}
Z(s) = & (\alpha_p + \frac{1}{R_p} - gm_{2p})(\alpha_n + \frac{1}{R_n} - gm_{2n}) / (\beta(\alpha_p + \frac{1}{R_p} - gm_{2p})(\alpha_n + \frac{1}{R_n} - gm_{2n}) \\
& + (2GM_n + s[C_{pn} - C_{cn}])(gm_{1n} - s[C_{pn} - C_{cn}])(\alpha_p + \frac{1}{R_p} - gm_{2p}) \\
& + (2GM_p + s[C_{pp} - C_{cp}])(gm_{1p} - s[C_{pp} - C_{cp}])(\alpha_n + \frac{1}{R_n} - gm_{2n}))
\end{aligned} \tag{2.3.1}$$

Donde:

$$\begin{aligned}
\beta &= g_{o2} + s(C_L + C_{cn} + C_{pn} + C_{pp} + C_{cp}) \\
\alpha_n &= g_{o1n} + gm_x + \frac{1}{R_n} + s(C_{Ln} + C_{cn} + C_{pn}) \\
\alpha_p &= g_{o1p} + gm_y + \frac{1}{R_p} + s(C_{Lp} + C_{pp} + C_{cp})
\end{aligned}$$

Los parámetros α_n , α_p , β son las admitancias equivalentes de cada una de las tres etapas que conforman el inductor activo, los parámetros gm_{1n} , gm_{1p} , gm_{2n} , gm_{2p} son las transconductancias de par diferencial complementario y de los transistores cruzados de cada par diferencial respectivamente, GM_n , GM_p son las transconductancias de la segunda etapa, gm_x , gm_y son las transconductancias de las cargas conectadas como diodos de las etapas del par diferencial complementario, g_{o1n} , g_{o1p} , g_{o2} son las conductancias de salida debidas al efecto de modulación de canal de los transisto-

res, C_L , C_{Ln} , C_{Lp} son las capacitancias de carga de cada etapa y por último los capacitores C_{pn} , C_{cn} , C_{pp} , C_{cp} son las capacitancias Miller, entre ellas sólo C_{cp} no es parásita.

2.3.1. Criterios de estabilidad dentro de un sistema de tercer orden

Para poder establecer las condiciones de estabilidad del sistema propuesto, primero se debe comprobar que el inductor activo tiene tres polos y dos ceros como lo describe su función de transferencia. La gráfica de bode es mostrada en la figura 2.13.

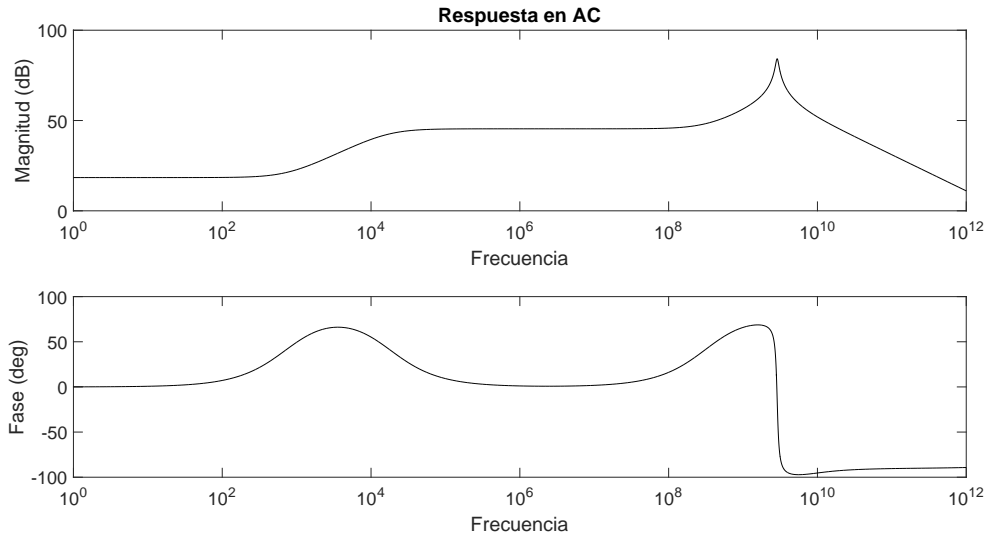


Fig 2.13: Gráfica de bode con tres polos y dos ceros

Para poder observar el efecto de los tres polos y dos ceros del sistema de tercer orden, el capacitor Miller de la segunda etapa (C_{cp}) ha sido aumentado bastante, de esta manera es posible observar la respuesta de un polo y un cero a bajas frecuencias y después el comportamiento obedece al sistema de segundo orden de un circuito activo resonante.

Para analizar de una manera más sencilla el sistema de tercer orden de la figura 2.12, se utiliza la generalización de un sistema de tercer orden con tres polos y dos ceros mostrada en la ecuación 2.3.2.

$$H(s) = \frac{(qs + p)(ms + n)}{as^3 + bs^2 + cs + d} \tag{2.3.2}$$

Al igual que el sistema de segundo orden, el sistema de tercer orden es inestable por la presencia de polos o ceros negativos si algún coeficiente de la ecuación generalizada de tercer orden es negativo, más aún, una condición para asegurar la estabilidad del sistema de tercer orden se toma del criterio de estabilidad de Routh [31], el cuál dice que una condición, necesaria y suficiente, es que todos los coeficientes sean positivos y que la siguiente relación sea satisfecha.

$$ad < bc \quad (2.3.3)$$

Cuando la relación de 2.3.3 no se cumple, el denominador de tercer orden tiene un polo complejo conjugado en el semiplano derecho y un polo real en el semiplano izquierdo, esta inestabilidad se muestra en la figura 2.14.

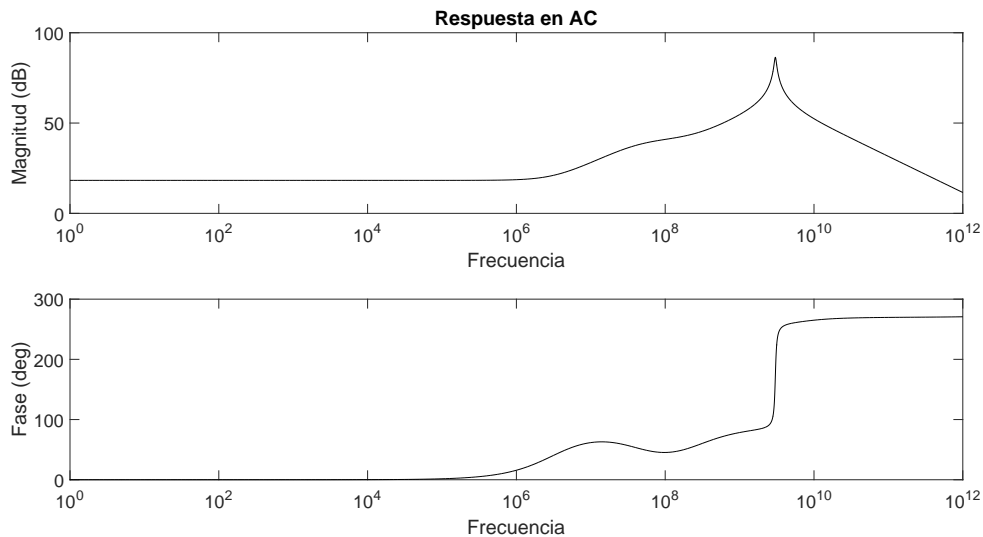


Fig 2.14: Inestabilidad de polo por el criterio de estabilidad de Routh

En el caso de que exista algún coeficiente negativo en el denominador, el sistema tendrá tres polos y un cero en el semiplano derecho; por lo tanto, al asegurar la estabilidad en el denominador también se confirma la estabilidad del numerador. La figura 2.15 muestra la respuesta del sistema de tercer orden con un coeficiente del denominador negativo.

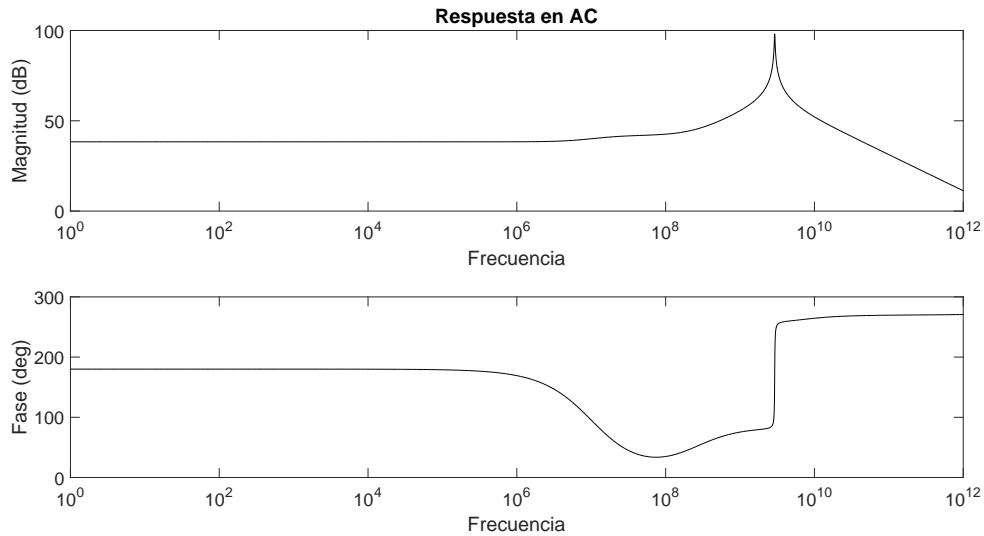


Fig 2.15: Respuesta del sistema de tercer orden con un coeficiente negativo

El conocimiento del comportamiento de la figura 2.12 permite la elección correcta de los parámetros que pueden ser controlados en el circuito para evitar la inestabilidad del sistema y alcanzar el máximo rendimiento del mismo.

2.3.2. Consideraciones para el diseño de un inductor activo de tercer orden

Para el inductor de tercer orden propuesto es necesario hacer algunas consideraciones importantes antes de diseñar el circuito activo. A continuación se muestran las condiciones a tomar en cuenta en el proceso de diseño:

- Para poder alcanzar una mayor frecuencia de resonancia dentro de un circuito activo es necesario tener las menores capacitancias parásitas; por lo que se utilizarán las dimensiones mínimas en los largos de los transistores y el escalamiento de éstos se hará únicamente con sus anchos [32].

- Los anchos de los transistores cruzados que funcionan como un resistor negativo deben ser mayores que los de la carga conectados como diodo, ya que la resistencia del transistor en triodo se ajustará al valor necesario para un comportamiento estable y si se requiere aumentar el factor de calidad, manteniendo el sistema al borde de la estabilidad, es necesario que el resistor negativo sea mayor que los transistores de carga conectados como diodo.

- En el punto de operación en DC todos los transistores deberán estar en la región de saturación donde la ecuación 2.3.1 antes mostrada es válida. Se debe tener en consideración que los cambios de la inductancia son provocados por variaciones en el voltaje de compuerta en los transistores M_{c3} y M_{c4} , lo cual cambia las condiciones de voltaje en DC, lo que puede provocar que algunos transistores se salgan de operación.

Los parámetros básicos de la tecnología CMOS de $0.18\mu\text{m}$ utilizados en el proceso de diseño se presentan en la tabla 2.1.

Tabla 2.1: Parámetros de la tecnología de $0.18\mu\text{m}$

Parámetro	NMOS	PMOS	Unidad
k_m	225	57	$\frac{\mu\text{A}}{\text{V}^2}$
V_{th}	0.4	0.45	V
λ	0.08	0.13	V^{-1}

Finalmente, se propone un modelo eléctrico equivalente para emular al resonador de tercer orden y así poder encontrar los coeficientes del sistema, con los valores de inductancia, capacitancia, resistencia parásita en serie y resistencia en paralelo, para lo cual se utilizó el simulador simbólico Maple[®] y así proponer una metodología de diseño.

2.3.3. Modelo para caracterizar un sistema de tercer orden

Para caracterizar un sistema de tercer orden, y hallar los diferentes valores que rigen un circuito resonante, es necesario establecer un modelo que reporte con un alto grado de confianza los valores que intervienen en el circuito resonante activo que se está proponiendo. Teniendo en cuenta la ecuación 2.3.2 se puede generalizar que, al observar las admitancias del sistema, es posible encontrar la descripción del circuito resonante en base a su capacitancia, inductancia, resistencia en serie y resistencia en paralelo equivalentes. La generalización de la ecuación 2.3.2 se muestra en la ecuación 2.3.4.

$$Y(s) = \frac{I_{in}}{V_{in}} = sC_{eq} + G_{eq} + \frac{1}{sL_{eq} + R_{eq}} \quad (2.3.4)$$

Donde G_{eq} es la conductancia referente a la resistencia en paralelo, R_{eq} es la resistencia en serie con el inductor y L_{eq} y C_{eq} son la inductancia y capacitancia equivalentes, respectivamente.

Para hallar la representación de estos valores en el sistema de tercer orden, la ecuación 2.3.1 se cambia por su admitancia equivalente; de esta manera la manipulación de los valores se vuelve más sencilla.

$$\begin{aligned}
Y(s) &= g_{o2} + s(C_L + C_{cn} + C_{pn} + C_{pp} + C_{cp}) \\
&+ \frac{(2GM_n + s[C_{pn} - C_{cn}])(gm_{1n} - s[C_{pn} - C_{cn}])}{(g_{o1n} + gm_x + \frac{2}{R_n} + s(C_{Ln} + C_{cn} + C_{pn}) - gm_{2n})} \\
&+ \frac{(2GM_p + s[C_{pp} - C_{cp}])(gm_{1p} - s[C_{pp} - C_{cp}])}{(g_{o1p} + gm_y + \frac{2}{R_p} + s(C_{Lp} + C_{pp} + C_{cp}) - gm_{2p})}
\end{aligned} \tag{2.3.5}$$

En la ecuación 2.3.5 se ha sustituido las variables β , α_n , α_p de 2.3.1 por sus respectivos valores; para proceder a describir el sistema activo como un circuito resonante LC. Se observa que la segunda y tercera parte de la ecuación 2.3.5 se ha convertido en un sistema de segundo orden, lo cual permite utilizar la ecuación 2.3.4 para hallar los parámetros equivalentes del circuito. La generalización propuesta para un sistema de segundo orden se muestra en la siguiente ecuación.

$$Y(s) = \frac{as^2 + bs + c}{qs + p} \tag{2.3.6}$$

Utilizando la ecuación 2.3.4 con 2.3.6 se encuentran los valores para G_{eq} , R_{eq} , L_{eq} y C_{eq} en función de los coeficientes de la admitancia.

$$\begin{aligned}
\frac{as^2 + bs + c}{qs + p} &= sC_{eq} + G_{eq} + \frac{1}{sL_{eq} + R_{eq}} \\
\frac{as^2 + bs + c}{qs + p} &= \frac{L_{eq}C_{eq}s^2 + (C_{eq}R_{eq} + L_{eq}G_{eq})s + G_{eq}R_{eq} + 1}{sL_{eq} + R_{eq}}
\end{aligned} \tag{2.3.7}$$

Los parámetros equivalentes son encontrados igualando los coeficientes de los términos semejantes en la ecuación 2.3.7.

El proceso para hallar la capacitancia equivalente se muestra a continuación.

$$\frac{as^2}{qs + p} = \frac{L_{eq}C_{eq}s^2}{sL_{eq} + R_{eq}}$$

$$(sL_{eq} + R_{eq})a = (qs + p)L_{eq}C_{eq}$$

$$s(L_{eq}a) = s(qL_{eq}C_{eq})$$

$$aR_{eq} = L_{eq}C_{eq}p$$

$$C_{eq} = \frac{a}{q} \quad (2.3.8)$$

La inductancia equivalente puede ser encontrada en función de la resistencia en serie equivalente.

$$L_{eq} = \frac{qR_{eq}}{p} \quad (2.3.9)$$

El proceso para determinar las resistencias en serie y paralelo del circuito tanque consiste en el mismo principio con el que fueron halladas la capacitancia e inductancia; utilizando la ecuación 2.3.7 e igualando los coeficientes de los términos en s y s^0 se obtiene las expresiones de resistencia en serie y conductancia en paralelo.

$$\frac{bs}{qs + p} = \frac{(L_{eq}G_{eq} + R_{eq}C_{eq})s}{sL_{eq} + R_{eq}}$$

$$L_{eq} = \frac{q}{b}(L_{eq}G_{eq} + R_{eq}C_{eq}) \quad (2.3.10)$$

$$R_{eq} = \frac{p}{b}(L_{eq}G_{eq} + R_{eq}C_{eq})$$

$$\frac{c}{qs + p} = \frac{R_{eq}G_{eq} + 1}{sL_{eq} + R_{eq}}$$

$$L_{eq} = \frac{q}{c}(R_{eq}G_{eq} + 1) \quad (2.3.11)$$

$$R_{eq} = \frac{p}{c}(R_{eq}G_{eq} + 1)$$

$$R_{eq} = \frac{p}{c - pG_{eq}} \quad (2.3.12)$$

Igualando los coeficientes de los terminos semejantes de 2.3.10 con 2.3.11, se puede

despejar la conductancia en paralelo.

$$\frac{q}{c}(R_{eq}G_{eq} + 1) = \frac{q}{b}(L_{eq}G_{eq} + R_{eq}C_{eq})$$

$$G_{eq} = \frac{C_{eq}R_{eq}c - b}{bR_{eq} - L_{eq}c} \quad (2.3.13)$$

Sustituyendo 2.3.8 y 2.3.9 en 2.3.13 se puede hallar el valor de la conductancia en paralelo en función de la resistencia en serie.

$$G_{eq} = \frac{\frac{ac}{q}R_{eq} - b}{bR_{eq} - \frac{qcR_{eq}}{p}} \quad (2.3.14)$$

Finalmente para obtener la resistencia en serie se sustituye 2.3.13 en la ecuación 2.3.12.

$$R_{eq} = \frac{p}{c - p \left[\frac{\frac{ac}{q}R_{eq} - b}{bR_{eq} - \frac{qcR_{eq}}{p}} \right]}$$

$$R_{eq} = \frac{p(bR_{eq} - \frac{qcR_{eq}}{p})}{R_{eq}[cb - \frac{qc^2}{p} - \frac{acp}{q}] + bp}$$

$$R_{eq} = \frac{pq^2}{cq^2 + ap^2 - bpq} \quad (2.3.15)$$

Los parámetros equivalentes del circuito tanque se encuentran ahora en función de los coeficientes de la admitancia de segundo orden; además, teniendo en cuenta que la ecuación 2.3.5 contiene dos admitancias de segundo orden, ahora es posible describir el sistema de tercer orden en base a un circuito resonante de tercer orden. La figura 2.16 representa un modelo circuital de un resonador con pérdidas en base a la admitancia equivalente total del GIC de tercer orden.

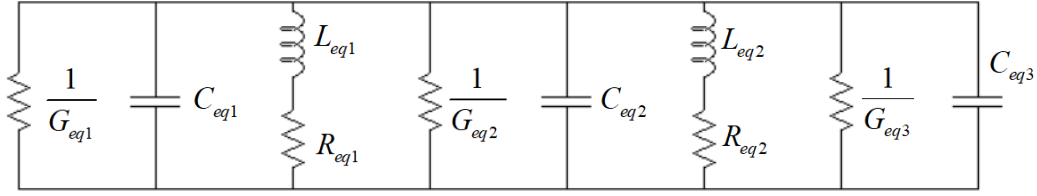


Fig 2.16: Representación pasiva resonante del inductor activo de tercer orden

El circuito de la figura 2.16 puede ser reducido hasta llegar al diagrama esquemático de la figura 2.17.

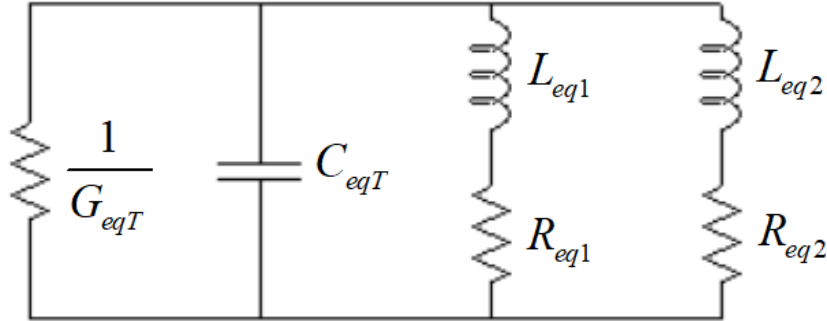


Fig 2.17: Circuito resonante de tercer orden equivalente al GIC propuesto

La frecuencia de resonancia del circuito de la figura 2.17 se puede encontrar igualando la admitancia a cero y despejando la frecuencia angular de la parte compleja y real de la ecuación 2.3.16.

$$\frac{1}{L_{eq1}s + R_{eq1}} + \frac{1}{L_{eq2}s + R_{eq2}} + G_{eqT} + sC_{eqT} = 0 \quad (2.3.16)$$

$$(L_{eq2}j\omega + R_{eq2})\frac{1}{G_{eqT}} + (L_{eq1}j\omega + R_{eq1})\frac{1}{G_{eqT}} + (L_{eq1}j\omega + R_{eq1})(L_{eq2}j\omega + R_{eq2}) + j\omega C_{eqT}\frac{1}{G_{eqT}}(L_{eq1}j\omega + R_{eq1})(L_{eq2}j\omega + R_{eq2}) = 0$$

$$\omega_{im} = \sqrt{\frac{(L_{eq1} + L_{eq2})\frac{1}{G_{eqT}} + L_{eq1}R_{eq2} + L_{eq2}R_{eq1} + R_{eq1}R_{eq2}\frac{1}{G_{eqT}}C_{eqT}}{L_{eq1}L_{eq2}C_{eqT}\frac{1}{G_{eqT}}}} \quad (2.3.17)$$

$$\omega_{re} = \sqrt{\frac{\frac{1}{G_{eqT}}(R_{eq1} + R_{eq2}) + R_{eq1}R_{eq2}}{L_{eq1}L_{eq2} + C_{eqT}\frac{1}{G_{eqT}}(L_{eq1}R_{eq2} + L_{eq2}R_{eq1})}} \quad (2.3.18)$$

2.3.4. Diseño de un inductor activo de tercer orden

Para realizar un diseño en el cual todos los transistores se mantengan en la región de saturación, es necesario establecer los puntos críticos del sistema; evidentemente el mayor problema a priori, es establecer un punto adecuado de DC. Teniendo en cuenta la ecuación de corriente del transistor, el voltaje entre la compuerta y la fuente (V_{gs}), se puede encontrar con relativa facilidad el punto de operación [32]. El punto de DC en el cual comparten conexión tanto los transistores conectados como diodo y de los transistores cruzados, son claves en el diseño, ya que de ellos depende el punto de DC de la segunda etapa; el voltaje entre el nodo del diodo y tierra, debe ser cercano a 0V si se utiliza una polarización con rieles positivo y negativo. La ecuación 2.3.19 muestra la corriente del transistor en función de su voltaje de "overdrive" (V_{dsat}) y de las dimensiones.

$$I_D = \frac{1}{2}k_m \frac{W}{L}(V_{gs} - V_{th})^2 \quad (2.3.19)$$

$$V_{gs} = \sqrt{\frac{2I_D}{k_m \frac{W}{L}}} + V_{th} \quad (2.3.20)$$

$$V_{DD} = -V_{SS} = 0,9V \quad (2.3.21)$$

Como fue expuesto en secciones anteriores, el largo de los transistores es el mínimo que permite la tecnología, por lo que el escalamiento de la corriente se realizará únicamente con los anchos. El proceso para realizar el diseño, en base al punto de DC de los transistores cruzados y de carga como diodo comienza con las siguientes ecuaciones.

$$(V_{gs} - V_{th}) = V_{dsat} = V_{ov} \quad (2.3.22)$$

$$V_{dsat} = 0,15V \quad (2.3.23)$$

Tomando un voltaje de "overdrive" constante y lo suficientemente pequeño como se observa en 2.3.23 es posible encontrar una relación entre los anchos de los transistores que utilizarán en todo el sistema de tercer orden y los transistores conectados como diodo.

La corriente que fluye por un transistor de carga conectado como diodo, debe ser la mitad de la corriente que fluye por el par diferencial, ya que la otra mitad de la corriente fluye por un transistor cruzado. La figura 2.18 muestra la relación del flujo de corriente propuesto en el inductor activo de tercer orden.

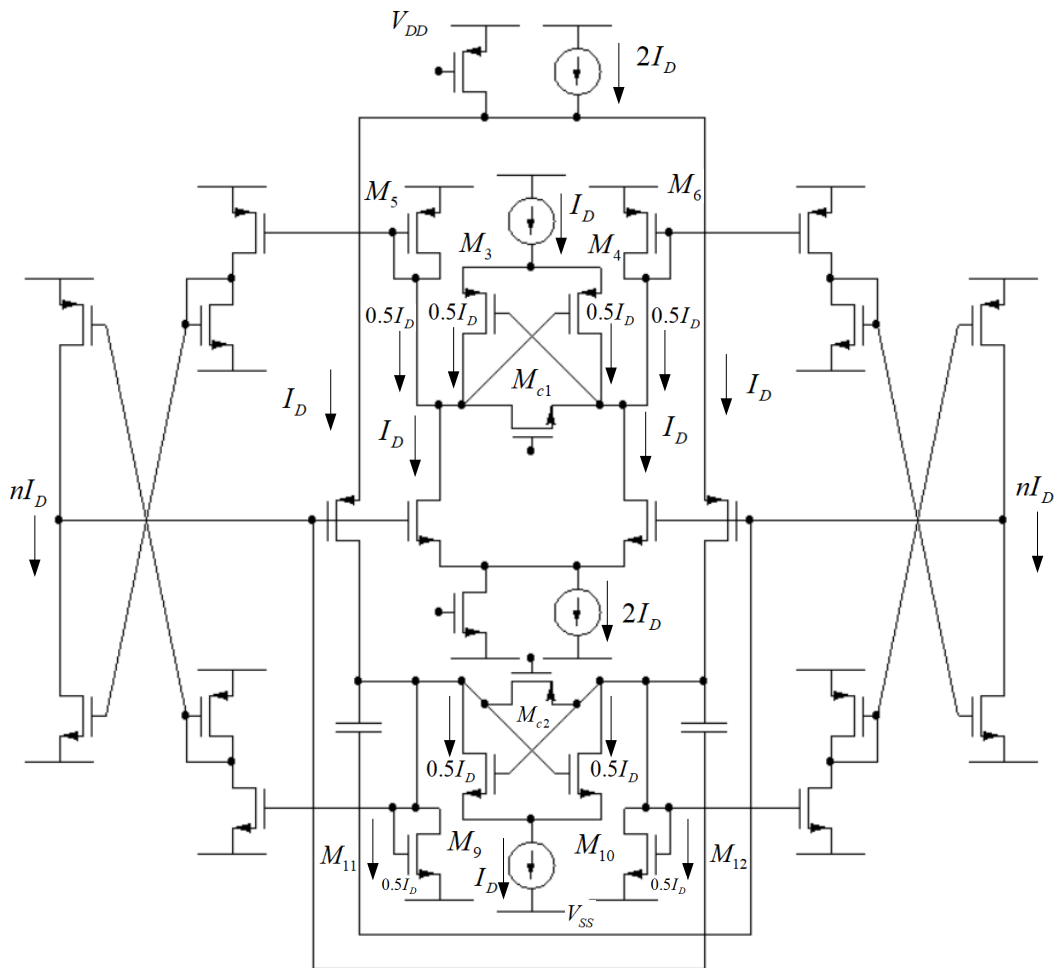


Fig 2.18: Flujo de corriente en un inductor activo

La corriente de la segunda etapa aparece como nI_D , debido a que el valor de la corriente depende de los anchos de los transistores conectados como diodo (M_5 , M_6 , M_{11} , M_{12}), esta relación de corriente aplica únicamente si se pretende utilizar tamaños iguales en toda la topología a excepción de los transistores cruzados (M_3 , M_4 , M_9 , M_{10}), los conectados como diodos (M_5 , M_6 , M_{11} , M_{12}) y los transistores en la región de triodo (M_{c1} , M_{c2}).

La corriente de polarización se obtiene sustituyendo 2.3.23 en 2.3.19.

$$I_D = \frac{1}{2}k_n \frac{W_{1n}}{L} (0,15)^2 \quad (2.3.24)$$

En 2.3.24, W_{1n} es el ancho estándar a utilizar en toda la topología. Si se Sustituye 2.3.24 en 2.3.20, teniendo en cuenta que V_{gs} debe estar cercano a V_{DD} para que el voltaje entre la conexión de diodo y tierra de los transistores M_5 y M_6 esté cercano a cero; además de que la corriente que fluye a través de éstos transistores es la mitad de la de polarización, se obtiene la ecuación 2.3.25.

$$V_{gs} = 0,15 \sqrt{\frac{k_n W_{1n}}{2k_p W_{2pd}}} + V_{thp} \quad (2.3.25)$$

Donde W_{2pd} es el ancho de los transistores conectados como diodo M_5 y M_6 , k_n , k_p es la constante del transistor N y P respectivamente, e involucra la capacidad del óxido por unidad de área y la movilidad del transistor; por último V_{thp} es el voltaje de umbral del transistor tipo P. Utilizando la tabla 2.1 en la ecuación 2.3.25 se obtiene una relación entre las dimensiones.

$$W_{2pd} = \frac{1}{4,5} W_{1n} \quad (2.3.26)$$

$$W_{1p} = 4W_{1n} \quad (2.3.27)$$

Teniendo en cuenta que para mantener la simetría en los tamaños de los transistores, los anchos tipo P deberían ser casi cuatro veces mayores que los transistores tipo N, como puede observarse en 2.3.27; sustituyendo esta ecuación en 2.3.26 se establecen los anchos P del transistor en diodo en base al tamaño estándar a utilizar para los transistores tipo P.

$$W_{2pd} = \frac{1}{18}W_{1p} \quad (2.3.28)$$

Para describir la ecuación en DC de los transistores cruzados M_3 y M_4 , se observa que las fuentes de estos transistores están conectadas a una fuente de corriente constante, la cual suministra la mitad de la corriente de polarización para permitir que exista la misma corriente entre la carga como diodo y el transistor cruzado. La fuente de corriente es implementada con un transistor en configuración de espejo de corriente y tiene el mismo voltaje de sobrecarga que la ecuación 2.3.23. La descripción para el voltaje de DC de los transistores cruzados es mostrada en la ecuación 2.3.29.

$$V_{cd} = 0,15\sqrt{\frac{k_n W_{1n}}{2k_p W_{2pc}}} + V_{thp} + V_{dsat} \quad (2.3.29)$$

Donde el voltaje V_{cd} representa al voltaje que existe entre la conexión cruzada de los transistores M_3 y M_4 y V_{DD} ; además, W_{2pc} representa los anchos de los transistores cruzados.

Sustituyendo de nuevo 2.3.27 en 2.3.29 para obtener las dimensiones de los transistores cruzados en función de los tamaños estándar a utilizar, encontramos la relación de los anchos de los transistores cruzados.

$$W_{2pc} = \frac{1}{8}W_{1p} \quad (2.3.30)$$

Finalmente se eligen los tamaños para los transistores cruzados y los conectados como diodo en base a 2.3.30 y 2.3.28, teniendo en cuenta que el voltaje de DC que tenga un mayor potencial será el que impondrá el nivel de DC; además, se debe tomar en cuenta que los transistores cruzados deben tener tamaños mayores para mover con mayor facilidad la selectividad del circuito, así como permitir ajustar el sistema con la resistencia en triodo.

A pesar de que los tamaños de los transistores cruzados son mayores que los conectados como diodo, los transistores conectados como diodo tienen tamaños muy reducidos, debido a ésto en la ecuación 2.3.29 y 2.3.25, el voltaje V_{cd} y V_{gs} se iguala a $0,8V$ para obtener un aumento en los tamaños de los transistores cruzados y los de diodo, de esta manera los transistores como diodo dominarán el punto de DC, pero los transistores cruzados tendrán mayores dimensiones. La elección de los tamaños se observa en las siguientes ecuaciones.

$$W_{2pd} = 0,1W_{1p} \quad (2.3.31)$$

$$W_{2pc} = 0,3W_{1p} \quad (2.3.32)$$

Una metodología similar se utiliza para encontrar los tamaños de los transistores cruzados y conectados como diodo de los transistores tipo N.

$$W_{2nd} = 0,1W_{1n} \quad (2.3.33)$$

$$W_{2nc} = 0,25W_{1n} \quad (2.3.34)$$

Para elegir los tamaños adecuados (W_{1n} , W_{1p}) se realizará un barrido de dos parámetros, las dimensiones y la resistencia de ajuste. Dos cosas a tener en cuenta al variar las dimensiones son que la capacitancia parásita aumentará, así como la transconductancia; las ecuaciones 2.3.35, 2.3.36 y 2.3.37 describen las diferentes capacitancias parásitas en la región de saturación.

$$C_{gs} = \frac{2}{3}C_{ox}(L - 2L_D)W + C_{gso}W \quad (2.3.35)$$

$$C_{gd} = C_{gdo}W \quad (2.3.36)$$

$$C_{db} = C_{jsw}(2L_{Drain} + 2W) + C_jL_{Drain}W \quad (2.3.37)$$

La tabla 2.2 resume los valores de las constantes observadas en las ecuaciones anteriores.

Tabla 2.2: Constantes para el cálculo de las capacitancias parásitas en la tecnología UMC 0.18 μm

Parámetro	NMOS	PMOS	Unidad
C_{ox}	8,42		$\frac{fF}{\mu\text{m}^2}$
C_j	0.8	1.16	$\frac{fF}{\mu\text{m}^2}$
C_{jsw}	0.16	0.12	$\frac{fF}{\mu\text{m}}$
C_{gdo}	0,45		$\frac{fF}{\mu\text{m}}$
L_D	0,1 L_{min}		μm
L_{Drain}	4 L_{min}		μm

Las capacitancias parásitas están basadas en las aproximaciones de la tabla 2.2, utilizando constantes lineales que dependen exclusivamente de las dimensiones de los transistores.

El aumento de la transconductancia en función de los tamaños se muestra en las ecuaciones siguientes [32].

$$gm_{1n} = \sqrt{2I_D k_n \frac{W_{1n}}{L}} \quad (2.3.38)$$

$$gm_{1p} = \sqrt{2I_D k_p \frac{W_{1p}}{L}} \quad (2.3.39)$$

$$gm_x = \sqrt{I_D k_p \frac{0,1W_{1p}}{L}} \quad (2.3.40)$$

$$gm_y = \sqrt{I_D k_n \frac{0,1W_{1n}}{L}} \quad (2.3.41)$$

$$gm_{2n} = \sqrt{I_D k_p \frac{0,25W_{1p}}{L}} \quad (2.3.42)$$

$$gm_{2p} = \sqrt{I_D k_n \frac{0,3W_{1n}}{L}} \quad (2.3.43)$$

$$GM_n = \sqrt{10I_D k_n \frac{W_{1n}}{L}} \quad (2.3.44)$$

$$GM_p = \sqrt{10I_D k_p \frac{W_{1p}}{L}} \quad (2.3.45)$$

$$g_{o1n} = \lambda_n I_D + \lambda_p(I_D) \quad (2.3.46)$$

$$g_{o1p} = \lambda_n I_D + \lambda_p(I_D) \quad (2.3.47)$$

$$g_{o2} = 5\lambda_n I_D + 5\lambda_p(I_D) \quad (2.3.48)$$

Debido a que el ancho de los transistores conectados como diodo de M_5 , M_6 , M_{11} y M_{12} se ven atenuados 10 veces, la corriente de GM_n y GM_p aumenta en el mismo factor. Además, λ_n y λ_p son, el factor de la modulación de la longitud del canal tipo N y P respectivamente, las cuales permiten hallar la resistencia finita de cada una de las etapas.

Para elegir los anchos de los transistores se deben mantener positivos todos los coeficientes del denominador, además de cumplir el criterio de estabilidad de Routh. Las simulaciones se realizaron con el software Maple[®], donde se grafican los coeficientes de la función de transferencia de tercer orden, donde los parámetros de variación son los anchos de los transistores, la resistencia de ajuste y la capacitancia de compensación Miller. Las resistencias R_p y R_n se varían en la misma proporción, mientras que el tamaño mínimo de W_{n1} es $1,8\mu m$, y debido a ésto el tamaño de los transistores conectados como diodo tendrá el mismo valor que L_{min} asegurando que los anchos no sean menores que los largos mínimos. Finalmente, se toman tres valores para la capacitancia Miller C_{cp} por lo que se puede observar el comportamiento de los coeficientes de la ecuación 2.3.2, la variación del coeficiente a se muestra en la figura 2.19.

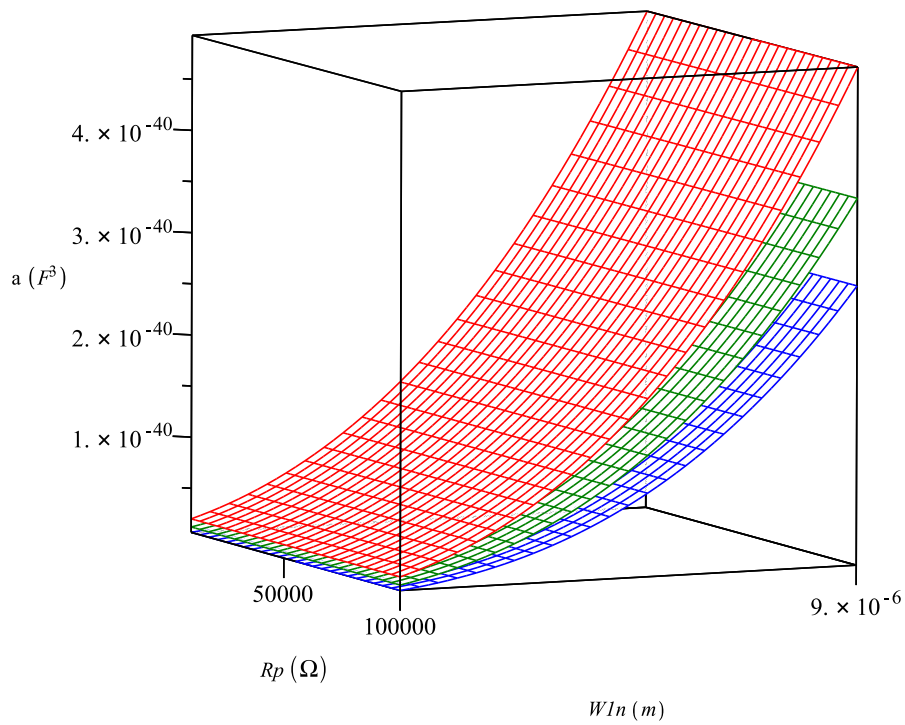


Fig 2.19: Variación del coeficiente a . $C_{cp} =$ Azul-5fF, Verde-15fF, Rojo-30fF

En la figura se puede observar que el valor del coeficiente a siempre es positivo; además, al aumentar la capacitancia o los anchos de los transistores, a tiende a elevar su valor, la variación de la resistencia no produce ningún cambio en este coeficiente.

La variación del coeficiente b se muestra en la figura 2.20

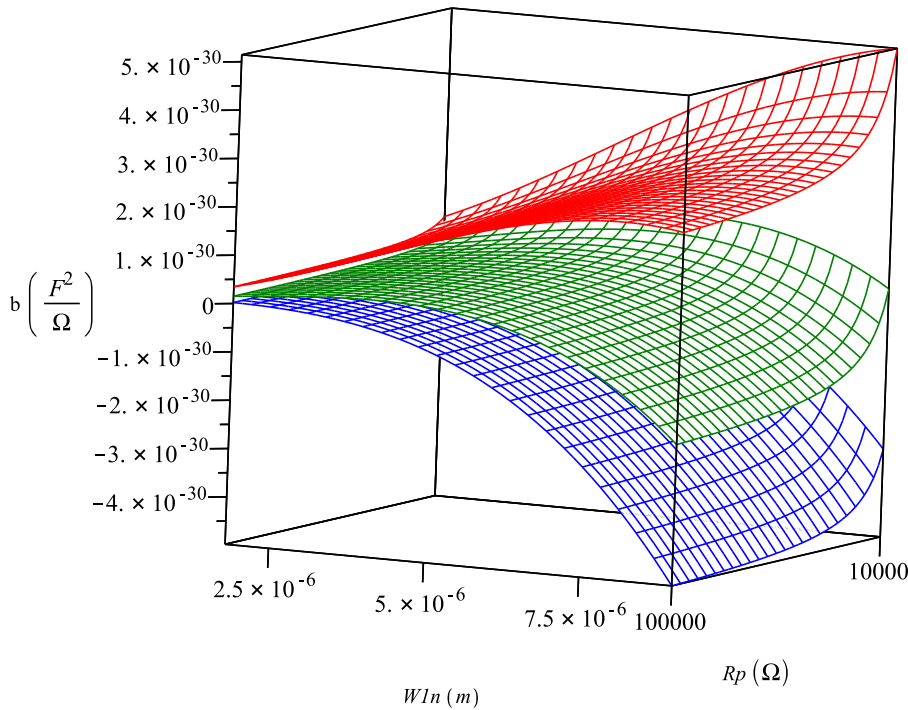


Fig 2.20: Variación del coeficiente b . C_{cp} = Azul-5fF, Verde-15fF, Rojo-30fF

La figura muestra una fuerte dependencia con los anchos de los transistores y la capacitancia de compensación Miller, como puede observarse en la figura el coeficiente b se vuelve negativo cuando aumentan mucho los anchos de los transistores, o si la capacitancia de compensación es muy pequeña, generando un comportamiento inestable; la resistencia de ajuste tiene una influencia pequeña en la variación del coeficiente, lo cual permite un ajuste fino una vez elegidas las dimensiones de los transistores.

La variación del coeficiente c se muestra en la figura 2.21

Al igual que el coeficiente a , c no tiene cambios significativos con las variaciones

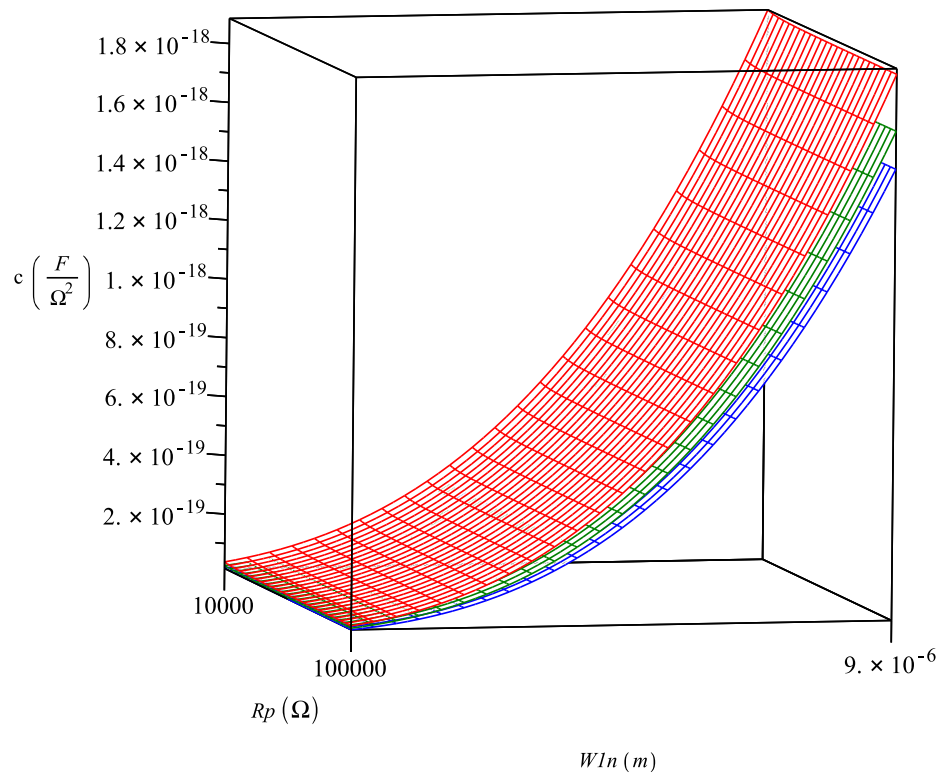


Fig 2.21: Variación del coeficiente c . $C_{cp} =$ Azul-5fF, Verde-15fF, Rojo-30fF

de la resistencia de ajuste; además, al utilizar diferentes capacitancias Miller presenta cambios mínimos. El único cambio se encuentra en el aumento de los anchos de los transistores y ningún cambio provoca un cambio de signo en el coeficiente.

La variación del coeficiente d se muestra en la figura 2.22

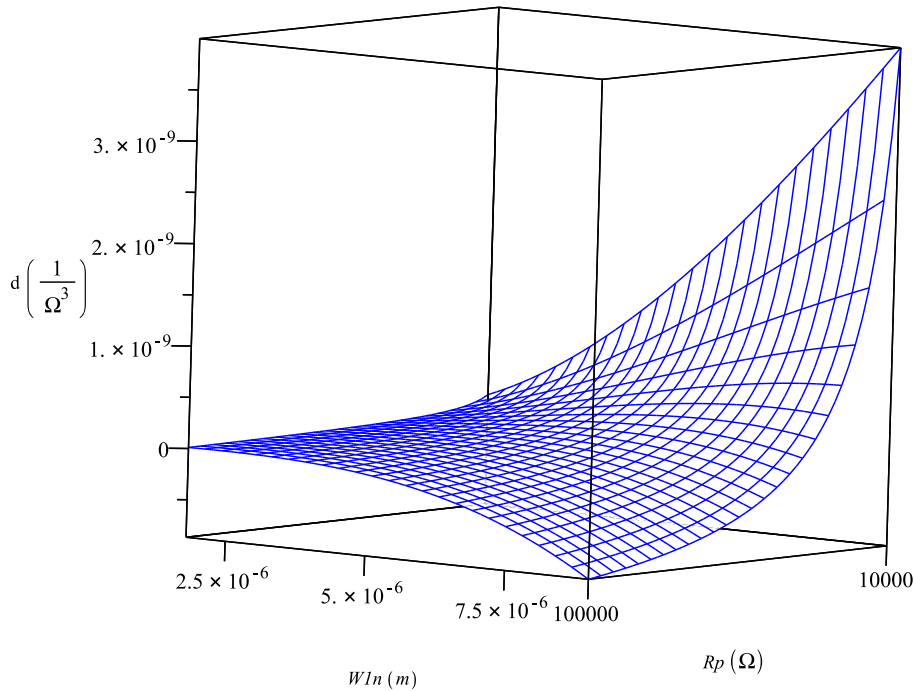


Fig 2.22: Variación del coeficiente d

El último coeficiente es el más importante, ya que tiene una fuerte dependencia de los anchos de los transistores y de la resistencia de ajuste, pudiendo cambiar de signo tras una mala elección de cualquiera de estos parámetros o afectando el criterio de estabilidad de Routh, la capacitancia Miller no tiene efecto en este coeficiente.

La medida del criterio de estabilidad de Routh también se varía por los tres parámetros de las figuras anteriores y se grafica en la figura 2.23; para que el sistema sea estable la gráfica debe encontrarse en la parte negativa.

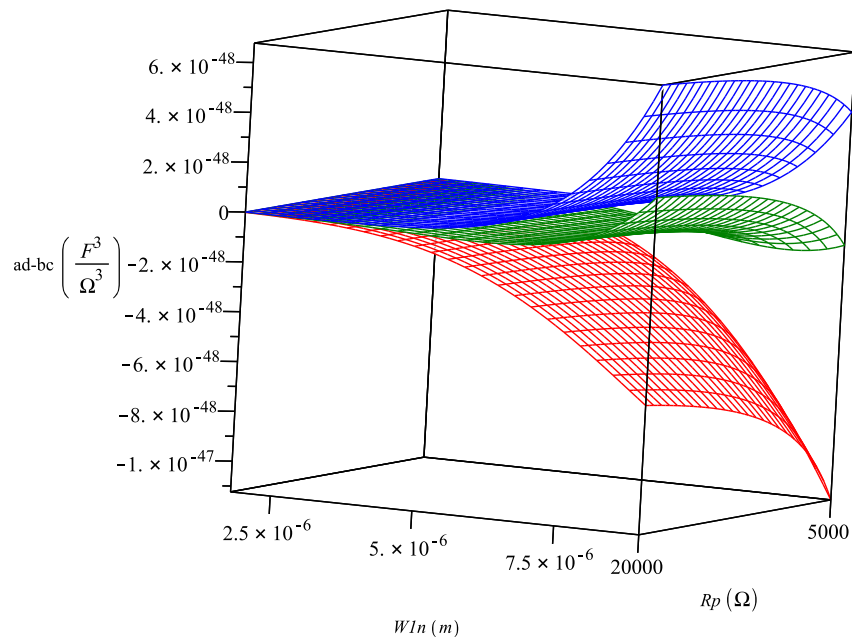


Fig 2.23: Criterio de estabilidad de Routh ($ad - bc$). $C_{cp} =$ Azul-5fF, Verde-15fF, Rojo-30fF

Como es evidente en la figura, para cumplir correctamente el criterio de estabilidad de Routh, la elección de $5fF$ se debe descartar, ya que el sistema sería inestable por la presencia de un polo complejo en el semiplano derecho.

Finalmente los parámetros de las resistencias en serie del inductor R_{eq} y R_{eq2} que se obtuvieron en la sección anterior son variadas en función de los tamaños y la resistencia de ajuste y la capacitancia Miller.

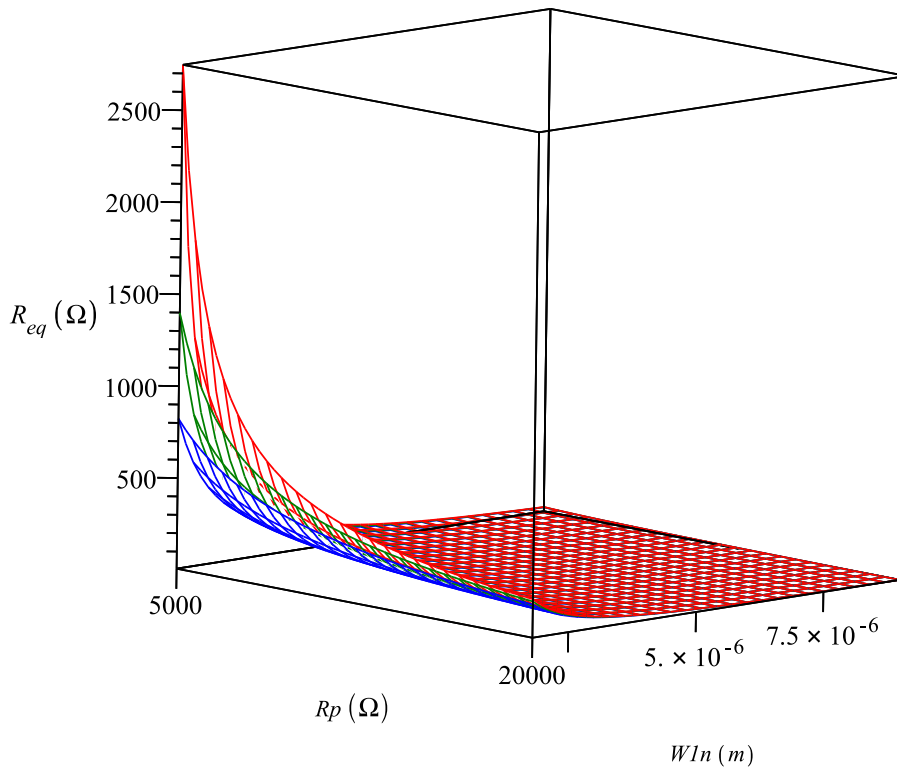


Fig 2.24: Variación de la resistencia R_{eq} . C_{cp} = Azul-5fF, Verde-15fF, Rojo-30fF

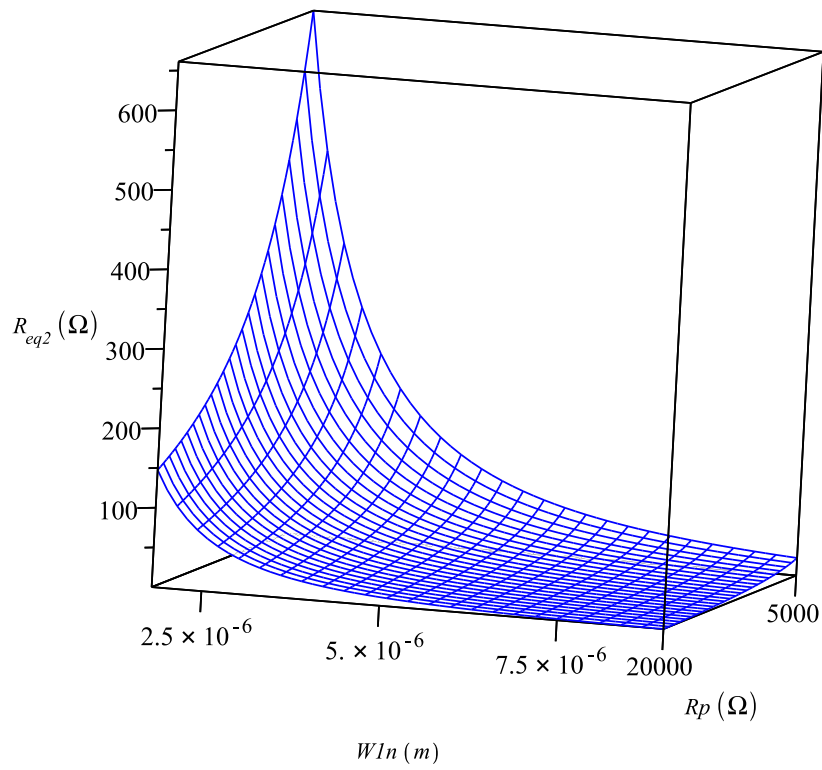


Fig 2.25: Variación de la resistencia R_{eq2}

El aumento de los anchos del transistor en la figura 2.24, provoca que disminuya la resistencia en serie con el inductor; por otra parte si la capacitancia Miller aumenta, se eleva también la resistencia, lo que incrementaría la pérdida óhmica y disminuye el factor de calidad; por lo tanto, la capacitancia Miller tiene que ser la menor posible sin que comprometa la estabilidad del sistema. La figura 2.25 tiene poca relevancia para la elección de los tamaños.

Para evitar una disminución del factor de calidad, sin provocar que el sistema se vuelva inestable, la resistencia de ajuste se ha fijado a $10k\Omega$, esta decisión se basa en la variación de la resistencia en serie del inductor de R_{eq1} y en el criterio de estabilidad de Routh.

Al obtener el valor ideal de la resistencia de ajuste, el coeficiente más problemático es b , ya que puede volverse negativo con el incremento de los tamaños, la figura 2.26 muestra la variación del coeficiente b con una capacitancia Miller de $10fF$ y en función únicamente de los anchos de los transistores.

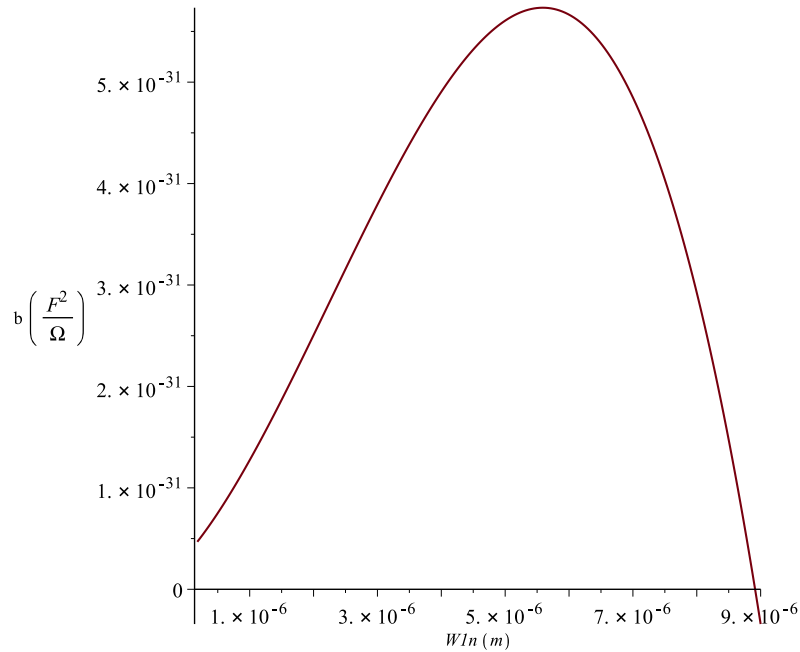


Fig 2.26: Variación del coeficiente b en función de los anchos de los transistores

Teniendo en cuenta que el coeficiente b se vuelve negativo al aumentar las dimensiones por arriba de $9\mu m$, es necesario asegurar el criterio de estabilidad de Routh mediante los anchos de los transistores, éste se muestra en la figura 2.27.

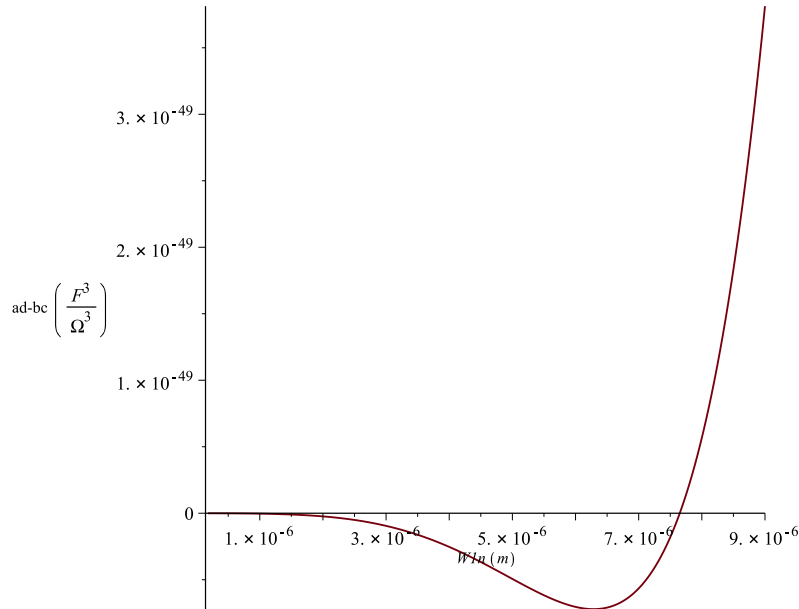


Fig 2.27: Criterio de estabilidad de Routh ($ad - bc$) en función de los anchos de los transistores

La mejor elección de los anchos de los transistores se encuentra muy cerca del cambio de signo del criterio de estabilidad de Routh; sin embargo, al aumentar demasiado las dimensiones, la potencia del sistema y el área también se elevarán, por lo que las dimensiones deben estar en un punto cercano al cambio de signo de la gráfica, pero sin llegar a una elección de tamaños muy alta, lo cual se traduce en una alta selectividad sin llegar a la inestabilidad del sistema.

Las ecuaciones 2.3.49 y 2.3.50 muestran la elección de los anchos para los transistores N y P.

$$W_{1n} = 3,6\mu m \quad (2.3.49)$$

$$W_{1p} = 14,4\mu m \quad (2.3.50)$$

Para la elección de los anchos de los transistores en 2.3.49 y 2.3.50 se ha tomado en cuenta que el aumento de los anchos reduce las resistencias parásitas en serie R_{eq1}

y R_{eq2} , pero también aumenta la brecha del criterio de estabilidad de Routh; por lo que se eligió un valor con dimensiones suficientemente grandes para disminuir la resistencia parásita, pero sin aumentar por arriba del criterio de estabilidad de Routh.

2.3.5. Caracterización del inductor activo de tercer orden

Una vez determinadas las dimensiones de la topología, es necesario caracterizar los parámetros del circuito resonante de tercer orden para poder estimar el factor de calidad, la frecuencia de resonancia y el rango de sintonización de la frecuencia.

Teniendo en cuenta los parámetros del modelo resonante de tercer orden que se obtuvieron en la sección 2.3.3, es posible hallar el factor de calidad reduciendo las dos inductancias con resistencia en serie que se encuentran en paralelo en el circuito de la figura 2.17 a un circuito con una inductancia y resistencia en serie equivalente como se muestra en la figura 2.28.

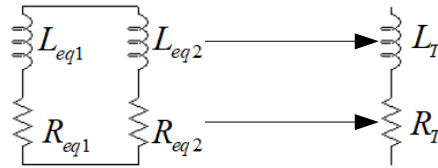


Fig 2.28: Simplificación circuital propuesta para hallar el factor de calidad

Para obtener los valores equivalentes de L_T y R_T se iguala la impedancia equivalente de los dos circuitos como se muestra en la ecuación 2.3.51.

$$\frac{(L_{eq1}s + R_{eq1})(L_{eq2}s + R_{eq2})}{(L_{eq1} + L_{eq2})s + (R_{eq1} + R_{eq2})} = L_Ts + R_T \quad (2.3.51)$$

Teniendo en cuenta que $s = j\omega$ e igualando los coeficientes complejos y los reales, se obtiene la siguiente matriz.

$$\begin{bmatrix} (R_{eq1} + R_{eq2}) & -(L_{eq1} + L_{eq2})\omega^2 \\ (L_{eq1} + L_{eq2}) & (R_{eq1} + R_{eq2}) \end{bmatrix} \begin{bmatrix} R_T \\ L_T \end{bmatrix} = \begin{bmatrix} R_{eq1}R_{eq2} - L_{eq1}L_{eq2}\omega^2 \\ L_{eq1}R_{eq2} + L_{eq2}R_{eq1} \end{bmatrix} \quad (2.3.52)$$

Despejando L_T y R_T de 2.3.52, la relación del factor de calidad se puede hallar con base a la definición del factor de calidad dada en el capítulo 1.

$$R_T = \frac{(R_{eq1}R_{eq2} - L_{eq1}L_{eq2}\omega^2)(R_{eq1} + R_{eq2}) + (L_{eq1}R_{eq2} + L_{eq2}R_{eq1})((L_{eq1} + L_{eq2})\omega^2)}{(L_{eq1} + L_{eq2})^2\omega^2 + (R_{eq1} + R_{eq2})^2} \quad (2.3.53)$$

$$L_T = \frac{(R_{eq1} + R_{eq2})(L_{eq1}R_{eq2} + L_{eq2}R_{eq1}) + (L_{eq1}L_{eq2}\omega^2 - R_{eq1}R_{eq2})((L_{eq1} + L_{eq2})\omega^2)}{(L_{eq1} + L_{eq2})^2\omega^2 + (R_{eq1} + R_{eq2})^2} \quad (2.3.54)$$

$$Q_{cal} = \frac{\omega L_T}{R_T} \quad (2.3.55)$$

Para observar el comportamiento de los diferentes parámetros como son la frecuencia de operación, el rango de sintonización, la resistencia en serie, la inductancia y la resistencia en paralelo del inductor activo ante variaciones de la transconductancia del sistema, se procede a realizar un barrido con dos variables, el voltaje de control del oscilador (que generará cambios en la corriente de polarización) y pequeños cambios en los voltajes de compuerta de los transistores en modo de triodo.

La frecuencia de operación y su rango de sintonización de la misma se muestran en la figura 2.29.

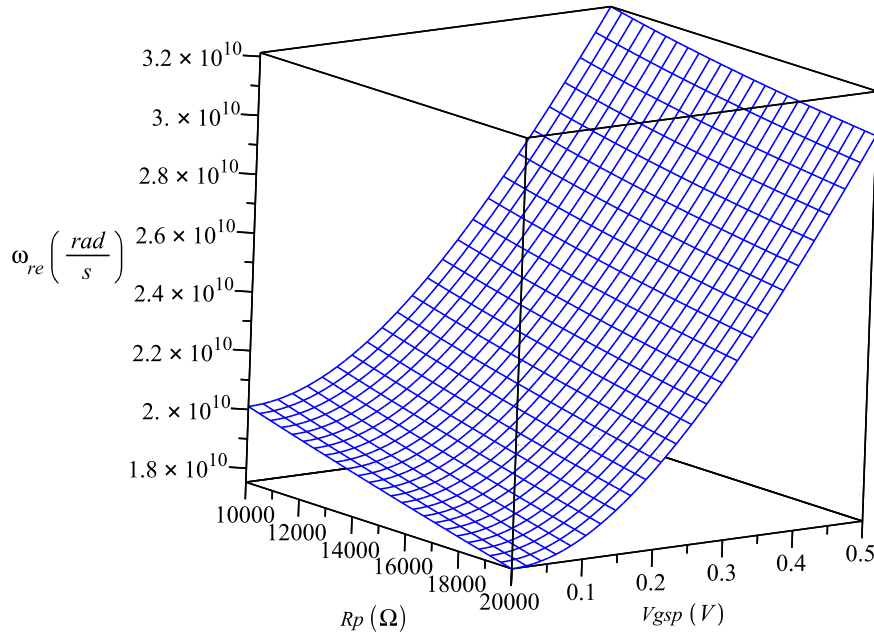


Fig 2.29: Frecuencia de operación y rango de sintonización

Es importante observar que hay un ligero cambio en la frecuencia cuando la resistencia de ajuste cambia su valor; este hecho puede ser de mucha utilidad cuando existen variaciones de proceso y temperatura en el sistema que pueden provocar inestabilidad; además, si se requiere frecuencias de operación específicas, es posible cambiar el valor de la resistencia de ajuste. Para la frecuencia de resonancia, se ha tomado la frecuencia angular ω_{re} de 2.3.18, ya que es la que mejor se ajusta a la simulación obtenida en HSpice[®].

La inductancia se muestra en la figura 2.30.

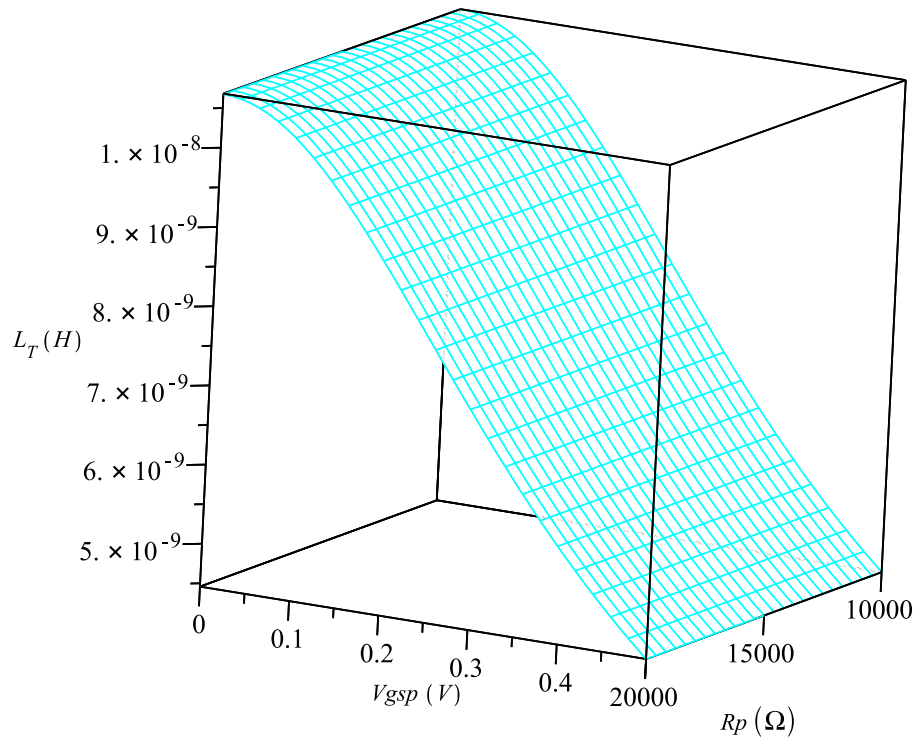


Fig 2.30: Inductancia equivalente del resonador de tercer orden

Como puede observarse, el cambio en la inductancia del resonador de tercer orden es lineal y reduce su valor cuando existen cambios en la transconductancia del sistema (mediante V_{gsp}), lo cual aumenta la frecuencia de operación.

La resistencia en serie R_T se muestra en la figura 2.31.

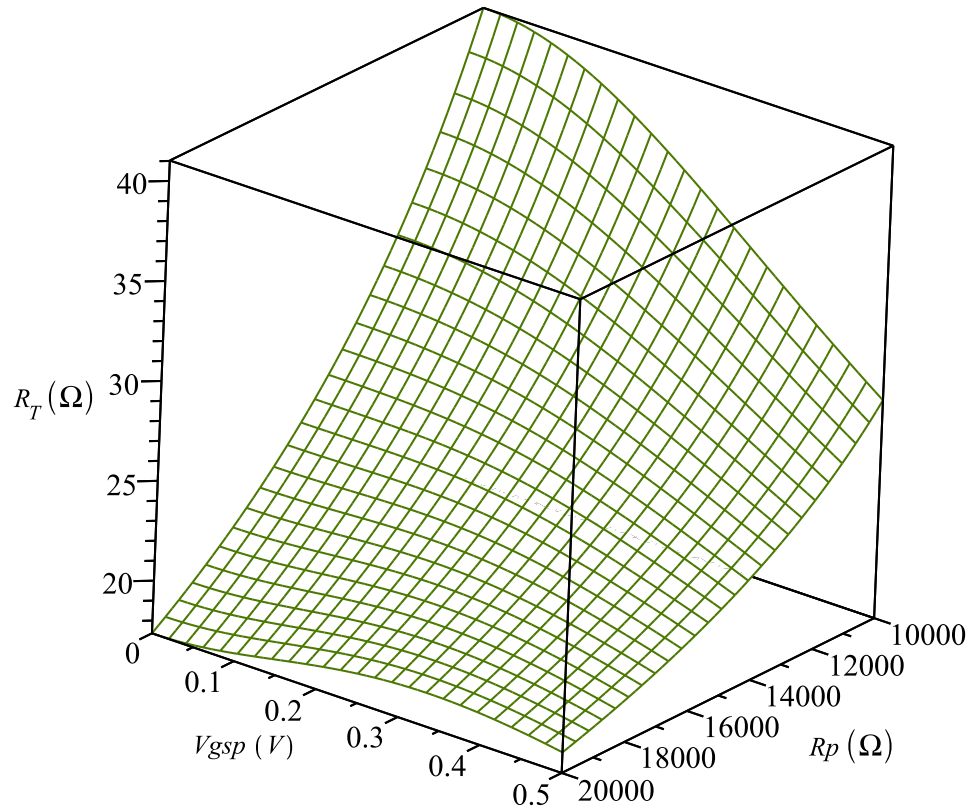


Fig 2.31: Resistencia en serie equivalente del resonador de tercer orden

Al igual que en la frecuencia de operación (2.29), la resistencia en serie del inductor R_T cambia su valor cuando existen variaciones en la resistencia de ajuste R_p .

La resistencia en paralelo se muestra en la figura 2.32.

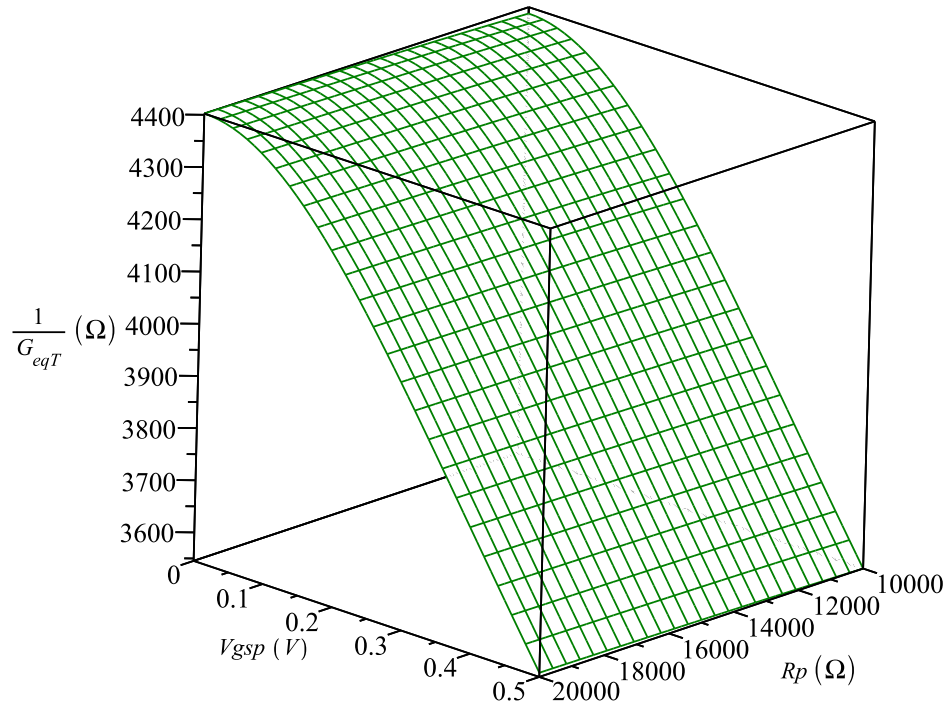


Fig 2.32: Resistencia en paralelo equivalente del resonador de tercer orden

La resistencia en paralelo $\frac{1}{G_{eqT}}$ disminuye su valor en presencia de cambios del voltaje de control, siendo éste uno de los inconvenientes cuando se utilizan variaciones en la transconductancia para cambiar la frecuencia de resonancia.

Por último se muestra el factor de calidad en la figura 2.33.

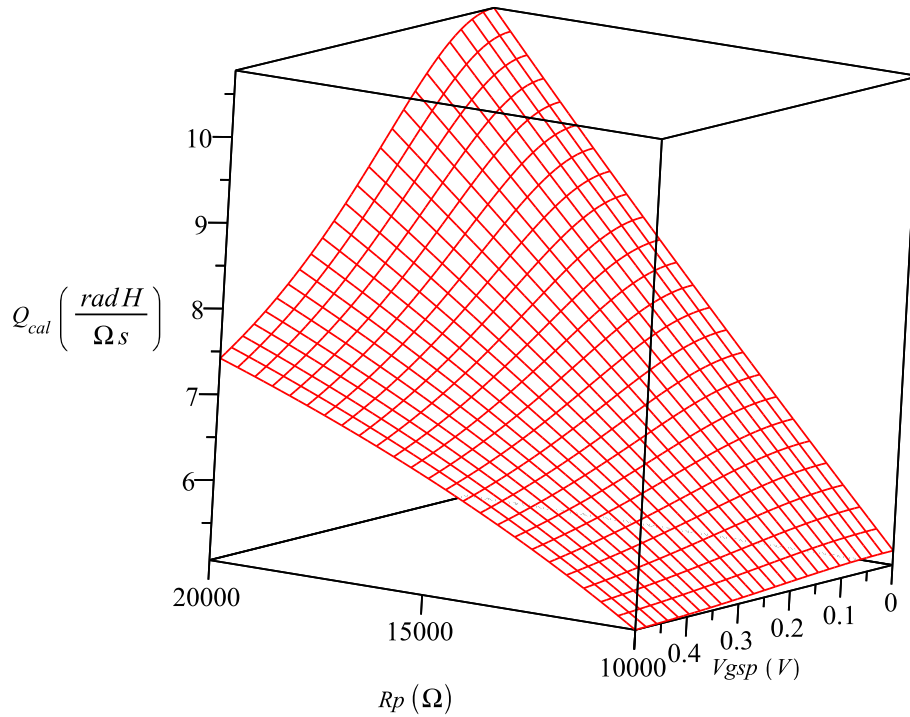


Fig 2.33: Factor de calidad del resonador de tercer orden

El factor de calidad del inductor de tercer orden puede elevarse demasiado cuando la resistencia de ajuste se acerca a la inestabilidad del sistema, gracias a esta característica, el sistema propuesto de tercer orden se puede controlar mediante el transistor en triodo con un muy alto factor de calidad.

La gráfica de impedancia del inductor activo con los parámetros propuestos se muestra en la figura 2.34, en ella se puede observar el rango de sintonización del inductor activo.

Al utilizar los parámetros propuestos para el inductor activo de tercer orden, se puede observar una respuesta en frecuencia con un alto factor de calidad, así como la posibilidad de utilizar la resistencia de ajuste para obtener un mayor grado de libertad y evitar la inestabilidad del sistema.

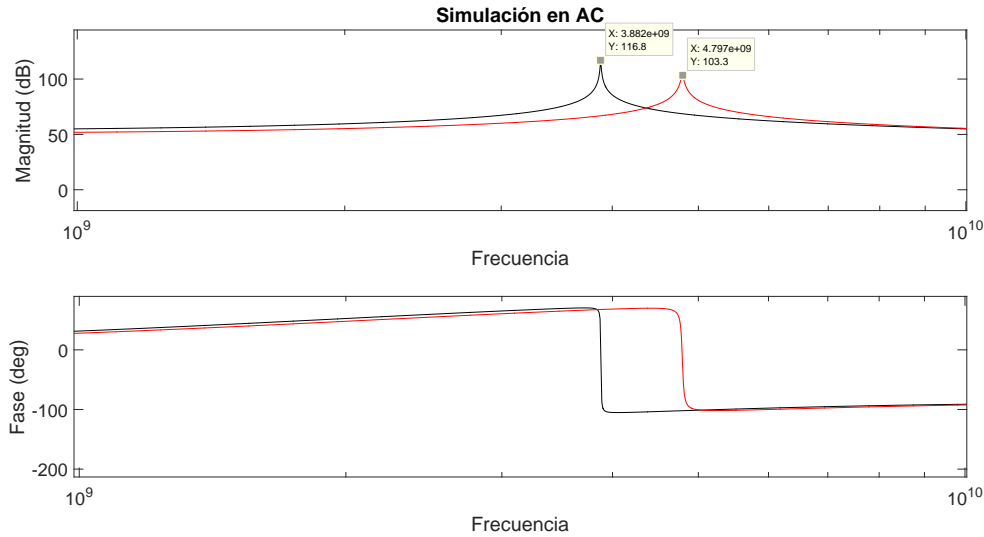


Fig 2.34: Respuesta en frecuencia del inductor activo de tercer orden

2.4. Oscilador mediante un inductor activo de tercer orden

El inductor activo de tercer orden puede comportarse como circuito resonador o como oscilador, ésto debido a que un oscilador requiere al menos un circuito de tercer orden. Para que un sistema en lazo cerrado de tercer orden oscile es necesario cumplir el criterio de Barkhausen [33], lo cual se muestra en la ecuación 2.4.1.

$$\frac{V_o(s)}{V_{in}(s)} = \frac{G(s)}{1 + G(s)H(s)} \quad (2.4.1)$$

$$1 + G(s)H(s) = 0 \quad (2.4.2)$$

Para lograr que el denominador de la función de transferencia sea cero, el determinante de la ecuación de estado debe ser cero [34]; el denominador de la función de transferencia del inductor activo de tercer orden es la ecuación de estado del oscilador; aún más importante, la condición para que un sistema tercer orden oscile es llevar al límite el criterio de estabilidad de Routh. La figura 2.35 ejemplifica este hecho llevando al límite el criterio de Routh en un sistema de tercer orden con la siguiente ecuación de estado $s^3 + 3s^2 + 4s + 12$.

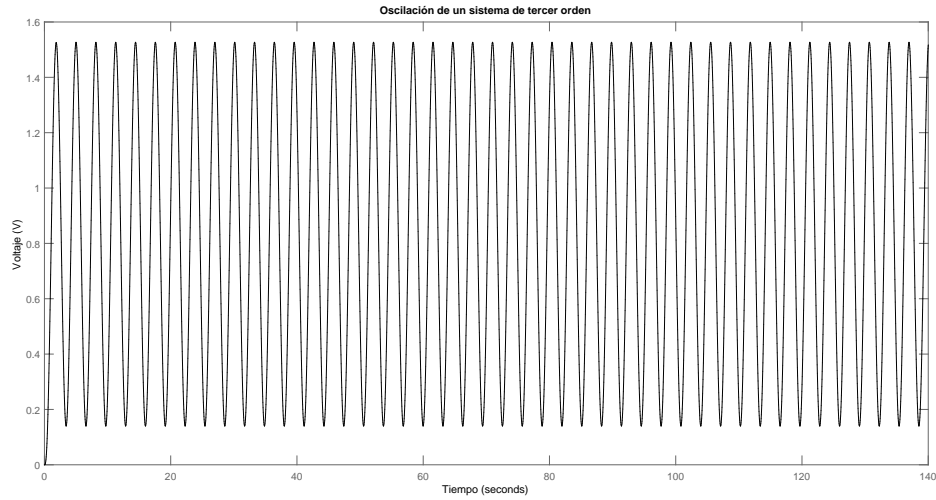


Fig 2.35: Oscilación de un sistema de tercer orden

Para lograr que el sistema de tercer orden oscile, la resistencia de ajuste se le realiza una variación para observar el punto en el cual, el criterio de estabilidad de Routh llega al límite. La figuras 2.36 y 2.37 muestran el criterio de estabilidad de Routh y el coeficiente d ambos en función de la resistencia de ajuste.

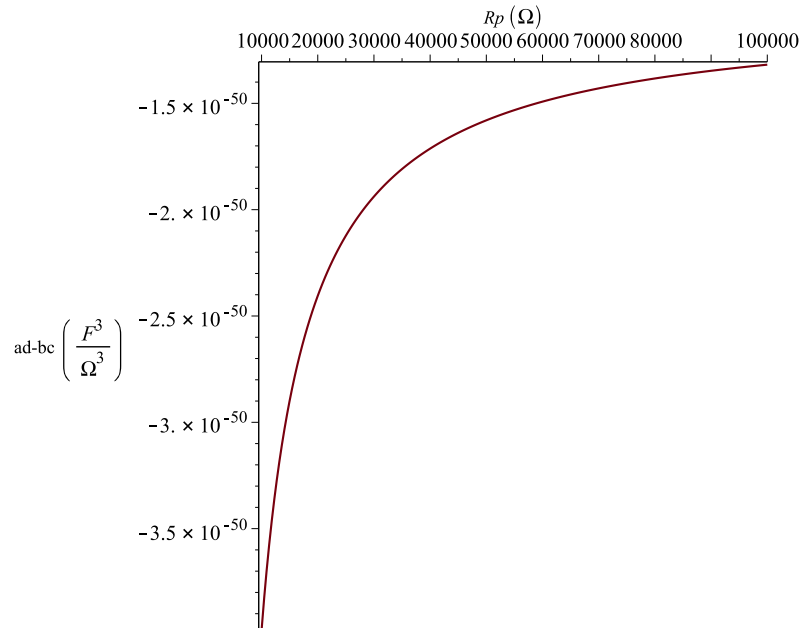


Fig 2.36: Criterio de Routh para provocar oscilación en el sistema de tercer orden

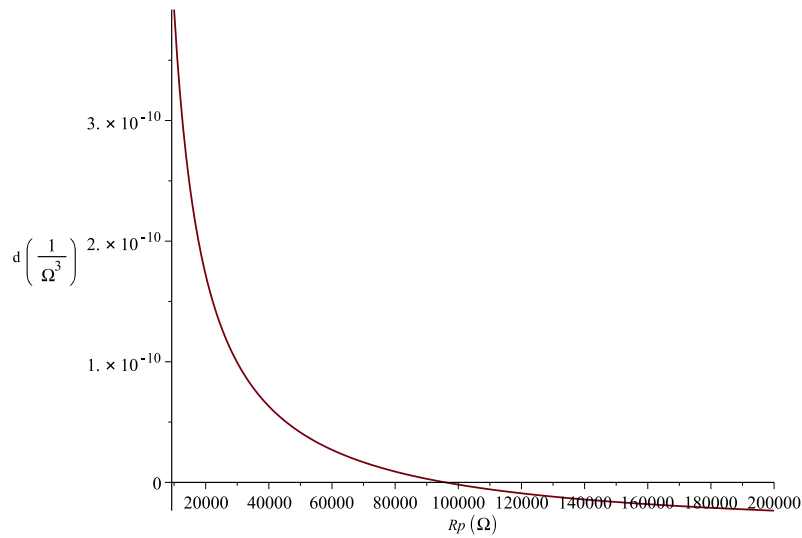


Fig 2.37: Variación del coeficiente d en función de la resistencia de ajuste

La figura 2.37 muestra un cambio de signo en el coeficiente d cuando supera los $100k\Omega$, por lo que seleccionar un valor de resistencia por arriba de ese valor, podría causar inestabilidad en el sistema, ya que se tendría un polo negativo.

La figura 2.38 muestra la simulación transitoria del inductor de tercer orden como oscilador con una resistencia de ajuste cercana a los $70k\Omega$.

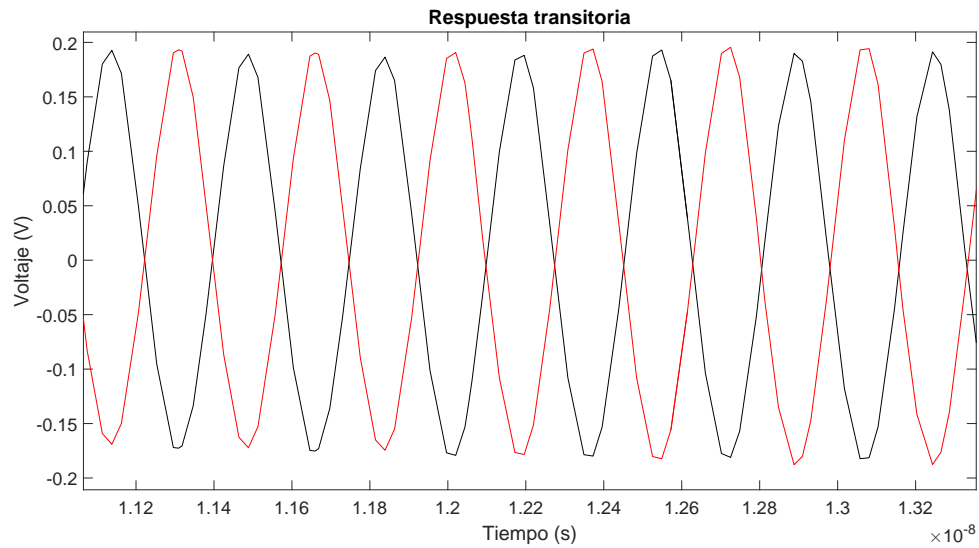


Fig 2.38: Oscilación del inductor activo como oscilador

La simulación del transitorio del oscilador basado en el inductor de tercer orden y su rango de sintonización en frecuencia (cerca del 30 %) se muestra en la figura 2.39 donde se muestra un aumento del punto DC cuando se aumenta la frecuencia del sistema, ésto se debe a que al elevar la corriente provoca en el sistema un cambio en el punto de operación; la importancia de la topología complementaria del inductor de tercer orden queda demostrada con la figura 2.39 al poder variar en un mayor rango la frecuencia de sintonización.

Un aspecto importante a recalcar de la sección 2.3.5 es el ligero cambio de la frecuencia ante la variación de la resistencia de ajuste (aproximadamente 100Mhz entre la mínima variación y la máxima). Para demostrar la existencia de este fenómeno la figura 2.40 muestra el voltaje diferencial con tres diferentes valores de resistencia de ajuste.

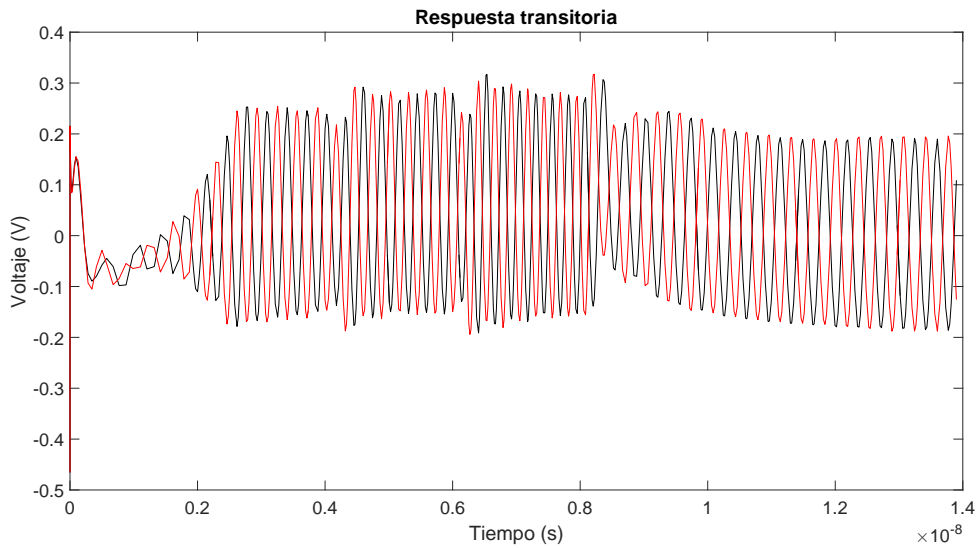


Fig 2.39: Respuesta del transitorio del oscilador basado en el inductor de tercer orden

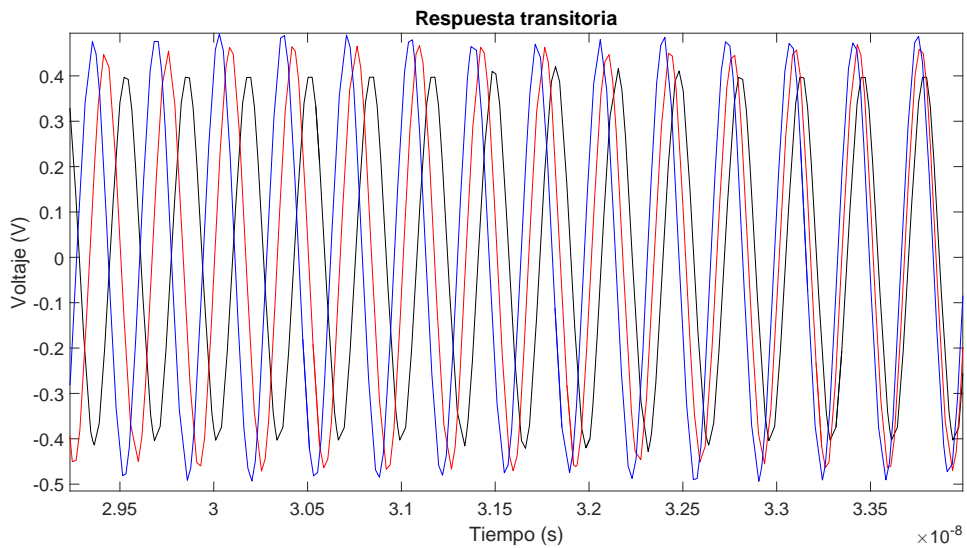


Fig 2.40: Respuesta del transitorio del oscilador basado en el inductor de tercer orden a tres frecuencias de oscilación. Negro $25k\Omega$, Rojo $50k\Omega$, Azul $95k\Omega$

Finalmente, se puede observar el valor de la frecuencia de oscilación mediante la transformada rápida de Fourier aplicada a la respuesta transitoria, la cuál se observa en la figura 2.41.

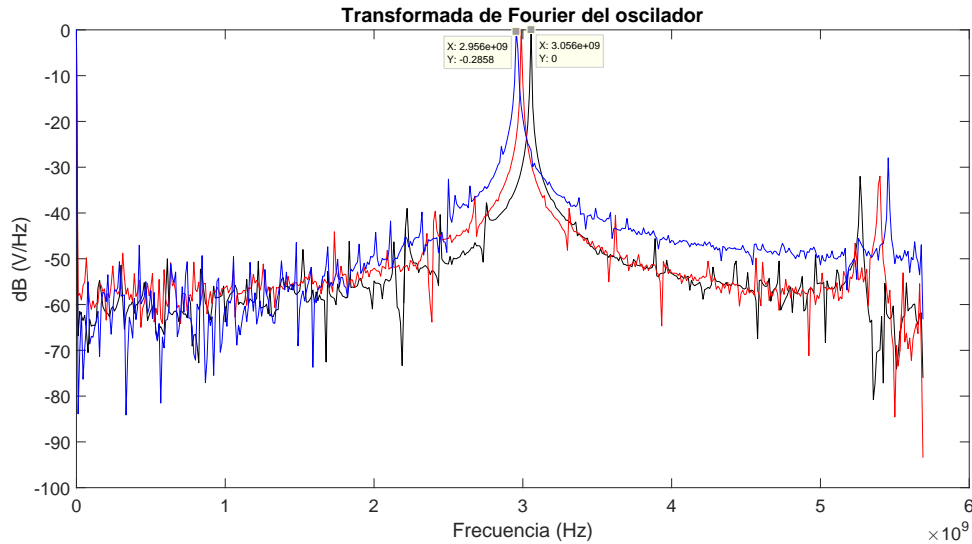


Fig 2.41: FFT aplicada a la respuesta transitoria de tres frecuencias de oscilación. Negro $25k\Omega$, Rojo $50k\Omega$, Azul $95k\Omega$

2.4.1. Ruido de fase y figura de mérito (FOM)

El ruido de fase es la principal característica de un VCO, ya que es el causante del Jitter en la respuesta transitoria. Para obtener un bajo ruido de fase en el VCO es necesario recordar, como fue visto en capítulo 1, que el ruido de fase depende en gran medida del factor de calidad; ya que el oscilador mediante el inductor activo de tercer orden aumenta considerablemente el factor de calidad, se puede esperar un bajo ruido de fase. La figura 2.42 muestra el ruido de fase con los diferentes voltajes de sintonización del VCO.

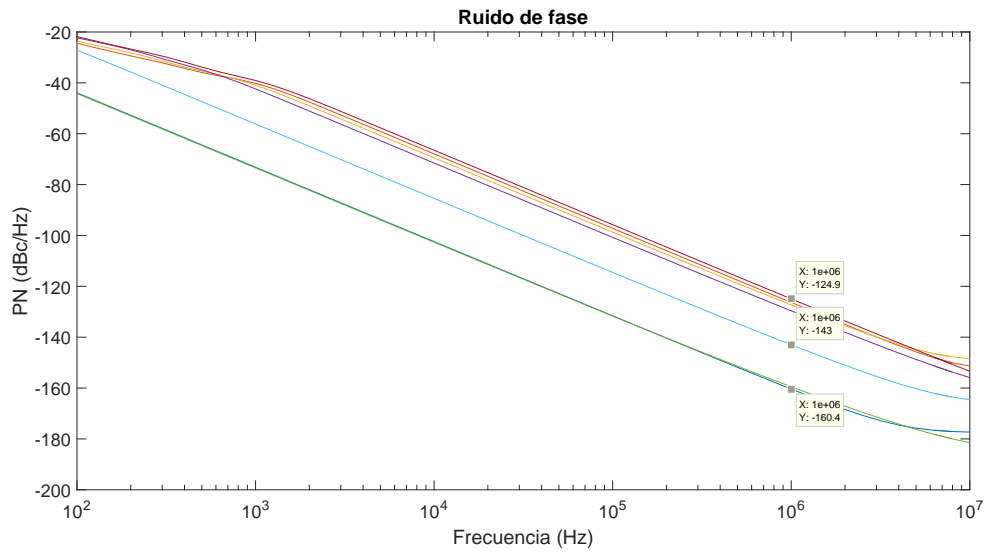


Fig 2.42: Ruido de fase con diferentes voltajes de sintonización

En la gráfica del ruido de fase, se puede observar que al aumentar el voltaje de sintonización el ruido de fase aumenta, lo cual se podía esperar en base a la figura 2.33; sin embargo, esto no evita un muy bajo ruido de fase. En la figura se muestran tres etiquetas de ruido de fase para tres diferentes voltajes de control los cuales son: $-160,4\text{dBc/Hz}$ a $-0,4\text{V}$, -143dBc/Hz a $-0,1\text{V}$ y $-124,9\text{dBc/Hz}$ a $0,25\text{V}$.

Para comparar el VCO de tercer orden con otros trabajos, la tabla 2.3 muestra las características más importante del VCO para obtener su figura de mérito (FOM, figure of merit por sus siglas en inglés).

Tabla 2.3: Características del VCO

Parámetro	Unidades
Ruido de fase mínimo @ 1MHz	-160dBc/Hz
Ruido de fase medio @ 1MHz	-143dBc/Hz
Ruido de fase alto @ 1MHz	-125dBc/Hz
Potencia _{prom}	7,3mW
Frecuencia central	3,2GHz
Rango de sintonización de frecuencia	33 %

En base a la tabla 2.3 se puede calcular la FOM para un VCO, cabe aclarar que existen diversas FOM, por lo que se utilizarán dos diferentes para visualizar los buenos resultados del VCO.

$$FOM_1 = 10\log\left(\frac{kT}{P}\left(\frac{f_{o,max} - f_{o,min}}{\Delta f}\right)^2 - \mathcal{L}\{\Delta f\}\right) = 20,68dB \quad (2.4.3)$$

En la ecuación 2.4.3, k es la constante de Boltzmann, T es la temperatura en grados Kelvin, Δf es el offset de frecuencia (1MHz), $\mathcal{L}\{\Delta f\}$ es el ruido de fase, P es la potencia promedio del VCO y $f_{o,max} - f_{o,min}$ es la variación de la frecuencia de oscilación. Para FOM_1 entre mayor sea el valor se considera mejor el VCO [35].

Para la segunda FOM, entre menor sea el valor, el VCO tiene un mejor rendimiento [36].

$$FOM_2 = -20\log\left(\frac{f_o}{\Delta f}\right)^2 + \mathcal{L}\{\Delta f\} - 10\log\left(\frac{P}{1mW}\right) = -204,91dBc/Hz \quad (2.4.4)$$

Finalmente la tabla 2.4 muestra una comparación entre los diferentes VCOs con tanque LC reportados.

Tabla 2.4: Comparación entre diferentes trabajos relacionados con VCOs

Tecnología y referencia	Frec central (Ghz)	Sintonización (Ghz)	Potencia (mW)	PN @ 1MHz (dBc/Hz)	$FOM_{1,2}$ (dBc/Hz)
0,18 μm [37]	5,2	0,87	9,7	X	-180 (1)
0,18 μm [22]	15,57	0,29	6	-116,6	-192,7 (1)
0,18 μm [38]	15	0,25	52	-112,2	-178,6 (1)
0,35 μm [39]	1,82	0,513	21	-135	1,93 (2)
0,25 μm [30]	1,25	0,35	7,2	-131	-0,2 (2)
0,35 μm [40]	5	0,89	2,45	-136,3	-206,2 (1)
Este trabajo	3,2	1	7,3	-143	-205 (1), 28,7 (2)

2.4.2. Variaciones de proceso y temperatura del oscilador

El oscilador a partir de la topología del inductor activo de tercer orden permite tener oscilaciones permanentes ante diferentes variaciones de proceso y temperatura; debido a la configuración complementaria de la topología, las variaciones snfp (transistores tipo N lentos y tipo P rápidos) y fnsp (transistores tipo N rápidos y tipo P lentos) tendrán pequeñas variaciones con respecto a tt (transistores N y P típicos); las variaciones ss (Transistores N y P lentos) y ff (transistores N y P rápidos) tienen un menor control, por lo que es necesario un circuito que pueda controlar estas variaciones de proceso mediante una topología que permita disminuir la corriente de polarización (al reducir la corriente se reduce la frecuencia de operación del VCO) cuando existan variaciones de tipo ff y ante variaciones de tipo ss, la corriente de polarización aumente con respecto a tt. La figura 2.43 muestra el circuito de control para variaciones ff y ss.

El circuito de la figura 2.43 se dimensiona para que el transistor M_{ne} se encuentre en la región de saturación ante variaciones de proceso tipo ss y en la región de triodo con variaciones tipo ff, ésto se logra teniendo en cuenta que el transistor M_{pe} se encuentra en un triodo profundo, por lo que al elegir dimensiones similares en los transistores M_{pe} y M_{ne} , la variación tipo ss tendrá un V_{GS} en el transistor M_{pe2} pequeño y podría encontrarse en la región de corte, por lo que inyectará poca corriente, la cual se restará de la corriente de polarización; por otro lado cuando existan variaciones de proceso tipo ff el transistor M_{pe2} inyectará suficiente corriente para disminuir la corriente de polarización, de esta manera se disminuirá las variaciones de proceso debidas a las esquinas ff y ss.

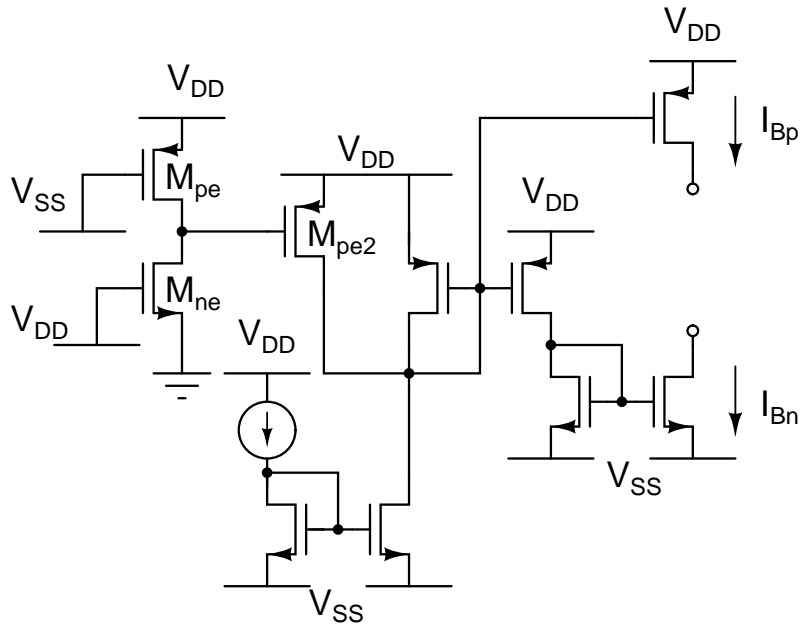
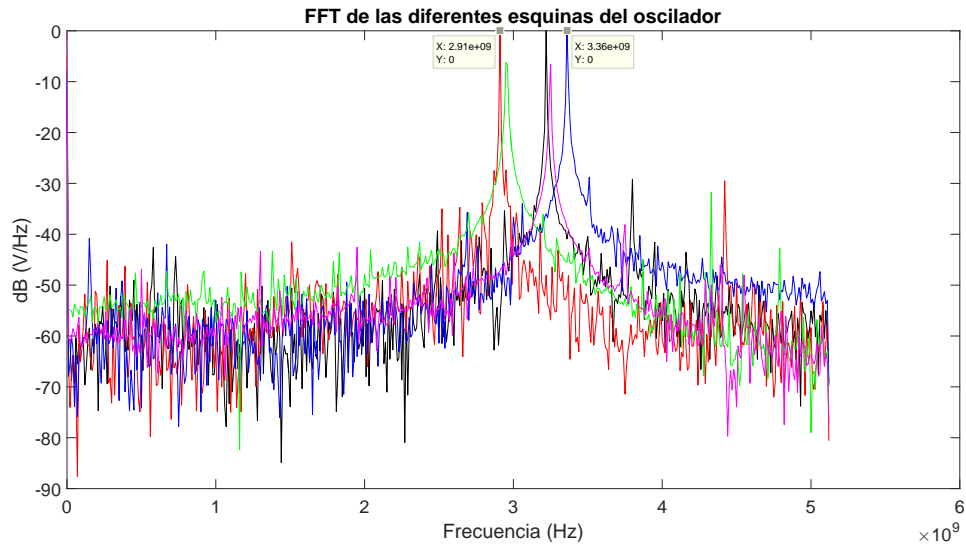
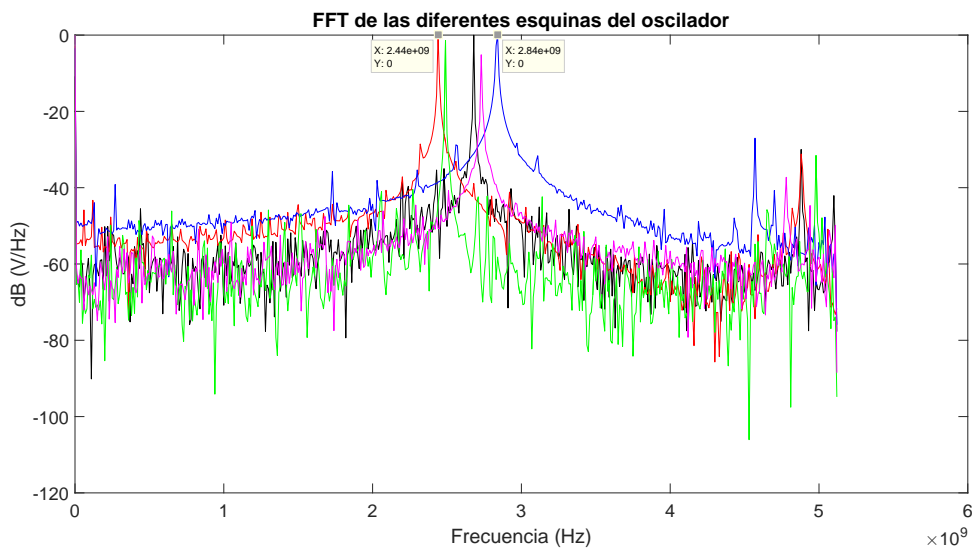
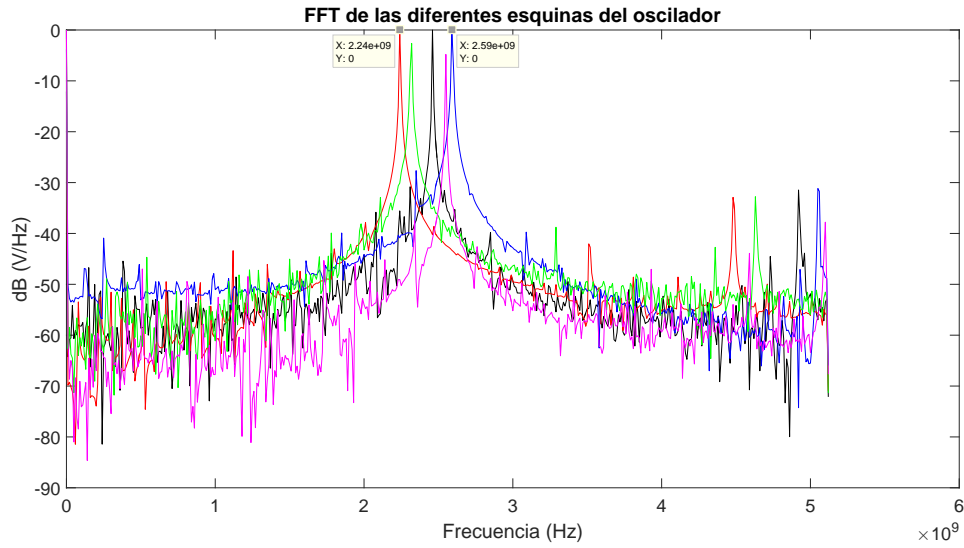


Fig 2.43: Circuito de control para la corriente de polarización en variaciones de proceso y ff

Es necesario mencionar que el oscilador no tiene una referencia de corriente que pueda moverse con el cambio de la temperatura o el proceso, con la ayuda del circuito de control, las variaciones de frecuencia son cercanas al $\pm 8\%$. Sin embargo, es importante recordar que el oscilador tiene un grado de libertad gracias al transistor en la región de triodo, por lo que, de ser necesario, ésta resistencia puede variarse para obtener una respuesta de que se acerque a el tipo tt. Las figuras 2.44, 2.45 y 2.46 muestran las variaciones de proceso y temperatura del oscilador.

Fig 2.44: Variaciones de proceso a $-40^{\circ}C$ Fig 2.45: Variaciones de proceso a $60^{\circ}C$

Fig 2.46: Variaciones de proceso a $120^{\circ}C$

Finalmente la tabla 2.5 muestra las variaciones de la frecuencia de operación ante las diferentes esquinas del proceso y temperaturas con y sin el circuito de control.

Tabla 2.5: Variación de la frecuencia de operación ante variaciones de proceso y temperatura

Circuito de Control	ss	fmsp	tt	snfp	ff
Con/Sin	Frecuencia (Ghz)				
Sin ($-40^{\circ}C$)	3,03	3,35	3,45	3,52	3,84
Con ($-40^{\circ}C$)	2,91	2,96	3,22	3,36	3,25
Sin ($60^{\circ}C$)	2,57	2,9	2,96	3,01	3,33
Con ($60^{\circ}C$)	2,44	2,49	2,68	2,84	2,73
Sin ($120^{\circ}C$)	2,38	2,71	2,76	2,8	3,15
Con ($120^{\circ}C$)	2,24	2,32	2,46	2,59	2,55

A manera de conclusión del capítulo, se ha demostrado que el aumento del factor de calidad a través de la resistencia de ajuste reduce el ruido de fase, también que inductor activo de tercer orden tiene una alta linealidad en su frecuencia de resonancia e inductancia, además, un circuito de compensación muy simple y de baja potencia permite reducir las variaciones de proceso de $\pm 12,9\%$ a $\pm 7,5\%$ y finalmente, la metodología mediante los criterios de estabilidad de los sistemas, para la elección de dimensiones, permite obtener un sistema completamente estable durante la caracterización del circuito de tercer orden con el modelo propuesto.

Diseño del Phase Lock Loop

Una de las aplicaciones más utilizada para un oscilador controlado por voltaje es en un PLL, además de ser el bloque principal de este sistema, esto se debe a que el oscilador es el responsable del rango de enganche del PLL, así como del ruido de fase del sistema e incluso de la estabilidad cuando el VCO presenta coeficientes negativos o no se cumple con el criterio de estabilidad de Routh. Sin embargo, existen diversos problemas en los bloques que conforman el PLL, como la estabilidad de lazo cerrado, la división en frecuencia de la salida del VCO, entre otros.

En este capítulo se presentan los bloques que componen un PLL, así como sus características principales a vigilar durante el proceso de diseño. Ya que la mayoría de los bloques son digitales, los criterios de diseño para establecer condiciones en los tamaños de los transistores se realizarán con la descripción del sistema, y su respuesta transitoria (setting time).

El presente capítulo se organiza de la siguiente forma: primero se diseñan y caracterizan cada uno de los bloques que componen el PLL, después se analiza el ancho de banda del PLL con la unión de todos los bloques y finalmente, se muestran los resultados del proceso de amarre del PLL.

3.1. Diseño de un detector de fase frecuencia

Como fue descrito en el capítulo 1, el detector de fase frecuencia permite obtener en una de las salidas, un voltaje alto ($0,9V$) con una duración proporcional a la diferencia de fase en las entradas del PFD, mientras que la otra salida se restablece en voltaje bajo ($-0,9V$) con el pulso en alto de la señal de más baja frecuencia. La figura 3.1 muestra el funcionamiento del PFD con una frecuencia de referencia en V_i

y dos diferentes frecuencias en V_o , estas frecuencias se encuentran abajo y arriba de la frecuencia de referencia, lo que permite observar el rango de detección entre $\pm 2\pi$.

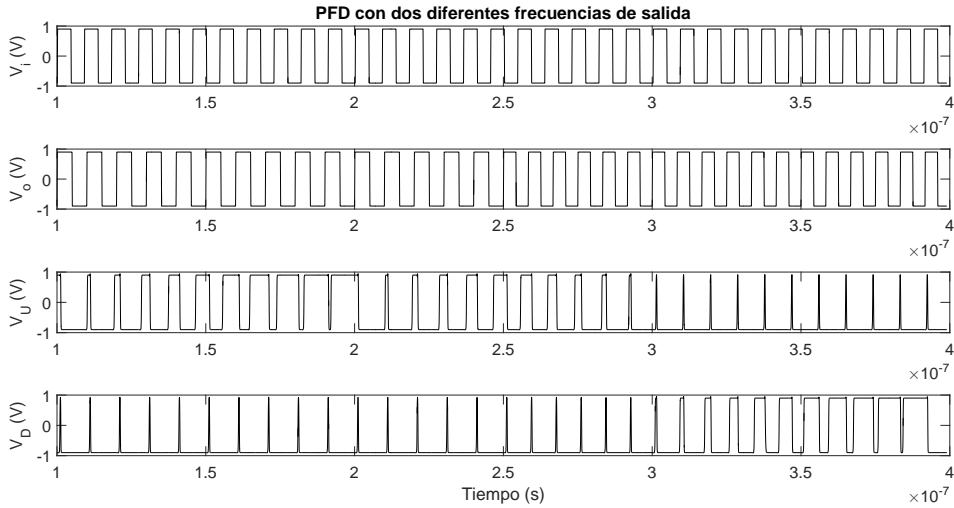


Fig 3.1: Respuesta transitoria de un PFD ante diferentes frecuencias

En la figura 3.1, se muestra a $250ns$ un cambio en la frecuencia V_o , lo que provoca que V_U empiece a disminuir, pues la frecuencia de referencia en V_i es menor que la frecuencia en V_o , este cambio gradualmente provoca que el nodo V_U empiece a restablecerse al voltaje bajo y el nodo en V_D empieza a aumentar el tiempo en que el voltaje se encuentra en alto, todo en función de la diferencia de fase.

La topología más común para un PFD se compone de dos Flip Flops tipo D con Reset y una compuerta NAND para mandar a cero (voltaje bajo) el Reset de los Flip Flop. la figura 3.2 muestra el diagrama esquemático del PFD.

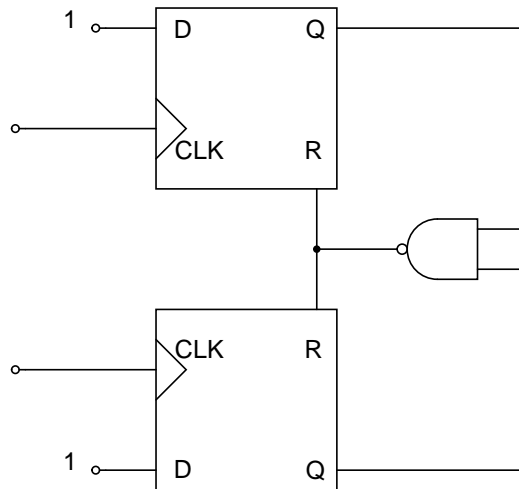


Fig 3.2: Diagrama esquemático del PFD

El Flip Flop tipo D con Reset es la parte medular del PFD, y requiere una topología que permita un manejo eficiente de las señales de entrada para proveer señales de salida sin sobretiro, con rápidos tiempos de carga y descarga y un diseño sencillo. La topología propuesta en este trabajo utiliza compuertas de transmisión, y compuertas NAND para el Reset [41]. La figura 3.3 muestra el circuito utilizado en el Flip Flop tipo D.

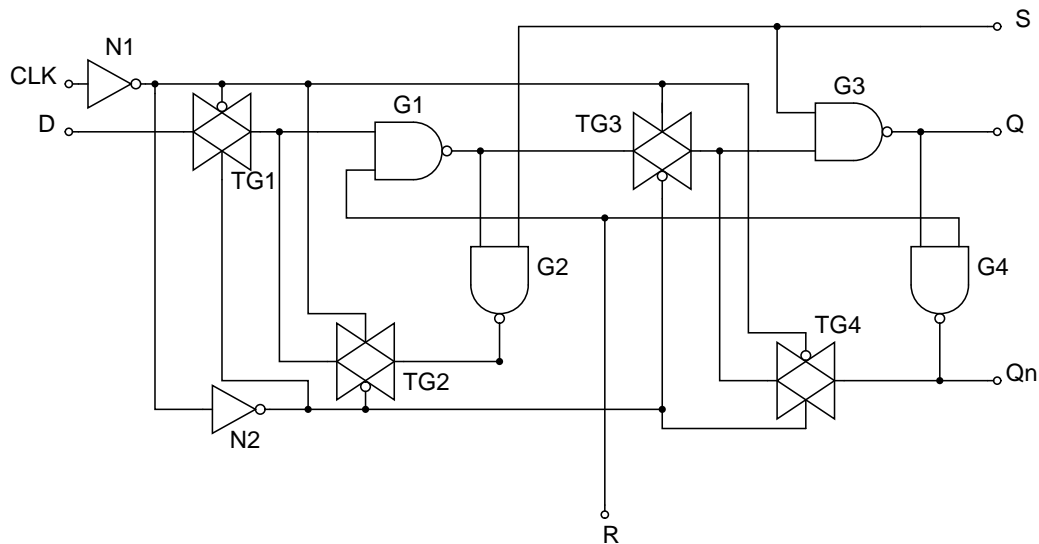


Fig 3.3: Diagrama esquemático de un Flip Flop tipo D con Reset

El proceso para dimensionar las compuertas de transmisión y las compuertas NOT,

requiere tener en cuenta la simetría entre los transistores P y N, lo cual provoca tiempos de carga y descarga iguales, por lo que los anchos de los transistores tipo P deben ser cuatro veces mayores que los tipo N. La ecuación 3.1.1 muestra la resistencia del transistor en la región de triodo, responsable de los tiempos de carga y descarga.

$$R_{Trd} = \frac{1}{k_m \frac{W}{L} (V_{gs} - V_{th})} \quad (3.1.1)$$

En la ecuación 3.1.1 se observa que cuando la relación entre las dimensiones es mayor, la resistencia disminuye; sin embargo, al aumentar las dimensiones la capacitancia aumenta; además, si se tiene en cuenta que las señales que pasan por el Flip Flop son únicamente digitales, la resistencia de 3.1.1 tiene un valor fijo; utilizando las dimensiones mínimas de W y L se obtiene el siguiente valor.

$$R_{Trd} = 2469\Omega \quad (3.1.2)$$

$$W_{min} = 0,24m\mu$$

$$L_{min} = 0,18m\mu$$

A pesar de que la resistencia pudiera parecer un poco grande, la capacitancia de carga es muy pequeña debido a las pequeñas dimensiones de los transistores, lo cual se tienen tiempos de carga y descarga en el orden de los picosegundos. Por lo tanto las dimensiones del PFD serán las mínimas que permite la tecnología para los transistores tipo N y escalados cuatro veces los ancho de los transistores tipo P.

Como se observa en la figura 3.4 los transistores tipo P de la compuerta NAND se encuentran en paralelo, por lo que cuando ambas entradas (A, B) se encuentran en voltaje bajo, la resistencia de carga será la mitad del valor original, a causa de esto, los anchos de los transistores P pueden ser de la mitad del valor que los anchos de la compuerta NOT tomando para los transistores el largo y ancho mínimo.

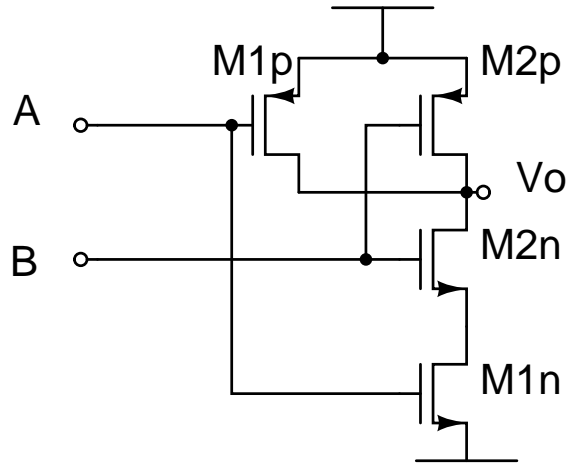


Fig 3.4: Compuerta NAND

La simulación transitoria de la figura 3.5 muestra los tiempos de retardo, así como los tiempos de carga y descarga del PFD con compuertas de transmisión.

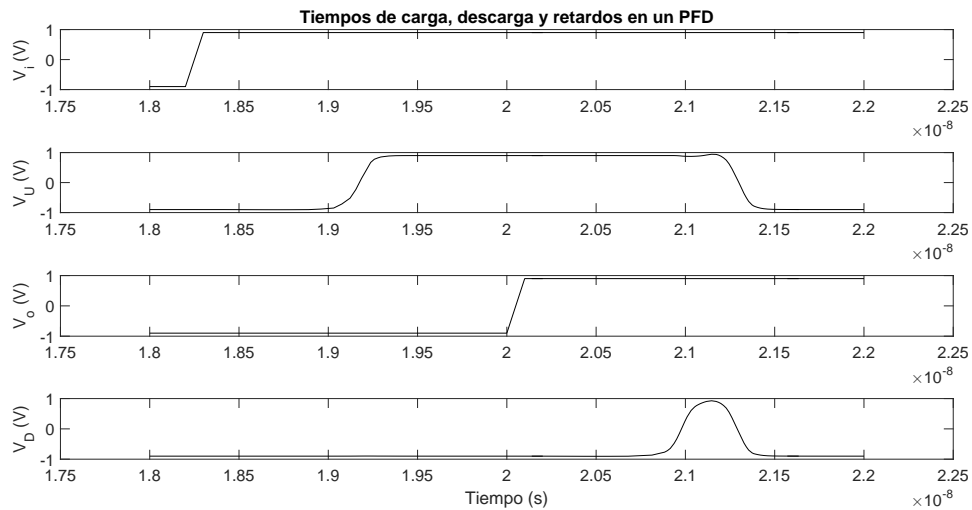


Fig 3.5: Tiempos de carga, descarga y retardos de un PFD

La figura 3.5 muestra un retardo de menos de $1ns$ para en nodo V_U con respecto a la señal del nodo V_i y $250ps$ de tiempo de carga y descarga; el retardo de descarga es de $1,3ns$, el cual tiene una mayor duración debido a la compuerta NAND del Reset y la compuerta NAND interna del Flip Flop D que restablece en cero las salidas V_U y V_D . Es importante mencionar que esta topología de PFD no se puede usar si

las señales de entrada tienen una frecuencia superior a $1GHz$, ya que los retardos provocarían un mal funcionamiento de la topología.

3.2. Diseño de la bomba de carga

Hoy en día existen diversas topologías para realizar una bomba de carga, algunos ejemplos se pueden encontrar en [42], [43] y [44]. Sin embargo, el VCO propuesto en el capítulo anterior permite tener señales de control diferenciales, por lo cual se requiere una estructura diferencial en la bomba de carga para aprovechar las características del oscilador; además, la bomba de carga con estructura diferencial ayuda a disminuir el mismatch de corriente con lo que es posible disminuir el error de fase [45]. La estructura seleccionada para la bomba de carga con salida diferencial [21] se muestra en la figura 3.6 [45].

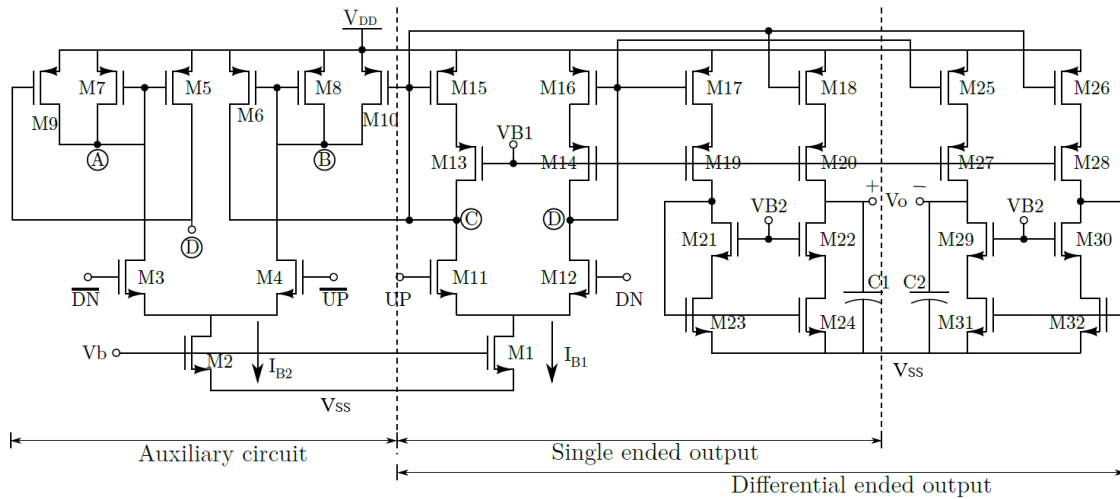


Fig 3.6: Bomba de carga con salida diferencial [21]

En la figura 3.6 existen dos circuitos para un sólo sistema, la bomba de carga diferencial tiene como propósito cargar o descargar los capacitores $C1$ y $C2$ y el circuito auxiliar ayuda a tener una mayor velocidad de carga y descarga a la bomba de carga diferencial. El circuito de 3.6 funciona de la siguiente manera: cuando existe un voltaje alto en UP y uno bajo en DN , el transistor $M11$ aumentará mucho su corriente, mientras que el transistor $M12$ disminuirá la suya, ésto provocará que el nodo C disminuya al voltaje bajo (V_{SS}) y el nodo D al voltaje alto (V_{DD}); además el transistor $M10$ conducirá mucha corriente al nodo B aumentando su voltaje a V_{DD} , por el contrario $M9$ entrará a la región de corte con lo que el nodo A disminuirá su voltaje a V_{SS} , de esta manera el transistor $M5$ conducirá mucha corriente hacia el nodo D provocando que el voltaje en este nodo llegue más rápido a V_{DD} , de igual forma el transistor en $M6$ se encontrará en la región de corte provocando que el nodo C se dirija a V_{DD} a mayor velocidad. Los transistores $M3$ y $M4$ permiten también que los nodos A y B lleguen más rápido a V_{SS} y V_{DD} respectivamente. Finalmente, $M18$ conducirá mucha corriente al estar el nodo D en su voltaje bajo y cargará el capacitor $C1$, mientras el transistor $M31$ descargará el capacitor $C2$. Cuando UP se encuentre en V_{SS} y DN en V_{DD} , el transistor $M24$ descargará el capacitor $C1$ y $M25$ cargará el capacitor $C2$; el estado donde ambas entradas se encuentran en voltaje bajo (UP y DN) no existe carga o descarga en los capacitores [45].

Para el dimensionamiento de los transistores de la bomba de carga, el parámetro más importante es la corriente que fluye por el transistor $M1$, ya que éste fija la máxima cantidad de corriente con la que se puede cargar o descargar los capacitores. La corriente del circuito auxiliar puede ser menor, ya que el circuito sólo se utiliza para establecer, ya sea en alto o bajo, los nodos C y D con mayor rapidez.

La figura 3.7 muestra un barrido en DC del voltaje en las salidas de la bomba de carga para hallar la corriente de carga o descarga con respecto del voltaje de salida; para la simulación se utilizó una corriente de $175\mu A$ en el transistor $M1$.

La figura 3.8 muestra el matching que existe entre la corriente diferencial.

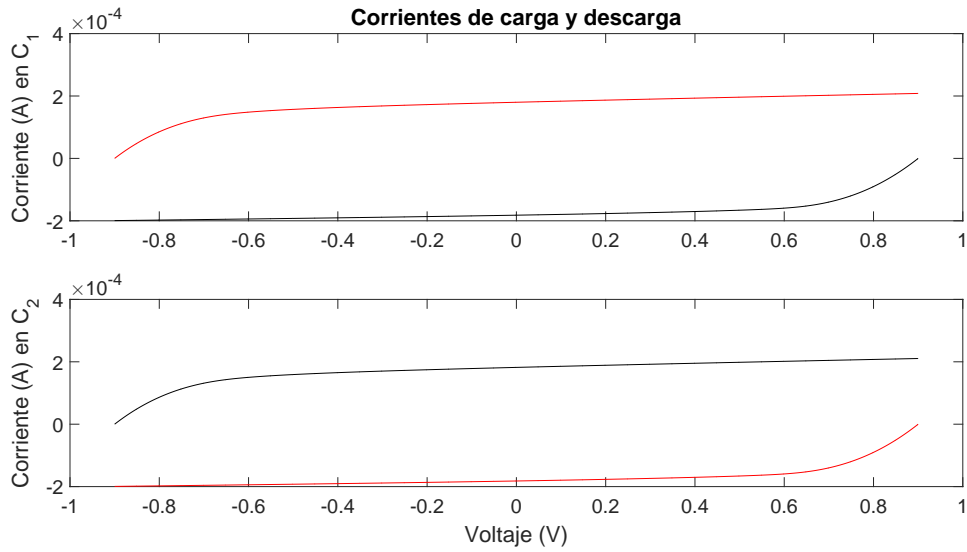


Fig 3.7: Corrientes de carga y descarga

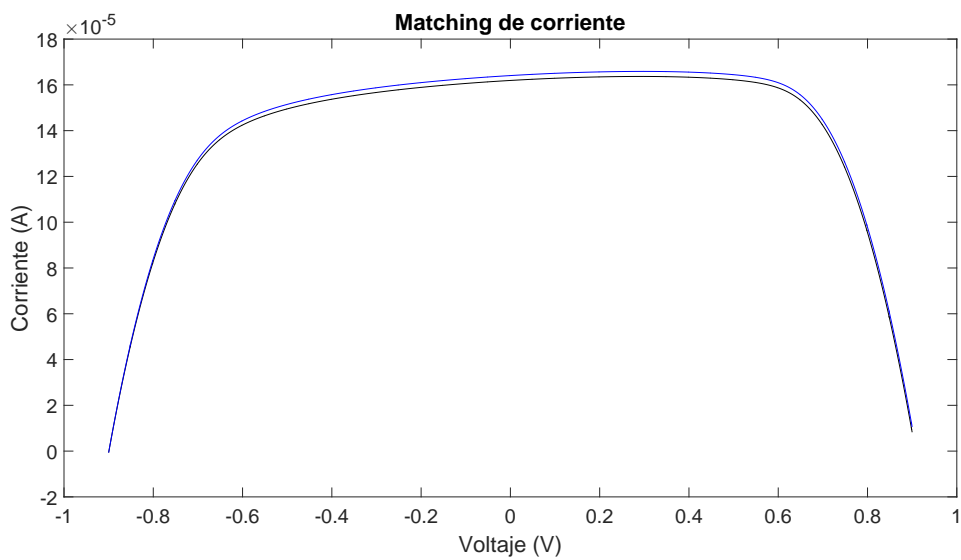


Fig 3.8: Matching de corriente

Para observar la carga y descarga de los capacitores se utiliza una señal de reloj en UP y se mantiene DN en voltaje bajo, de esta manera no habrá cambios del estado prohibido por parte de DN (UP y DN en voltaje alto) y por tanto el voltaje en UP cargará $C1$ y descargará $C2$. La figura 3.9 ejemplifica la explicación antes mencionada.

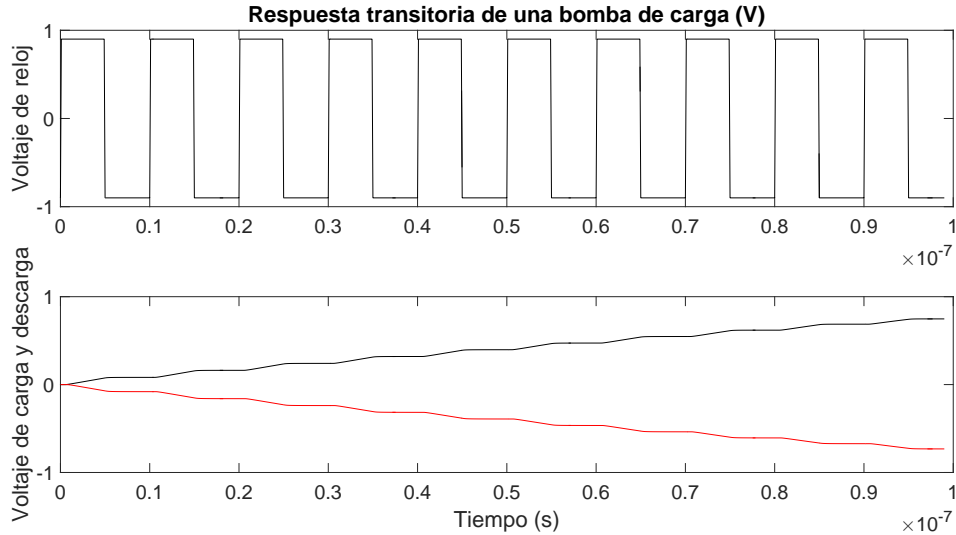


Fig 3.9: Carga y descarga en los capacitores $C1$ y $C2$

En la figura 3.9 se puede observar que cuando UP se encuentra en voltaje alto, la capacitancia $C1$ se empieza a cargar y el voltaje en ese capacitor aumenta, mientras que el capacitor $C2$ se descarga y su voltaje disminuye; cuando UP se encuentra en voltaje bajo, los capacitores $C1$ y $C2$ permanecen sin cambios y se mantienen en el voltaje anterior.

Finalmente, la figura 3.10 muestra la importancia del circuito auxiliar al observar el retardo que tiene el sistema de la salida con respecto a la entrada.

La figura 3.10 muestra que la CP responde a muy alta velocidad, con retardos menores que el PFD.

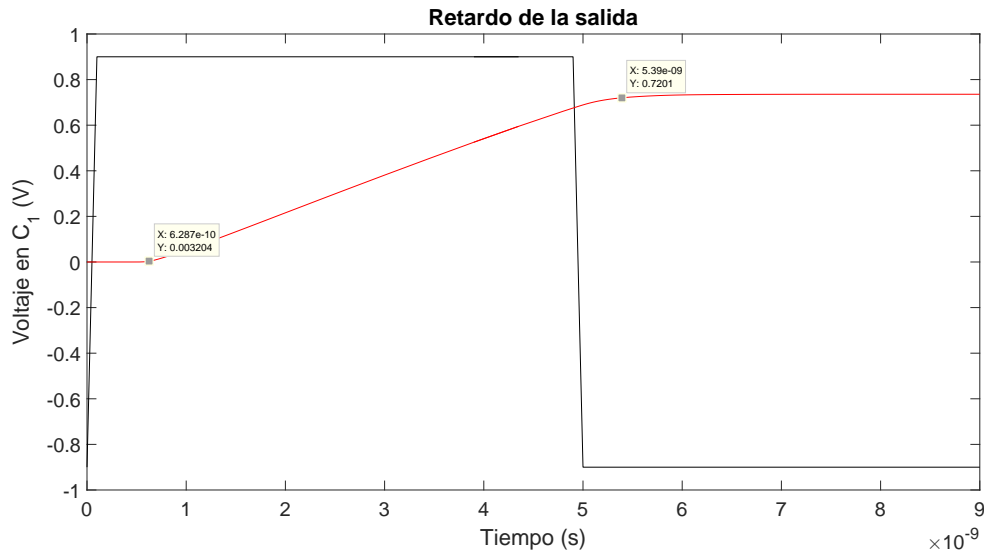


Fig 3.10: Retardo del voltaje en el capacitor

3.3. Diseño del filtro de lazo

Para poder elegir los valores de resistencia y capacitancia del filtro de lazo, es necesario obtener la ganancia de lazo, la cual requiere las características de VCO y del divisor de frecuencia; sin embargo, antes de elegir valores para el filtro es necesario realizar un modelo en base al detector de fase frecuencia, la bomba de carga y el propio filtro de lazo. La figura 3.11 muestra el modelo a través de un circuito equivalente.

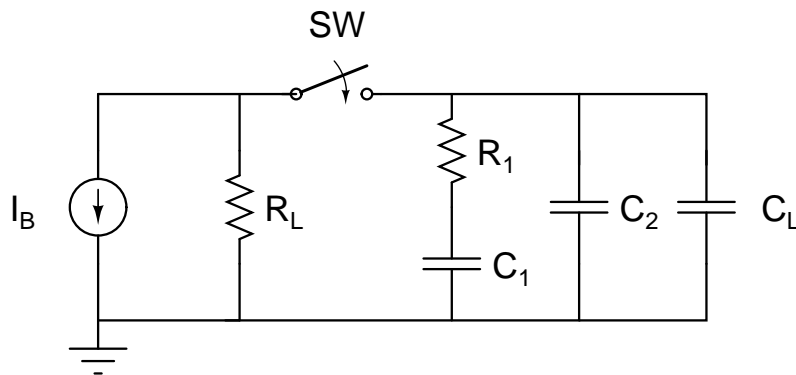


Fig 3.11: Modelos equivalente del PFD, CP y FL

En la figura anterior I_B es la corriente de carga o descarga de la CP, R_L y C_L son la resistencia finita y la capacitancia en la salida de la fuente de corriente de CP;

por último, los valores C_1 , C_2 y R_1 forman el filtro de lazo y crean las constantes de tiempo que determinan el ancho de banda del PLL. La ecuación 3.3.1 muestra la impedancia equivalente del filtro de lazo.

$$\frac{V_c}{I_B} = \frac{R_L[sC_1R_1 + 1]}{R_1R_LC_1(C_2 + C_L)s^2 + [R_1C_1 + R_L(C_1 + C_2 + C_L)]s + 1} \quad (3.3.1)$$

La ecuación 3.3.1 puede ser tomada en función de las constantes de tiempo del circuito de la figura 3.11 resultando en la ecuación equivalente mostrada a continuación:

$$\frac{V_c}{I_B} = \frac{R_L[s\tau_2 + 1]}{\tau_1\tau_2s^2 + (\tau_1 + \tau_2 + \tau_3)s + 1} \quad (3.3.2)$$

Donde:

$$\tau_1 = R_L(C_2 + C_L)$$

$$\tau_2 = R_1C_1$$

$$\tau_3 = R_LC_1$$

La importancia de la ecuación 3.3.2 resulta evidente cuando se calcula el ancho de banda del PLL.

3.4. Constante de proporcionalidad del VCO

Para hallar la constante de proporcionalidad del VCO k_o , la cual es necesaria para calcular el ancho de banda del PLL; se debe de encontrar la derivada de la frecuencia de operación (ω_{re}) con respecto del voltaje de control (V_g). En la ecuación 3.4.1 se muestra la constante de proporcionalidad del VCO.

$$k_o = \frac{d\omega_{re}}{dV_g} \quad (3.4.1)$$

Con la ayuda del software Maple[®] se puede encontrar la gráfica k_o en función del

voltaje de control.

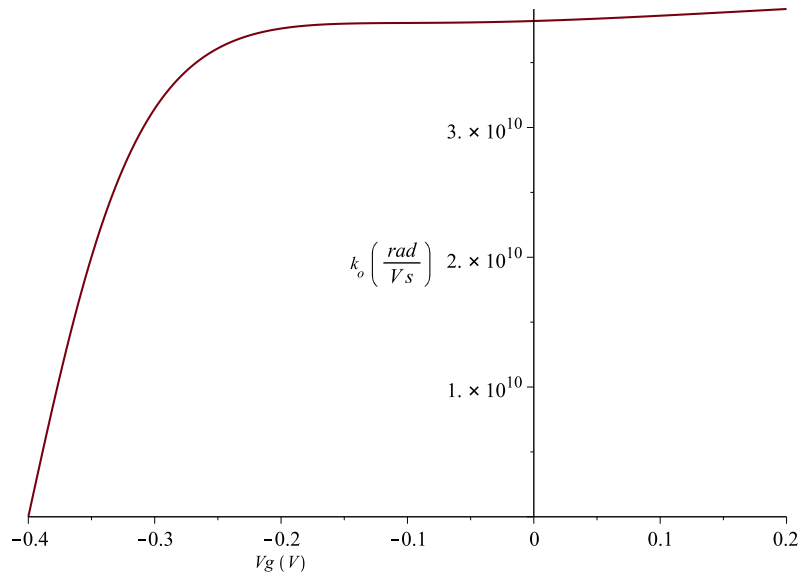


Fig 3.12: Gráfica de la constante de proporcionalidad del VCO

La figura 3.12 anticipa una respuesta lineal por partes en el rango de sintonización del VCO. La ecuación 3.4.2 muestra la variación de la frecuencia en función de la constante de proporcionalidad y el voltaje de control.

$$\Delta\omega_o = k_o V_g \quad (3.4.2)$$

La gráfica de la ecuación anterior, tomando en cuenta las variaciones de k_o con respecto a V_g , se muestra en la figura 3.13.

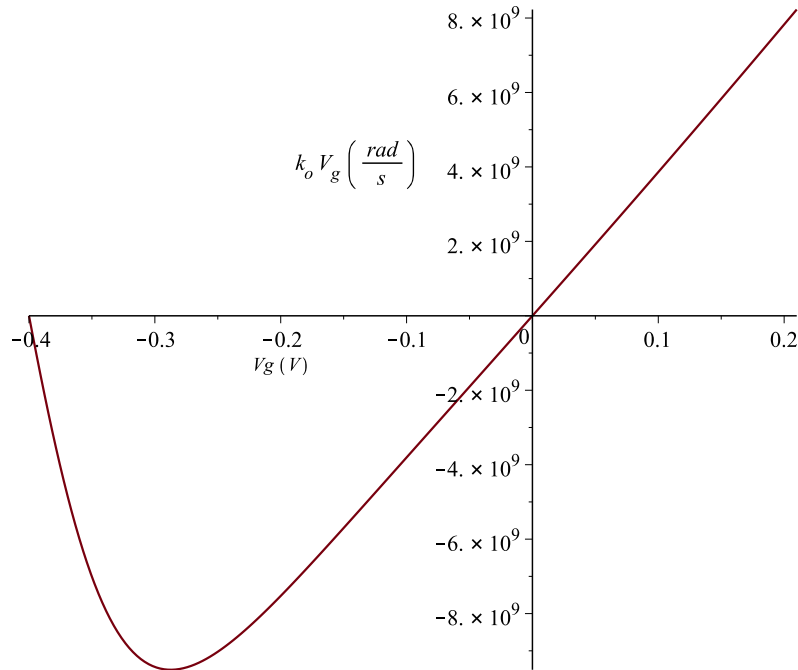


Fig 3.13: Variación de la frecuencia

En la gráfica se puede observar que hay una variación lineal en el incremento de frecuencia en el rango de V_g que va de $-0,3V$ a $0,2V$, de igual manera su valor máximo se encuentra cercano a los $8Grad/s$ y el valor mínimo está en $-8,5Grad/s$, por lo que la constante de proporcionalidad del VCO en la región lineal es:

$$k_o = 35Grad/Vs \quad (3.4.3)$$

3.5. Divisor lógico en modo corriente

El parámetro más importante para elegir una topología de divisor de voltaje es la frecuencia máxima que puede dividir el sistema, este parámetro en un PLL depende del máximo cambio de frecuencia del VCO. Debido a que el VCO fue diseñado para alcanzar la máxima frecuencia de operación posible, la mayoría de los divisores de voltaje se vuelven obsoletos; ésto se debe a que la mayoría de las topologías de divisores de voltaje involucran un flip flop tipo D por cada reducción de la mitad de la frecuencia y como se pudo observar en la figura 3.5 los retardos de un flip flop con compuertas de transmisión se encuentran cercanos a $1Ghz$; al igual que el filp flop

tipo D con compuertas de transmisión, la respuesta transitoria de otras topologías de divisores de voltaje no pueden procesar señales por arriba de 2Ghz . La estructura para un divisor de voltaje a través de un flip flop tipo D se muestra en la figura 3.14.

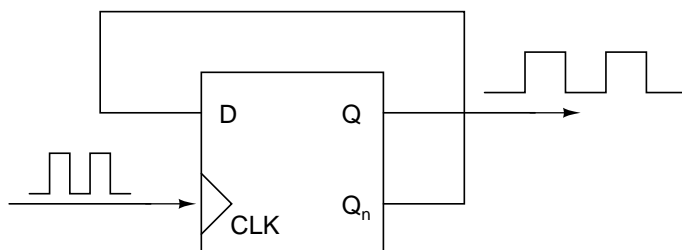


Fig 3.14: Divisor de voltaje mediante un flip flop tipo D

Teniendo en cuenta que la máxima variación de la frecuencia del VCO está cercana 4Ghz , la división de frecuencia en modo corriente se vuelve la opción más aceptable. La celda básica para la construcción de un CMLD (Current Mode Logic Divider, por sus siglas en inglés) utilizada en este trabajo se muestra en la figura 3.15 [46].

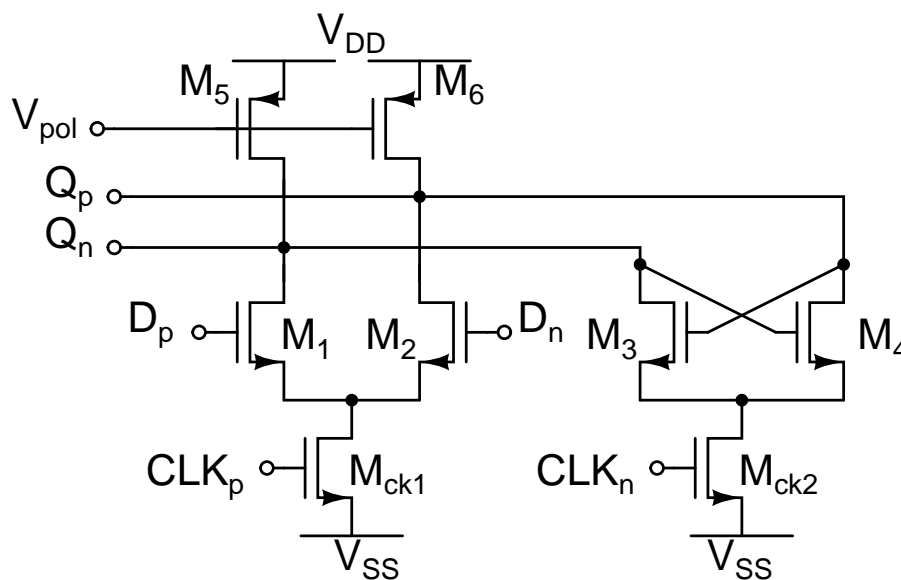


Fig 3.15: Celda básica para el divisor lógico en modo corriente

Para poder alcanzar la máxima frecuencia en la topología 3.15 es necesario observar que las dimensiones deben ser lo más pequeñas posibles, ya que la capacitancia parásita afecta a la frecuencia de corte del sistema y ésta depende de las dimensiones de los transistores; sin embargo la corriente en estado dinámico depende de la rela-

ción de tamaños, por lo que es necesario establecer algunos criterios para el diseño del divisor. Los transistores M_5 y M_6 actúan como una resistencia de carga, mientras los transistores M_1 y M_2 están en funcionamiento cuando CLK_p se encuentra en alto y M_3 y M_4 se encuentran conectados a la carga cuando CLK_n se encuentra en alto. CLK_p y CLK_n son señales de reloj que se encuentran alternadas 180° , las cuales proceden del VCO. Las dimensiones propuestas se muestran en las ecuaciones 3.5.1 y 3.5.2. Para disminuir la capacitancia parásita, una vez más los largos de los transistores serán los mínimos.

$$W_1, W_2, W_3, W_4, W_{ck1}, W_{ck2} = 1,8\mu m \quad (3.5.1)$$

$$W_5, W_6 = 5,4\mu m \quad (3.5.2)$$

La construcción de un divisor lógico en modo corriente que divide la frecuencia a la mitad requiere de dos celdas básicas, éstas emulan un flip flop tipo D. La figura 3.16 muestra un CMLD.

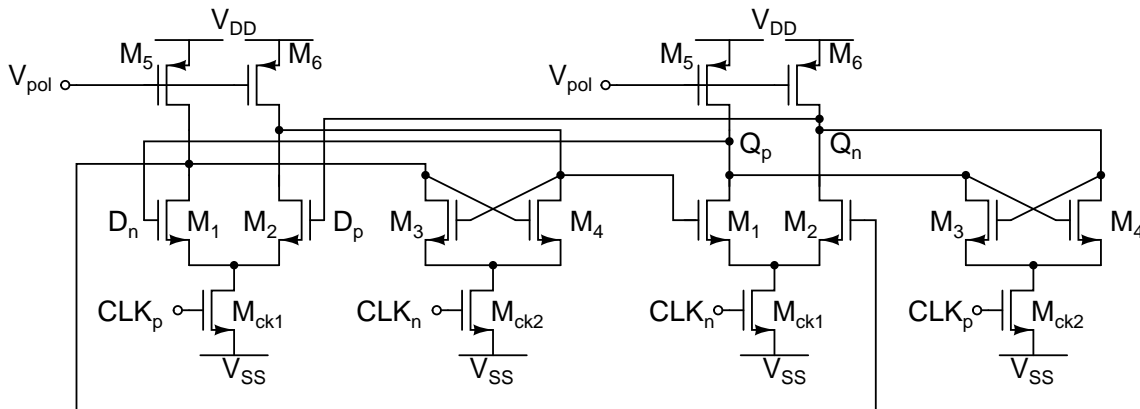


Fig 3.16: Divisor lógico en modo corriente

La respuesta transitoria del CMLD con una señal ideal de $4GHz$ se muestra en la figura 3.17.

En la respuesta del CMLD se puede apreciar que existe un retardo entre cada una de las divisiones de frecuencia al comenzar la simulación (ésto debido a que debe de existir una señal con una frecuencia bien definida); además los ciclos altos y bajos de la respuesta transitoria contienen una amplitud no totalmente constante, por lo que es necesario un divisor en modo voltaje que pueda mantener totalmente constante los

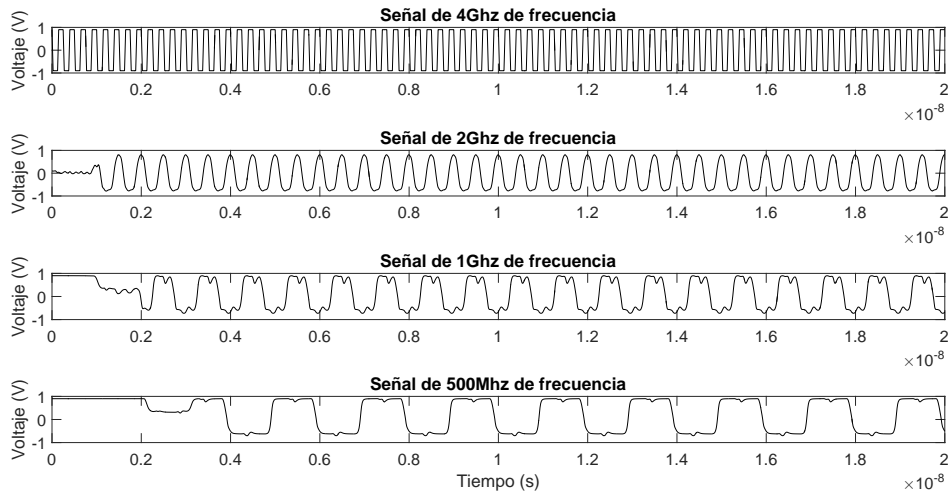


Fig 3.17: Respuesta transitoria del CMLD

voltajes altos y bajos.

Para observar la división de la frecuencia ante una señal no ideal, se conecta el VCO al CMLD, la respuesta transitoria se observa en la figura 3.18.

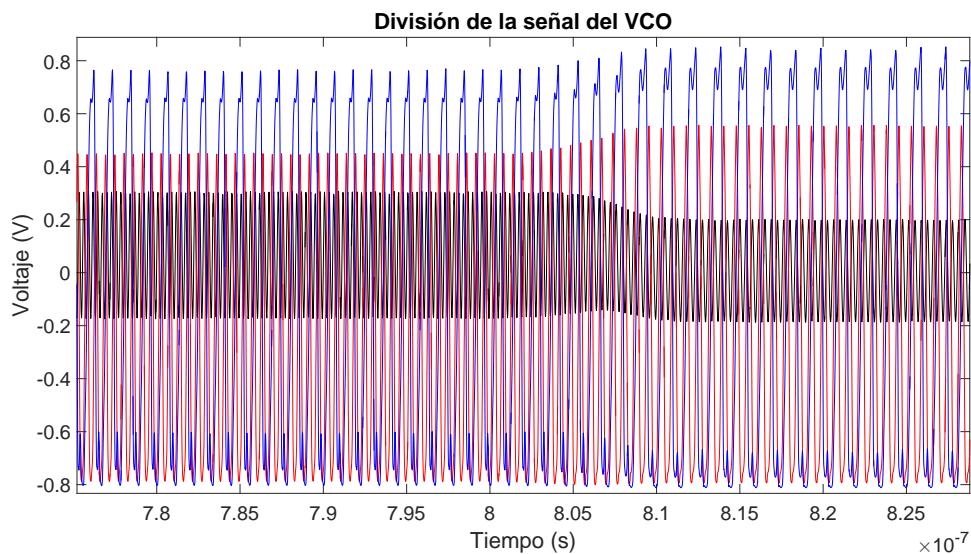


Fig 3.18: Respuesta transitoria del CMLD ante la señal del VCO

Como es posible observar en la gráfica anterior, el CMLD cumple la función de dividir la frecuencia; sin embargo, los estados bajo y alto no son completamente constantes. La figura 3.19 muestra la división del VCO desde 2, 4, 8, 16, hasta 32

veces la frecuencia de oscilación; además, para la última división se utiliza un divisor de frecuencia con compuertas de transmisión, el cual permite mantener constantes los voltajes alto y bajo.

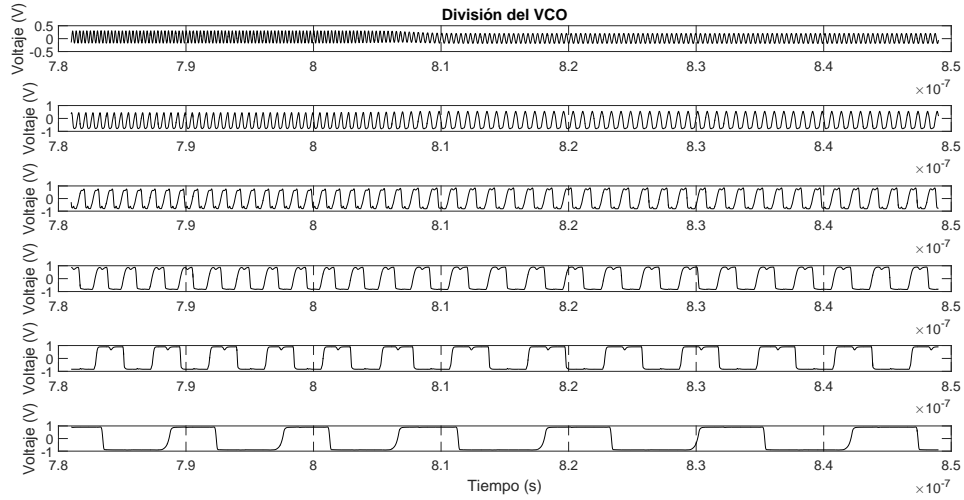


Fig 3.19: Respuesta transitoria de las diferentes divisiones de frecuencia del VCO

En 3.8 se muestra un cambio en la frecuencia de oscilación, así como los estados bajo y alto constantes después de la quinta división (2^5).

3.6. Diseño de la ganancia de lazo en un PLL

La ganancia de lazo, cuando el sistema es de tercer orden o mayor, es el parámetro más importante para asegurar la estabilidad del PLL en lazo cerrado, ésto se debe a que la ganancia de lazo permite observar si el sistema pudiera ser inestable, ésto mediante el margen de ganancia y fase.

Para determinar un margen de fase que permita al PLL enganchar a la frecuencia de referencia, es necesario conocer todos los parámetros que intervienen en la ganancia de lazo con excepción de los valores del filtro de lazo. La ecuación de la ganancia de lazo del capítulo 1 se muestra a continuación

$$G(s) = \frac{k_d k_o f(s)}{N_s}$$

Para hallar los valores del filtro de lazo, conviene reescribir la función de transferencia del filtro en función de los polos y ceros del sistema.

$$\frac{R_L[s\tau_2 + 1]}{\tau_1\tau_2s^2 + (\tau_1 + \tau_2 + \tau_3)s + 1} = \frac{R_L(T_2s + 1)}{(T_1s + 1)(T_3s + 1)} \quad (3.6.1)$$

Donde:

$$T_1 = \frac{1}{\omega_{p1}}$$

$$T_2 = \frac{1}{\omega_{z1}}$$

$$T_3 = \frac{1}{\omega_{p2}}$$

Las constantes de tiempo del filtro de lazo se puede despejar en función de T_1 , T_2 y T_3 , como puede apreciarse en 3.6.2, 3.6.3 y 3.6.4.

$$\tau_1 = \frac{T_1T_3}{T_2} \quad (3.6.2)$$

$$\tau_2 = T_2 \quad (3.6.3)$$

$$\tau_3 = T_1 + T_3 - T_2 - \frac{T_1T_3}{T_2} \quad (3.6.4)$$

Algunos criterios de diseño para establecer un margen de fase adecuado (cerca de -120° para evitar un bajo factor de amortiguamiento), sugieren que la frecuencia del cero (ω_{z1}) sea cuatro veces menor que la frecuencia a ganancia unitaria (ω_u), mientras que el polo de alta frecuencia (ω_{p2}) se encuentre a cuatro veces la frecuencia a ganancia unitaria [13]. Las ecuaciones 3.6.5 y 3.6.6 resumen la explicación antes mencionada.

$$\omega_{z1} = \frac{\omega_u}{4} \quad (3.6.5)$$

$$\omega_{p2} = 4\omega_u \quad (3.6.6)$$

La frecuencia a ganancia unitaria la define el diseñador; sin embargo, dicha fre-

cuencia debe ser menor que la frecuencia máxima del sistema, la cual está definida por la ecuación 3.6.7.

$$\omega_{max} = \frac{k_d k_o R_L}{N} \quad (3.6.7)$$

Generalmente ω_u se diseña en función de una fracción de ω_{max} ; de la elección de ω_u depende la velocidad de amarre del PLL.

Finalmente, para hallar el polo de baja frecuencia (ω_{p1}) se debe tener en cuenta que ω_{p2} ocurre después de ω_u . La descripción de la ganancia de lazo en $0dB$ se utiliza para hallar una relación de ω_{p1} .

$$20[\log\omega_{max} - \log\omega_u - \log\frac{\omega_u}{\omega_{p1}} + \log\frac{\omega_u}{\omega_{z1}}] = 0$$

$$\frac{\omega_{max}\omega_u}{\omega_{z1}} = \frac{\omega_u^2}{\omega_{p1}}$$

$$\omega_{p1} = \frac{\omega_{z1}\omega_u}{\omega_{max}} \quad (3.6.8)$$

Para comenzar con el diseño del margen de fase de la ganancia de lazo, se deben conocer todas las constantes de la frecuencia ω_{max} .

$$k_d = \frac{I_B}{2\pi}$$

$$k_o = 35\text{Grad}/s$$

$$R_L = 25k\Omega$$

$$N = 32$$

$$\omega_{max} = 761581271$$

Por último se selecciona una frecuencia ω_u en función de una fracción de ω_{max} ; a modo de ejemplo la figura 3.20 muestra el margen de fase de la ganancia de lazo para una frecuencia $\omega_u = 0,02\omega_{max}$.

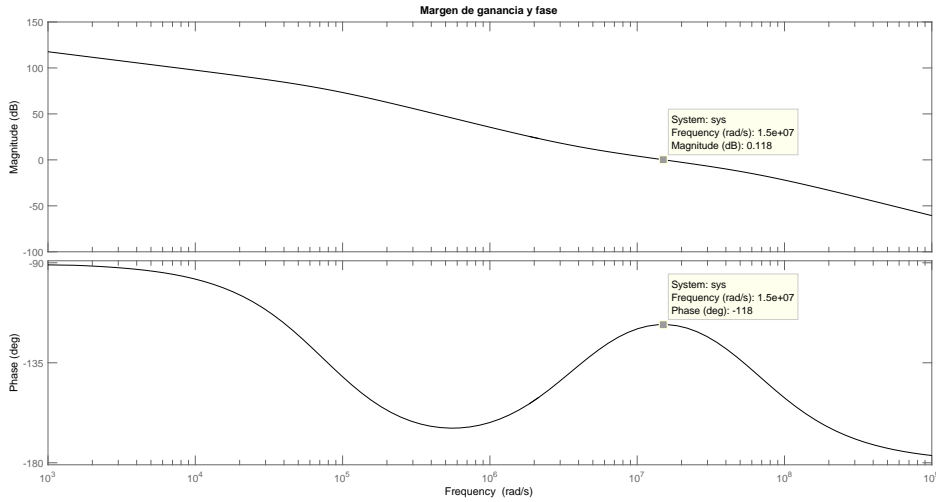


Fig 3.20: Margen de fase para $\omega_u = 0,02\omega_{max}$

Para obtener el margen de fase de la figura anterior las constantes de tiempo son las siguientes:

$$\tau_1 = 820,661ns$$

$$\tau_2 = 262,611ns$$

$$\tau_3 = 12,063\mu s$$

Teniendo en cuenta que la capacitancia parásita de carga C_L en la bomba de carga es mucho menor que la capacitancia C_2 del filtro de lazo, resulta muy sencillo hallar los valores de resistencia y capacitancia del filtro de lazo.

$$C_1 = 482,5pF, C_2 = 32,81pF, R_1 = 544,3\Omega$$

3.7. Proceso de amarre del PLL

Teniendo en cuenta las características del filtro de lazo y su dependencia con la ganancia de lazo, es posible proponer un diseño para una frecuencia específica, la cual

no debe ser mayor que la frecuencia máxima de la ganancia de lazo ω_{max} .

Para poder observar la prueba de amarre del PLL, primero se establece una frecuencia de amarre y una frecuencia de referencia, una vez el PLL ha sido amarrado, la frecuencia de referencia se cambia para observar el amarre del PLL con la nueva frecuencia de referencia. La simulación de la respuesta transitoria del PLL se toma en los nodos del voltaje de control del VCO.

En la figura 3.21 se muestra el amarre del PLL a la frecuencia $\omega_u = 0,1\omega_{max}$, con una frecuencia de referencia de $100MHz$, a los $600ns$ se cambia la frecuencia de referencia a $105MHz$ y finalmente, a los $1200ns$ se vuelve a cambiar la frecuencia de referencia a $100MHz$.

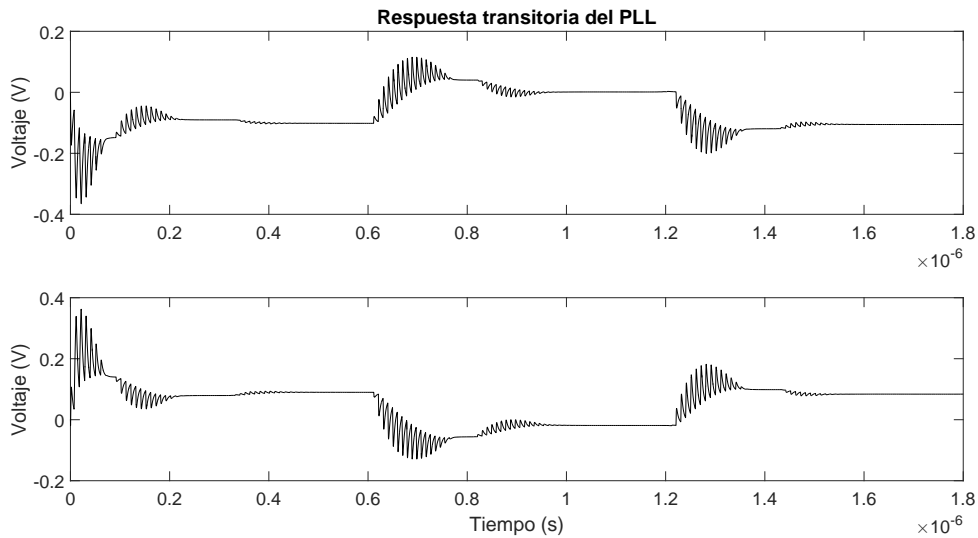


Fig 3.21: Respuesta transitoria del PLL a $\omega_u = 0,1\omega_{max}$

Para la figura 3.21 los valores del filtro de lazo son los siguientes:

$$C_1 = 1,3pF, C_2 = 17,7pF, R_1 = 2967\Omega$$

La figura 3.22 muestra el amarre del PLL a la frecuencia $\omega_u = 0,2\omega_{max}$, y con las mismas características de la frecuencia de referencia.

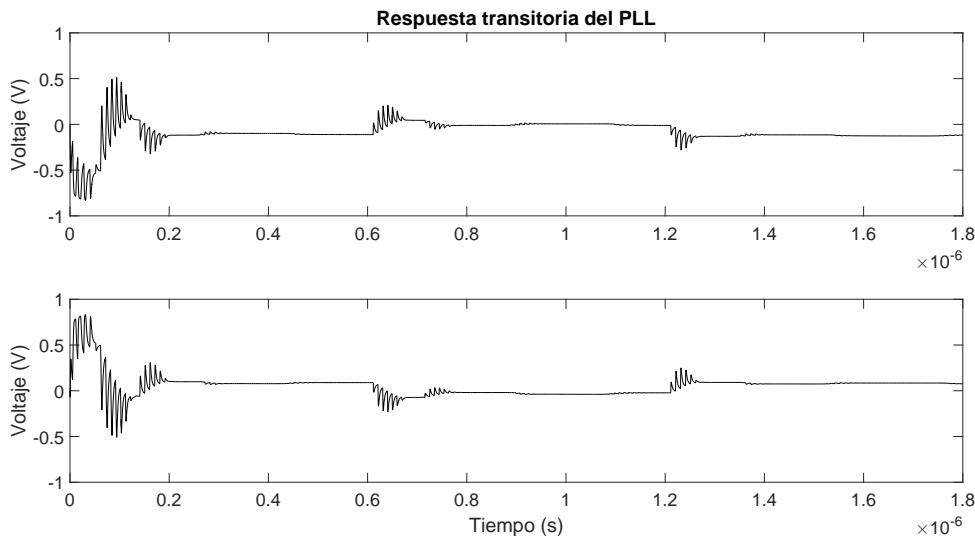


Fig 3.22: Respuesta transitoria del PLL a $\omega_u = 0,2\omega_{max}$

Para la figura 3.22 los valores del filtro de lazo son los siguientes:

$$C_1 = 328fF, C_2 = 4pF, R_1 = 6565\Omega$$

La velocidad de amarre de la figura 3.22 con respecto de 3.21, muestra la importancia de la selección de la frecuencia a ganancia unitaria, el tiempo de amarre en la figura 3.22 es de $170ns$, mientras en 3.21 es de $350ns$; además es necesario observar que la selección de ω_u es menor que la frecuencia de referencia, ya que la bomba de carga trabaja a la velocidad de la frecuencia de referencia y al contener el PLL una constante de proporcionalidad k_o muy alta, la frecuencia ω_{max} es mayor que la frecuencia de referencia.

Para concluir este capítulo es importante observar que el "mismatch" de corriente es nulo, ya que al utilizar señales diferenciales en el voltaje de control del PLL, la corriente de carga y descarga serán iguales. Además, el procesamiento de las señales en el circuito se realiza de forma completamente diferencial, por lo que las señales de modo común tienen un mayor rechazo.

Capítulo 4

Conclusiones

Este trabajo se enfocó en realizar un PLL con una metodología de diseño robusto para el inductor activo y el oscilador en lazo cerrado, esto a través del estudio de la estabilidad de los sistemas y tomando como variable de diseño dichas condiciones de estabilidad (criterio de estabilidad de Routh). Para optimizar las variables dependientes más importantes en un VCO como lo son un bajo ruido de fase, un alto rango de sintonización y baja potencia, se han propuesto dos topologías para el inductor activo, una de segundo y otra de tercer orden, cuyas funciones de transferencia proveen algún grado de libertad al sistema, de esta manera, las resistencias de ajuste R_p , R_n y la capacitancia C_{cp} permiten la variación de parámetros tales como factor de calidad, resistencia parásita del inductor en serie, inductancia y resistencia en paralelo equivalente.

En este trabajo se propone un modelo que ayuda a caracterizar el inductor activo de tercer orden; este modelo permitió descomponer el circuito en inductancias, resistencias y capacitancias, las cuales son los elementos de un circuito resonante con pérdidas.

Finalmente, algunos de los resultados obtenidos en este trabajo son:

- La respuesta lineal del cambio de la frecuencia con un coeficiente de variación de 1,07 % entre $-0,2V$ a $0,2V$ del voltaje de control.
- El alto rango de sintonización ($3,2Ghz \pm 500Mhz$) con respecto del bajo voltaje de control ($0,5V$).
- El bajo ruido de fase que la topología puede llegar a tener ($-160dB/Hz$).
- La caracterización de estabilidad para inductores activos de segundo y tercer

orden.

- La flexibilidad del sistema propuesto para poder cambiar la operación de un inductor activo de tercer orden a un oscilador con la variación de un parámetro.

En base a los resultados mostrados, se concluye que:

La realización de un oscilador mediante un inductor activo es una alternativa para sustituir osciladores de anillo y de tanque resonante LC.

El inductor activo de tercer orden propuesto permite tener control del factor de calidad y por lo tanto disminuir el ruido de fase, el cual era un objetivo importante en este trabajo.

Por otro lado el PLL aprovecha la constante de proporcionalidad del oscilador de tercer orden para tener tiempos de amarre en el orden de nanosegundos; así como disminuir el error de fase gracias a la topología completamente diferencial.

4.1. Trabajo a futuro

Algunas recomendaciones para el trabajo a futuro son:

- Realizar un circuito de control que permita disminuir el voltaje V_{GS} de los transistores en triodo, cuando aumente el voltaje de control del VCO, lo cual aumenta las resistencias equivalentes (R_n y R_p) y por lo tanto aumentar el factor de calidad y mantenerlo constante, lo cual se traduce en un ruido de fase bajo y constante.

- La variación de la frecuencia debido a variaciones de proceso de fabricación es de $\pm 7,5\%$; sin embargo, si se requiere obtener una menor variación, se puede realizar un circuito que aumente las resistencias R_n y R_p con cambios de proceso tipo ff y snfp para disminuir la variación de frecuencia en $\pm 5,5\%$.

- De ser necesaria una menor variación de frecuencia por proceso y temperatura es necesario la implementación de una referencia de corriente para la corriente de polarización.

- Realizar el Layout y la fabricación del VCO, para así verificar con un analizador de espectros el bajo ruido de fase teórico del VCO propuesto.

Bibliografía

- [1] Kyungmin Lee, Chaerin Hong, He Ying, Dayoung Kim, Seung Hoon Kim, and Sung Min Park. A 6.6 mw,- 94 dbc/hz, 1.0-to-4.5 ghz phase-lock loop in 65-nm cmos. In *SoC Design Conference (ISOCC), 2015 International*, pages 235–236. IEEE, 2015.
- [2] Jhin-bang Huang, Wen-Cheng Lai, and Lhien-Ming Hsu. Chip design of a 24 ghz band low-power phase-locked loop using an injection frequency divider circuit and integrated system for biomedical application. In *Information Science, Electronics and Electrical Engineering (ISEEE), 2014 International Conference on*, volume 3, pages 2075–2079. IEEE, 2014.
- [3] Mannem Venkateswarlu and K Sarangam. Design of a low voltage phase locked loop for clock generation. In *2015 International Conference on Electrical, Electronics, Signals, Communication and Optimization (EESCO)*, 2015.
- [4] Krishnakumar Sundaresan, Phillip E Allen, and Farrokh Ayazi. Process and temperature compensation in a 7-mhz cmos clock oscillator. *IEEE Journal of Solid-State Circuits*, 41(2):433–442, 2006.
- [5] Andres Felipe Amaya Beltran. *PVT Compensated PLL in 45nm SOI-CMOS Technology, Master degree dissertation*. INAOE, 2012.
- [6] Dan H Wolaver. *Phase-locked loop circuit design*. Prentice-Hall, 1991.
- [7] Behzad Razavi. *Monolithic phase-locked loops and clock recovery circuits: theory and design*. John Wiley & Sons, 1996.
- [8] J Oberst. Generalized phase comparators for improved phase-locked loop acquisition. *IEEE Transactions on Communication Technology*, 19(6):1142–1148, 1971.

- [9] Paul R Gray, Paul Hurst, Robert G Meyer, and Stephen Lewis. *Analysis and design of analog integrated circuits*. Wiley, 2001.
- [10] Mingliang Michael Liu. *Demystifying switched capacitor circuits*. Newnes, 2006.
- [11] William F Egan. *Frequency synthesis by phase lock*, volume 24. Wiley New York, 2000.
- [12] Martin John Burbidge and Andrew Richardson. Phase locked loop test methodologies. In *Test and Design-for-Testability in Mixed-Signal Integrated Circuits*, pages 99–136. Springer, 2004.
- [13] Roland E Best. *Phase locked loops: design, simulation, and applications*. McGraw-Hill Professional, 2007.
- [14] Behzad Razavi. *Design of analog CMOS integrated circuits*. McGraw-Hill, 2001.
- [15] Marc Tiebout. *Low power VCO design in CMOS*, volume 20. Springer Science & Business Media, 2006.
- [16] Fei Yuan. *CMOS active inductors and transformers: principle, implementation, and applications*. Springer Science & Business Media, 2008.
- [17] Edward H Nicollian, John R Brews, and Edward H Nicollian. *MOS (metal oxide semiconductor) physics and technology*, volume 1987. Wiley New York et al., 1982.
- [18] Bernard DH Tellegen. The gyrator, a new electric network element. *Philips Res. Rep*, 3(2):81–101, 1948.
- [19] HT Duong, N Tran, AT Huynh, HV Le, and E Skafidas. Design of 120: 1 frequency divider for a 12.6 ghz phase-locked loop. In *Microwave Symposium (AMS), 2014 1st Australian*, pages 33–34. IEEE, 2014.
- [20] Mike Peng Li. *Jitter, noise, and signal integrity at high-speed*. Pearson Education, 2007.
- [21] Behzad Razavi. A study of phase noise in cmos oscillators. *IEEE journal of Solid-State circuits*, 31(3):331–343, 1996.

- [22] Yao-Chian Lin, Mei-Ling Yeh, and Chung-Cheng Chang. A high figure-of-merit low phase noise 15-ghz cmos vco. *Journal of Marine Science and Technology*, 21(1):82–86, 2013.
- [23] Woorham Bae, Deog-Kyoon Jeong, and Byoung-Joo Yoo. A design of an area-efficient 10-ghz phase-locked loop for source-synchronous, multi-channel links in 90-nm cmos technology. In *Design and Diagnostics of Electronic Circuits & Systems, 17th International Symposium on*, pages 55–58. IEEE, 2014.
- [24] L-H Lu, H-H Hsieh, and Y-T Liao. A wide tuning-range cmos vco with a differential tunable active inductor. *IEEE Transactions on Microwave Theory and Techniques*, 54(9):3462–3468, 2006.
- [25] R Akbari-Dilmaghani, A Payne, and C Toumazou. A high q rf cmos differential active inductor. In *Electronics, Circuits and Systems, 1998 IEEE International Conference on*, volume 3, pages 157–160. IEEE, 1998.
- [26] Markus Grozing, Andreas Pascht, and Manfred Berroth. A 2.5 v cmos differential active inductor with tunable l and q for frequencies up to 5 ghz. In *Microwave Symposium Digest, 2001 IEEE MTT-S International*, volume 1, pages 575–578. IEEE, 2001.
- [27] Farsheed Mahmoudi and C Andre T Salama. 8 ghz tunable cmos quadrature generator using differential active inductors. In *Circuits and Systems, 2005. ISCAS 2005. IEEE International Symposium on*, pages 2112–2115. IEEE, 2005.
- [28] Mohamed Abdalla, George V Eleftheriades, and Khoman Phang. A differential 0.13/spl mu/m cmos active inductor for high-frequency phase shifters. In *Circuits and Systems, 2006. ISCAS 2006. Proceedings. 2006 IEEE International Symposium on*, pages 4–pp. IEEE, 2006.
- [29] Ricardo Astro Bohórquez. *A PVT Compensated Active Inductor Based VCO on SOI CMOS Technology, Master degree dissertation*. INAOE, 2011.
- [30] Axel D Berny, Ali M Niknejad, and Robert G Meyer. A wideband low-phase-noise cmos vco. In *Custom Integrated Circuits Conference, 2003. Proceedings of the IEEE 2003*, pages 555–558. IEEE, 2003.

- [31] Katsuhiko Ogata. *Ingeniería de control moderna*. Pearson Educación, 2003.
- [32] Behzad Razavi. Fundamentals of microelectronics. *Jhon Wiley india Pvt. Ltd*, 2009.
- [33] Fan He, Raymond Ribas, Cyril Lahuec, and Michel Jézéquel. Discussion on the general oscillation startup condition and the barkhausen criterion. *Analog Integrated Circuits and Signal Processing*, 59(2):215–221, 2009.
- [34] Muhammad H Rashid. *Microelectronic circuits: analysis and design*. Cengage learning, 2016.
- [35] Donhee Ham and Ali Hajimiri. Concepts and methods in optimization of integrated lc vcOs. *IEEE journal of solid-state circuits*, 36(6):896–909, 2001.
- [36] Peter Kinget. Integrated ghz voltage controlled oscillators. In *Analog circuit design*, pages 353–381. Springer, 1999.
- [37] Young-Jin Moon, Yong-Seong Roh, Chan-Young Jeong, and Changsik Yoo. A 4.39–5.26 ghz lc-tank cmos voltage-controlled oscillator with small vco-gain variation. *IEEE Microwave and Wireless Components Letters*, 19(8):524–526, 2009.
- [38] Hsieh-Hung Hsieh, Ying-Chih Hsu, and Liang-Hung Lu. A 15/30-ghz dual-band multiphase voltage-controlled oscillator in 0.18 μm cmos. *IEEE transactions on microwave theory and techniques*, 55(3):474–483, 2007.
- [39] Hyoung-Hwan Roh, Kyong-Tae Park, Jun-Seok Park, Hong-Gu Cho, Hyoung-Jun Kim, and Yong-Woon Kim. Design of regulated low phase noise colpitts vco for uhf band mobile rfid system. *The Journal of Korean Institute of Electromagnetic Engineering and Science*, 18(8):964–969, 2007.
- [40] Mohammed A Aqeeli and Zhirun Hu. Design of a high performance 5.0 ghz low phase noise 0.35 μm cmos voltage controlled oscillator. *International Journal of Information and Electronics Engineering*, 3(4):436, 2013.
- [41] Uming Ko and Poras T Balsara. High-performance energy-efficient d-flip-flop circuits. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 8(1):94–98, 2000.

-
- [42] Anh Chu, Navneeta Deo, Waqas Ahmad, Markus Törmänen, and Henrik Sjöland. An ultra-low power charge-pump pll with high temperature stability in 130 nm cmos. In *New Circuits and Systems Conference (NEWCAS), 2015 IEEE 13th International*, pages 1–4. IEEE, 2015.
- [43] Monika Bhardwaj and Sujata Pandey. Design of a wide output range and reduced current mismatch charge pump pll with improved performance. In *Advances in Computing, Communications and Informatics (ICACCI), 2016 International Conference on*, pages 2644–2649. IEEE, 2016.
- [44] Bhavana Goyal, Shruti Suman, and PK Ghosh. Design of charge pump pll using improved performance ring vco. In *Electrical, Electronics, and Optimization Techniques (ICEEOT), International Conference on*, pages 3254–3258. IEEE, 2016.
- [45] Oscar Lozada and Guillermo Espinosa. A charge pump with a 0.32% of current mismatch for a high speed pll. *Analog Integrated Circuits and Signal Processing*, 86(2):321–326, 2016.
- [46] Changhua Cao et al. A power efficient 26-ghz 32: 1 static frequency divider in 130-nm bulk cmos. *IEEE Microwave and Wireless components letters*, 15(11):721–723, 2005.