

Circuito de recuperación de reloj CMOS completamente integrable, diferencial, de alta velocidad y bajo consumo de potencia

A fully integral, differential, high-speed, low-power consumption CMOS recovery clock circuit

Daniel Pacheco Bautista¹, Francisco Rubén Castillo Soria², Mónico Linares Aranda⁵
y Manuel Salim Maza⁴

RESUMEN

En los sistemas electrónicos de recuperación de información (discos duros, unidades de lectura y escritura de DVD y CD, etc.), así como en las comunicaciones digitales en banda base, los circuitos de recuperación de reloj (CRC) juegan un papel fundamental, extrayendo la señal de reloj implícita en los datos recibidos, dicha señal es necesaria para sincronizar el procesamiento posterior de la información. En la actualidad esta tarea es difícil de lograr, no solo por la naturaleza aleatoria de los datos, sino por su alta velocidad de transferencia. En este artículo se presenta el diseño de un circuito de recuperación de reloj integrable en tecnología CMOS de alto desempeño, que opera a 1.2Gbps y consume únicamente 17.4mW de una fuente de 3.3V. Las altas prestaciones se logran al realizar un diseño completamente diferencial, utilizando arquitectura PLL convencional, lógica en modo corriente, así como un novedoso oscilador controlado por voltaje (VCO) de anillo de solo dos etapas. El diseño fue realizado con parámetros de proceso CMOS AMS de 0.35 μ m. Los resultados de la simulación en Hspice comprueban el buen desempeño del circuito, logrando la adquisición en menos de 300ns.

Palabras clave: circuito recuperador de reloj, lógica MCML, oscilador de anillo, PLL, VCO.

ABSTRACT

The clock recovery circuit (CRC) plays a fundamental role in electronic information recovery systems (hard disks, DVD and CD read/writeable units) and baseband digital communication systems in recovering the clock signal contained in the received data. This signal is necessary for synchronising subsequent information processing. Nowadays, this task is difficult to achieve because of the data's random nature and its high transfer rate. This paper presents the design of a high-performance integral CMOS technology clock recovery circuit (CRC) working at 1.2 Gbps and only consuming 17.4 mW using a 3.3V power supply. The circuit was fully differentially designed to obtain high performance. Circuit architecture was based on a conventional phase lock loop (PLL), current mode logic (MCML) and a novel two stage ring-based voltage controlled oscillator (VCO). The design used 0.35 μ m CMOS AMS process parameters. Hspice simulation results proved the circuit's high performance, achieving tracking in less than 300 ns.

Keywords: clock recovery circuit, MCML logic, ring oscillator, PLL, VCO.

Recibido: agosto 27 de 2007

Aceptado: octubre 26 de 2007

¹ Ingeniero en electrónica, Instituto Tecnológico de Oaxaca, Oaxaca, México. M. Sc. en ciencias en la especialidad de electrónica, Instituto Nacional de Astrofísica, Óptica y Electrónica, Puebla, México. Profesor/Investigador, Universidad del Istmo, Departamento de Ingeniería en Computación, Cd. Universitaria s/n, Santo Domingo Tehuantepec, Oaxaca, México. dpachecob@bianni.unistmo.edu.mx.

² Ingeniero en comunicaciones y electrónica y M.Sc. en ciencias en la especialidad de comunicaciones, Instituto Politécnico Nacional, México. Profesor/Investigador, Universidad del Istmo, Departamento de Ingeniería en Computación, Cd. Universitaria s/n, Santo Domingo Tehuantepec, Oaxaca, México. frcsoria@bianni.unistmo.edu.mx.

³ Licenciado en electrónica, Universidad Autónoma de Puebla, Puebla, México. M.Sc. en ciencias en la especialidad de electrónica, Instituto Nacional de Astrofísica, Óptica y Electrónica. Puebla, México. Ph.D. en ciencias con especialidad en ingeniería eléctrica, Centro de Investigación y de Estudios Avanzados del Instituto Politécnico Nacional, México. Profesor/Investigador, Instituto Nacional de Astrofísica, Óptica y Electrónica (INAOE), Coordinación de Electrónica, Departamento de Microelectrónica, Puebla, México. mlinares@inaoep.mx

⁴ Ingeniero en electrónica, Instituto Tecnológico de Veracruz, Veracruz, México. M. Sc. y Ph. D. en ciencias en electrónica, Instituto Nacional de Astrofísica, Óptica y Electrónica, Puebla, México. Vinculado a Freescale Semiconductor México, Jalisco, México. msalim@freescale.com

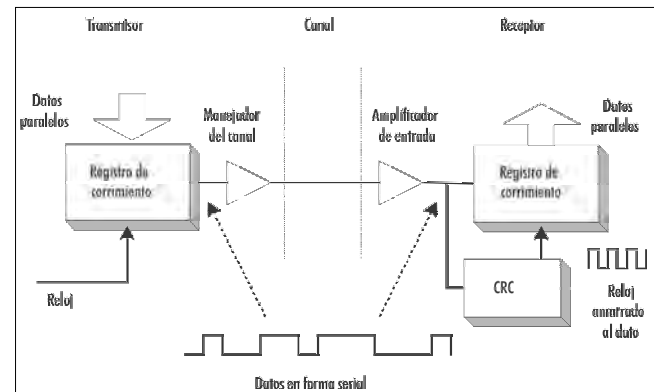
Introducción

El circuito de recuperación de reloj es un bloque de construcción muy importante de muchos sistemas electrónicos modernos, sus aplicaciones cubren un amplio rango de sistemas digitales que requieren comunicación serial entre unidades, tales como transferencia *chip-chip*, periféricos de entrada y salida, comunicación procesador-procesador, recuperación de información de dispositivos de almacenamiento (DVD, CD), etc. No obstante, a medida que la velocidad de transmisión se incrementa, han llegado a ser necesarios CRC completamente integrables en *chips* micrométricos, que operen en alta velocidad, presenten mínimas variaciones aleatorias en el reloj recobrado, o *jitter*, y consuman poca potencia, lo que implica fuertes compromisos en su diseño. Generalmente estos requisitos suelen satisfacerse al emplear tecnologías de fabricación de circuitos integrados muy sofisticadas pero poco económicas, como las de arseniuro de galio (GaAs) o la Bipolar-CMOS (Bicmos). En este artículo se presenta el diseño de un CRC de alto desempeño en tecnología convencional CMOS, el cual opera a una velocidad de 1.2 Gbps, completamente integrable y con un bajo consumo de potencia. Se obtiene alto desempeño al utilizar un nuevo VCO de anillo de dos etapas, así como diversas técnicas de diseño. El resto del artículo se organiza de la siguiente manera: se describe la función básica de los CRC, enfatizando la importancia del mismo dentro de los sistemas de comunicación seriales en banda base. Luego se revisan las características fundamentales de los datos NRZ (*Non-Return-Zero*), así como las fuentes de ruido que afectan negativamente el desempeño del CRC, y se termina mostrando la arquitectura utilizada así como la forma en que se superan tales inconvenientes. Más adelante se muestra el diseño de cada uno de los bloques de construcción y se analizan los resultados de simulación. Finalmente, se presentan las conclusiones del trabajo.

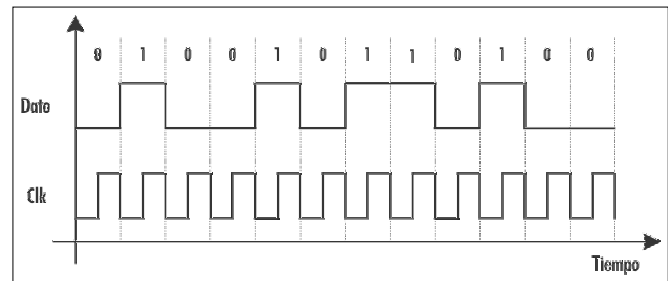
Función del CRC

La función del CRC es ilustrada mediante la Figura 1a, la cual muestra el diagrama a bloques de un sistema de comunicación serial. En el transmisor, los datos originalmente en forma paralela son cargados a un registro de corrimiento, el cual los serializa en una cadena ordenada de *bits*, ordinariamente en un formato NRZ. Posteriormente esta cadena de datos es enviada a un manejador de canal. El canal conduce el dato del transmisor al receptor y puede ser eléctrico, óptico o inalámbrico. En el receptor, la cadena de *bits* distorsionada por el canal es restaurada por el amplificador de entrada, que además convierte la señal recibida nuevamente a niveles digitales. A continuación, los datos deben ser enviados a otro registro de corrimiento y deserializados a su forma original para su procesamiento posterior. Sin embargo, la ausencia de una señal de reloj apropiada en el receptor hace difícil esta última tarea. El CRC desarrolla la función de generar una señal de reloj amarrada o en sincronía con la señal recibida, de tal forma que los datos sean muestreados en el tiempo apropiado

y pueda ser disminuida la razón *bit* a error (*BER*) en la transmisión. La Figura 1b muestra el posible dato recibido y la señal de reloj (*Clk*) deseada en la salida del CRC. En esta figura puede notarse cómo la transición positiva del reloj muestrea exactamente el dato en su punto medio, disminuyendo la probabilidad de error en el receptor.



(a)



(b)

Figura 1. Sistema de comunicación serial: a) Diagrama a bloques, b) Reloj sincronizado al dato en la salida del CRC

Arquitectura

Existen varias formas de implementar el CRC en el receptor (H. Heinrich Meyr, Gerd Ascheid, 1990); no obstante, debido a su flexibilidad y costo los PLL constituyen una forma estándar. El diseño de estos PLL suele ser una tarea más compleja en relación a aquellos utilizados en circuitos de síntesis de frecuencia, debido a la naturaleza aleatoria y ruidosa de la señal en la entrada, en contraste con la señal periódica y relativamente limpia utilizada en los sintetizadores de frecuencia; por lo que la arquitectura del PLL debe ser seleccionada cuidadosamente.

Los datos NRZ presentan dos propiedades importantes que hacen difícil el recobro de reloj usando un PLL (Seema Butala Anand and Behzad Razavi, 2001); (Behzad Razavi, 1996): primero, secuencias largas de unos o ceros consecutivos permiten que el voltaje de control del VCO, en la condición de amarre, cambie con el tiempo y por lo tanto la frecuencia de oscilación también cambia. Segundo, los datos NRZ no presentan contenido espectral en la velocidad del *bit*, requiriendo detección de bordes. Estas dos propiedades implican que el detector de fase ante la ausencia de datos

en la entrada no genere comparaciones falsas en su salida, y que el circuito requiera una operación no lineal en su entrada para crear una línea espectral en la velocidad del dato. Además, varias fuentes de *jitter* afectan el diseño del sistema. En (Seema Butala Anand y Behzad Razavi, 2001), cinco fuentes de *jitter* son identificadas para los CRC:

1. *Jitter* del dato en la entrada.
2. *Jitter* del VCO generado por ruido electrónico.
3. Ruido de la fuente y del sustrato.
4. Inestabilidad del VCO por fugas durante la conmutación del detector de fase.
5. *Jitter* del VCO debido al rizo de la línea de control.

En particular, en el diseño que se presenta en este artículo el *jitter* de la entrada es disminuido a través de un ancho de banda angosto del PLL, mientras que el *jitter* del VCO es reducido mediante el uso de un VCO de anillo de dos etapas, de excursión relativamente amplia (075V) en su salida y el uso de cargas lineales en su celda de retardo.

Todos los bloques son construidos en forma diferencial utilizando lógica MCML (MOS Current Mode Logic) (Jason Musicer, 2000); tal que disminuyan el efecto del ruido de la fuente y del sustrato, las cuales suelen presentarse como señales en modo común. Además, el uso de lógica MCML permite reducir las corrientes de fuga durante la conmutación del detector de fase, y habilita la operación del sistema completo a alta velocidad aun sin un divisor de frecuencia. Un problema encontrado comúnmente en los VCO CMOS en tecnologías submicrométricas, es que a medida que la longitud mínima de compuerta disminuye (lo que permite el aumento en la velocidad del VCO) el rango de entonado aumenta, y puesto que los niveles en los rieles de alimentación son cada vez menores (3.3V, 2.2V, y 1.8V para la tecnología utilizada) la ganancia de conversión (pendiente de la función de transferencia *frecuencia-voltaje de control*) se incrementa agresivamente. Una ganancia de conversión elevada genera fuerte *jitter* para un rizo pequeño en el voltaje de control del VCO. Para contrarrestar este efecto, el VCO utiliza un control diferencial. Por otra parte, colocar el ancho de banda del PLL relativamente bajo tiene fuertes implicaciones negativas, entre las cuales se encuentra la disminución del rango de adquisición del PLL; sin embargo, este problema puede resolverse fácilmente agregando un mecanismo de adquisición de frecuencia. La arquitectura del CRC seleccionada se muestra en la Figura 2, el lazo consiste de un detector de fase (PD), una bomba de carga (CP), un filtro pasivo y un VCO de anillo. La ausencia del divisor de frecuencia implica fuertes compromisos en el diseño de cada uno de los bloques del sistema.

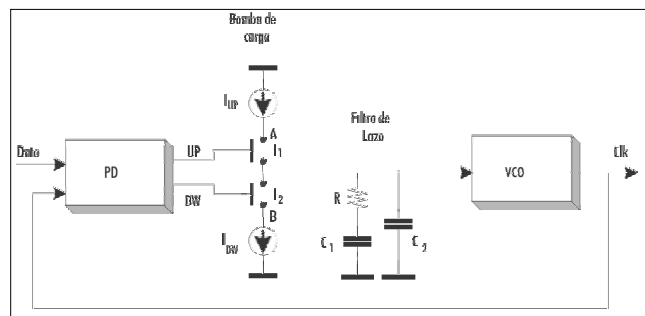


Figura 2. Estructura seleccionada para la implementación del CRC

Diseño de los componentes

a) VCO

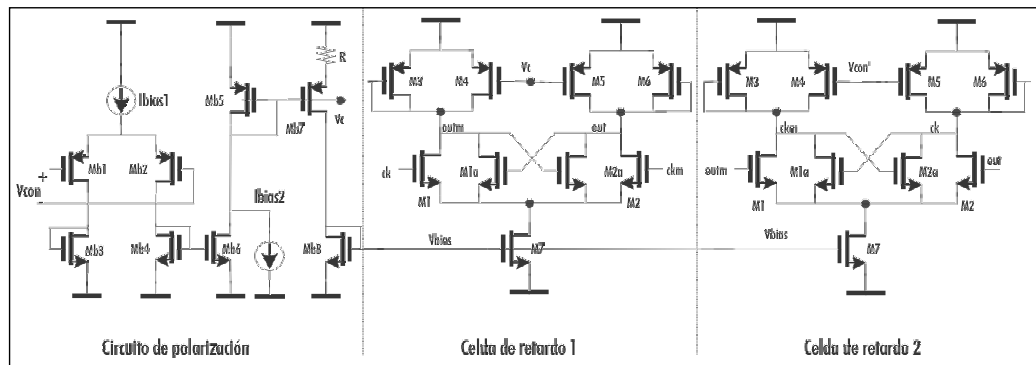


Figura 3. VCO de anillo de solo dos etapas.

La Figura 3 muestra la topología del VCO utilizado, el cual es un VCO de anillo que consiste únicamente de 2 celdas de retardo y un circuito de polarización, aun cuando han sido propuestos diversos VCO de anillo que operan mediante solo dos etapas a altas velocidades (Yeon Kun Moon y Kwang Sub Yoon, 2000); el consumo de potencia no es despreciable, puesto que utilizan circuitería compleja para satisfacer los criterios de oscilación de Barkhausen (Djahanshahi, y. Salama, 2000); esta circuitería extra no es necesaria en el circuito propuesto, con lo cual se optimiza el consumo de potencia incluso a alta velocidad. Las celdas de retardo del VCO son pares diferenciales sencillos con cargas linealizadas, más dos transistores que proporcionan retroalimentación positiva (M1a y M2a) (Wang y Harjani, 1995). La retroalimentación positiva incrementa la ganancia de la celda a la vez que proporciona el cambio de fase necesario en la misma, tal que las condiciones de oscilación se satisfacen simultáneamente; es decir, cuando el cambio de fase total de la señal es de la ganancia aún se encuentra por encima de 0dB, tal como se ilustra en la Figura 4; además, la histéresis del circuito genera retardo adicional, lo cual hace el sistema robusto. La variación de frecuencia es lograda al variar el tiempo de retardo de la celda mediante V_{con} , el que cambia la resistencia de la carga simétrica de la misma, consistente de dos transistores PMOS (M3 y M4 o M5 y M6), cuyo comportamiento simétrico permite disminuir la sensibilidad ante variaciones en la fuente y generar menor ruido de fase en el VCO (J. Maneatis y Horowitz, 1992); (Ali Hajimiri, y Limotyrakis, 1999). Por su parte, el circuito de polarización

proporciona la corriente apropiada en las celdas de retardo en función del voltaje de control (V_{con}), tal que la excursión de la señal oscilante permanezca relativamente constante y la frecuencia de oscilación sea una función lineal del voltaje de control. En este circuito, I_{bias2} proporciona la corriente de polarización mínima e independiente de V_{con} , evitando con ello que el VCO pierda la oscilación aun cuando el voltaje de control se encuentre lejos de su valor nominal. La función de transferencia del VCO así como su consumo de potencia simulados en Hspice se muestran en la Figura 5, en donde se observa una ganancia de conversión lineal y relativamente baja, como resultado del control diferencial e igual a 400MHz/V, lo que es conveniente en el diseño de VCOs CMOS (sección 2), así como un consumo de potencia de alrededor de 7.3mW en su frecuencia central de 1.2 GHz, valor pequeño comparado con los convencionales de más de dos etapas (Pacheco Bautista 2003).

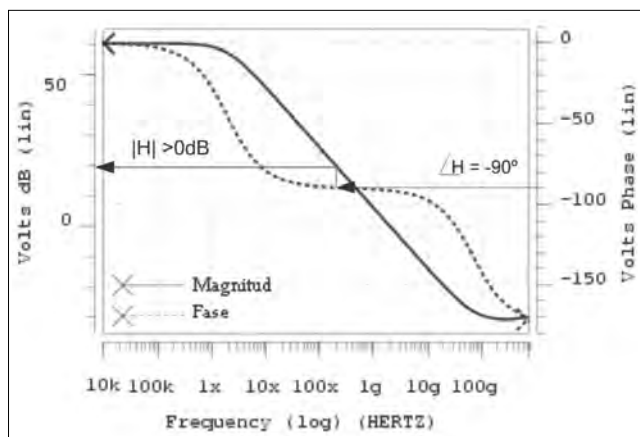


Figura 4. Respuesta en frecuencia de la celda de retardo del VCO

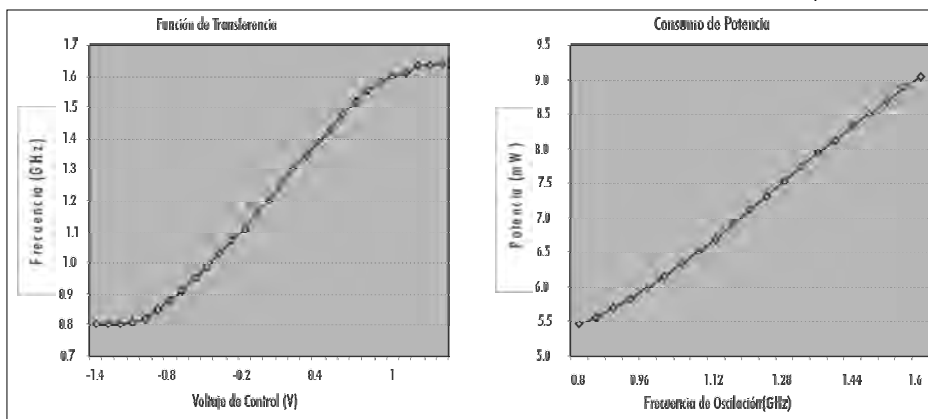


Figura 5. Función de transferencia y consumo de potencia del VCO

b) Detector de fase

El detector de Hogge (Hogge, 1985) es uno de los PD más utilizados en este tipo de circuitos, debido a que permite que la señal de reloj se alinee en el centro del bit independientemente de la velocidad del dato, temperatura o variaciones en el proceso. El detector de Hogge es mostrado en la Figura 6 junto con sus formas de onda asociadas en

la condición de amarre y su implementación mediante compuertas lógicas MCML. Bajo esta condición, los nodos A y B son simplemente el dato de entrada retardado en el tiempo por un medio intervalo y un intervalo completo del bit respectivamente, y las salidas del detector de fase, etiquetadas como Up y Dw , se mantienen en un nivel alto exactamente por el mismo periodo de tiempo lo cual permite que la carga neta proporcionada por el circuito sea igual a cero, manteniendo constante el voltaje en la línea de control del VCO. Si la transición positiva del reloj adelanta al centro del dato, Up permanecerá menos tiempo en alto que Dw ; de esta forma, el voltaje promedio en el filtro de lazo disminuye y con ello la frecuencia de salida del VCO. Lo contrario ocurre cuando la transición positiva del reloj se encuentra retrasada con respecto al centro del dato, en este estado Up permanecerá más tiempo en alto que Dw y la frecuencia de salida del VCO se incrementa. En la Figura 6^a y el elemento de retardo está formado por dos inversores MCML, y su función es únicamente compensar el tiempo de propagación del dato NRZ a través del primer FFD.

c) Bomba de carga y filtro de lazo

El tercer componente en el lazo es la bomba de carga, su función es convertir las señales digitales provenientes del detector de fase en una señal analógica que controle la frecuencia de oscilación del VCO. En este diseño, la ausencia de un divisor en el lazo hace crítica la selección de la bomba de carga, puesto que esta deberá operar a una frecuencia considerablemente alta e igual a la del VCO. De esa manera, la velocidad de operación es el factor predominante para la elección de la topología. La estructura utilizada en este trabajo es ilustrada en la Figura 7, junto con el filtro de lazo (Wu y Black Jr., 1998), es muy simple pero presenta varias ventajas: 1) el uso de interruptores de un solo tipo (NMOS), lo que mejora el apareamiento en el encendido; 2) la estructura completamente diferencial, lo que mejora la inmunidad al ruido en modo común; y 3) el uso de interruptores en modo corriente y de fuentes que se mantienen encendidas todo el tiempo, lo que permite la operación en alta velocidad. En la Figura 7, M1-M4 son interruptores de corriente diferenciales, MN1-MN6 y MP1-

MP2 son espejos de corriente y MF1-MF10 proporcionan retroalimentación en modo común. El hecho de que en esta estructura los espejos de corriente nunca son conmutados, permite que su dimensionamiento sea relajado (longitudes de compuertas relativamente grandes), lo cual mejora el apareamiento entre ellos.

Las corrientes de carga y descarga de la bomba fueron elegidas de 30 μA , permitiendo valores pequeños en el filtro de lazo: $C1=40pF$, $C2=6pF$ y $R=3.2k\Omega$, con lo que se obtiene un factor de amortiguamiento mayor a 0.7 ante

cualquier densidad de transiciones en el dato recibido, considerando que este se encuentra codificado mediante el esquema 8B/10B (ampliamente utilizado en comunicación digital serial) (Widmer y Franaszek, 1998), tal como se resume en la Tabla 1. En esta tabla, los valores para los tres primeros parámetros corresponden a la mínima y la máxima densidad de transiciones en el dato recibido.

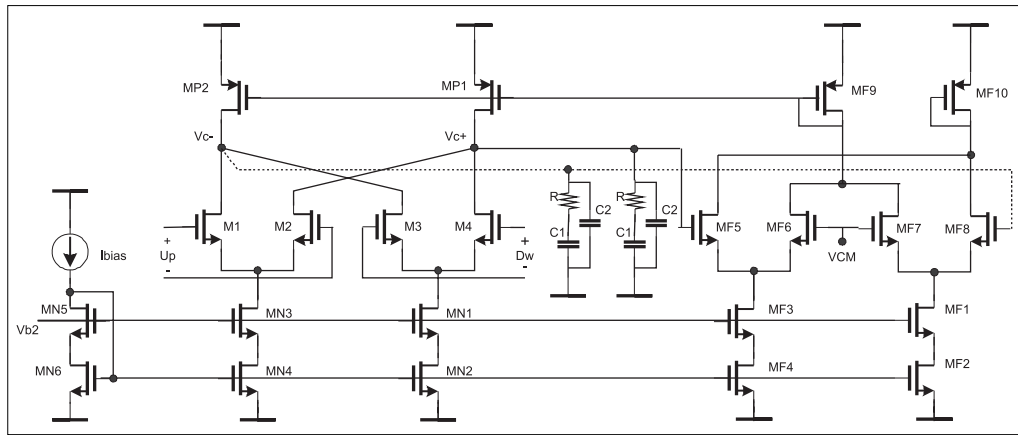


Figura 7. Bomba de carga y filtro de lazo

Resultados de simulación

Todos los valores en la Tabla 1 fueron comprobados inicialmente mediante un modelo matemático realizado en *Matlab*. Posteriormente, el circuito completo fue simulado en HSPICE con parámetros del proceso CMOS AMS de 0.35 μm . En la Figura 8 se ilustran los resultados obtenidos; en esta puede observarse el comportamiento del voltaje de control del VCO, así como el dato recibido y el reloj generado localmente antes y después de adquirir el amarre. En esta simulación, el dato

Tabla 1. Parámetros calculados para el CRC PLL.

Ancho de banda del Lazo	22.62Mrad/s-84.37Mrad/s
Factor de amortiguamiento	0.7-1.565
Frecuencia natural	10.98Mrad/s-24.55Mrad/s
Rango de entonado del VCO	800MHz-1600MHz
Ganancia de conversión del VCO	400MHz/V
Factor de división del lazo	1
Corriente de la bomba de carga	30 μA
Capacitor C_1 del filtro de lazo	40pF
Capacitor C_2 del filtro de lazo	6pF
Resistor del filtro de lazo	3.2K Ω

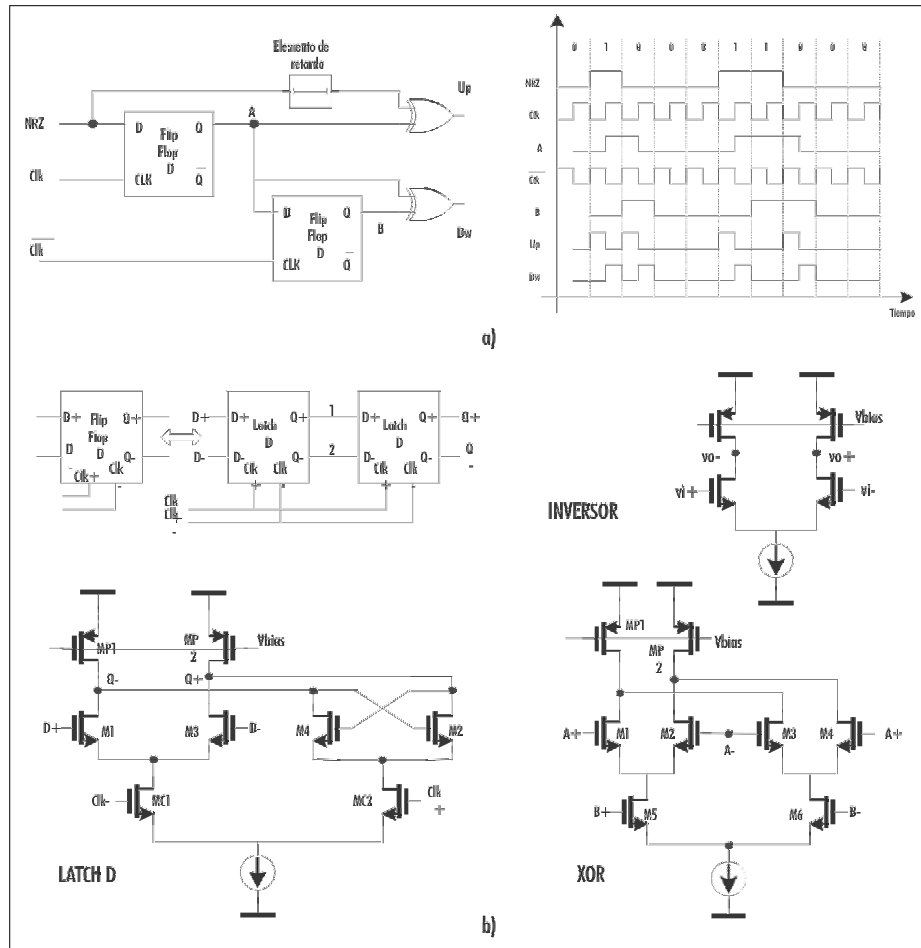


Figura 6. a) Detector de Hogge y su comportamiento en la condición de amarre, b) Su implementación con lógica MCML

de entrada corresponde a una cadena pseudoaleatoria 2⁷-1, secuencia que es recomendada para medir el desempeño de los CRC operando ante el código 8B/10B, la cual fue generada en *Matlab*. Inicialmente, en $t < 0$, la velocidad del dato fue colocada a 1200Mbps, con lo que el voltaje de control del VCO se encuentra en un valor igual a cero Volts y la frecuencia del reloj igual a 1.2 GHz. En $t = 0$, la velocidad del dato cambia a 1211 Mbps y el voltaje de control del VCO incrementa a 27.5mV, llevando la frecuencia de salida a 1.211GHz (Figura 8a). Puede verse cómo el factor de amortiguamiento es mayor a 0.7, lo que garantiza la estabilidad del sistema, y el tiempo de adquisición es menor a 300ns. Durante la adquisición (antes de 300ns), la transición positiva del reloj vaga lejos del centro del dato debido al error de fase y de frecuencia inicial (Figura 8b); sin embargo, después de la adquisición, el reloj muestrea al dato exactamente en el centro del bit, asegurando la recepción correcta (Figura 8c); Finalmente,

en la Tabla 2 se presenta un resumen de los resultados de la simulación del CRC. Puede observarse en esta tabla y el

ahorro en el consumo de potencia obtenido en el diseño presentado en este artículo, consumiendo solo 17.4mW de una fuente de 3.3V.

Conclusiones

En este artículo se presentó el diseño de un circuito de recuperación de reloj de alta velocidad y bajo consumo de potencia, completamente integrable en tecnologías CMOS VLSI; los resultados de simulación muestran como la combinación de diferentes técnicas de diseño de circuitos integrados puede resultar en esquemas altamente eficientes. El CRC fue diseñado con parámetros del proceso CMOS AMS de 0.35 μ m, opera a 1.2 Gbps, consume únicamente 17.4mw de potencia y tiene un tiempo promedio de adquisición de 300ns. Debido a su estructura totalmente diferencial el circuito provee un alto rechazo a variaciones de la fuente o del sustrato, lo que permitirá su operación

Tabla 2. Resumen de los resultados obtenidos en la simulación en Hspice

Parámetro	Resultado	
Velocidad del dato	1.2 Gb/s	
Rango de adquisición	20 MHz	
Rango de seguimiento	50 MHz	
Tiempo de adquisición	300ns	
Disipación de potencia	VCO	7.3mW
	Detector de fase	2.7mW
	Bomba de carga	0.4mW
	Polarización y otros	7mW
	Total	17.4 mW
Excursión de las señales	0.75 V	
Voltaje de alimentación	3.3V	
Tecnología	CMOS 0.35 μ m	

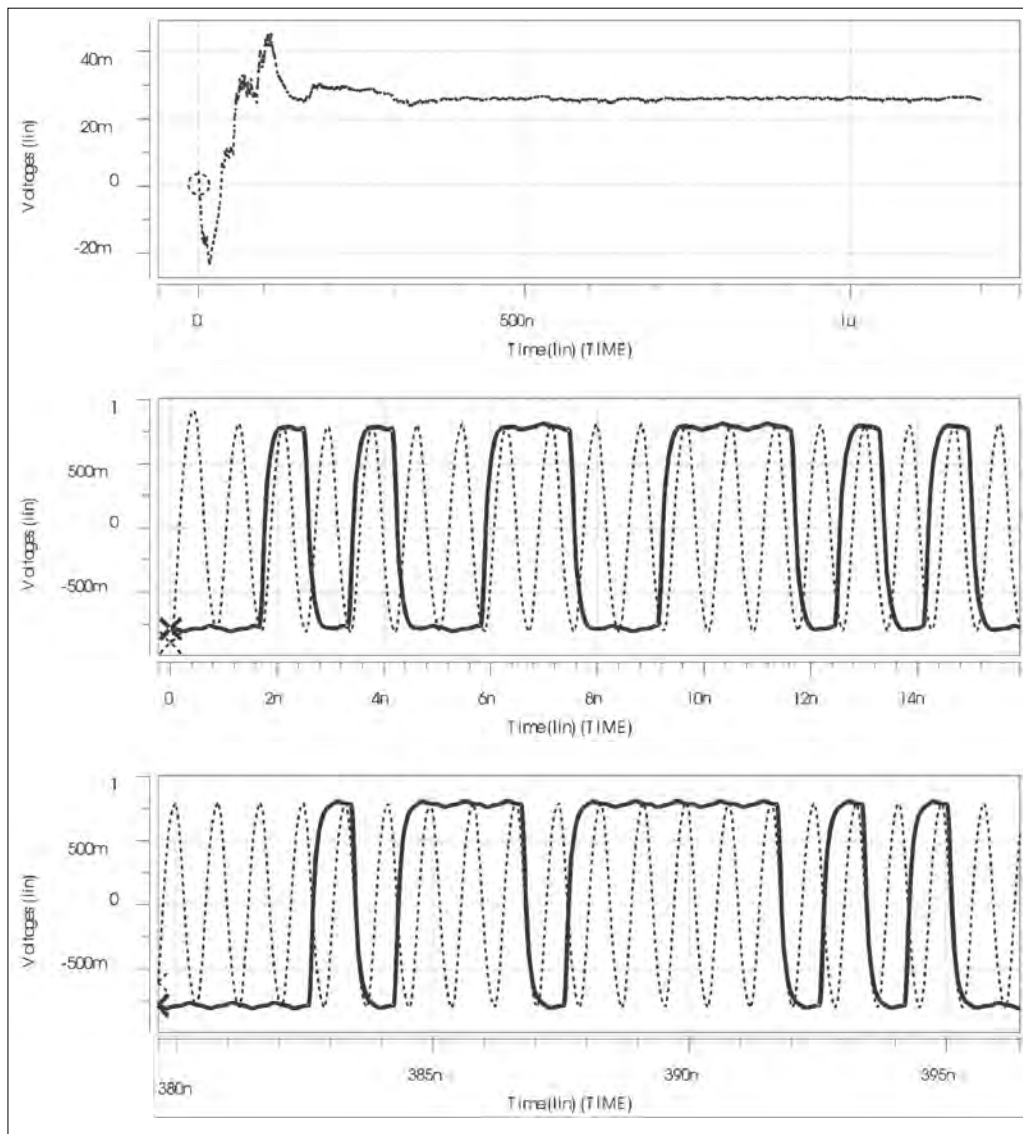


Figura 8. Resultados de simulación en Hspice del CRC: a) Voltaje de control, b) Dato y reloj durante la adquisición, y c) Dato y reloj después de la adquisición. En la segunda y tercera graficas el dato es mostrado con línea sólida, mientras que el reloj con línea discontinua

en entornos digitales altamente ruidosos. Todos los resultados fueron verificados mediante simulación en Hspice utilizando datos pseudoaleatorios generados en Matlab. El CRC obtenido puede aplicarse en cualquier sistema en donde la alta velocidad, el bajo consumo de potencia y la inmunidad al ruido sean requerimientos fundamentales. El CRC puede rediseñarse y fabricarse en tecnologías CMOS con mayor nivel de integración, por ejemplo de 0.08 μ m, con lo cual se esperan velocidades del orden de 10Gbps, encontrando posibles aplicaciones en comunicaciones vía fibra óptica, lo anterior deja en evidencia cómo la tecnología CMOS puede competir en aplicaciones de alta velocidad con tecnologías de fabricación de circuitos integrados más caras.

Agradecimientos

Este trabajo fue soportado por Conacyt y forma parte del proyecto de Conacyt con clave 51511-Y.

Bibliografía

Bautista, P., Diseño de Osciladores Controlados por Voltaje de Anillo de Alto desempeño., Tesis presentada al Instituto Nacional de Astrofísica, Óptica y electrónica (IN-AOE) para optar al grado de Maestro en Ciencias, Puebla, México, 2003.

Djahanshahi, H., Salama, C., Differential CMOS Circuits for 622-MHz/933-MHz Clock and data recovery Applications., IEEE J. Solid-state circuits, Vol. 35, No. 6, June, 2000, pp. 847-855.

Hajimiri, A., Limotyrakis, S., Lee, T. H., Jitter and Phase Noise in Ring Oscillators., IEEE J. Solid-State Circuits, Vol. 34, No. 6, June, 1999, pp. 790-804.

Heinrich Meyr, H., Ascheid, G., Synchronization in Digital Communications., Vol. 1, Ed. John Wiley & Sons, Inc., 1990/1997.

Hogge, Ch. R., A self Correcting Clock Recovery Circuit., IEEE Journal of Lightwave Technology, Vol. LT-3, Decembe 1985, pp 1312-1314.

Maneatis, J., Horowitz, M., Precise delay generation using coupled oscillators., IEEE J. Solid-State Circuits, Vol. 28, No. 12, December, 1992, pp. 1273-1282.

Moon, Y. K., Yoon, K. S., A 3.3V CMOS PLL with a self-feedback VCO, IEICE Trans., Fundamentals, Vol E83-A, No.12, December, 2000, pp. 2623-2626.

Musicer, J., An analysis of MOS Current Mode Logic for low power and high performance digital logic, M.S. Thesis, University of California Berkeley, USA, 2000.

Razavi, B., A 2.5-Gb/s 15-mW Clock Recovery Circuit., IEEE J. Solid-state circuits, Vol. 31, No. 4, April, 1996, pp. 472-480.

Seema Butala Anand and Razavi, B., A CMOS clock recovery circuit for 2.5-Gb/s NRZ data, IEEE J. Solid-State Circuits, Vol. 36, No. 3, March, 2001, pp. 432-439.

Widmer, A. X., Franszek, P.A., A DC-Balanced, Partitioned-Block, 8B/10B Transmisión Code., IEEE J. Solid-state circuits, Vol. 31, No. 4, April, 1983, pp. 472-480.

Wang, E., Harjani, R., Partial Positive Feedback for gain Enhancement of Low-Power CMOS OTAs., Analog Integrated Circuits and Signal Processing, 1995, pp 21-35.

Wu, L., Black Jr., W. C., A Low Jitter 1.25GHz CMOS Analog PLL for Clock Recovery., Proceeding of IEEE International Symposium on Circuits and Systems, May 31-June 3, 1998, pp. MPA9-4.

novedades



Alfaomega Colombiana S.A.



REDES DE DATOS Y CONVERGENCIA IP

Huidobro Moya ,
José Manuel; Millan Tejedor,
Ramón Jesús
Coedición: Alfaomega - Creaciones
Copyright

Es una obra sobre las redes dedicadas a la transmisión de datos, tanto privadas como públicas, que reúne los conceptos básicos de aplicación, las técnicas de telecomunicación que se emplean, las topologías más comunes en su implementación, las aplicaciones y servicios, así como vislumbrar su evolución en el tiempo.

Resumen del contenido:

La transmisión de datos -equipos de transmisión -redes de ordenadores -redes locales -redes de acceso -redes metropolitanas -redes troncales -8 pila de protocolos tcp/ip -evolución de tcp/ip -gestión de red -servicios de datos-glosario -bibliografía.

Adquiera nuestros textos en el punto de venta **Alfaomega Carrera 15 No 64a - 29** o en las principales librerías del país.

Afíliese a nuestro **CLUB DEL CONOCIMIENTO** a través de nuestra página web, y reciba descuentos en nuestro punto de venta, contenidos actualizados vía Internet, información de novedades, prioridad en productos promocionales y entregas a domicilio sin costo adicional.

Visite nuestra página Web:
www.alfaomega.com.co